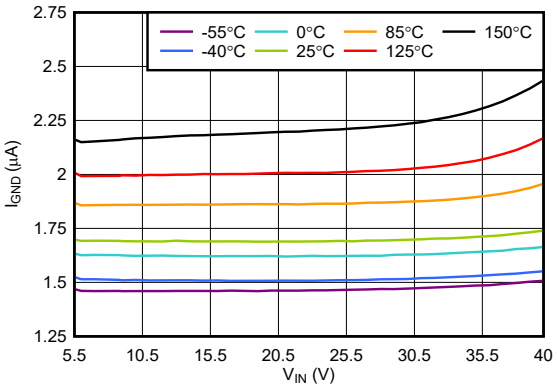
TPS7B92 300mA、40V、1.8μA I_Q 低压降线性稳压器

1 特性

- 输入电压范围：2.5V 至 40V
- 输出电压范围：1.2V 至 12V
- 输出电流：300mA
- 超低 I_Q：I_{OUT} = 0mA 时为 1.8μA
- 输出电容器 ≥ 1.0μF 时保持稳定
- 高 PSRR：
  - 1kHz 时为 70dB
  - 100kHz 时为 43dB
- 折返电流限制
- 过热保护
- 封装：
  - 5 引脚 SOT-23 (DBV)
- 工作结温：-40°C 至 +125°C

2 应用

- 电器
- 家庭和楼宇自动化
- 零售自动化和支付
- 电网基础设施
- 医疗应用
- 照明应用



I_{GND} 与 V_{IN}（V_{OUT} = 5.0V、I_{OUT} = 0mA）间的关系

3 说明

TPS7B92 低压降 (LDO) 线性稳压器是一款低静态电流器件。TPS7B92 在小型化封装中提供宽输入电压范围（高达 40V）、宽输出范围和低功耗运行。宽输出范围为 1.2V 至 12V。

TPS7B92 经过优化，可为电池供电应用的微控制器和其他低功耗负载供电。TPS7B92 在输出电容范围介于 1.0μF 至 47μF 之间时可保持稳定。

TPS7B92 具有低静态电流（通常为 1.8μA），非常适合由电池供电且要求极低空闲功率耗散的常开系统。

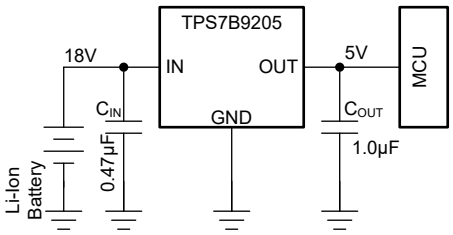
TPS7B92 LDO 在 150mA 负载电流下支持典型值为 900mV 的低压降。TPS7B92 还具有内部软启动功能，可在启动期间降低浪涌电流。内置折返过流限制保护和热关断有助于在发生负载短路或故障条件时保护稳压器。

TPS7B92 采用 2.9mm × 2.8mm 5 引脚 SOT-23 (DBV) 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7B92	DBV（SOT-23，5）	2.9mm × 2.8mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 5
5.5 电气特性.... 5
5.6 典型特性.... 7
6 详细说明.... 15
6.1 概述.... 15
6.2 功能方框图.... 15
6.3 特性说明.... 15
6.4 器件功能模式.... 17
7 应用和实施.... 18
7.1 应用信息.... 18
7.2 典型应用.... 18
7.3 优秀设计实践.... 24
7.4 电源相关建议.... 24
7.5 布局.... 24
8 器件和文档支持.... 25
8.1 器件支持.... 25
8.2 文档支持.... 25
8.3 接收文档更新通知.... 25
8.4 支持资源.... 25
8.5 商标.... 25
8.6 静电放电警告.... 25
8.7 术语表.... 25
9 修订历史记录.... 26
10 机械、封装和可订购信息.... 26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

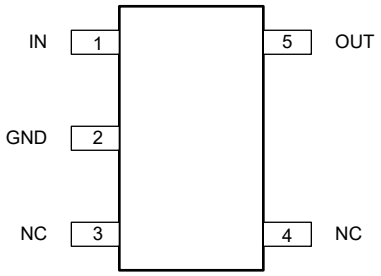


图 4-1. DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	DBV		
GND	2	—	接地引脚。
IN	1	I	输入电源引脚。更多信息，请参阅*建议运行条件*表和*输入和输出电容器要求*部分。
OUT	5	O	稳压器的输出。更多信息，请参阅*建议运行条件*表和*输入和输出电容器要求*部分。
NC	3、4	—	无内部连接。保持该引脚断开或连接到任何电位。将该引脚接地以提高热性能。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
电压[(2)]	V_{IN}		-0.3	42	V
	V_{OUT}		-0.3	2 × $V_{OUT(typ)}$ 或 V_{IN} + 0.3 或 15（以较低者为准）[(2)]	
功率耗散[(3)] [(4)]	SOT-23 (DBV)	T_A = -55°C		1.775	W
		T_A = +25°C		1.375	
		T_A = +125°C		0.875	
电流	V_{OUT}		受内部限制		A
温度	工作结温，T_J		-55	125	°C
	贮存温度，T_{stg}		-65	150	

(1) 在*绝对最大额定值*范围外运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件能够在该等条件下或在任何超出*建议运行条件*的其他条件下正常运行。如果在*建议运行条件*以外，但在*绝对最大额定值*范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) 所有电压值都是以接地端子为基准。
(3) 功率耗散额定值定义为稳压器在 24 小时内耗散的持续峰值功率。该额定值表示稳压器在连续运行过程中在不超过安全运行限制的情况下所处理的最大热能量。
(4) *绝对最大额定值*中提到的功率耗散值已安装在 PCB 上，仅供参考。PCB 配置基于 2s2p 配置的 JEDEC 标准 (EIA/JESD51-x)。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	2.5		40	V
V_{OUT}	输出电压[(1)]	1.2		12	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器[(2)]		0.47		μF
C_{OUT}	输出电容器[(3)]	1		47	μF
T_J	工作结温	-40		125	°C

(1) 所有电压均以 GND 为基准。
(2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.1 μF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬变的情况下。
(3) 列出的所有电容值均为标称值，假设有效电容降额至标称电容值的 50%。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标[1]		TPS7B92 DBV (SOT-23) [2] 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	207.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	104.7	°C/W
$R_{\theta JB}$	结至电路板热阻	73.6	°C/W
Ψ_{JT}	结至顶部特征参数	40.6	°C/W
Ψ_{JB}	结至电路板特征参数	73.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 热性能结果基于 2s2p PCB 配置的 JEDEC 标准。根据热优化型 PCB 布局设计，这些热指标参数可进一步提高 35-55%。请参阅电路板布局布线对 LDO 热性能的影响应用手册的分析。

5.5 电气特性

在工作结温范围（T_J = –40°C 至 +125°C）内、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom)+ 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）；典型值在 T_J = 25°C 条件下测得[1]

参数		测试条件		最小值	典型值	最大值	单位
V_{IN}	输入电压			2.5		40	V
I_{OUT} [2] [3]	最大输出电流				300		mA
V_{OUT}	输出电压	V_{OUT} = 1.8V	V_{IN} = V_{OUT} + 3.8V，100μA ≤ I_{OUT} ≤ 300mA，T_J = 25℃	-3.0		4.5	%
		V_{OUT} = 3.3V		-2.75		4.25	
		V_{OUT} = 5.0V		-3.75		4.25	
		V_{OUT} = 12V		-5.25		5.25	
		V_{OUT} = 1.8V	V_{IN} = V_{OUT} + 3.8V，100μA ≤ I_{OUT} ≤ 300mA，–40℃ ≤ T_J ≤ 125℃	-3.75		5.0	
		V_{OUT} = 3.3V		-3.5		5.0	
		V_{OUT} = 5.0V		-4.25		4.75	
		V_{OUT} = 12V		-5.75		5.75	
$\Delta V_{OUT}/V_{IN}$	线路调整	I_{OUT} = 1mA，V_{OUT} + 1V ≤ V_{IN} ≤ 40V			0.00005	0.007	%/V
$\Delta V_{OUT}/I_{OUT}$	负载调整率	V_{IN} = V_{OUT} + 2V，100μA ≤ I_{OUT} ≤ 150mA			0.1		%/A
$\Delta V_{OUT}/I_{OUT}$	负载调整率	V_{IN} = V_{OUT} + 3.8V，100μA ≤ I_{OUT} ≤ 300mA			0.3		%/A
V_{DO}	压降电压	I_{OUT} = 50mA			440	700	mV
V_{DO}	压降电压	I_{OUT} = 150mA			1100	1800	mV
V_{DO}	压降电压	I_{OUT} = 300mA			2175	3700	mV
I_{LIM}	输出电流限制	V_{OUT} = 0.90*$V_{OUT(nom)}$，V_{IN} = $V_{OUT(nom)}$ + 9V		320	530	740	mA
I_{SC}	短路电流限制	V_{OUT} = 0V，V_{IN} = $V_{OUT(nom)}$ + 6V		75	175	290	mA
I_{GND}	GND 引脚电流	V_{IN} = $V_{OUT(nom)}$ + 0.5V，I_{OUT} = 0mA，T_J = 25℃			1.7	2.65	μA
		V_{IN} = $V_{OUT(nom)}$ + 0.5V，I_{OUT} = 0mA，T_J = -40℃ 至 85°C				2.9	
		V_{IN} = $V_{OUT(nom)}$ + 0.5V，I_{OUT} = 0mA，T_J = -40℃ 至 125°C				3	
		V_{IN} = $V_{OUT(nom)}$ + 0.5V，I_{OUT} = 100μA			2.8		
I_{GND}	GND 引脚电流	V_{IN} = $V_{OUT(nom)}$ + 3.8V，I_{OUT} = 300mA			250		μA
PSRR	电源纹波抑制	V_{IN} = $V_{OUT(nom)}$ + 1V，I_{OUT} = 50mA，C_{OUT} = 0.47μF，f = 10kHz			55		dB
		V_{IN} = $V_{OUT(nom)}$ + 1V，I_{OUT} = 50mA，C_{OUT} = 0.47μF，f = 100kHz			43		

5.5 电气特性（续）

在工作结温范围（T_J = –40°C 至 +125°C）内、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom)+ 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下测得（除非另有说明）；典型值在 T_J = 25°C 条件下测得[1]

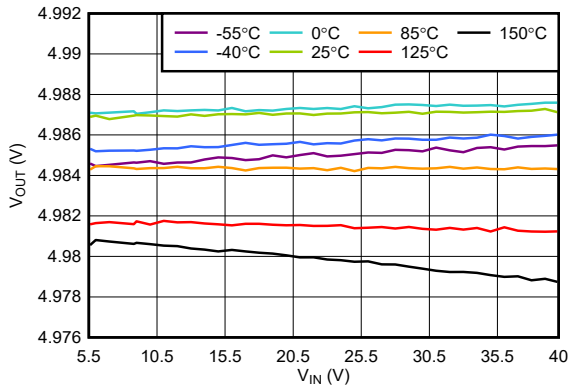
参数		测试条件		最小值	典型值	最大值	单位
V_n	输出噪声电压	带宽 = 10Hz 至 100kHz、V_{IN} = $V_{OUT(nom)}$ + 3.8V、I_{OUT} = 300mA、C_{OUT} = 1μF	带宽 = 10Hz 至 100kHz、V_{IN} = $V_{OUT(nom)}$ + 3.8V、I_{OUT} = 300mA、C_{OUT} = 1μF		525		μV_{RMS}
T_{sd+}	热关断升温	关断，温度升高			160		°C
T_{sd-}	热关断降温	复位，温度降低			140		°C
t_{sup} [4]	启动时间				400		μs

(1) 脉冲测试技术被用来保持虚拟结温尽可能接近环境温度；将热效应单独考虑在内。
(2) 稳压器上较高的功率耗散会导致热关断电路激活，从而阻止达到最大输出电流。
(3) 支持的最大功率耗散额定值在*绝对最大额定值*表中列出。超过这些额定值会导致稳压器出现永久性的 SOA 损坏。
(4) 测得的启动时间为 t = 0（V_{IN} 以大于 1V/μs 的压摆率斜升时）与 V_{OUT} 达到 $V_{OUT(nom)}$ 值 95% 的时间之间的差值。

Copyright © 2025 Texas Instruments Incorporated

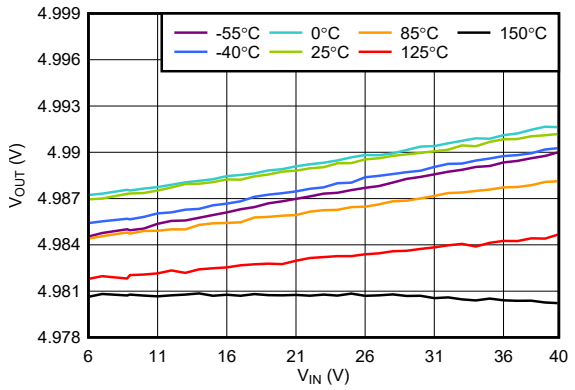
5.6 典型特性

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



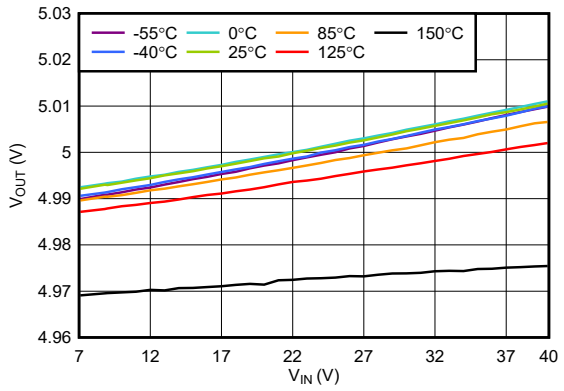
V_{OUT} = 5.0V，I_{OUT} = 10mA

图 5-1. V_{OUT} 与 V_{IN} 间的关系



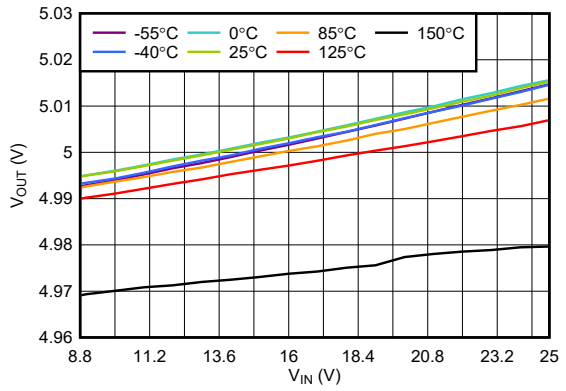
V_{OUT} = 5.0V，I_{OUT} = 50mA

图 5-2. V_{OUT} 与 V_{IN} 间的关系



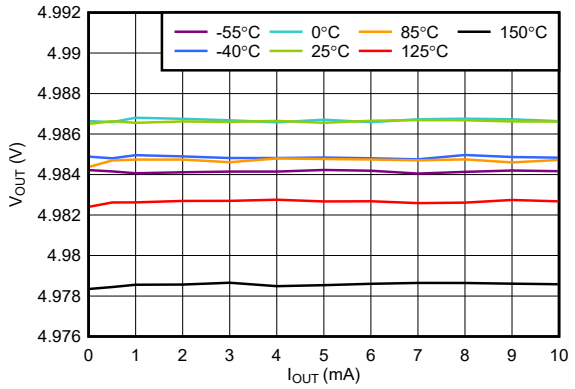
V_{OUT} = 5.0V，I_{OUT} = 150mA

图 5-3. V_{OUT} 与 V_{IN} 间的关系



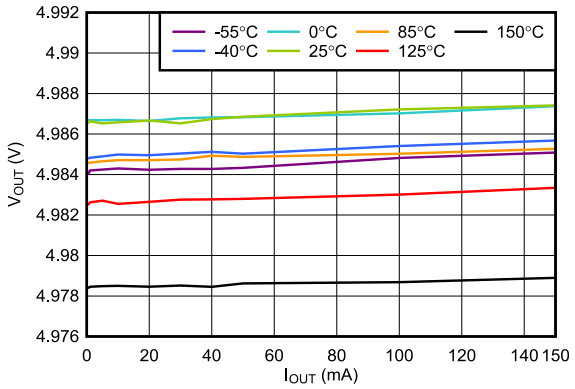
V_{OUT} = 5.0V，I_{OUT} = 300mA

图 5-4. V_{OUT} 与 V_{IN} 间的关系



V_{IN} = 5.5V，V_{OUT} = 5.0V

图 5-5. V_{OUT} 与 I_{OUT} 间的关系

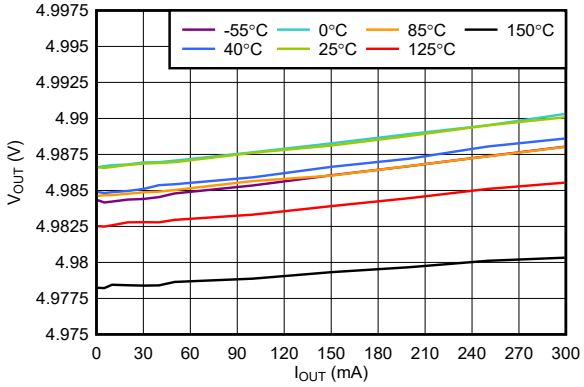


V_{IN} = 7.0V，V_{OUT} = 5.0V

图 5-6. V_{OUT} 与 I_{OUT} 间的关系

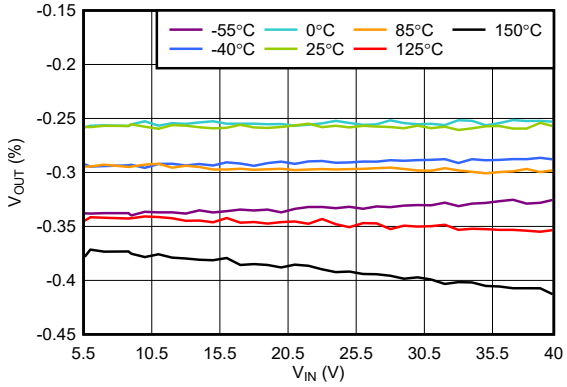
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



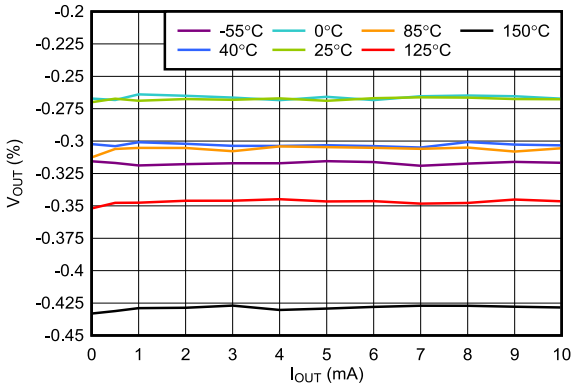
V_{IN} = 8.8V，V_{OUT} = 5.0V

图 5-7. V_{OUT} 与 I_{OUT} 间的关系



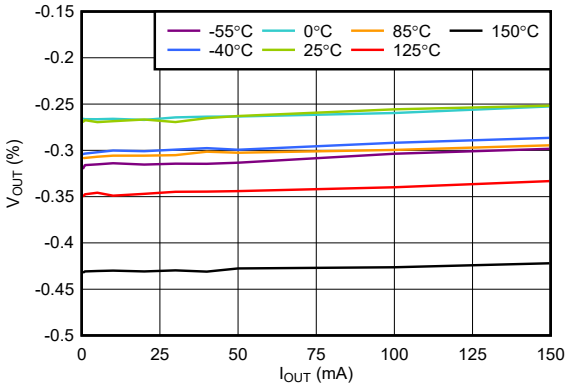
V_{OUT} = 5.0V，I_{OUT} = 1.0mA

图 5-8. V_{OUT} 精度与 V_{IN} 间的关系



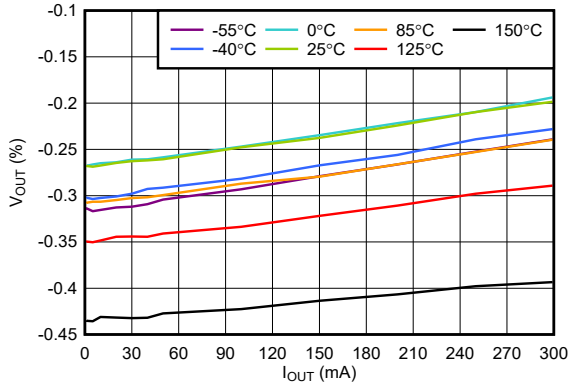
V_{IN} = 5.5V，V_{OUT} = 5.0V

图 5-9. V_{OUT} 精度与 I_{OUT} 间的关系



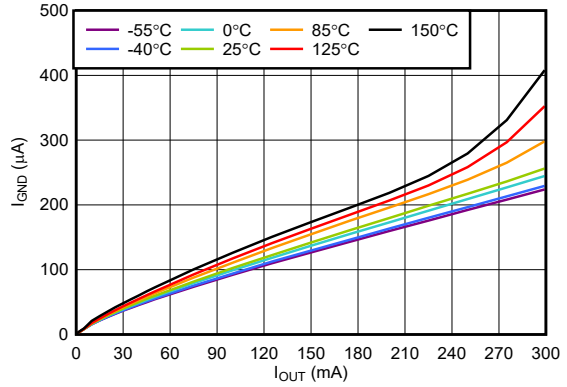
V_{IN} = 7.0V，V_{OUT} = 5.0V

图 5-10. V_{OUT} 精度与 I_{OUT} 间的关系



V_{IN} = 8.8V，V_{OUT} = 5.0V

图 5-11. V_{OUT} 精度与 I_{OUT} 间的关系



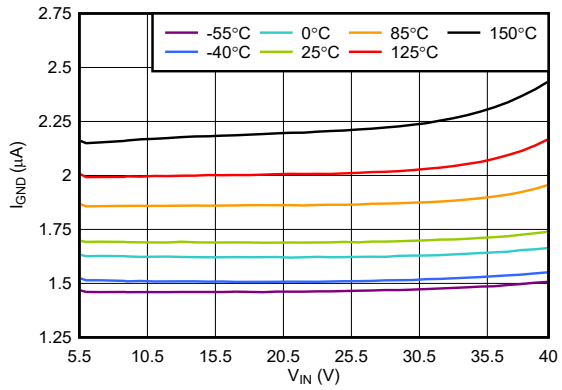
V_{IN} = 8.8V，V_{OUT} = 5.0V

图 5-12. I_{GND} 与 I_{OUT} 间的关系

Copyright © 2025 Texas Instruments Incorporated

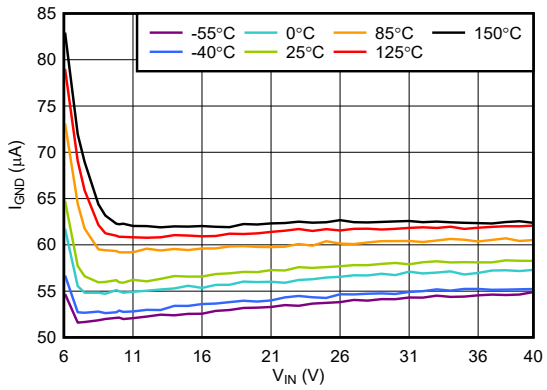
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



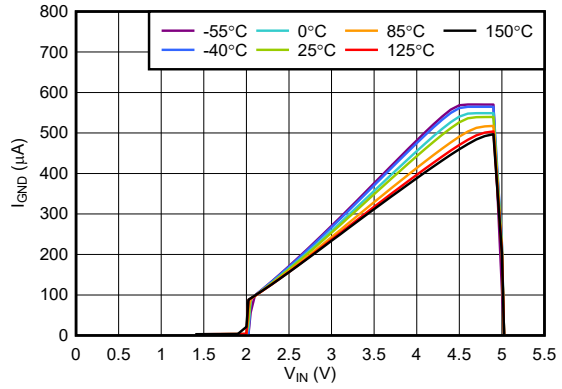
V_{OUT} = 5.0V，I_{OUT} = 0mA

图 5-13. I_{GND} 与 V_{IN} 间的关系



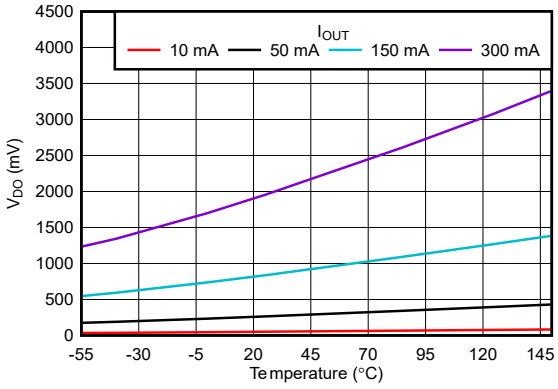
V_{OUT} = 5.0V，I_{OUT} = 50mA

图 5-14. I_{GND} 与 V_{IN} 间的关系



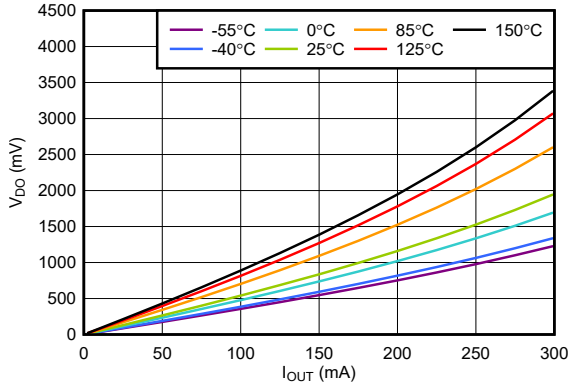
V_{OUT} = 5.0V，I_{OUT} = 0mA

图 5-15. I_{GND} 与 V_{IN} 间的关系（压降运行）



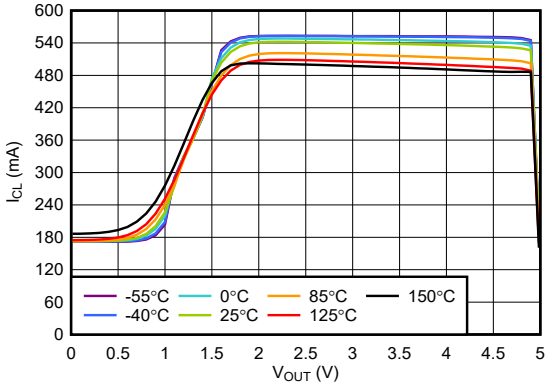
V_{OUT} = 5.0V

图 5-16. 压降与温度间的关系



V_{OUT} = 5.0V

图 5-17. 压降与 I_{OUT} 间的关系

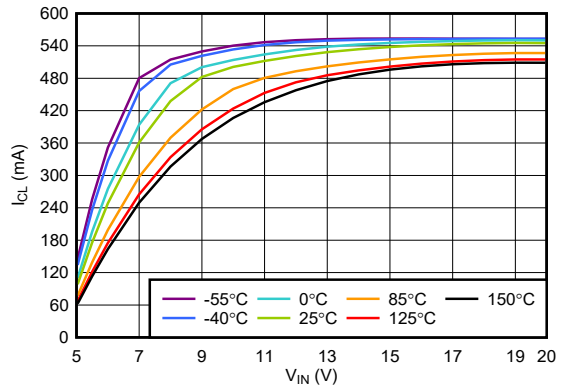


V_{IN} = 14V

图 5-18. 电流限值与 V_{OUT} 间的关系

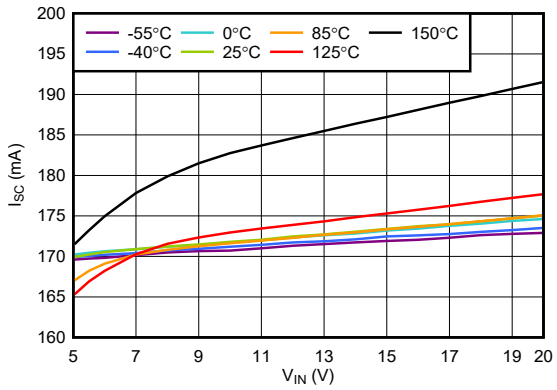
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



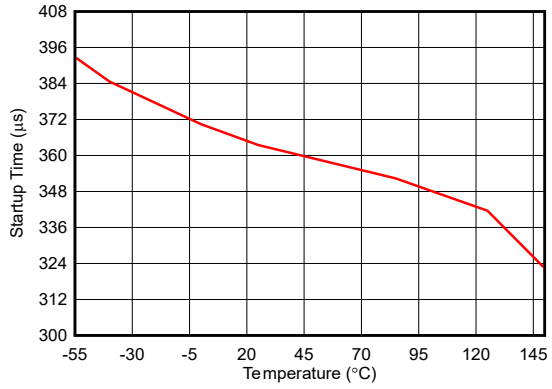
V_{OUT} = 5.0V

图 5-19. 电流限值与 V_{IN} 间的关系



V_{OUT} = 5.0V

图 5-20. 短路电流限值与 V_{IN} 间的关系



V_{IN} = 5.5V，V_{OUT} = 5.0V

图 5-21. 软启动时间与温度间的关系

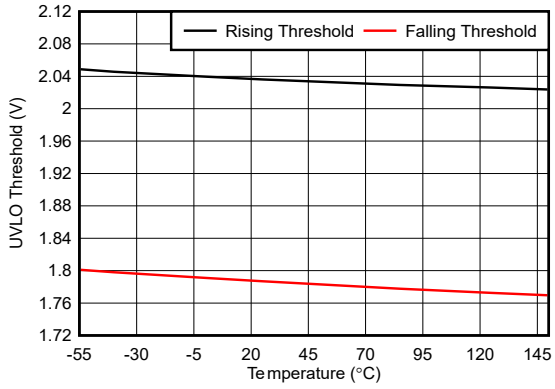
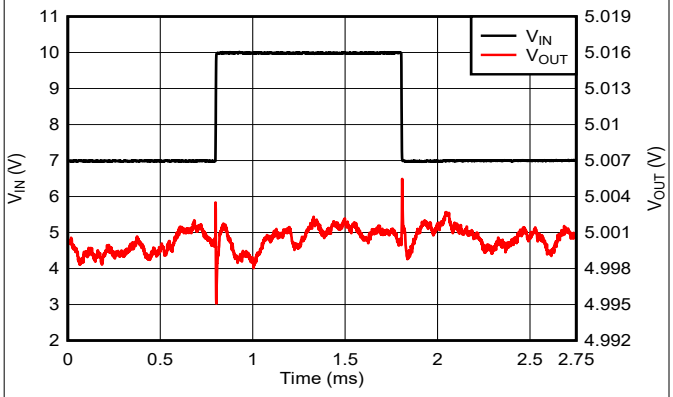
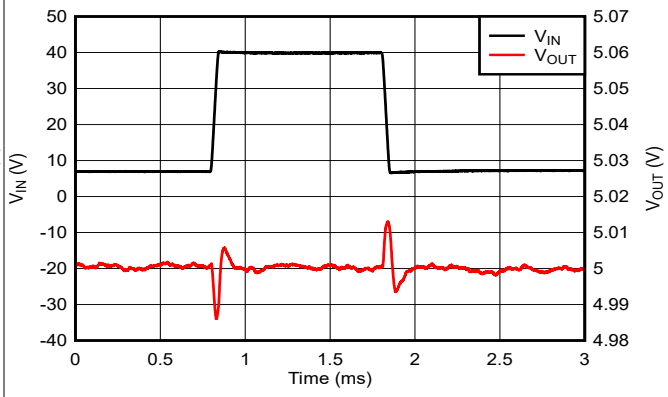


图 5-22. UVLO 阈值与温度间的关系



V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

图 5-23. V_{IN} 线路瞬态（7V 至 10V）



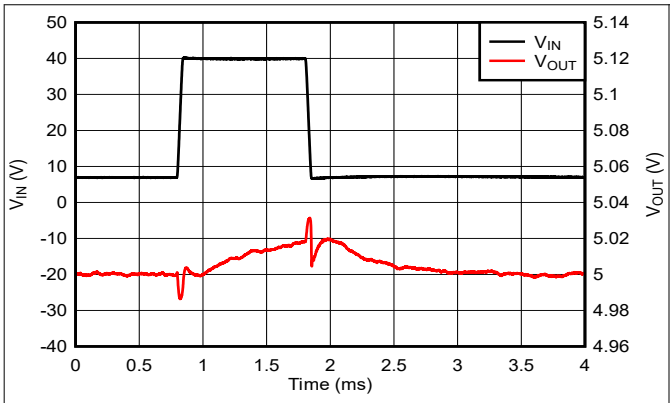
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 5-24. V_{IN} 线路瞬态（7V 至 40V）

Copyright © 2025 Texas Instruments Incorporated

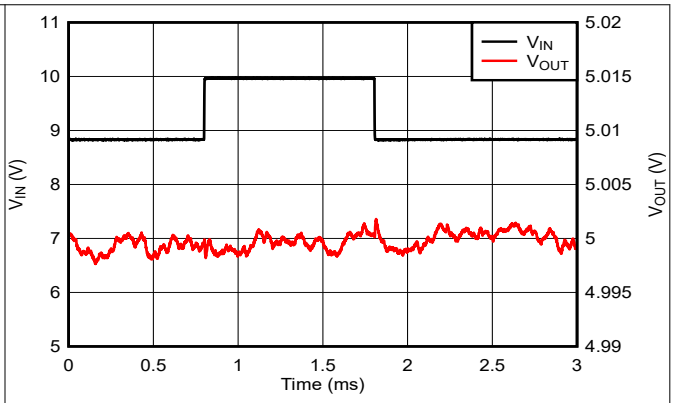
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



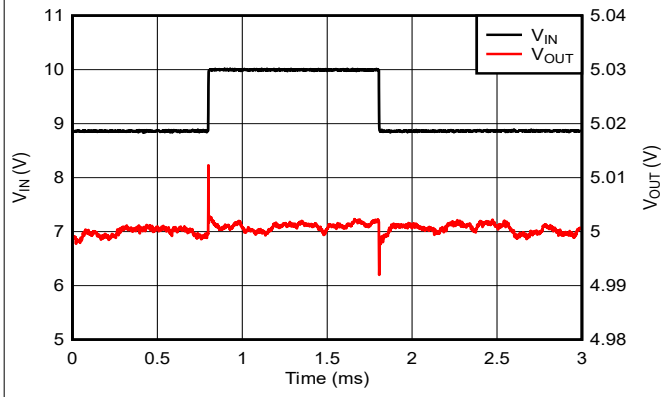
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

图 5-25. V_{IN} 线路瞬态（7V 至 40V）



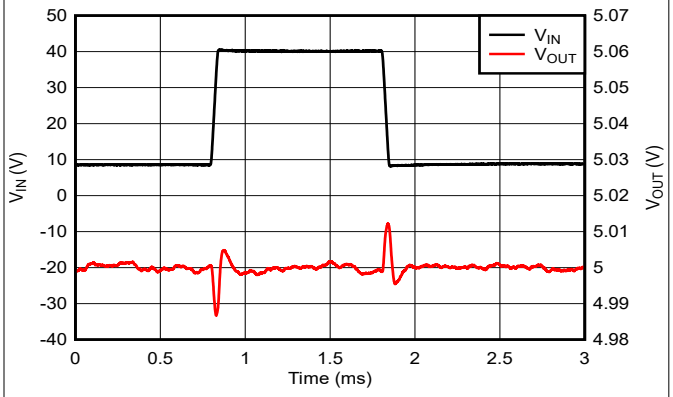
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 5-26. V_{IN} 线路瞬态（8.8V 至 10V）



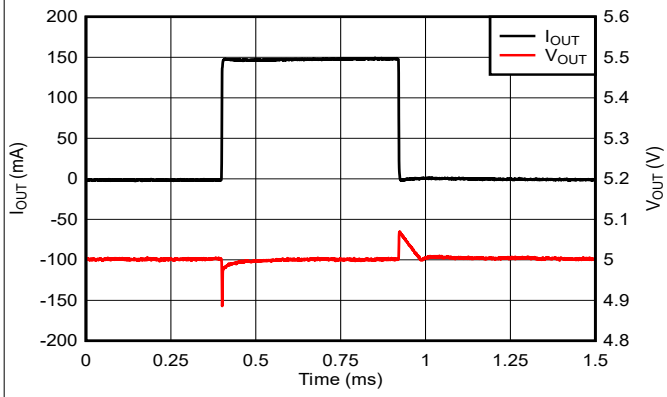
V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 5-27. V_{IN} 线路瞬态（8.8V 至 10V）



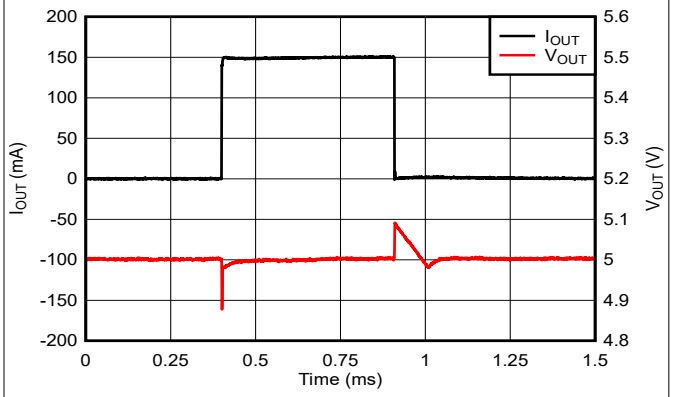
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 5-28. V_{IN} 线路瞬态（8.8V 至 40V）



V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/μs

图 5-29. 负载瞬态（1mA 至 150mA）

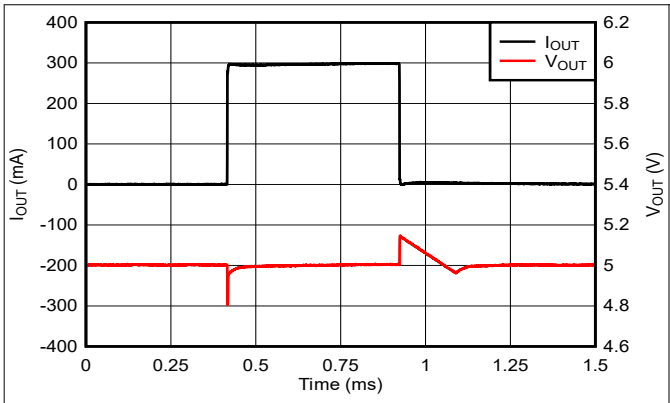


V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/μs

图 5-30. 负载瞬态（1mA 至 150mA）

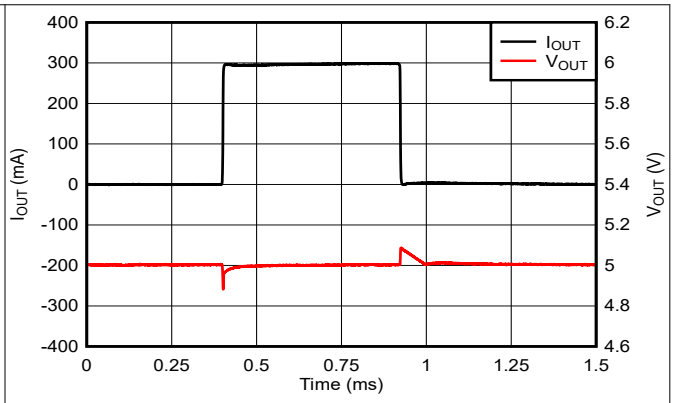
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



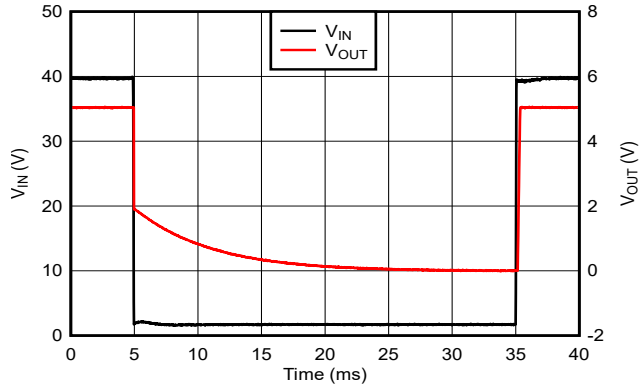
V_{IN} = 8.8V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/μs

图 5-31. 负载瞬态（1mA 至 300mA）



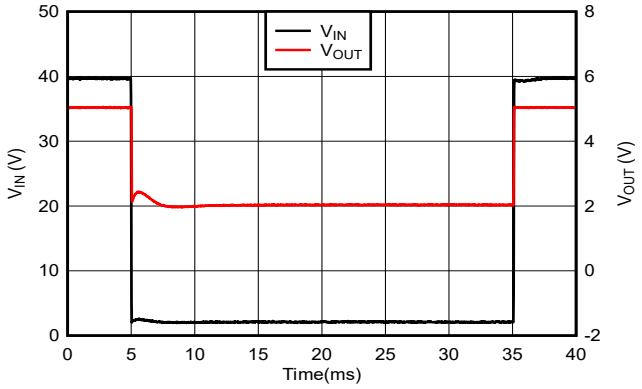
V_{IN} = 8.8V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/μs

图 5-32. 负载瞬态（1mA 至 300mA）



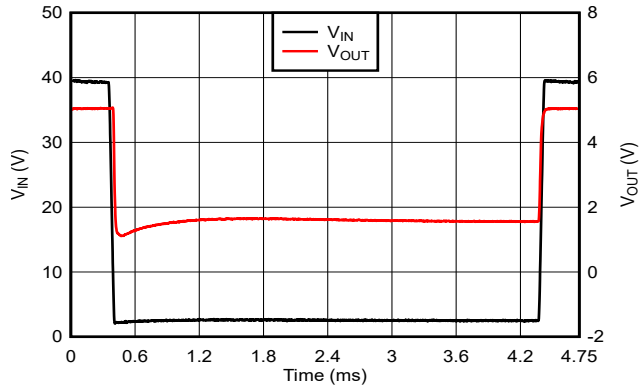
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 5-33. 欠压瞬态（40V 至 1.7V）



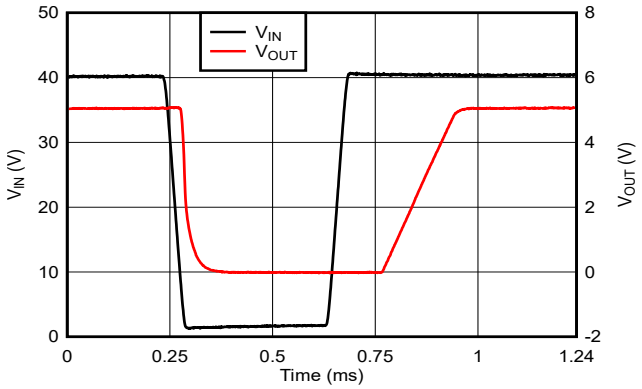
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 5-34. 欠压瞬态（40V 至 2.1V）



V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 5-35. 欠压瞬态（40V 至 2.5V）



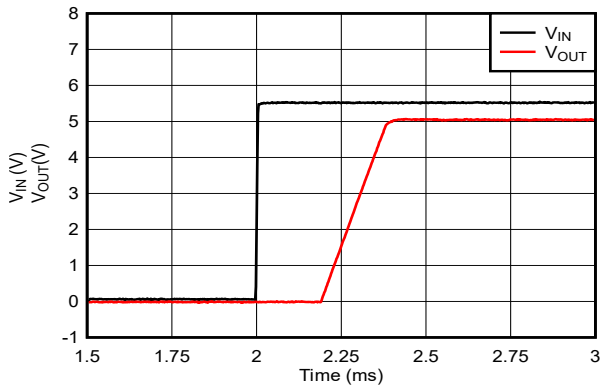
V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 5-36. 欠压瞬态（40V 至 1.7V）

Copyright © 2025 Texas Instruments Incorporated

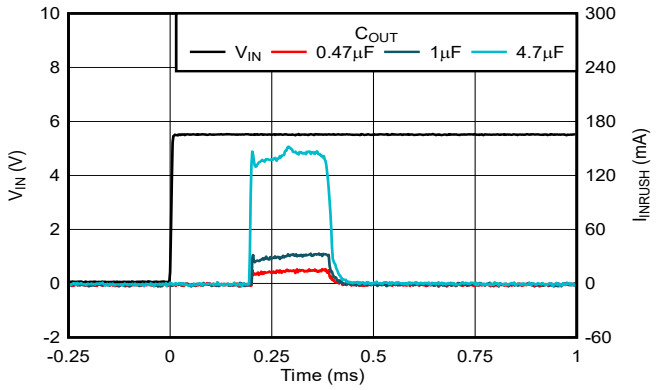
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



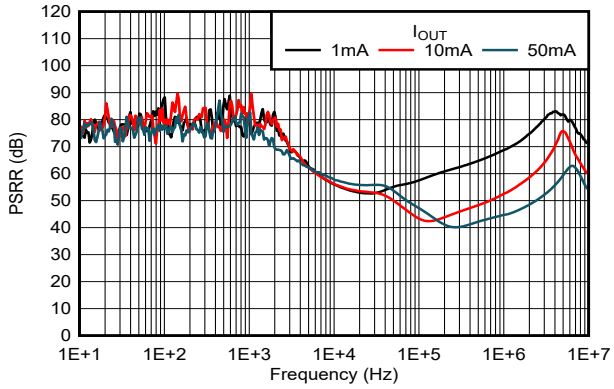
V_{IN} = 5.5V，V_{OUT} = 5.0V，R_{OUT} = 5kΩ

图 5-37. 启动



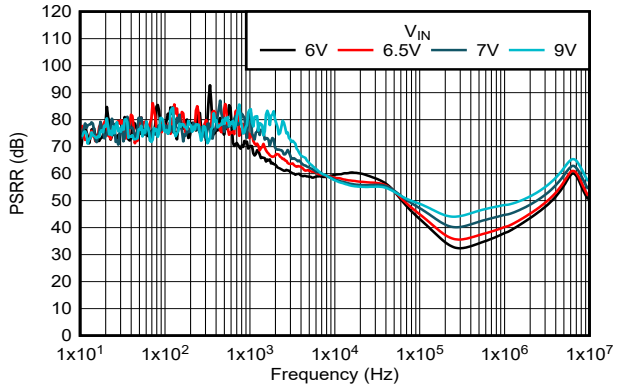
V_{IN} = 5.5V，V_{OUT} = 5.0V

图 5-38. 浪涌电流与输出电容器间的关系



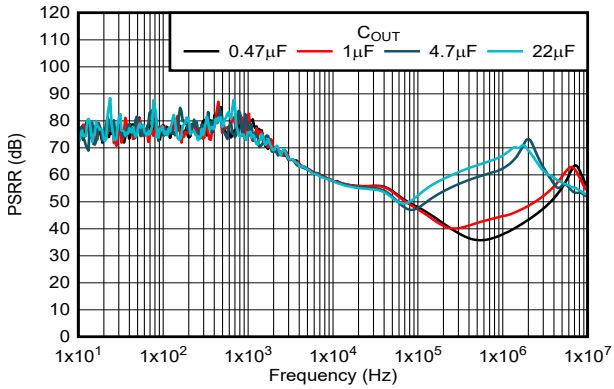
V_{OUT} = 5.0V、C_{OUT} = 1μF、V_{IN} = 7V

图 5-39. PSRR 与负载电流间的关系



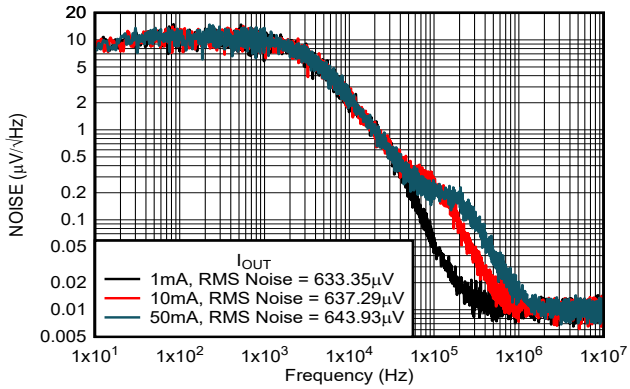
V_{OUT} = 5.0V，C_{OUT} = 1μF，I_{OUT} = 50mA

图 5-40. PSRR 与输入电源间的关系



V_{IN} = 7.0V，V_{OUT} = 5.0V，I_{OUT} = 50mA

图 5-41. PSRR 与输出电容器间的关系

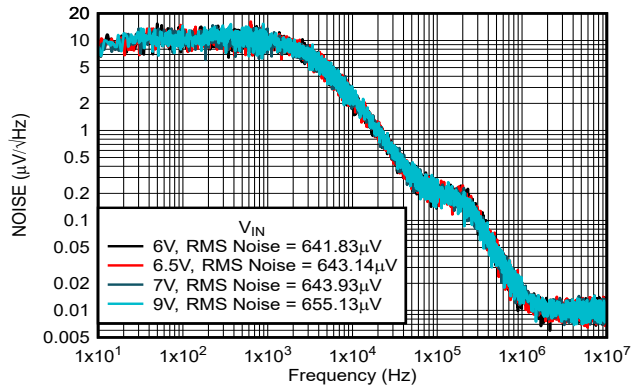


V_{IN} = 7.0V，V_{OUT} = 5.0V，C_{OUT} = 1μF

图 5-42. 噪声与负载电流间的关系

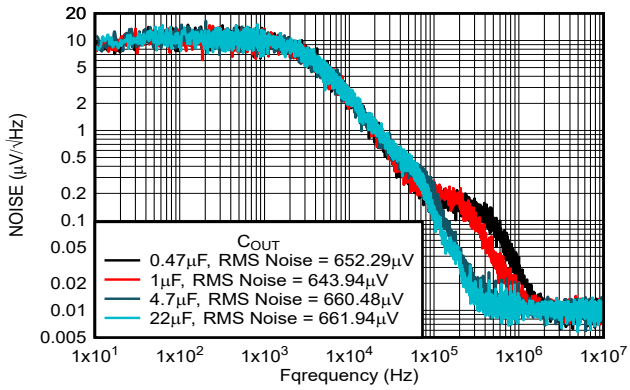
5.6 典型特性（续）

在工作结温 T_J = 25°C、V_{IN} = 2.5V 或 V_{IN} = V_{OUT}(nom) + 0.5V（以较大者为准）、C_{IN} = 1μF、C_{OUT} = 1μF 且 I_{OUT} = 1mA 条件下（除非另有说明）



V_{OUT} = 5.0V，I_{OUT} = 50mA，C_{OUT} = 1 μ F

图 5-43. 噪声与输入电源间的关系



V_{IN} = 7.0V，V_{OUT} = 5.0V，I_{OUT} = 50mA

图 5-44. 噪声与输出电容器间的关系

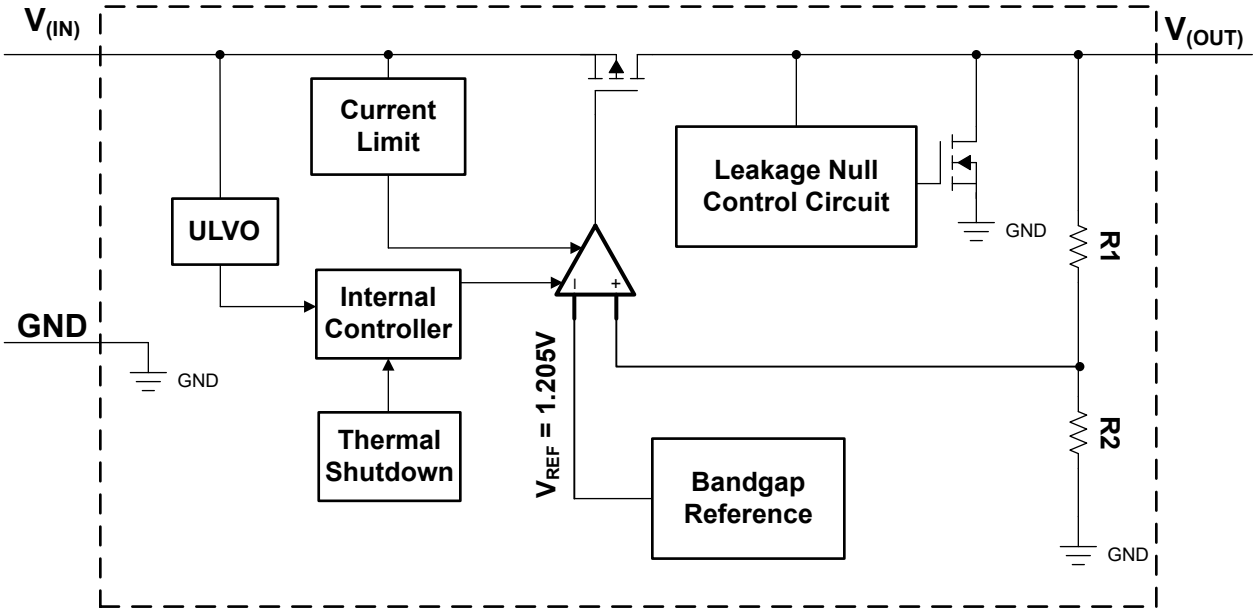
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7B92 低压降稳压器 (LDO) 在空载电流下仅消耗 1.8μA（典型值）的静态电流。该器件采用小型封装，可提供宽输入电压范围（2.5V 至 40V）和宽输出范围。宽输出范围为 1.2V 至 12V。该器件在 1μF 至 47μF 的输出电容器范围内保持稳定。在整个负载电流范围内具有低静态电流，这使得 TPS7B92 成为为电池供电型应用供电的理想选择。TPS7B92 具有内部软启动机制，可通过受控浪涌电流实现均匀的启动。该 LDO 还在输出端的负载短路或故障情况下提供折返过流保护和热保护。

6.2 功能方框图



6.3 特性说明

6.3.1 宽电源电压

该器件的工作输入电源电压范围为 2.5V 至 40V，适用于各种应用。这种宽电源电压范围专为具有较大瞬变或高直流电压电源的应用而设计。

6.3.2 低静态电流

该器件在空载时只需要 1.8μA（典型值）的静态电流。在室温下，LDO 消耗的电流不到满负载电流容量 (300mA) 的 0.1%。对于高于 1mA 的负载电流，TPS7B92 可将 I_Q 消耗控制在负载电流的 0.5% 以内，从而保持高效率。通过这种方式，器件能够保持良好的瞬态性能。

6.3.3 压降电压 (V_{DO})

压降电压 (V_{DO}) 在额定输出电流 (I_{RATED}) 下被定义为 V_{IN} – V_{OUT}，在这种情形下，导通晶体管完全导通。V_{IN} – V_{OUT} 为输入电压减去输出电压。I_{RATED} 是*建议运行条件*表中列出的最大 I_{OUT}。器件在压降模式下运行时，导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于维持输出调节所需的值，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。使用方程式 1 计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{1}$$

6.3.4 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

对于此器件，$V_{FOLDBACK}$ = 50% × $V_{OUT(nom)}$。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 [(V_{IN} – V_{OUT}) × I_{SC}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

图 6-1 显示了折返电流限制图。

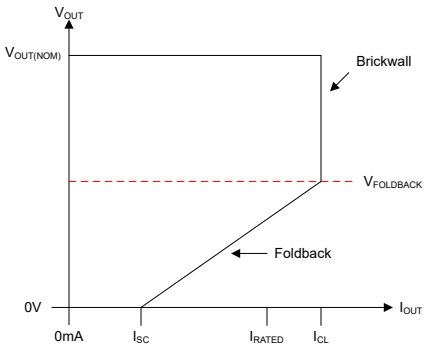


图 6-1. 折返电流限制

6.3.5 零泄漏控制电路

该器件具有内置的零泄漏控制电路。在高温下，导通晶体管漏电流会增加，并开始在低负载条件下影响 V_{OUT} 精度。随着 LDO 两端余量 (V_{IN} – V_{OUT}) 的增加，这种泄漏变得更加严重。TPS7B92 有一个内置的零泄漏控制电路，此电路可检测导通晶体管泄漏并为泄漏提供一个接地放电路径。该电路有助于 TPS7B92 在宽 V_{IN} 和温度范围（–40°C 至 +125°C）内保持更严格的 V_{OUT} 精度。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1 提供了正常运行模式和压降运行模式之间的快速比较。

表 6-1. 器件功能模式比较

工作模式	参数	
	V_{IN}	I_{OUT}
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$
压降	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$

6.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温大于 –40°C 且小于 +125°C

6.4.2 压降运行

当输入电压低于标称输出电压与指定压降电压之和时，该器件在压降模式下运行。但是，确保满足正常运行所需的所有其他条件。器件在压降模式下运行时，导通晶体管处于欧姆区域或三极管区域并充当开关。由于这种运行，器件的瞬态性能会显著下降。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管被驱动进入欧姆或三极管区域。此状态定义为器件在正常稳压状态后直接处于压降状态，但在启动期间*不* 处于此状态。在压降期间，$V_{IN} < V_{OUT(NOM)} + V_{DO}$。当输入电压返回值 ≥ $V_{OUT(NOM)} + V_{DO}$ 时，输出电压会在短时间内过冲。在此期间，该器件将导通晶体管拉回线性区域。$V_{OUT(NOM)}$ 是标称输出电压，V_{DO} 是压降电压。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS7B92 LDO 稳压器非常适合用于电池供电应用。该器件在整个负载电流范围内具有低 I_Q 性能，是低功耗微控制器（例如 MSP430）的理想电源。TPS7B92 具有超低电源电流，可更大限度地提高轻负载条件下的效率。此器件可灵活地选择输出电压。这些特性以及高输入电压范围使得该器件十分适合用作楼宇自动化和电动工具中的电源。

7.2 典型应用

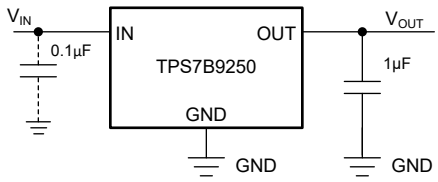


图 7-1. 典型应用电路

7.2.1 设计要求

表 7-1 总结了图 7-1 的设计要求。

表 7-1. 设计参数

参数	设计要求
输入电压	12V
输出电压	5.0V
输出电流	100mA

7.2.2 详细设计过程

7.2.2.1 外部电容器要求

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但要结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是，由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。*建议运行条件* 表中列出的输入和输出电容器的有效电容大约为标称值的 50%。

7.2.2.2 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5Ω，请使用输入电容器。如果预计会有较大且快速的上升时间负载或线路瞬变，则需要更高容值的电容。如果器件距离输入电源几英寸，则还需要一个高容值电容器。

通过使用更大的输出电容器来提升器件的动态性能。为了实现稳定性，TPS7B92 需要一个 1µF 或更大的输出电容器（0.47µF 或更大的电容）。0.001Ω 和 1Ω 之间还需要一个等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器

Copyright © 2025 Texas Instruments Incorporated

时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为确保稳定性，请在*建议运行条件*表中指定的范围内使用输出电容器。

7.2.2.3 反向电流

反向电流过大可能会损坏此器件。反向电流流经 PMOS 导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leqslant V_{IN}$ + 0.3V 的绝对最大额定值。这些条件包括：

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。如果无法避免反向电流，则将反向电流限制为器件额定输出电流的 5% 或更低。

图 7-2 展示了保护器件的一种方法。

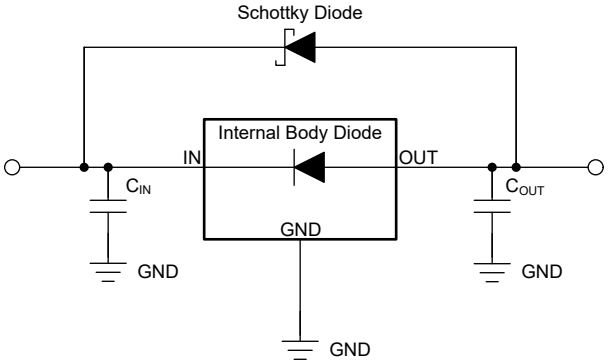


图 7-2. 使用肖特基二极管的反向电流保护示例电路

7.2.2.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确保此焊盘区域包含一组电镀过孔，这些过孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。根据方程式 3，功率耗散和结温通常与结至环境热阻 ($R_{\theta JA}$) 有关。$R_{\theta JA}$ 元件是 PCB、器件封装和环境空气温度 (T_A) 的组合。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

绝对最大额定值 中定义了 TPS7B92 支持的最大峰值功率耗散。功率耗散额定值根据 PCB 配置记录，并基于 2s2p 配置的 JEDEC 标准 (EIA/JESD51-x)。支持的最大功率可为 TPS7B92 提供可靠运行。超过功率限值会导致极端结温（与结至环境热阻 $R_{\theta JA}$ 相关，方程式 3）。极端温度有可能损坏器件，并可能缩短预期的器件寿命。根据安全操作限值，图 7-3 显示了余量 ($V_{IN} - V_{OUT}$) 支持的负载电流 (I_{OUT})。

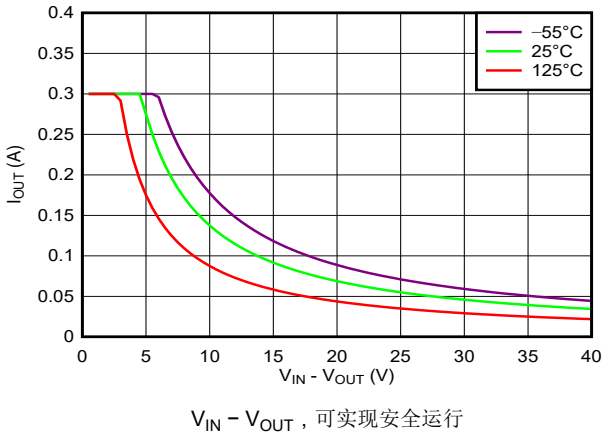


图 7-3. I_{OUT} 与余量 ($V_{IN} - V_{OUT}$) 间的关系

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。*热性能信息* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。$R_{\theta JA}$ 用作封装热性能的相对测量值。在 PCB 电路板布局布线经过优化的情况下，与*热性能信息* 表中的值相比，$R_{\theta JA}$ 提高了 35% 至 55%。请参阅*电路板布局布线对 LDO 热性能影响的经验分析* 应用手册。

7.2.2.5 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息* 表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \tag{4}$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \tag{5}$$

其中：

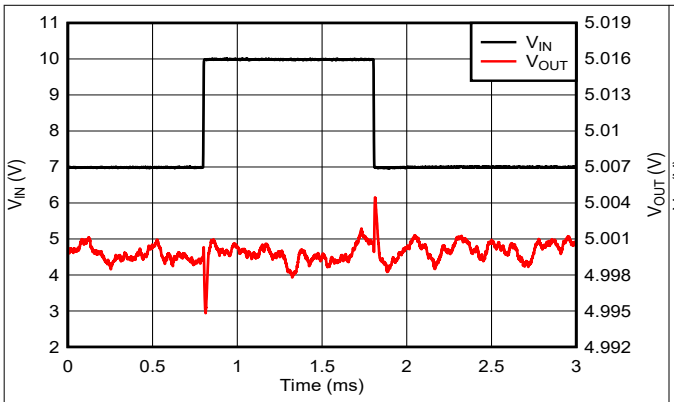
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标* 应用手册。

Copyright © 2025 Texas Instruments Incorporated

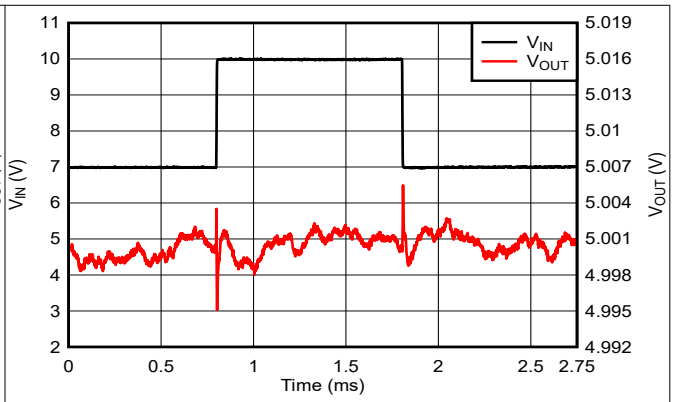
7.2.3 应用曲线

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 2.5（以较大者为准）、I_{OUT} = 1mA、C_{IN} = 1μF 且 C_{OUT} = 1μF 条件下（除非另有说明）



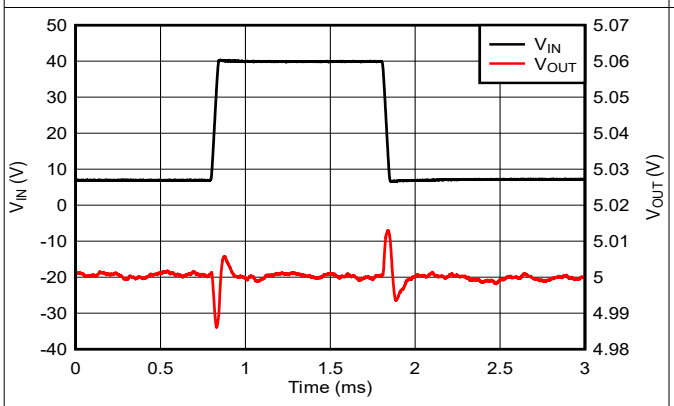
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-4. V_{IN} 线路瞬态（7V 至 10V）



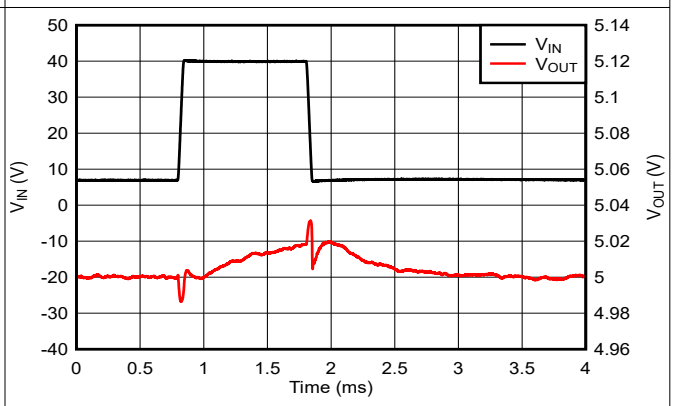
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

图 7-5. V_{IN} 线路瞬态（7V 至 10V）



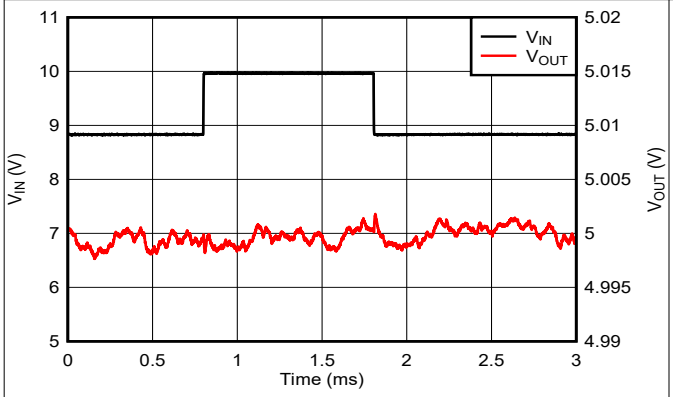
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-6. V_{IN} 线路瞬态（7V 至 40V）



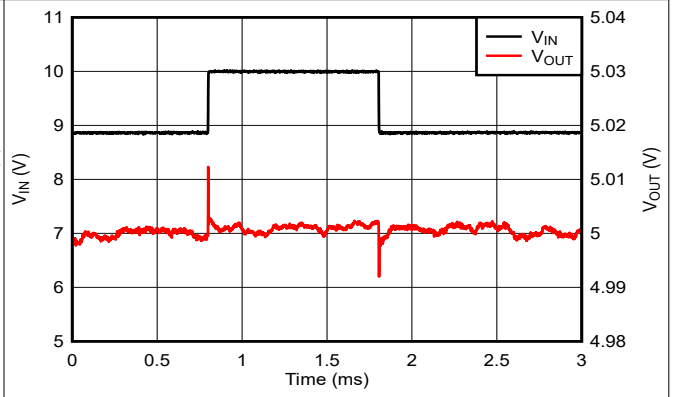
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

图 7-7. V_{IN} 线路瞬态（7V 至 40V）



V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-8. V_{IN} 线路瞬态（8.8V 至 10V）

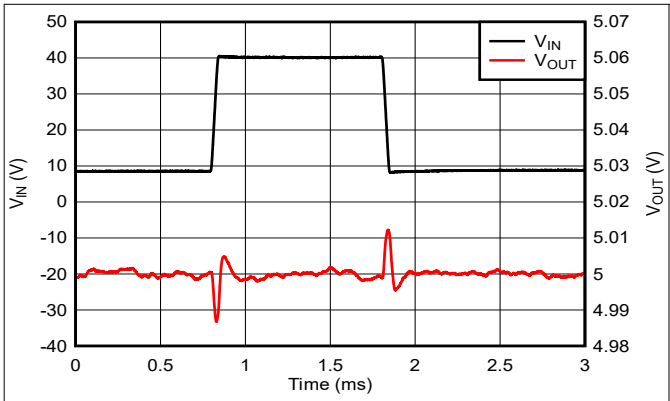


V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 7-9. V_{IN} 线路瞬态（8.8V 至 10V）

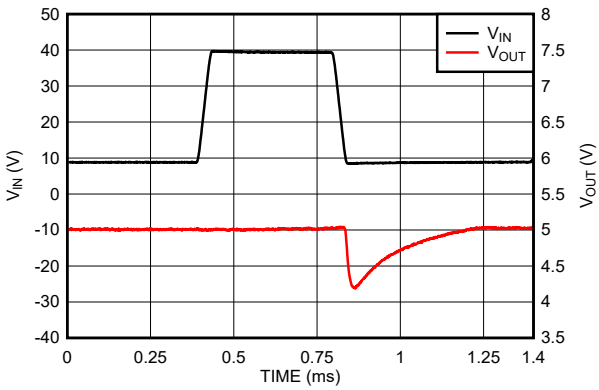
7.2.3 应用曲线（续）

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 2.5（以较大者为准）、I_{OUT} = 1mA、C_{IN} = 1μF 且 C_{OUT} = 1μF 条件下（除非另有说明）



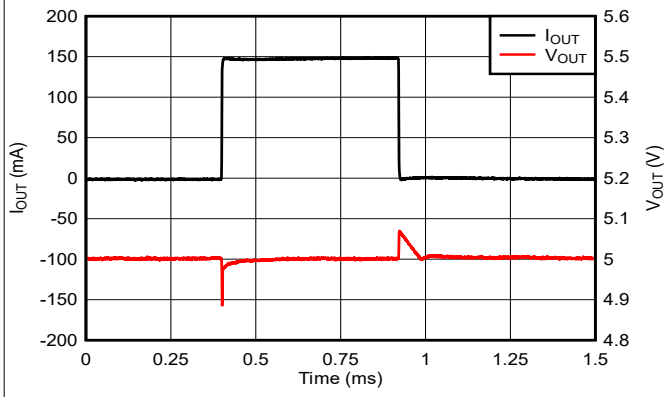
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-10. V_{IN} 线路瞬态（8.8V 至 40V）



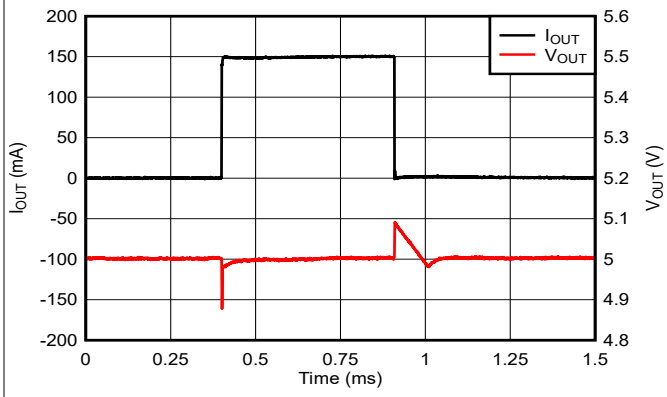
V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 7-11. V_{IN} 线路瞬态（8.8V 至 40V）



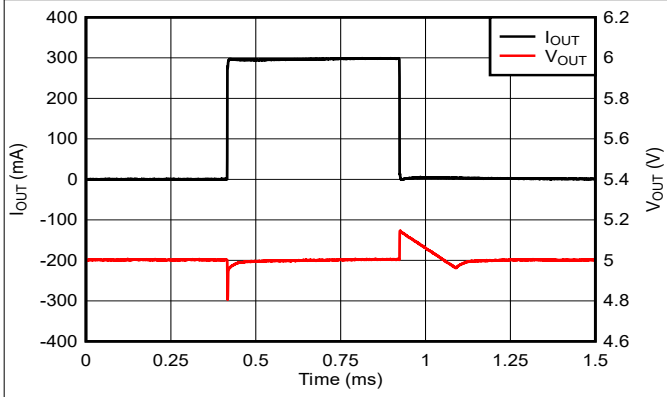
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/μs

图 7-12. 负载瞬态（1mA 至 150mA）



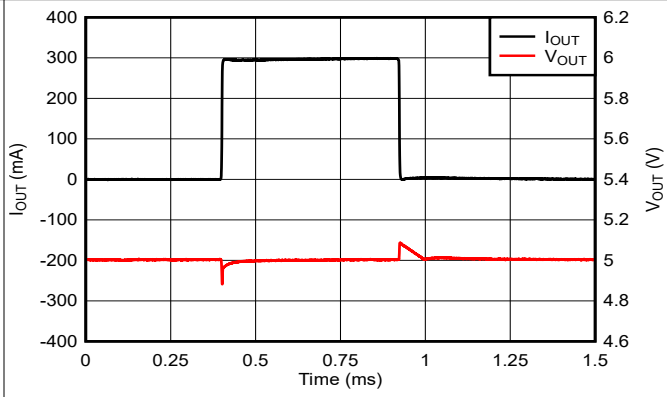
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/μs

图 7-13. 负载瞬态（1mA 至 150mA）



V_{IN} = 8.8V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/μs

图 7-14. 负载瞬态（1mA 至 300mA）



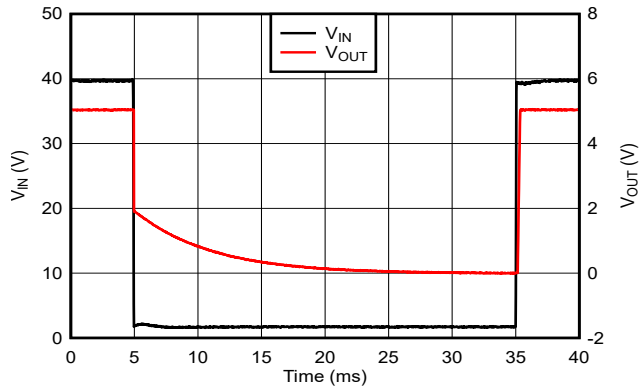
V_{IN} = 8.8V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/μs

图 7-15. 负载瞬态（1mA 至 300mA）

Copyright © 2025 Texas Instruments Incorporated

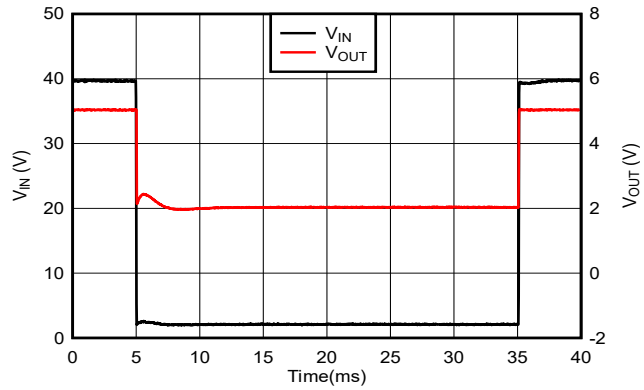
7.2.3 应用曲线（续）

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 2.5（以较大者为准）、I_{OUT} = 1mA、C_{IN} = 1μF 且 C_{OUT} = 1μF 条件下（除非另有说明）



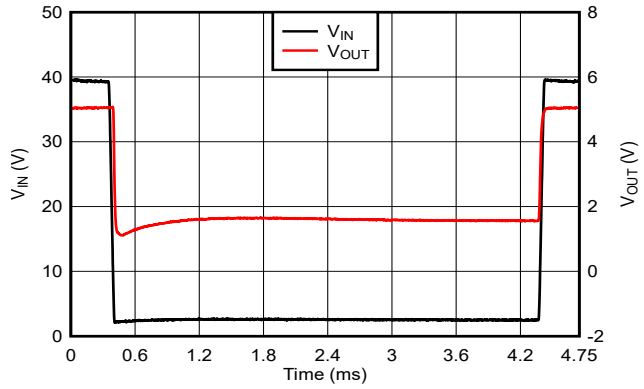
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-16. 欠压瞬态（40V 至 1.7V）



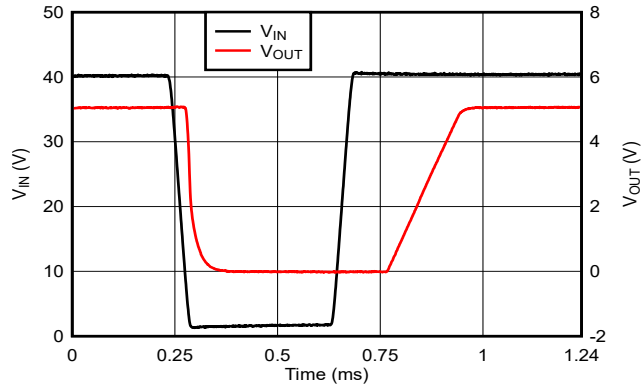
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

图 7-17. 欠压瞬态（40V 至 2.1V）



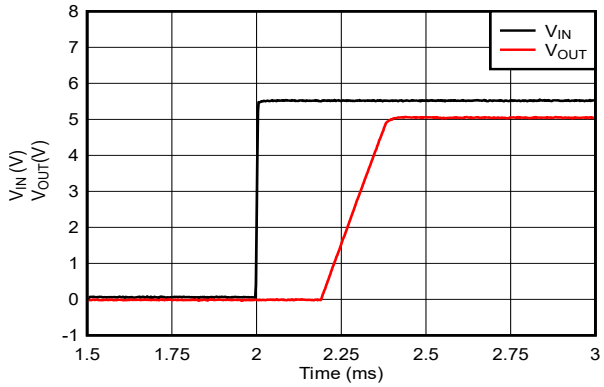
V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 7-18. 欠压瞬态（40V 至 2.5V）



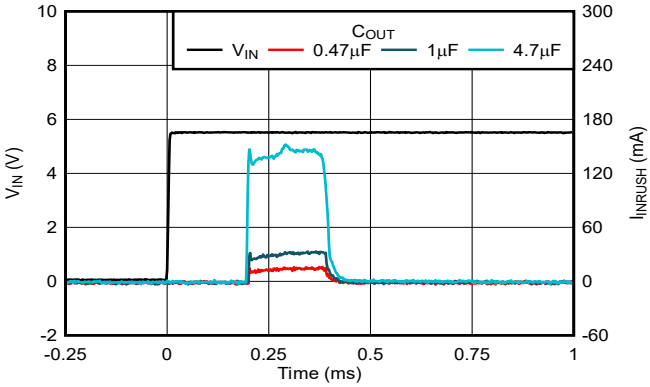
V_{OUT} = 5.0V、I_{OUT} = 300mA、dV_{IN}/dt = 1V/μs

图 7-19. 欠压瞬态（40V 至 1.7V）



V_{IN} = 5.5V，V_{OUT} = 5.0V，I_{OUT} = 1mA，R_{OUT} = 5kΩ

图 7-20. 启动



V_{IN} = 5.5V，V_{OUT} = 5.0V

图 7-21. 浪涌电流与输出电容器间的关系

7.3 优秀设计实践

将至少一个 1.0 μF 陶瓷电容器放置得尽可能靠近稳压器的 OUT 和 GND 引脚。

请勿使用长而细的引线将输出电容器连接到稳压器。

将输入电容尽可能靠近稳压器的 IN 和 GND 引脚连接，以获得出色性能。

请勿超出绝对最大额定值。

7.4 电源相关建议

TPS7B92 设计为在 2.5V 至 40V 的输入电源电压范围内运行。输入电压范围为器件提供了足够的余量，以实现稳定的输出。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.5 布局

7.5.1 布局指南

为了获得理想的总体性能，请遵循本节中的准则。请将所有电路元件放置在印刷电路板 (PCB) 的同一侧，并尽可能靠近各自的 LDO 引脚连接。使用元件侧的宽铜层，将输入和输出电容器的接地回路连接放置在尽可能靠近 GND 引脚的位置。请勿使用过孔和长迹线创建与输入电容器、输出电容器或电阻分压器的 LDO 电路连接，因为这种做法会对系统性能产生负面影响。这种接地和布局方案可更大限度地减少电感寄生效应，从而减少负载电流瞬变，更大限度地降低噪声并提高电路稳定性。还建议使用接地参考平面，该平面嵌入在 PCB 中，或者位于 PCB 底部与元件相对的位置。该参考平面用于提供输出电压的精度并屏蔽 LDO 以使其免受噪声影响。

7.5.1.1 功率耗散

为了提供可靠运行，确保最坏情况下的结温不超过 125°C。该条件限制了稳压器在任何给定应用中可处理的功率耗散。为了确保结温处于可接受的限值内，请计算最大允许耗散 ($P_{D(max)}$)。此外，还要计算实际耗散 (P_D)，确保其小于或等于 $P_{D(max)}$。

方程式 6 决定了最大功率耗散限制：

$$P_{D(max)} = \frac{T_J max - T_A}{R_{\theta JA}} \tag{6}$$

其中：

- $T_J$max 是允许的最大结温
- $R_{\theta JA}$ 是封装的结至环境热阻（请参阅*热性能信息* 表）
- T_A 是环境温度

方程式 7 用于计算稳压器耗散：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{7}$$

7.5.2 布局示例

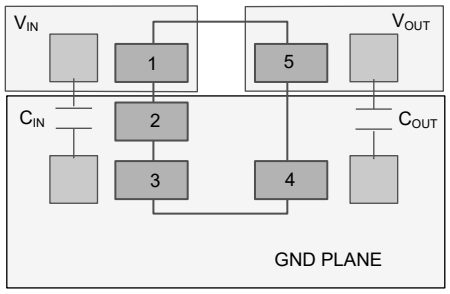


图 7-22. 示例布局

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

评估模块 (EVM) 可与 TPS7B92 配套使用，帮助评估初始电路性能。通用 EVM（和相关的用户指南）可在 TI 网站上的产品文件夹中申请，也可直接从 TI 网上商店购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的*工具与软件*下获取 TPS7B92 的 SPICE 模型。

8.1.2 器件命名规则

表 8-1. 器件命名规则

产品[(1)]	V_{OUT}
TPS7B92 **xx**DBV**z**	在 SOT-23 (DBV) 封装中： **XX** 为标称输出电压（例如，33 = 3.3V、50 = 5.0V）。 **Z** 为封装数量。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*通用低压降线性稳压器 (LDO) 评估模块* 用户指南

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2024) to Revision A (May 2025)	Page
• 删除了文档中的可调节 (ADJ) 功能	1
• 将*特性* 中的*可用输出电压选项* 更改为*输出电压范围*	1
• 删除了*说明* 部分中对可调配置和输出的引用	1
• 删除了*引脚配置和功能* 中的可调节 DBV 封装信息	3
• 删除了*典型特性* 中的可调节配置曲线	7
• 更改了*概述* 部分	15
• 删除了可调节版本方框图	15
• 从*应用信息* 中删除了可调节配置讨论的输出电压灵活性	18
• 删除了*典型应用* 部分中的*可调节 LDO 稳压器编程* 图以及*电阻器 R_1 和 R_2 的可调节输出电压*	18
• 删除了*为 TPS7B9201 可调节 LDO 设置 V_{OUT}* 部分	18
• 删除了*前馈电容器 (C_{FF})* 部分	19
• 更改了*示例布局布线图*	24
• 删除了*器件命名规则* 中的可调信息	25

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B92018DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37EH
TPS7B92018DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37EH
TPS7B92033DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37FH
TPS7B92033DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37FH
TPS7B92050DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37GH
TPS7B92050DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37GH
TPS7B92120DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37HH
TPS7B92120DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37HH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

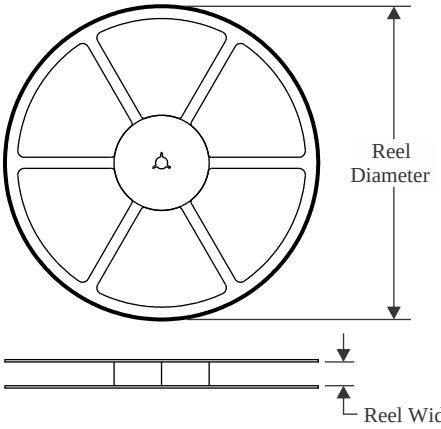
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

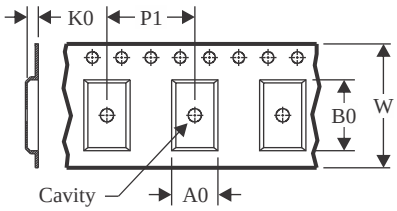
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

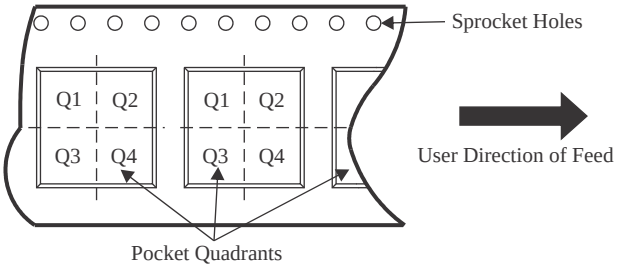


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

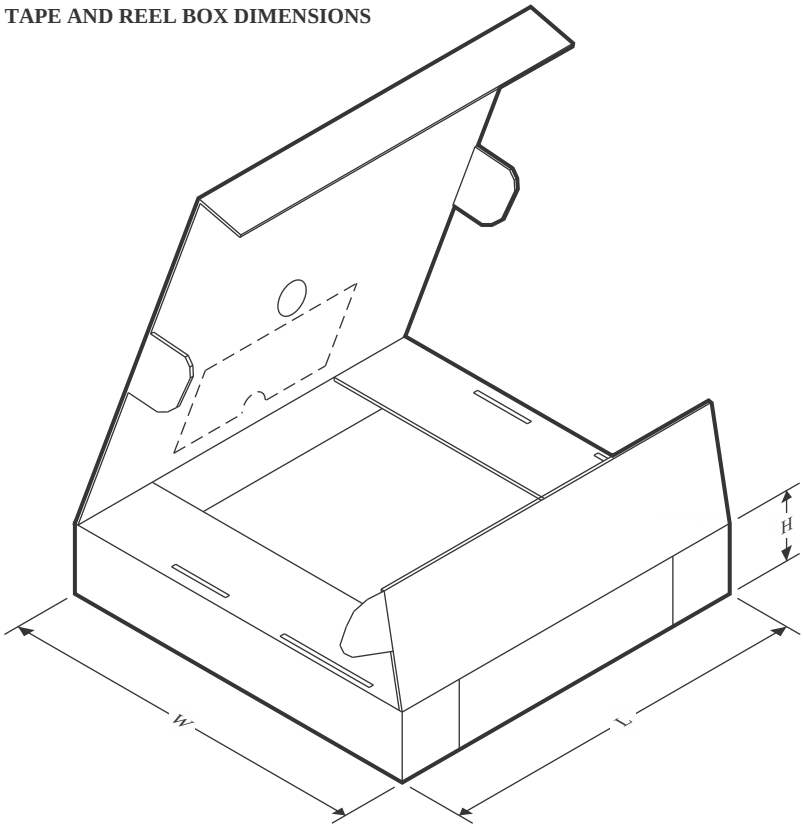
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

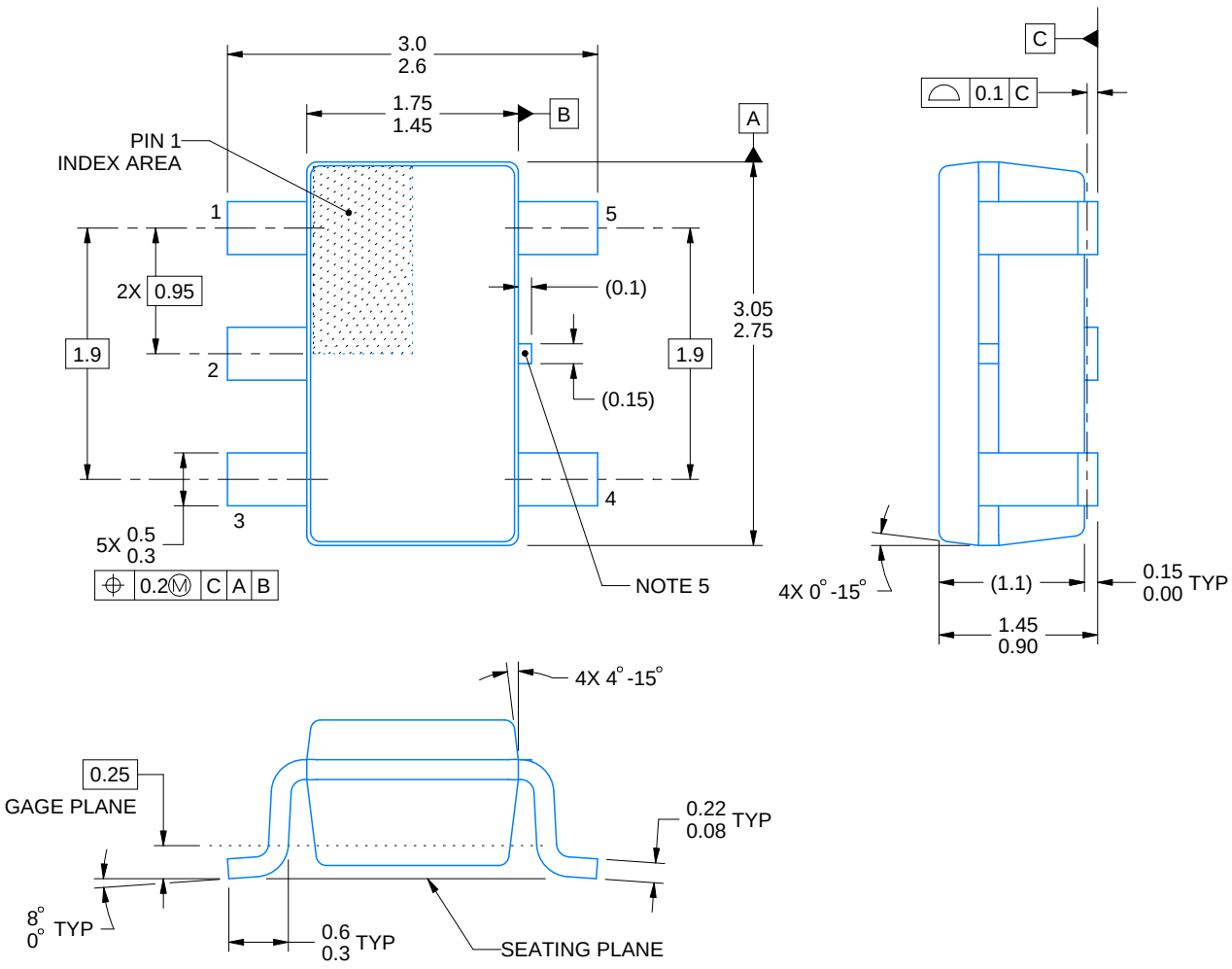
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B92018DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B92033DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B92050DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B92120DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

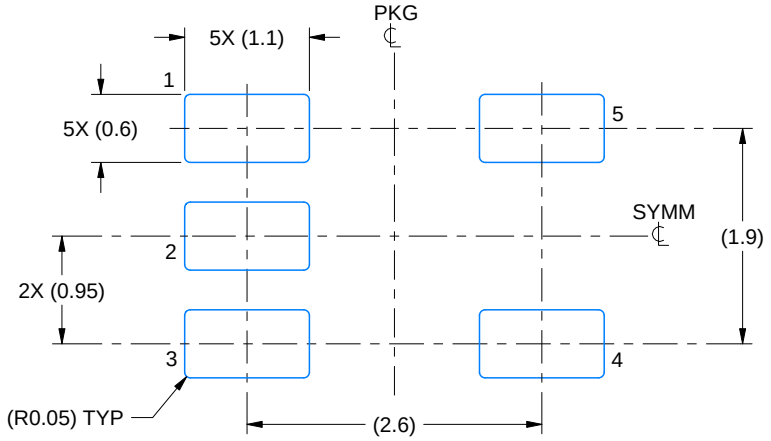
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B92018DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS7B92033DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS7B92050DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS7B92120DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0



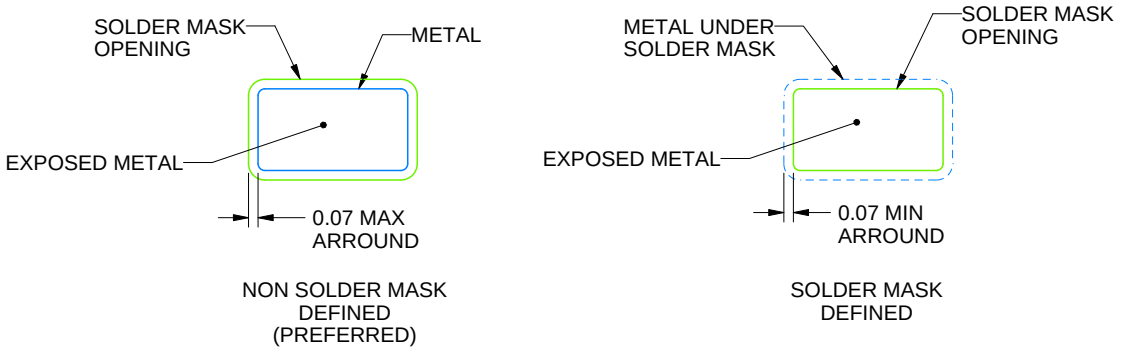
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

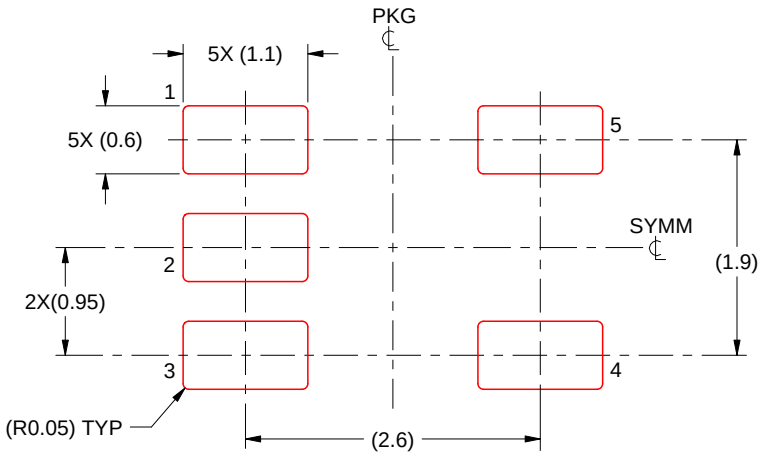


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司