

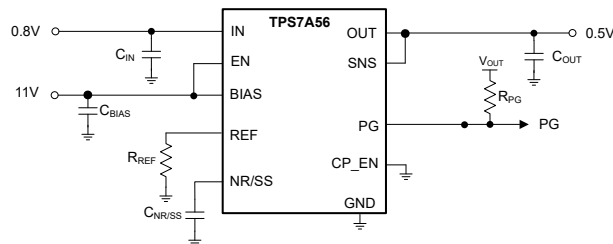
TPS7A56 6A、低 V_{IN} 、低噪声、高精度、超低压降 (LDO) 稳压器

1 特性

- 输入电压范围：
 - 无偏置：1.1V 至 6.0V
 - 有偏置：0.7V 至 6.0V
- 输出电压噪声：2.45 μV_{RMS}
- 整个线路、负载和温度范围内为 1% (最高) 精度
- 低压降：90mV (6A)
- 电源抑制比 (6A)：
 - 1kHz 时为 100dB
 - 10kHz 时为 78dB
 - 100kHz 时为 60dB
 - 1MHz 时为 36dB
- 负载瞬态响应：
 - $\pm 3mV$ ，负载阶跃为 100mA 至 6A
- 可调输出电压范围：0.5V 至 5.0V
- 可调软启动浪涌控制
- BIAS 电源轨：
 - 内部电荷泵或 3V 至 11V 外部电源轨
 - 可禁用内部电荷泵
- 开漏电源正常状态 (PG) 输出
- 封装：
 - 3mm $\times$ 3mm，16 引脚 WQFN
 - EVM $R_{\theta JA}$ ：21.9°C/W

2 应用

- 宏远程无线电单元 (RRU)
- 室外回程单元
- 有源天线系统 mMIMO (AAS)
- 超声波扫描仪
- 实验室和现场仪表
- 传感器、成像和雷达



典型应用电路

3 说明

TPS7A56 是一款低噪声 (2.45 μV_{RMS})、超低压降线性稳压器 (LDO)，可提供 6A 电流，压降仅为 90mV (独立于输出电压)。该器件的输出电压可通过一个外部电阻器进行调节，范围为 0.5V 至 5V。TPS7A56 集低噪声、高 PSRR (1MHz 时 36dB) 和高输出电流能力等特性于一体，旨在为噪声敏感型元件供电。此类元件 (如射频放大器、雷达传感器、串行器/解串器和模拟芯片组) 适用于雷达电源、通信和成像应用。

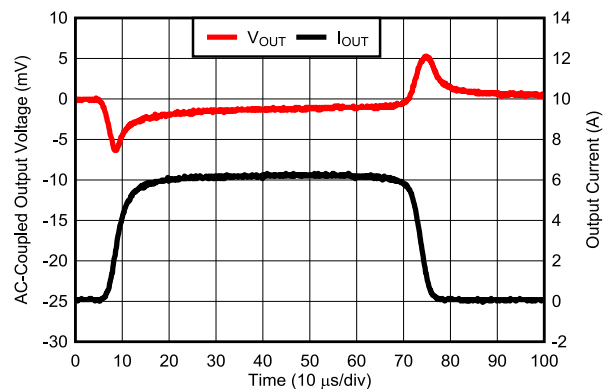
需要低输入、低输出 (LILO) 电压运行的数字负载也可受益于出色的精度、遥感、瞬态性能和软启动功能，从而提供出色的系统性能。此类负载包括应用特定集成电路 (ASIC)、现场可编程门阵列 (FPGA) 和数字信号处理器 (DSP)。得益于其多功能、高性能和小尺寸，该 LDO 非常适用于串行器/解串器 (SerDes)、FPGA 和 DSP 等高电流模拟负载和数字负载。高电流模拟负载包括模数转换器 (ADC)、数模转换器 (DAC) 和成像传感器。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS7A56	RTE (WQFN, 16)	3mm $\times$ 3mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 $\times$ 宽) 为标称值，并包括引脚 (如适用)。



TPS7A56 负载瞬态响应



内容

1 特性	1	7 应用和实施	41
2 应用	1	7.1 应用信息.....	41
3 说明	1	7.2 典型应用.....	57
4 引脚配置和功能	3	7.3 电源相关建议.....	58
5 规格	4	7.4 布局.....	58
5.1 绝对最大额定值.....	4	8 器件和文档支持	60
5.2 ESD 等级.....	4	8.1 器件支持.....	60
5.3 建议运行条件.....	5	8.2 文档支持.....	60
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	60
5.5 电气特性.....	6	8.4 支持资源.....	60
5.6 典型特性.....	9	8.5 商标.....	60
6 详细说明	35	8.6 静电放电警告.....	60
6.1 概述.....	35	8.7 术语表.....	60
6.2 功能方框图.....	36	9 修订历史记录	61
6.3 特性说明.....	37	10 机械、封装和可订购信息	61
6.4 器件功能模式.....	39	10.1 机械数据.....	62

4 引脚配置和功能

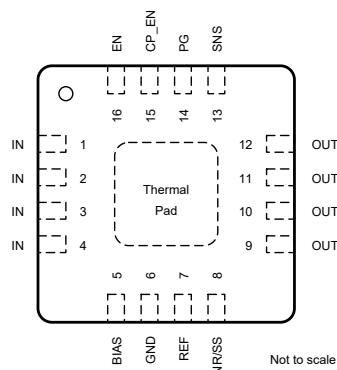


图 4-1. RTE 封装，16 引脚 WQFN（顶视图）

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
BIAS	5	I	BIAS 电源电压引脚。有关更多信息，请参阅 电荷泵使能与 BIAS 轨 部分。
CP_EN	15	I	电荷泵使能引脚。有关更多信息，请参阅 电荷泵使能与 BIAS 轨 部分。
EN	16	I	使能引脚。有关更多信息，请参阅 精密使能和 UVLO 部分。
GND	6	GND	接地引脚。有关更多信息，请参阅 布局指南 部分。
IN	1、2、3、4	I	输入电源电压引脚。更多详细信息，请参阅 输入和输出电容器要求 (C_{IN} 和 C_{OUT}) 部分。
NR/SS	8	I/O	降噪引脚。有关更多信息，请参阅 可编程软启动 (NR/SS 引脚) 和 软启动、降噪 (NR/SS 引脚) 和 电源正常状态 (PG 引脚) 部分。
OUT	9、10、11、12	O	稳压输出引脚。有关更多详细信息，请参阅 输出电压设置和调节 和 输入和输出电容器要求 (C_{IN} 和 C_{OUT}) 部分。
PG	14	O	用于低压降稳压器 (LDO) 输出电压的开漏电源正常状态指示引脚。有关更多信息，请参阅 电源正常引脚 (PG 引脚) 部分。
REF	7	I/O	基准引脚。有关更多信息，请参阅 输出电压设置和调节 部分。
SNS	13	I	输出检测引脚。有关更多信息，请参阅 输出电压设置和调节 部分。
散热焊盘	—	GND	将焊盘连接到 GND 以获得尽可能出色的热性能。更多信息请参阅 布局 部分。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地。

5 规格

5.1 绝对最大额定值

在工作结温范围内，并且所有电压都以 GND 为基准（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	BIAS	-0.3	11.2	V
	IN、PG、EN、CP_EN	-0.3	6.5	
	REF、NR/SS、SNS	-0.3	6	
	OUT	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
电流	OUT	受内部限制		A
	PG（向器件灌入电流）		5	mA
温度	工作结温， T_J	-40	150	°C
	贮存温度， T_{stg}	-55	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 绝对最大额定值为 $V_{IN} + 0.3V$ 或 $6.0V$ （以较小者为准）。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

- (1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	输入电源电压	0.7		6	V
V_{REF}	基准电压	0.5		5	V
V_{OUT}	输出电压	0.5		5	V
V_{BIAS}	偏置电压	3		11	V
I_{OUT}	输出电流	0		6	A
C_{IN}	输入电容器	4.7	10	1000	μF
C_{OUT}	输出电容器 ⁽¹⁾	22		3000	μF
C_{OUT_ESL}	输出电容器 ESR	2		20	m Ω
Z_{OUT_ESL}	总阻抗 ESL	0.2		1	nH
C_{BIAS}	BIAS 引脚电容器	0	1	100	μF
$C_{NR/SS}$	降噪电容器	0.1	4.7	10	μF
R_{PG}	电源正常拉升电阻	10		100	k Ω
T_J	结温	-40		125	$^{\circ}C$

(1) 为了实现稳定性，需要最小值为 15 μF 的有效输出电容

5.4 热性能信息

热指标 ⁽¹⁾		TPS7A56		单位
		RTE (WQFN) ⁽²⁾	RTE (WQFN) ⁽³⁾	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	40.3	21.9	$^{\circ}C/W$
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	39.3	–	$^{\circ}C/W$
$R_{\theta JB}$	结至电路板热阻	14	–	$^{\circ}C/W$
ψ_{JT}	结至顶部特征参数	0.5	0.4	$^{\circ}C/W$
ψ_{JB}	结至电路板特征参数	14.0	11.9	$^{\circ}C/W$
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.8	–	$^{\circ}C/W$

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

(2) 使用 JEDEC 标准 (2s2p) 进行评估。

(3) 使用 EVM 进行评估。

5.5 电气特性

在工作温度范围内 ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$) , $V_{IN(NOM)} = V_{OUT(NOM)} + 0.4\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $V_{BIAS} = 0\text{V}$, $I_{OUT} = 0\text{A}$, $V_{EN} = 1.8\text{V}$, $C_{IN} = 10\mu\text{F}$, $C_{OUT} = 22\mu\text{F}$, $C_{BIAS} = 0\text{nF}$, $C_{NR/SS} = 100\text{nF}$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100\text{k}\Omega$ 电阻上拉至 V_{IN} (除非另有说明) ; 典型值在 $T_J = 25^{\circ}\text{C}$ 条件下测得

参数	测试条件	最小值	典型值	最大值	单位
$V_{UVLO(IN)}$	有 BIAS 时的输入电源 UVLO	V_{IN} 上升, $V_{CP_EN} = 1.8\text{V}$ ($3\text{V} \leq V_{BIAS} \leq 11\text{V}$) 和 $V_{CP_EN} = 0\text{V}$ ($V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$)	0.67	0.7	V
$V_{HYS(UVLO_IN)}$	有 BIAS 时的输入电源 UVLO 迟滞	$V_{CP_EN} = 1.8\text{V}$ ($3\text{V} \leq V_{BIAS} \leq 11\text{V}$) 和 $V_{CP_EN} = 0\text{V}$ ($V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$)	50		mV
$V_{UVLO(IN)}$	无 BIAS 时的输入电源 UVLO	V_{IN} 上升, $V_{CP_EN} = 1.8\text{V}$	1.07	1.1	V
$V_{HYS(UVLO_IN)}$	无 BIAS 时的输入电源 UVLO 迟滞	$V_{CP_EN} = 1.8\text{V}$	50		mV
$V_{UVLO(BIAS)} - V_{REF}$	无 CP 时 BIAS UVLO 与 V_{REF} 间的关系	V_{BIAS} 上升, $V_{CP_EN} = 0\text{V}$, $1.4\text{V} \leq V_{REF} \leq 5.2\text{V}$	2.1	2.95	V
$V_{HYS(UVLO_BIAS - REF)}$	无 CP 时 BIAS UVLO 与 V_{REF} 迟滞间的关系	$V_{CP_EN} = 0\text{V}$, $1.4\text{V} \leq V_{REF} \leq 5.2\text{V}$	240		mV
$V_{UVLO(BIAS)}$	有 CP 时的 BIAS UVLO	V_{BIAS} 上升, $V_{CP_EN} = 1.8\text{V}$, $0.7\text{V} \leq V_{IN} < 1.1\text{V}$	2.8	2.95	V
$V_{HYS(UVLO_BIAS)}$	有 CP 时的 BIAS UVLO 迟滞	$V_{CP_EN} = 1.8\text{V}$, $0.7\text{V} \leq V_{IN} < 1.1\text{V}$	115		mV
$I_{NR/SS}$	NR/SS 快速启动充电电流	$V_{NR/SS} = \text{GND}$, $V_{IN} = 1.1\text{V}$	0.2		mA
V_{OUT}	输出电压精度 (1)	$0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$, $V_{CP_EN} = 0\text{V}$, $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$; $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (2) , $V_{CP_EN} = 1.8\text{V}$, $3\text{V} \leq V_{BIAS} \leq 11\text{V}$, $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (2) , $V_{CP_EN} = 1.8\text{V}$, 无 BIAS , $1.1\text{V} \leq V_{IN} \leq 6\text{V}$	-1	1	%
I_{REF}	REF 电流引脚	$V_{IN} = 1.1\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $V_{OUT} = 0.5\text{V}$, $I_{LOAD} = 0\text{A}$, $V_{BIAS} = 0\text{V}$	50		μA
		$V_{CP_EN} = 0\text{V}$ (CP 禁用) , $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (1) (2) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-1	1	%
		$V_{CP_EN} = 1.8\text{V}$ (CP 启用, $V_{BIAS} = 0\text{V}$) , $1.1\text{V} \leq V_{IN} \leq 6\text{V}$ (1) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$ (2)	-1	1	
		$V_{CP_EN} = 1.8\text{V}$ (CP 启用) , $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (1) (2) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $3\text{V} \leq V_{BIAS} \leq 11\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-1	1	
V_{OS}	输出偏移电压 ($V_{NR/SS} - V_{OUT}$)	$V_{IN} = 0.7\text{V}$, $V_{OUT} = 0.5\text{V}$, $I_{OUT} = 0\text{A}$, $V_{CP_EN} = 1.8\text{V}$, $3\text{V} \leq V_{BIAS} \leq 11\text{V}$, $V_{CP_EN} = 0\text{V}$, $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$	-1	1	mV
		$0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (1) (2) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $3\text{V} \leq V_{BIAS} \leq 11\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2	2	
		$1.1\text{V} \leq V_{IN} \leq 6.0\text{V}$ (1) (2) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $V_{BIAS} = 0\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2	2	
		$0.7\text{V} \leq V_{IN} \leq 6\text{V}$ (1) (2) , $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$, $V_{CP_EN} = 0\text{V}$, $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$, $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2	2	
$\Delta I_{REF(\Delta VBIAS)}$	线性调整率: ΔI_{REF}	$V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$, $V_{IN} = 0.7\text{V}$, $V_{OUT} = 0.5\text{V}$, $V_{CP_EN} = 0\text{V}$, $I_{OUT} = 0\text{A}$	0.15		nA/V
$\Delta V_{OS(\Delta VBIAS)}$	线性调整率: ΔV_{OS}	$V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$, $V_{IN} = 0.7\text{V}$, $V_{OUT} = 0.5\text{V}$, $V_{CP_EN} = 0\text{V}$, $I_{OUT} = 0\text{A}$	0.06		$\mu\text{V/V}$
$\Delta I_{REF(\Delta V_{IN})}$	线性调整率: ΔI_{REF}	$1.1\text{V} \leq V_{IN} \leq 6\text{V}$, $V_{OUT} = 0.5\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $I_{OUT} = 0\text{A}$, $V_{BIAS} = 0\text{V}$	0.03		nA/V

5.5 电气特性 (续)

在工作温度范围内 ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$) , $V_{\text{IN(NOM)}} = V_{\text{OUT(NOM)}} + 0.4\text{V}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $V_{\text{BIAS}} = 0\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{EN}} = 1.8\text{V}$, $C_{\text{IN}} = 10\mu\text{F}$, $C_{\text{OUT}} = 22\mu\text{F}$, $C_{\text{BIAS}} = 0\text{nF}$, $C_{\text{NR/SS}} = 100\text{nF}$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100\text{k}\Omega$ 电阻上拉至 V_{IN} (除非另有说明) ; 典型值在 $T_J = 25^{\circ}\text{C}$ 条件下测得

参数	测试条件	最小值	典型值	最大值	单位
$\Delta V_{\text{OS}}(\Delta V_{\text{IN}})$	线性调整率: ΔV_{OS} $1.1\text{V} \leq V_{\text{IN}} \leq 6\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{BIAS}} = 0\text{V}$		0.01		$\mu\text{V/V}$
$\Delta V_{\text{OS}}(\Delta I_{\text{OUT}})$	负载调整率: ΔV_{OS} $V_{\text{IN}} = 0.7\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $V_{\text{CP_EN}} = 0\text{V}$, $0\text{A} \leq I_{\text{OUT}} \leq 6\text{A}$, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 11\text{V}$		5		$\mu\text{V/A}$
			175		
	I_{REF} 的变化与 V_{REF} 间的关系 $0.5\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$, $V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $V_{\text{BIAS}} = 0\text{V}$		4.4		nA
	V_{OS} 的变化与 V_{REF} 间的关系 $V_{\text{CP_EN}} = 1.8\text{V}$, $V_{\text{BIAS}} = 0\text{V}$		0.25		mV
V_{DO}	压降电压 (3) $1.1\text{V} \leq V_{\text{IN}} \leq 5.3\text{V}$, $I_{\text{OUT}} = 6\text{A}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$		90	132	mV
				120	
			90	132	
				120	
			90	132	
				120	
I_{LIM}	输出电流限制 V_{OUT} 强制为 $0.9 \times V_{\text{OUT(NOM)}}$, $V_{\text{OUT(NOM)}} = 5.0\text{V}$, $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 400\text{mV}$, $V_{\text{CP_EN}} = 0\text{V}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$	6.2	7.2	8.4	A
I_{SC}	短路电流限制 $R_{\text{LOAD}} = 10\text{m}\Omega$ (在折返工作条件下)		5		A
I_{BIAS}	BIAS 引脚电流 $V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{CP_EN}} = 0\text{V}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$, $V_{\text{OUT}} = 5.2\text{V}$	1	1.5	2.5	mA
		8	11	18	
I_{GND}	GND 引脚电流 $V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{CP_EN}} = 0\text{V}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$, $V_{\text{OUT}} = 5.2\text{V}$	3.5	5	8	mA
			18		
		12	18	27	
		11	18	26	
		5	7	12	
I_{SDN}	关断 GND 引脚电流 $\text{PG} = (\text{开路})$, $V_{\text{IN}} = 6\text{V}$, $V_{\text{EN}} = 0.4\text{V}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $V_{\text{BIAS}} = 0\text{V}$		100	300	μA
			150	450	
I_{EN}	EN 引脚电流 $V_{\text{IN}} = 6\text{V}$, $0\text{V} \leq V_{\text{EN}} \leq 6\text{V}$, $V_{\text{CP_EN}} = 1.8\text{V}$, $V_{\text{BIAS}} = 0\text{V}$	-5		5	μA
$V_{\text{IH(EN)}}$	EN 跳变点上升 (导通) $V_{\text{IN}} = 1.1\text{V}$ ($V_{\text{CP_EN}} = 1.8\text{V}$) 或 $V_{\text{BIAS}} \geq 3\text{V}$ ($V_{\text{CP_EN}} = 0\text{V}$)	0.62	0.65	0.68	V
$V_{\text{HYS(EN)}}$	EN 跳变点迟滞 $V_{\text{IN}} = 1.1\text{V}$ ($V_{\text{CP_EN}} = 1.8\text{V}$) 或 $V_{\text{BIAS}} \geq 3\text{V}$ ($V_{\text{CP_EN}} = 0\text{V}$)		40		mV
$I_{\text{CP_EN}}$	CP_EN 引脚电流 $V_{\text{IN}} = 6.0\text{V}$, $0\text{V} \leq V_{\text{CP_EN}} \leq 6\text{V}$	-5		5	μA

5.5 电气特性 (续)

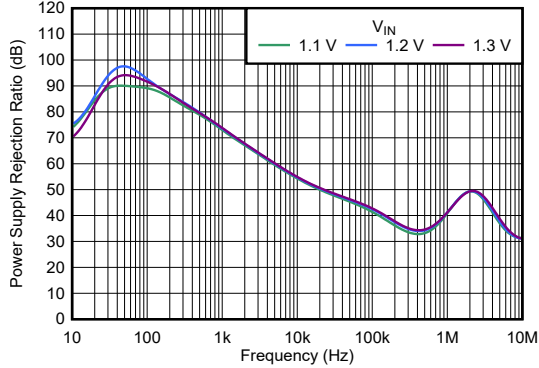
在工作温度范围内 ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$) , $V_{IN(NOM)} = V_{OUT(NOM)} + 0.4\text{V}$, $V_{CP_EN} = 1.8\text{V}$, $V_{BIAS} = 0\text{V}$, $I_{OUT} = 0\text{A}$, $V_{EN} = 1.8\text{V}$, $C_{IN} = 10\mu\text{F}$, $C_{OUT} = 22\mu\text{F}$, $C_{BIAS} = 0\text{nF}$, $C_{NR/SS} = 100\text{nF}$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100\text{k}\Omega$ 电阻上拉至 V_{IN} (除非另有说明) ; 典型值在 $T_J = 25^{\circ}\text{C}$ 条件下测得

参数		测试条件	最小值	典型值	最大值	单位
V _{IH} (CP_EN)	CP_EN 跳变点上升 (导通)	1.1V ≤ V _{IN} ≤ 6V , V _{EN} = 1.8V , V _{BIAS} = 0V , 0.7V ≤ V _{IN} ≤ 1.1V , V _{EN} = 1.8V , V _{BIAS} = 3V	0.57	0.6	0.63	V
V _{HYS} (CP_EN)	CP_EN 跳变点迟滞	1.1V ≤ V _{IN} ≤ 6V , V _{EN} = 1.8V , V _{BIAS} = 0V , 0.7V ≤ V _{IN} ≤ 1.1V , V _{EN} = 1.8V , V _{BIAS} = 3V		56		mV
V _{IT} (PG)	PG 引脚阈值	适用于 PG 在 V _{OUT} 下降时转换为低电平的情况, V _{IN} = 1.1V , V _{BIAS} = 0V , V _{CP_EN} = 1.8V , V _{OUT} < V _{IT} (PG) , I _{PG} = - 1mA (流入器件的电流)	87	90	93	%
V _{HYS} (PG)	PG 引脚滞后	V _{IN} = 1.1V , V _{BIAS} = 0V , V _{CP_EN} = 1.8V , V _{OUT} < V _{IT} (PG) , I _{PG} = - 1mA (流入器件的电流)		2		%
V _{OL} (PG)	PG 引脚低电平输出电压	V _{IN} = 1.1V , V _{BIAS} = 0V , V _{CP_EN} = 1.8V , V _{OUT} < V _{IT} (PG) , I _{PG} = - 1mA (流入器件的电流)			0.4	V
I _{LKG} (PG)	PG 引脚漏电流	V _{PG} = 6V , V _{OUT} > V _{IT} (PG) , V _{IN} = 1.1V , V _{BIAS} = 0V , V _{CP_EN} = 1.8V			1	μA
PSRR	电源纹波抑制	f = 1MHz , V _{IN} = 0.8V , V _{OUT(NOM)} = 0.5V , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF		40		dB
		f = 1MHz , V _{IN} = 0.9V , V _{OUT(NOM)} = 0.5V , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF		40		
		f = 1MHz , V _{IN} = 5.3V , V _{OUT(NOM)} = 5V , V _{CP_EN} = 1.8V , V _{BIAS} = 0V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF		40		
		f = 1MHz , V _{IN} = 5.4V , V _{OUT(NOM)} = 5V , V _{CP_EN} = 1.8V , V _{BIAS} = 0V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF		36		
V _n	输出噪声电压	BW = 10Hz 至 100kHz , 0.7V ≤ V _{IN} ≤ 6V , 0.5V ≤ V _{OUT} ≤ 5.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V		2.49		μV _{RMS}
		BW = 10Hz 至 100kHz , 1.1V ≤ V _{IN} ≤ 6V , 0.5V ≤ V _{OUT} ≤ 5.2V , I _{OUT} =6A , C _{NR/SS} = 4.7μF , V _{CP_EN} = 1.8V , V _{BIAS} = 0V		2.49		
	噪声频谱密度	f = 100Hz , 0.7V ≤ V _{IN} ≤ 6V , 0.5V ≤ V _{OUT} ≤ 5.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V		20		nV/ √ Hz
		f = 1kHz , 0.7V ≤ V _{IN} ≤ 6V , 0.5V ≤ V _{OUT} ≤ 5.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V		9		
		f = 10kHz , 0.7V ≤ V _{IN} ≤ 6V , 0.5V ≤ V _{OUT} ≤ 5.2V , I _{OUT} = 6A , C _{NR/SS} = 4.7μF , V _{CP_EN} = 0V , V _{BIAS} = V _{OUT} + 3.2V		6		
R _{DIS}	输出引脚主动放电电阻	V _{IN} = 1.1V , V _{CP_EN} = 1.8V , V _{BIAS} = 0V , V _{EN} = 0V		110		Ω
R _{NR/SS_DIS}	NR/SS 引脚主动放电电阻	V _{IN} = 1.1V , V _{CP_EN} = 1.8V , V _{BIAS} = 0V , V _{EN} = 0V		100		Ω
T _{SD} (shutdown)	热关断温度	关断 , 温度升高		165		°C
T _{SD} (reset)	热关断复位温度	复位 , 温度降低		150		°C

- 最大功耗为 2W 。
- 受脉冲最大功率耗散的限制。对于 $0\text{mA} \leq I_{OUT} \leq 2.5\text{A}$, $V_{IN} = 6\text{V}$, 对于 $0\text{mA} \leq I_{OUT} \leq 6\text{A}$, $V_{IN} = 5.6\text{V}$ 。
- $V_{REF} = V_{IN}$, $V_{SNS} = 97\% \times V_{REF}$ 。

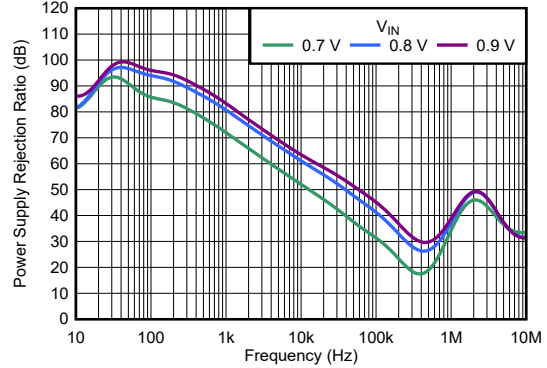
5.6 典型特性

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



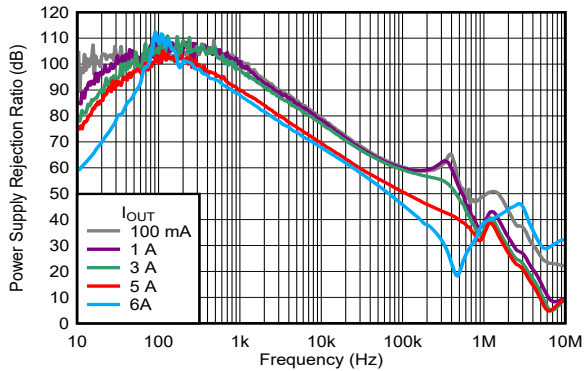
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$,
 $V_{OUT} = 0.9V$, $V_{BIAS} = 0V$, $I_{OUT} = 6A$

图 5-1. CP 启用、无偏置时 PSRR 与频率和 V_{IN} 间的关系



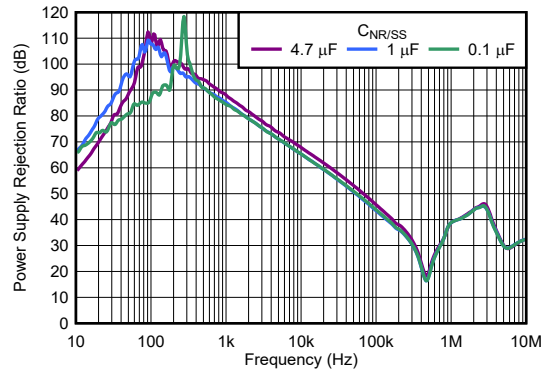
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$,
 $V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, $I_{OUT} = 6A$

图 5-2. CP 启用、最小偏置时 PSRR 与频率和 V_{IN} 间的关系



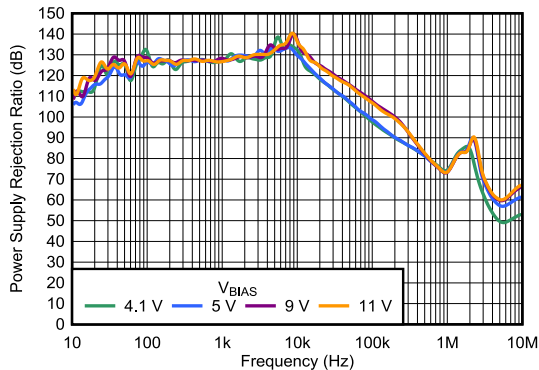
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 1.2V$, $V_{OUT} = 0.9V$, $V_{BIAS} = 0V$

图 5-3. CP 启用、无偏置时 PSRR 与频率和 I_{OUT} 间的关系



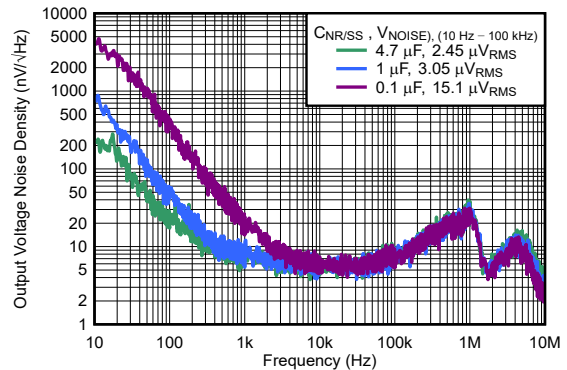
$C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 1.2V$,
 $V_{OUT} = 0.9V$, $V_{BIAS} = 11V$, $I_{OUT} = 6A$

图 5-4. CP 禁用时 PSRR 与频率和 $C_{NR/SS}$ 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 1.2V$, $V_{OUT} = 0.9V$, $I_{OUT} = 6A$

图 5-5. CP 禁用、 $V_{IN} = 1.2V$ 时 BIAS PSRR 与频率和 V_{BIAS} 间的关系

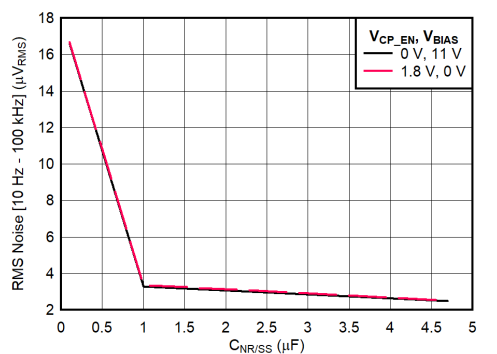


$C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$, $V_{IN} = 5.3V$,
 $V_{OUT} = 5V$, $I_{OUT} = 6A$

图 5-6. CP 启用时输出电压噪声密度与频率和 $C_{NR/SS}$ 间的关系

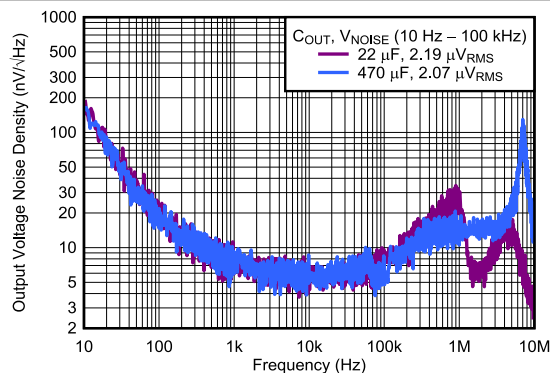
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



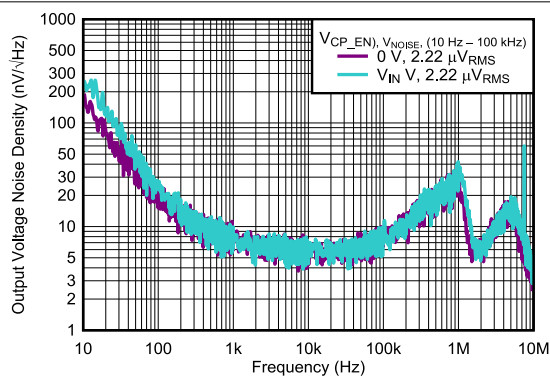
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{IN} = 5.3V$, $V_{OUT} = 5V$

图 5-7. RMS 噪声与 $C_{NR/SS}$ 间的关系



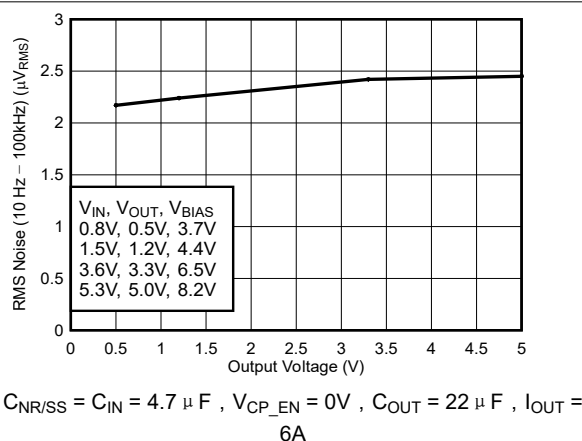
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $CP_EN = GND$, $V_{IN} = 0.8V$, $V_{OUT} = 0.5V$, $V_{BIAS} = 3.7V$

图 5-8. 输出电压噪声密度与频率和 C_{OUT} 间的关系



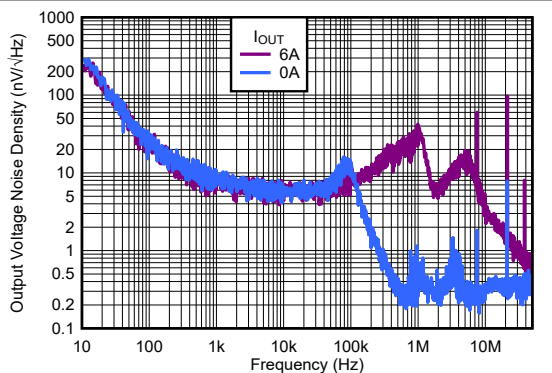
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 0.8V$, $V_{BIAS} = 3.7V$, $I_{OUT} = 6A$

图 5-9. $V_{OUT} = 0.5V$ 时输出电压噪声密度与频率和 V_{CP_EN} 间的关系



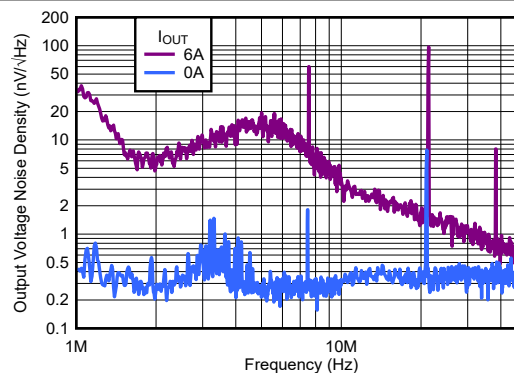
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{CP_EN} = 0V$, $C_{OUT} = 22\mu F$, $I_{OUT} = 6A$

图 5-10. CP 禁用时 RMS 噪声与 V_{OUT} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{CP_EN} = V_{EN}$, $C_{OUT} = 22\mu F$, $V_{IN} = V_{OUT} + 0.3V$

图 5-11. CP 启用时输出电压噪声密度与频率和 V_{OUT} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = V_{OUT} + 0.3V$, $V_{CP_EN} = V_{EN}$, $V_{BIAS} = 0V$, $V_{OUT} = 5V$

图 5-12. 电荷泵输出电压噪声密度与频率和 I_{OUT} 间的关系

5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得

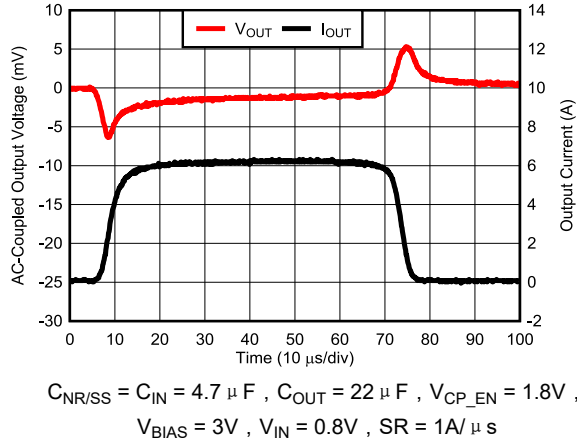


图 5-13. $V_{OUT} = 0.5V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 启用时的负载瞬态

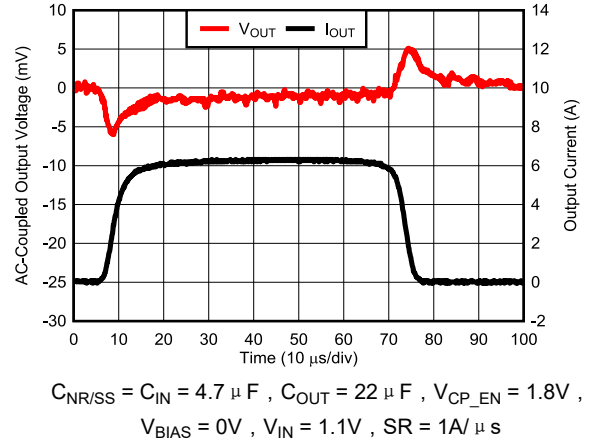


图 5-14. $V_{OUT} = 0.5V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 启用时的负载瞬态

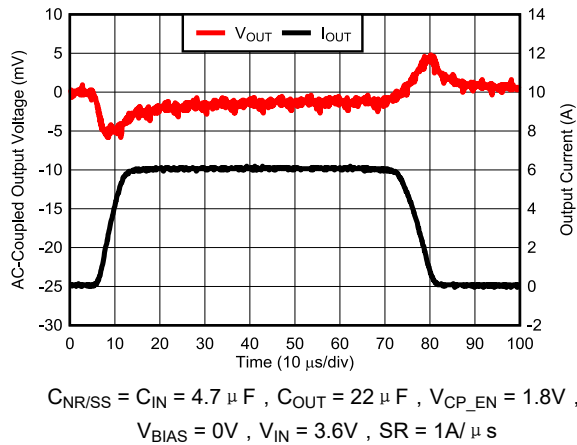


图 5-15. $V_{OUT} = 3.3V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 启用时的负载瞬态

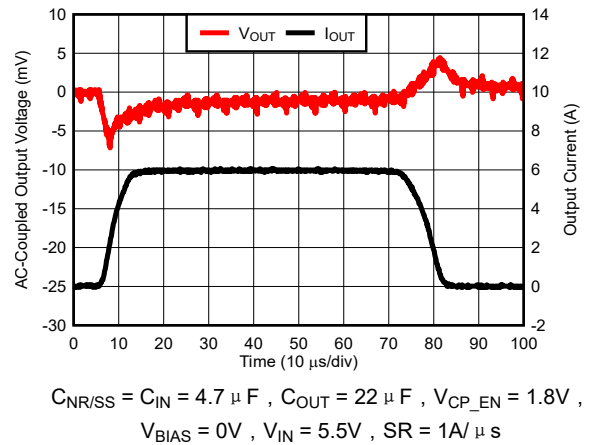


图 5-16. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 启用时的负载瞬态

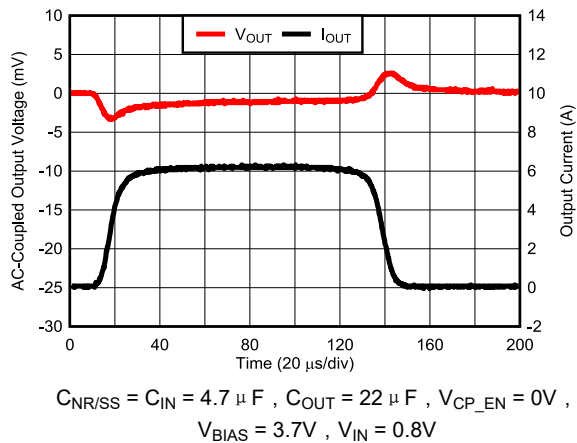


图 5-17. $V_{OUT} = 0.5V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 0.5A/\mu s$ 时的负载瞬态

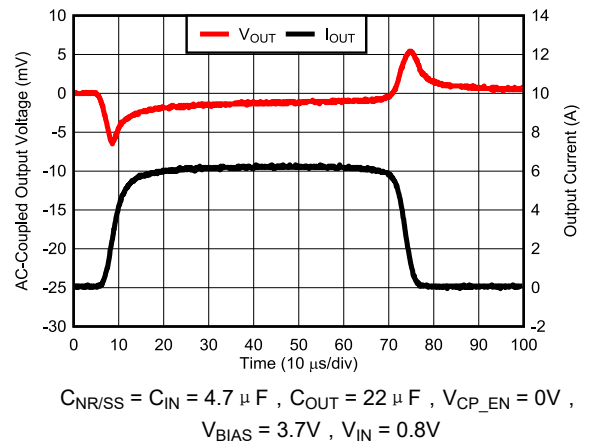
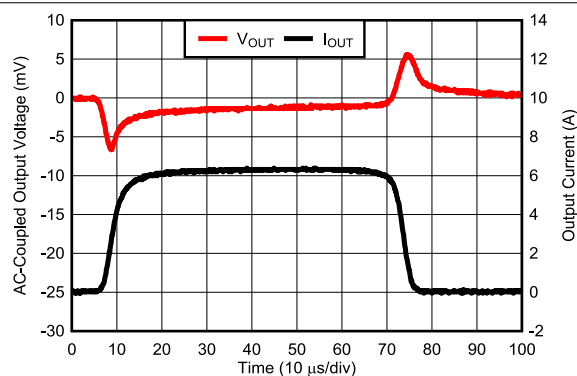


图 5-18. $V_{OUT} = 0.5V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 时的负载瞬态

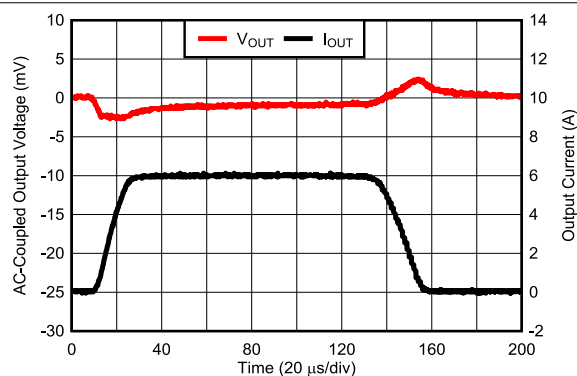
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



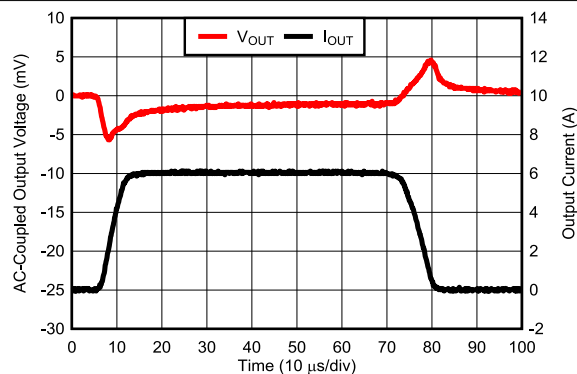
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 11V$, $V_{IN} = 0.8V$

图 5-19. $V_{OUT} = 0.5V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 、 $V_{BIAS} = 11V$ 时的负载瞬态



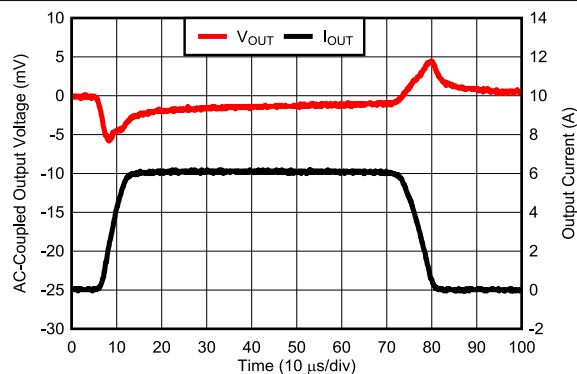
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 6.5V$, $V_{IN} = 3.6V$

图 5-20. $V_{OUT} = 3.3V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 0.5A/\mu s$ 、 $V_{BIAS} = 6.5V$ 时的负载瞬态



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 6.5V$, $V_{IN} = 3.6V$

图 5-21. $V_{OUT} = 3.3V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 、 $V_{BIAS} = 6.5V$ 时的负载瞬态

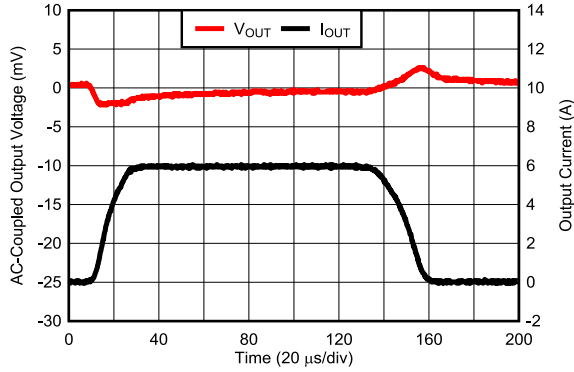


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 11V$, $V_{IN} = 3.6V$

图 5-22. $V_{OUT} = 3.3V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 、 $V_{BIAS} = 11V$ 时的负载瞬态

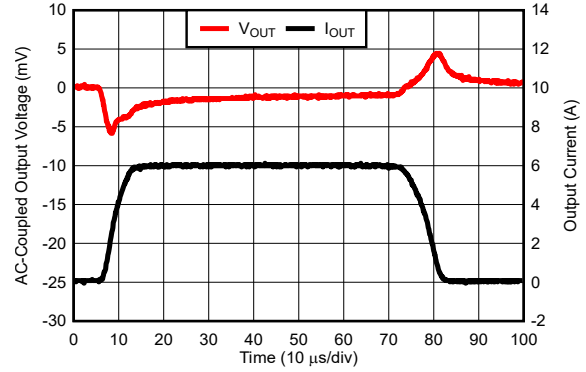
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



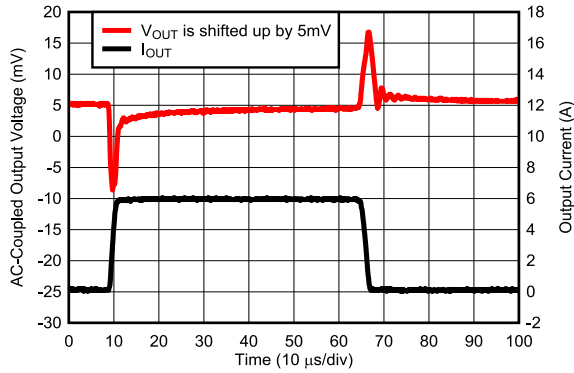
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 8.4V$, $V_{IN} = 5.5V$

图 5-23. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 0.5A/\mu s$ 、 $V_{BIAS} = 8.4V$ 时的负载瞬态



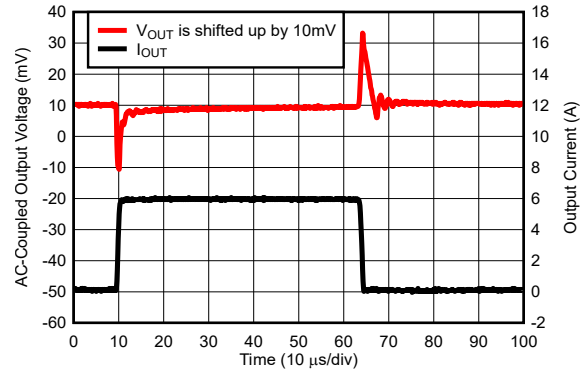
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 8.4V$, $V_{IN} = 5.5V$

图 5-24. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 、 $V_{BIAS} = 8.4V$ 时的负载瞬态



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 8.4V$, $V_{IN} = 5.5V$

图 5-25. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 5A/\mu s$ 、 $V_{BIAS} = 8.4V$ 时的负载瞬态

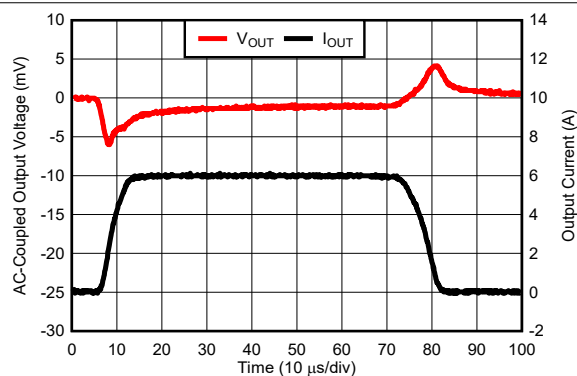


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 8.4V$, $V_{IN} = 5.5V$

图 5-26. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 10A/\mu s$ 、 $V_{BIAS} = 8.4V$ 时的负载瞬态

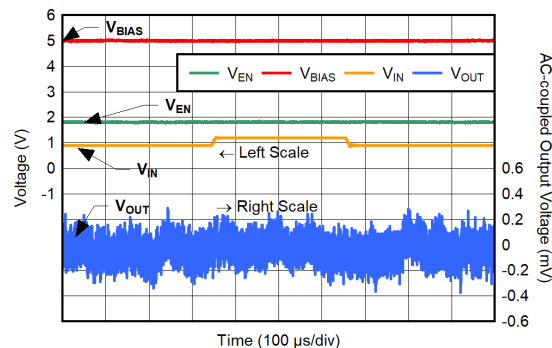
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



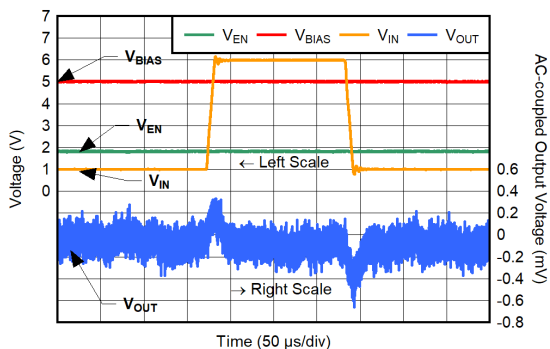
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 11V$, $V_{IN} = 5.5V$

图 5-27. $V_{OUT} = 5.2V$ 、 $I_{OUT} = 100mA$ 至 $6A$ 、CP 禁用、 $SR = 1A/\mu s$ 、 $V_{BIAS} = 11V$ 时的负载瞬态



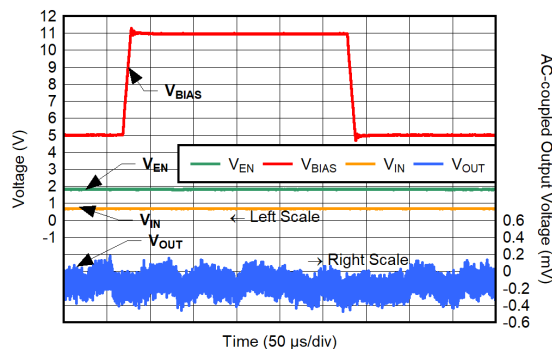
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 5V$, $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$, $SR = 1V/\mu s$

图 5-28. $V_{IN} = 0.9V$ 至 $1.2V$ 时的 IN 线路瞬态



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 5V$, $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$, $SR = 1V/\mu s$

图 5-29. $V_{IN} = 0.9V$ 至 $6V$ 时的 IN 线路瞬态



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 0.8V$, $V_{OUT} = 0.5V$, $SR = 1V/\mu s$

图 5-30. $V_{IN} = 0.9V$ 至 $6V$ 、
 $I_{OUT} = 100mA$ 时的 BIAS 线路瞬态

5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得

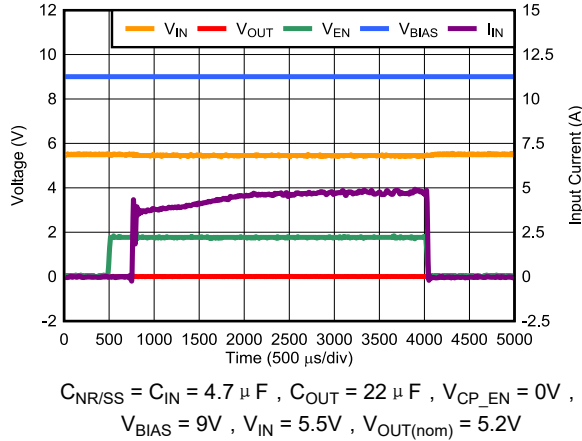


图 5-31. 启动欠流限制

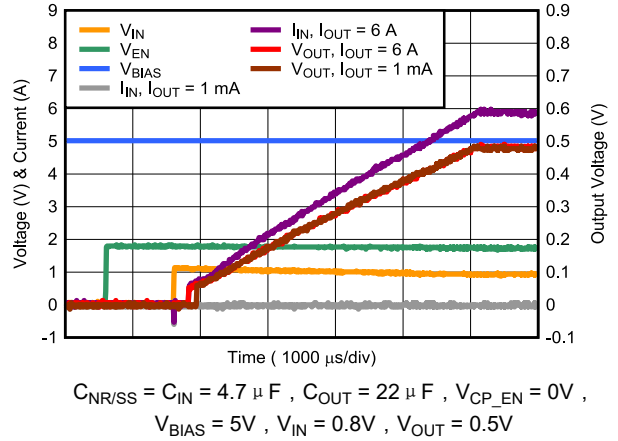


图 5-32. CP 禁用时 BIAS-EN-IN 轨序列的启动

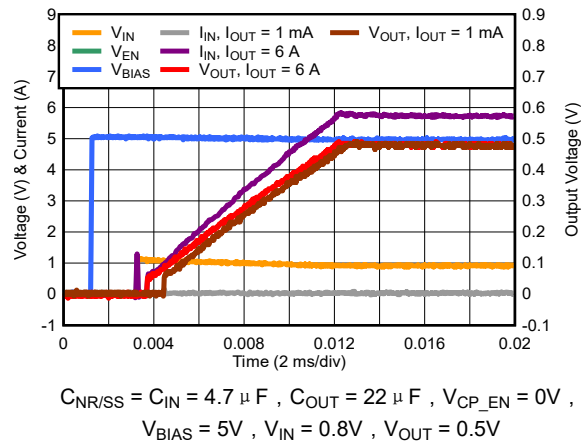


图 5-33. CP 禁用时 EN-BIAS-IN 轨序列的启动

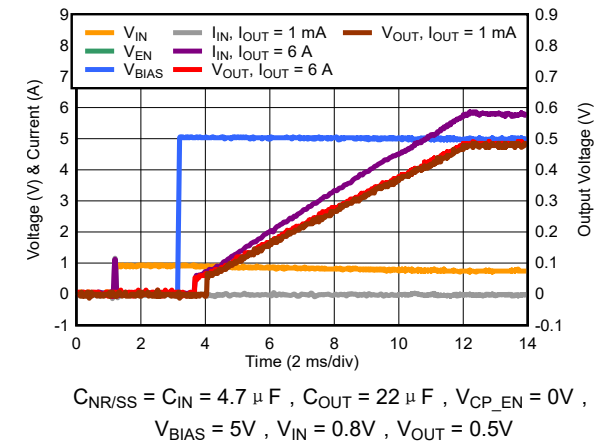


图 5-34. CP 禁用时 EN-IN-BIAS 轨序列的启动

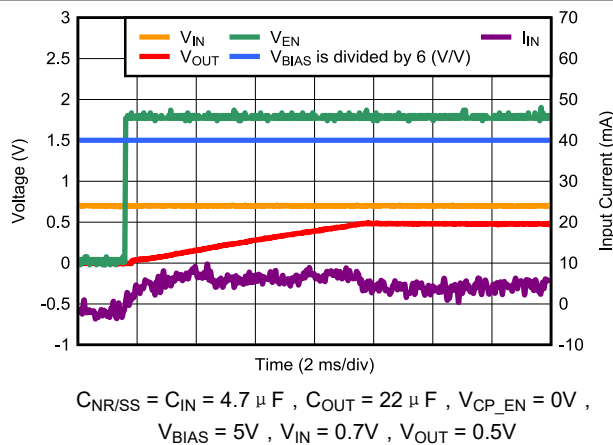


图 5-35. CP 禁用、 $V_{OUT} = 0.5V$ 时的浪涌电流

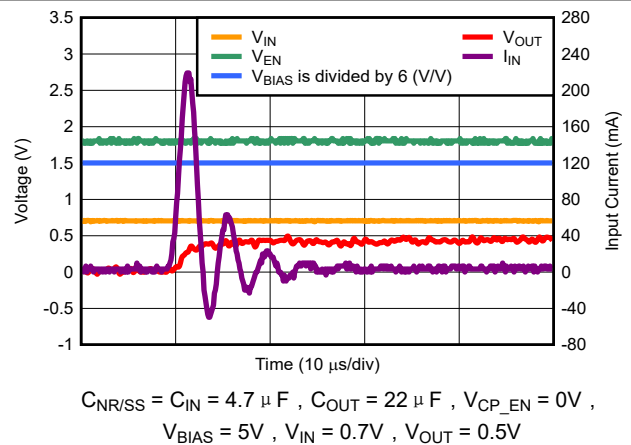
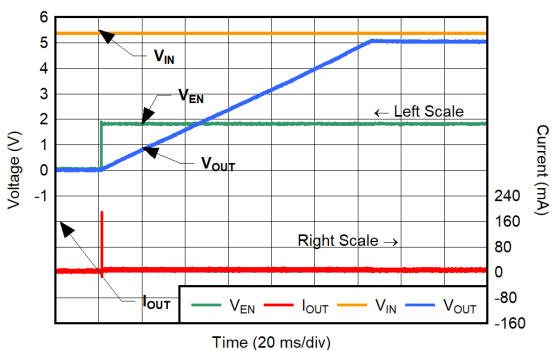


图 5-36. CP 禁用、 $V_{OUT} = 0.5V$ 时前 $500\mu s$ 的浪涌电流

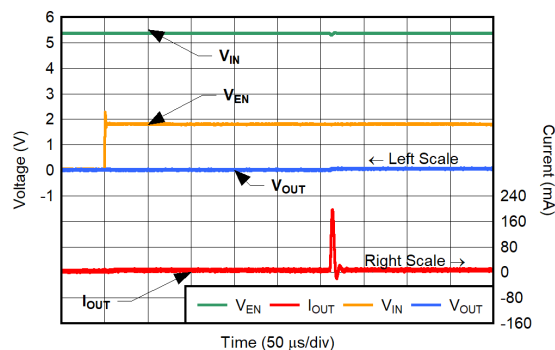
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



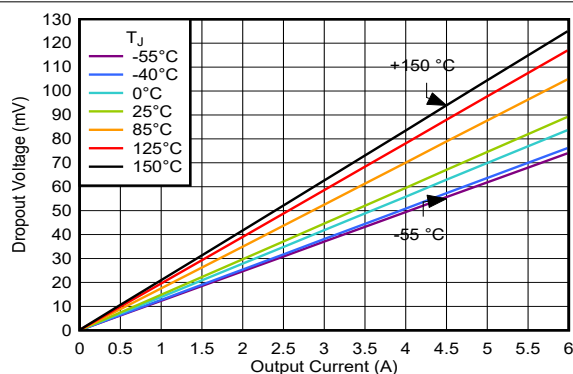
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 9V$, $V_{IN} = 5.5V$, $V_{OUT} = 5.2V$

图 5-37. CP 禁用、 $V_{OUT} = 5.2V$ 时的浪涌电流



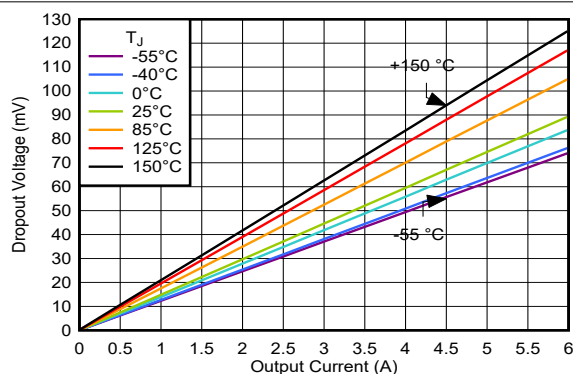
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 9V$, $V_{IN} = 5.5V$, $V_{OUT} = 5.2V$

图 5-38. CP 禁用、 $V_{OUT} = 5.2V$ 时前 $500\mu s$ 的浪涌电流



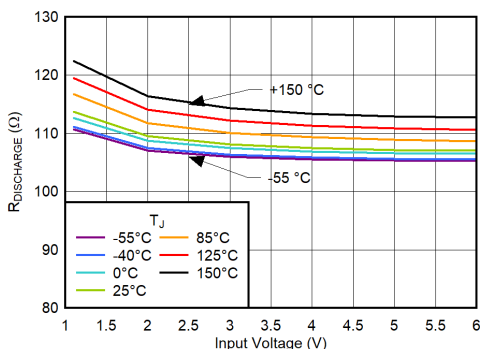
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$

图 5-39. CP 禁用、
 $V_{IN} = 0.7V$ 、 $V_{BIAS} = 3.9V$ 时压降电压与 I_{OUT} 间的关系



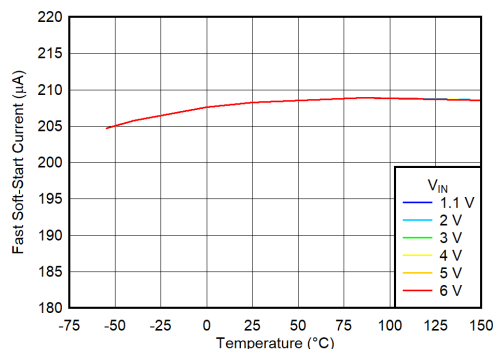
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$

图 5-40. CP 启用、 $V_{IN} = 1.1V$ 、无偏置时压降电压与 I_{OUT} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$

图 5-41. 输出放电电阻与 V_{IN} 间的关系

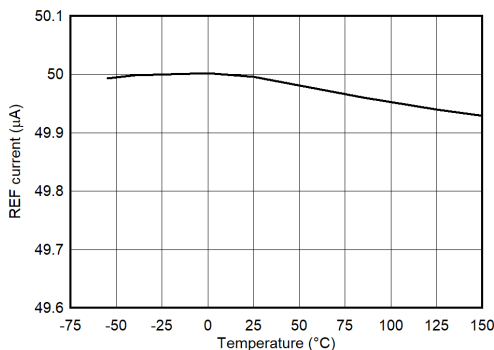


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 0V$

图 5-42. 快速软启动电流与温度和 V_{IN} 间的关系

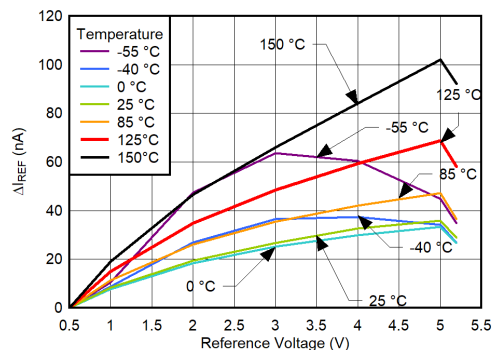
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



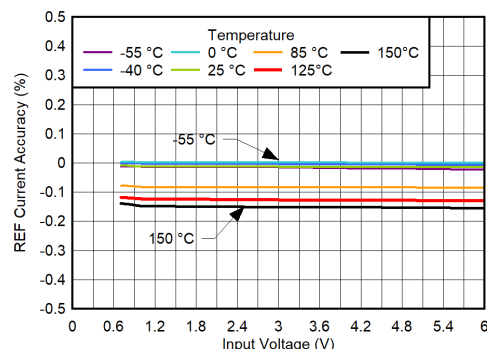
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 1.1V$

图 5-43. 基准电流与温度间的关系



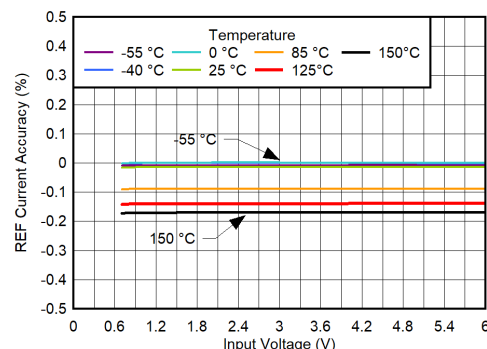
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 6V$, $I_{OUT} = 0A$

图 5-44. 基准电流的变化与 V_{REF} 间的关系



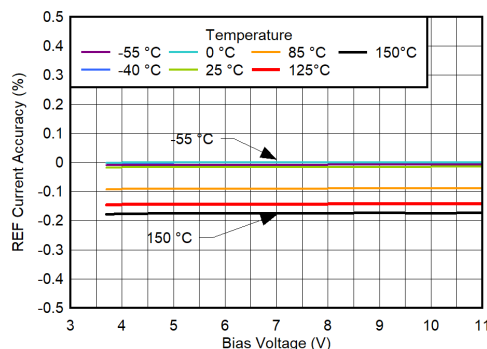
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 3V$, $V_{OUT} = 0.5V$

图 5-45. CP 启用时基准电流精度与 V_{IN} 间的关系



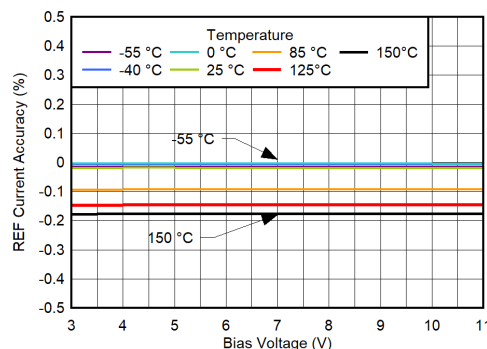
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$

图 5-46. CP 禁用时基准电流精度与 V_{IN} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$

图 5-47. CP 禁用、 $I_{OUT} = 0A$ 时基准电流精度与 V_{BIAS} 间的关系

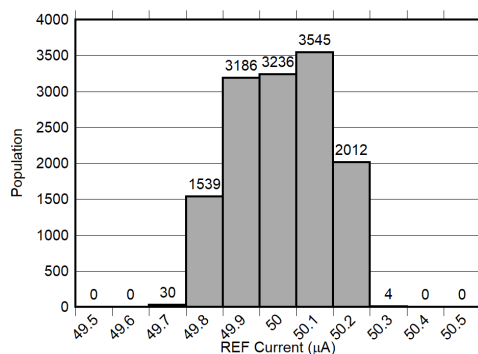


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$

图 5-48. CP 启用、 $I_{OUT} = 0A$ 时基准电流精度与 V_{BIAS} 间的关系

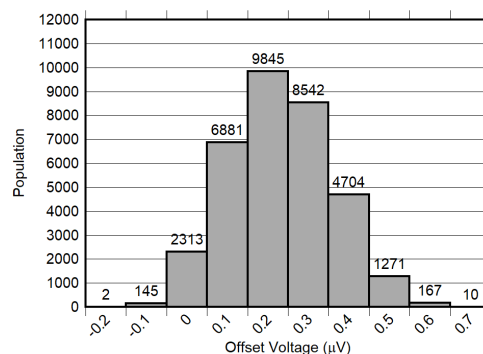
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



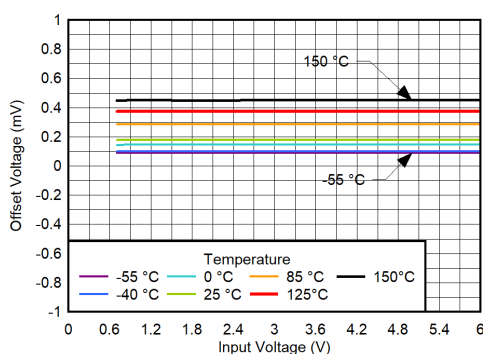
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-49. I_{REF} 分布



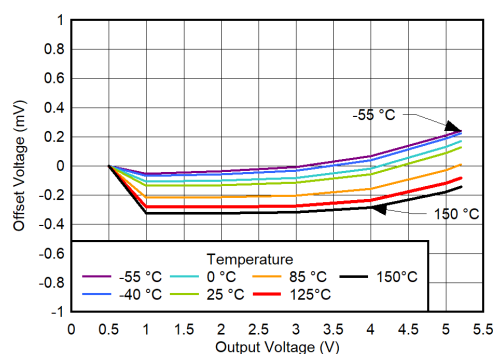
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-50. V_{OS} 分布



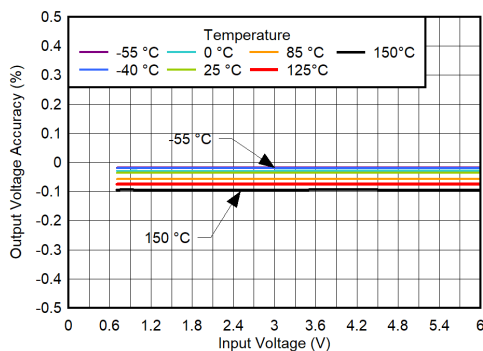
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-51. 偏移电压与 V_{IN} 间的关系



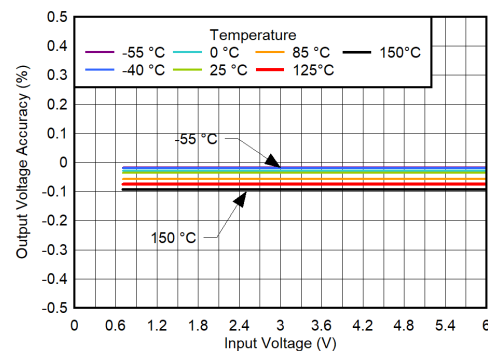
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 0V$, $V_{IN} = 6V$, $I_{OUT} = 0A$

图 5-52. 偏移电压与 V_{OUT} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 11V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-53. $V_{BIAS} = 11V$ 、CP 禁用时输出电压精度与 V_{IN} 间的关系

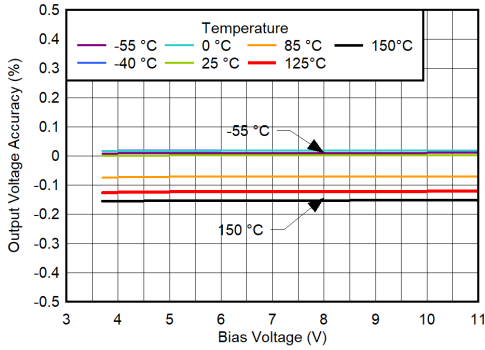


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-54. $V_{BIAS} = 3.7V$ 、CP 禁用时输出电压精度与 V_{IN} 间的关系

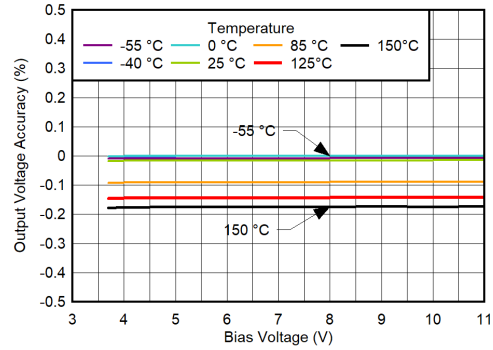
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



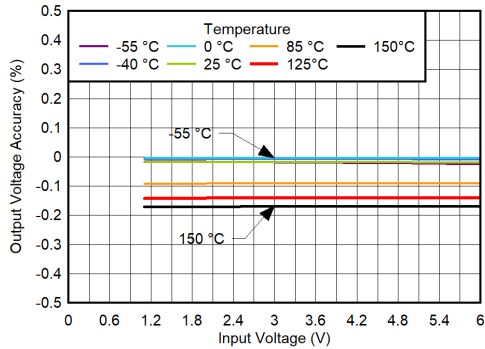
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-55. $V_{IN} = 6V$ 、CP 禁用时输出电压精度与 V_{BIAS} 间的关系



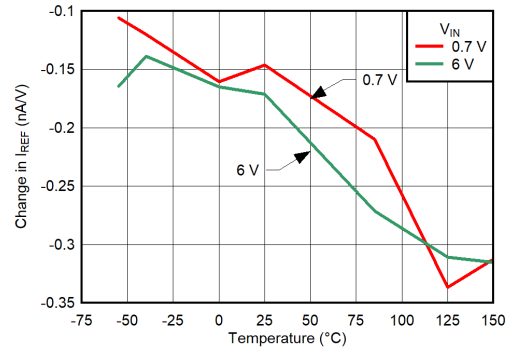
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-56. $V_{IN} = 0.7V$ 、CP 禁用时输出电压精度与 V_{BIAS} 间的关系



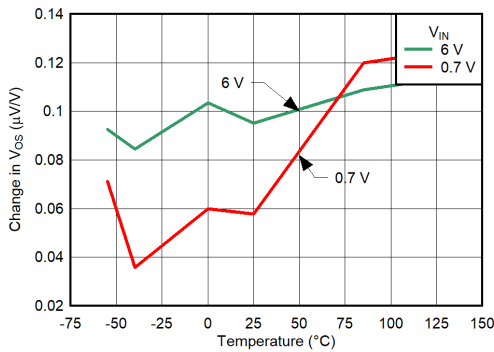
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$, $V_{BIAS} = 0V$, $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-57. CP 启用时输出电压精度与 V_{IN} 间的关系



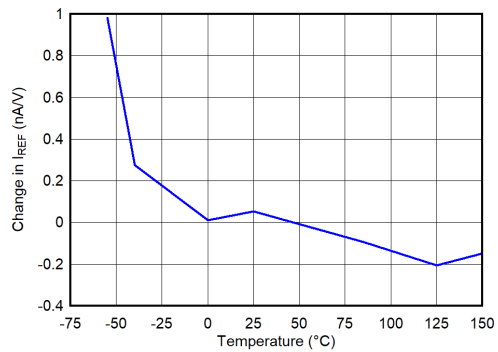
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 3.7V$ 至 $11V$, $V_{OUT} = 0.5V$

图 5-58. I_{REF} BIAS 轨线路调整



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 3.7V$ 至 $11V$, $V_{OUT} = 0.5V$

图 5-59. V_{OS} BIAS 轨线路调整

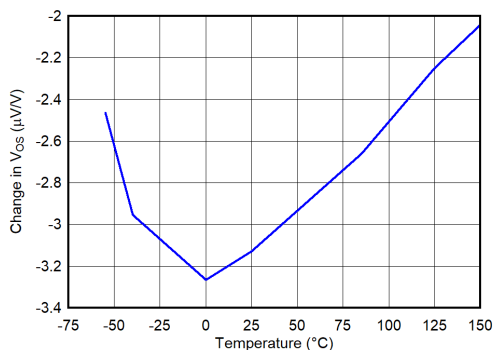


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$, $V_{IN} = 1.1V$ 至 $6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-60. I_{REF} IN 轨线路调整

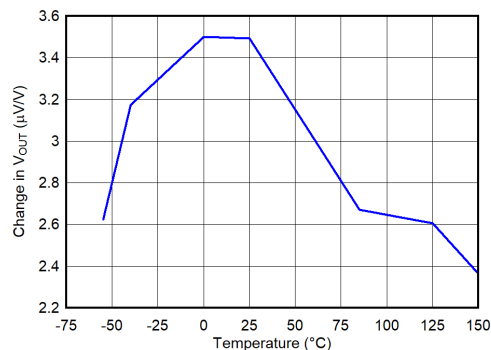
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



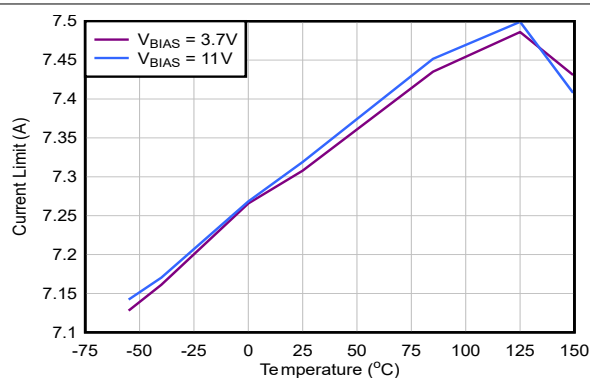
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 1.1V$ 至 $6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-61. V_{OS} IN 轨线路调整



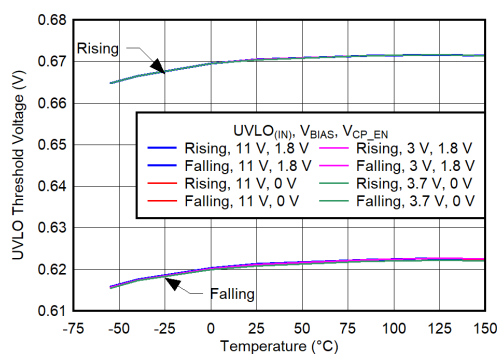
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 1.1V$ 至 $6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

图 5-62. V_{OUT} IN 轨线路调整



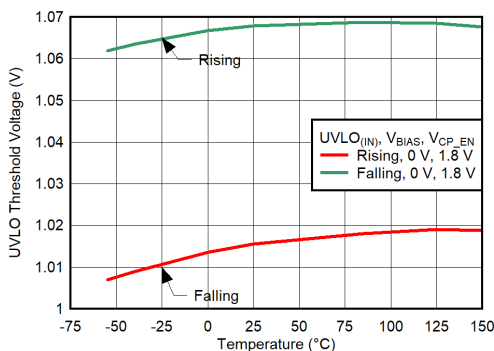
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-63. I_{LIMIT} 与温度间的关系



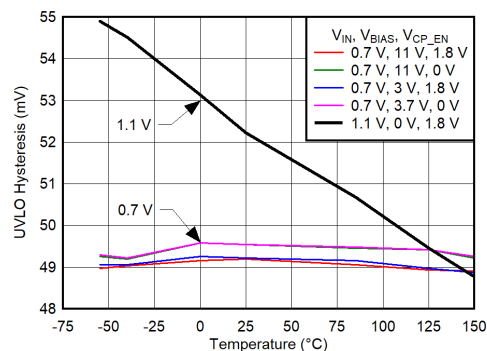
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

图 5-64. 有 BIAS 轨时 $UVLO_{IN}$ 阈值与温度间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

图 5-65. 无 BIAS 轨时 $UVLO_{IN}$ 阈值与温度间的关系

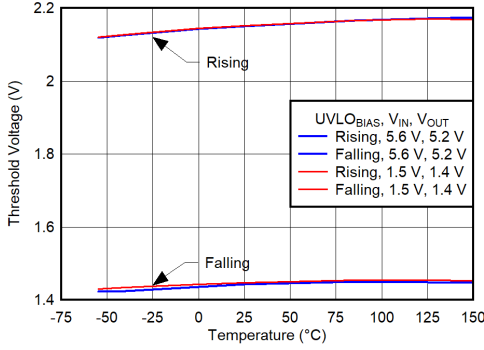


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

图 5-66. $UVLO_{IN}$ 迟滞与温度间的关系

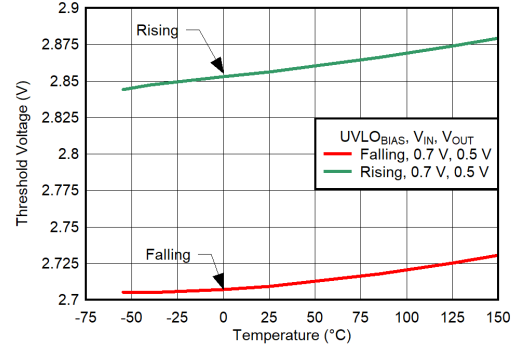
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



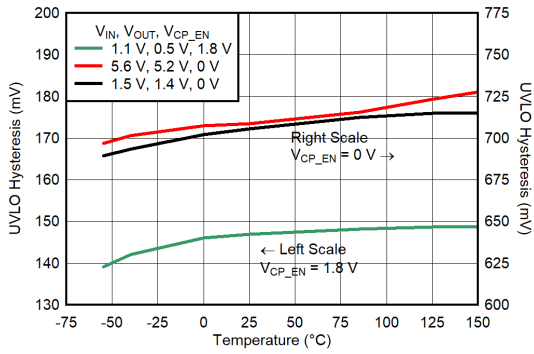
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-67. CP 禁用时 $UVLO_{BIAS}$ 阈值与温度间的关系



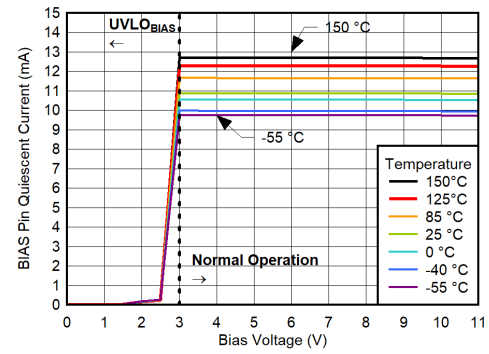
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-68. CP 启用时 $UVLO_{BIAS}$ 阈值与温度间的关系



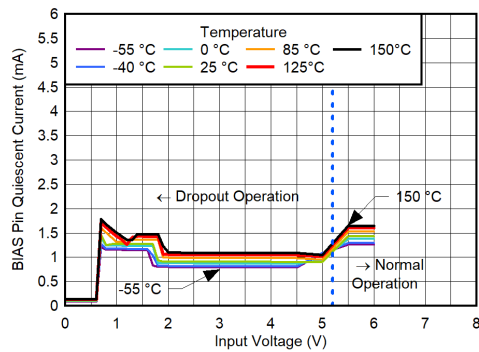
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

图 5-69. $UVLO_{IN}$ 迟滞与温度间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

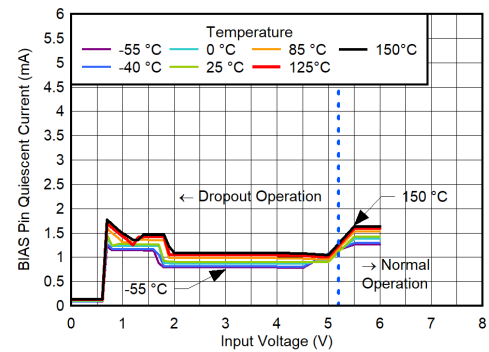
图 5-70. $V_{OUT} = 0.5V$ 、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{BIAS} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-71.

$V_{OUT} = 5.2V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 BIAS 引脚静态电流与 V_{IN} 间的关系



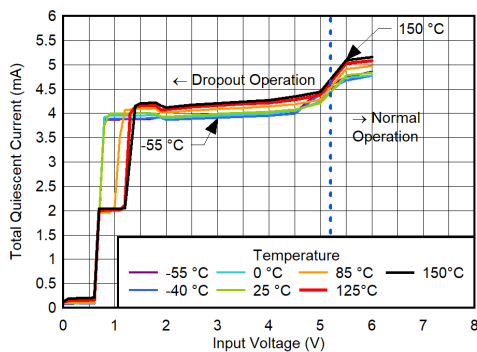
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-72.

$V_{OUT} = 5.2V$ 、 $V_{BIAS} = 8.4V$ 、CP 禁用时 BIAS 引脚静态电流与 V_{IN} 间的关系

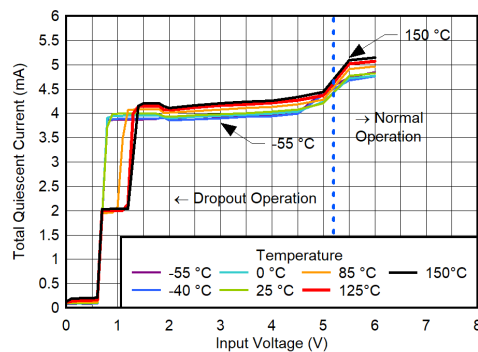
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



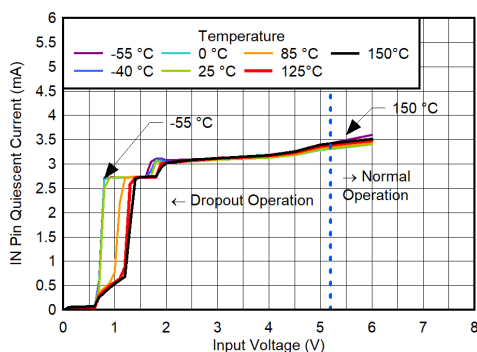
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-73. $V_{OUT} = 5.2V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时总 BIAS 引脚静态电流与 V_{IN} 间的关系



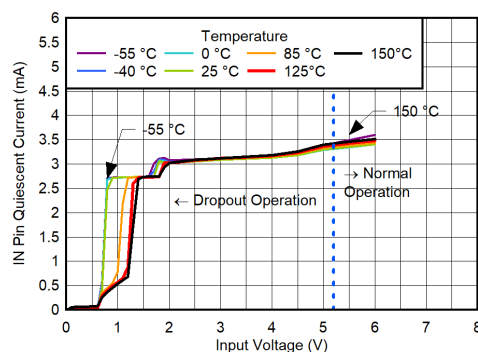
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-74. $V_{OUT} = 5.2V$ 、 $V_{BIAS} = 8.4V$ 、CP 禁用时总静态电流与 V_{IN} 间的关系



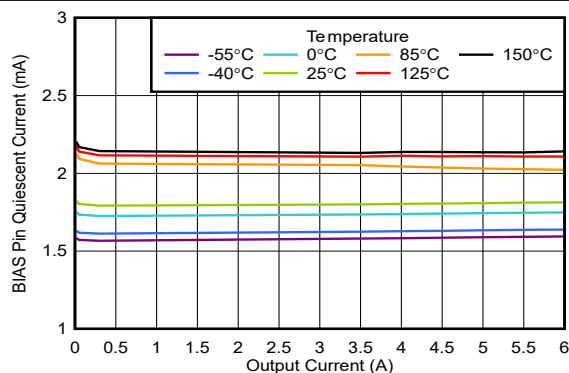
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-75. $V_{OUT} = 5.2V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 IN 引脚静态电流与 V_{IN} 间的关系



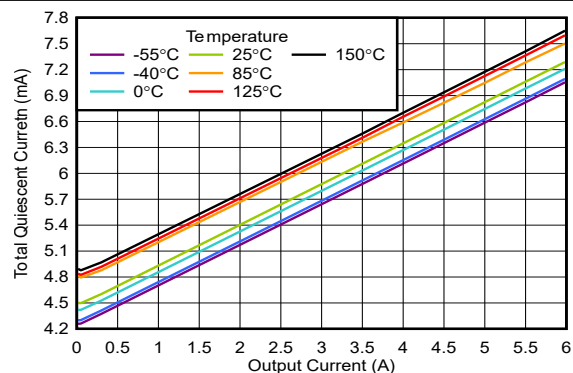
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-76. $V_{OUT} = 5.2V$ 、 $V_{BIAS} = 8.4V$ 、CP 禁用时 IN 引脚静态电流与 V_{IN} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{IN} = 0.7V$$

图 5-77. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 BIAS 引脚静态电流与 I_{OUT} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{IN} = 0.7V$$

图 5-78. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时总静态电流与 I_{OUT} 间的关系

5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得

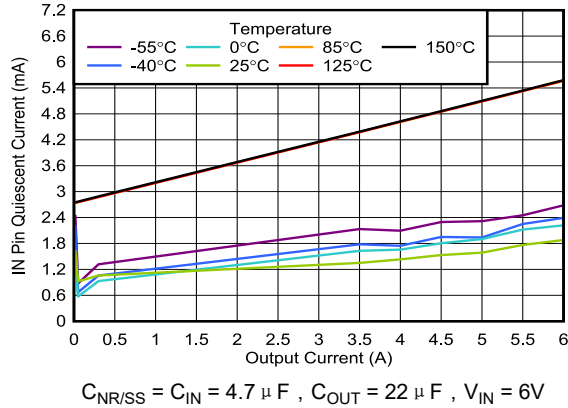


图 5-79. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 IN 引脚静态电流与 I_{OUT} 间的关系

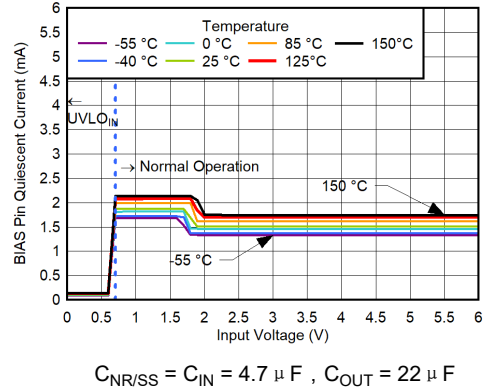


图 5-80. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 BIAS 引脚电流与 V_{IN} 间的关系

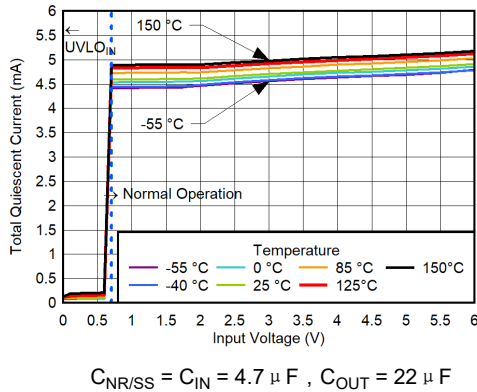


图 5-81. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时总静态电流与 V_{IN} 间的关系

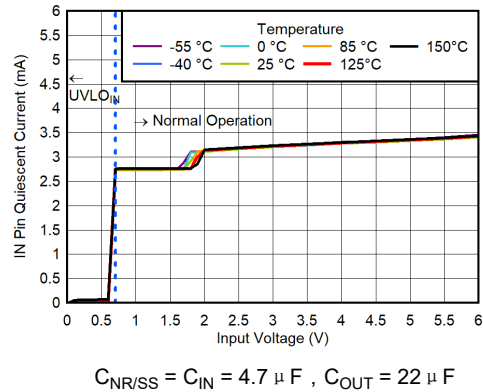


图 5-82. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 IN 引脚静态电流与 V_{IN} 间的关系

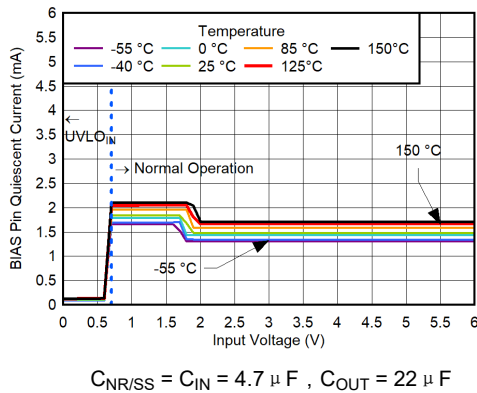


图 5-83. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3.7V$ 、CP 禁用时 BIAS 引脚静态电流与 V_{IN} 间的关系

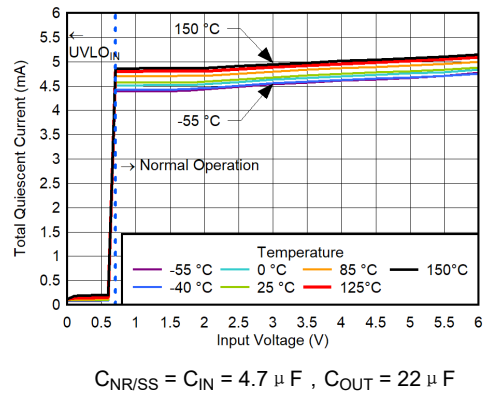
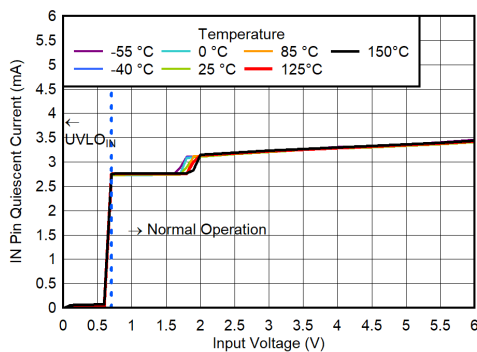


图 5-84. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3.7V$ 、CP 禁用时总引脚静态电流与 V_{IN} 间的关系

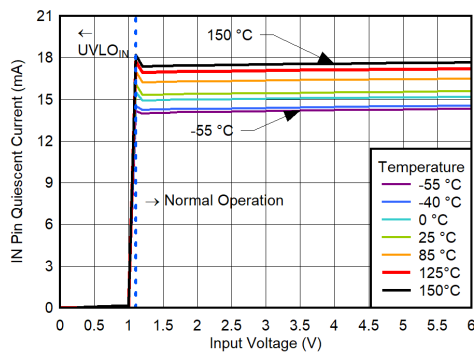
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



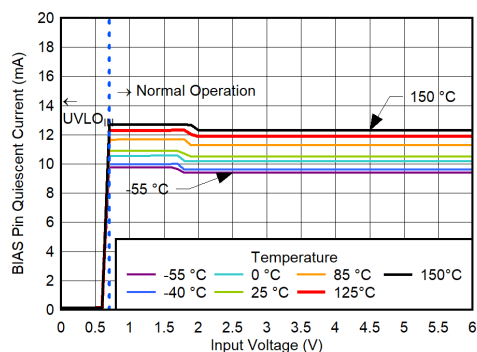
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-85. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3.7V$ 、CP 禁用时 IN 引脚静态电流与 V_{IN} 间的关系



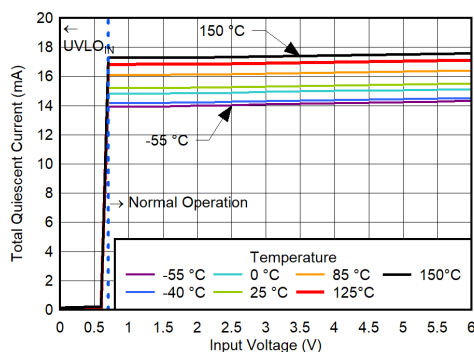
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-86. $V_{OUT} = 0.5V$ 、无偏置、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{IN} 间的关系



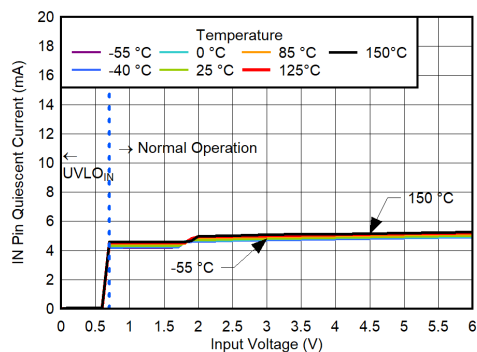
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-87. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{IN} 间的关系



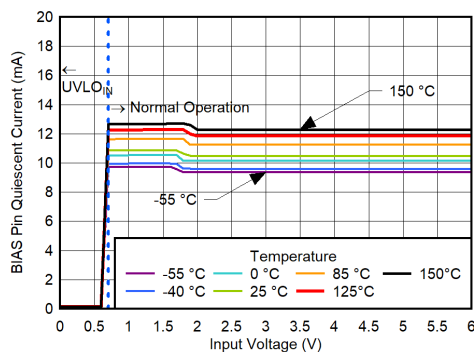
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-88. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用、 $I_{OUT} = 0A$ 时总静态电流与 V_{IN} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-89. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用、 $I_{OUT} = 0A$ 时 IN 引脚静态电流与 V_{IN} 间的关系

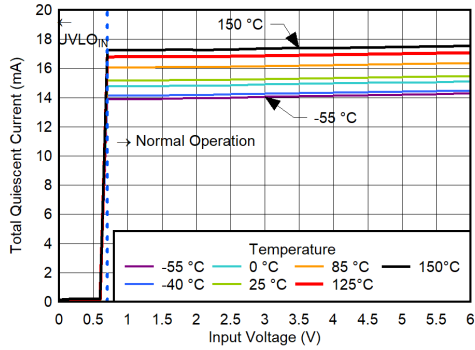


$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-90. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{IN} 间的关系

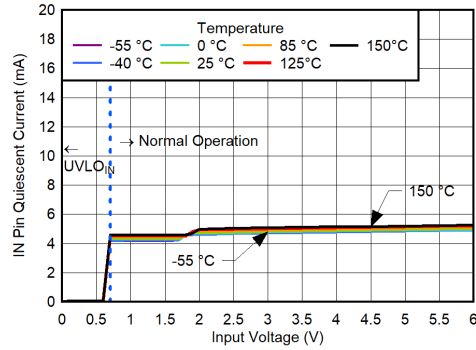
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



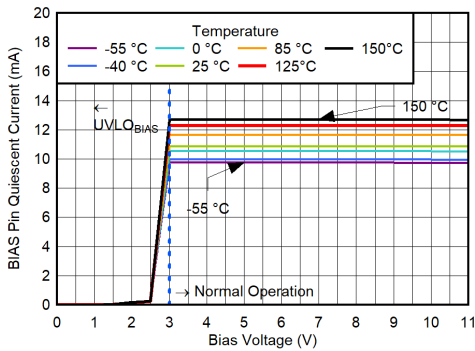
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-91. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 启用、 $I_{OUT} = 0A$ 时总静态电流与 V_{IN} 间的关系



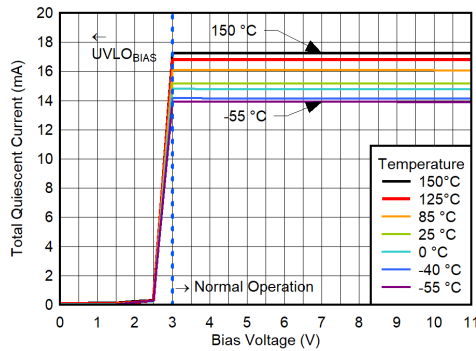
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-92. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 启用、 $I_{OUT} = 0A$ 时 IN 引脚静态电流与 V_{IN} 间的关系



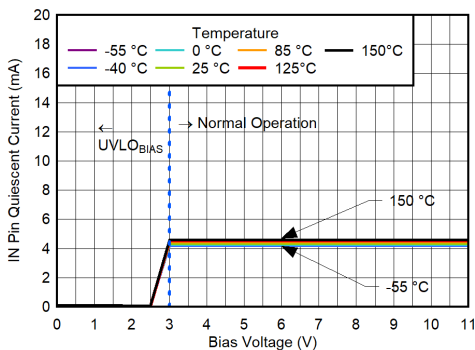
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-93. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{BIAS} 间的关系



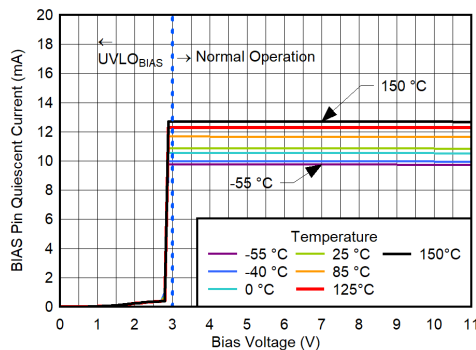
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-94. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 启用、 $I_{OUT} = 0A$ 时总静态电流与 V_{BIAS} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-95. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 启用、 $I_{OUT} = 0A$ 时 IN 引脚静态电流与 V_{BIAS} 间的关系

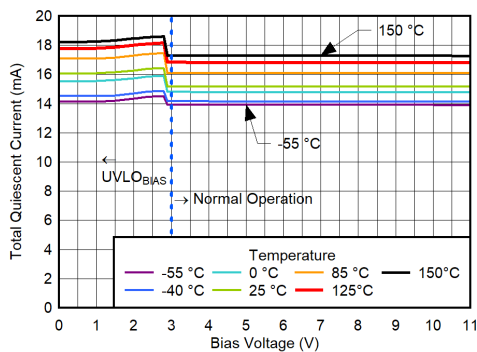


$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-96. $V_{OUT} = 0.5V$ 、 $V_{IN} = 1.1V$ 、CP 启用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{BIAS} 间的关系

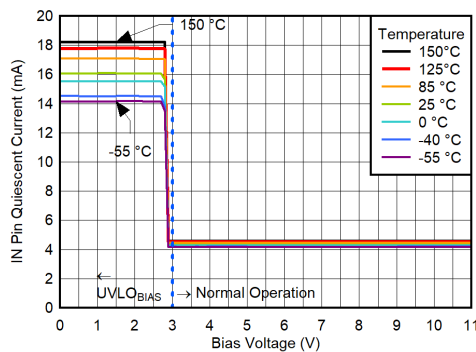
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



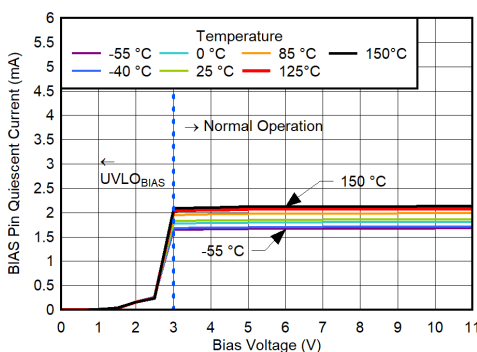
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-97. $V_{OUT} = 0.5V$ 、 $V_{IN} = 1.1V$ 、CP 启用、 $I_{OUT} = 0A$ 时总静态电流与 V_{BIAS} 间的关系



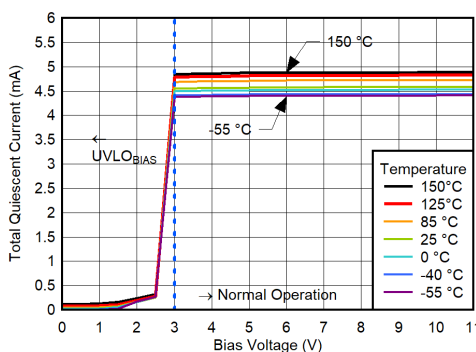
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-98. $V_{OUT} = 0.5V$ 、 $V_{IN} = 1.1V$ 、CP 启用、 $I_{OUT} = 0A$ 时 IN 引脚静态电流与偏置电压间的关系



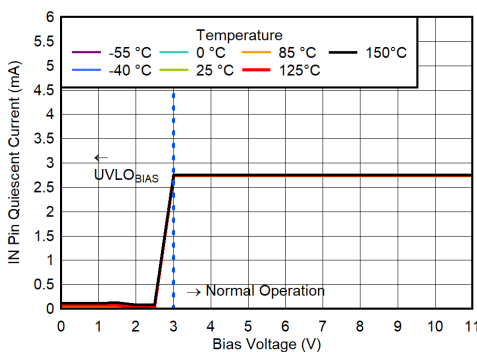
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-99. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 禁用、 $I_{OUT} = 0A$ 时 BIAS 引脚静态电流与 V_{BIAS} 间的关系



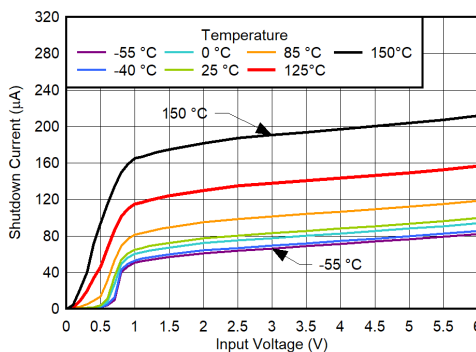
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-100. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 禁用、 $I_{OUT} = 0A$ 时总静态电流与 V_{BIAS} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-101. $V_{OUT} = 0.5V$ 、 $V_{IN} = 0.7V$ 、CP 禁用、 $I_{OUT} = 0A$ 时 IN 引脚静态电流与 V_{BIAS} 间的关系

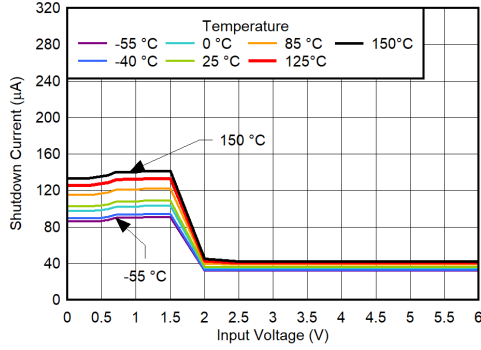


$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 1.8V, V_{EN} = 0.4V$$

图 5-102. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 0V$ 、CP 启用时关断电流与 V_{IN} 间的关系

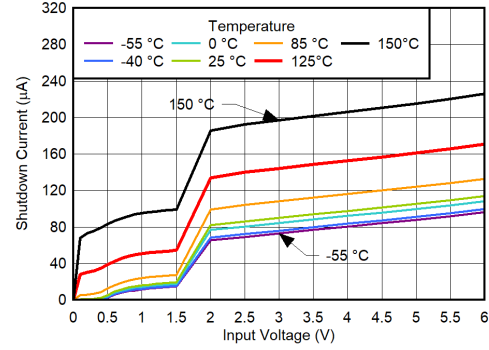
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



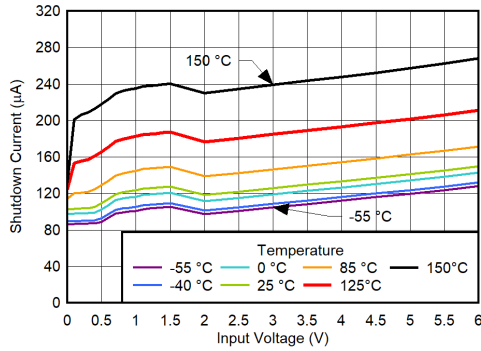
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

图 5-103. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 BIAS 引脚关断电流与 V_{IN} 间的关系



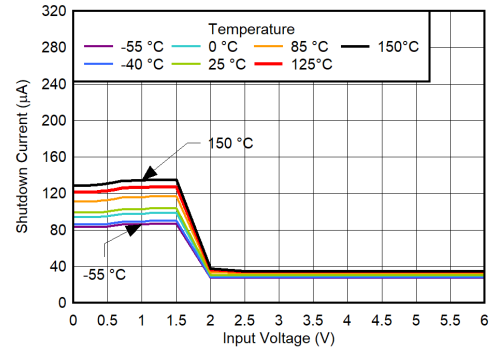
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

图 5-104. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时 IN 引脚关断电流与 V_{IN} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

图 5-105. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 11V$ 、CP 禁用时总关断电流与 V_{IN} 间的关系

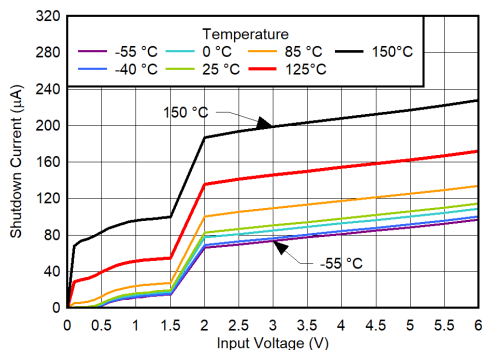


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-106. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用时 BIAS 引脚关断电流与 V_{IN} 间的关系

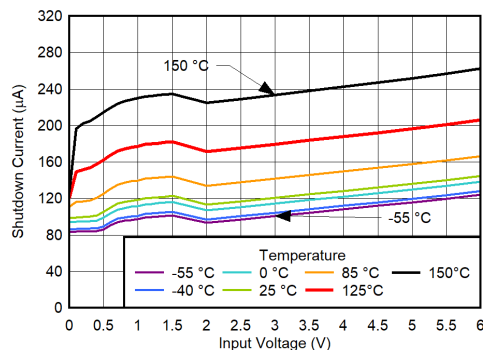
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



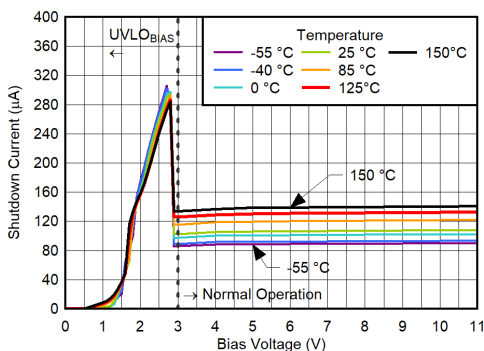
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-107. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用时 IN 引脚关断电流与 V_{IN} 间的关系



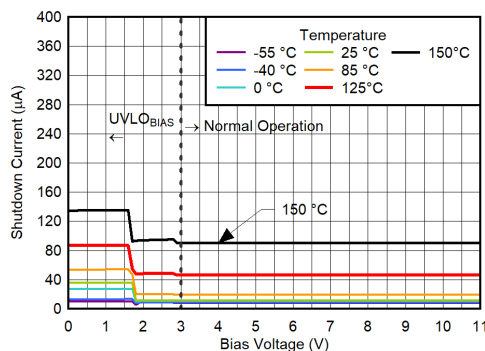
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-108. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP 启用时总关断电流与 V_{IN} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-109. $V_{IN} = 0.7V$ 、 $V_{OUT} = 0.5V$ 、CP 启用时 BIAS 引脚关断电流与 V_{BIAS} 间的关系

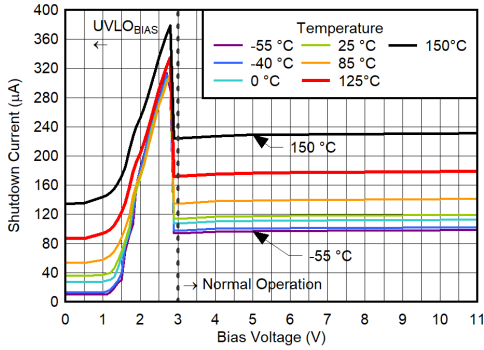


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-110. $V_{IN} = 0.7V$ 、 $V_{OUT} = 0.5V$ 、CP 启用时 IN 引脚关断电流与 V_{BIAS} 间的关系

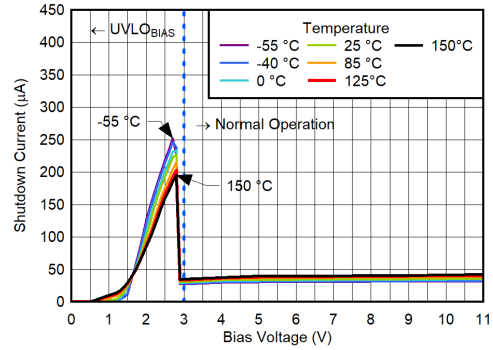
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



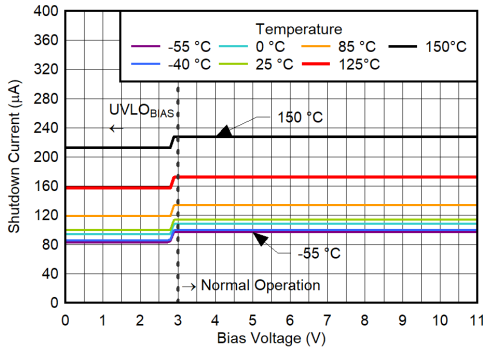
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-111. $V_{IN} = 0.7V$ 、 $V_{OUT} = 0.5V$ 、CP 启用时总关断电流与 V_{BIAS} 间的关系



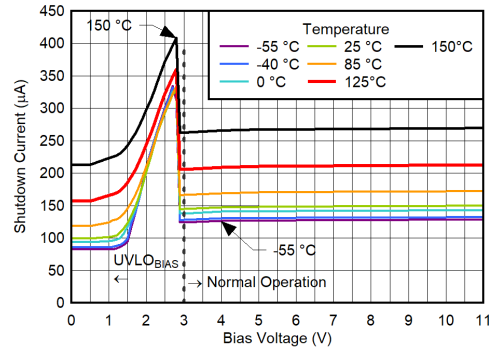
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-112. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 启用时 BIAS 引脚关断电流与 V_{BIAS} 间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-113. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 启用时 IN 引脚关断电流与 V_{BIAS} 间的关系

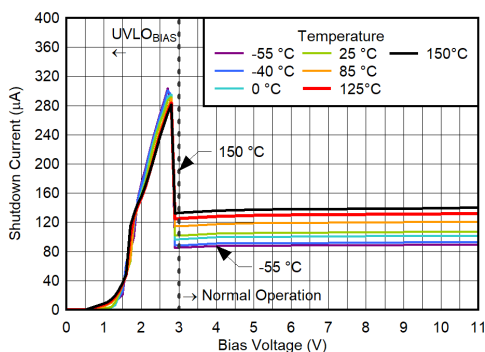


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

图 5-114. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 启用时总关断电流与 V_{BIAS} 间的关系

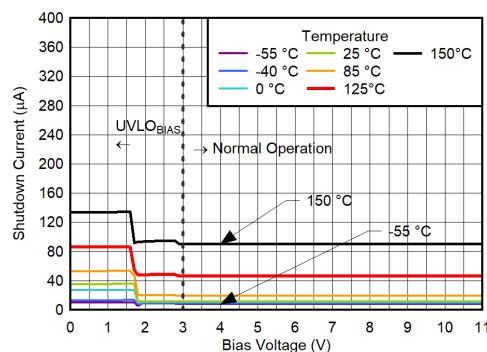
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



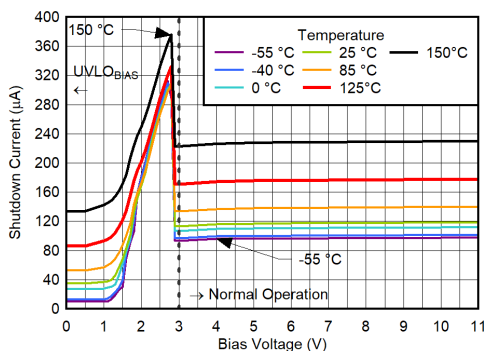
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, \\ V_{EN} = 0.4V$$

图 5-115. $V_{IN} = 0.7V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时 BIAS 引脚关断电流与 V_{BIAS} 间的关系



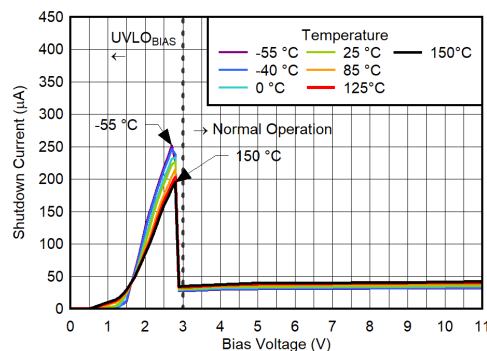
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, \\ V_{EN} = 0.4V$$

图 5-116. $V_{IN} = 0.7V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时 IN 引脚关断电流与 V_{BIAS} 间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, \\ V_{EN} = 0.4V$$

图 5-117. $V_{IN} = 0.7V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时总关断电流与 V_{BIAS} 间的关系

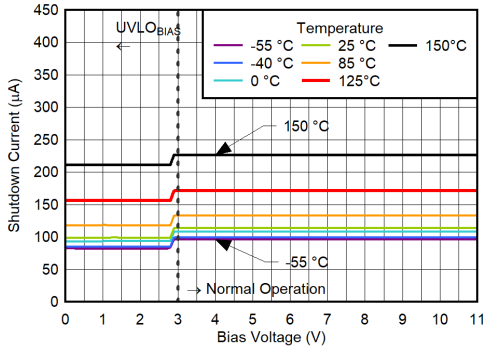


$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, \\ V_{EN} = 0.4V$$

图 5-118. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时 BIAS 引脚关断电流与 V_{BIAS} 间的关系

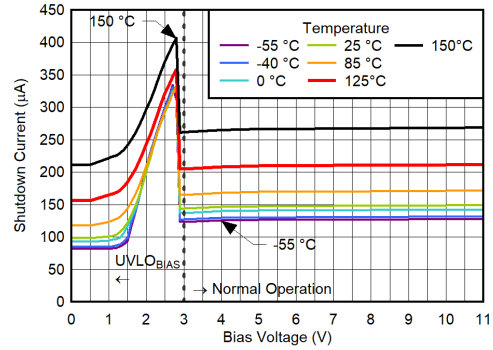
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



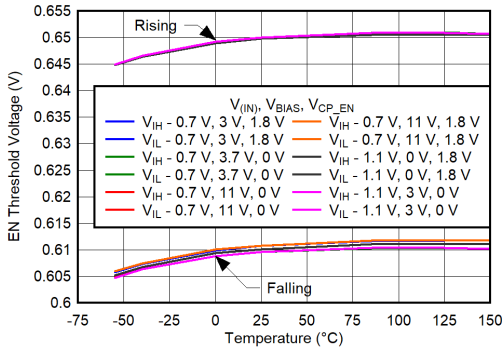
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, V_{EN} = 0.4V$$

图 5-119. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时 IN 引脚关断电流与 V_{BIAS} 间的关系



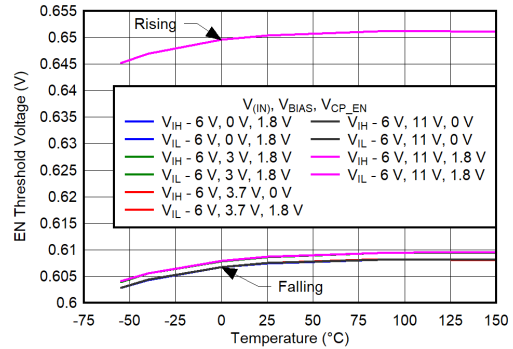
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{CP_EN} = 0V, V_{EN} = 0.4V$$

图 5-120. $V_{IN} = 6V$ 、 $V_{OUT(nom)} = 0.5V$ 、CP 禁用时总关断电流与 V_{BIAS} 间的关系



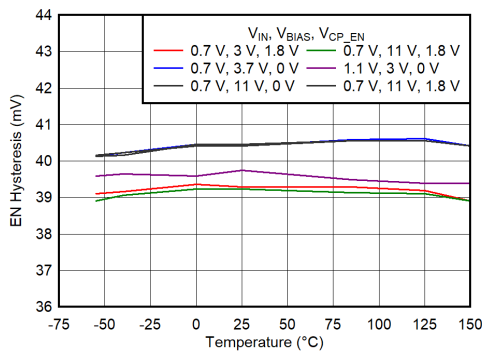
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-121. $V_{IN} = 0.7V$ 和 $1.1V$ 、 $V_{OUT} = 0.5V$ 时 EN 阈值电压与温度间的关系



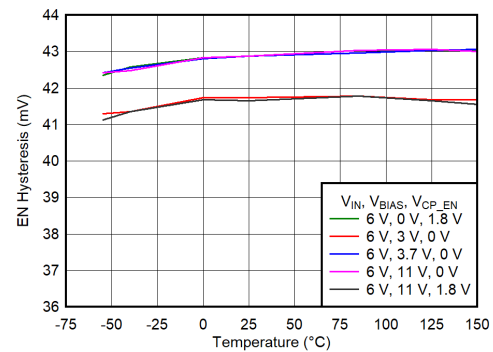
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-122. $V_{IN} = 6V$ 、 $V_{OUT} = 0.5V$ 时 EN 阈值电压与温度间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-123. $V_{IN} = 0.7V$ 和 $1.1V$ 、 $V_{OUT} = 0.5V$ 时 EN 迟滞与温度间的关系

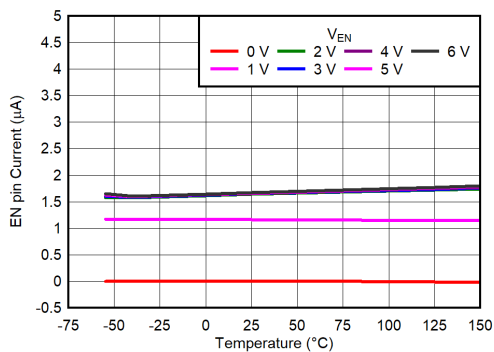


$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F$$

图 5-124. $V_{IN} = 6V$ 、 $V_{OUT} = 0.5V$ 时 EN 迟滞与温度间的关系

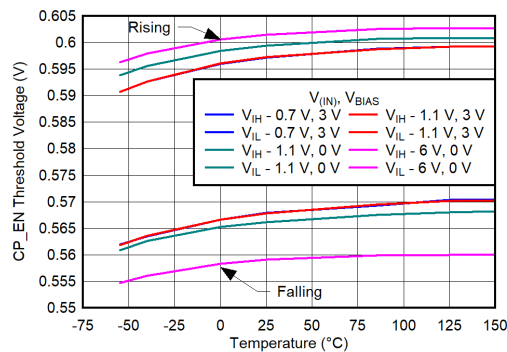
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



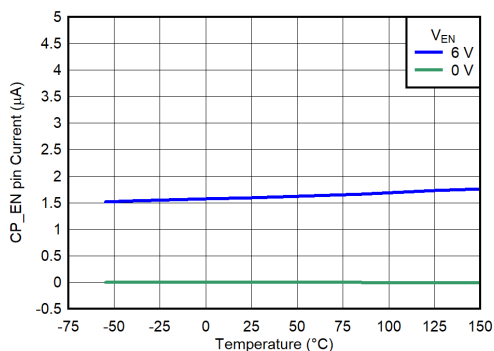
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-125. EN 引脚电流与温度间的关系



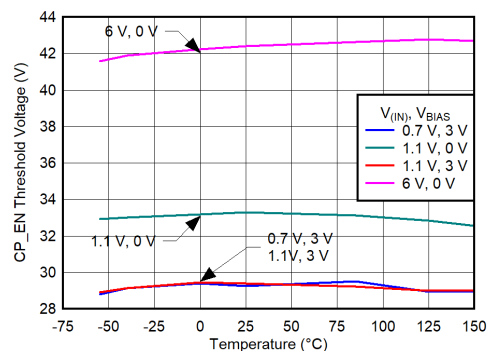
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-126. CP_EN 阈值电压与温度间的关系



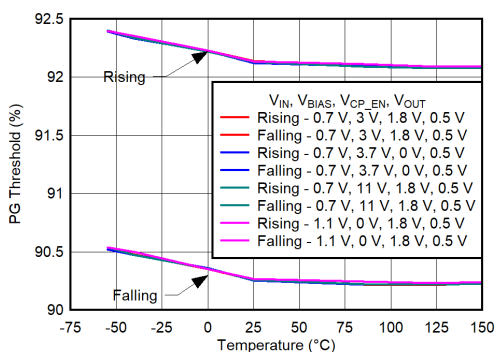
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-127. CP_EN 引脚电流与温度间的关系



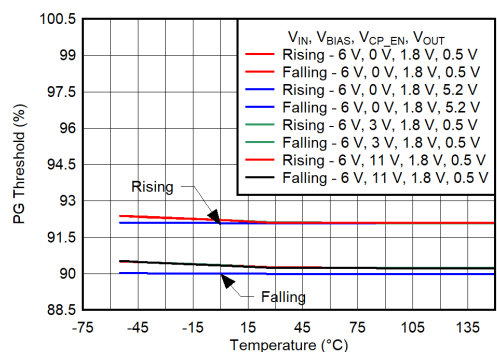
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-128. CP_EN 迟滞与温度间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-129. $V_{IN} = 0.7V$ 和 $1.1V$ 时 PG 阈值电压与温度间的关系

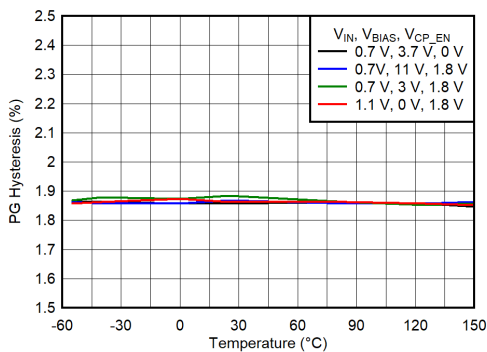


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-130. $V_{IN} = 6V$ 时 PG 阈值电压与温度间的关系

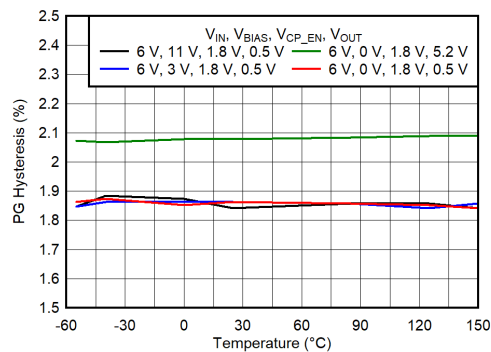
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



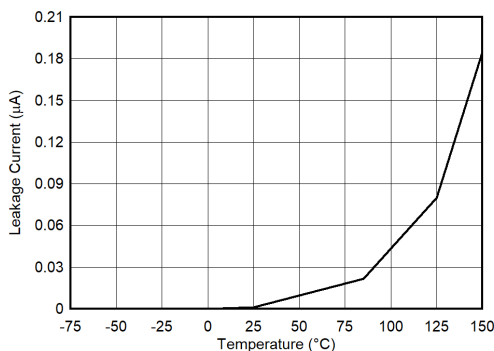
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-131. $V_{IN} = 0.7V$ 和 $1.1V$ 时 PG 迟滞与温度间的关系



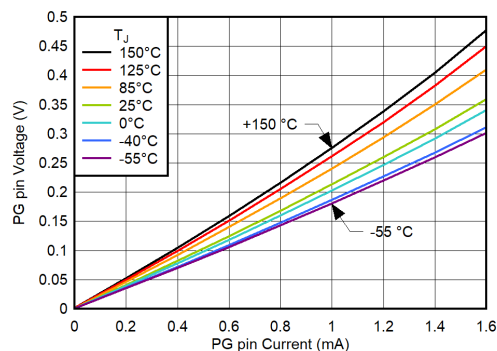
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-132. $V_{IN} = 6V$ 时 PG 迟滞与温度间的关系



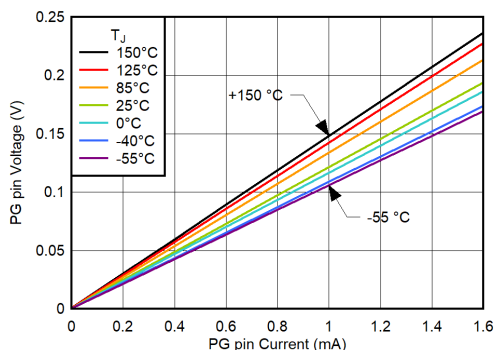
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

图 5-133. PG 漏电流与温度间的关系



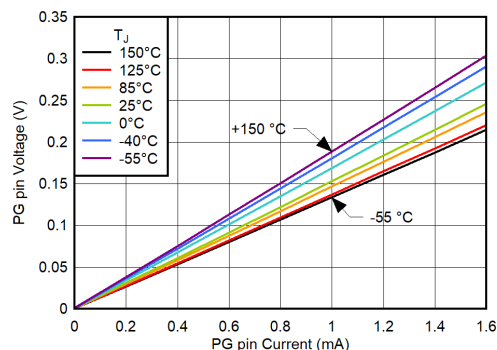
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{BIAS} = 0V$,
 $V_{OUT} = 0.5V$, $V_{CP_EN} = 1.8V$

图 5-134. $V_{IN} = 1.1V$ 、无偏置时 PG 引脚低电平电压与 PG 引脚电流间的关系



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{BIAS} = 0V$,
 $V_{OUT} = 0.5V$, $V_{CP_EN} = 1.8V$

图 5-135. $V_{IN} = 6V$ 、无偏置时 PG 引脚低电平电压与 PG 引脚电流间的关系

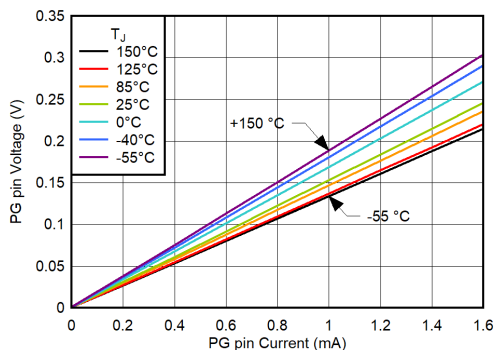


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

图 5-136. $V_{IN} = 0.7V$ 、 $V_{BIAS} = 3.7V$ 、 $V_{CP_EN} = 0V$ 时 PG 引脚低电平电压与 PG 引脚电流间的关系

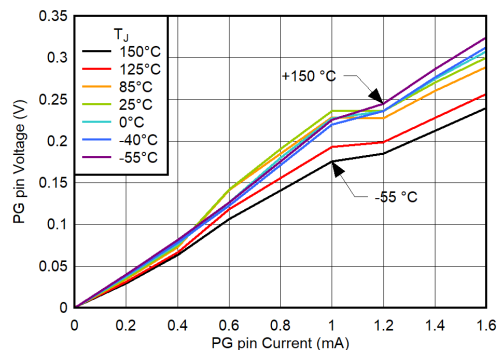
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



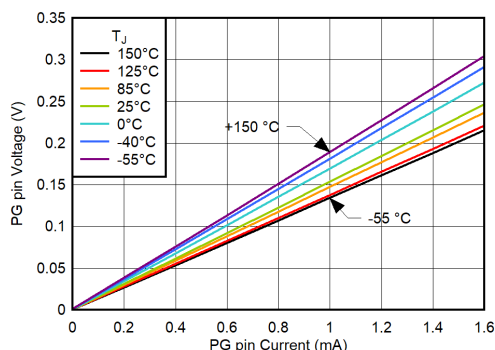
$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{OUT} = 0.5V$$

图 5-137. $V_{IN} = 0.7V$ 、 $V_{BIAS} = 11V$ 、 $V_{CP_EN} = 0V$ 时 PG 引脚低电平电压与 PG 引脚电流间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{OUT} = 0.5V$$

图 5-138. $V_{IN} = 0.7V$ 、 $V_{BIAS} = 3V$ 、 $V_{CP_EN} = 1.8V$ 时 PG 引脚低电平电压与 PG 引脚电流间的关系



$$C_{NR/SS} = C_{IN} = 4.7\mu F, C_{OUT} = 22\mu F, V_{OUT} = 0.5V$$

图 5-139. $V_{IN} = 0.7V$ 、 $V_{BIAS} = 11V$ 、 $V_{CP_EN} = 1.8V$ 时 PG 引脚低电平电压与 PG 引脚电流间的关系

6 详细说明

6.1 概述

TPS7A56 是一款低噪声 (在 10Hz 至 100kHz 带宽范围内为 $2.45 \mu V_{RMS}$)、超高 PSRR (1MHz 时 $> 36dB$)、高精度 (1%)、超低压降 (LDO) 线性稳压器。该器件具有 0.7V 至 6.0V 的输入电压范围以及 0.5V 至 5.0V 的输出电压范围。此器件使用创新电路来实现宽带宽和高环路增益,即使运行余量非常低,也能实现超高 PSRR。该余量可计算为 $[V_{OPHR} = (V_{IN} - V_{OUT})]$ 。概括来说,该器件具有两个主要特性和几个次要特性。主要特性是电流基准和单位增益 LDO 缓冲。次要特性包括可调软启动浪涌控制、精密使能、电荷泵使能和 PG 引脚。

电流基准由 REF 引脚控制。该引脚使用单个电阻器来设置输出电压。

NR/SS 引脚可设置启动时间并滤除由基准和外部设定电阻器产生的噪声。

单位增益 LDO 缓冲器可控制输出电压。低噪声不随输出电压增加,并会提供宽带 PSRR。因此, SNS 引脚仅用于负载遥感。

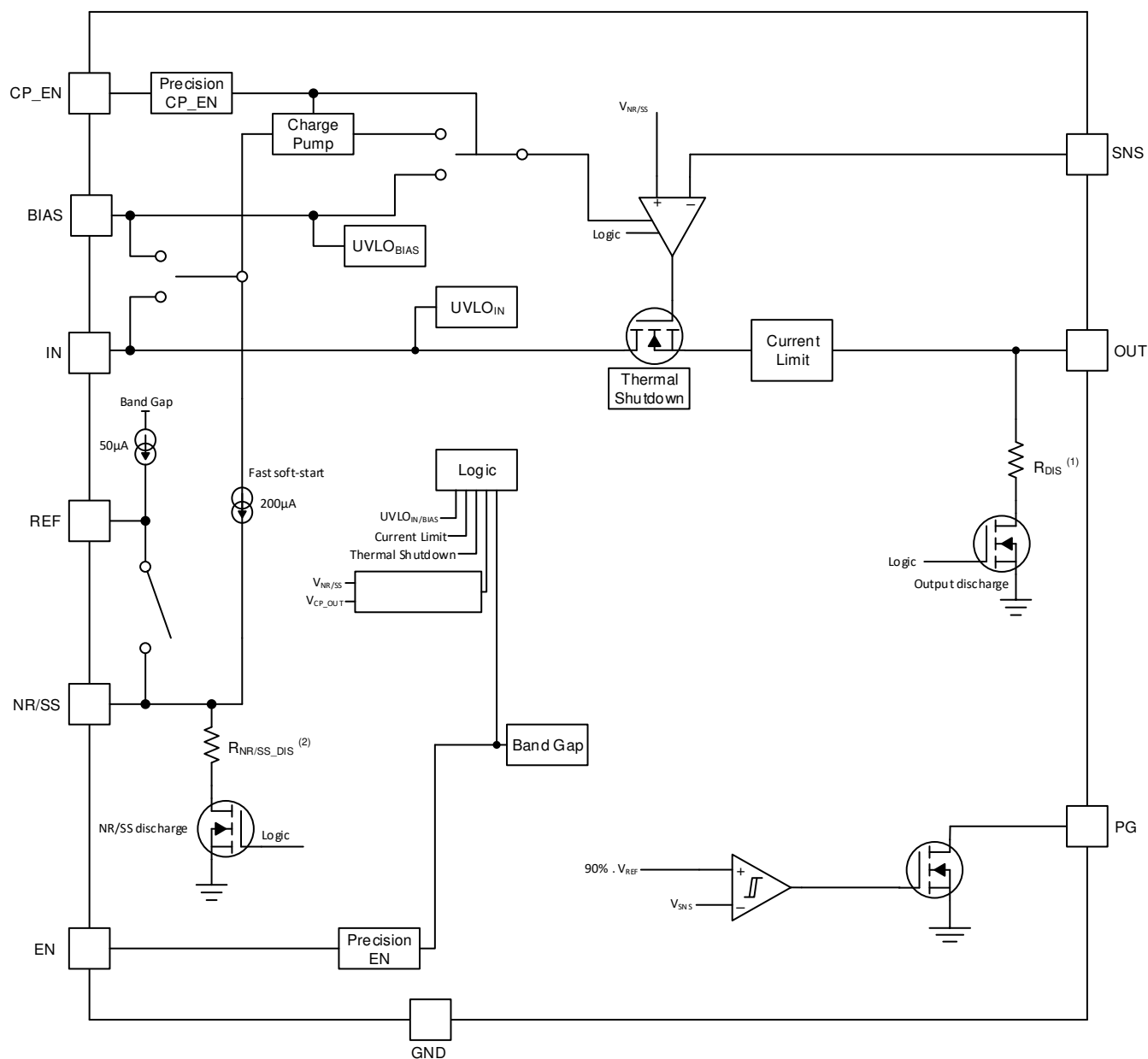
低噪声电流基准 (典型值为 $50 \mu A$) 与外部电阻器 (R_{REF}) 结合用于设置输出电压。此过程允许将输出电压范围设置为 0.5V 至 5.0V。为了实现低噪声并允许软启动浪涌,将外部电容器 $C_{NR/SS}$ (典型值为 $4.7 \mu F$) 放置在 NR/SS 引脚上。当启动完成且 REF 和 NR/SS 之间的开关闭合时, $C_{NR/SS}$ 电容器与 R_{REF} 电阻器并联。该电阻器可衰减带隙噪声并设置输出电压。该单位增益 LDO 可在宽频率范围内提供超高 PSRR,而不会影响负载和线路瞬态。

EN 引脚可设置精密使能特性;该引脚上的电阻分压器选择启动器件的最佳输入电压。该器件中有三个独立的欠压锁定 (UVLO) 电压。这些电压是 IN 和 BIAS 轨的内部固定 UVLO 阈值以及使用 EN 引脚的外部可调节 UVLO 阈值。

CP_EN 引脚可启用或禁用内部电荷泵。在无 BIAS 轨时,TPS7A56 的运行电压不得低于 1.1V。如果电荷泵禁用,则 OUT 和 BIAS 之间需要具有最小运行余量。

该稳压器具有电流限制和热保护功能,工作温度范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$ 。该器件采用 16 引脚 WQFN 3mm × 3mm 高效散热封装。

6.2 功能方框图



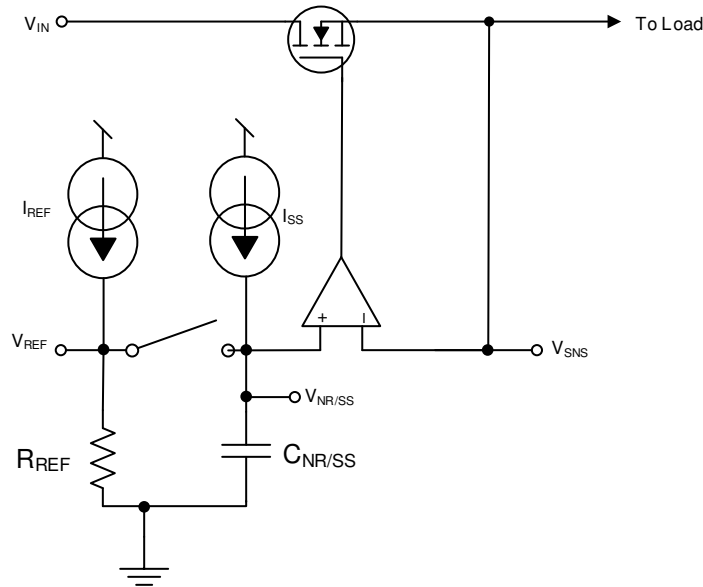
- A. 请参阅 [电气特性](#) 表中的 R_{DIS} (输出引脚主动放电电阻) 值。
- B. 请参阅 [电气特性](#) 表中的 R_{NR/SS_DIS} (NR/SS 引脚主动放电电阻) 值。

6.3 特性说明

6.3.1 输出电压设置和调节

图 6-1 显示了简化的调节电路。输入信号 (V_{REF}) 由内部电流源 (I_{REF}) 和外部电阻器 (R_{REF}) 产生。由于误差放大器始终采用单位增益配置，所以 LDO 输出电压根据 V_{REF} 电压设置。 V_{REF} 基准电压由驱动 R_{REF} 电阻器的内部低噪声电流源产生。通过使用低通滤波器 ($C_{NR/SS} \parallel R_{REF}$)， V_{REF} 设计为在误差放大器的输入端具有非常低的带宽。

单位增益配置是通过将 SNS 连接到 OUT 来实现的。应最大限度减小输出端的布线电感，并尽可能靠近输出端连接 C_{OUT} 。



$$V_{OUT} = I_{REF} \times R_{REF}$$

图 6-1. 简化的调节电路

该单位增益配置以及高精度 I_{REF} 基准电流使该器件能够实现出色的输出电压精度。低压降电压 (V_{DO}) 有助于降低散热需求并实现稳健的性能。此特性组合使得该器件成为向敏感型模拟低压 ($\leq 5.5V$) 器件供电的理想电压源。

6.3.2 低噪声、超高电源抑制比 (PSRR)

该器件架构具有高度准确的高精度、低噪声电流基准，后跟先进的互补金属氧化物半导体 (CMOS) 误差放大器。该 CMOS 误差放大器在噪声频率为 10kHz、 $V_{OUT} \geq 0.5V$ 时的噪声密度为 $6nV/\sqrt{Hz}$ 。与上一代 LDO 不同，该器件的单位增益配置可在整个输出电压范围内提供低噪声。通过并联放置多个 TPS7A56 LDO，还可进一步降低噪声并增大输出电流。请参阅[通过并联实现更高输出电流和更低噪声](#)部分。

6.3.3 可编程软启动 (NR/SS 引脚)

该器件具有一个可编程、单调、电流受控的软启动电路。该电路使用 $C_{NR/SS}$ 电容器来尽可能降低启动期间流入输出电容器和负载的浪涌电流。对于要求输出电压至少达到设定值 90% 才能快速启动系统的应用，此电路可以缩短启动时间。更多详细信息，请参阅[软启动、降噪 \(NR/SS 引脚\)](#)和[电源正常状态 \(PG 引脚\)](#)部分。

6.3.4 精密使能和 UVLO

根据电路实现方式，最多可以激活三个独立的欠压锁定 (UVLO) 电压电路。当输入电压达到最小阈值时，输入电源 (IN 引脚) 和偏置电源 (BIAS 引脚) 上的一个内部设定 UVLO 会自动禁用 LDO。精密 EN 功能 (EN 引脚) 也可作用用户可编程的 UVLO。此编程功能包括：

1. 内部输入电源电压 UVLO 电路可防止稳压器在输入电压不够高时开启。有关详细信息，请参阅 [电气特性](#) 表。
2. 内部偏置电源电压 UVLO 电路可防止稳压器在偏置电压不够高时开启。有关详细信息，请参阅 [电气特性](#) 表。
3. 精密使能电路允许通过来自另一电源的电阻分压器对多个电源进行简单时序控制。使用此使能电路可设置外部 UVLO 电压，在达到该设定值时器件由 EN 引脚上的电阻分压器启用。更多详细信息，请参阅 [精密使能 \(外部 UVLO\)](#) 部分。

6.3.5 电荷泵使能与 BIAS 轨

对于无法承受任何开关噪声的系统，该器件允许禁用内部电荷泵。

当 V_{IN} 低于 1.1V 时，需要使用 BIAS 轨，因为该轨提供内部电路所需的电流。电荷泵可以启用或禁用。如果禁用电荷泵，请考虑从 OUT 到 BIAS 的足够运行余量要求。更多详细信息，请参阅 [欠压锁定 \(UVLO\) 操作](#) 部分。

当 V_{IN} 高于或等于 1.1V 时，CP_EN 引脚连接决定了内部电路的供电方式。如果 CP_EN 连接到 GND (CP 禁用)，则内部电路由 BIAS 轨供电。更多详细信息，请参阅 [欠压锁定 \(UVLO\) 操作](#) 部分。如果 CP_EN 连接到电源 (CP 启用)，则为内部电路供电所需的所有电流均来自 IN 引脚。因此，将 BIAS 引脚保持为断开状态。

6.3.6 电源正常引脚 (PG 引脚)

PG 引脚的输出用于指示 LDO 是否已准备好供电。该引脚是使用开漏架构实现的。在启动阶段，当快速软启动正在进行时，PG 电压阈值根据 REF 电压设置。当快速软启动完成且 REF 和 NR/SS 之间的开关闭合时，PG 阈值根据 NR/SS 电压设置。

如 [功能方框图](#) 所示，通过将 SNS 引脚电压与内部基准电压进行比较，可实现 PG 引脚。因此，PG 引脚被视为反映输出电压状态的电压指示器。

有关 PG 引脚实现方法，请参阅 [电源正常状态指示功能](#) 部分。

6.3.7 有源放电

为了使内部节点快速放电，该器件集成了两个内部下拉金属氧化物半导体场效应晶体管 (MOSFET)。当器件被禁用以主动对输出电容器放电时，第一个下拉 MOSFET 将一个电阻器 (R_{DIS}) 从 OUT 连接到地。当器件被禁用并对 NR/SS 电容器放电时，第二个下拉 MOSFET 将一个电阻器从 NR/SS (R_{NR/SS_DIS}) 连接到地。两个下拉 MOSFET 均由以下任一事件激活：

- 将 EN 引脚驱动至低于 $V_{EN(LOW)}$ 阈值
- IN 引脚电压降至欠压锁定 $V_{UVLO(IN)}$ 阈值以下
- BIAS 引脚电压降至欠压锁定 $V_{UVLO(BIAS)}$ 阈值以下

备注

低输入、低输出 (LILO) 运行 ($< 1.1V_{IN}$) 期间的 BIAS 欠压事件可能会导致 $C_{NR/SS}$ 放电不完全。为了正确执行系统关断过程，请考虑 NR/SS 和 OUT 引脚上的时间常数。

6.3.8 热关断保护 (T_{SD})

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$ (典型值) 时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$ (典型值) 时器件复位 (导通)。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 $V_{IN} - V_{OUT}$ 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 [建议运行条件](#) 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

6.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)。
- 偏置电压高于标称输出电压与 OUT 至 BIAS 压降电压之和。如果电荷泵禁用或输入电压低于 1.1V，就会出现这种情况。OUT 至 BIAS 压降电压定义为 $V_{OUT(nom)} + V_{DO(BIAS)}$ 。
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)。
- 器件结温低于热关断温度 ($T_J < T_{SD(shutdown)}$)。
- EN 引脚上的电压先前已超过 $V_{IH(EN)}$ 阈值电压，但尚未降至低于使能下降阈值。

[表 6-1](#) 中总结了所有有效工作模式，并显示了哪个电源轨正在提供内部偏置电流。

表 6-1. 器件功能模式比较

工作模式	参数					
	V_{IN}	V_{BIAS}	V_{CP_EN}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} \geq V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} \geq V_{UVLO(IN)}$	$V_{BIAS} \geq V_{OUT} + 3.2V$	$V_{CP_EN} \geq V_{IH(CP_EN)}$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{BIAS} < V_{OUT} + 3.2V$	$V_{CP_EN} > V_{IH(CP_EN)}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
禁用模式	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{CP_EN} < V_{IL(CP_EN)}$	$V_{EN} < V_{IL(EN)}$	-	关断时 $T_J \geq T_{SD}$

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

备注

如果电荷泵禁用，请将最小 UVLO (BIAS) 电压保持在 REF 电压以上。需要一条电压高于或等于 3V 的 BIAS 轨。但是，仅当电荷泵启用且 IN 电压低于 1.1V 时，才需要满足此要求。如果电荷泵启用且 IN 电压高于或等于 1.1V，则不需要 BIAS 轨。

如需更多信息，请参阅[欠压锁定 \(UVLO\) 操作](#)部分。

6.4.3 禁用

通过强制 EN 引脚的电压低于 $V_{IH(EN)}$ 阈值，可以关断器件输出（请参阅[电气特性](#)表）。禁用时，导通晶体管关闭，内部电路关断，并且 NR/SS 和 OUT 引脚电压均主动对地放电。当 IN 引脚电压高于或等于二极管压降电压时，这些引脚电压由内部放电电路对地放电。

6.4.4 以电流限制模式运行

如果输出电流大于或等于最小电流限制 ($I_{LIM(Min)}$)，则器件会以电流限制模式运行。电流限制是一种折返实施方案。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

能否在应用中成功实现 LDO 取决于应用要求。本部分将讨论主要器件特性，以及如何出色地实现这些特性，从而实现可靠的设计。

7.1.1 精密使能 (外部 UVLO)

精密使能电路 (EN 引脚) 用于开启和关闭器件。如图 7-1 中所示，使用该电路可设置外部欠压锁定 (UVLO) 电压。该电路使用 IN (或在电荷泵禁用时为 BIAS)、EN 和 GND 之间的电阻分压器来打开和关闭器件。

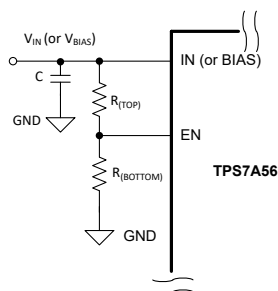


图 7-1. 使用精密 EN 作为外部 UVLO

使用这种外部 UVLO 解决方案可防止器件在输入电源电压不够高时开启。外部 UVLO 会使器件处于压降运行状态。此解决方案还允许通过来自另一电源的电阻分压器对多个电源进行简单时序控制。由于该引脚没有内部下拉电阻器，所以 EN 引脚永远不会悬空。在这种条件下，使用电阻分压器启用或禁用器件还有其他优势。但是，如果需要，在 EN 引脚和接地端之间放置一个齐纳二极管，以符合该引脚的绝对最大额定值要求。

可以使用方程式 1 和方程式 2 来确定正确的电阻值。

$$V_{ON} = V_{OFF} \times [(V_{IH(EN)} + V_{HYS(EN)}) / V_{EN}] \quad (1)$$

$$R_{(TOP)} = R_{(BOTTOM)} \times (V_{ON} / V_{IH(EN)} - 1) \quad (2)$$

其中：

- V_{OFF} 是稳压器关闭时的输入或偏置电压
- V_{ON} 是稳压器开启时的输入或偏置电压

备注

对于 EN 引脚输入电流 I_{EN} ，影响将被忽略。

7.1.2 欠压锁定 (UVLO) 操作

表 7-1 列出了不同工作模式下的 UVLO 阈值。

表 7-1. 不同工作模式下的相对阈值

UVLO 阈值	电荷泵关闭时的 UVLO 阈值 (典型值)	电荷泵开启且无偏置时的 UVLO 阈值 (典型值)	电荷泵开启且有偏置时的 UVLO 阈值 (典型值)
$V_{UVLO(IN)}$ 上升	0.67V	1.07V	0.67V
$V_{UVLO(BIAS)}$ 上升	$V_{REF} + 2.1V$	不适用	最大值 ($V_{REF} + 2.1V$ 、2.8V)

7.1.2.1 IN 引脚 UVLO

IN 引脚 UVLO ($V_{UVLO(IN)}$) 电路可确保在输入电源达到最小工作电压范围之前器件保持禁用状态。该电路还确保在输入电源过低时器件关断。

UVLO(IN) 电路完全置为有效的最短响应时间为几微秒。在这段时间内，低于大约 0.67V 的下行线路瞬态会使输入电源 UVLO(IN) 短时间置为有效。但是，UVLO(IN) 电路没有足够的储存能量来对器件内的内部电路完全放电。因此，OUT 和 NR/SS 电容器可能放电不完全。

备注

下行线路瞬态的影响会触发过冲预防电路。使用 [精密使能 \(外部 UVLO\)](#) 部分中建议的解决方案可轻松降低此影响。

7.1.2.2 偏置 UVLO

BIAS 引脚 UVLO ($V_{UVLO(BIAS)}$) 电路可确保在输入电源达到最小工作电压范围之前器件保持禁用状态。该电路确保在输入电源过低时器件关断。

UVLO(BIAS) 电路完全置为有效的最短响应时间为几微秒。在这段时间内，低于大约 2.8V 或 $V_{REF} + 2.1V$ 的下行线路瞬态会使输入电源 UVLO(BIAS) 短时间置为有效。在此瞬态电压低于约 2.8V 时，电荷泵启用；达到 $V_{REF} + 2.1V$ 时，电荷泵禁用。但是，UVLO(BIAS) 电路没有足够的储存能量来对器件内的内部电路完全放电。因此可能导致 OUT 和 NR/SS 电容器放电不完全。

备注

下行线路瞬态的影响会触发过冲预防电路。使用 [精密使能 \(外部 UVLO\)](#) 部分中建议的解决方案可轻松降低此影响。

7.1.2.3 典型 UVLO 运行

图 7-2 展示了 UVLO (IN 或 BIAS) 电路对各种输入电压事件的响应。该图分为以下几个区域：

- 区域 A：在输入达到 UVLO 上升阈值之前，器件不会启动。
- 区域 B：具有稳压输出的正常运行。
- 区域 C：高于 UVLO 下降阈值 (V_{UVLO} 上升阈值 - UVLO 迟滞) 的欠压事件。输出可能会超出稳压范围，但器件仍保持启用状态。
- 区域 D：具有稳压输出的正常运行。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当输入电压达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入下降至 UVLO 下降阈值。
- 区域 G：当输入电压降至 UVLO 下降阈值以下达到 0V 时，该器件被禁用。输出会因为负载和有源放电电路而下降。

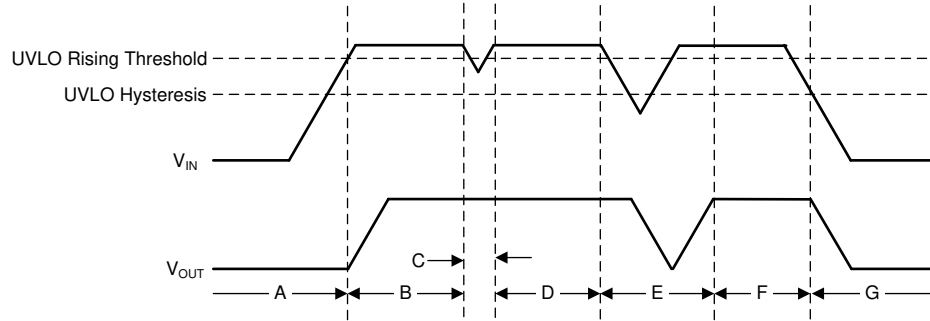


图 7-2. 典型 UVLO 运行

7.1.2.4 UVLO(IN) 和 UVLO(BIAS) 交互

如果 BIAS 轨在 IN 轨之前下降，则在关断电源序列期间，输出端上可能会出现干扰。在内部电荷泵开启的情况下，当 IN 工作电压介于 1.07V 和 1.1V 之间时，会发生此错误。

当 BIAS 轨降至 V_{UVLO_BIAS} 阈值以下时，输出被禁用。当 IN 轨高于运行的最小 UVLO 阈值时，LDO 会重新启动。图 7-3 显示了此行为。

为了防止这种行为，请遵循正确的关断电源序列，或选择一种工作模式（例如禁用电荷泵）。

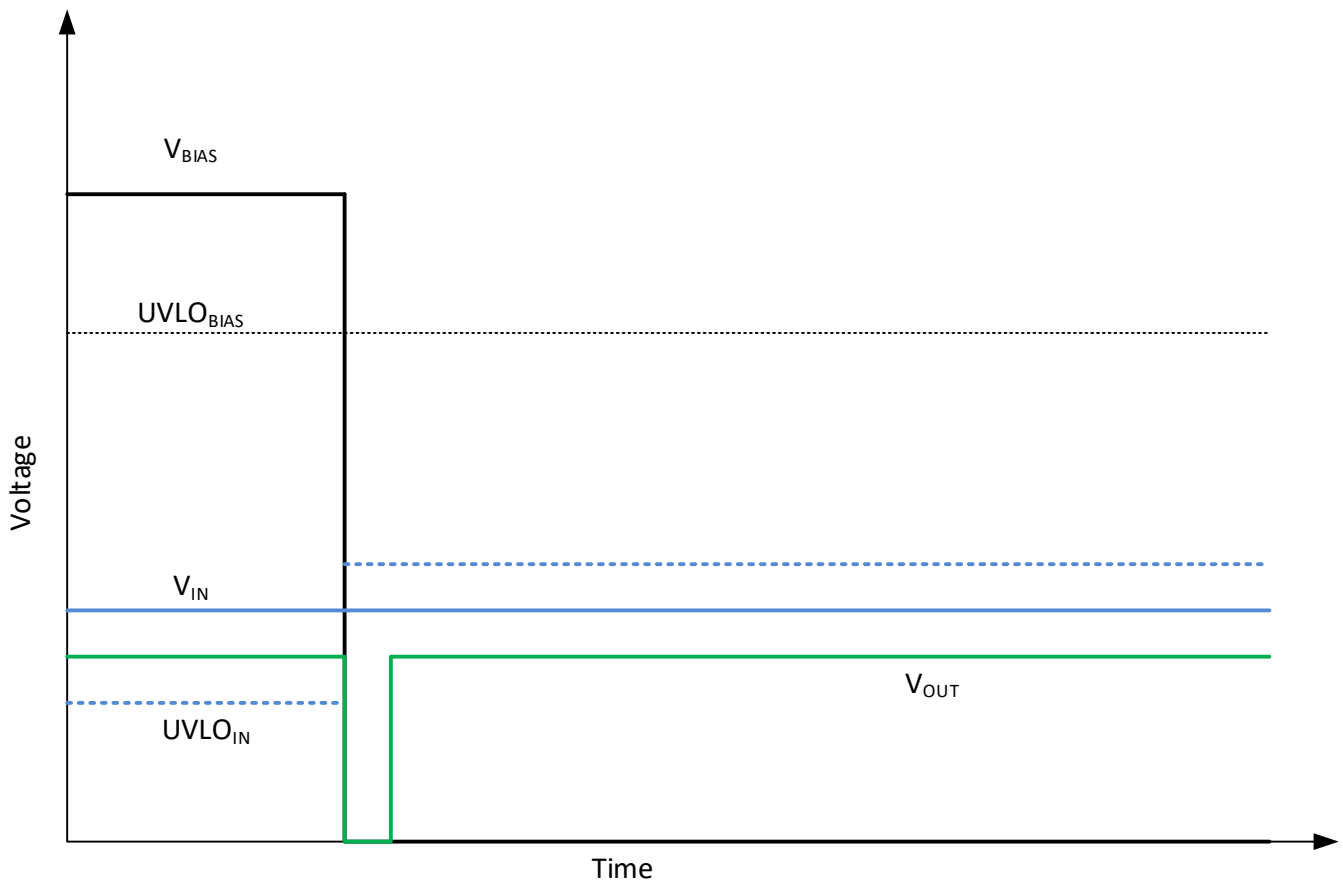


图 7-3. $UVLO_{IN}$ 和 $UVLO_{BIAS}$ 交互作用

7.1.3 压降电压 (V_{DO})

一般而言, 压降电压 (V_{DO}) 通常是指稳压所需的输入和输出电压之间的最小电压差。该最小电压差定义为 $V_{DO} = V_{IN} - V_{OUT}$ 。当在给定负载电流下 V_{IN} 降至或低于设定的 V_{DO} 时, 该器件用作电阻开关。在该状态下, 器件不会调节输出电压。当器件在压降状态下运行时, 输出电压会跟踪输入电压, 且压降电压 (V_{DO}) 与输出电流成正比。在该状态下, 器件用作电阻开关。在处于或接近压降状态时运行器件会显著降低器件的瞬态性能和 PSRR。保持足够的 V_{OPHR} 可显著改善器件的瞬态性能和 PSRR。

备注

如果最低 BIAS 轨电压设置为比 V_{REF} 高 3.2V 且内部电荷泵禁用, 则导通晶体管不能处于 BIAS 至 OUT 压降状态。因此只考虑 IN 至 OUT 压降条件。 V_{REF} 是基准引脚的电压范围, 定义如 [建议运行条件](#) 表中所示。对于其它运行条件, 请参阅 [欠压锁定 \(UVLO\) 操作](#) 部分。

7.1.4 输入和输出电容器要求 (C_{IN} 和 C_{OUT})

TPS7A56 的设计和特点是需要在输出端和输入端分别使用不低于 22 μ F 和不低于 1 μ F 的陶瓷电容器。确保输出电容器具有 15 μ F 或更大的电容, 且输入电容器具有 5 μ F 或更大的电容。在输入端使用至少 10 μ F 的电容器是为了尽可能减小输入阻抗。为了最大限度减轻布线寄生效应, 请将输入和输出电容器尽可能靠近相应的输入和输出引脚放置。将从输入电源到 TPS7A56 的布线电感保持在较低水平。快速电流瞬变会导致 V_{IN} 振铃高于绝对最大电压额定值并损坏器件。为降低这种情况的影响, 可以添加额外的输入电容器来抑制振铃, 从而将所有电压峰值保持在器件的绝对最大额定值以下。

备注

由于带宽较宽, 所以 LDO 误差放大器的反应速度可能快于输出电容器。在这种情况下, 负载行为直接出现在 LDO 电源上, 可能会拖累电源。为避免此类行为, 应最大限度减小输出端存在的 ESR 和 ESL; 请参阅 [建议运行条件](#) 表。

7.1.5 建议的电容器类型

该器件设计为使用低等效串联电阻 (ESR) 和低等效串联电感 (ESL) 陶瓷电容器实现稳定。可在输入端、输出端和降噪引脚上使用这些电容器。多层陶瓷电容器已成为这类应用的业界标准并推荐使用, 但要经过良好的判断后使用。采用 X7R、X5R 和 COG 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是, 由于电容变化较大, 因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型, 陶瓷电容都会随工作电压和温度的变化而变化。确保陶瓷电容器降额至少 50%。本文中推荐的输入和输出电容器考虑了约 50% 的电容降额。在高 V_{IN} 和 V_{OUT} 条件下 ($V_{IN} = 5.5V$ 至 $V_{OUT} = 5.0V$) 和极端温度下, 降额可能超过 50%。请考虑该降额可能性。

该器件需要输入电容器、输出电容器和降噪电容器才能正常运行。请按照 [建议运行条件](#) 表中指定的规格, 使用标称或大于标称值的输入和输出电容器。将输入和输出电容器放置在尽可能靠近相应引脚的位置。使电容器 GND 连接尽可能靠近器件 GND 引脚, 以缩短返回路径上的瞬态电流。使用较大的输入电容器或一组具有不同值的电容器, 始终是抵消输入布线电感良好的设计做法。这种做法还可以改善瞬态响应并降低输入纹波和噪声。同样, 输出端的多个电容器可降低电荷泵纹波并优化 PSRR; 请参阅 [优化噪声和 PSRR](#) 部分。

应使用标称降噪 $C_{NR/SS}$ 电容器, 因为使用更大的 C_{NRSS} 电容器会延长启动时间。

7.1.6 软启动、降噪 (NR/SS 引脚) 和电源正常状态 (PG 引脚)

NR/SS 引脚具有双重功能。此引脚控制软启动时间并降低由内部带隙基准和外部电阻器 R_{REF} 产生的噪声。 NR/SS 电容器 ($C_{NR/SS}$) 可将输出噪声降低到极低的水平, 并设置输出斜坡率以限制浪涌电流。

该器件具有一个可编程、单调、电压受控的软启动电路, 旨在与外部电容器 ($C_{NR/SS}$) 搭配使用。除了软启动特性外, $C_{NR/SS}$ 电容器还可降低 LDO 的输出电压噪声。使用软启动特性可消除上电初始化问题。受控的输出电压斜坡还可以降低启动期间的峰值浪涌电流, 从而尽可能减少输入电源总线的启动瞬态。

为了实现单调启动，器件输出电压会跟踪 $V_{NR/SS}$ 基准电压，直到该基准达到设定值（设定的输出电压）。 $V_{NR/SS}$ 基准电压由 R_{REF} 电阻器设置。在启动期间，该器件使用快速充电电流 (I_{FAST_SS})（如图 7-4 中所示）为 $C_{NR/SS}$ 电容器充电。

备注
NR/SS 和 REF 引脚上的任何泄漏都会直接影响基准电压的精度。

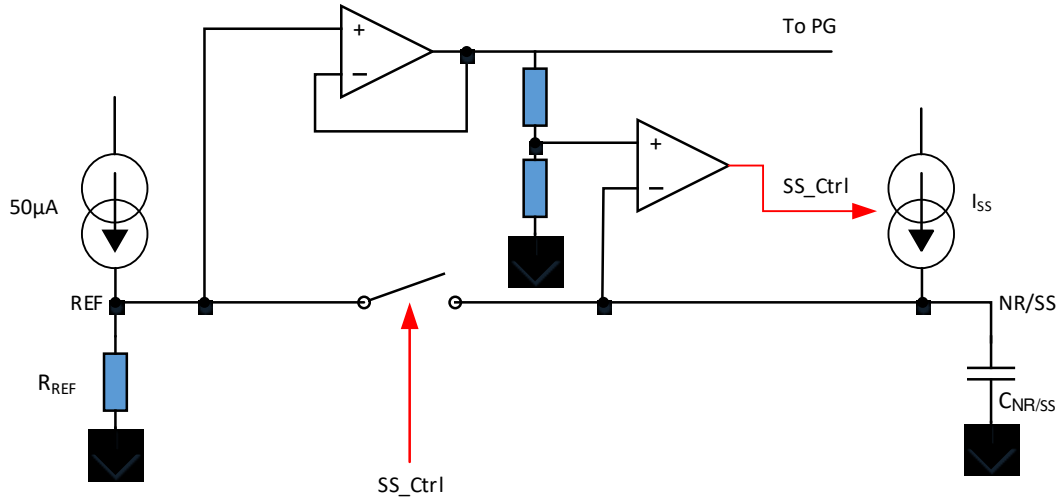


图 7-4. 简化的软启动电路

200 μ A（典型值） $I_{NR/SS}$ 电流可快速为 $C_{NR/SS}$ 充电，直到电压大约达到设定输出电压的 97%。然后 I_{SS} 电流关断，REF 和 NR/SS 之间的开关闭合。因此只剩下 I_{REF} 电流将 $C_{NR/SS}$ 充电至设定的输出电压电平。

备注
当任何以接地为基准的 UVLO 跳闸或发生任何故障时，NR/SS 上的放电下拉电阻器（请参阅 [功能方框图](#)）将接合。此类故障包括过热、POR、IREF 不良或 OTP 错误故障。仅当其中一个事件激活且 NRSS 引脚电压高于 50mV 时，该电阻器才会接合。

软启动斜坡时间取决于快速启动 ($I_{NR/SS}$) 充电电流、基准电流 (I_{REF})、 $C_{NR/SS}$ 电容值和目标输出电压 ($V_{OUT(target)}$)。可以使用 [方程式 3](#) 计算软启动斜坡时间。

$$\text{Soft-start time } (t_{SS}) = (V_{OUT(target)} \times C_{NR/SS}) / (I_{SS}) \quad (3)$$

[典型特性](#) 部分中提供了 I_{SS} 电流，值为 200 μ A（典型值）。 I_{REF} 电流值为 50 μ A（典型值）。启动时间的剩余 3% 由 $R_{REF} \times C_{NR/SS}$ 时间常数决定。图 7-5 展示了启动期间的 PG 阈值。

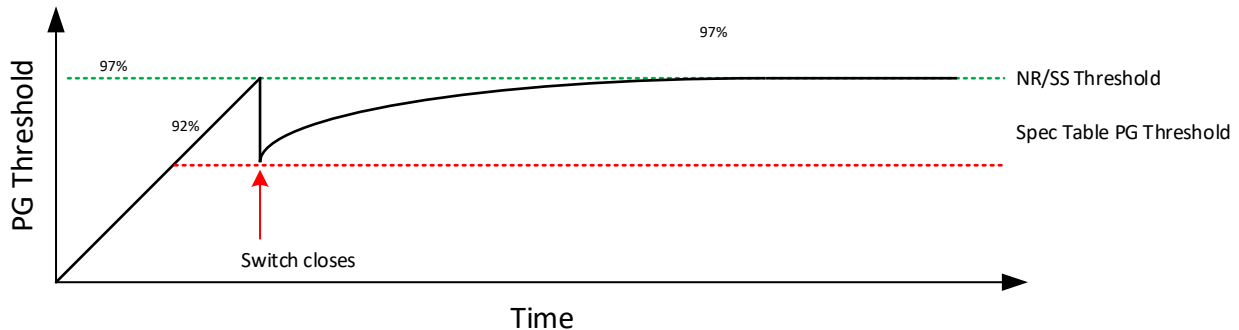


图 7-5. 启动期间的 PG 阈值

通过增大 $C_{NR/SS}$ 电容器，可以显著降低输出电压噪声。 $C_{NR/SS}$ 电容器和 R_{REF} 电阻器构成一个低通滤波器 (LPF)，用于滤除 V_{REF} 电压基准的噪声，从而降低器件的本底噪声。LPF 是单极滤波器，可根据 [方程式 4](#) 计算 LPF 截止频率。增大 $C_{NR/SS}$ 电容器可显著降低输出电压噪声，但这样做也会延长启动时间。对于低噪声应用，请使用 $4.7 \mu F$ $C_{NR/SS}$ 以实现噪声性能与启动时间的最佳平衡。

$$\text{Cutoff Frequency (} f_{\text{cutoff}} \text{)} = 1 / (2 \times \pi \times R_{REF} \times C_{NR/SS}) \quad (4)$$

备注

如果使用小 $C_{NR/SS}$ 和大 C_{OUT} ，由于 V_{OUT} 不再跟踪软启动斜坡，所以可能会在启动期间进入电流限制。

图 7-6 显示了 $C_{NR/SS}$ 电容器对 LDO 输出电压噪声的影响。

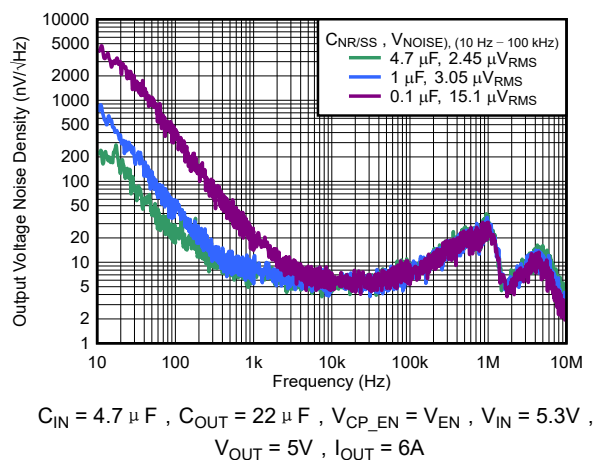


图 7-6. 电荷泵启用时输出电压噪声密度与 $C_{NR/SS}$ 间的关系

7.1.7 优化噪声和 PSRR

噪声通常定义为与所需信号（例如稳压 LDO 输出）结合的不良信号，它会导致电源质量下降。在音频中很容易注意到噪声，如嘶嘶声或爆裂声。噪声可分为外部噪声和固有噪声两个基本类别。由外部电路或自然现象产生的噪声，例如 50Hz 至 60Hz 的电源线噪声（尖峰）以及谐波，是外部噪声的典型代表。固有噪声由器件电路内部的元件（如电阻器和晶体管）产生。对于该器件，固有噪声的两个主要来源是误差放大器和内部基准电压 (V_{REF})。另一个术语有时也会与外部噪声同时出现，即 PSRR。PSRR 是指电路或器件抑制或滤除输入电源噪声的能力。PSRR 表示为输出电压噪声纹波与输入电压噪声纹波之比。

通过仔细选择以下参数来优化器件固有噪声和 PSRR：

- $C_{NR/SS}$ ，适用于低于器件带宽的低频范围
- C_{OUT} ，适用于接近或高于器件带宽的高频范围
- 运行余量 $V_{IN} - V_{OUT}$ (V_{OPHr})，主要适用于低于器件带宽的低频范围，但也适用于较高频率但影响更小

通过使用较大的 $C_{NR/SS}$ 电容器滤除从输入端耦合到器件 V_{REF} 基准的噪声，可以显著提高器件的噪声性能。这种耦合在低于器件带宽的低频范围内尤其明显。可以设计由 $C_{NR/SS}$ 和 R_{REF} 组成的低通滤波器来滤除源自输入电源的低频噪声。大型 $C_{NR/SS}$ 电容器的一个缺点是启动时间更长。该器件单位增益配置消除了其他 LDO 由于反馈网络而出现的噪声性能下降。此外，增大器件负载电流对器件噪声性能几乎没有影响。

通过使用较大的 C_{OUT} 电容器，可以进一步改善器件在高于器件带宽的频率范围内的噪声性能。但是，较大的 C_{OUT} 会增加浪涌电流，并减慢器件的瞬态响应。

典型特性 部分介绍了这些行为。图 5-6 和图 5-8 中列出了 5V 器件的 10Hz 至 100kHz RMS 噪声测量值。这些曲线显示了在 6A 负载电流下，不同 $C_{NR/SS}$ 和 C_{OUT} 条件下的 0.5V 输出电压和 300mV 余量。表 7-2 和表 7-3 中列出了这些电容器的典型输出噪声。

增加 V_{IN} 和 V_{OUT} 之间的运行余量对改善噪声性能几乎没有影响。不过，对于低于器件带宽的频率范围，这种增加确实可以显著改善 PSRR。较高的余量也可提高器件的瞬态性能。尽管 C_{OUT} 在低频下对改善 PSRR 几乎没有影响，但 C_{OUT} 可以针对超出器件带宽的更高频率改进 PSRR。较大的 C_{OUT} 还可延长启动时间并增大启动浪涌电流。电容器的组合（如 470 μF || 22 μF ）可以降低 ESR 和 ESL，从而实现更高的效率。

表 7-2. 0.5V_{OUT} 时的输出噪声与 C_{OUT} 间的关系以及典型启动时间

V_n (μV_{RMS}), 10Hz 至 100kHz 带宽	$C_{NR/SS}$ (μF)	C_{OUT} (μF)	启动时间 (ms)
2.19	4.7	22	11.75
2.07	4.7	470	11.75

表 7-3. 5V_{OUT} 时的输出噪声与 $C_{NR/SS}$ 和 C_{OUT} 间的关系以及 $V_{CP_EN} = 5.3V$ 时的典型启动时间

V_n (μV_{RMS}), 10Hz 至 100kHz 带宽	$C_{NR/SS}$ (μF)	C_{OUT} (μF)	启动时间 (ms)
15.2	0.1	22	2.5
3.05	1	22	25
2.45	4.7	22	117.5

7.1.8 可调节运行

如图 7-7 所示，可以使用单个外部电阻器 (R_{REF}) 来设置器件的输出电压。

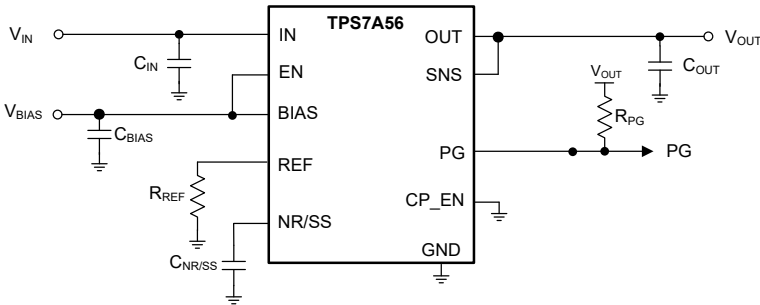


图 7-7. 典型电路

可以使用 [方程式 5](#) 来计算理想输出电压所需的 R_{REF} 值。

$$V_{OUT} = I_{REF(NOM)} \times R_{REF} \quad (5)$$

[表 7-4](#) 显示了建议的 R_{REF} 电阻值，使用具有这些阻值的标准 1% 容差电阻器可以实现多个常见电源轨。

表 7-4. 建议的 R_{REF} 值

目标输出电压 (V)	R_{REF} (k Ω) ⁽¹⁾	计算出的输出电压 (V)
0.5	10.0	0.500
0.6	12.1	0.605
0.7	14.0	0.700
0.8	16.2	0.810
0.9	18.2	0.910
1.0	20.0	1.000
1.2	24.3	1.215
1.5	30.1	1.505
2.5	49.9	2.495
3.0	60.4	3.020
3.3	66.5	3.325
3.6	71.5	3.575
4.7	95.3	4.765
5.0	100.0	5.000

(1) 1% 电阻器。

7.1.9 负载瞬态响应

负载阶跃瞬态响应是 LDO 输出电压对负载电流的响应，从而维持输出电压调节。负载瞬态响应期间有两个关键转换。分别是从轻负载向重负载的转换以及从重负载向轻负载的转换。本节将详细分解图 7-8 所示的区域。区域 A、E 和 H 是输出电压处于稳态调节的区域。

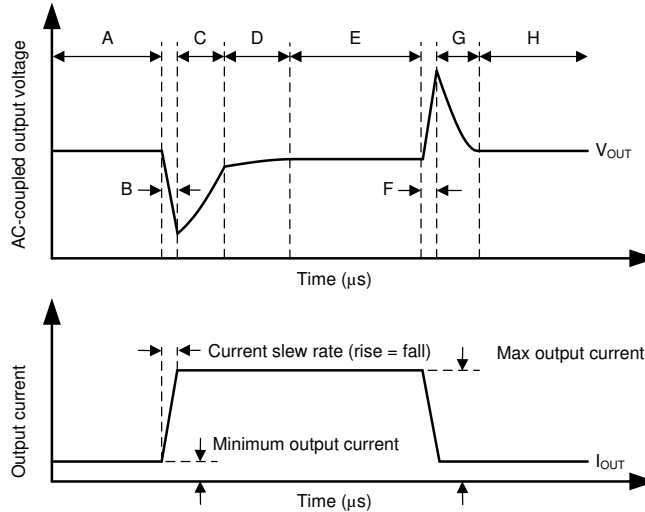


图 7-8. 负载瞬态波形

在从轻负载转换到重负载期间：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致 (区域 B)
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节 (区域 C)

在从重负载转换到轻负载期间：

- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加 (区域 F)
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电 (区域 G)

由于该器件是大电流器件，因此电流电平之间的转换会改变内部功率耗散 (区域 D)。在这些转换期间，功率耗散的变化会改变裸片温度，并导致略有不同的电压电平。这种与温度相关的输出电压电平会显示在各种负载瞬态响应中。

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。较大的直流负载也会减小峰值。出现这种情况的原因在于转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

备注

具有如此高带宽的 TPS7A56 的反应速度可能快于输出电容器。确保 LDO 输入端有足够的电容。

7.1.10 电荷泵运行情况

如 [电荷泵使能与 BIAS 轨](#) 部分中所述，使用 CP_EN 引脚可启用或禁用内部电荷泵。因此，无需 BIAS 轨即可在低至 1.1V 的电压下运行。

[电气特性](#) 表中定义了 CP_EN 引脚电压阈值和迟滞。

根据电路实现方式，内部电荷泵由 IN 轨或 BIAS 轨供电。此引脚未设计为使用数字 I/O 引脚进行数字控制。相反，该引脚用于在印刷电路板 (PCB) 上连接到模拟电源轨。

虽然不支持动态控制，但 CP_EN 引脚由低阻抗源控制。确保在 EN 和 CP_EN 之间提供足够的时序，因为 CP_EN 引脚在 EN 引脚导通时锁存。仅 EN 复位或电源重启能够清除并复位 CP_EN 锁存器。

图 7-9 中显示了电荷泵在空载和满载时的开关频率。

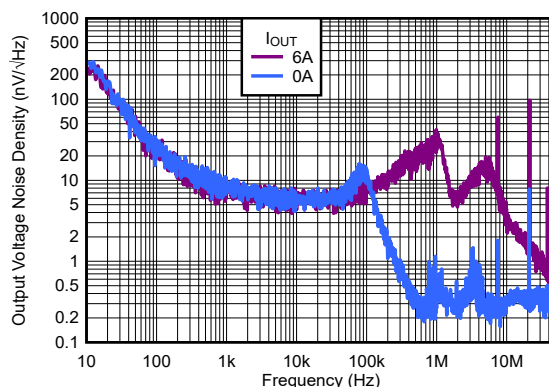


图 7-9. 电荷泵噪声

7.1.11 时序控制

IN、BIAS 和 EN 之间没有时序要求。CP_EN 是一个模拟信号，需要连接到 IN、BIAS 或 GND。

如果 BIAS 轨的放电速度快于 IN 轨，则会在关断期间触发假 PG。具有内部多路复用器和电荷泵的器件也会发生这种情况。

当 BIAS 轨电压降至 $V_{UVLO(BIAS)}$ 以下时，IN 和 BIAS 之间的内部多路复用器切换。这种情况会导致 LDO 完全由 IN 轨供电。

当 BIAS 轨低于 $UVLO(BIAS)$ 、IN 轨电压高于 1.1V 且电荷泵启用时，LDO 将重新启动。LDO 重新启动，因为 IN 仍然是有效的运行条件。

7.1.12 电源正常状态指示功能

如 [功能方框图](#) 中所述，PG 引脚是由施密特触发器驱动的开漏 MOSFET。施密特触发器将 SNS 引脚电压与等于基准电压 90% 的预选电压进行比较。

如 [建议运行条件](#) 表中所述，为获得出色性能，请确保上拉电阻介于 10kΩ 和 100kΩ 之间。如果不需要 PG 功能，PG 引脚既可以保持悬空状态，也可以连接到 GND。

BIAS 轨上存在两个 UVLO 电路，一个以 GND ($V_{UVLO(BIAS)}$) 为基准，另一个以 V_{REF} ($V_{UVLO(BIAS)} - V_{REF}$) 为基准。在电荷泵禁用时，逻辑优先级会导致发生假 PG 事件。

为消除任何假 PG 事件，请考虑将 V_{BIAS} 设置为比 V_{OUT} 高 3.2V。

[表 7-5](#) 中介绍了各种 UVLO 行为。

表 7-5. UVLO 触发的 PG 事件

V _{IN}	V _{UVLO(BIAS)} 上升	V _{UVLO(BIAS)} 下降	V _{UVLO(BIAS)} - V _{REF} 上升	V _{UVLO(BIAS)} - V _{REF} 下降
0.5V	2.8V	2.685V	2.1 + 0.5 = 2.6V	1.86 + 0.5 = 2.36V
0.7V	2.8V	2.685V	2.1 + 0.7 = 2.8V	1.86 + 0.7 = 2.56V
1.4V	2.8V	2.685V	2.1 + 1.4 = 3.5V	1.86 + 1.4 = 3.26V
5.2V	2.8V	2.685V	2.1 + 5.2 = 7.3V	1.86 + 5.2 = 7.06V

7.1.13 通过并联实现更高输出电流和更低噪声

通过并联两个或更多个 LDO，可以实现更高的输出电流和更低的噪声。小心规划实施方案，从而优化性能并最大限度降低输出电流不平衡。

由于 TPS7A56 输出电压由受电流源驱动的电容器设置，所以请调整 REF 电阻器和电容器。以下公式用于计算电阻器和电容器设定值。

$$R_{REF} = V_{OUT_TARGET} / (n \times I_{REF}) \quad (6)$$

$$C_{NR/SS_parallel} = n \times C_{NR/SS_single} \quad (7)$$

其中：

- n 是并联 LDO 的数量
- I_{REF} 是 [电气特性](#) 表中提供的 REF 电流
- C_{NR/SS_single} 是单个 LDO 的 NR/SS 电容器；确保每个 LDO 都有一个单独的 C_{NR/SS} 电容器

将 IN 引脚连接在一起时，LDO 用作缓冲器。因此，电流不平衡仅受误差放大器的误差偏移电压影响。因此，电流不平衡表示为：

$$\varepsilon_I = V_{OS} \times 2 \times R_{BALLAST} / (R_{BALLAST}^2 - \Delta R_{BALLAST}^2) \quad (8)$$

其中：

- ε_I 是电流不平衡
- V_{OS} 是 LDO 误差偏移电压
- R_{BALLAST} 是镇流电阻器
- $\Delta R_{BALLAST}$ 是镇流电阻值与标称值的偏差

图 7-10 中显示了多个并联器件的原理图。

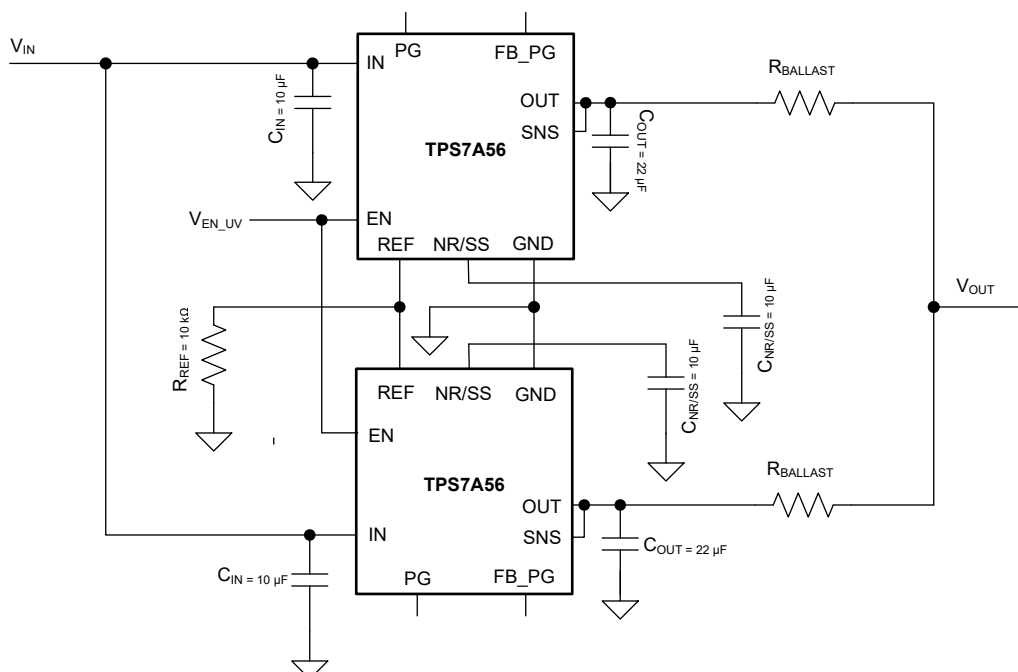


图 7-10. 并联多个 TPS7A56 器件

使用所述配置时，LDO 输出噪声降低量为：

$$e_{O_parallel} = (1 / \sqrt{n}) \times e_{O_single} \quad (9)$$

其中：

- n 是并联 LDO 的数量
- e_{O_single} 是单个 LDO 的输出噪声密度
- $e_{O_parallel}$ 是得到的并联 LDO 的输出噪声密度

在图 7-10 中，噪声降低了 $1/\sqrt{2}$ 。

有关并联 LDO 的更多信息，请参阅：

- [使用镇流电阻器的并联 LDO 的综合分析和通用公式技术白皮书](#)
- [可扩展、高电流、低噪声并联 LDO 参考设计设计指南](#)
- [使用镇流电阻器的并联 LDO 架构设计技术白皮书](#)

7.1.14 功率耗散 (P_D)

实现电路可靠性时需要适当考虑器件功耗、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (10)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。器件的低压降有助于在宽输出电压范围内实现出色效率。

封装的主要热传导路径是通过连接到 PCB 的散热焊盘。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

通过器件的功率耗散决定了器件的结温 (T_J)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 有关。 $R_{\theta JA}$ 是结至环境热阻， T_A 是环境空气温度。以下公式描述了这种关系。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (11)$$

以下公式重新梳理了此关系以求解输出电流。

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (12)$$

遗憾的是，该热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，该热阻会根据总铜面积、铜重量和平面位置而变化。[热性能信息](#) 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准、PCB 和铜扩散面积决定。 $R_{\theta JA}$ 仅用作封装热性能的相对测量值。对于精心设计的热布局， $R_{\theta JA}$ 实际上是 RTE 封装 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。 $R_{\theta JCbot}$ 是 [热性能信息](#) 结至外壳 (底部) 的热阻，如表中所示。

7.1.15 估算结温

JEDEC 标准现在建议使用 ψ (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 ψ 指标与覆铜面积明显无关。关键热指标 (Ψ_{JT} 和 Ψ_{JB}) 的使用符合 [方程式 13](#) 并在 [电气特性](#) 表中给出。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (13)$$

其中：

- P_D 是耗散功率，如 [方程式 10](#) 中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.1.16 TPS7A57EVM-056 散热分析

TPS7A57EVM-056 用于开发 TPS7A5601RTE 热模型。RTE 封装为 3mm × 3mm 16 引脚 WQFN，每个通孔上有 25μm 的镀层。EVM 是一款 3.5 英寸 × 3.5 英寸 (89mm × 89mm) 的 PCB，共计六层。表 7-6 中列出了 EVM 的层堆叠情况。图 7-11 至图 7-18 中说明了 EVM 各层的详细信息。

表 7-6. TPS7A57EVM-056 PCB 堆叠

层	名称	材料	厚度 (mil)
1	覆盖层	—	—
2	顶部焊锡层	阻焊剂	0.4
3	顶层	铜	2.756
4	电介质 1	FR-4 高 Tg	9
5	中间层 1	铜	2.756
6	电介质 2	FR-4 高 Tg	9
7	中间层 2	铜	2.756
8	电介质 3	FR-4 高 Tg	9
9	中间层 3	铜	2.756
10	电介质 4	FR-4 高 Tg	9
11	中间层 4	铜	2.756
12	电介质 5	FR-4 高 Tg	9
13	底层	铜	2.756
14	底部焊锡层	阻焊剂	0.4

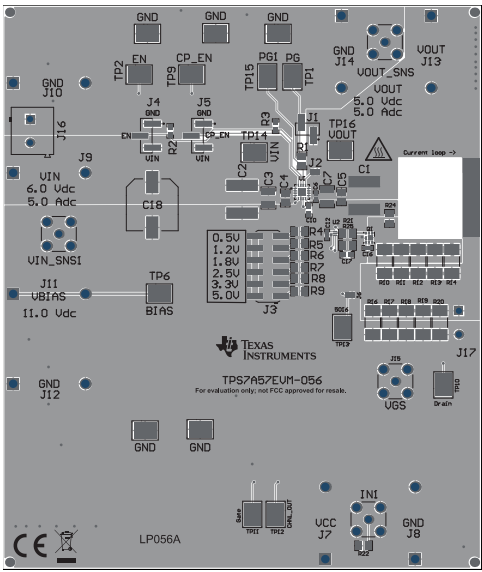


图 7-11. 顶层装配层和丝印层

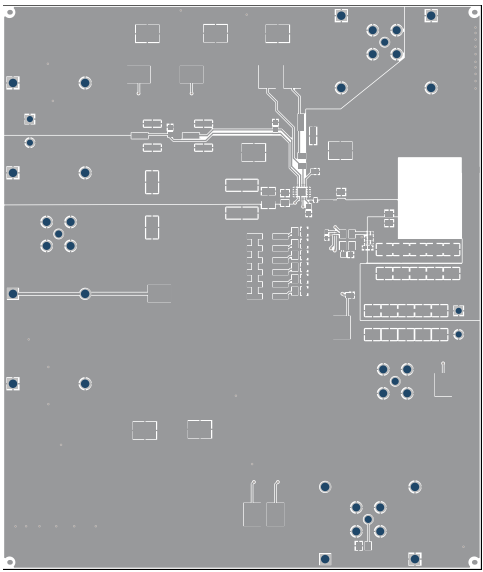


图 7-12. 顶层布线

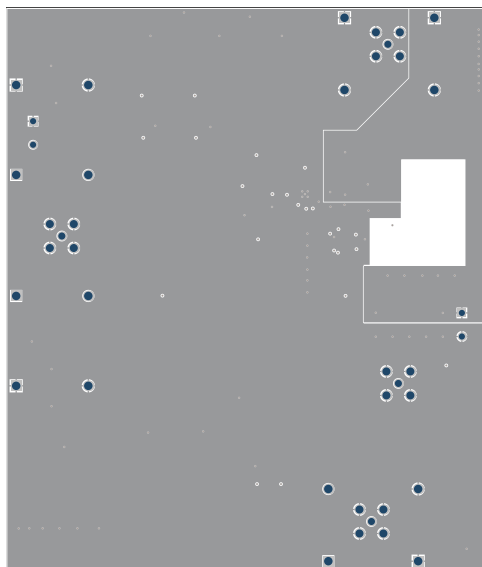


图 7-13. 第 2 层布线

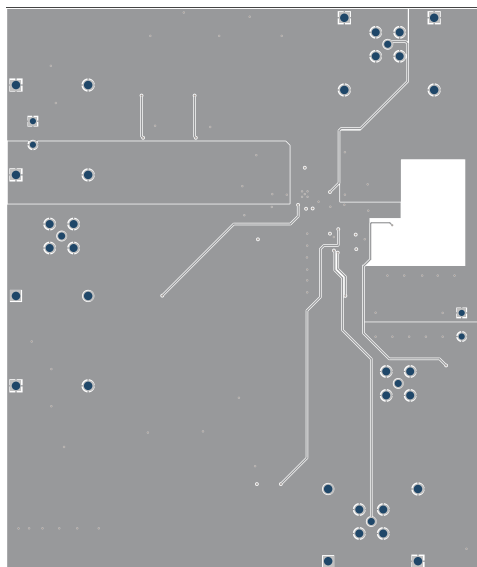


图 7-14. 第 3 层布线



图 7-15. 第 4 层布线



图 7-16. 第 5 层布线

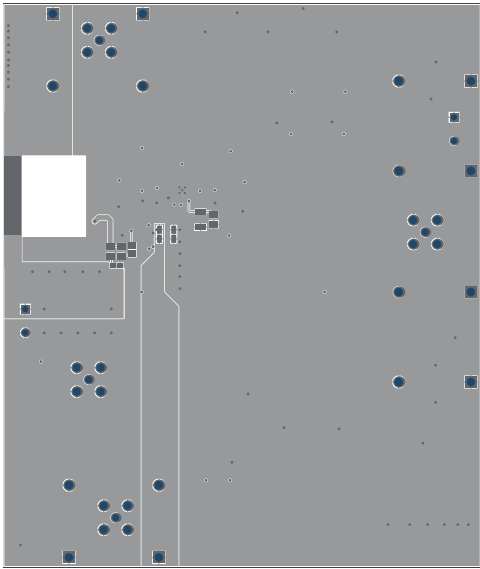


图 7-17. 底层布线

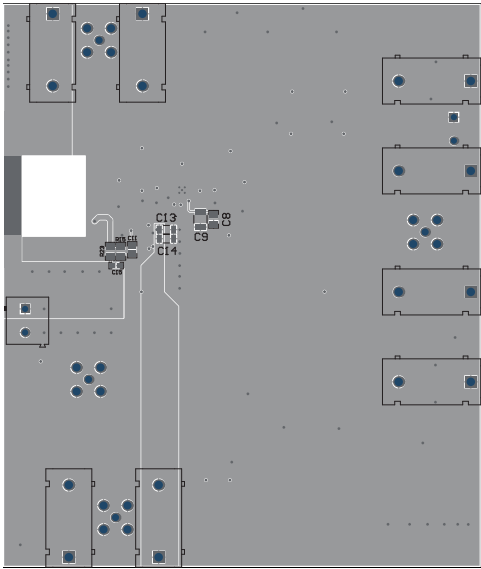


图 7-18. 底层装配层和丝印层

表 7-7 中显示了 TPS7A57EVM-056 的热仿真数据。图 7-19 和图 7-20 中显示了 PCB 和器件上的热梯度。在 25°C 环境温度下通过导通晶体管使用 1W 功耗时会产生该热辐射。

表 7-7. TPS7A57EVM-081 热仿真数据

DUT	$R_{\theta JA}(^{\circ}\text{C/W})$	$\psi_{JB}(^{\circ}\text{C/W})$	$\psi_{JT}(^{\circ}\text{C/W})$
TPS7A57EVM-056	21.9	11.9	0.4

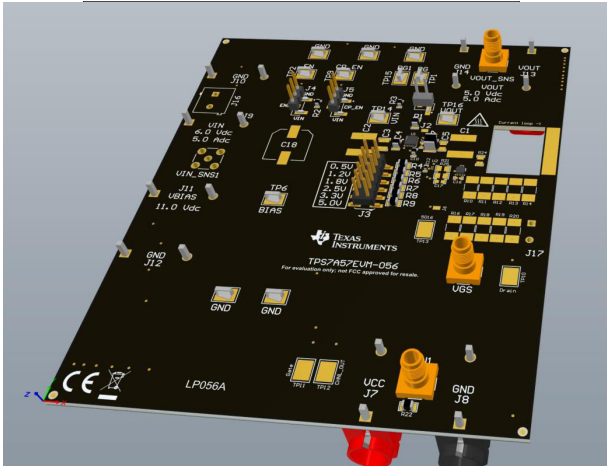


图 7-19. TPS7A57EVM-081 三维视图

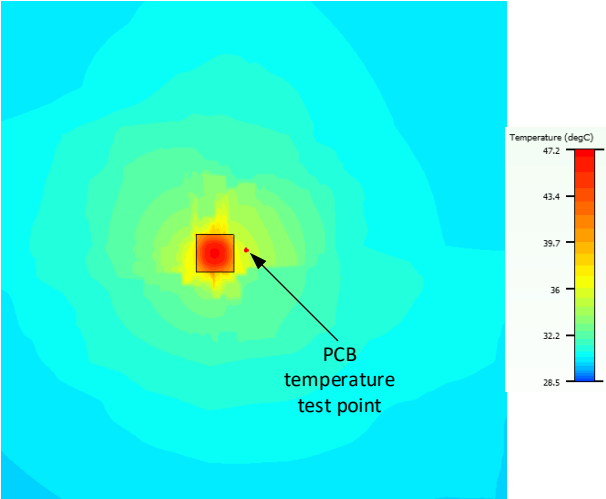


图 7-20. TPS7A57EVM-081 PCB 热梯度

7.2 典型应用

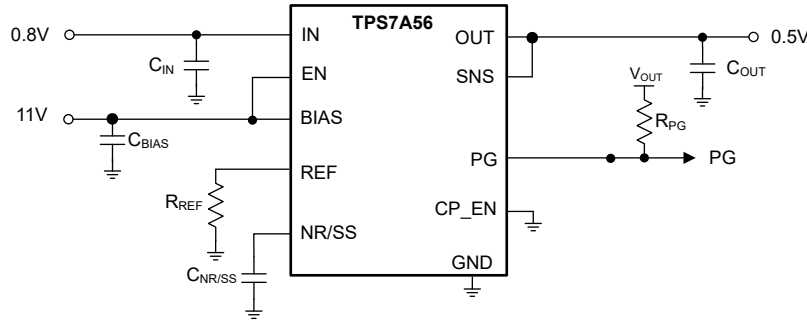


图 7-21. 典型应用原理图

7.2.1 设计要求

表 7-8 中列出了此设计示例的所需应用参数。

表 7-8. 设计参数

参数	设计要求
输入电压	0.8V, $\pm 3\%$, 由开关频率为 1MHz 的 DC/DC 转换器提供
偏置电压	11V
输出电压	0.5V, $\pm 1\%$
电荷泵	禁用
输出电流	4.2A (最大值)、3.5A (最小值)
噪声	小于 $5 \mu V_{RMS}$
PSRR (10kHz 时)	最大负载电流时为 80dB
PSRR (1MHz 时)	最大负载电流时 $> 35dB$
最大负载瞬态	$\pm 5mV$, 100mA 至 3.5A
启动环境	启动时间 $< 15ms$

7.2.2 详细设计过程

在此设计示例中，器件由开关频率为 1MHz 的直流/直流转换器供电。负载需要小于 $5 \mu V_{RMS}$ 的 0.5V 纯净电源轨。使用典型的 $22 \mu F$ 输入和输出电容器和 $4.7 \mu F$ NR/SS 电容器。这些电容器可在快速启动时间和出色的噪声性能以及 PSRR 性能和负载瞬态之间实现良好平衡。

输出电压通过 $10k\Omega$ 薄膜电阻值进行设置，而该阻值则是根据 [输出电压设置和调节](#) 部分中的说明进行计算。PG 引脚未使用，因此将接地以帮助散热。使能电压由外部 I/O 提供。图 7-23 表明器件满足所有设计噪声要求。图 7-22 展示了足够的 PSRR 性能。

如图 7-24 所示，负载瞬态足以满足电源要求。

图 7-21 展示了这些元件的实施方式。

7.2.3 应用曲线

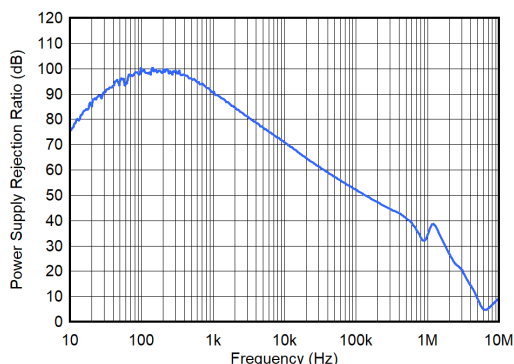


图 7-22. PSRR 与频率间的关系

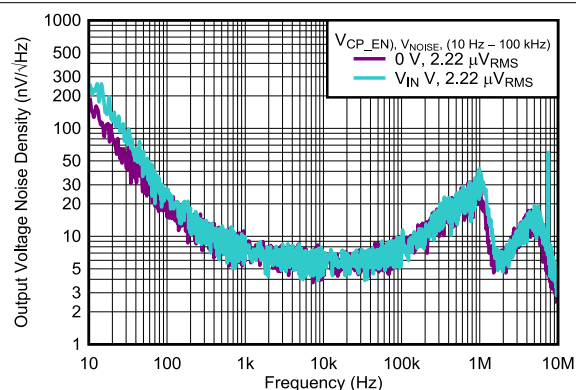


图 7-23. 噪声与频率间的关系

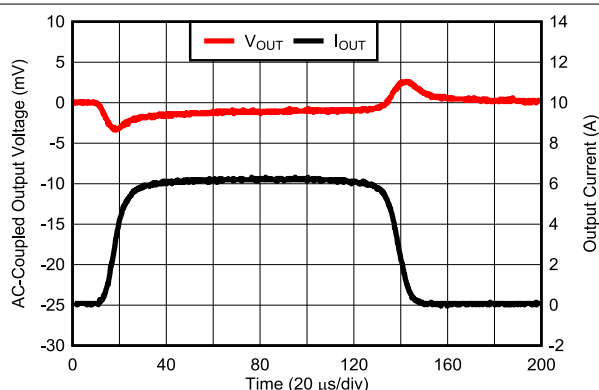


图 7-24. 负载瞬态

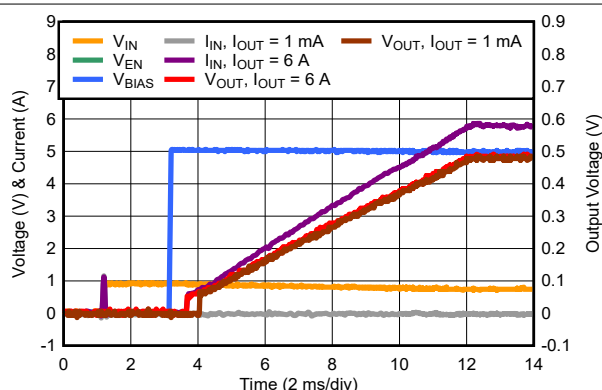


图 7-25. 启动电源轨序列

7.3 电源相关建议

该器件设计为可在 0.7V 至 6.0V 的输入电源电压和最高 11V 的 BIAS 轨电压范围内运行。确保输入电压范围为器件提供了足够的运行余量，以实现稳定的输出。确保此输入电源经过良好调节并且阻抗较低。如果输入电源存在噪声，使用具有低 ESR 的附加输入电容器。增加运行余量可实现所需的输出噪声、PSRR 和负载瞬态性能。

IN、BIAS 和 EN 之间没有时序要求。CP_EN 是一个模拟信号，需要连接到 IN、BIAS 或 GND。

7.4 布局

7.4.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在电路板的同一侧。将这些元件放置在尽可能靠近各自 LDO 引脚连接的位置。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近。使用较宽的元件侧铜表面进行这些连接。为避免系统性能出现负面影响，请勿对输入和输出电容器使用过孔和长布线。如图 7-26 所示的接地和布局方案可最大限度地减轻电感寄生效应，从而减少负载电流瞬变，尽可能降低噪声并提高电路稳定性。

由于宽带宽和高输出电流能力，输出端存在的电感会对负载瞬态响应产生负面影响。为了获得出色性能，应尽可能减小输出端和负载之间的布线电感。一个低 ESL 电容器与低布线电感相结合，可以限制输出端的总电感并优化高频 PSRR。

为了提高性能，请使用嵌入在 PCB 中或置于 PCB 底面与元件相对位置的接地基准平面。该参考平面用于提供输出电压的精度并屏蔽噪声。当连接到散热焊盘时，这些平面的作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.2 布局示例

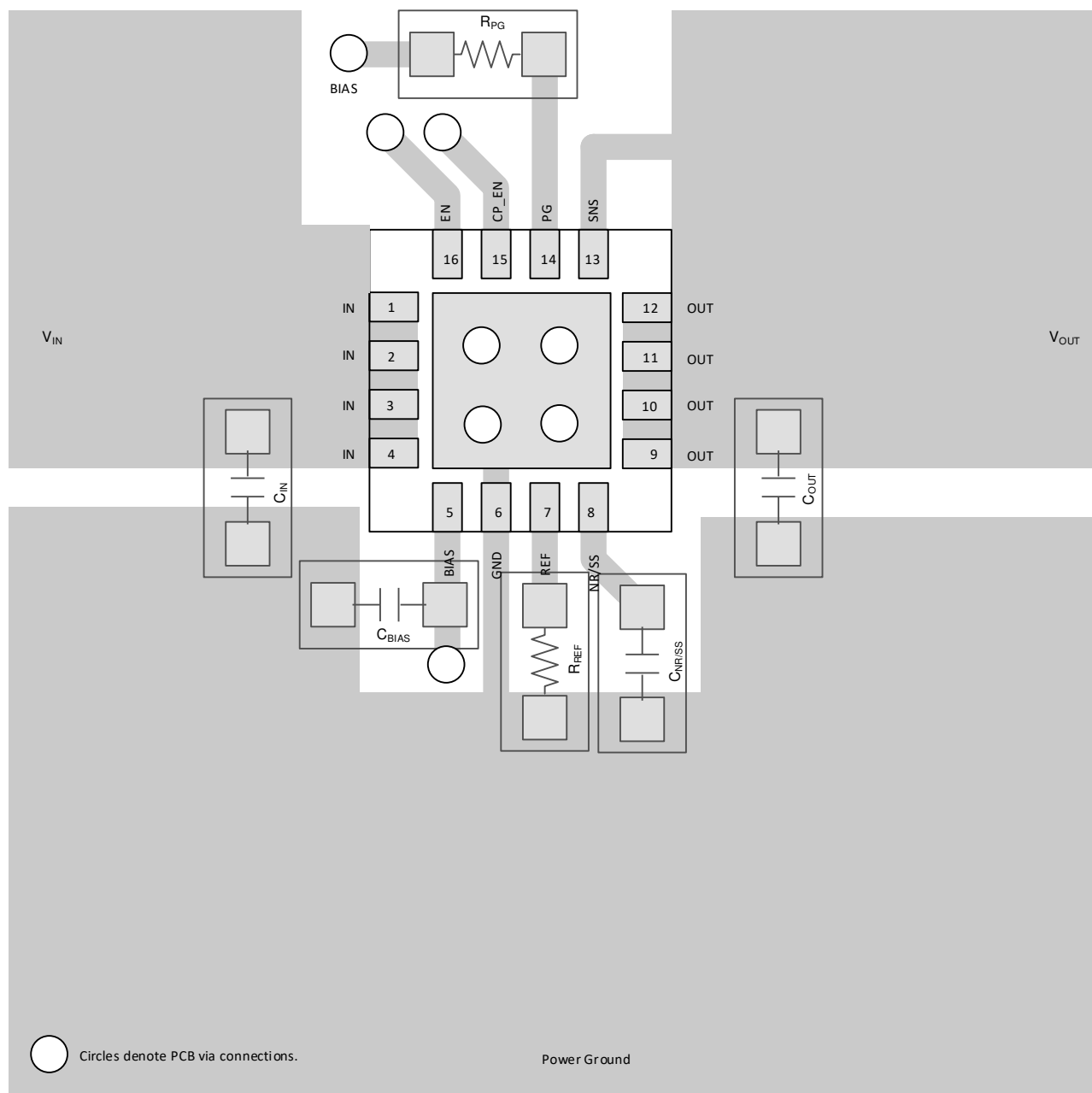


图 7-26. 建议布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

使用 TPS7A57EVM-056 安装和评估 TPS7A56。本评估模块 (EVM) 可提供用于协助对电路性能的初始评估。TPS7A56 (以及相关的用户指南 [TPS7A57EVM-056](#)) 可在德州仪器 (TI) 网站上的产品文件夹中获取，也可直接从 [TI 网上商店](#) 购买。

8.1.2 器件命名规则

表 8-1. 器件命名规则

产品 ⁽¹⁾	说明
TPS7A5601yyyz	01 表示此器件作为可调节选项提供。 yyy 为封装标识符。 z 为封装数量。R 表示大卷带。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 ([www.ti.com](#))。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[TPS7A57EVM-056 评估模块用户指南](#)
- 德州仪器 (TI)，[高电流、低噪声并联 LDO 参考设计设计指南](#)
- 德州仪器 (TI)，[使用镇流电阻器的并联 LDO 的综合分析和通用公式技术白皮书](#)
- 德州仪器 (TI)，[可扩展、高电流、低噪声并联 LDO 参考设计设计指南](#)
- 德州仪器 (TI)，[使用镇流电阻器的并联 LDO 架构设计技术白皮书](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2025	*	初始发行版

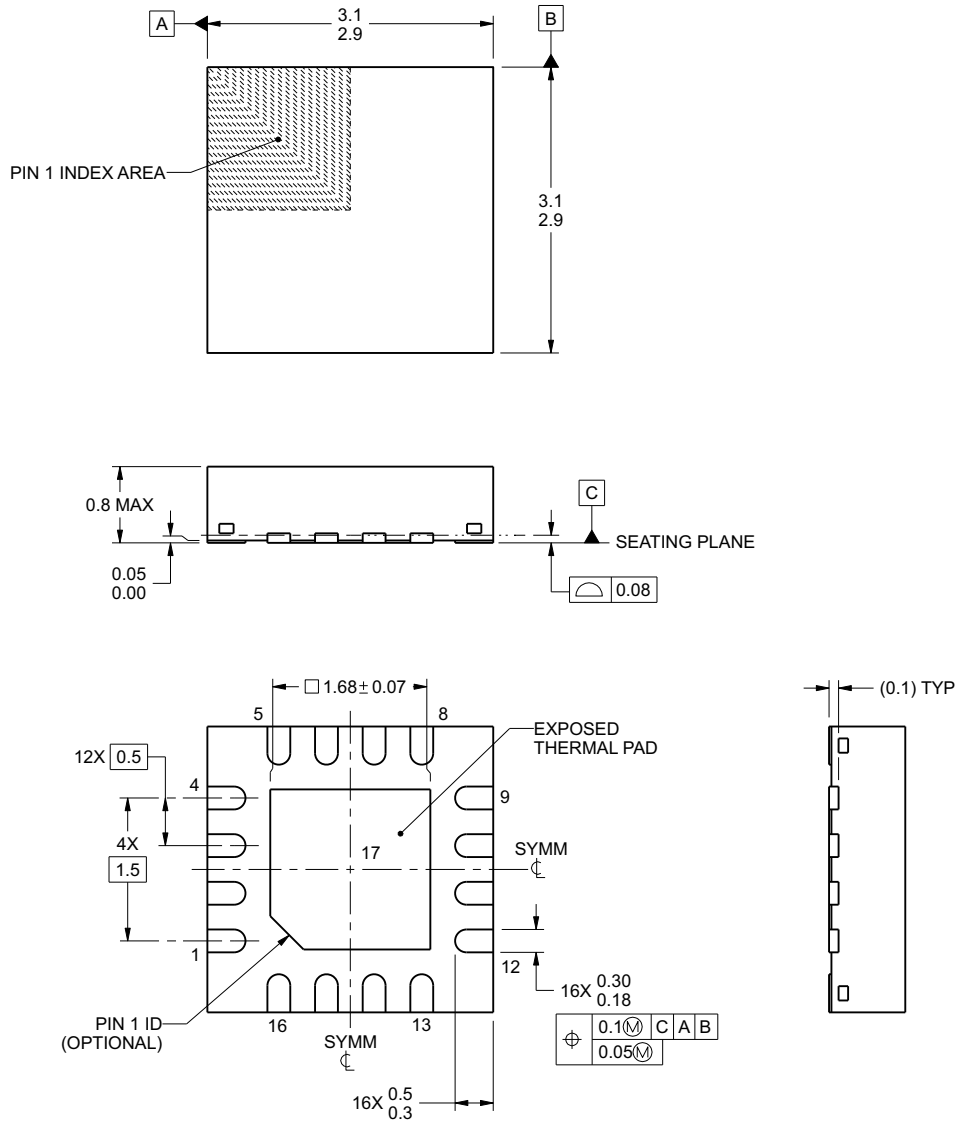
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

**RTE0016C****PACKAGE OUTLINE****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



4219117/A 09/2016

NOTES:

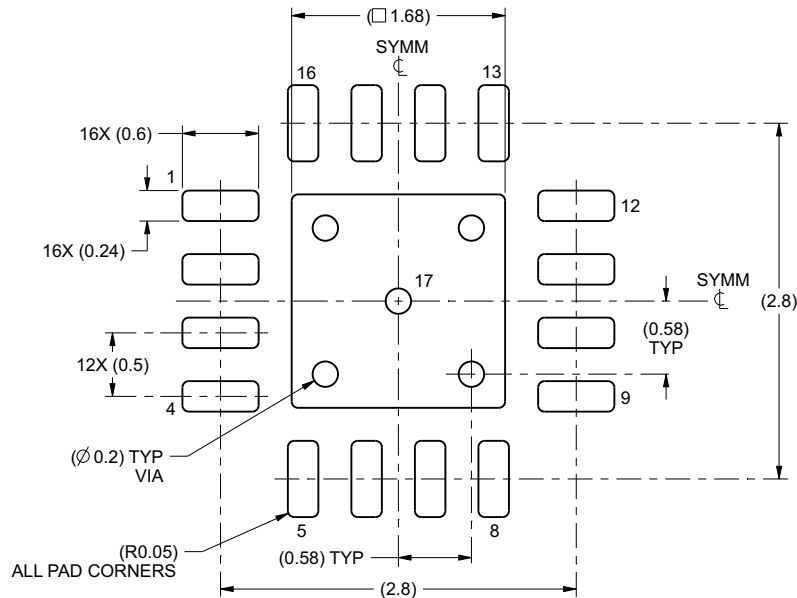
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

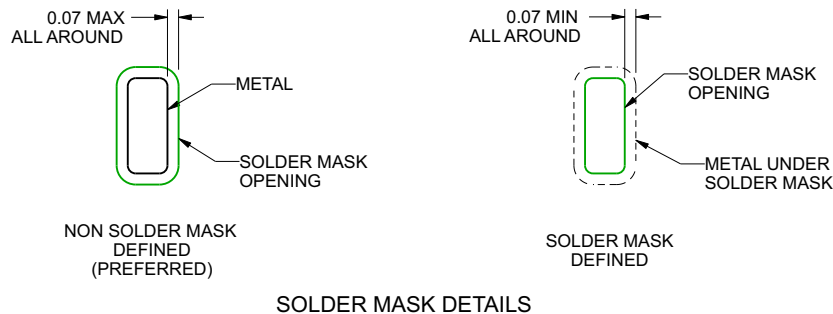
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



4219117/A 09/2016

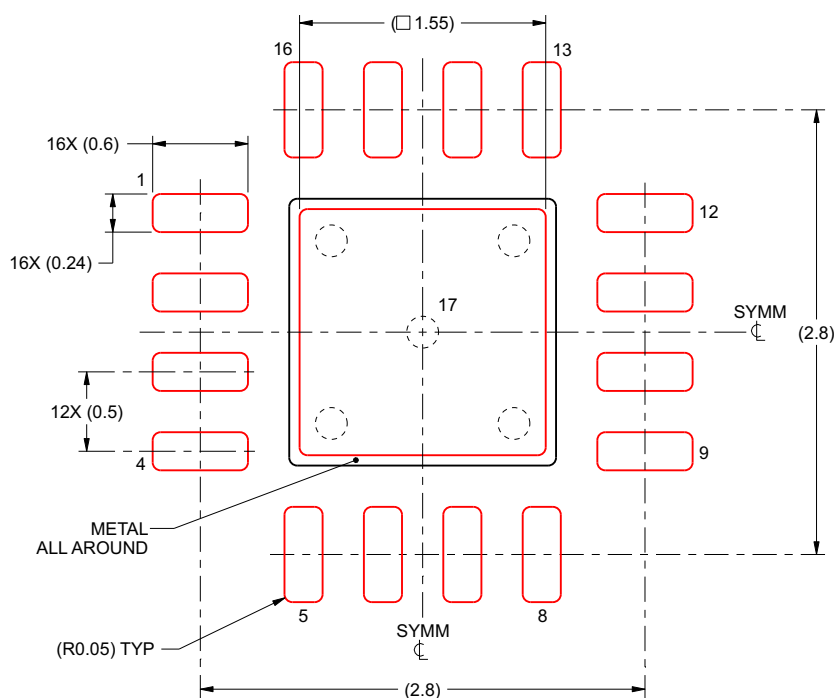
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

www.ti.com

EXAMPLE STENCIL DESIGN**RTE0016C****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
 85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:25X

4219117/A 09/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A5601RTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7A5601
TPS7A5601RTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7A5601

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

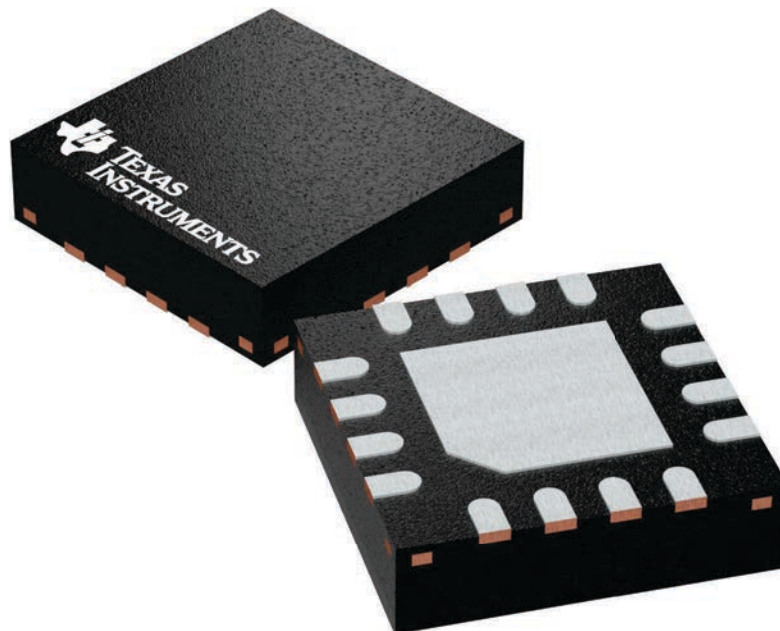
RTE 16

WQFN - 0.8 mm max height

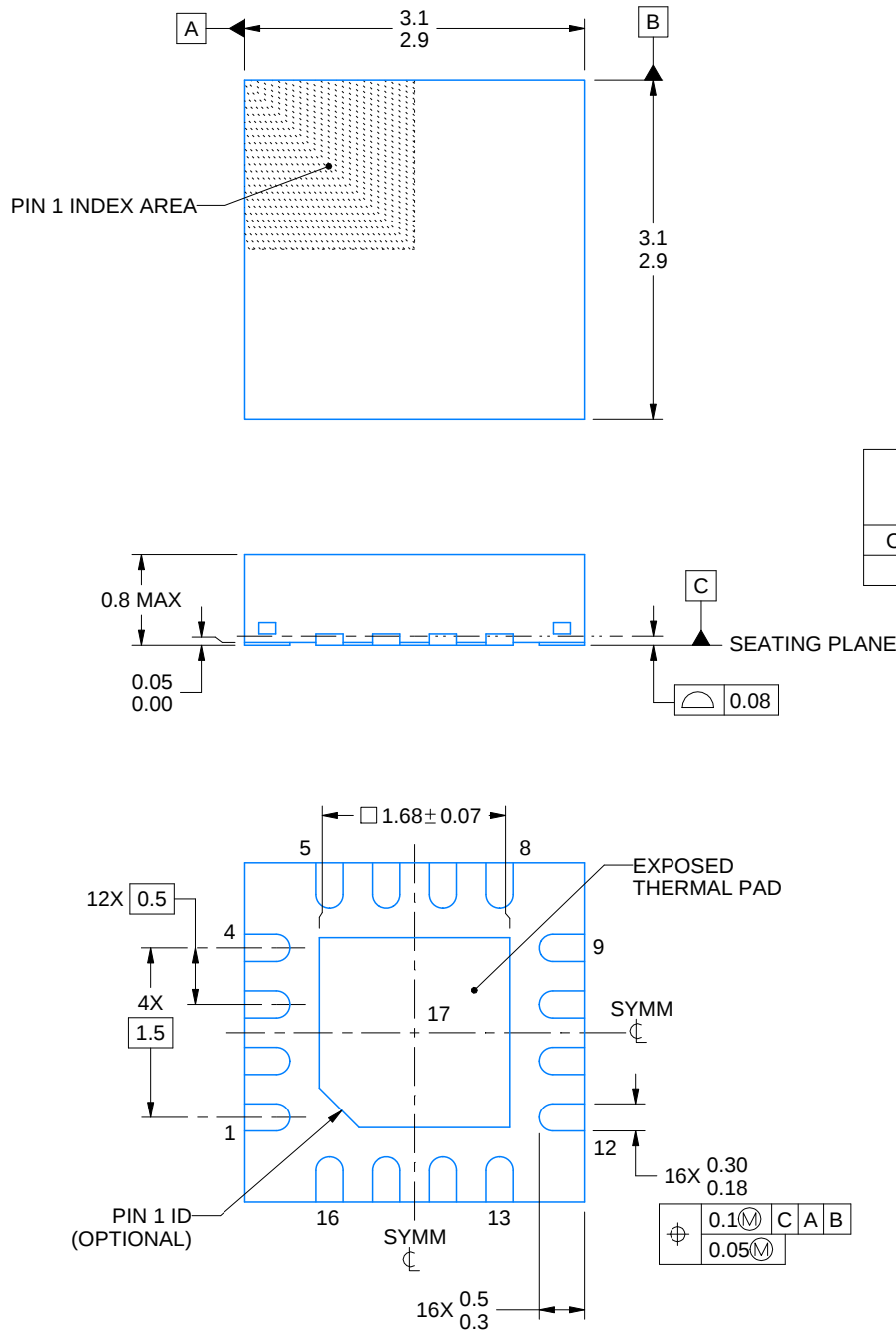
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A



4219117/B 04/2022

NOTES:

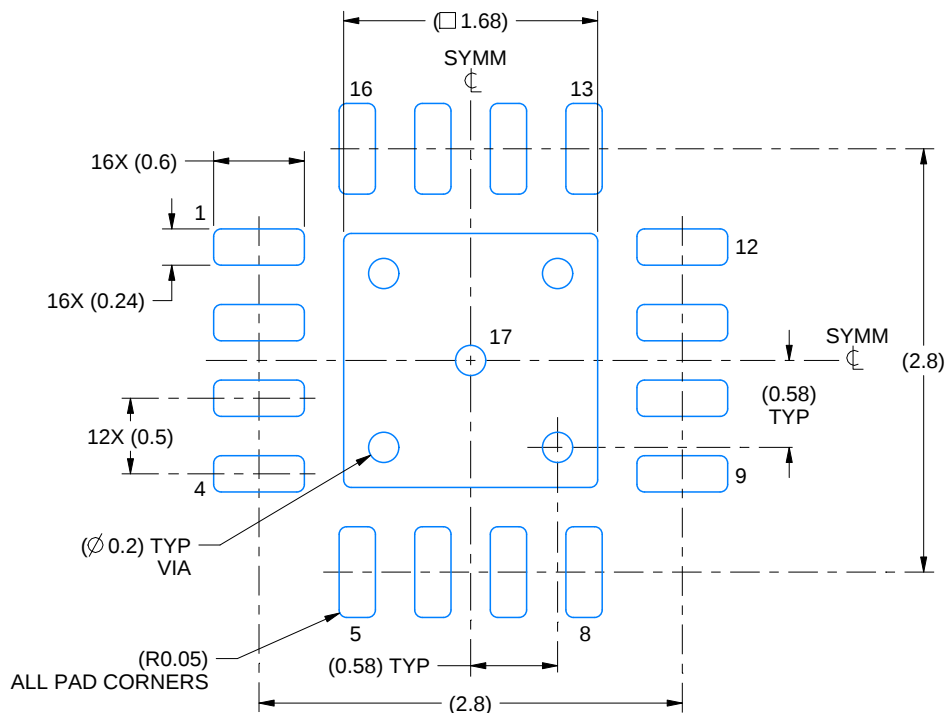
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

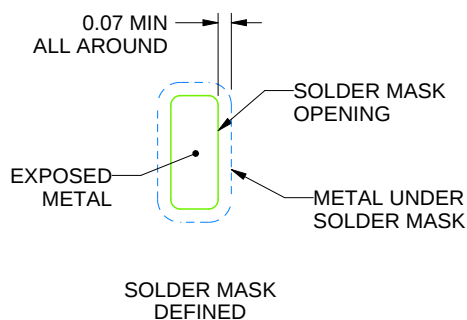
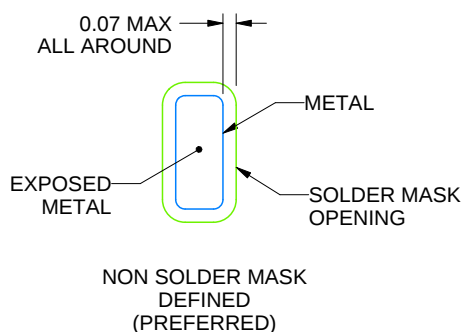
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

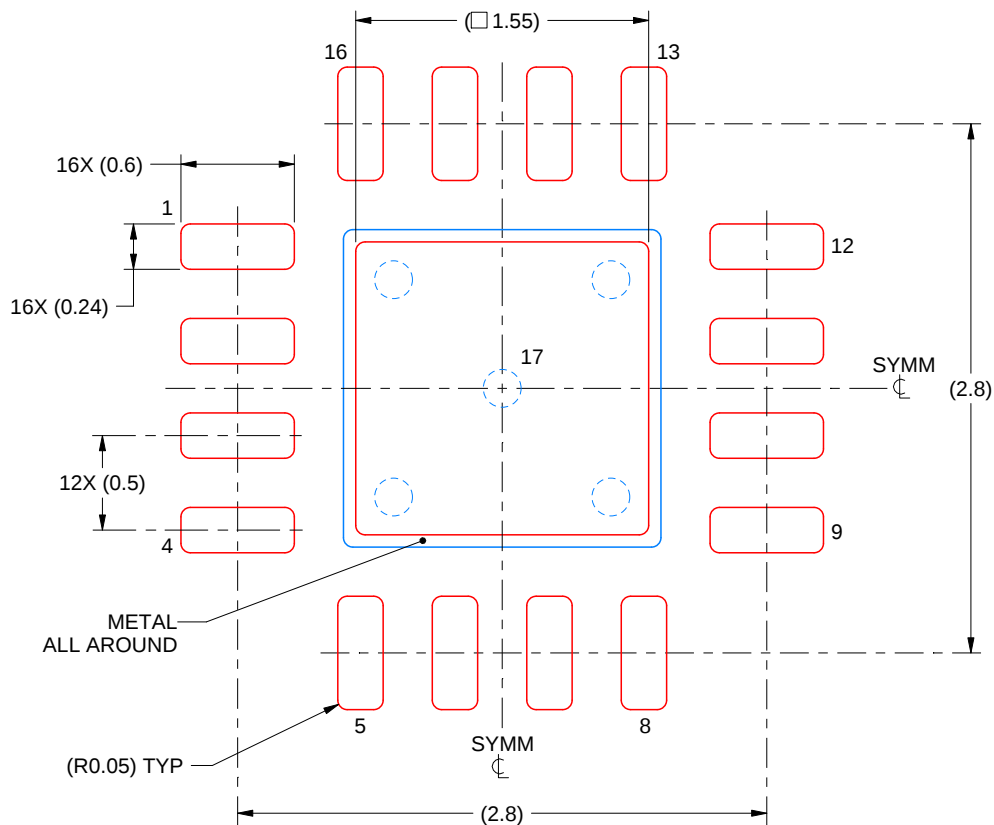
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月