

TPS736xx-EP 无电容 NMOS 400mA 低压降稳压器 具有反向电流保护功能

1 特性

- 受控基线：
 - 一个组件
 - 一个测试基地
 - 一个制造基地
- 扩展的温度性能：-55°C 至 +125°C
- 增强型制造源减少 (DMS) 支持
- 改善了产品变更通知
- 资质谱系¹
- 不借助输出电容器或者任何电容值或类型的电容器即可实现稳定
- 输入电压范围：1.7V 至 5.5V
- 超低压降电压：75mV (典型值)
- 可实现出色的负载瞬态响应 (无论是否使用可选输出电容器)
- 全新的 NMOS 拓扑结构可提供低反向漏电流
- 低噪声：
 - 30 μ V_{RMS} 典型值 (10Hz 至 100kHz)
- 初始精度：0.5%
- 整个线路、负载和温度范围内的精度达 1%
- 关断模式下 I_Q 最大值小于 1 μ A
- 热关断和指定最小/最大电流限制保护
- 提供了多个输出电压版本：
 - 固定输出：1.2V 至 3.3V
 - 可调输出：1.2V 至 5.5V
 - 可提供定制输出

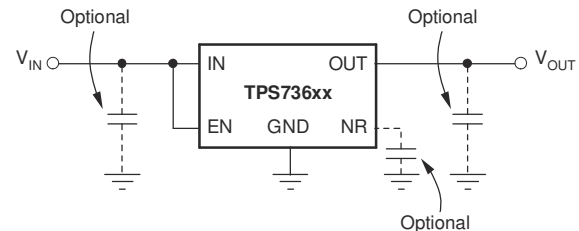
2 应用

- 便携式、电池供电类设备
- 针对开关电源的后置稳压
- 噪声敏感电路 (如 VCO)
- 针对 DSP、FPGA、ASIC 和微处理器的负载点调节

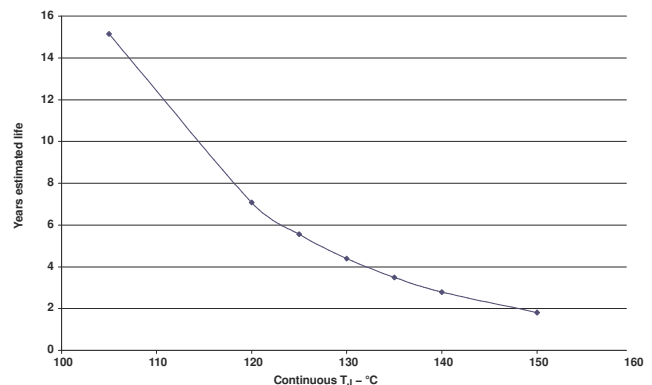
3 说明

TPS736xx-EP 系列低压降 (LDO) 线性稳压器使用一种全新的拓扑结构：在一个电压输出器配置中使用一个 NMOS 导通元件。这个拓扑结构在使用具有低 ESR 的输出电容器时保持稳定，可实现无电容器运行。此系列还提供高反向阻断 (低反向电流) 和接地引脚电流，该电流在所有输出电流上几乎保持恒定。

TPS736xx-EP 使用先进的 BiCMOS 工艺来在传送低压降电压和低接地引脚电流的同时保证高精度。未启用时，电流消耗低于 1 μ A，非常适合便携式应用。低的输出噪声 (0.1 μ F C_{NR} 时为 30 μ V_{RMS}) 使得此器件非常适合为 VCO 供电。这些器件受到热关断和折返电流限制的保护。



Typical Application Circuit for Fixed-Voltage Versions



TPS736xxDBVzEP 高温下预估的器件寿命电迁移故障模式

($T_J = T_{JA} \times W + T_A$, 标准 JESD 51 条件)

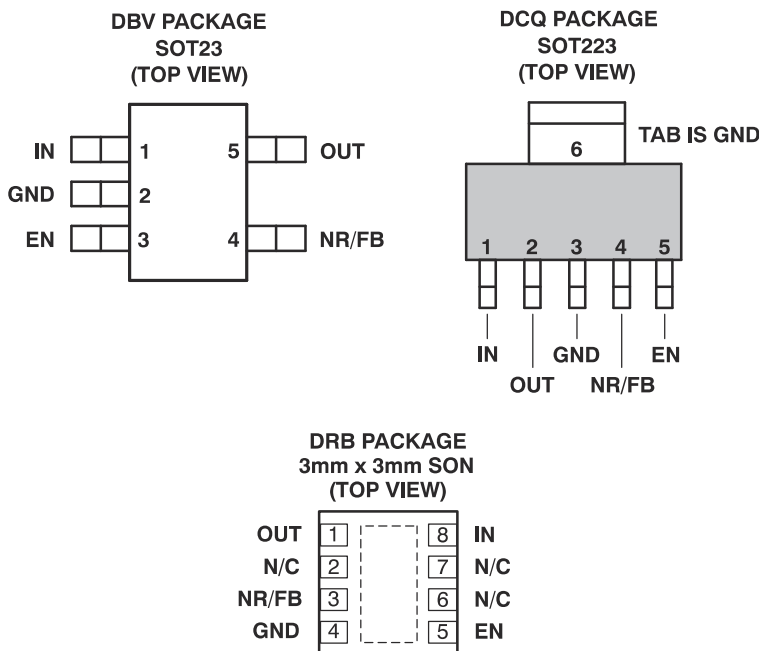
¹ 元件资质符合 JEDEC 和行业标准，可确保在扩展工作温度范围内可靠运行。这包括但不限于高加速应力测试 (HAST) 或偏压 85/85、温度循环、热压器或无偏压 HAST、电迁移、键合金属间寿命和塑封材料寿命。此类认证测试不应作为在超出规定的性能和环境限值的情况下使用此元件的正当理由。



内容

1 特性.....	1	7.1 应用信息.....	13
2 应用.....	1	8 器件和文档支持.....	17
3 说明.....	1	8.1 器件支持.....	17
4 引脚配置和功能.....	3	8.2 接收文档更新通知.....	17
5 规格.....	4	8.3 支持资源.....	17
5.1 绝对最大额定值.....	4	8.4 商标.....	17
5.2 功耗额定值.....	4	8.5 静电放电警告.....	17
5.3 电气特性.....	5	8.6 术语表.....	17
5.4 典型特性.....	6	9 修订历史记录.....	17
6 功能方框图.....	12	10 机械、封装和可订购信息.....	18
7 应用和实施.....	13		

4 引脚配置和功能



N/C - No internal connection

表 4-1. 引脚功能

名称	SOT23 (DBV) 引脚编号	SOT223 (DCQ) 引脚编号	3x3 SON (DRB) 引脚编号	说明
IN	1	1	8	未稳压的输入电源
GND	2	3、6	4，焊盘	接地
EN	3	5	5	使能。驱动 EN 高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。更多详细信息，请参阅“应用信息”下的“关断”部分。如未使用，EN 可被连接至 IN。
NR	4	4	3	仅限固定电压版本。将一个外部电容器连接到这个引脚来绕开内部带隙生成的噪声，同时减少到低电平的输出噪声。
FB	4	4	3	反馈。仅限可调电压版本。这是为控制环路误差放大器的输入，并用于设定器件的输出电压。
OUT	5	2	1	稳压器的输出。无需外部电容器实现此稳定性。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			单位
V _{IN} 范围		-0.3 至 6	V
V _{EN} 范围		-0.3 至 6	V
V _{OUT} 范围		-0.3 至 5.5	V
峰值输出电流		受内部限制	
输出短路持续时间		未确定	
持续总功率耗散		请参阅 功耗额定值表	
结温范围, T _J		-55 至 150	°C
贮存温度范围		-65 至 150	°C
ESD 等级	人体放电模型 - HBM	2	kV
	充电设备模型 - CDM	500	V

(1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在“电气特性”以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响器件的可靠性。

5.2 功耗额定值

请参阅⁽¹⁾

电路板	封装	R _{θJC}	R _{θJA}	降额因子 高于 T _A = 25°C	T _A ≤ 25°C 功率等级	T _A = 70°C 功率等级	T _A = 85°C 额定功率
低 K ⁽²⁾	DBV	64°C/W	255°C/W	3.9mW/°C	392mW	216mW	157mW
高 K ⁽³⁾	DBV	64°C/W	180°C/W	5.6mW/°C	556mW	306mW	222mW
低 K ⁽²⁾	DCQ	15°C/W	53°C/W	18.9mW/°C	1887mW	1038mW	755mW
高 K ⁽³⁾	DCQ	15°C/W	45°C/W	22.2mW/°C	2222mW	1222mW	889mW
高 K ^{(3) (4)}	DRB	1.2°C/W	40°C/W	25.0mW/°C	2500mW	1375mW	1000mW

- (1) 有关热设计的更多信息，请参阅“过热保护”部分。
- (2) 用于推导这些数据的 JEDEC 低 K (1s) 板设计是一个 3 英寸 × 3 英寸的双层电路板，该电路板顶部具有 2 盎司覆铜线迹。
- (3) 用于推导这些数据的 JEDEC 高 K (2s2p) 电路板设计是一个 3 英寸 × 3 英寸的多层电路板，该电路板具有 1 盎司的内部电源平面和接地平面，顶层和底层上有 2 盎司的覆铜线迹。
- (4) 基于初步热仿真。

5.3 电气特性

超出工作温度范围 ($T_A = -55^{\circ}\text{C}$ 至 125°C)、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}^{(1)}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\text{ }\mu\text{F}$ (除非另有说明)。典型值为 $T_J = 25^{\circ}\text{C}$ 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围 ^{(1) (4)}		1.7		5.5	V
V_{FB}	内部基准 (TPS73601)	$T_J = 25^{\circ}\text{C}$	1.198	1.2	1.21	V
V_{OUT}	输出电压范围 (TPS73601)		V_{FB}		$5.5 - V_{DO}$	V
	精度 ⁽¹⁾	标称值	$T_J = 25^{\circ}\text{C}$	-0.5%	0.5%	
		在 V_{IN} 、 I_{OUT} 和 T 条件下	$V_{OUT} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$, $10\text{mA} \leq I_{OUT} \leq 400\text{mA}$	-1%	$\pm 0.5\%$	1%
$\Delta V_{OUT}\% / \Delta V_{IN}$	线性调整率 ⁽¹⁾	$V_{O(nom)} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.01		%/V
$\Delta V_{OUT}\% / \Delta I_{OUT}$	负载调整率	$1\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.002		%/mA
		$10\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.0005		
V_{DO}	压降电压 ⁽²⁾ ($V_{IN} = V_{OUT(nom)} - 0.1\text{V}$)	$I_{OUT} = 400\text{mA}$		75	200	mV
$Z_O(\text{DO})$	压降中的输出阻抗	$1.7\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25		Ω
I_{CL}	输出电流限制	$V_{OUT} = 0.9 \times V_{OUT(nom)}$	400	650	800	mA
I_{SC}	短路电流	$V_{OUT} = 0\text{V}$		450		mA
I_{REV}	反向漏电流 ⁽³⁾ ($-I_{IN}$)	$V_{EN} \leq 0.5\text{V}$, $0\text{V} \leq V_{IN} \leq V_{OUT}$		0.1	15	μA
I_{GND}	接地引脚电流	$I_{OUT} = 10\text{mA}$ (I_Q)		400	550	μA
		$I_{OUT} = 400\text{mA}$		800	1000	
I_{SHDN}	关断电流 (I_{GND})	$V_{EN} \leq 0.5\text{V}$, $V_{OUT} \leq V_{IN} \leq 5.5\text{V}$		0.02	1	μA
I_{FB}	FB 引脚电流 (TPS73601)			0.1	0.45	μA
PSRR	电源抑制比 (纹波抑制)	$f = 100\text{Hz}$, $I_{OUT} = 400\text{mA}$		58		dB
		$f = 10\text{kHz}$, $I_{OUT} = 400\text{mA}$		37		
V_N	输出噪声电压 $\text{BW} = 10\text{Hz}$ 至 100kHz	$C_{OUT} = 10\text{ }\mu\text{F}$, 无 C_{NR}		$27 \times V_{OUT}$		μV_{RMS}
		$C_{OUT} = 10\text{ }\mu\text{F}$, $C_{NR} = 0.01\text{ }\mu\text{F}$		$8.5 \times V_{OUT}$		
t_{STR}	启动时间	$V_{OUT} = 3\text{V}$, $R_L = 30\Omega$, $C_{OUT} = 1\text{ }\mu\text{F}$, $C_{NR} = 0.01\text{ }\mu\text{F}$		600		μs
$V_{EN}(\text{HI})$	高电平有效 (已使能)		1.7		V_{IN}	V
$V_{EN}(\text{LO})$	低电平有效 (关断)		0		0.5	V
$I_{EN}(\text{HI})$	使能引脚电流 (已使能)	$V_{EN} = 5.5\text{V}$		0.02	0.1	μA
T_{SD}	热关断温度	关断, 温度升高		160		$^{\circ}\text{C}$
		复位, 温度降低		140		
T_A	工作环境温度		-55		125	$^{\circ}\text{C}$

(1) 最小 $V_{IN} = V_{OUT} + V_{DO}$ 或者 1.7V , 以较大者为准。

(2) 不针对 TPS73615 ($V_{OUT(nom)} = 1.5\text{V}$) 测量 V_{DO} , 这是因为最小 $V_{IN} = 1.7\text{V}$ 。

(3) 更多信息, 请参阅 [应用与实施](#) 部分。

(4) 对于 $V_{OUT(nom)} < 1.6\text{V}$, 当 $V_{IN} \leq 1.6\text{V}$ 时, 输出锁定到 V_{IN} 并可能导致输出上出现破坏性过压电平。为避免这种情况, 请先禁用器件, 然后再将 V_{IN} 关断。

5.4 典型特性

适用于所有电压版本，在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\ \mu\text{F}$ 条件下
 (除非另有说明)

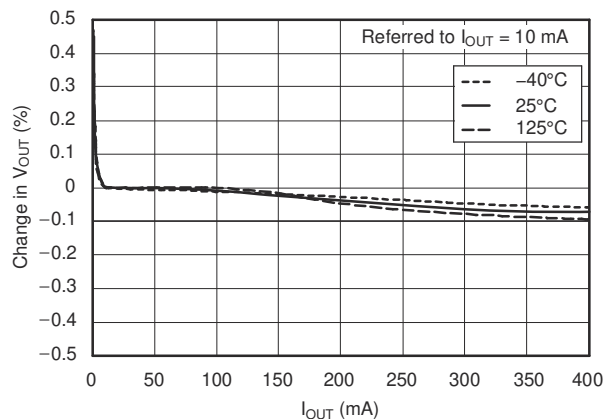


图 5-1. 负载调整率

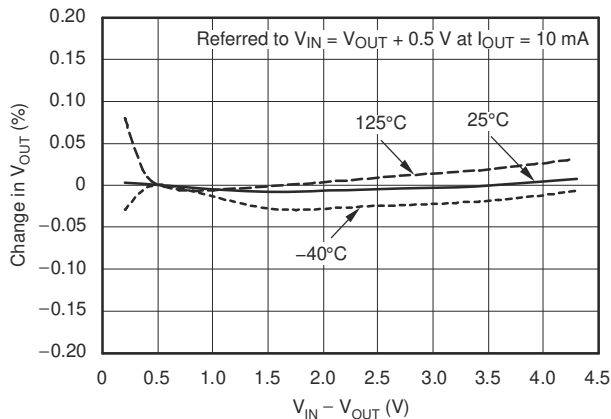


图 5-2. 线路调整

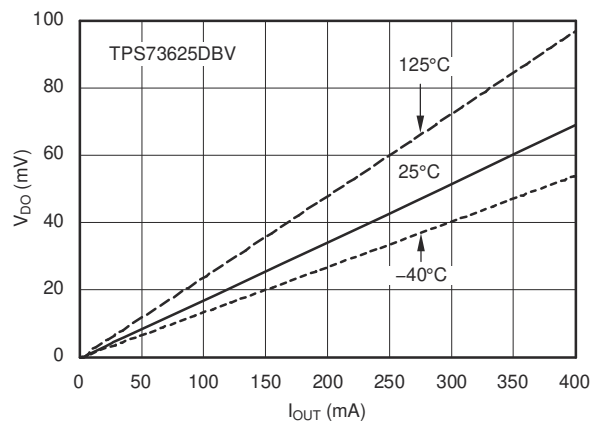


图 5-3. 压降电压与输出电流间的关系

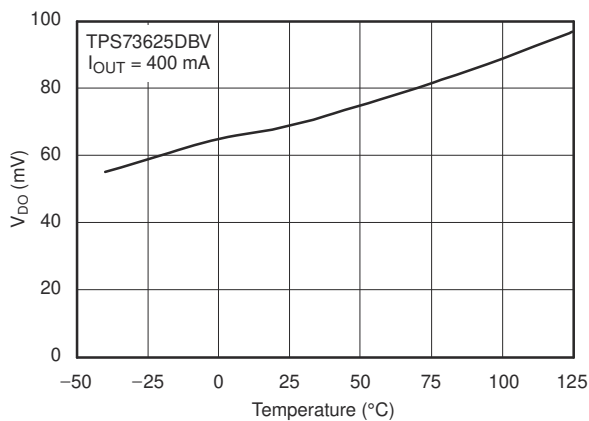


图 5-4. 压降电压与温度间的关系

5.4 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下
(除非另有说明)

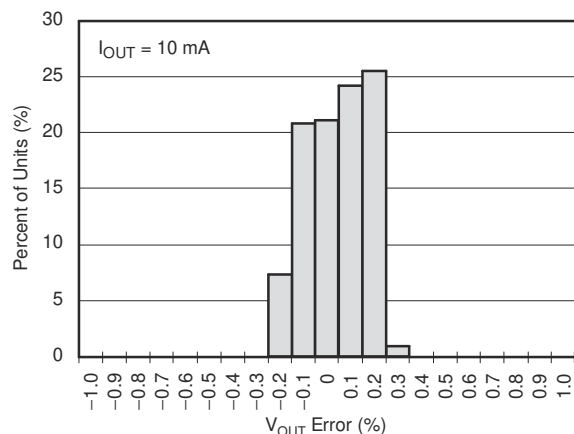


图 5-5. 输出电压精度柱状图

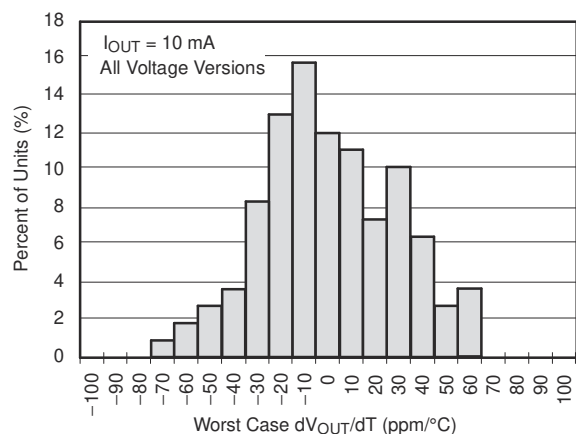


图 5-6. 输出电压漂移柱状图

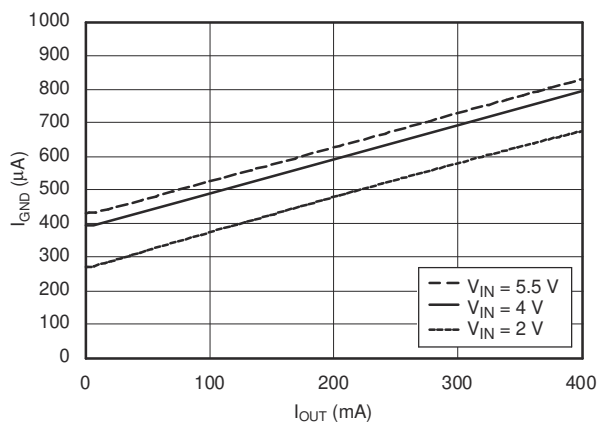


图 5-7. 接地引脚电流与输出电流间的关系

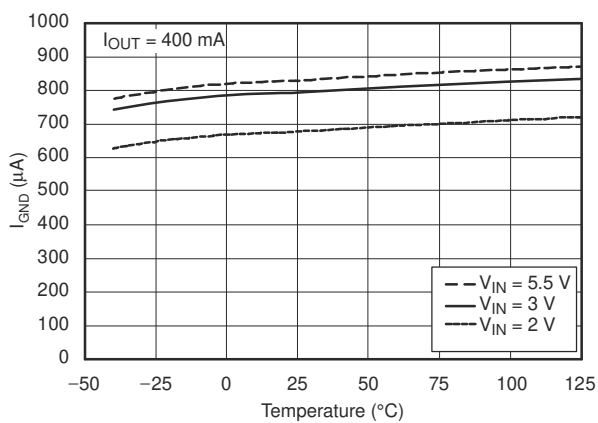


图 5-8. 接地引脚电流与温度间的关系

5.4 典型特性 (续)

适用于所有电压版本，在 $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下
(除非另有说明)

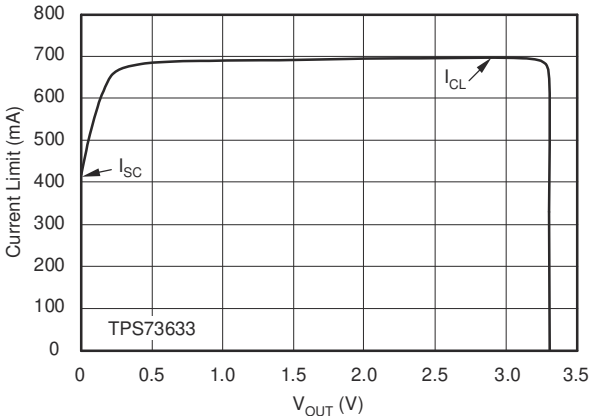


图 5-9. 电流限值与 V_{OUT} (折返) 间的关系

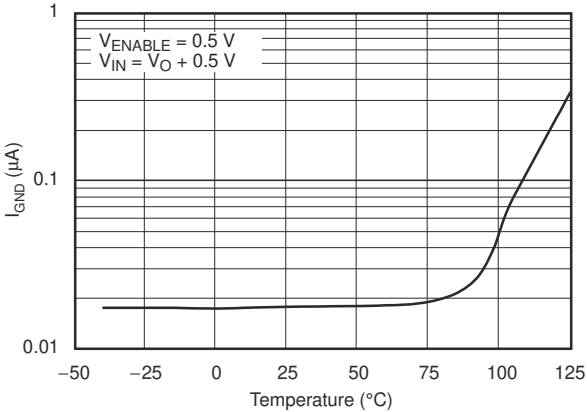


图 5-10. 关断时的接地引脚电流与温度间的关系

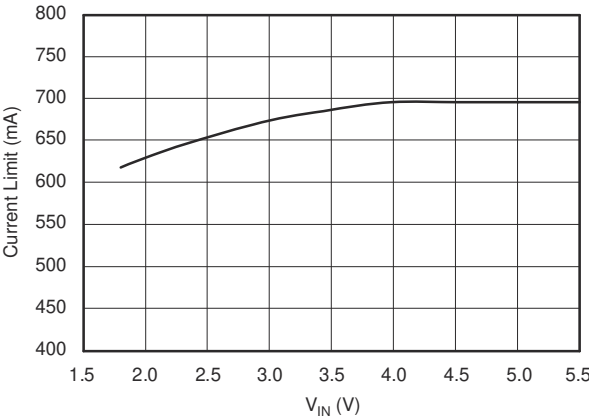


图 5-11. 电流限值与 V_{IN} 间的关系

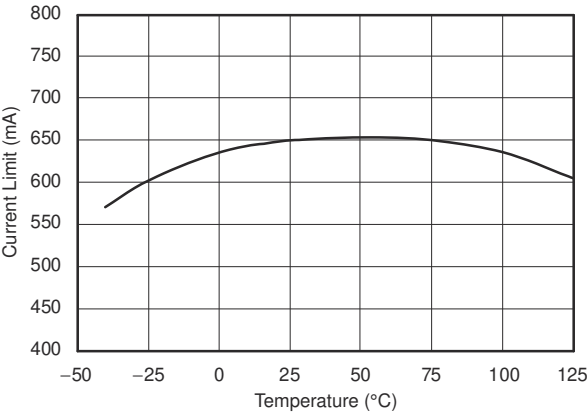


图 5-12. 电流限制与温度间的关系

5.4 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\ \mu\text{F}$ 条件下
(除非另有说明)

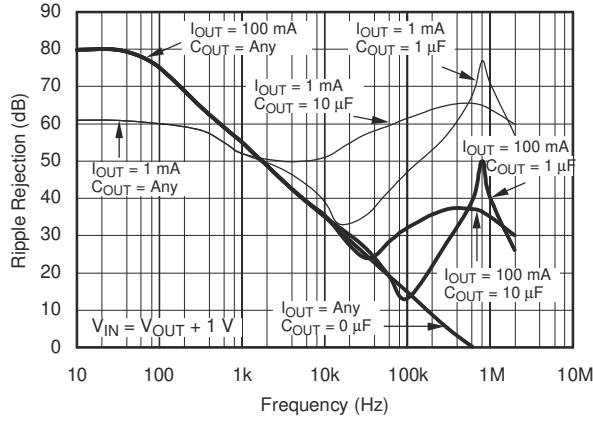


图 5-13. PSRR (纹波抑制) 与频率间的关系

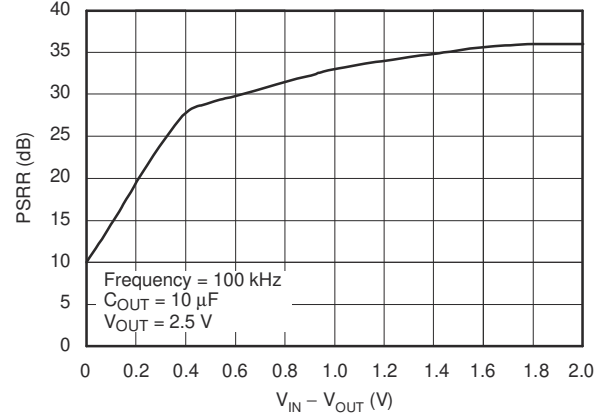


图 5-14. PSRR (纹波抑制) 与 $V_{IN} - V_{OUT}$ 间的关系

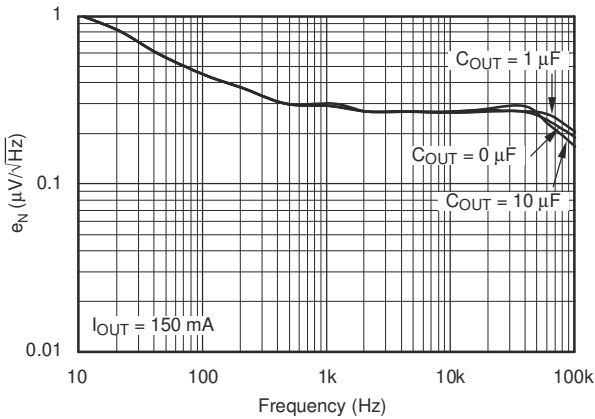


图 5-15. 噪声频谱密度 ($C_{NR} = 0\ \mu\text{F}$)

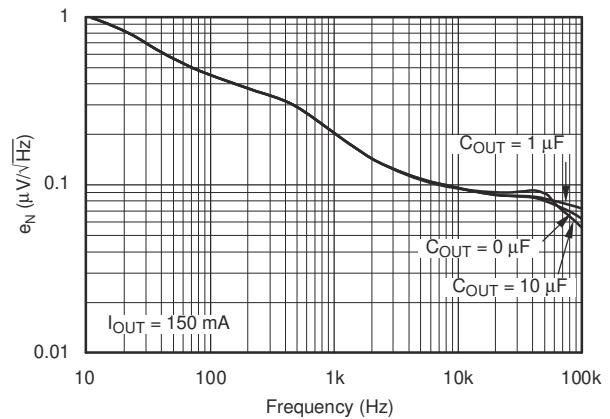


图 5-16. 噪声频谱密度 ($C_{NR} = 0.01\ \mu\text{F}$)

5.4 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\ \mu\text{F}$ 条件下
 (除非另有说明)

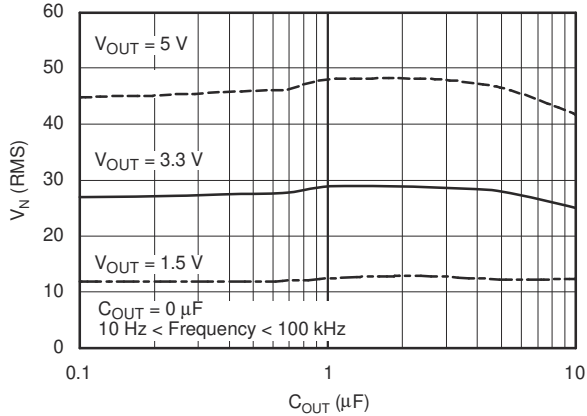


图 5-17. RMS 噪声电压与 C_{OUT} 间的关系

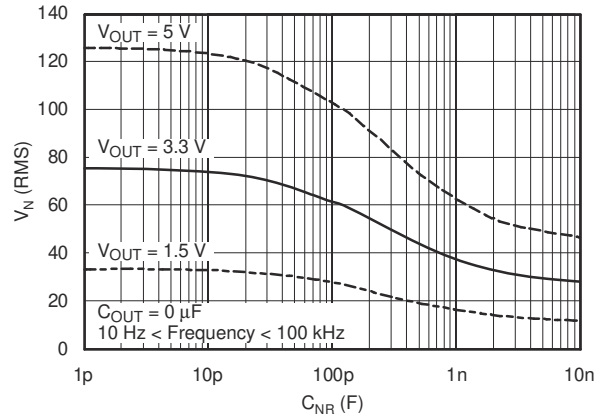


图 5-18. RMS 噪声电压与 C_{NR} 间的关系

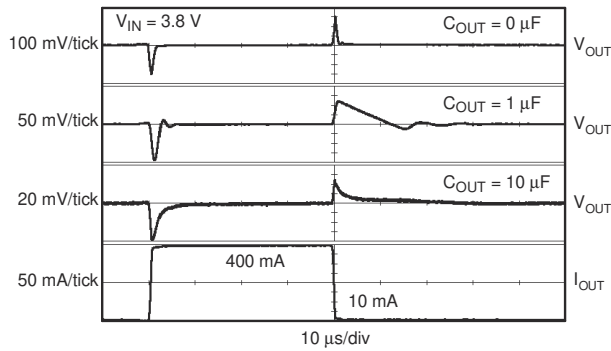


图 5-19. TPS73633 负载瞬态响应

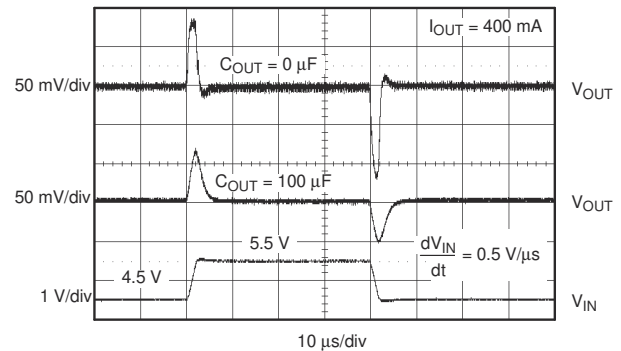


图 5-20. TPS73633 线路瞬态响应

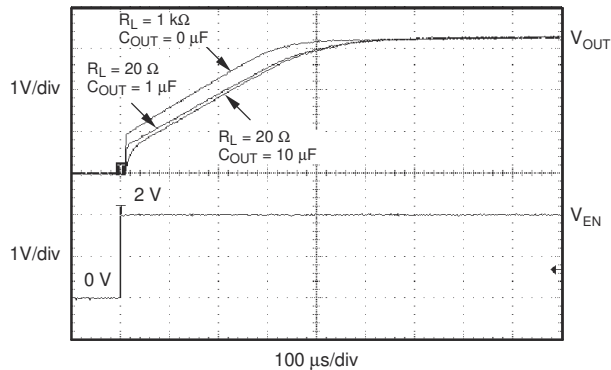


图 5-21. TPS73633 导通响应

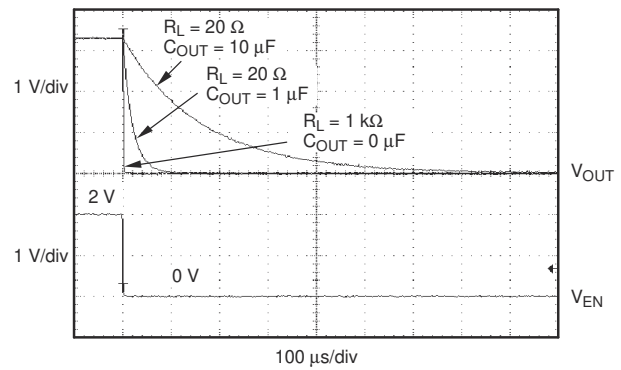


图 5-22. TPS73633 关断响应

5.4 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下
(除非另有说明)

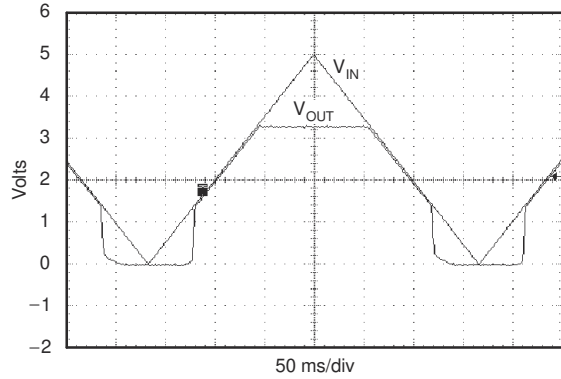


图 5-23. TPS73633 上电和断电

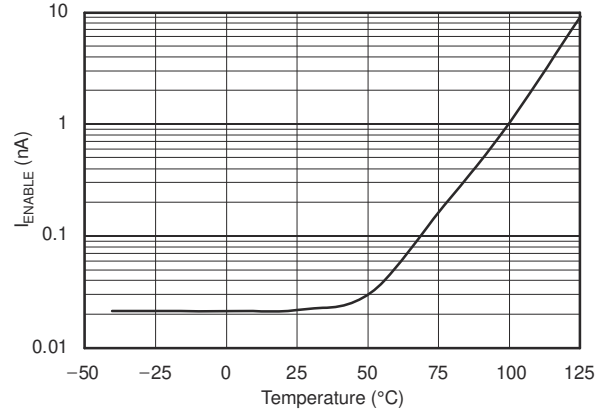


图 5-24. I_{ENABLE} 与温度间的关系

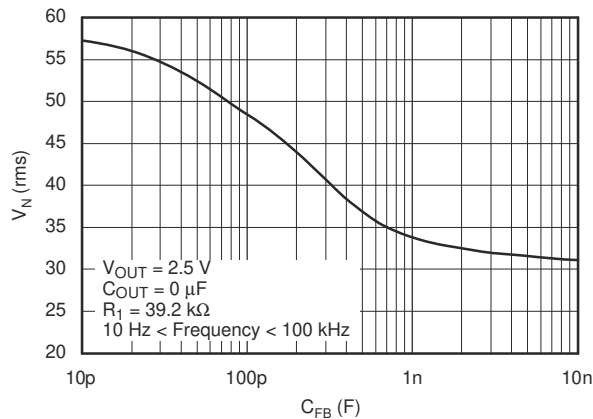


图 5-25. TPS73601 RMS 噪声电压与 C_{ADJ} 间的关系

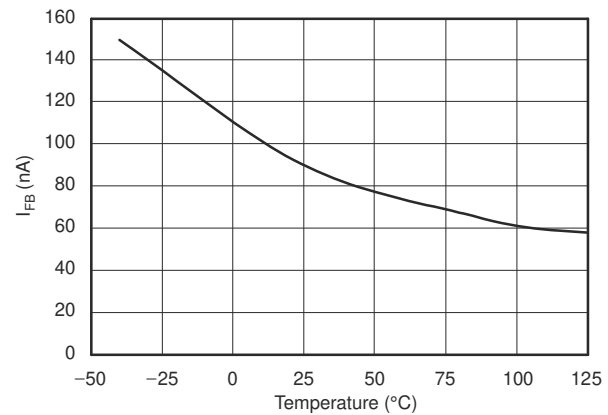


图 5-26. TPS73601 I_{FB} 与温度间的关系

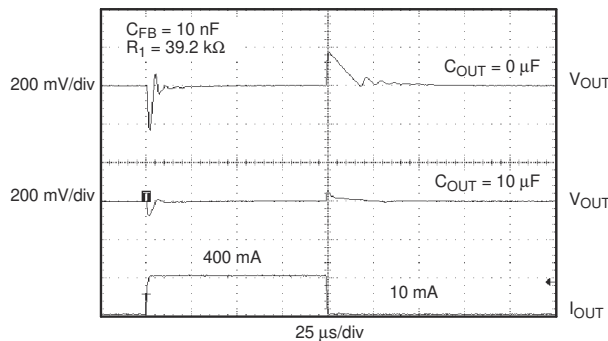


图 5-27. TPS73601 负载瞬态, 可调节版本

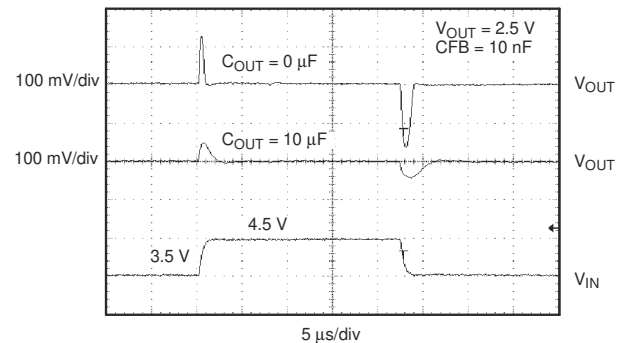


图 5-28. TPS73601 线路瞬态, 可调节版本

6 功能方框图

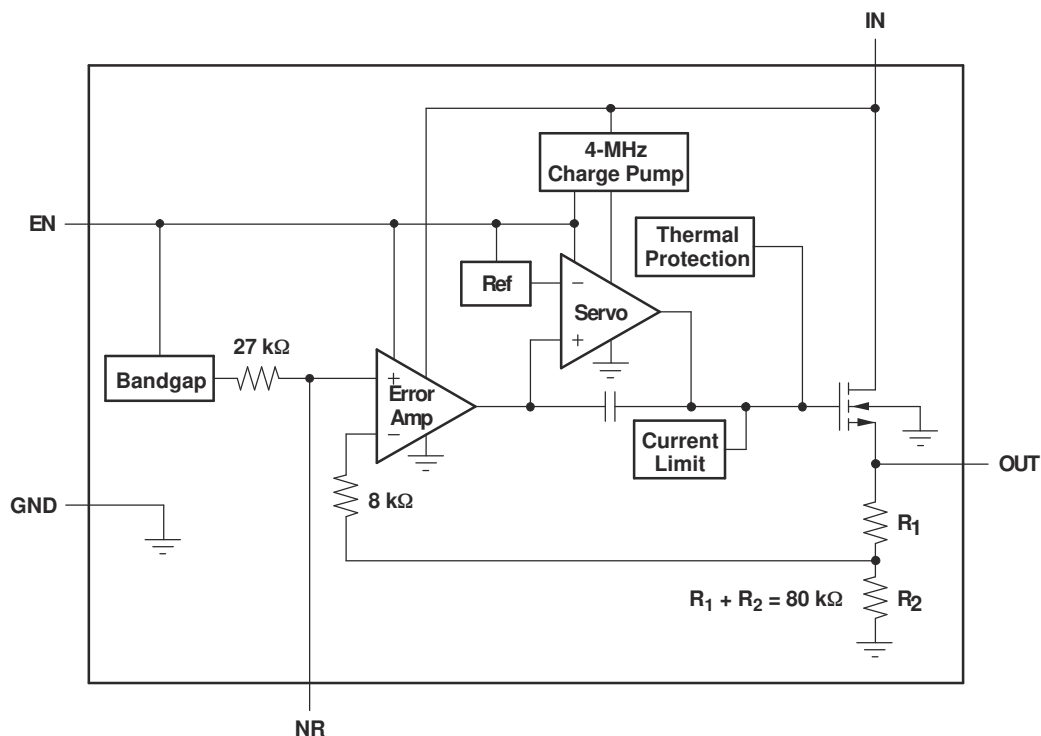


图 6-1. 固定电压版本

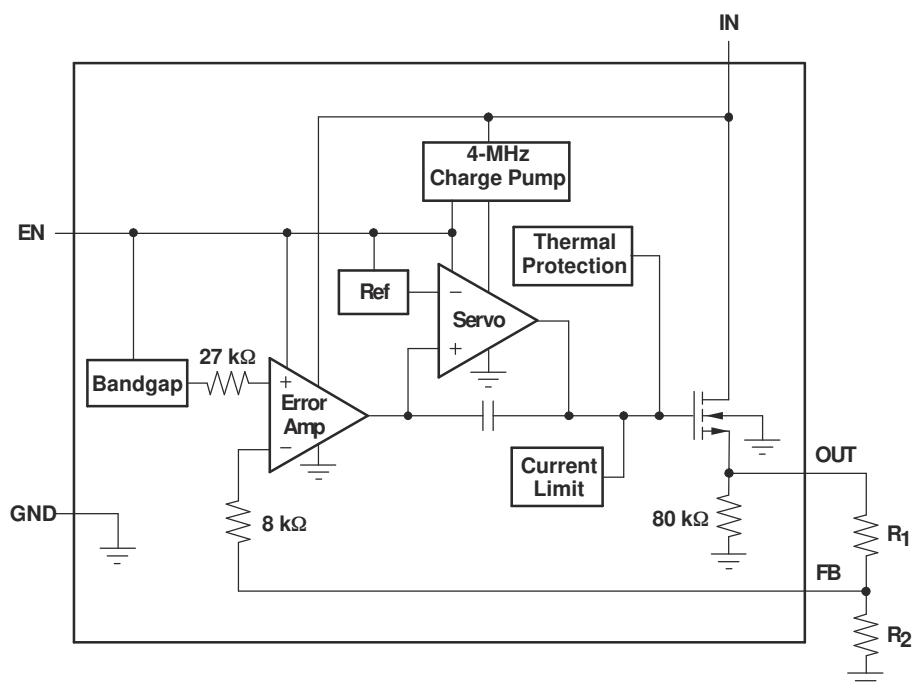


图 6-2. 可调电压版本

Standard 1% Resistor Values for Common Output Voltages

V _O	R ₁	R ₂
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3 kΩ
1.8 V	28 kΩ	56.2 kΩ
2.5 V	39.2 kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$;
 $R_1 || R_2 \approx 19 \text{ k}\Omega$ for best accuracy

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS736xx-EP 属于全新一代 LDO 稳压器系列产品，此系列使用一个 NMOS 导通晶体管来实现超低压降性能、反向电流阻，且不受输出电容器的限制。这些特性与低噪声和使能输入相结合，使得 TPS736xx-EP 非常适合便携式应用。该稳压器系列提供多种固定输出电压版本和一个可调输出版本。所有版本都具有过热以及过流保护，其中包括折返电流限制。

图 7-1 显示了针对固定电压模型的基本电路连接。图 7-2 显示了可调输出版本 (TPS73601-EP) 的连接。使用图 7-2 中的公式，可以计算任一输出电压的 R_1 和 R_2 。针对共同输出电压的取样电阻器值显示在图 6-2 中。为了获得最佳精度，将 R_1 和 R_2 并联，获得的电阻值大约为 19kΩ。

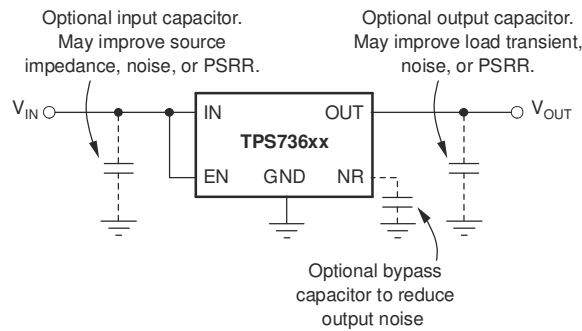


图 7-1. 针对固定电压版本的典型应用电路

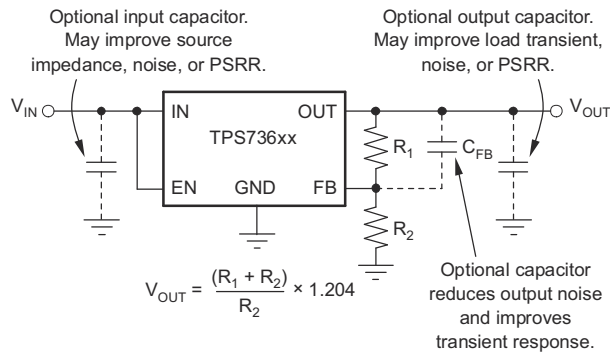


图 7-2. 可调电压版本的典型应用电路

7.1.1 输入和输出电容器要求

虽然输入电容并非稳定性所必需，在稳压器附近的输入供电端并联一个 $0.1\mu\text{F}$ 到 $1\mu\text{F}$ 的低 ESR 电容器却是一个不错的模拟设计原则。这样抵消了被重新激活的输入源并且提升了瞬态响应、噪声抑制、以及纹波抑制。如果有可能出现较大的快速上升时间负载瞬态或者器件距离电源几英寸远，则可能需要一个更大电容值的电容器。

TPS736xx-EP 无需输出电容器即可实现稳定运行，并且无需电容器即可实现最大相位裕度。该器件经过专门设计，在与所有类型和电容值的电容器一起工作时均可保持稳定。在 $V_{\text{IN}} - V_{\text{OUT}} < 0.5\text{V}$ 且多个低 ESR 电容器并联的应用中，当 C_{OUT} 和总 ESR 的乘积降低至 50Ω 时，有可能发生响铃。总 ESR 包括全部寄生电阻，其中有电容器 ESR 和电路板、插座、和焊点电阻。在大多数应用中，电容器 ESR 和走线电阻值的总和满足这一要求。

7.1.2 输出噪声

一个精准带隙基准用于生成内部基准电压 V_{REF} 。这个基准是 TPS736xx-EP 内的主要噪声源，并且在基准输出 (NR) 处产生约 $32\mu\text{V}_{\text{RMS}}$ (10Hz 至 100kHz)。稳压器控制环路对基准噪声的增益补偿与对基准电压的增益补偿一致，这样稳压器的噪声电压可大约确定为：

$$V_{\text{N}} = 32\mu\text{V}_{\text{RMS}} \times \frac{(R_1 + R_2)}{R_2} = 32\mu\text{V}_{\text{RMS}} \times \frac{V_{\text{OUT}}}{V_{\text{REF}}} \quad (1)$$

由于 V_{REF} 的值为 1.2V ，这一相互关系减少至：

$$V_{\text{N}}(\mu\text{V}_{\text{RMS}}) = 27 \left(\frac{\mu\text{V}_{\text{RMS}}}{V} \right) \times V_{\text{OUT}}(\text{V}) \quad (2)$$

(对于没有 C_{NR} 的情况)。

当一个外部降噪电容器 C_{NR} 从 NR 接至接地时，一个与降噪引脚 (NR) 串联的内部 $27\text{k}\Omega$ 电阻器为电压基准形成一个低通滤波器。因为 $C_{\text{NR}} = 10\text{nF}$ ， 10Hz 至 100kHz 带宽内的总噪声减少了大约 3.2 倍，从而得出的大致关系为：

$$V_{\text{N}}(\mu\text{V}_{\text{RMS}}) = 8.5 \left(\frac{\mu\text{V}_{\text{RMS}}}{V} \right) \times V_{\text{OUT}}(\text{V}) \quad (3)$$

$C_{\text{NR}} = 10\text{nF}$ 。

这个降噪效应显示在图 5-18 的 RMS 噪声电压与 C_{NR} 间的关系图中。

TPS73601-EP 可调节版本没有提供降噪引脚。不过，将一个反馈电容器 C_{FB} 从输出连接至 FB 引脚将降低输出噪声并提升负载瞬态性能。

TPS736xx-EP 使用一个内部电荷泵来形成一个内部电源电压，此电压足以将 NMOS 导通元件的栅极驱动至高于 V_{OUT} 的水平。此电荷泵在大约 4MHz 时生成大约 $250\mu\text{V}$ 的开关噪声；然而，对于大多数 I_{OUT} 和 C_{OUT} 的值，电荷泵噪声对于稳压器输出的影响可以忽略不计。

7.1.3 对于改进 PSRR 和噪声性能的电路板布局布线建议

为了改进诸如 PSRR、输出噪声和瞬态响应等交流性能，建议将电路板设计成对于 V_{IN} 和 V_{OUT} 有独立的接地层，在这种设计中，每个接地平面只连接至器件的 GND 引脚。此外，针对导通电容器的接地连接应该直接接至器件的 GND 引脚。

7.1.4 内部电流限制

TPS736xx-EP 内部电流限制有助于在故障情况下保护稳压器。当 V_{OUT} 降低至 0.5V 时，折返通过降低电流限制，有助于在输出短路情况下保护稳压器，防止其损坏。请参阅图 5-9，查看 I_{OUT} 与 V_{OUT} 的关系图表。

7.1.5 关断

使能 (EN) 引脚高电平有效并且与标准 TTL-CMOS 电平兼容。一个低于 0.5V (最大值) 的 V_{EN} 会将稳压器关闭并将接地引脚的电流降至大约 10nA。当不需要关断功能时, EN 可连接至 V_{IN} 。当使用上拉电阻器且需要在低至 1.8V 的电压下工作时, 请使用小于 50k Ω 的上拉电阻器。

7.1.6 压降电压

TPS736xx-EP 使用一个 NMOS 导通晶体管来实现极低压降。当 $(V_{IN} - V_{OUT})$ 低于压降电压 (V_{DO}) 时, NMOS 导通器件处于其运行的线性区域并且输入到输出电阻是 NMOS 导通元件的 R_{DS-ON} 。

对于负载电流的较大阶跃变化, TPS736xx-EP 需要从 V_{IN} 到 V_{OUT} 的更大压降, 以避免降低瞬态响应性能。这个瞬变压降区域的边界大约为 dc 输出的两倍。在这个边界之上的 $V_{IN} - V_{OUT}$ 的值可确保正常瞬态响应。

在瞬态压降区域内运行会增加恢复时间。从一个负载瞬态中恢复所需的时间是负载电流速率变化幅度、负载电流的变化速率、和可用动态空间 (V_{IN} 至 V_{OUT} 压降) 的函数。在最差情况下 $[(V_{IN} - V_{OUT})]$ 的满标度瞬时负载变化接近 DC 压降水平, TPS736xx-EP 可在几百毫秒内返回特定的调节精度。

7.1.7 瞬态响应

在电压跟随器配置中, NMOS 导通元件提供的低开环输出阻抗使该器件在许多应用中无需输出电容器即可运行。当与任一稳压器一同工作时, 添加一个从输出引脚到接地间的电容器 (标称值 1 μ F) 将减少下冲幅度, 但是会增加其持续时间。在可调节版本中, 在输出引脚到调节引脚间增加的电容器 C_{FB} 也能提升瞬态响应性能。

当输出过压时, TPS736xx-EP 不具有有源下拉功能。这使得应用能够将诸如替代电源的更高电压源连接至输出。当一个电容器被连接至输出上时, 如果负载电流快速下降至零, 这还将导致幅度为几个百分点的输出过冲。通过增加一个负载电阻器可减少过冲的持续时间。过冲衰减速率由输出电容器 C_{OUT} 和内部/外部负载电阻值确定。衰减速率由以下因素确定:

$$\text{Fixed-voltage version: } dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 \text{ k}\Omega \parallel R_{LOAD}} \quad (4)$$

$$\text{Adjustable-voltage version: } dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 \text{ k}\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (5)$$

7.1.8 反向电流

当导通器件的栅极被拉低时，TPS736xx-EP 的 NMOS 导通元件可提供固有保护，防止电流从稳压器输出端流向输入端。为了确保所有电荷从导通元件的栅极上移除，在移除输入电压前，必须将 EN 驱动至低电平。如果这没有被完成，由于栅极上存储的电荷，导通元件也许被保持在打开状态。

将 EN 驱动至低电平时，无需偏置电压即可在任一引脚上实现反向电路阻断。请注意，反向电流被定义为由于应用到 OUT 引脚上的电压而从 IN 引脚中流出的电流。由于 80kΩ 内部电阻分压器接地，将有一个额外的电流流入 OUT 引脚（请见图 6-1 和图 6-2）。

对于 TPS73601-EP，当 V_{FB} 高于 V_{IN} 超过 1V 时，可能会发生反向电流。

7.1.9 热保护

当结温上升至大约 160°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时，输出电路将被重新使能。根据功耗、热阻和环境温度的变化，过热保护电路可能会循环开关。这限制了稳压器的功耗，从而保护其不受过热损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为确保可靠运行，结温应限制在最高 125°C。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。为确保可靠性，过热保护应在超过应用中最大预期环境温度至少 35°C 时触发。这样就在最高预计环境温度和最差情况负载上产生了一个 125°C 最差情况结温。

TPS736xx-EP 内部保护电路的设计可防止出现过载状况。该保护功能并不用于替代合理的散热设计。TPS736xx-EP 持续不断地运行至热关断状态会降低可靠性。

7.1.10 功率耗散

对于每一种封装类型，为芯片散热的能力也不同，这体现在印刷电路板 (PCB) 布局的不同考虑中。器件周围没有其他组件的 PCB 区域会将器件的热量散发到周围空气中。JEDEC 低 K 和高 K 板的性能数据显示在“功率耗散额定值”表中。使用较重的覆铜可提高器件的散热效率。此外，在散热层添加镀层穿孔也可以提高散热效率。

功耗取决于输入电压和负载情况。功率耗散等于输出电流乘以输出导通元件 (V_{IN} 至 V_{OUT}) 上的压降所得到的乘积：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

通过使用可确保获得所需输出电压的最低输入电压，可大大减小功率耗散。

7.1.11 封装

有关 TPS736xx-EP 焊盘占用空间的建议，请参阅《表面贴装器件的焊盘建议》(AB-132) 应用手册，您可从 TI 网站 (www.ti.com) 获取该手册。

8 器件和文档支持

TI 提供广泛的开发工具。此部分列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 提供的选项

产品 ⁽¹⁾	说明
TPS736xxMyyyREP	xx 为正常输出电压 (例如, 25 = 2.5V、01 = 可调节 ⁽²⁾)。 yyy 为封装指示符。 z 为封装数量。

- (1) 使用创新的工厂 EEPROM 编程, 可在短周期内提供更多 1.25V 至 4.3V 范围的输出电压 (以 100mV 为单位增量)。采用最低订购量原则; 有关详细信息和供货情况, 请联系 TI。
- (2) 以固定电压 1.2V 运行时, 将 FB 连接至 OUT。

8.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision C (February 2009) to Revision D (August 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 删除了 订购信息表	1
• 将公式分母中的 R1 更改为 R2 : “可调电压版本的典型应用电路”图.....	13

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73601MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
TPS73601MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
TPS73601MDCQREP	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
TPS73601MDCQREP.A	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
TPS73601MDRBREP	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
TPS73601MDRBREP.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
TPS73615MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
TPS73615MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
TPS73618MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
TPS73618MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
TPS73625MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
TPS73625MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
TPS73630MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
TPS73630MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
TPS73632MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
TPS73632MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
TPS73633MDBVREP	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64
TPS73633MDBVREP.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64
V62/06626-01XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
V62/06626-01YE	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
V62/06626-01ZE	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
V62/06626-02XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
V62/06626-03XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
V62/06626-04XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
V62/06626-05XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
V62/06626-06XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
V62/06626-07XE	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73601MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73601MDCQREP	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73601MDRBREP	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS73615MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73618MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73625MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73630MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73632MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73633MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73601MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73601MDCQREP	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS73601MDRBREP	SON	DRB	8	3000	367.0	367.0	38.0
TPS73615MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73618MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73625MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73630MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73632MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73633MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

2. This drawing is subject to change without notice.

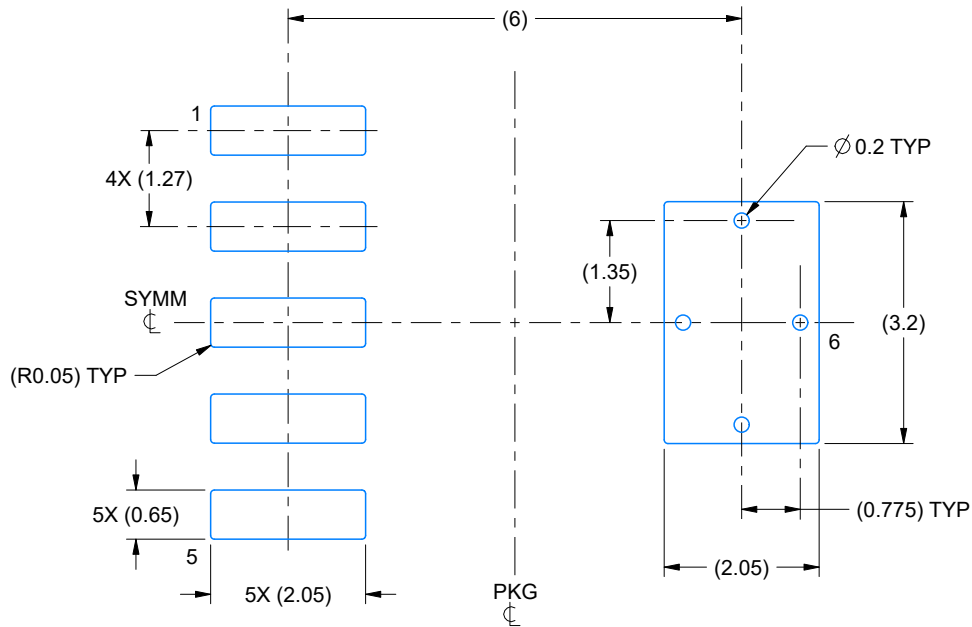
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

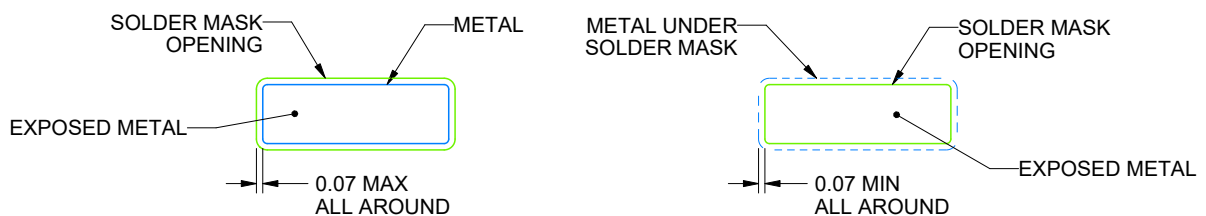
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

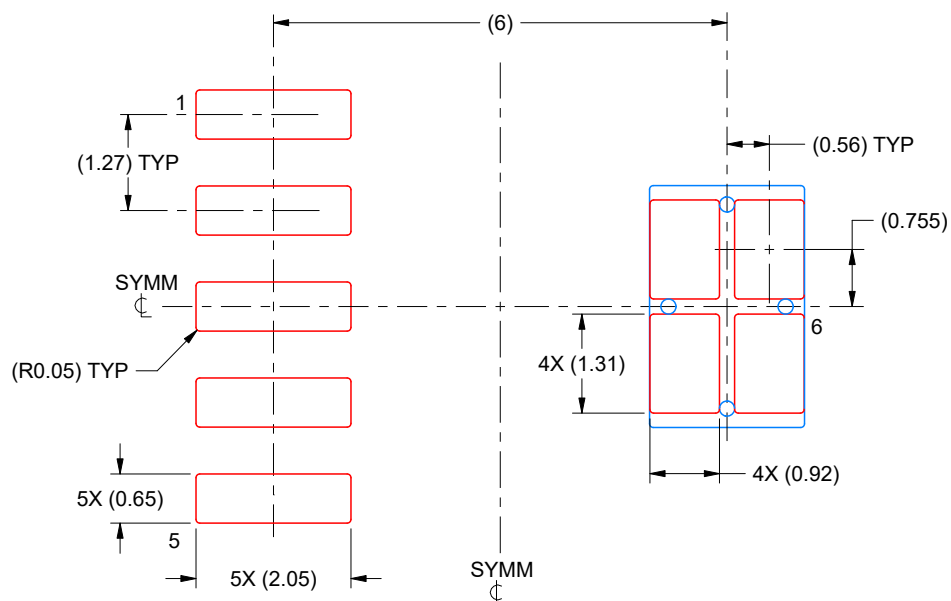
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

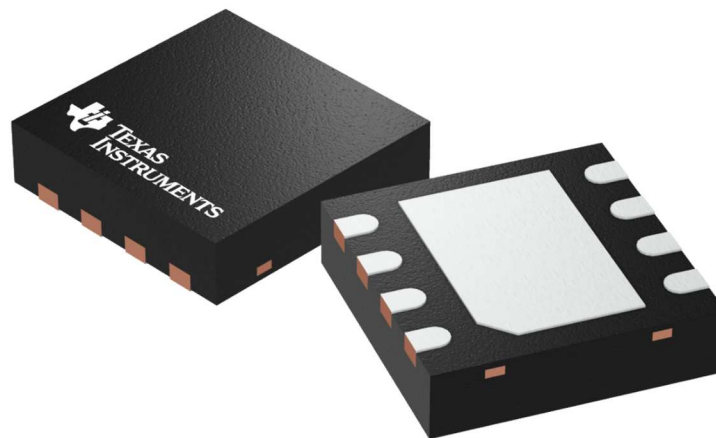
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DRB 8

GENERIC PACKAGE VIEW

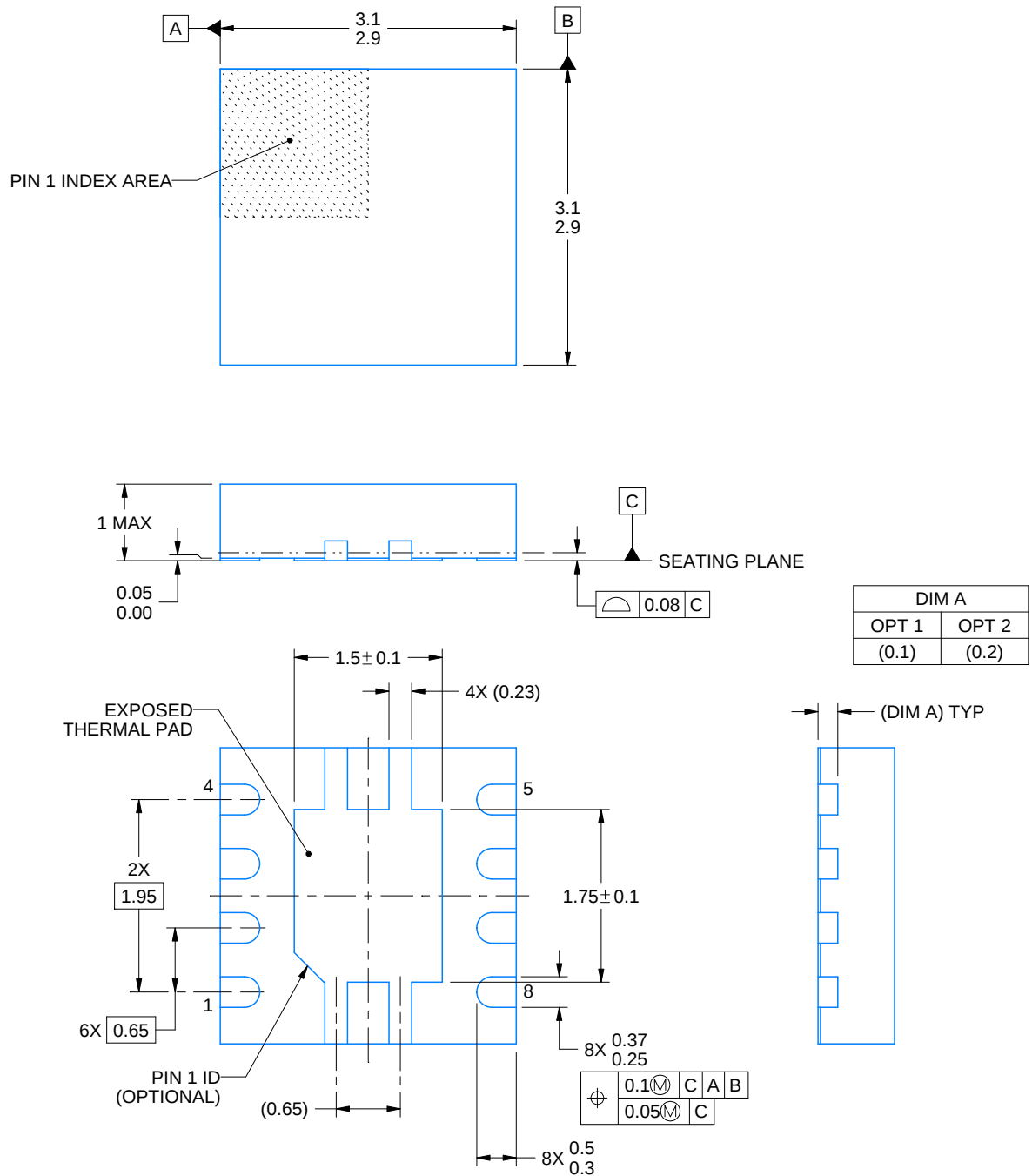
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L



4218875/A 01/2018

NOTES:

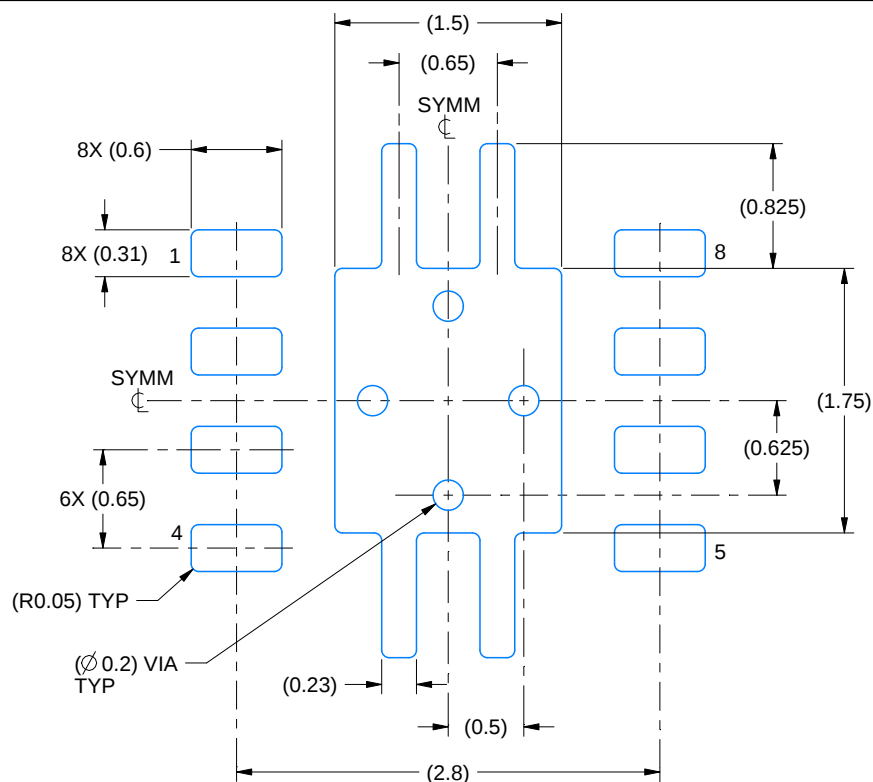
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

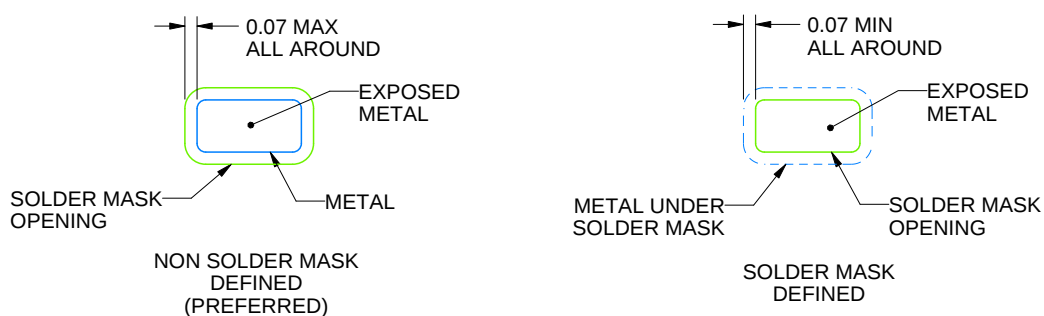
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

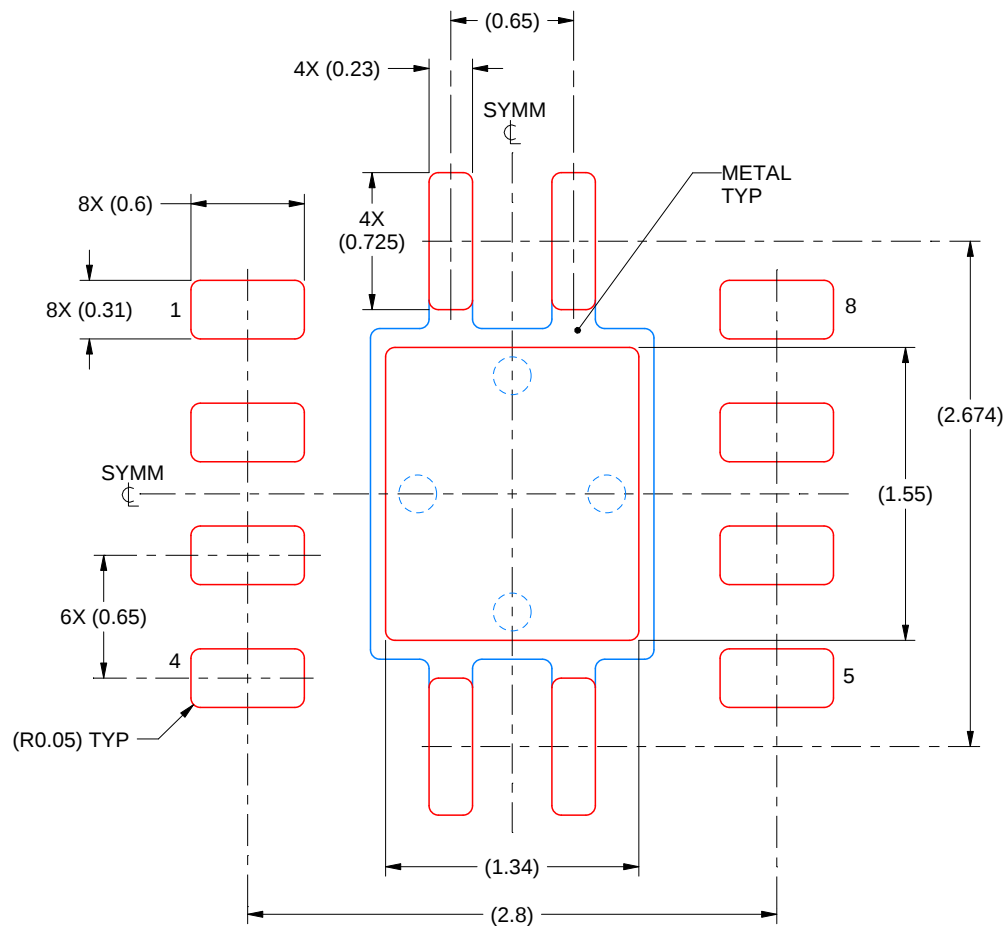
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司