

TPS736-Q1 具有反向电流保护功能的汽车级无电容 NMOS 400mA 低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C，T_A
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 不借助输出电容器或者任何电容值或类型的电容器即可实现稳定
- 输入电压范围：1.7V 至 5.5V
- 超低压降电压：75mV（典型值）
- 无论是否使用可选输出电容器，均可实现出色的负载瞬态响应
- 全新的 NMOS 拓扑结构可提供低反向漏电流
- 低噪声：30 μ V_{RMS} 典型值（10Hz 至 100kHz）
- 初始精度：0.5%
- 整个线路、负载和温度范围内的精度达 1%
- 关断模式下 I_Q 最大值小于 1 μ A
- 热关断和指定最小和最大电流限制保护
- 提供了多个输出电压版本：
 - 固定输出：1.2V 至 3.3V
 - 可调输出：1.2V 至 5.5V

2 应用

- 信息娱乐系统与仪表组
- ADAS
- 车身电子装置和照明

3 说明

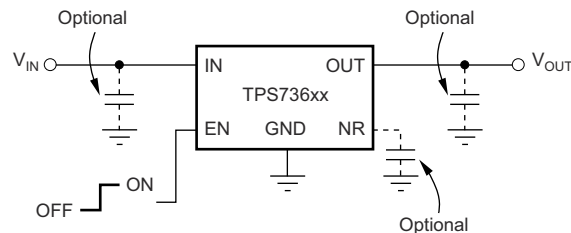
TPS736-Q1 低压降 (LDO) 线性稳压器采用 NMOS 拓扑结构，该拓扑结构在电压跟随器配置中使用 NMOS 导通晶体管。这个拓扑结构在使用具有低等效串联电阻 (ESR) 的输出电容器时保持稳定，甚至可实现无电容器运行。此拓扑结构还提供高反向阻断（低反向电流）和接地引脚电流，该电流在所有输出电流上几乎保持恒定。

TPS736-Q1 利用先进的 BiCMOS 工艺实现高精度，同时提供超低压降电压和低接地引脚电流。未启用时，电流消耗低于 1 μ A，非常适合便携式应用。极低的输出噪声（0.1 μ F C_{NR} 时为 30 μ V_{RMS}）使得此器件非常适合为 VCO 供电。该器件受到热关断和折返电流限制的保护。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS736-Q1	DBV (SOT-23, 5)	2.9mm × 2.8mm
	DCQ (SOT-223, 6)	6.5mm × 7.06mm

- (1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用



内容

1 特性	1	6.4 器件功能模式	17
2 应用	1	7 应用和实施	18
3 说明	1	7.1 应用信息.....	18
4 引脚配置和功能	3	7.2 典型应用.....	18
5 规格	4	7.3 电源相关建议.....	21
5.1 绝对最大额定值.....	4	7.4 布局.....	21
5.2 ESD 等级.....	4	8 器件和文档支持	24
5.3 建议运行条件.....	4	8.1 器件支持.....	24
5.4 热性能信息.....	4	8.2 接收文档更新通知.....	24
5.5 电气特性.....	5	8.3 支持资源.....	24
5.6 典型特性.....	6	8.4 商标.....	24
6 详细说明	15	8.5 静电放电警告.....	24
6.1 概述.....	15	8.6 术语表.....	24
6.2 功能方框图.....	15	9 修订历史记录	24
6.3 特性说明.....	16	10 机械、封装和可订购信息	25

4 引脚配置和功能

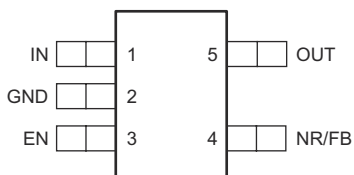


图 4-1. DBV 封装，5 引脚 SOT-23（顶视图）

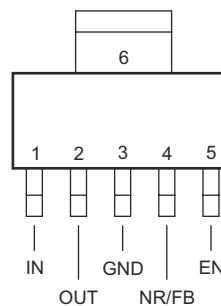


图 4-2. DCQ 封装，6 引脚 SOT-223（顶视图）

表 4-1. 引脚功能

引脚			I/O	说明
名称	编号			
	SOT-23	SOT-223		
EN	3	5	I	驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。更多信息请参阅 使能引脚和关断 部分。如未使用，EN 可被连接至 IN。
FB	4	4	I	FB 引脚只适用于可调电压版本 — 这是到控制环路误差放大器的输入，并且用于设定器件的输出电压。
GND	2	3、6	—	接地
IN	1	1	I	输入电源
NR	4	4	—	NR 引脚只适用于固定电压版本 — 将一个外部电容器连接到这个引脚来绕开内部带隙生成的噪声，同时减少到极低电平的输出噪声。
OUT	5	2	O	稳压器的输出。无需外部电容器实现此稳定性。

5 规格

5.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	输入, V_{IN}	-0.3	6	V
	使能, V_{EN}	-0.3	6	
	输出, V_{OUT}	-0.3	5.5	
	V_{NR} 、 V_{FB}	-0.3	6	
电流	最大输出, I_{OUT}	受内部限制		
输出短路持续时间		未确定		
持续总功率耗散	P_{DISS}	请参阅热性能信息		
温度	工作结温, T_J	-40	150	°C
	工作环境温度, T_A	-40	125	
	贮存温度, T_{stg}	-65	150	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件能够在该等条件下或在任何超出建议运行条件的其他条件下正常运行。如果在建议运行条件以外,但在绝对最大额定值范围以内使用,器件可能无法完全正常运行,这可能会影响器件的可靠性、功能与性能,并且可能缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	1.7		5.5	V
V_{OUT}	输出电压	0		5.5	V
I_{OUT}	输出电流	0		400	mA

5.4 热性能信息

热指标 ⁽¹⁾		TPS736-Q1 新器件	TPS736-Q1 新器件	TPS736-Q1 传统器件	单位
		DCQ (SOT-223)	DBV (SOT-23)	DBV (SOT-23)	
		6 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	76	185.2	221.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	46.6	82.9	74.9	°C/W
$R_{\theta JB}$	结至电路板热阻	18.1	53.1	51.9	°C/W
ψ_{JT}	结至顶部特征参数	8.6	21.1	2.8	°C/W
ψ_{JB}	结至电路板特征参数	17.6	52.7	51.1	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在工作温度范围 ($T_J = -40^{\circ}\text{C}$ 至 125°C)、 $V_{IN} = V_{OUT(nom)} + 0.5V^{(1)}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7V$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)。典型值为 $T_J = 25^{\circ}\text{C}$ 条件下的值。

参数		测试条件		最小值	典型值	最大值	单位
V_{IN}	输入电压范围 ^{(1) (2)}			1.7		5.5	V
V_{FB}	内部基准 (TPS73601)	$T_J = 25^{\circ}\text{C}$		1.198	1.204	1.210	V
V_{OUT}	输出电压范围 (TPS73601) ⁽³⁾			V_{FB}		5.5 - V_{DO}	V
	准确度 ^{(1) (4)}	标称值	$T_J = 25^{\circ}\text{C}$	-0.5		0.5	%
		在 V_{IN} 、 I_{OUT} 且 T 条件下		-1	± 0.5	1	
$\Delta V_{OUT(\Delta V_{IN})}$	线性调整率 ⁽¹⁾	$V_{OUT(nom)} + 0.5V \leq V_{IN} \leq 5.5V$			0.01		%/V
$\Delta V_{OUT(\Delta I_{OUT})}$	负载调整率	$1\text{mA} \leq I_{OUT} \leq 400\text{mA}$			0.002		%/mA
		$10\text{mA} \leq I_{OUT} \leq 400\text{mA}$			0.0005		
V_{DO}	压降电压 ⁽⁵⁾ ($V_{IN} = V_{OUT(nom)} - 0.1V$)	$I_{OUT} = 400\text{mA}$			75	200	mV
$Z_{O(DO)}$	压降中的输出阻抗	$1.7V \leq V_{IN} \leq V_{OUT} + V_{DO}$			0.25		Ω
I_{CL}	输出电流限制	$V_{OUT} = 0.9 \times V_{OUT(nom)}$	传统器件	400	650	800	mA
		$3.6V \leq V_{IN} \leq 4.2V$, $0^{\circ}\text{C} \leq T_J \leq 70^{\circ}\text{C}$		500		800	
		$V_{OUT} = 0.9 \times V_{OUT(nom)}$	新器件	500		800	
I_{SC}	短路电流	$V_{OUT} = 0V$			450		mA
I_{REV}	反向漏电流 ⁽⁶⁾ ($-I_{IN}$)	$V_{EN} \leq 0.5V$, $0V \leq V_{IN} \leq V_{OUT}$			0.1	10	μA
I_{GND}	接地引脚电流	$I_{OUT} = 10\text{mA}$ (I_Q)			400	550	μA
I_{GND}	接地引脚电流	$I_{OUT} = 400\text{mA}$			800	1000	μA
I_{SHDN}	关断电流 (I_{GND})	$V_{EN} \leq 0.5V$, $V_{OUT} \leq V_{IN} \leq 5.5V$, $-40^{\circ}\text{C} \leq T_J \leq 100^{\circ}\text{C}$, 传统器件			0.02	1.3	μA
I_{SHDN}	关断电流 (I_{GND})	$V_{EN} \leq 0.5V$, $V_{OUT} \leq V_{IN} \leq 5.5V$, 新器件			0.02	1	μA
I_{FB}	反馈引脚电流 (TPS73601)				0.1	0.45	μA
PSRR	电源抑制比 (纹波抑制)	$f = 100\text{Hz}$, $I_{OUT} = 400\text{mA}$			58		dB
		$f = 10\text{kHz}$, $I_{OUT} = 400\text{mA}$			37		
V_N	输出噪声电压, BW = 10Hz 至 100kHz	$C_{OUT} = 10\mu\text{F}$, 无 C_{NR}			27 x V_{OUT}		μV_{RMS}
		$C_{OUT} = 10\mu\text{F}$, $C_{NR} = 0.01\mu\text{F}$			8.5 x V_{OUT}		
t_{STR}	启动时间	$V_{OUT} = 3V$, $R_L = 30\Omega$, $C_{OUT} = 1\mu\text{F}$			600		μs
$V_{EN(high)}$	EN 引脚高电平 (已使能)			1.7		V_{IN}	V
$V_{EN(low)}$	EN 引脚低电平 (关断)			0		0.5	V
$I_{EN(high)}$	使能引脚电流 (已使能)	$V_{EN} = 5.5V$			0.02	0.1	μA
T_{SD}	热关断温度	关断, 温度升高			160		$^{\circ}\text{C}$
		复位, 温度降低			140		

- (1) 最小 $V_{IN} = V_{OUT} + V_{DO}$ 或者 $1.7V$, 以较大者为准。
- (2) 对于 $V_{OUT(nom)} < 1.6V$, 当 $V_{IN} \leq 1.6V$ 时, 输出锁定到 V_{IN} 并可能导致输出上出现破坏性过压情况。为避免这种情况, 请先禁用器件, 然后再将 V_{IN} 关断。(仅限传统器件)
- (3) TPS73601-Q1 在 $V_{OUT} = 2.5V$ 条件下进行测试。
- (4) 外部电阻器的耐受电压不包括在这个技术规范中。
- (5) 针对输出版本, 不在 $V_{OUT(nom)} < 1.8V$ 时测量 V_{DO} , 这是因为最小 $V_{IN} = 1.7V$ 。
- (6) 只适用于固定电压版本; 更多信息请参考应用信息部分。

5.6 典型特性

适用于所有电压版本，在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\ \mu\text{F}$ 条件下（除非另有说明）

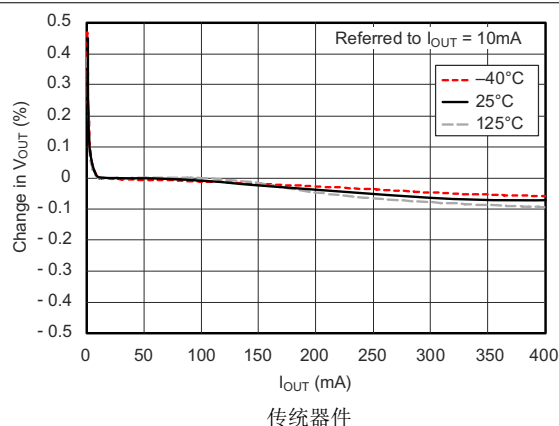


图 5-1. 负载调整率

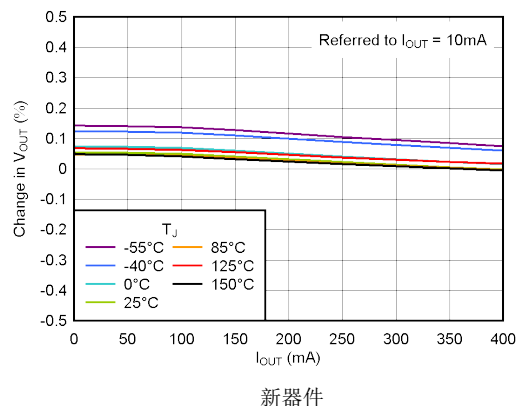


图 5-2. 负载调整率

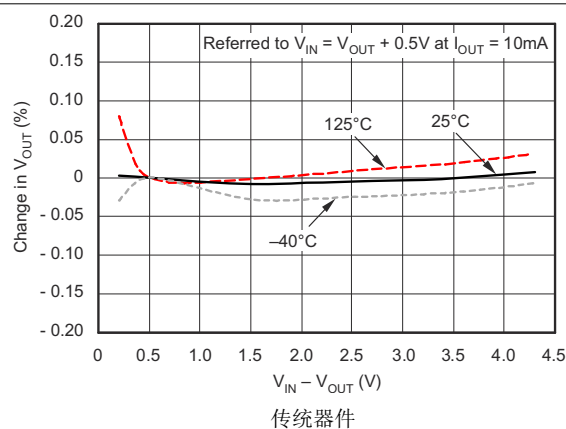


图 5-3. 线性调整率

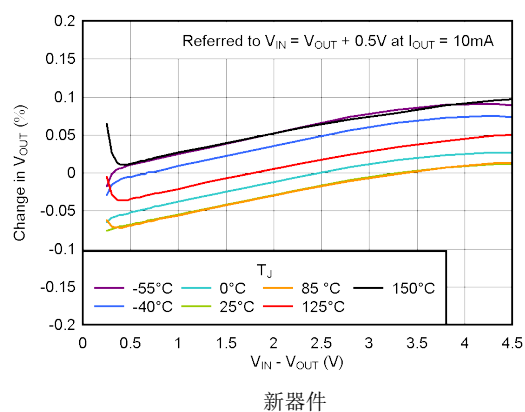


图 5-4. 线性调整率

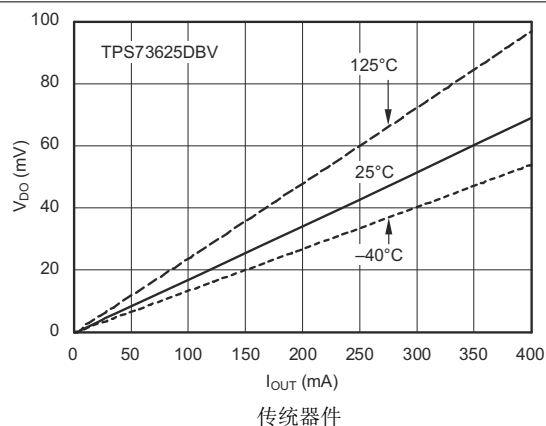


图 5-5. 压降电压与输出电流间的关系

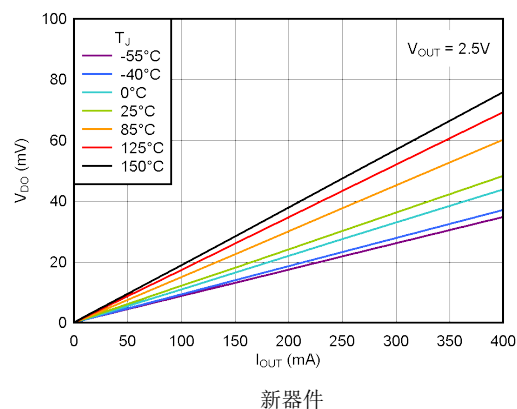


图 5-6. 压降电压与输出电流间的关系

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

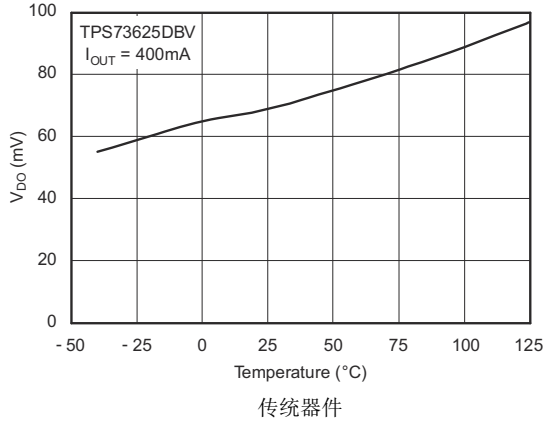


图 5-7. 压降电压与温度间的关系

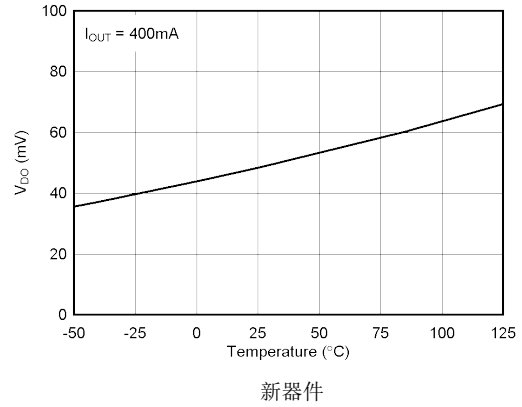


图 5-8. 压降电压与温度间的关系

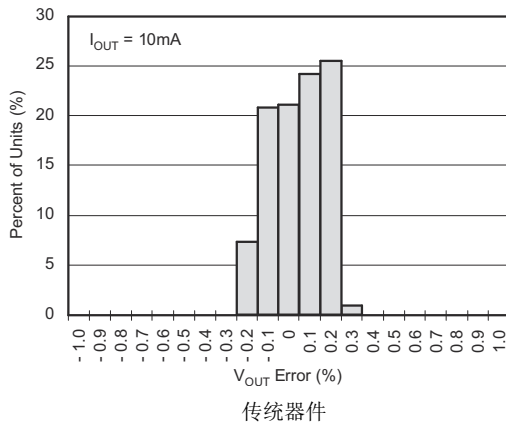


图 5-9. 输出电压精度柱状图

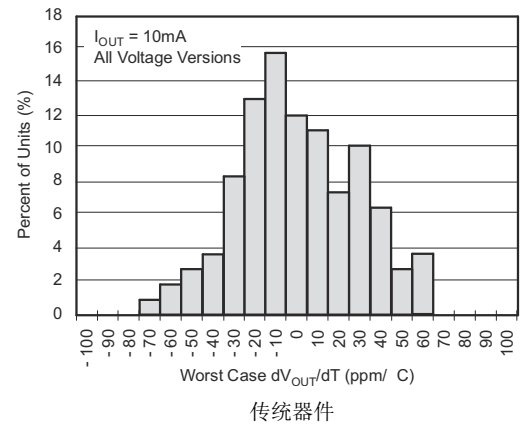


图 5-10. 输出电压漂移柱状图

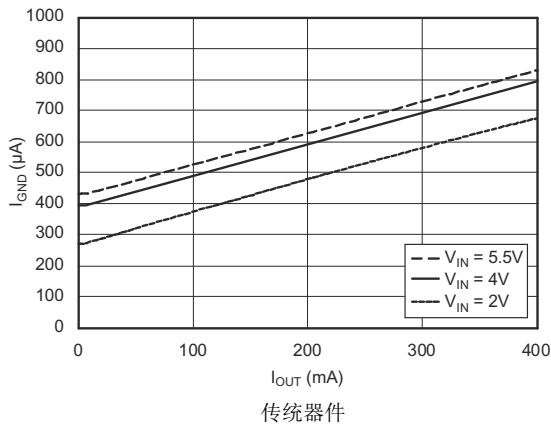


图 5-11. 接地引脚电流与输出电流间的关系

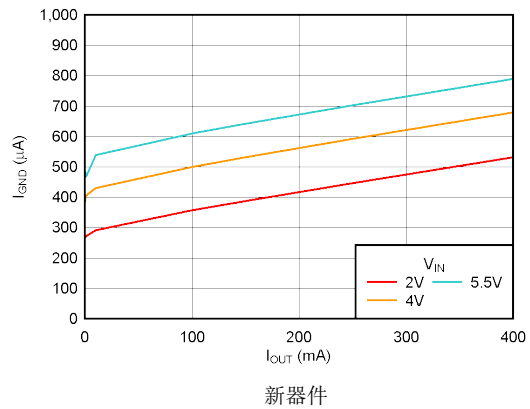


图 5-12. 接地引脚电流与输出电流间的关系

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

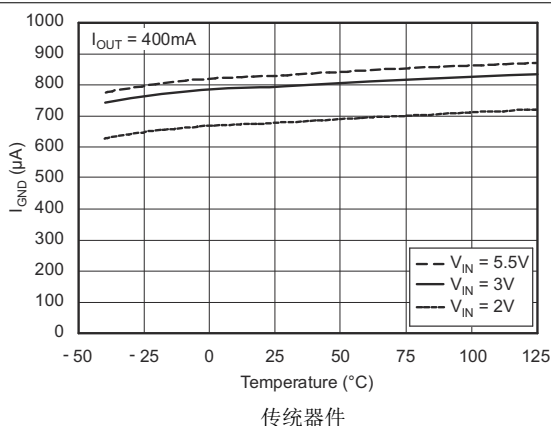


图 5-13. 接地引脚电流与温度间的关系

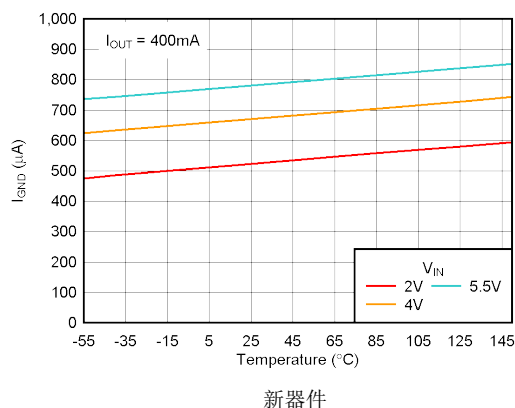


图 5-14. 接地引脚电流与温度间的关系

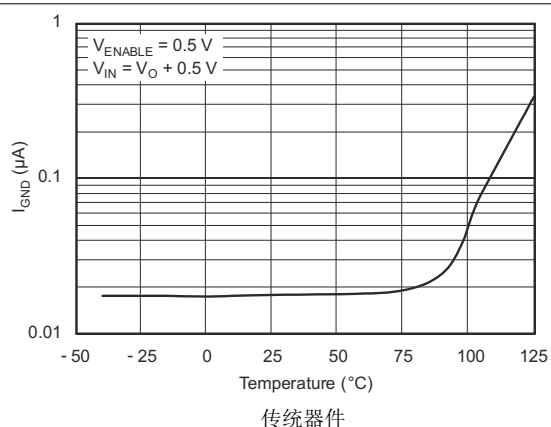


图 5-15. 关断时的接地引脚电流与温度间的关系

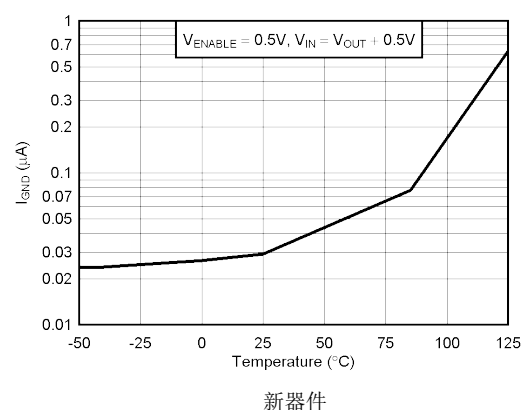
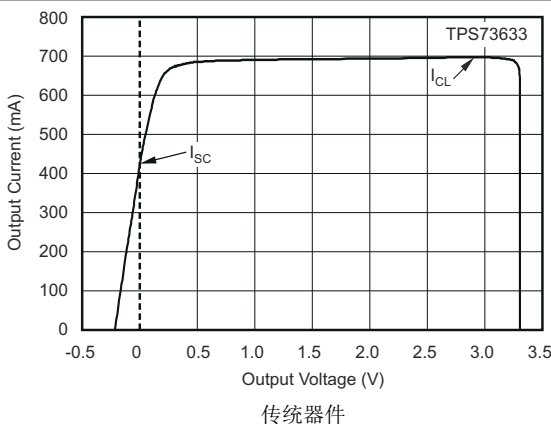
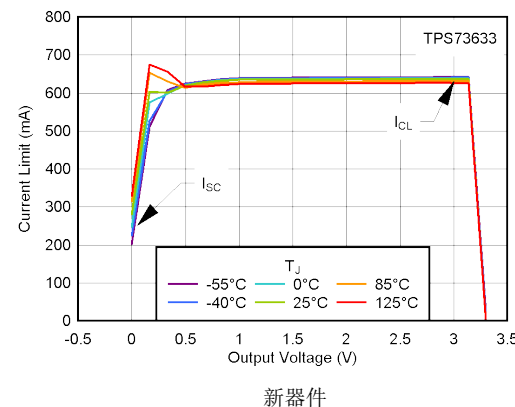


图 5-16. 关断时的接地引脚电流与温度间的关系

图 5-17. 电流限值与 V_{OUT} (折返) 间的关系图 5-18. 电流限值与 V_{OUT} (折返) 间的关系

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

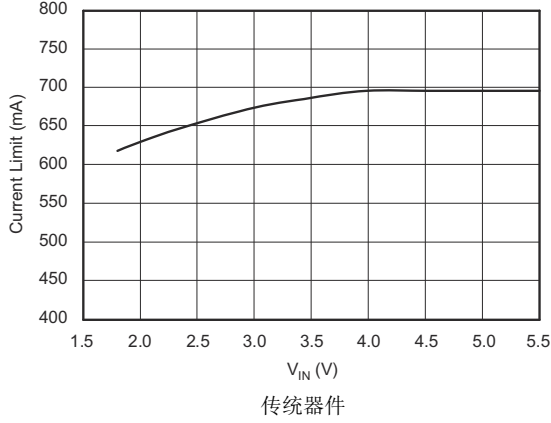


图 5-19. 电流限值与 V_{IN} 间的关系

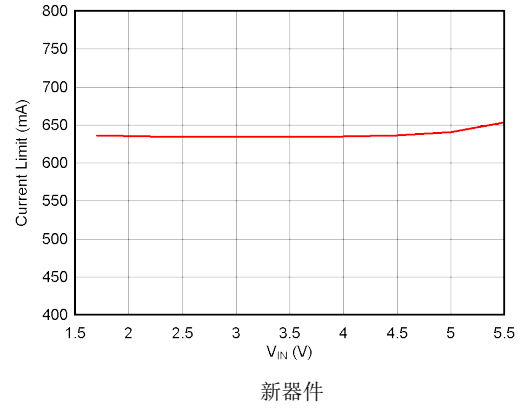


图 5-20. 电流限值与 V_{IN} 间的关系

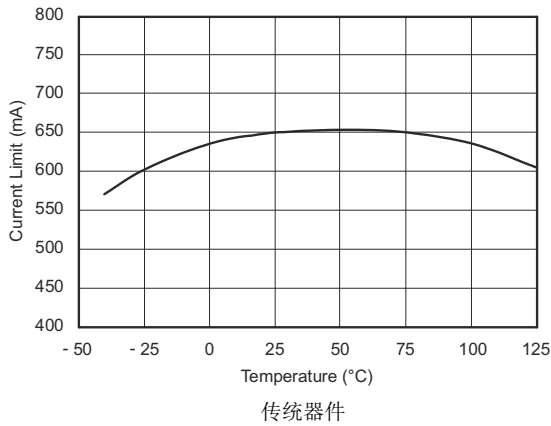


图 5-21. 电流限制与温度间的关系

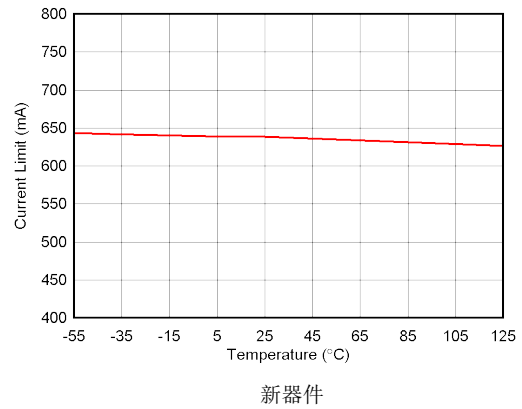


图 5-22. 电流限制与温度间的关系

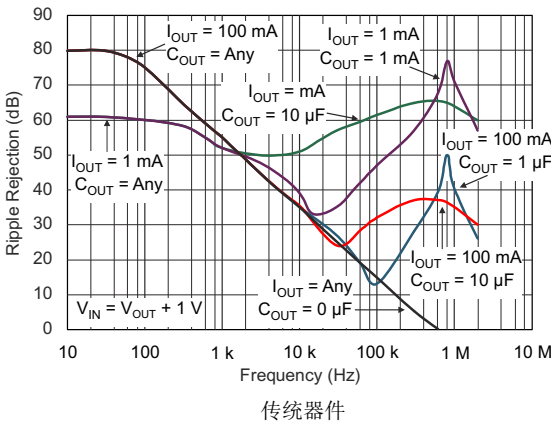


图 5-23. PSRR (纹波抑制) 与频率间的关系

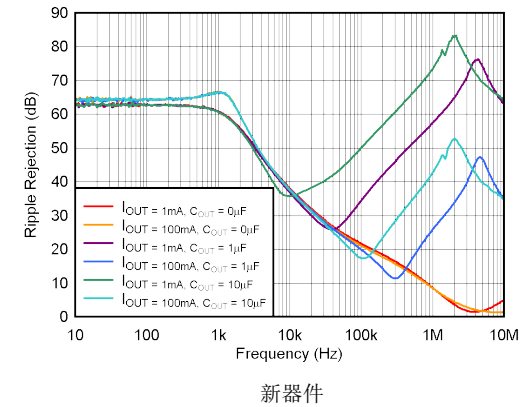


图 5-24. PSRR (纹波抑制) 与频率间的关系

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

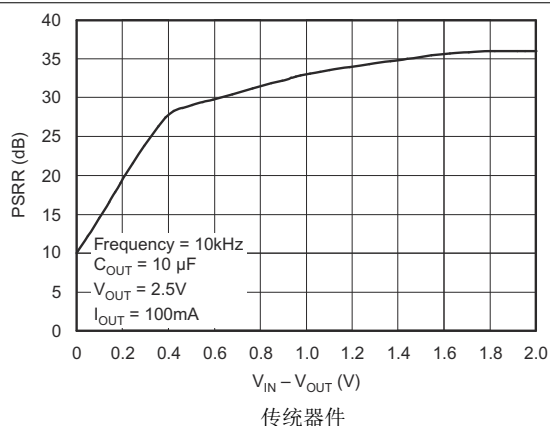


图 5-25. PSRR (纹波抑制) 与 $V_{IN} - V_{OUT}$ 间的关系

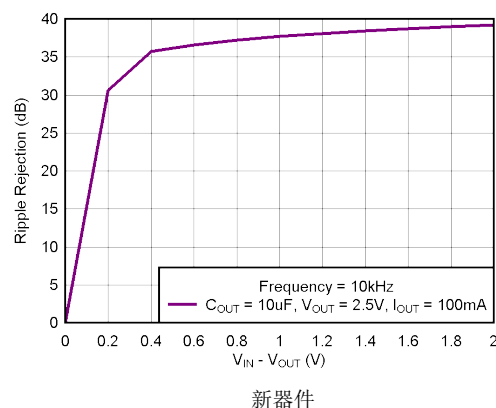


图 5-26. PSRR (纹波抑制) 与 $(V_{IN} - V_{OUT})$ 间的关系

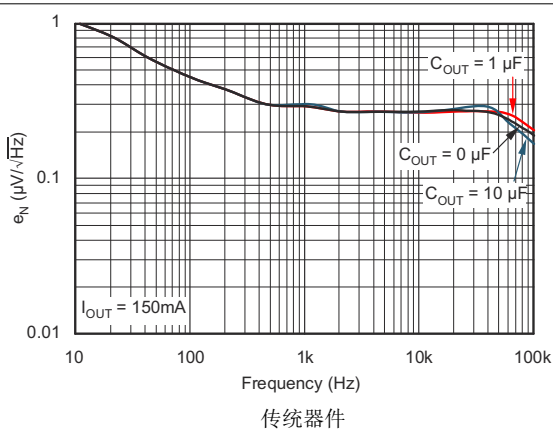


图 5-27. 噪声频谱密度 ($C_{NR} = 0\mu\text{F}$)

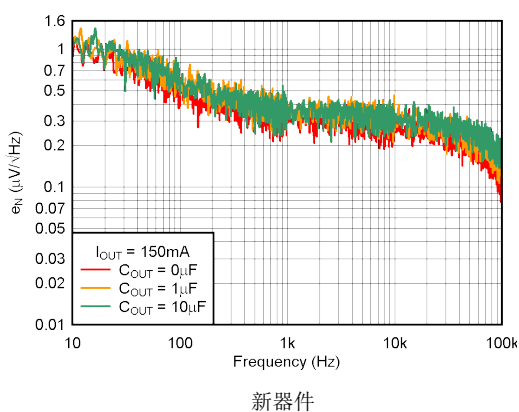


图 5-28. 噪声谱密度 $C_{NR} = 0\mu\text{F}$

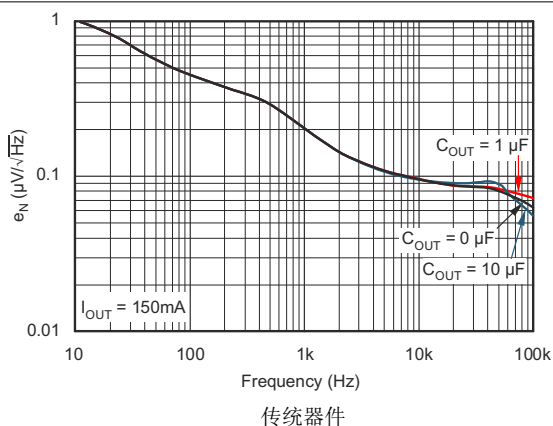


图 5-29. 噪声频谱密度 ($C_{NR} = 0.01\mu\text{F}$)

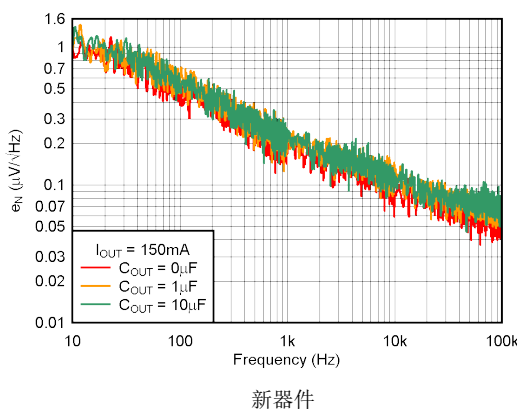


图 5-30. 噪声谱密度 $C_{NR} = 0.01\mu\text{F}$

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

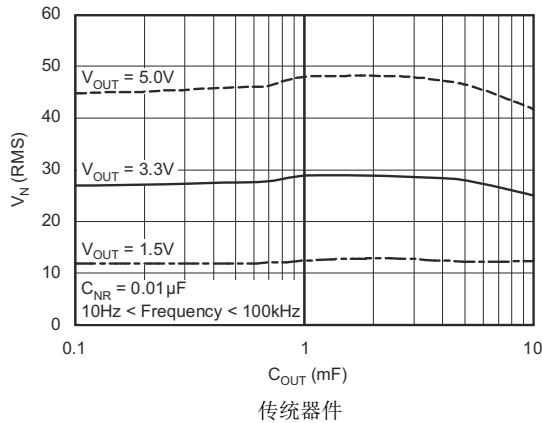


图 5-31. RMS 噪声电压与 C_{OUT} 间的关系

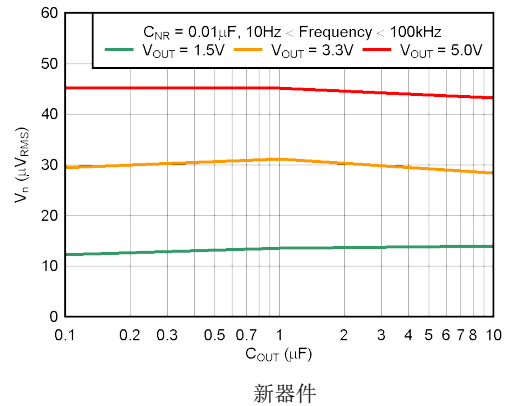


图 5-32. RMS 噪声电压与 C_{OUT} 间的关系

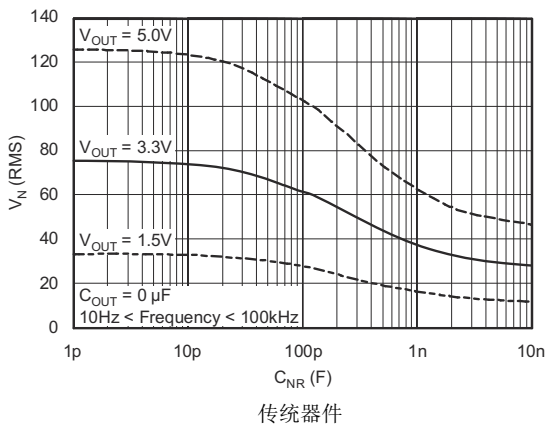


图 5-33. RMS 噪声电压与 C_{NR} 间的关系

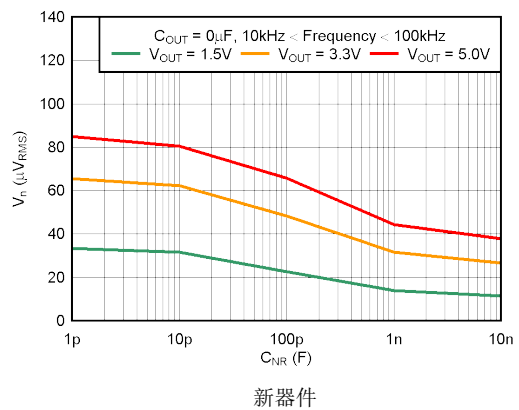


图 5-34. RMS 噪声电压与 C_{NR} 间的关系

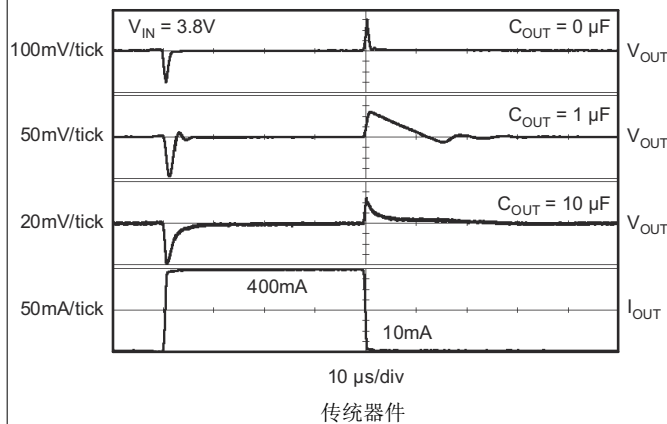


图 5-35. TPS73633 负载瞬态响应

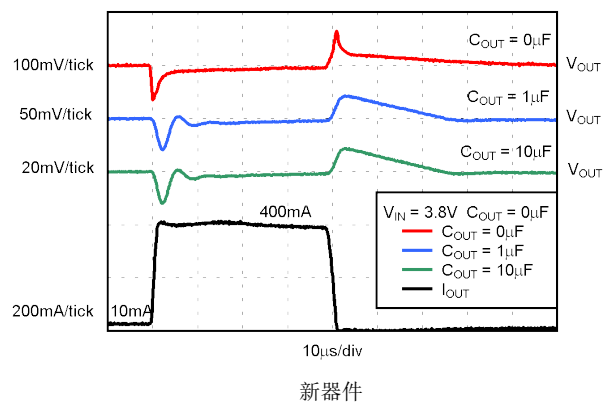


图 5-36. TPS73633 负载瞬态响应

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

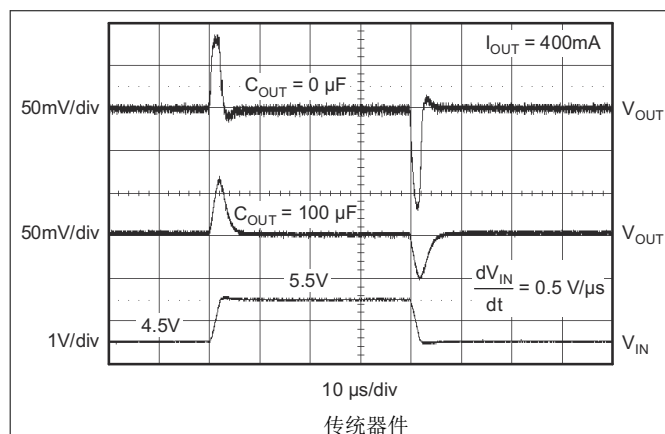


图 5-37. TPS73633 线路瞬态响应

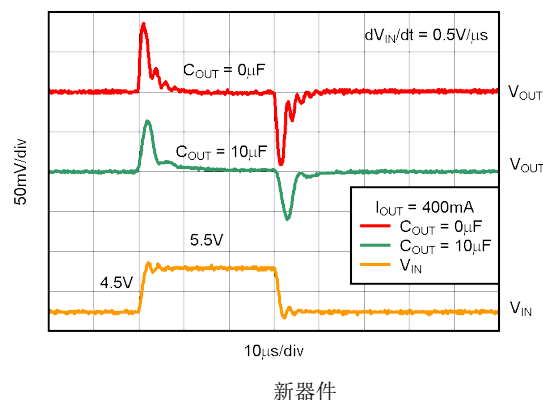


图 5-38. TPS73633 线路瞬态响应

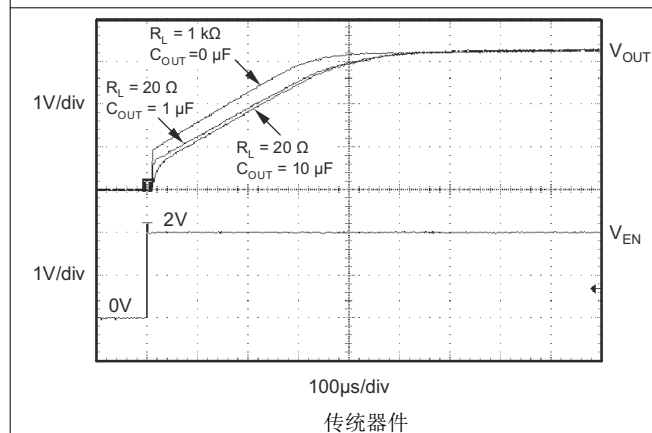


图 5-39. TPS73633 导通响应

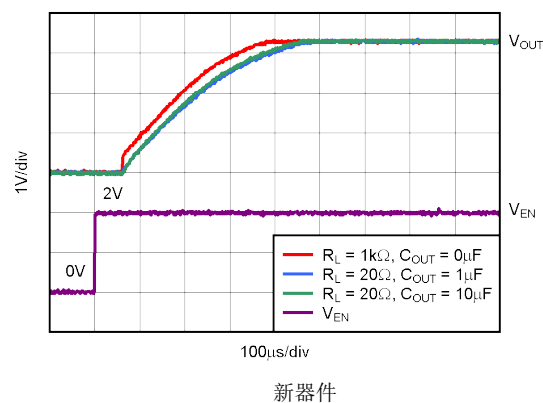


图 5-40. TPS73633 导通响应

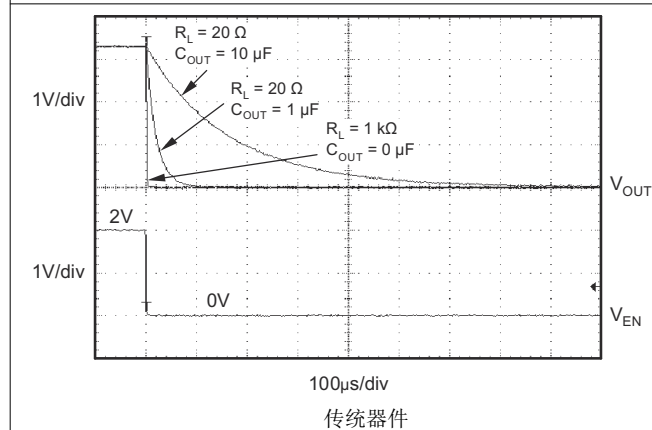


图 5-41. TPS73633 关断响应

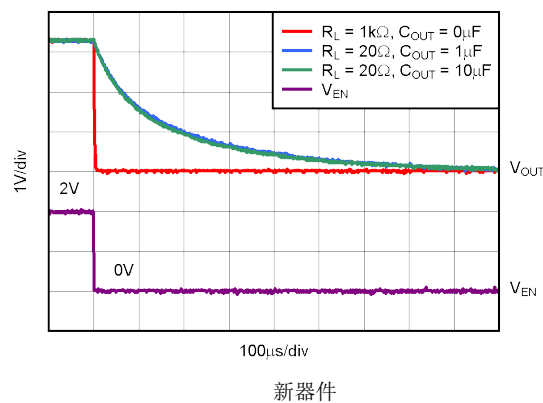


图 5-42. TPS73633 关断响应

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

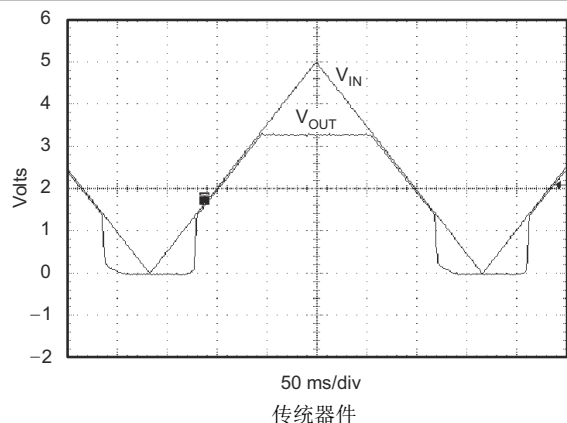


图 5-43. TPS73633 上电和断电

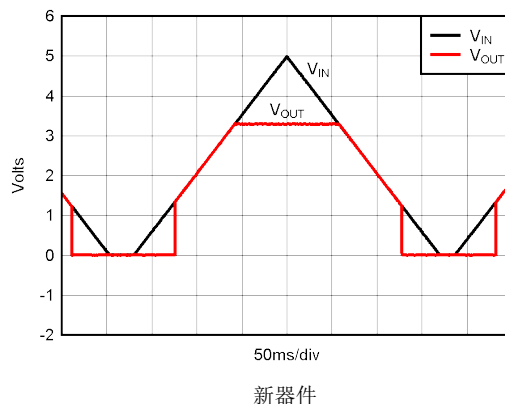


图 5-44. TPS73633 上电和断电

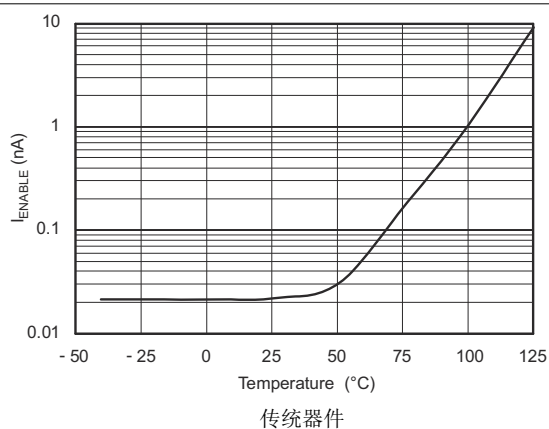


图 5-45. I_{ENABLE} 与温度间的关系

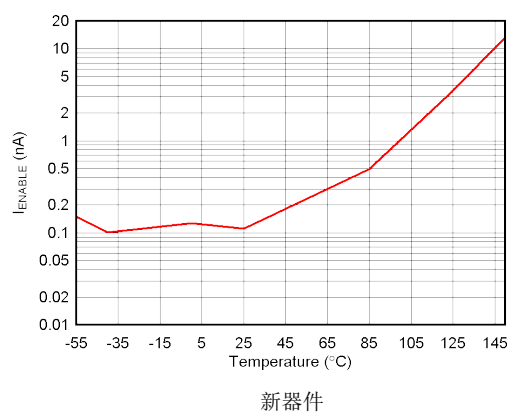


图 5-46. I_{ENABLE} 与温度间的关系

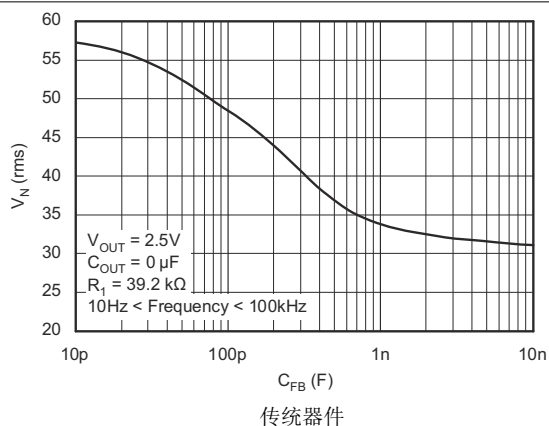


图 5-47. TPS73601 RMS 噪声电压与 C_{FB} 间的关系

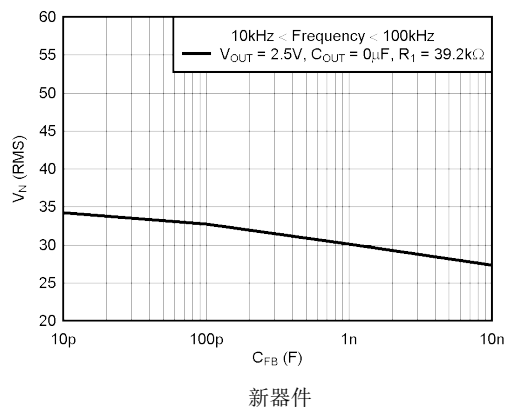


图 5-48. TPS73601 RMS 噪声电压与 C_{FB} 间的关系

5.6 典型特性 (续)

适用于所有电压版本, 在 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 且 $C_{OUT} = 0.1\mu\text{F}$ 条件下 (除非另有说明)

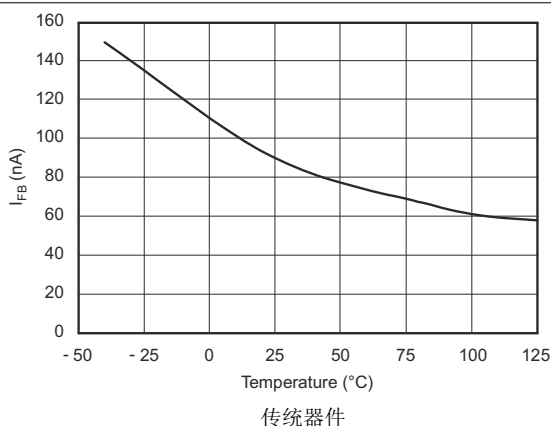


图 5-49. TPS73601 I_{FB} 与温度间的关系

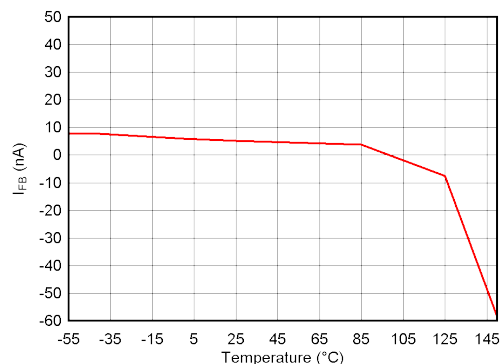


图 5-50. TPS73601 I_{FB} 与温度间的关系

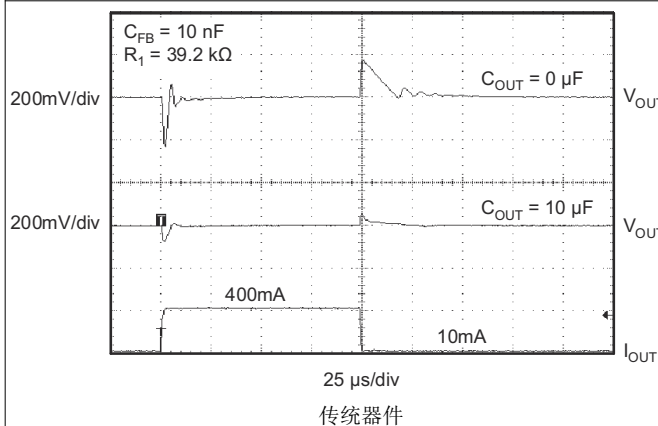


图 5-51. TPS73601 负载瞬态, 可调节版本

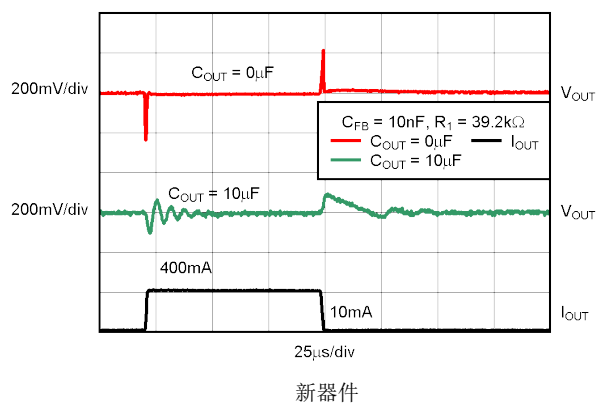


图 5-52. TPS73601 负载瞬态, 可调节版本

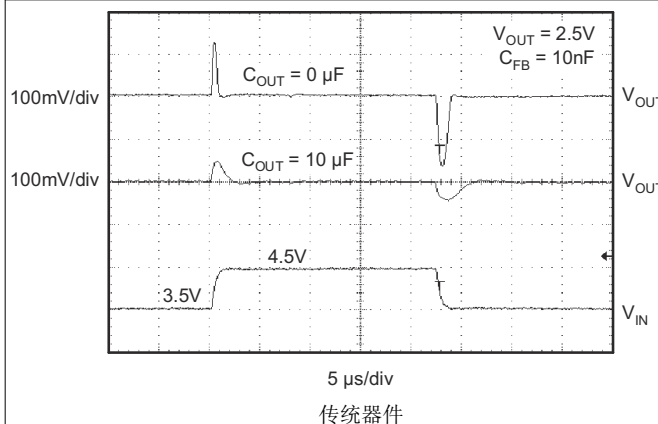


图 5-53. TPS73601 线路瞬态, 可调节版本

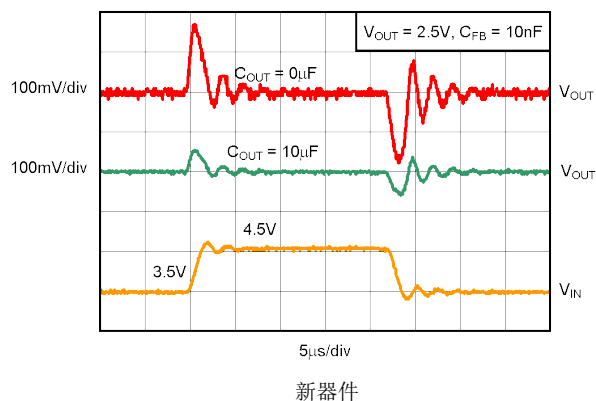


图 5-54. TPS73601 线路瞬态, 可调节版本

6 详细说明

6.1 概述

TPS736xx-Q1 属于全新一代 LDO 稳压器系列产品，此系列使用一个 NMOS 导通晶体管来实现超低压降性能、反向电流阻断，以及不受输出电容器的限制。这些特性与低噪声和一个使能输入相结合，使得 TPS736xx-Q1 非常适合便携式应用。这个稳压器系列提供固定输出电压版本和一个可调输出版本的宽范围选择。所有版本都具有过热以及过流保护，其中包括折返电流限制。

6.2 功能方框图

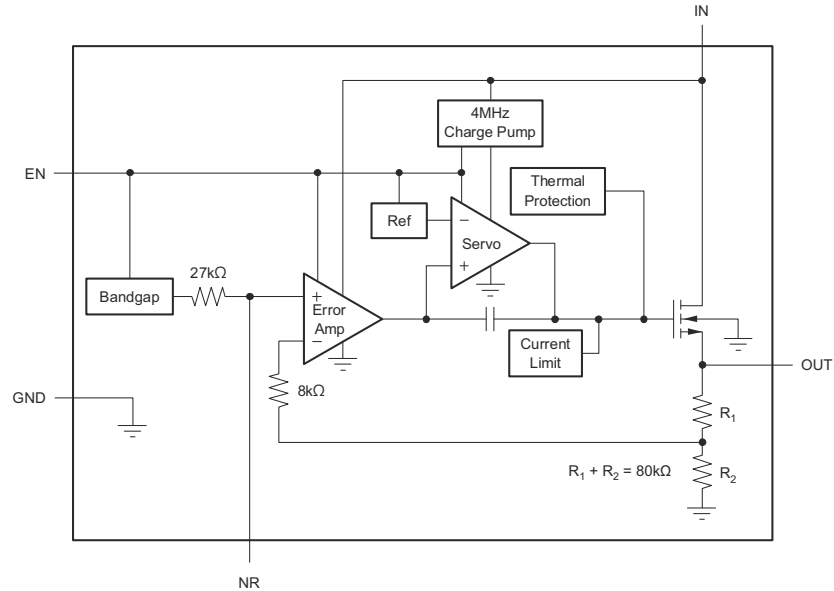
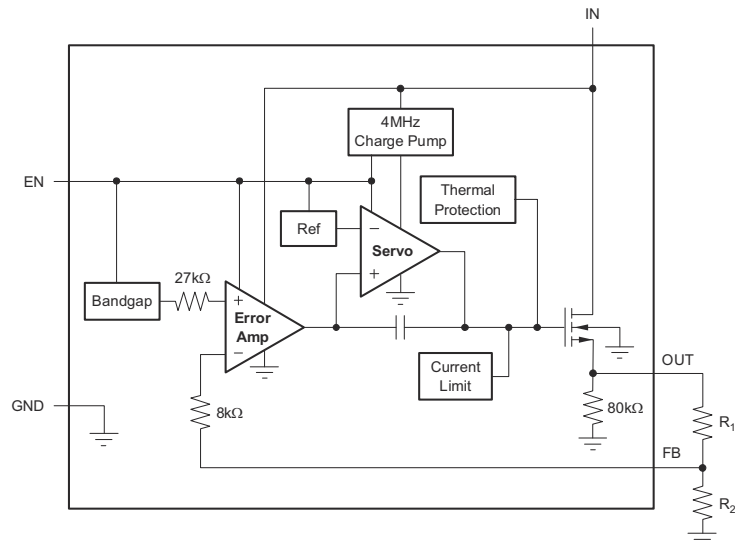


图 6-1. 固定电压版本



请参阅表 6-1 了解标准电阻值。

图 6-2. 可调电压版本

表 6-1. 针对常用输出电压的标准 1% 电阻值

$V_{OUT}^{(1)}$	R_1	R_2
1.2V	短路	开路
1.5V	23.2k Ω	95.3k Ω
1.8V	28k Ω	56.2k Ω
2.5V	39.2k Ω	36.5k Ω
2.8V	44.2k Ω	33.2k Ω
3V	46.4k Ω	30.9k Ω
3.3V	52.3k Ω	30.1k Ω

(1) 为了获得最佳精度, $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$; $R_1 \parallel R_2 \cong 19k \Omega$ 。

6.3 特性说明

6.3.1 内部电流限制

TPS736xx-Q1 内部电流限制有助于在故障情况下对稳压器进行保护。当 V_{OUT} 降低到低于 0.5V 时, 折返电流限制有助于在输出短路情况下保护稳压器免受损坏 (请参阅图 5-17)。大约 -0.2V 的 V_{OUT} 会导致 0mA 的电流限值。因此, 如果在 EN 变为高电平前, OUT 被强制低于 -0.2V, 器件也许无法启动。在使用一个正电源和负电源的应用中, TPS736xx-Q1 必须被首先启用。

6.3.2 瞬态响应

由一个电压跟随器配置中的 NMOS 导通元件提供的低开环路输出阻抗可实现很多无输出电容器的运行。当与任一稳压器一同工作时, 一个从 OUT 引脚到接地间增加的电容器 (标称值 1 μF) 将减少下冲幅度但是会增加其持续时间。在可调版本中, 在 OUT 引脚到 FB 引脚间增加的电容器 C_{FB} 也会提升瞬态响应性能。

当输出过压时, TPS736xx-Q1 不具有有源下拉。该功能使得应用能够将诸如替代电源的更高电压源连接至输出。当一个电容器被连接至输出上时, 如果负载电流快速下降至零, 该功能也将导致一个几个百分点的输出过冲。通过增加一个负载电阻器可减少过冲的持续时间。过冲衰减速率由输出电容器 C_{OUT} 和内部及外部负载电阻值确定。衰减速率由方程式 1 或方程式 2 给出, 具体取决于版本。

Fixed voltage version

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 k\Omega \parallel R_{LOAD}} \quad (1)$$

Adjustable voltage version

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (2)$$

6.3.3 反向电流

TPS736xx-Q1 的 NMOS 导通元件提供固有保护, 可防止导通器件的栅极被拉至低电平时, 来自稳压器输出的电流流入输入。为了确保所有电荷从导通元件的栅极上移除, 在输入电压被移除前, EN 引脚必须被驱动至低电平。如果这没有被完成, 由于栅极上存储的电荷, 导通元件也许被保持在打开状态。

在 EN 引脚被驱动至低电平时, 在任一引脚上无需偏置电压即可实现反向电路阻断。反向电流被定义为由于施加到 OUT 引脚上的电压而从 IN 引脚中流出的电流。由于 80k Ω 内部电阻分压器接地, 将有一个额外的电流流入 OUT 引脚 (请见图 6-1 和图 6-2)。

对于 TPS73601, 当 V_{FB} 高于 V_{IN} 超过 1V 时, 可能会发生反向电流。

6.3.4 热保护

当结温上升至大约 160°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时，输出电路将被重新使能。根据功耗、热阻和环境温度的变化，过热保护电路可能会循环开关。过热保护会限制稳压器的功率耗散，从而保护其不受过热损坏。

任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实现可靠运行，结温必须被限制为最高 125°C 。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。为了实现更好的稳定性，过热保护应该在比您的应用的最大预计环境温度至少高 35°C 时触发。该应用条件在最高预计环境温度和最差情况负载上产生了一个 125°C 最差情况结温。

TPS736xx-Q1 内部保护电路经过设计，可防止出现过载情况。过热保护并不是为了取代适当的散热。TPS736xx-Q1 持续不断地运行至热关断状态会降低器件的可靠性。

6.4 器件功能模式

6.4.1 使能引脚和关断

使能引脚 (EN) 高电平有效并且与标准 TTL-CMOS 电平兼容。 V_{EN} 低于 0.5V (最大值) 会将稳压器关闭并将 GND 引脚的电流降至大约 10nA 。当 EN 用来关闭稳压器时，导通晶体管的栅极电荷会被完全清除。 V_{EN} 高于 1.7V (最小值) 会打开稳压器，并且输出会斜升至稳定的 V_{OUT} (请参阅图 5-39)。

当不需要关断功能时，EN 可连接至 V_{IN} 。然而，使用这个配置时，导通栅极也许不能被放电，并且导通晶体管也有可能在 V_{IN} 被移除之后相当长的一段时间内保持接通（增强）状态。这个情况会导致反向电流（如果 IN 引脚为低阻抗）并在加电时产生更快的斜坡时间。此外，对于 V_{IN} 斜坡时间长于几毫秒的情况，输出有可能在加电时过冲。

电流限制折返能够防止某些条件下的器件启动。有关更多信息，请参阅 [内部电流限制](#) 部分。

6.4.2 压降电压

TPS736xx-Q1 使用一个 NMOS 导通晶体管来实现极低压降。当 $(V_{\text{IN}} - V_{\text{OUT}})$ 低于压降电压 (V_{DO}) 时，NMOS 导通器件处于其运行的线性区域并且输入到输出电阻是 NMOS 导通元件的 $R_{\text{DS-ON}}$ 。

对于负载电流的较大阶跃变化，TPS736xx-Q1 要求一个从 V_{IN} 到 V_{OUT} 的更大压降以避免降低瞬态响应的性能。这个瞬变压降区域的边界大约为 DC 输出的两倍。在这个边界之上的 $V_{\text{IN}} - V_{\text{OUT}}$ 的值确保了正常瞬态响应。

在瞬态压降区域内运行会增加恢复时间。从一个负载瞬态中恢复所需的时间是负载电流速率变化幅度、负载电流的变化速率、和可用动态空间 (V_{IN} 至 V_{OUT} 压降) 的函数。在最差情况下 ($V_{\text{IN}} - V_{\text{OUT}}$) 的满量程瞬时负载变化接近 DC 压降水平)，TPS736xx-Q1 可在几百毫秒内返回特定的调节精度。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

使用图 7-6 中显示的公式，可计算任意输出电压对应的 R_1 和 R_2 。图 6-2 中展示了常用输出电压对应的示例电阻值。

为了获得最佳精度，应当使 R_1 和 R_2 的并联组合值约为 19kΩ。除了内部 8kΩ 电阻器，这个 19kΩ 的电阻值为误差放大器提供了与 27kΩ 带隙基准输出相同的阻抗。这个阻抗有助于补偿进入误差放大器端子的泄漏。

7.2 典型应用

7.2.1 针对固定电压版本的典型应用电路

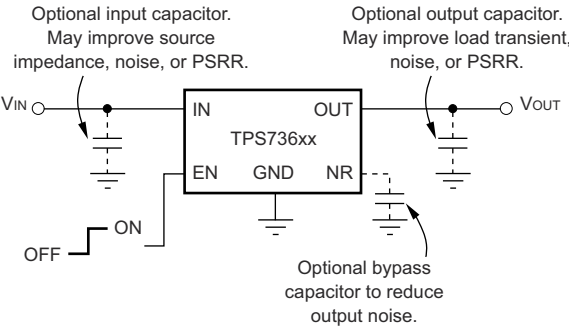


图 7-1. 针对固定电压版本的典型应用电路

7.2.1.1 设计要求

本设计示例使用表 7-1 中所列的参数作为输入参数。

表 7-1. 设计参数 (固定电压版本)

参数	示例值
输入电压	5V , ±3%
输出电压	3.3V , ±1%
输出电流	400mA (最大值) 、 20mA (最小值)
RMS 噪声, 10Hz 至 100kHz	< 30 μV _{RMS}
环境温度	55°C (最大值)

7.2.1.2 详细设计过程

7.2.1.2.1 输入和输出电容器要求

虽然无需输入电容器即可实现稳定，将一个 0.1 μF 至 1 μF 低 ESR 电容器连接到稳压器附近的输入电源上却是一个好的模拟设计原则。该输入电容器可抵消电抗性输入源，并改善瞬态响应、噪声抑制和纹波抑制性能。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离电源几英寸远的话，有可能需要一个更大电容值的电容器。

TPS736xx-Q1 无需输出电容器即可实现稳定并具有无电容器的最大相位裕量。该稳压器设计用于与所有可用类型和电容值的电容器一起工作时保持稳定。在多个低 ESR 电容器并联的应用中，当 C_{OUT} 的产品和总 ESR 下降低于 50nF·Ω 时，有可能发生振铃。总 ESR 包括全部寄生电阻，其中有电容器 ESR 和电路板、插槽、和焊点结合处电阻。在大多数应用中，电容器 ESR 和走线电阻值的总和满足这一要求。

7.2.1.2.2 输出噪声

一个精准带隙基准用于生成内部基准电压 V_{REF} 。这个基准是 TPS736xx-Q1 内的主要噪声源并且在基准输出 (NR) 上产生大约 $32 \mu V_{RMS}$ (10Hz 至 100kHz)。稳压器控制环路对基准噪声的增益补偿与对基准电压的增益补偿一致，这样稳压器的噪声电压可通过 [方程式 3](#) 大约确定。

$$V_N = 32 \mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32 \mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (3)$$

由于 V_{REF} 的值为 1.2V，这个相互关系简化至 [方程式 4](#)

$$V_N(\mu V_{RMS}) = 27 \left(\frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (4)$$

(对于没有 C_{NR} 的情况)。

当一个外部降噪电容器 C_{NR} 被从 NR 接至接地时，一个与降噪引脚 (NR) 串联的内部 $27k\Omega$ 电阻器为电压基准形成一个低导通滤波器。因为 $C_{NR} = 10nF$ ，根据 [方程式 5](#) 中的大致关系，10Hz 至 100kHz 带宽内的总噪声被减少了大约 3.2 倍：

$$V_N(\mu V_{RMS}) = 8.5 \left(\frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (5)$$

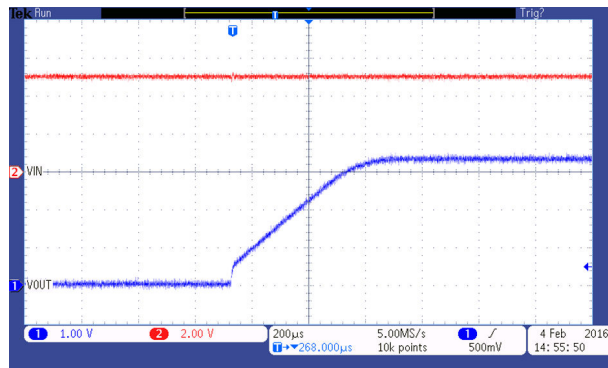
$C_{NR} = 10nF$ 。

[典型特性](#) 表中的 [图 5-33](#) 显示了这个降噪效应。

TPS73601 可调版本没有可用的 NR 引脚。不过，将一个反馈电容器 C_{FB} 从输出连接至反馈引脚 (FB) 将降低输出噪声并提升负载瞬态性能。

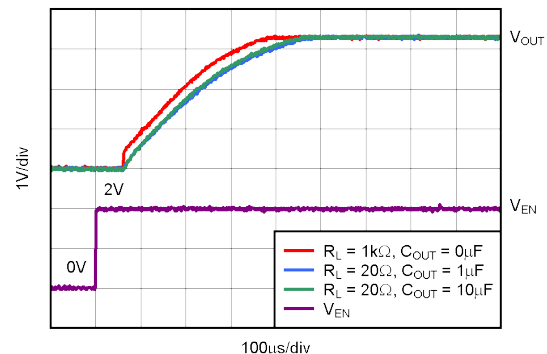
TPS736xx-Q1 使用一个内部电荷泵来形成一个内部电源电压，此电压足以将 NMOS 导通元件的栅极驱动至高于 V_{OUT} 的水平。此电荷泵在大约 4MHz 时生成大约 $250 \mu V$ 的开关噪声；然而，对于大多数 I_{OUT} 和 C_{OUT} 的值，电荷泵噪声对于稳压器输出的影响可以忽略不计。

7.2.1.3 应用曲线



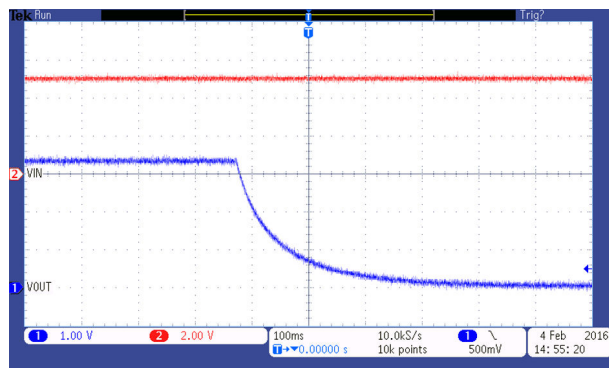
传统器件

图 7-2. TPS73601 启动



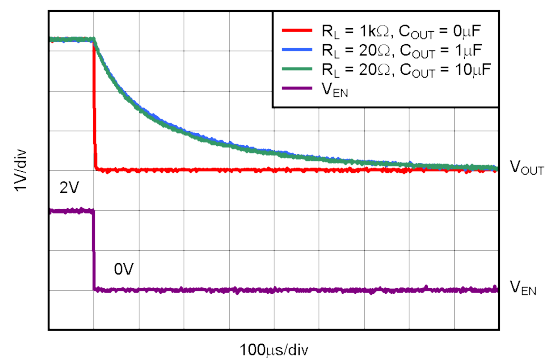
新器件

图 7-3. TPS73601 启动



传统器件

图 7-4. TPS73601 关断



新器件

图 7-5. TPS73601 关断

7.2.2 可调电压版本的典型应用电路

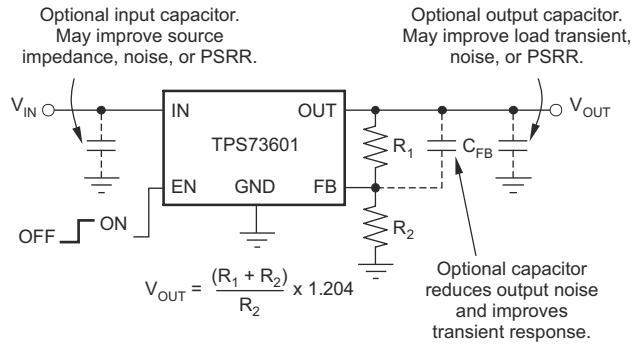


图 7-6. 可调电压版本的典型应用电路

7.2.2.1 设计要求

本设计示例使用表 7-2 中所列的参数作为输入参数。

表 7-2. 设计参数 (可调电压版本)

参数	示例值
输入电压	5V, $\pm 3\%$, 由开关频率为 1MHz 的直流/直流转换器提供
输出电压	2.5V, $\pm 1\%$
输出电流	0.4A (最大值)、10mA (最小值)
RMS 噪声, 10Hz 至 100kHz	$< 35 \mu V_{RMS}$
环境温度	55°C (最大值)

7.3 电源相关建议

该器件设计为在 1.7V 至 5.5V 的输入电源电压范围内运行。如果输入电源存在噪声，则具有低 ESR 的额外输入电容器有助于改善输出噪声性能。

7.4 布局

7.4.1 布局指南

为了提高交流性能 (如 PSRR、输出噪声和瞬态响应等)，在设计电路板时应为 V_{IN} 和 V_{OUT} 电容器提供接地平面连接，并将接地平面连接到器件的 GND 引脚。此外，针对旁路电容器的接地连接必须直接接至器件的 GND 引脚。

7.4.1.1 散热注意事项

对于每一种封装类型，为芯片散热的能力也不同，这体现在印刷电路板 (PCB) 布局的不同考虑中。器件周围没有其他组件的 PCB 区域会将器件的热量散发到周围空气中。节 5.4 表中列出了 JEDEC 低 K 电路板和高 K 电路板的性能数据。使用较重的覆铜可提高器件的散热效率。在散热层上增加的电镀通风孔也能提升散热效率。

功耗取决于输入电压和负载情况。功率耗散 (P_D) 等于输出电流乘以输出导通元件 (V_{IN} 至 V_{OUT}) 上的压降所得到的乘积，如方程式 6 所示：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

通过使用保证所需输出电压的最低可能输入电压可大大减小功率耗散。

7.4.2 布局示例

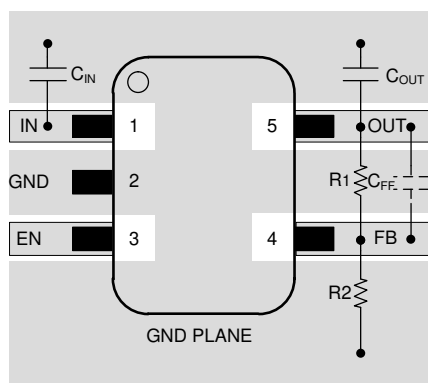


图 7-7. DBV 封装可调节版本的布局示例

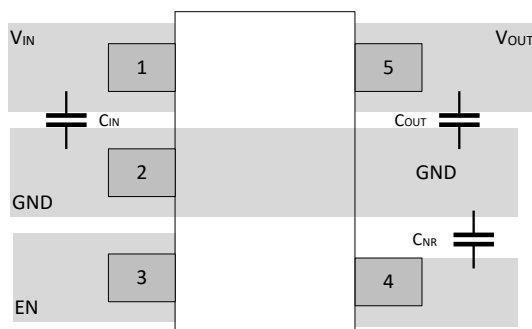


图 7-8. DBV 封装固定版本的布局示例

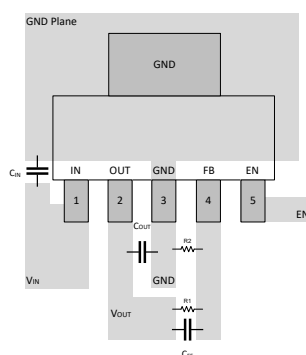


图 7-9. DCQ 封装可调节版本的布局示例

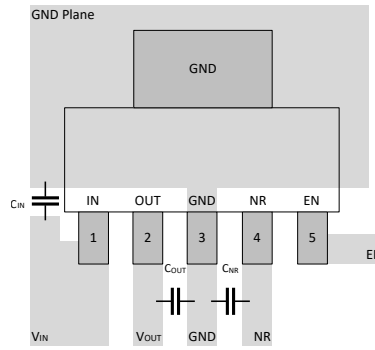


图 7-10. DCQ 封装固定版本的布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 订购信息 (1)

产品	说明(1)
TPS736xxQyyyz(M3)Q1	xx 表示标称输出电压 (比如, 25 = 2.5V, 01 = 可调节 (2))。 Q 表示该器件是符合 AEC-Q100 标准的 1 级器件 yyy 为封装位号。 z 为封装数量。 M3 是仅使用新制造流程的器件的后缀指示符 (CSO : RFB)。没有这个后缀的器件可以随附传统器件 (CSO : DLN) 或新器件 (CSO : RFB)。卷带封装标签提供 CSO 信息以区分正在使用的器件。全篇对新器件和传统器件的器件性能进行了说明。 Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。

- (1) 有关最新的封装和订货信息, 请参阅本文档末尾的封装选项附录, 或访问 www.ti.com.cn, 查看器件产品文件夹。
- (2) 以固定电压 1.20V 运行时, 将 FB 连接至 OUT。

8.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2024) to Revision C (May 2025)	Page
• 添加了新的硅基 DBV 热性能信息.....	4

Changes from Revision A (May 2016) to Revision B (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

• 更改了整个文档以与当前系列格式保持一致.....	1
• 向文档添加了 M3 器件.....	1
• 更改了 VFB 典型值.....	5
• 删除了文档支持和相关文档	24

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73601QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PTWQ
TPS73618QDCQRM3Q1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73618Q
TPS73618QDCQQRQ1	Active	Production	SOT-223 (DCQ) 6	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73618Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS736-Q1 :

- Catalog : [TPS736](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73601QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73618QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS

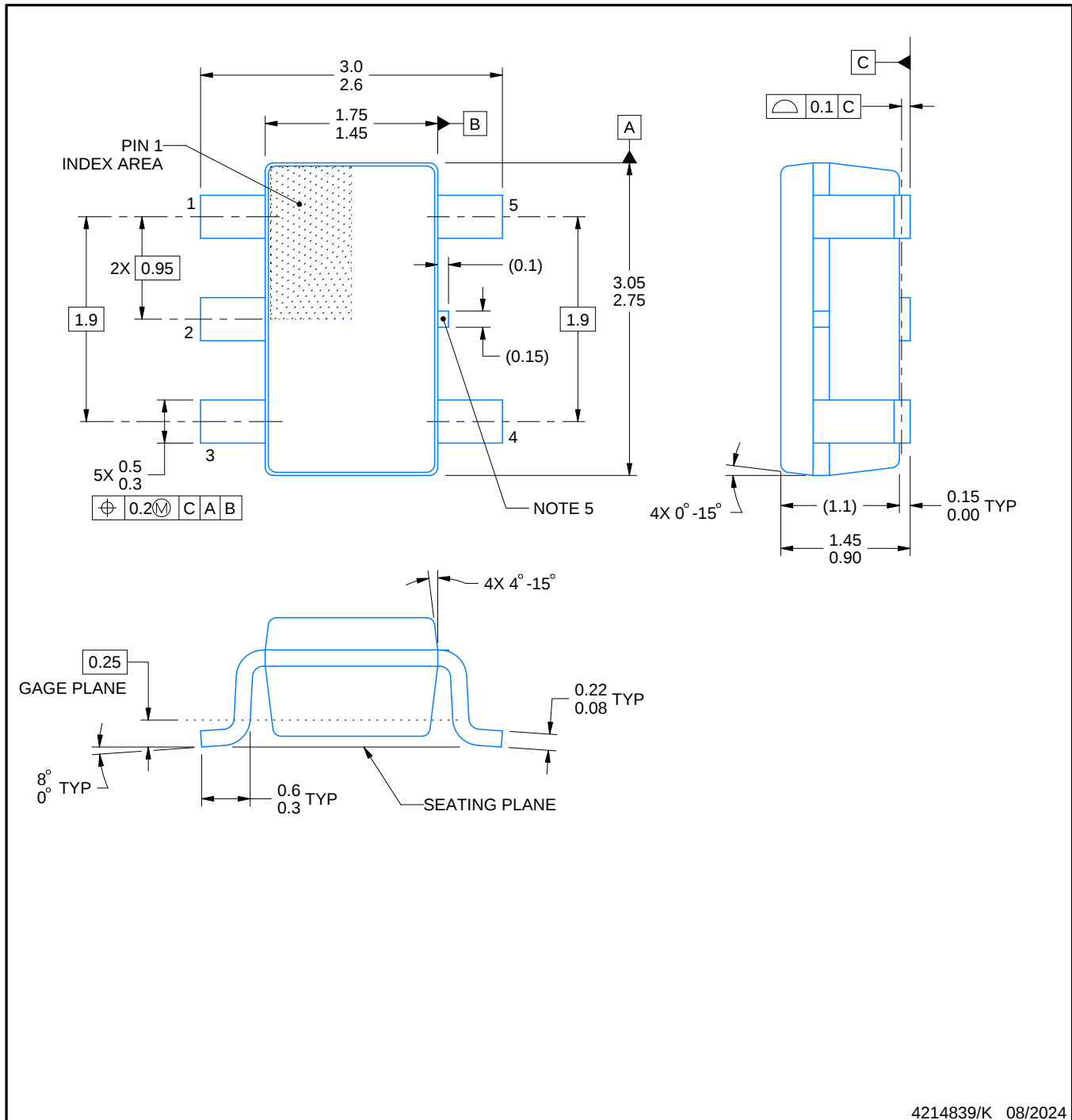


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73601QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73618QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0

DBV0005A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

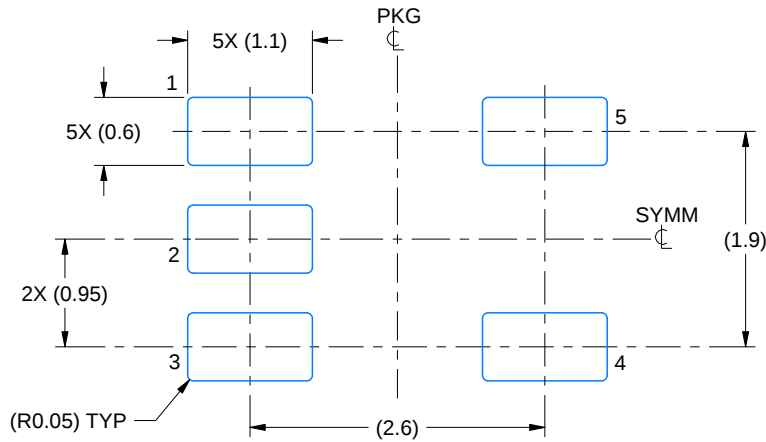
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

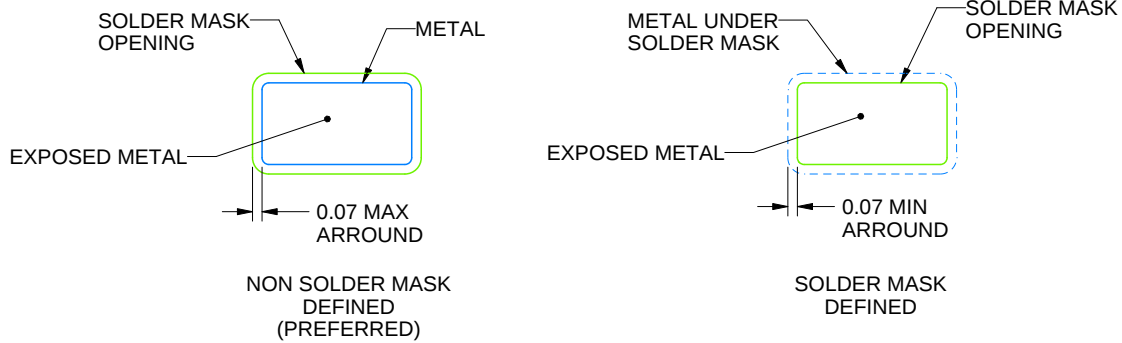
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

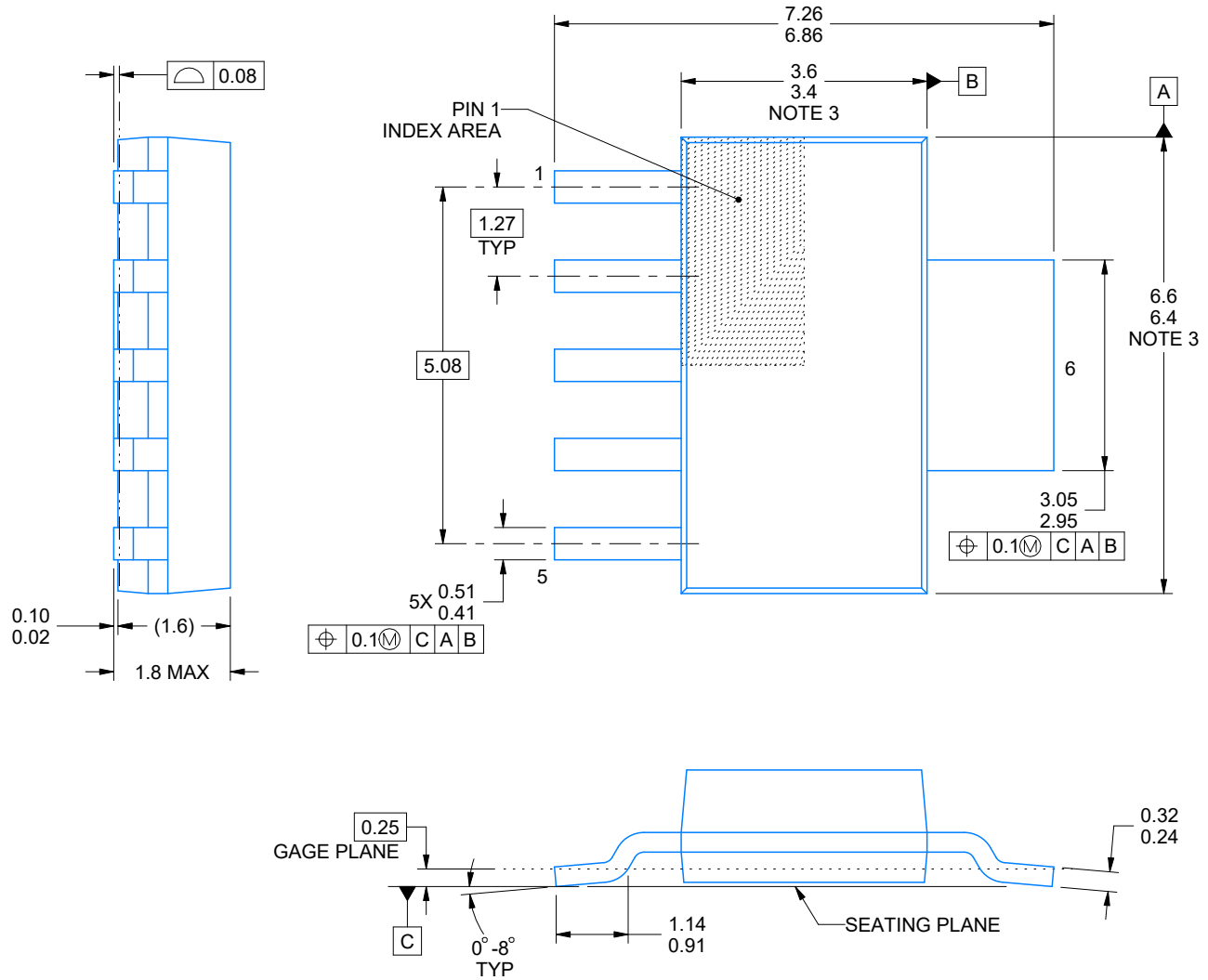
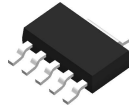


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

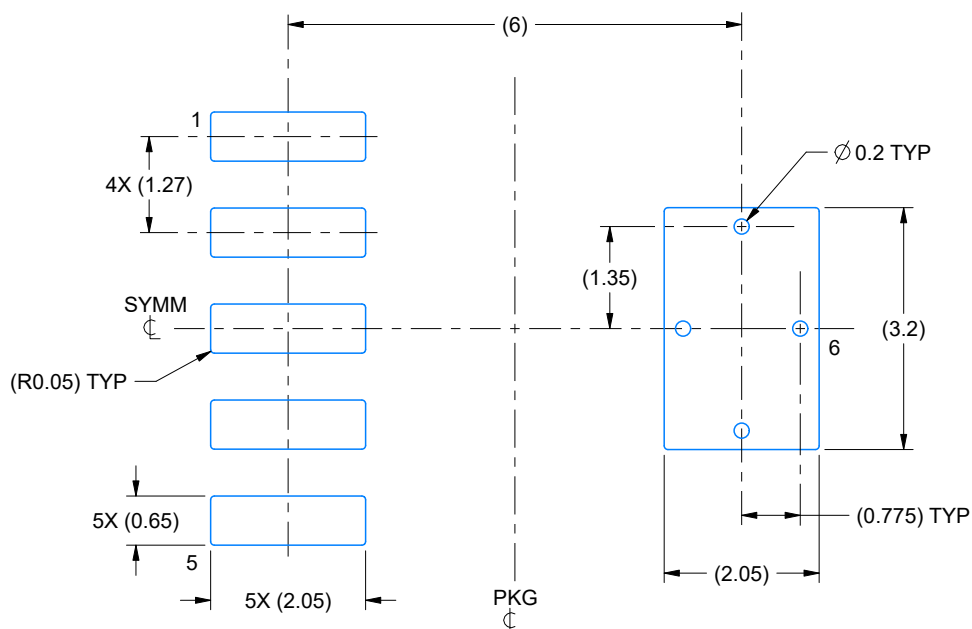
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



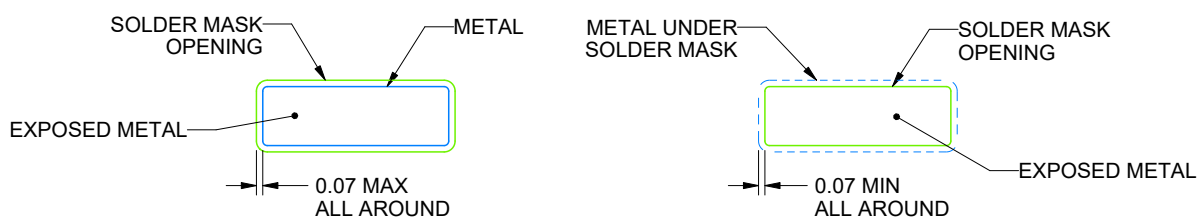
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

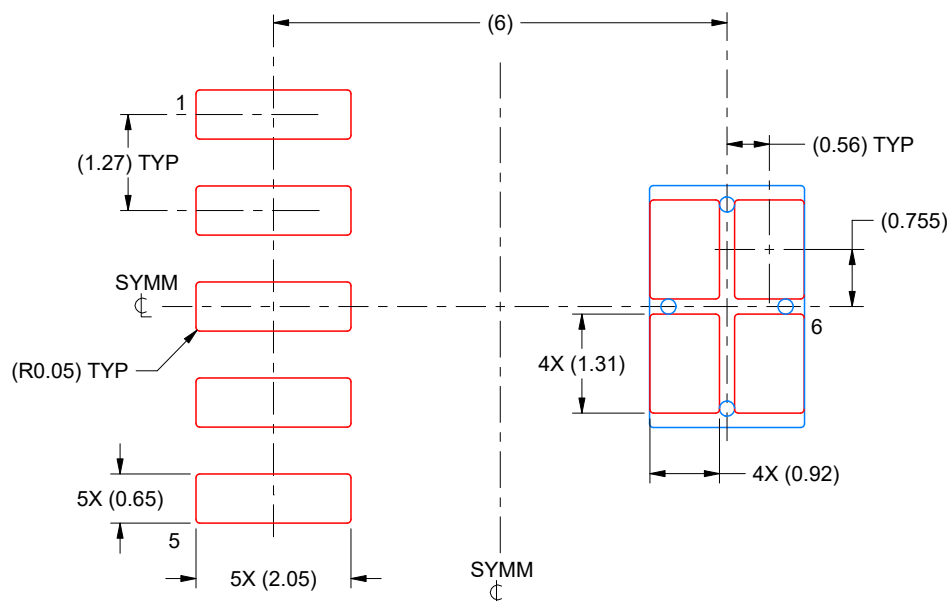
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司