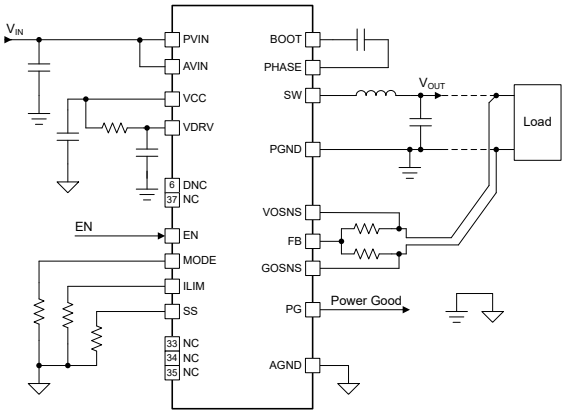
TPS548D26 具有差分遥感功能的 4V 至 16V 输入、40A 同步降压转换器

1 特性

- 集成 4.0mΩ 和 1.0mΩ MOSFET，可实现 40A 持续电流运行
- 支持外部 5V 辅助电源，可提高效率并实现 2.7V 最小输入电压
- 0.6V 至 5.5V 输出电压范围
- 提供精密电压基准和差分遥感，可实现高输出精度
  - 0°C 至 85°C T_J 时 V_{OUT} 容差为 ±0.5%
  - -40°C 至 125°C T_J 时 V_{OUT} 容差为 ±1%
- D-CAP+™ 具有快速瞬态响应的控制拓扑，支持所有陶瓷输出电容器
- 可通过 SS 引脚选择内部环路补偿
- 提供可选逐周期谷值电流限制
- 在 DCM 或 FCCM 运行模式下，可选工作频率为 0.6MHz 至 1.2MHz
- 安全启动至预偏置输出电压
- 可编程软启动时间为 0.75ms 至 6ms
- 开漏电源正常输出 (PG)
- 具有可选断续或闭锁响应的过流、过压、欠压和过热保护
- 5mm × 6mm，37 引脚 WQFN-FCRLF 封装



简化原理图

2 应用

- 服务器和云计算 POL
- 硬件加速器
- 数据中心交换机

3 说明

TPS548D26 器件是一款高度集成的降压转换器，采用 D-CAP+ 控制拓扑，可实现快速瞬态响应。该器件不需要外部补偿，因此易于使用并且仅需要很少的外部元件。该器件非常适合空间受限的数据中心应用。

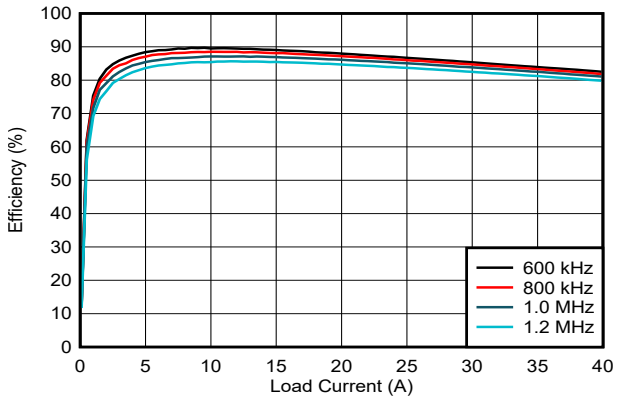
TPS548D26 器件具有真差分遥感功能和高性能集成 MOSFET，在整个工作结温范围具有高精度 (±1%) 0.6V 电压基准。该器件具有快速负载瞬态响应、精确负载调节和线路调节、跳跃模式或 FCCM 运行模式以及可编程软启动时间。该器件提供具有可选断续或闭锁响应的过流、过压、欠压和过热保护功能。

TPS548D26 是一款无铅器件，符合 RoHS 标准，无需豁免。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS548D26	RXX（WQFN-FCRLF，37）	5.00mm × 6.00mm

(1) 详细信息请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



PVIN = 12V　VCC = 外部 5V 辅助电源　V_{OUT} = 0.76V
MODE = FCCM

典型效率

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD Ratings.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 电气特性.... 6
5.6 典型特性.... 10
6 详细说明.... 11
6.1 概述.... 11
6.2 功能方框图.... 11
6.3 特性说明.... 11
6.4 器件功能模式.... 18
7 应用和实施.... 21
7.1 应用信息.... 21
7.2 典型应用.... 21
7.3 电源建议.... 25
7.4 布局.... 25
8 器件和文档支持.... 29
8.1 接收文档更新通知.... 29
8.2 支持资源.... 29
8.3 商标.... 29
8.4 静电放电警告.... 29
8.5 术语表.... 29
9 修订历史记录.... 29
10 机械、封装和可订购信息.... 30

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

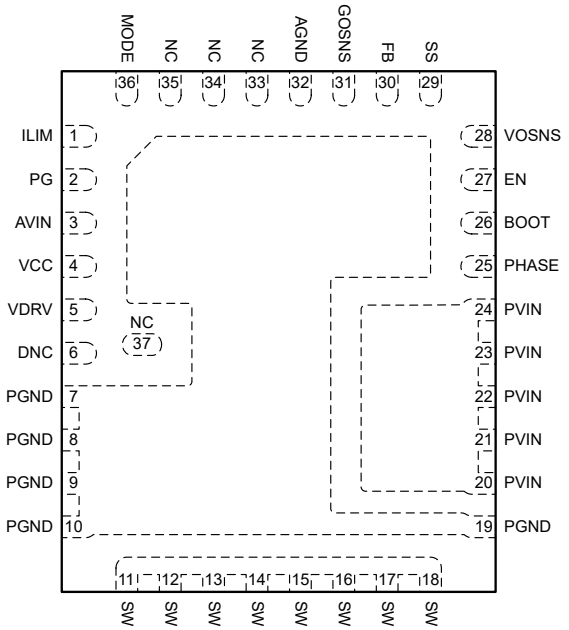


图 4-1. RXX 37 引脚 WQFN-FCRLF 封装（顶视图）

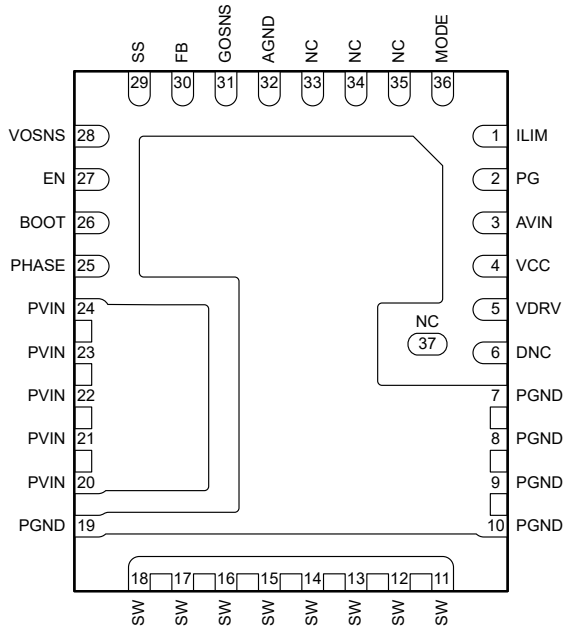


图 4-2. RXX 37 引脚 WQFN-FCRLF 封装（底视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
AGND	32	G	接地引脚，内部控制电路的基准点
AVIN	3	P	内部 VCC LDO 的电源轨。将 1 μF、25V 陶瓷电容器连接到 AGND 可以旁路掉该引脚。
BOOT	26	P	高侧栅极驱动器（升压端子）的电源轨。在该引脚与 PHASE 引脚之间连接自举电容器。TI 建议使用高温 (X7R) 0.1 μF 或更大容值的陶瓷电容器。
DNC	6	—	“请勿连接”(DNC) 引脚。该引脚是内部电路的输出端，必须悬空。引脚 6 和引脚 37 可以短接在一起，但引脚 6 上不允许任何其他 PCB 连接。
EN	27	I	使能引脚，这是一个高电平有效输入引脚，当该引脚置为有效（高电平）时，会使转换器开始输出电压轨的软启动序列。当置为无效（低电平）时，转换器将 PG 引脚置为无效，然后开始输出电压轨的关断序列并继续直至完成。
FB	30	I	差分遥感放大器的正输入端，连接到外部分压器的中心点。分压器必须连接到输出遥感点。
GOSNS	31	I	差分遥感电路的负输入端，连接到负载侧的接地检测点。
ILIM	1	I	过流限制选择引脚。将一个电阻连接到 AGND 可以选择过流限制阈值。
MODE	36	I	MODE 引脚通过将一个电阻连接到 AGND 来选择开关频率并将运行模式设置为 FCCM 或 DCM。
SS	29	I	SS 引脚通过将一个电阻连接到 AGND 来选择软启动时间、内部补偿和故障响应。
NC	33、34、35	—	“无连接”(NC) 引脚。IC 内部未连接有源电路。这些引脚可以连接到接地平面或保持开路。
NC	37	—	“无连接”(NC) 引脚。该引脚在内部悬空。引脚 37 和引脚 6 可以短接在一起。
PG	2	O	电源正常输出信号。当输出电压达到稳压值时，PG 指示器置为有效。当 EN 引脚被拉低或发生关断故障时，PG 指示器置为无效（低电平）。该开漏输出需要一个外部上拉电阻。
PGND	7 – 10、19	G	内部功率级的电源接地端。
PHASE	25	—	高侧 MOSFET 驱动器的回路。在内部短接至 SW。在 BOOT 引脚与该引脚之间连接自举电容器。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
PVIN	20 – 24	P	两个功率级的电源输入端。PVIN 也是内部 VCC LDO 的输入端。
SW	11 – 18	O	电源转换器的输出开关端子。将这些引脚连接到输出电感器。
VCC	4	P	内部 VCC LDO 输出端，也是内部控制电路的输入端。需要在 VCC 引脚和 AGND 之间放置一个容值 2.2μF（或 1μF）且额定电压至少为 6.3V 的陶瓷电容器以进行去耦。
VDRV	5	P	栅极驱动器电路的电源输入端。需要在 VDRV 引脚和 PGND 引脚之间放置一个容值为 2.2μF（或 4.7μF）且额定电压至少为 6.3V 的陶瓷电容器以消除驱动器电路产生的噪声。可将外部 5V 辅助电源连接到该引脚以减少内部 LDO 上的功率损耗。
VOSNS	28	I	内部导通时间生成电路的输出电压检测点。TI 建议将该引脚直接短接至 VOUT 检测点。在 VOUT 检测点和 VOSNS 引脚之间添加任何高于 51Ω 的电阻都会使开关频率高于所需设置。如果必须在 VOUT 检测点和 VOSNS 引脚之间放置电阻，请联系德州仪器 (TI)。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
引脚电压	PVIN	-0.3	18	V
引脚电压	AVIN	-0.3	18	V
引脚电压	PVIN – SW，直流	-0.3	18	V
引脚电压	PVIN – SW，瞬态值 < 10ns	-1.5	26	V
引脚电压	SW – PGND，直流	-0.3	18	V
引脚电压	SW – PGND，瞬态值 < 10ns	-3.0	21.5	V
引脚电压	BOOT – PGND	-0.3	23.5	V
引脚电压	BOOT – SW	-0.3	5.5	V
引脚电压	VCC、VDRV	-0.3	5.5	V
引脚电压	PHASE	-0.3	18	V
引脚电压	EN、VOSNS、ILIM、MODE、SS、FB、PG	-0.3	5.5	V
引脚电压	GOSNS – AGND	-0.3	0.3	V
引脚电压	DNC、NC	-0.3	1.9	V
灌电流	PG	0	10	mA
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-55	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD Ratings

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{OUT}	输出电压范围		0.6		5.5	V
V_{IN}	输入电压	VCC 和 VDRV 由内部 LDO 供电时的 PVIN	4.0		16	V
		VCC 和 VDRV 由外部 5V 辅助电源供电时的 PVIN	2.7		16	V
V_{IN}	输入电压	AVIN	4.0		16	V
V_{BIAS}	输入电压	VCC 和 VDRV 外部辅助电源	4.75		5.3	V
I_{OUT}	输出电流范围				40	A
	引脚电压	EN、PG	-0.1		5.3	V
I_{PG}	电源正常状态输入电流能力				10	mA
T_J	工作结温		-40		125	°C

5.4 热性能信息

热性能指标[1]		器件		单位
		RXX（QFN，JEDEC）	RXX（QFN，TI EVM）	
		37 引脚	37 引脚	
$R_{\theta JA}$	结至环境热阻	25.4	15.7	°C/W
$R_{\theta JB}$	结至电路板热阻	3.6	不适用[2]	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	6.6	不适用[2]	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.1	不适用[2]	°C/W
ψ_{JT}	结至顶部特征参数	0.1[3]	2.0[4]	°C/W
ψ_{JB}	结至电路板特征参数	3.6	5.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。
(2) 热测试或仿真设置不适用于 TI EVM 布局。
(3) 根据 JEDEC 标准的热仿真结果，功率耗散均匀分布在封装内的所有硅区，使得热点处于封装的中心。
(4) 根据 TI EVM 布局的热仿真结果，功率耗散集中在功率 FET 区域，使得封装内部的热点发生偏移。

5.5 电气特性

T_J = –40°C 至 +125°C，PVIN= 4V 至 16V，V_{VCC} = 4.5V 至 5.0V（除非另有说明）。典型值为 T_J = 25°C、PVIN = 12V 且 V_{VCC} = 4.5V 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
电源						
	PVIN 工作输入电压范围		4		16	V
	AVIN 工作输入电压范围		4		16	V
$I_{Q(AVIN)}$	AVIN 静态电流	非开关，PVIN = 12V，AVIN = 12V，V_{EN} = 2V，V_{FB} = V_{REF} + 50mV，VCC 和 VDRV 引脚上无辅助电源	5	6.3	7.5	mA
$I_{SD(PVIN)}$	PVIN 关断电源电流	PVIN = 12V，AVIN = 12V，V_{EN} = 0V，VCC 和 VDRV 引脚上无辅助电源		20		μA
I_{VCC}	VCC 和 VDRV 外部辅助电源电流	VCC 和 VDRV 引脚上的外部 5V 辅助电源，常规开关。T_J = 25°C，PVIN = 12V，I_{OUT} = 35A，V_{EN} = 2V，f_{SW} = 0.6MHz		32.7		mA
I_{VCC}	VCC 和 VDRV 外部辅助电源电流	VCC 和 VDRV 引脚上的外部 5V 辅助电源，常规开关。T_J = 25°C，PVIN = 12V，I_{OUT} = 35A，V_{EN} = 2V，f_{SW} = 0.8MHz		39.7		mA
I_{VCC}	VCC 和 VDRV 外部辅助电源电流	VCC 和 VDRV 引脚上的外部 5V 辅助电源，常规开关。T_J = 25°C，PVIN = 12V，I_{OUT} = 35A，V_{EN} = 2V，f_{SW} = 1.0MHz		48.7		mA
I_{VCC}	VCC 和 VDRV 外部辅助电源电流	VCC 和 VDRV 引脚上的外部 5V 辅助电源，常规开关。T_J = 25°C，PVIN = 12V，I_{OUT} = 35A，V_{EN} = 2V，f_{SW} = 1.2MHz		57.3		mA
$I_{SD(VCC_VDRV)}$	VCC + VDRV 关断电源电流	VCC 和 VDRV 引脚上的外部 5V 辅助电源，PVIN = 12V，V_{EN} = 0V	5	6.3	7.5	mA
UVLO						
$PVIN_{OV}$	PVIN 过压上升阈值	PVIN 上升	18.0	18.6	19.2	V
$PVIN_{OV}$	PVIN 过压下降阈值	PVIN 下降。PVIN_OVF 状态位在置位后无法清除，除非 PVIN 降至 PVIN 过压下降阈值以下	12.9	13.4	13.9	V
$PVIN_{UVLO(R)}$	PVIN UVLO 上升阈值	PVIN 上升，VCC 和 VDRV 引脚上的外部 5V 辅助电源	2.35	2.55	2.75	V
$PVIN_{UVLO(F)}$	PVIN UVLO 下降阈值	PVIN 下降，VCC 和 VDRV 引脚上的外部 5V 辅助电源	2.10	2.30	2.50	V
$PVIN_{UVLO(H)}$	PVIN UVLO 迟滞			0.25		V
ENABLE						
$V_{EN(R)}$	EN 电压上升阈值	EN 上升，启用开关	1.14	1.19	1.24	V
$V_{EN(F)}$	EN 电压下降阈值	EN 下降，禁用开关	0.94	0.98	1.02	V

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

T_J = –40°C 至 +125°C，PVIN= 4V 至 16V，V_{VCC} = 4.5V 至 5.0V（除非另有说明）。典型值为 T_J = 25°C、PVIN = 12V 且 V_{VCC} = 4.5V 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
$V_{EN(H)}$	EN 电压迟滞			0.21		V
$t_{EN(DIG)}$	EN 抗尖峰脉冲时间		0.2			μs
	EN 内部下拉电阻	V_{EN} = 2V，EN 引脚至 AGND	110	125	140	kΩ
内部 VCC LDO						
	VCC LDO 输出电压	AVIN = 4V，$I_{VCC(load)}$ = 5mA	3.925	3.97	4.0	V
	VCC LDO 输出电压	AVIN = 5V 至 16V，$I_{VCC(load)}$ = 5mA	4.28	4.44	4.55	V
	VCC LDO 压降电压	AVIN – V_{VCC}，AVIN= 4V，$I_{VCC(load)}$ = 50mA		160.8	280	mV
	VCC_OK 上升阈值	T_J = –40°C 至 85°C，VCC 上升，启用初始加电，包括从 NVM 重新加载默认值	3.0	3.15	3.3	V
	VCC_OK 下降阈值	T_J = –40°C 至 85°C，VCC 下降，禁用控制器电路，包括存储器和数字引擎	2.95	3.10	3.25	V
	VCC LDO 短路电流限制		150			mA
基准电压						
V_{FB}	FB 电压	T_J = 0°C 至 85°C	594	600	603	mV
V_{FB}	FB 电压	T_J = -40°C 至 125°C	591	600	606	mV
$I_{FB(LKG)}$	FB 输入漏电流	V_{FB} = 600mV		10		nA
开关频率						
$f_{SW(FCCM)}$	开关频率，FCCM 运行	T_J = –40°C 至 125°C，PVIN = 12V，V_{OUT} = 1.1V，空载，R_{MODE} = 0Ω	540	600	660	kHz
$f_{SW(FCCM)}$	开关频率，FCCM 运行	T_J = –40°C 至 125°C，PVIN = 12V，V_{OUT} = 1.1V，空载，R_{MODE} = 1.5kΩ	720	800	880	kHz
$f_{SW(FCCM)}$	开关频率，FCCM 运行	T_J = –40°C 至 125°C，PVIN = 12V，V_{OUT} = 1.1V，空载，R_{MODE} = 14kΩ	900	1000	1100	kHz
$f_{SW(FCCM)}$	开关频率，FCCM 运行	T_J = –40°C 至 125°C，PVIN = 12V，V_{OUT} = 1.1V，空载，R_{MODE} = 16.2kΩ	1080	1200	1320	kHz
$f_{SW(FCCM)}$	开关频率，FCCM 运行	T_J = –40°C 至 125°C，PVIN = 12V，V_{OUT} = 1.1V，空载，R_{MODE} = 悬空	720	800	880	kHz
启动和关断						
$t_{ON(DLY)}$	上电序列延迟	V_{VCC} = 4.5V		0.5	0.55	ms
$t_{ON(Rise)}$	软启动时间	V_{VCC} = 4.5V，R_{SS} = AGND		0.75	0.825	ms
$t_{ON(Rise)}$	软启动时间	V_{VCC} = 4.5V，R_{SS} = 5.76kΩ		1.5	1.65	ms
$t_{ON(Rise)}$	软启动时间	V_{VCC} = 4.5V，R_{SS} = 14kΩ		3	3.3	ms
$t_{ON(Rise)}$	软启动时间	V_{VCC} = 4.5V，R_{SS} = 28.7kΩ		6	6.6	ms
$t_{ON(Rise)}$	软启动时间	V_{VCC} = 4.5V，R_{SS} = 开路		3	3.3	ms
功率级						
$R_{DSON(HS)}$	高侧 MOSFET 导通电阻	T_J = 25°C，PVIN = 12V，$V_{BOOT-SW}$ = 4.5V		4		mΩ
$R_{DSON(HS)}$	高侧 MOSFET 导通电阻	T_J = 25°C，PVIN = 12V，$V_{BOOT-SW}$ = 5.0V		3.91		mΩ
$R_{DSON(LS)}$	低侧 MOSFET 导通电阻	T_J = 25°C，PVIN = 12V，V_{VDRV} = 4.5V		1		mΩ
$R_{DSON(LS)}$	低侧 MOSFET 导通电阻	T_J = 25°C，PVIN = 12V，V_{VDRV} = 5V		0.98		mΩ
$t_{ON(min)}$	最小 ON 脉冲宽度	V_{VCC} = 4.5 V		60		ns
$t_{OFF(min)}$	最小 OFF 脉冲宽度	V_{VCC} = 4.5V，I_{OUT} = 1.5A，V_{VOSNS} = $V_{OUT_SETTING}$ – 20mV，SW 下降沿至上升沿		210	250	ns
升压电路						
$I_{BOOT(LKG)}$	BOOT 漏电流	V_{EN} = 2V，$V_{BOOT-SW}$ = 5V			150	μA
$V_{BOOT-SW(UV_F)}$	BOOT-SW UVLO 下降阈值		2.60	2.76		V
过流限制						

5.5 电气特性（续）

T_J = –40°C 至 +125°C，PVIN= 4V 至 16V，V_{VCC} = 4.5V 至 5.0V（除非另有说明）。典型值为 T_J = 25°C、PVIN = 12V 且 V_{VCC} = 4.5V 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
$I_{LS(OCL)}$	低侧谷值过流限制	LS FET 上的谷值电流限制，R_{ILIM} = 7.5kΩ	11.5	13.4	16	A
$I_{LS(OCL)}$	低侧谷值过流限制	LS FET 上的谷值电流限制，R_{ILIM} = 12.1kΩ	18.8	21	23.3	A
$I_{LS(OCL)}$	低侧谷值过流限制	LS FET 上的谷值电流限制，R_{ILIM} = 16.2kΩ	25.5	28.5	31.5	A
$I_{LS(OCL)}$	低侧谷值过流限制	LS FET 上的谷值电流限制，R_{ILIM} = 21.5kΩ	32.8	36.5	40.3	A
$I_{LS(OCL)}$	低侧谷值过流限制	LS FET 上的谷值电流限制，R_{ILIM} = 24.9kΩ	39	43	47.5	A
$I_{LS(NOC)}$	低侧负过流限制	LS FET 的灌电流限制	-20	-17.6	-15.4	A
I_{ZC}	过零检测电流阈值	ZC 比较器阈值，进入 DCM 运行模式。PVIN = 12V，V_{VCC} = 4.5V		1200		mA
	进入断续模式之前的响应延迟			16	20	μs
	重新启动之前的断续睡眠时间		49	56	59	ms
输出 OVP 和 UVP						
V_{OVF}	V_{OUT} 过压保护 (OVP) 阈值	(V_{FB} – V_{GOSNS}) 和上升	118.33%	125%	130%	
	OVF 响应延迟	从 OVF 检测到 NOC 运行开始		100		ns
V_{UVF}	V_{OUT} 欠压保护 (UVP) 阈值	(V_{FB} – V_{GOSNS}) 和下降	60%	66.67%	73.33%	
	UVF 响应延迟	从 UVF 检测到功率 FET 的三态		16	20	μs

Copyright © 2024 Texas Instruments Incorporated

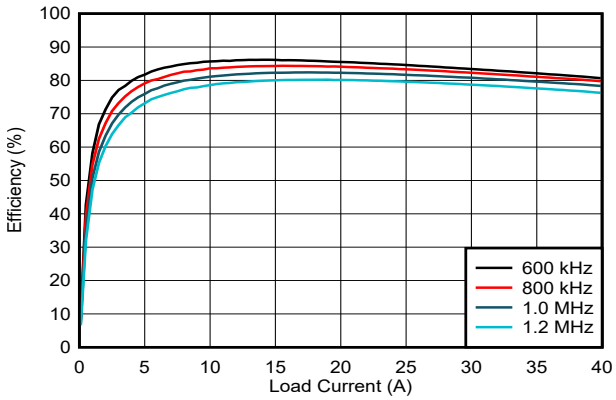
5.5 电气特性（续）

T_J = –40°C 至 +125°C，PVIN= 4V 至 16V，V_{VCC} = 4.5V 至 5.0V（除非另有说明）。典型值为 T_J = 25°C、PVIN = 12V 且 V_{VCC} = 4.5V 条件下的值。

参数		测试条件	最小值	典型值	最大值	单位
电源正常						
$V_{OL(PG)}$	PG 引脚输出低电平电压	I_{PG} = 10mA，PVIN = 12V，V_{VCC} = 4.5V			300	mV
$I_{LKG(PG)}$	开漏输出高电平时的 PG 引脚漏电流	R_{pullup} = 10kΩ，V_{PG} = 5V			5	μA
	有效 PG 引脚输出的最小 VCC	PVIN = 0V，V_{EN} = 0V，R_{pullup} = 10kΩ，V_{PG} ≤ 0.3V			1.2	V
输出放电						
	VOSNS 引脚上的输出放电	PVIN = 12V，V_{VCC} = 4.5V，V_{VOSNS} = 0.5V，EN = 0V		455		Ω
热关断						
$T_{J(SD)}$	热关断（模拟 OTP）阈值 (1)	结温上升	153	166		°C
$T_{J(HYS)}$	热关断（模拟 OTP）迟滞 (1)			30		°C

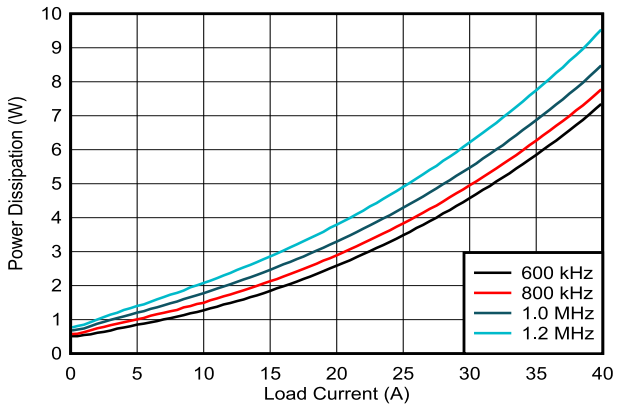
(1) 提供的这些参数仅供参考，不作为 TI 已发布的用于 TI 产品保修的器件规格。

5.6 典型特性



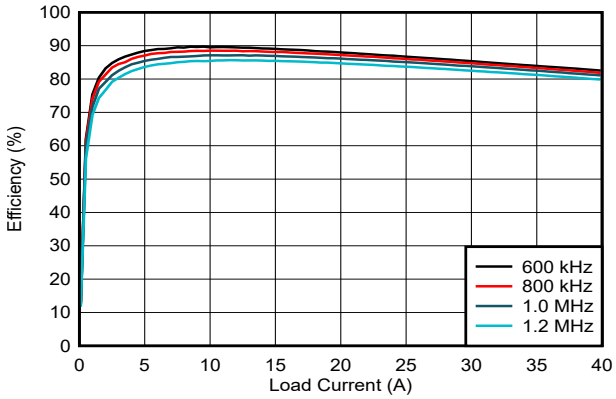
PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 0.76V
MODE = FCCM

图 5-1. 效率与输出电流之间的关系



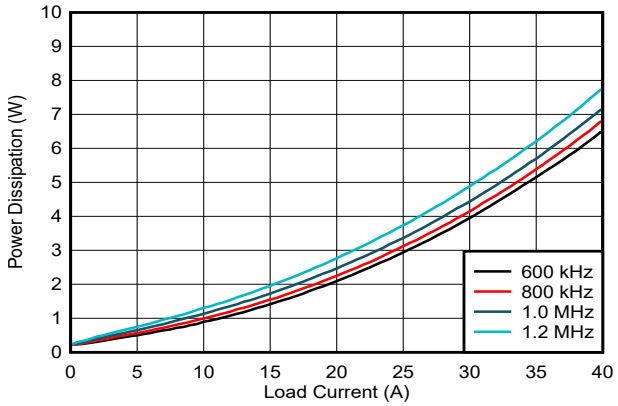
PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 0.76V
MODE = FCCM

图 5-2. 功率损耗与输出电流间的关系



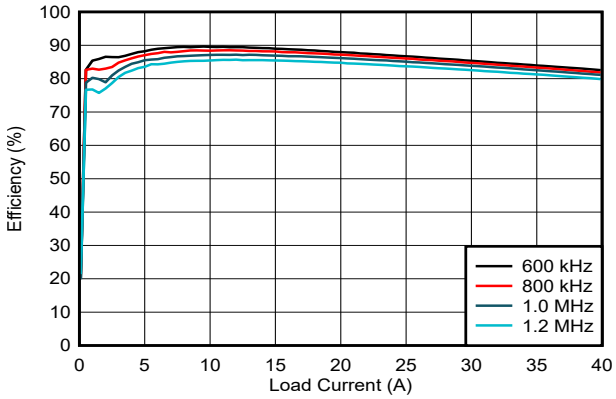
PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 0.76V
MODE = FCCM

图 5-3. 效率与输出电流之间的关系



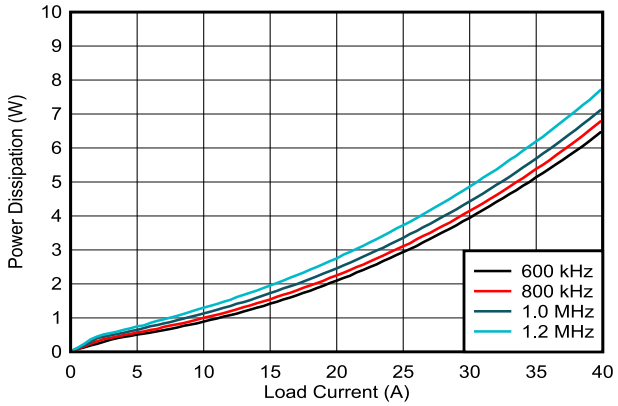
PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 0.76V
MODE = FCCM

图 5-4. 功率损耗与输出电流间的关系



PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 0.76V
MODE = DCM

图 5-5. 效率与输出电流之间的关系



PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 0.76V
MODE = DCM

图 5-6. 功率损耗与输出电流间的关系

Copyright © 2024 Texas Instruments Incorporated

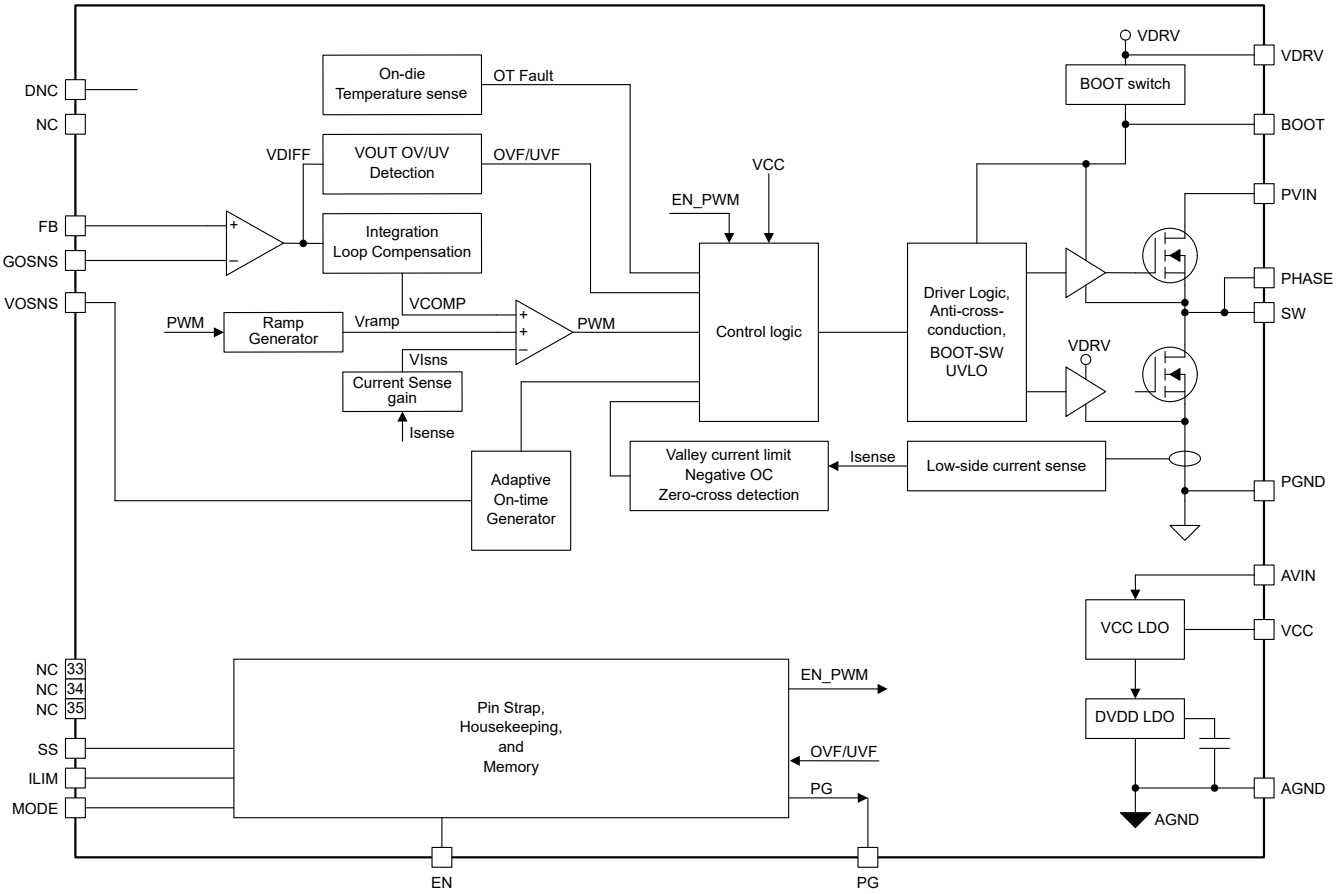
6 详细说明

6.1 概述

TPS548D26 器件是一款高度集成的降压转换器。该器件采用 D-CAP+ 控制拓扑，可实现快速瞬态响应以及精确的负载和线路调节。该器件专为空间受限的应用（例如数据中心应用、硬件加速器、服务器和云计算 POL）精心设计。该器件易于使用并且只需要很少的外部元件。

TPS548D26 的 RDS_{ON} 很低，支持外部 5V 辅助电源，可实现高达 40A 的高效率连续电流运行。该器件通过 VOSNS 和 GOSNS 引脚实现真差分遥感，精度为 ±1%，在整个工作结温范围内的基准电压为 0.6V。该器件使用可选择的引脚配置 (strap) 内部环路补偿，无需外部补偿。该器件可灵活选择跳跃模式或 FCCM 运行模式以及可编程的软启动时间。该器件支持过流、过压、欠压和过热保护。TPS548D26 是一款无铅器件。完全符合 RoHS 标准，无需豁免。

6.2 功能方框图



6.3 特性说明

6.3.1 内部 VCC LDO 以及在 VCC 和 VDRV 引脚上使用外部辅助电源

TPS548D26 器件具有内部 4.5V LDO，输入来自 AVIN 引脚，输出到 VCC 引脚。当 AVIN 电压上升时，内部 LDO 自动启用，并开始调节 VCC 引脚上的 LDO 输出电压。VCC 电压为控制器侧的内部模拟电路提供偏置电压，VDRV 电压为功率级侧提供电源电压。

必须使用 2.2 μF 且额定电压至少为 6.3V 的陶瓷电容器将 VCC 或 VDRV 引脚旁路掉。为了给控制器侧的模拟电路提供干净的接地，需要将 VCC 引脚去耦电容器连接到 AGND。为了更大限度地减少功率级中驱动器电路的寄生

环路电感，需要将 VDRV 引脚去耦电容器连接到 PGND。在 VCC 引脚和 VDRV 引脚之间放置一个 1Ω 电阻可以在 VCC 引脚上形成一个 RC 滤波器，可大幅降低功率级驱动器电路的噪声影响。

范围为 4.75V 至 5.30V 的外部辅助电源可以连接到 VDRV 和 VCC 引脚并为 IC 供电。这一操作提高了转换器的效率，因为 VCC 和 VDRV 电源电流现在从该外部辅助电源流出，而不是从内部线性稳压器流出。

VDRV UVLO 电路会监测 VDRV 引脚电压，并在 VDRV 电压电平降至低于 VDRV UVLO 下降阈值时禁用开关。为了使该器件平稳运行，需要 VDRV 电压保持稳定和纯净。

在 VDRV 和 VCC 引脚上使用外部辅助电源时，请注意以下事项：

- 将外部辅助电源直接连接到 VDRV 引脚。在 VCC 引脚和 VDRV 引脚之间放置一个 1Ω 电阻，然后通过 1Ω 滤波电阻为 VCC 供电。
- 对于 VCC 引脚和 AVIN 引脚短接在一起的配置，内部 LDO 始终被强制关闭。为了让内部模拟电路在电源启用时获得稳定的电源轨，需要将有效的外部辅助电源连接到 VDRV 引脚（VCC 引脚和 AVIN 引脚也通过 1Ω 滤波电阻由相同的外部辅助电源供电）。
- 对于 AVIN 引脚未短接到 VCC 引脚的配置，如果是先在 VDRV 引脚上施加外部辅助电源，然后再在 AVIN 电源轨上施加外部辅助电源（VCC 引脚也通过 1Ω 滤波电阻由相同的外部辅助电源供电），则内部 LDO 始终被强制关闭，并且内部模拟电路在其电源启用时会获得稳定的电源轨。
- VCC 和 VDRV 引脚必须由同一电源供电，可以是内部 VCC LDO，也可以是相同的外部辅助电源。
- （不建议）如果在 VDRV 引脚上延迟施加外部辅助电源（例如在 AVIN 电源轨斜升之后），只要在 VCC 引脚上没有拉出过大电流，便可以应用任何上电和下电时序。请注意，VCC 或 VDRV 引脚上的外部放电路径可能会拉出高于内部 LDO 电流限值的电流，因此可能会关断 VCC LDO，进而关断转换器输出。
- 一个好的配置如下：在 VCC 引脚和 VDRV 引脚之间放置一个 1Ω 电阻，并将 AVIN 引脚短接到 VCC 引脚。
- 对于上述配置，一个好的上电顺序为：首先将外部 5V 辅助电源施加于 VDRV 引脚（VCC 引脚也通过 1Ω 滤波电阻由相同的外部辅助电源供电），然后将 12V 总线施加于 PVIN 引脚，然后 EN 信号变为高电平。

6.3.2 输入欠压锁定 (UVLO)

TPS548D26 器件提供四个独立的 UVLO 功能，可在启动控制方面实现更广泛的灵活性。虽然只需要固定的 VCC_OK UVLO 即可实现内部存储器初始化，但必须首先满足所有这四个 UVLO 功能的要求才能启用开关。

6.3.2.1 固定 VCC_OK UVLO

TPS548D26 器件在 VCC 上具有 3.15V（典型值）的内部固定 UVLO，可以支持数字内核并启动上电复位，包括引脚配置 (strap) 检测。VCC 上的关断阈值为 3.1V（典型值）。当 VCC 电平升至 3.15V（典型值）以上并保持在 3.1V（典型值）以上后，便会启用 I^2C 通信。

6.3.2.2 固定 VDRV UVLO

TPS548D26 器件在 VDRV 上具有 3.6V（典型值）的内部固定 UVLO，可以支持用于功率 FET 和输出电压转换的驱动器。VDRV 上的关断阈值为 3.4V（典型值）。

6.3.2.3 固定 PVIN UVLO

PVIN UVLO 电路会监测 PVIN 电平，并在 PVIN 电平不足时关断开关。当 PVIN 引脚电压低于 $PVIN_{UVLO}$ 下降阈值电压（通常为 2.30V）时，该器件会停止开关并对内部 DAC 基准放电。在 PVIN 电压上升至超过 $PVIN_{UVLO}$ 上升阈值电压（通常为 2.55V）后，该器件便会重新执行软启动并再次进行开关。PVIN UVLO 是一种非锁存保护机制。

当使用内部 VCC LDO 为 VCC 和 VDRV 引脚供电时，该 PVIN UVLO 不会将器件开关选通。当 PVIN 降至低于 VDRV UVLO 下降阈值电平与 LDO 压降电压之和时，VDRV UVLO 被触发，开关停止。当 PVIN 上升时，PVIN 电平必须升至高于 VDRV UVLO 上升阈值才能启用开关。这意味着使用内部 VCC LDO 不允许在超低 PVIN 条件下进行功率转换。

但是，VCC 和 VDRV 引脚上的外部 5V 辅助电源可以实现超低 PVIN 条件下的功率转换。只要外部辅助电源保持在 5V 电平以同时满足 VCC_OK UVLO 和 VDRV UVLO 的要求，该配置就允许在低至 2.7V 的超低 PVIN 条件下进行功率转换。

Copyright © 2024 Texas Instruments Incorporated

6.3.2.4 启用

TPS548D26 器件在 EN 引脚上提供精确的启用、禁用阈值。功率级开关将保持关断状态，直到 EN 引脚电压上升至超过逻辑高电平阈值（通常为 1.2V）。EN 引脚电压下降至低于逻辑低电平阈值（通常为 1V）后，功率级开关将关断。

EN 引脚有一个内部滤波器可避免因短暂尖峰脉冲而意外导通或关断。抗尖峰脉冲时间设置为 0.2μs。

EN 引脚的建议工作电压最高为 5.3V，绝对最大额定值为 5.5V。*不要* 直接将 EN 引脚连接到 PVIN 引脚。

当 EN 引脚悬空时，TPS548D26 器件将保持禁用状态。EN 引脚通过 125kΩ 电阻在内部下拉至 AGND。

6.3.3 设置输出电压

输出电压由 FB 分压电阻 R_{FB_top} 和 R_{FB_bot} 进行编程。在 FB 引脚和负载正节点之间连接 R_{FB_top}，并在 FB 引脚和 GOSNS 引脚之间连接 R_{FB_bot}。建议的 R_{FB_bot} 值为 10kΩ，范围为 1kΩ 至 20kΩ。使用以下公式确定 R_{FB_top}：

$$R_{FB_top} = \frac{V_{OUT} - V_{INTREF}}{V_{INTREF}} \times R_{FB_bot} \tag{1}$$

其中

- V_{OUT} 是所需的输出电压，单位为 V。
- V_{INTREF} 为 0.6V。

为了实现整体 VOUT 精度，强烈建议为 FB 分压器使用精度为 ±1% 或更佳的电阻。

VOSNS 引脚上检测到的输出电压会馈入内部导通时间生成电路。TI 建议将 VOSNS 引脚直接短接到 VOUT 检测点（即连接 R_{FB_top} 的位置）。在 VOUT 检测点和 VOSNS 引脚之间添加任何高于 51Ω 的电阻都会使开关频率高于所需设置。如果必须在 VOUT 检测点和 VOSNS 引脚之间放置电阻，请联系德州仪器 (TI)。

6.3.4 差分遥感和反馈分压器

TPS548D26 器件提供在 FB 引脚和 GOSNS 引脚之间实现的真差分遥感功能。差分遥感放大器的输出在内部馈送到控制环路，不会外接到封装引脚。

差分遥感功能可补偿 PCB 布线上的潜在压降，从而在稳态运行状态和负载瞬态事件中帮助保持 VOUT 精度。将 FB 分压电阻连接到远程位置可检测远程位置的输出电压。FB 分压电阻与远程位置之间的连接必须采用一对宽度至少为 12mil 的 PCB 布线，在检测位置，必须在 0.1μF 或更高的高频旁路电容器上实现开尔文检测。遥感信号的接地连接必须连接到 GOSNS 引脚。遥感信号的 VOUT 连接必须连接到 VOSNS 引脚和顶部反馈电阻 R_{FB_top}。为了保持稳定的输出电压并更大限度减小纹波，这个遥感线路差分对必须远离任何噪声源（例如电感器和 SW 节点）或高频时钟线路。TI 建议用上下两个接地平面屏蔽这对遥感线路。

建议的 GOSNS 工作电压范围（请参阅 AGND 引脚）为 -100mV 至 +100mV。如果是本地检测（无遥感），请将 GOSNS 引脚短接到 AGND。

6.3.5 启动和关断

启动

启动序列包括三个连续周期。在第一个周期中，该器件进行初始化，包括构建内部 LDO 和基准、内部存储器初始化、引脚配置 (strap) 检测等。只要 VCC 引脚电压高于 VCC_OK UVLO 上升阈值（典型值为 3.15V），初始化就会开始，不受 EN 引脚电压选通。对于 TPS548D26 器件，该周期的时长约为 300μs。初始化完成后，只要 VCC 电压保持在 VCC_OK 下降阈值以上，引脚配置 (strap) 检测结果就会被锁定。改变外部电阻值不会影响现有的引脚配置 (strap) 检测结果，除非 IC 进行下电上电。

EN 引脚电压超过 EN 高电平阈值（通常为 1.2V）后，该器件进入第二个周期，即上电延迟。经过 0.5ms 的上电延迟后激活控制环路和驱动器电路。

第三个周期是 V_{OUT} 软启动。软启动斜坡（这是内部信号）在上电延迟后立即启动。在输出端没有预偏置的情况下启动时，内部基准从 0V 斜升到 0.6V，VOUT 从 0V 斜升到设置值（通过 FB 分压器）。适当的软启动时间有助于避免输出电容器充电产生的浪涌电流，并更大限度减少 VOUT 过冲。通过在引脚 29 SS 与 AGND 之间连接一个电阻，可以在 0.75ms、1.5ms、3ms 和 6ms 这 4 个选项中选择软启动时间。表 6-1 列出了电阻值和相应的软启动时间。TI 建议使用容差为 ±1% 且典型温度系数为 ±100ppm/°C 的电阻。

对于具有预偏置输出的启动，该器件可限制来自预偏置输出电压的放电电流，具体方法是，在第一个 PWM 脉冲导通高侧 FET 之前，阻止低侧 FET 强制将 SW 节点变为低电平。在基准电压增加到超过反馈电压（从预偏置输出电压分压而来）之后，SW 脉冲开始。此操作可实现具有预偏置输出的平稳启动。

VOUT 达到调节值后，1ms 的 PG 延迟开始。然后，当 1ms PG 延迟到期时，转换器会将 PG 引脚置为有效。

表 6-1. 用于软启动时间、故障响应和内部补偿的 SS 引脚配置 (Strap)

SS 引脚至 AGND 电阻 (kΩ)	软启动时间 (ms)	内部补偿	VOUT OV、UV 故障响应
0	0.75	Compensation1	闭锁
1.50	1.5		
2.49	3		
3.48	6		
4.53	0.75	Compensation2	
5.76	1.5		
7.32	3		
8.87	6		
10.5	0.75	Compensation1	断续
12.1	1.5		
14.0	3		
16.2	6		
18.7	0.75	Compensation2	
21.5	1.5		
24.9	3		
28.7	6		
悬空	3	Compensation1	闭锁

备注

引脚配置 (strap) 检测在上电序列的第一级进行。检测结束后，检测结果被锁存，在后续运行过程中*不会* 发生变化。如果需要新的选择，则需要切换 VCC（或 AVIN）。切换 EN 引脚不会影响引脚配置 (strap) 检测结果。

关断

TPS548D26 器件具有简单的关断序列。当 EN 引脚被拉低时，高侧和低侧 FET 驱动器都会立即关断，并且输出电压放电压摆率取决于外部负载。内部基准放电至零，为下一次软启动做好准备。

6.3.6 环路补偿

TPS548D26 器件采用 D-CAP+ 控制拓扑，具有内部环路补偿，可实现快速瞬态响应。如表 6-1 中所示，有两组环路补偿可用于选择负载瞬变的交流响应。*Compensation1* 为补偿要求不太严格且使用较小输出电容器的应用提供 400S 的中波段 FB 到电感器电流跨导和 10kHz 的积分器零点。*Compensation2* 为需要严格瞬态性能或更多输

Copyright © 2024 Texas Instruments Incorporated

出电容的设计提供了一个 1000S 的中波段 FB 到电感器电流跨导和一个 2kHz 的积分器零点。TPS548D26 的 *Compensation2* 与 TPS548C26 的 *Compensation2* 不同。

Compensation1 提供 2.5MΩ × Vout/Vref 的动态输出阻抗和 5kΩ 的最小建议 L-C 谐振。

Compensation2 提供 1MΩ × Vout/Vref 的动态输出阻抗和 1kΩ 的最小建议 L-C 谐振。

对于任一补偿，必须提供足够的输出电容，使得输出阻抗等于或小于所选补偿的动态阻抗，且不超过开关频率的 ½。

为了避免错误的引脚搭接检测，TI 建议使用容差为 ±1% 且典型温度系数为 ±100ppm/°C 的电阻器。

使用前馈电容器

在 VOUT 至 FB 分压器中添加前馈电容器可以降低 Vout/Vref 系数，从而降低动态输出阻抗，但需要额外的输出电容。对于 Compensation1，最大降幅为 2.5MΩ，对于 Compensation2，最大降幅为 1MΩ。当输出电容器阻抗与动态阻抗匹配时，确切降幅取决于该频率下的阻抗分压器比率 R1//C1:R2。

6.3.7 设置开关频率和运行模式

TPS548D26 器件提供可编程运行模式，包括用于严格输出电压纹波的强制 CCM 模式和用于实现更高轻负载效率的自动跳跃 Eco 模式。TPS548D26 器件允许用户通过 MODE 引脚上的引脚配置 (strap) 检测功能来选择开关频率和运行模式。表 6-2 列出了用于选择开关频率和运行模式的电阻值。TI 建议使用容差为 ±1% 且典型温度系数为 ±100ppm/°C 的电阻。

FCCM 位在初始上电期间置位，并在电源转换启用（EN = 高电平）后锁存。启用该器件后会确认对 FCCM 位的写入，但运行模式不会改变，直到发生 EN 切换。

表 6-2. 用于选择开关频率和运行模式的 MODE 引脚配置 (Strap)

MODE 引脚至 AGND 电阻 (kΩ)	开关频率 (kHz)	运行模式
0	600	FCCM
1.50	800	
2.49	1000	
3.48	1200	
10.5	600	自动跳跃 Eco 模式 (DCM)
12.1	800	
14	1000	
16.2	1200	
漂浮电势	800	FCCM

备注

引脚配置 (strap) 检测在上电序列的第一级进行。检测结束后，检测结果被锁存，在后续运行过程中*不会* 发生变化。如果需要新的选择，则需要切换 VCC（或 AVIN）。切换 EN 引脚不会影响引脚配置 (strap) 检测结果。

6.3.8 开关节点 (SW)

SW 引脚连接到功率转换级的开关节点。SW 引脚充当高侧栅极驱动器的返回路径。在标称运行期间，SW 上的电压摆幅通常是从地电压以下跨越到输入电压以上。PVIN 至 PGND 环路（包括 PCB 布局中的元件以及封装内的元件）中的寄生电感和两个功率 FET 的输出电容 (COSS) 形成谐振电路，可在此节点上产生高频（超过 100MHz）振铃。如果不加控制，此振铃的电压峰值会显著高于输入电压。TPS548D26 高侧栅极驱动器经过微调，可更大限度地减小峰值振铃幅度，因此 SW 节点上通常不需要 RC 缓冲器。然而，TI 强烈建议用户测量高侧或低侧 FET 上的电压应力，并确保峰值振铃幅度不超过*绝对最大额定值* 表中列出的绝对最大额定值限值。

6.3.9 过流限制和低侧电流检测

对于同步降压转换器，电感器电流在高侧 MOSFET 导通时间（ON 时间）内以线性速率增加，该速率由输入电压、输出电压和输出电感值决定。在低侧 MOSFET 导通时间（OFF 时间）内，该电感器电流根据压摆率（由输出电压和输出电感值决定）线性降低。在关断期间，即使压摆率为负值，电感器通常也会从器件 SW 节点流向负载，该器件即拉出电流，输出电流声明为正值。本节介绍基于正低侧电流的过流限制功能。下一节将介绍基于负低侧电流的过流限制功能。

TPS548D26 器件中的正过流限制 (OCL) 功能用于逐周期钳制低侧*谷值电流*。关断期间会通过检测流经低侧 MOSFET 的电流来监测电感器电流。当检测到的低侧 MOSFET 电流保持在选定的 OCL 阈值以上时，低侧 MOSFET 保持导通，直到检测到的电流水平低于选定的 OCL 阈值。此操作会延长关断时间，并推迟下一个导通时间（高侧 MOSFET 导通）。结果，由器件提供的平均输出电流会降低。只要负载拉动重负载（检测到的低侧*谷值电流* 超过所选的 OCL 阈值），该器件便会继续在此钳位模式下运行，从而延长当前的关断时间并推迟下一个导通时间。该器件没有实现直接连接到过流限制电路的故障响应电路，而是使用 VOUT UVF 功能在发生过流故障时关断器件。

在过流事件期间，由负载吸收的电流 (I_{OUT}) 超过由器件提供给输出电容器的电流，因此，输出电压趋于降低。最终，当输出电压降至选定的欠压故障阈值以下时，VOUT UVF 比较器将检测到这一情况，并在 UVF 响应延迟（通常为 16µs）后关断器件。然后，该器件根据通过 SS 引脚选择的故障响应来响应 VOUT UVF 触发器。在选择*闭锁* 响应的情况下，该器件将闭锁高侧和低侧驱动器。清除闭锁的方法是复位 VCC 或切换 EN 引脚。在选择*断续* 响应的情况下，该器件进入断续模式，并在 56ms 的断续睡眠时间过后自动重新启动，并且不限制重新启动的尝试次数。换句话说，对过流故障的响应由所选的 UVF 响应进行设置。

如果在软启动斜坡期间出现 OCL 条件，该器件仍会在运行时采用基于检测到的低侧谷值电流的逐周期电流限制。这种运行方式可以限制充入输出电容器的能量，因此输出电压的上升速度可能慢于所需的软启动压摆率。在软启动期间，VOUT UVF 比较器被禁用，因此，该器件不会响应 UVF 事件。软启动完成后将启用 VOUT UVF 比较器，然后该器件开始响应 UVF 事件。

在 ILIM 引脚和 AGND 之间连接的电阻 R_{ILIM} 可设置过流限制阈值（见下表）。TI 建议使用容差为 ±1% 且典型温度系数为 ±100ppm/°C 的电阻。

表 6-3. 用于过流限制阈值的 ILIM 引脚配置 (Strap)

ILIM 引脚至 AGND 电阻 (kΩ)	OCL 阈值（谷值电流检测）
7.5	13.4A
12.1	21A
16.2	28.5A
21.5	36.5A
24.9	43A

备注

引脚配置 (strap) 检测在上电序列的第一级进行。检测结束后，检测结果被锁存，在后续运行过程中*不会* 发生变化。如果需要新的选择，则需要切换 VCC（或 AVIN）。切换 EN 引脚不会影响引脚配置 (strap) 检测结果。

6.3.10 负过流限制

TPS548D26 器件是同步降压转换器，因此电流可以从器件流向负载，或者通过 SW 节点从负载流向器件。当电流从器件 SW 节点流向负载时，该器件即拉出电流，输出电流声明为正值。当电流从负载流入器件 SW 节点时，该器件即灌入电流，电流声明为负值。

该器件提供固定的逐周期负过流 (NOC) 限制，设置为 −16A。与正过流限制类似，在低侧 FET 导通期间会监测电感器电流。为了防止负电流过大和低侧 FET 损坏，在检测到通过低侧 FET 的负电流超过 NOC 限制之后，该器件

Copyright © 2024 Texas Instruments Incorporated

会关断低侧 FET。然后，高侧 FET 在由 PVIN、VOUT 和 f_{SW} 设置确定的导通时间内导通。高侧 FET 导通时间结束后，低侧 FET 再次导通。

在标称运行期间，该器件不太可能触发 −16A 负电流限制，除非选择的电感值太小或电感器饱和。该 NOC 运行特性用于在过压事件期间使输出电容器放电。

6.3.11 零交叉检测

TPS548D26 器件采用一个内部电路在跳跃模式期间进行零电感电流检测。固定 Z-C 检测阈值设置为较小的正值，例如 300mA，目的是补偿 Z-C 检测电路的延迟时间，也是为了避免检测太晚。根据电感值、频率、VIN 和 Vout 条件，这可能会导致二极管在短时间内导通。

6.3.12 输入过压保护

TPS548D26 器件可主动监测 PVIN 输入电压。当 PVIN 电压电平高于输入过压阈值时，TPS548D26 器件将停止开关，并将 PG 信号拉低。PVIN OV 上升阈值通常为 18.6V，而 PVIN OV 下降阈值通常为 13.4V。

触发 PVIN 过压故障后，该器件会闭锁高侧和低侧 FET，直到 EN 引脚切换或 PVIN 复位。

6.3.13 输出欠压和过压保护

TPS548D26 器件会监测 FB 节点电压 ($V_{FB} - V_{GOSNS}$)，以便提供过压 (OV) 和欠压 (UV) 保护。

VOUT UVF

当 FB 节点电压 ($V_{FB} - V_{GOSNS}$) 降至 400mV 或更低时，UVF 比较器会进行检测，内部 UVF 响应延迟计数器开始计数。当 16µs UVF 响应延迟到期时，该器件按照通过 SS 引脚选择的故障响应方式进行响应。在选择*闭锁* 响应的情况下，该器件将闭锁高侧和低侧 FET。清除闭锁的方法是复位 VCC 或切换 EN 引脚。在选择*断续* 响应的情况下，该器件进入断续模式，并在 56ms 的断续睡眠时间过后自动重新启动，并且不限制重新启动的尝试次数。

UVF 功能只有在软启动周期完成后才会启用。

在 UVF 响应延迟期间，如果 FB 节点电压 ($V_{FB} - V_{GOSNS}$) 上升到 UVF 阈值以上，因此不符合 UVF 事件的条件，则 UVF 响应延迟计时器将复位为零。当 VOUT 再次降至 UVF 阈值以下时，UVF 响应延迟计时器从零重新启动。

VOUT OVF

当 FB 节点电压 ($V_{FB} - V_{GOSNS}$) 上升到 750mV 或更高时，OVF 比较器会检测到这一情况，该器件立即闭锁高侧 FET 并导通低侧 FET，直到流过低侧 FET 的电流超过负过流 (NOC) 限制。在达到 −16A NOC 限制时，低侧 FET 关断，高侧 FET 再次导通，导通时间由 PVIN、VOUT 和 f_{SW} 设置决定。该器件在此周期内运行，直至输出电压完全放电。VOUT 完全放电后，高侧 FET 锁存为关断状态，低侧 FET 锁存为导通状态。在选择*闭锁* 响应的情况下，该器件保持在高侧 FET 锁存关断和低侧 FET 锁存导通的状态下。清除闭锁的方法是复位 VCC 或切换 EN 引脚。在选择*断续* 响应的情况下，该器件仍通过运行 NOC 操作来进行输出电压放电。但是，该器件会在 56ms 的断续睡眠时间过后自动重新启动，并且不限制重新启动的尝试次数。断续睡眠时间计数器在 OVF 触发后立即启动。

OVF 功能只有在软启动周期完成后才会启用。

6.3.14 过热保护

为了全面覆盖潜在的过热事件，TPS548D26 器件实现了两个过热保护电路：一个位于控制器侧，一个位于功率级 (PS) 侧。

通过监测功率级温度实现 OTP

在功率级 (PS) 侧有一个温度检测电路。此电路检测到的温度馈入 PS 侧的 OTP 电路，然后与固定阈值（上升阈值典型值为 166°C）进行比较。当检测到的 IC 温度超过固定阈值时，该器件停止 SW 开关。当 PS 芯片温度降至上升阈值以下 30°C 时，该器件自动重新启动，并发起软启动。功率级侧的这个 OTP 是一种非锁存保护机制。

通过监测控制器温度实现 OTP

该控制器具有一个内部片上温度检测电路。检测到的温度信号馈入控制器侧的 OTP 比较器，然后与固定阈值（上升阈值典型值为 166°C）进行比较。当检测到的控制器温度超过固定阈值时，该器件停止 SW 开关。该器件对 OTP 事件的响应取决于 SS 引脚配置 (strap) 检测。在选择*闭锁* 响应的情况下，该器件将闭锁高侧和低侧 FET。清除闭锁的方法是复位 VCC 或切换 EN 引脚。在选择*断续* 响应的情况下，该器件进入断续模式，并在 56ms 的断续睡眠时间过后自动重新启动，并且不限制重新启动的尝试次数。

鉴于控制器侧的功率损耗远小于功率级侧的功率损耗，控制器侧的 OTP 不太可能在标称运行期间触发。

6.3.15 电源正常状态

TPS548D26 器件在 PG 引脚上提供电源正常状态输出，当转换器输出处于目标范围内时，该状态输出会置为有效（高电平）。当 EN 引脚禁用开关或 PVIN 电平不足时，PG 输出保持低电平。PG 输出为开漏输出，必须通过上拉电阻（通常为 10kΩ）从外部上拉。建议的 PG 上拉电阻值为 1kΩ 至 100kΩ。

VCC 电压电平达到有效 PG 输出的最小 VCC 阈值（最大 1.2V）后，PG 功能将激活。当 VCC 低于 1.2V 时，PG 电路没有足够的电源，开漏输出始终为高阻态。软启动斜坡完成且 1ms PG 延迟结束后，PG 功能将完全激活。

6.4 器件功能模式

6.4.1 强制连续导通模式

当运行模式设置为 FCCM 时，控制器在轻负载条件下以连续导通模式 (CCM) 运行。在 CCM 期间，开关频率在整个负载范围内维持在一个几乎恒定的水平，因此适用于需要严格控制开关频率的应用，但其代价是效率较低。

选择 FCCM 时，TPS548D26 器件在整个软启动期间以及标称运行期间以 CCM 模式运行。

6.4.2 自动跳跃 Eco-mode 轻载运行模式

当工作模式设置为 DCM 时，该器件会自动降低轻负载条件下的开关频率，以保持高效率。本节详细介绍该运行模式。

随着输出电流从重负载条件下减小，电感器电流也会减小，直到电感器电流的纹波谷值达到零电平。零电平是连续导通模式和不连续导通模式之间的边界。当检测到该电感器电流为零时，同步 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式 (DCM)。导通时间保持在与连续导通模式运行期间大致相同的水平，因此以较小的负载电流将输出电容器放电至基准电压电平需要更多的时间。使用以下公式计算轻负载运行 IOUT(LL) 的转换点（例如，连续和断续导通模式之间的阈值）。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

其中

- f_{SW} 为开关频率

TI 建议使用低 ESR 电容器（例如陶瓷电容器）来实现跳跃模式。

Copyright © 2024 Texas Instruments Incorporated

6.4.3 通过 12V 总线为该器件供电

采用单 V_{IN} 配置的情况下，该器件由 12V 总线供电时运行良好。在单 V_{IN} 配置中，内部 LDO 由 12V 总线供电，并生成 4.5V 输出以偏置内部模拟电路，同时为栅极驱动器上电。该配置下的 V_{IN} 输入范围为 4V 至 16V，负载电流高达 40A。图 6-1 展示了这个单 V_{IN} 配置的示例。

V_{IN} 和 EN 是用于启用器件的两个信号。对于启动序列，V_{IN} 和 EN 信号之间的任何序列都可以为该器件正确上电。

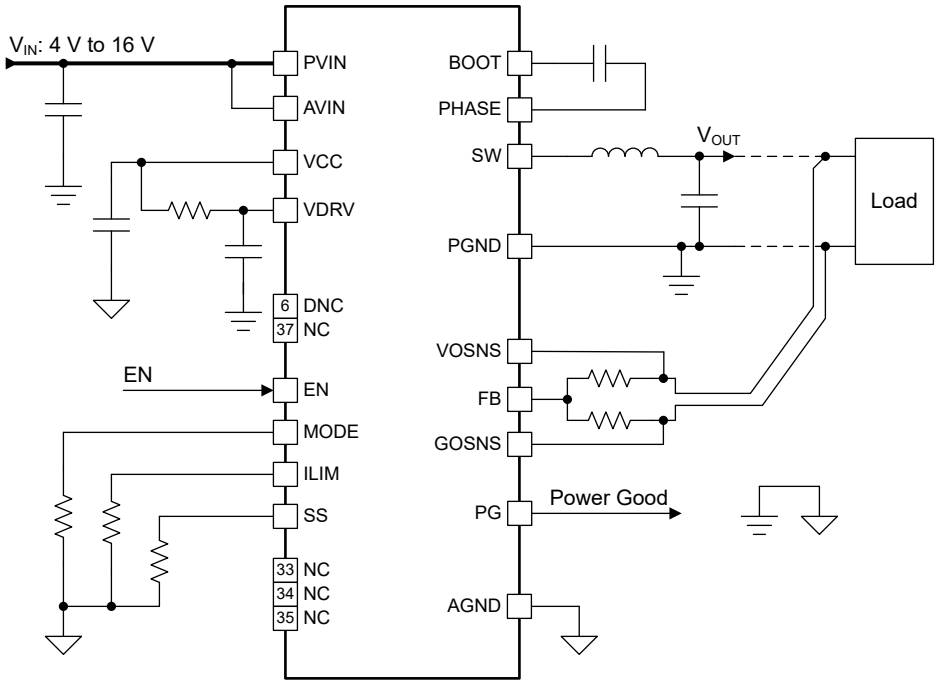


图 6-1. 具有 12V 总线的单 V_{IN} 配置

6.4.4 通过双电源配置为该器件供电

在 VDRV 引脚上应用与主 V_{IN} 总线具有不同电平的外部辅助电源时，可利用主 V_{IN} 总线和 VDRV 辅助电源将该器件配置为双电源供电。将有效的辅助电源轨连接到 VDRV 引脚会覆盖内部 VCC LDO，从而减少该线性稳压器的功率损耗。该配置有助于提高整体系统级效率，但需要有效的 VCC 辅助电源。VDRV 辅助电源的常见选择是 5.0V 电源轨。借助稳定的 VDRV 辅助电源，该配置下的 V_{IN} 输入范围为 2.7V 至 16V。

外部辅助电源的噪声会影响内部模拟电路。为了确保正常运行，需要一个纯净、低噪声的外部辅助电源，并需要在 VDRV 引脚和 PGND 引脚之间连接一个本地去耦电容器。图 6-2 展示了这种双电源配置的示例。

标称运行期间，VDRV 外部辅助电源电流随辅助电源的电压电平和开关频率的变化而变化。例如，通过将该器件设置为跳跃模式，当开关频率在轻负载条件下降低时，VDRV 引脚从外部辅助电源汲取的电流越来越小。*电气特性* 表中列出了 FCCM 工作模式下的典型 VDRV 外部辅助电源电流，旨在帮助用户准备外部辅助电源的容量。

在双电源配置下，PVIN、VDRV 辅助电源和 EN 是用于启用器件的信号。对于启动序列，TI 建议先于 PVIN 轨向 VDRV 引脚应用外部辅助电源。一个实际的启动序列示例是首先应用外部 5V 辅助电源，然后在 PVIN 上应用 12V 总线，然后 EN 信号变为高电平。

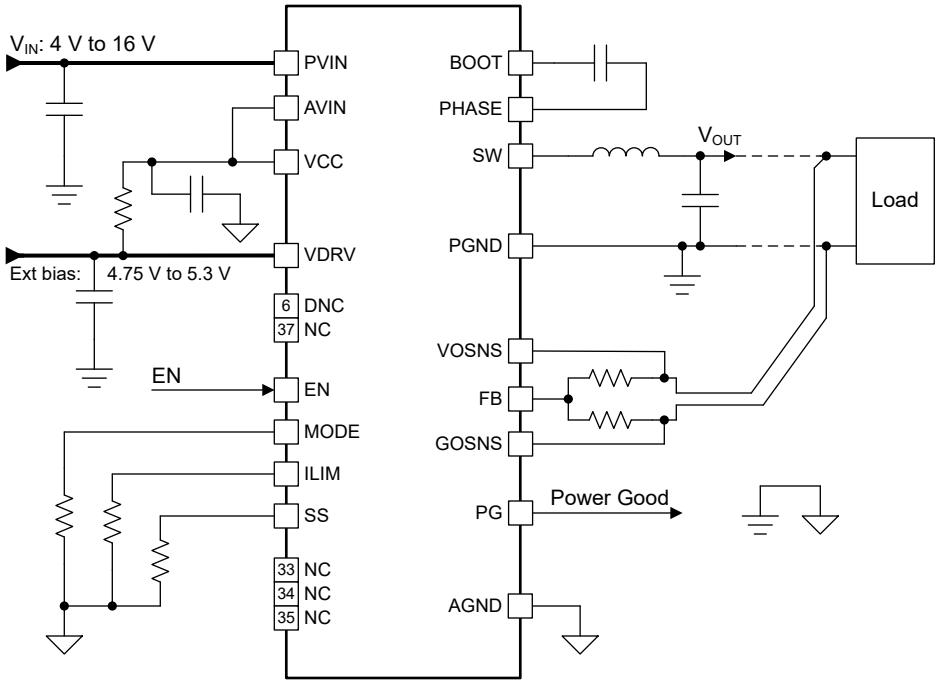


图 6-2. 具有外部 VCC 辅助电源的双电源配置

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS548D26 器件是一款高度集成的同步直流/直流降压转换器。TPS548D26 具有简单的设计过程，可通过引脚配置 (strap) 检测来配置可编程参数。

7.2 典型应用

7.2.1 应用

此设计描述了一个用于 TPS548D26EVM 的 3.3V、40A 应用。

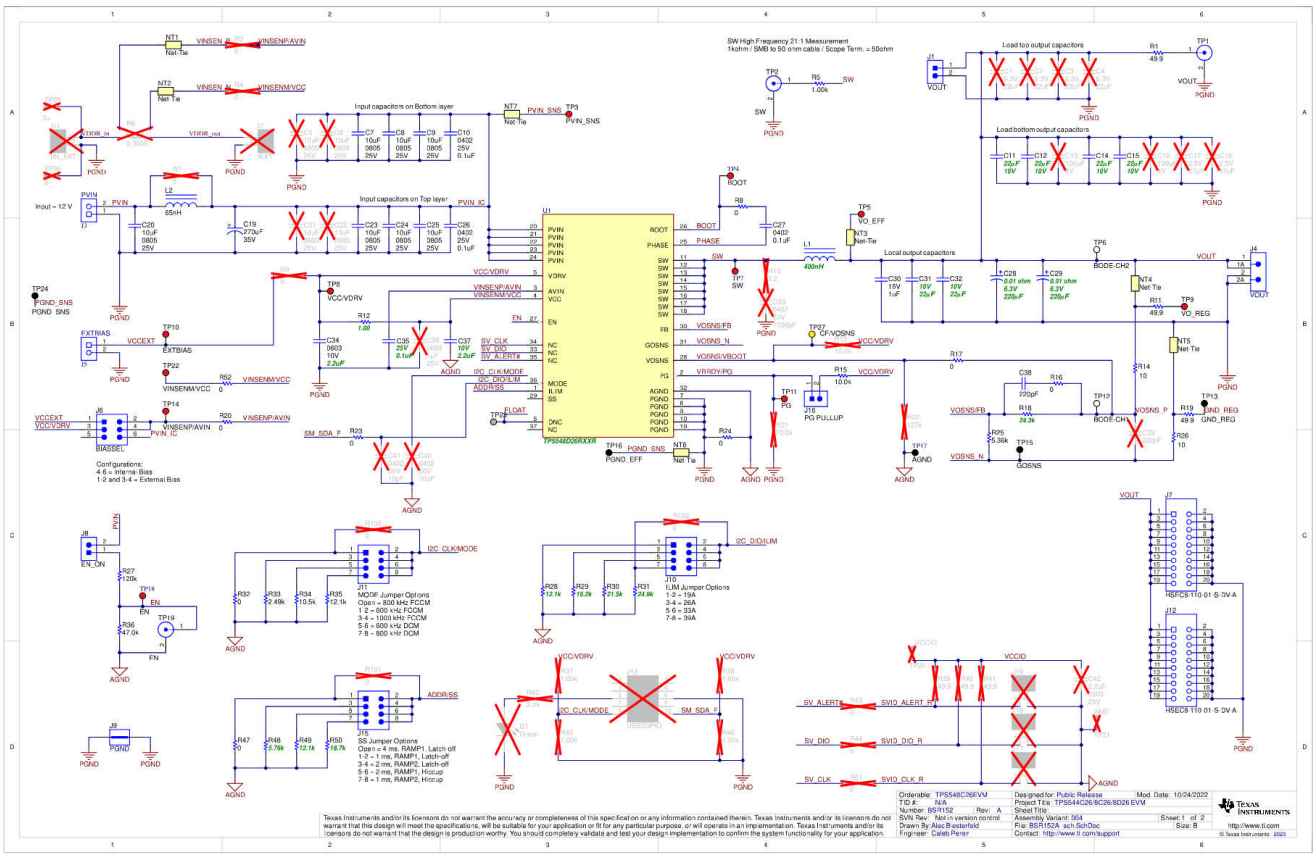


图 7-1. TPS548D26EVM 3.3V 输出应用

7.2.2 设计要求

此设计使用下表中列出的参数。

表 7-1. 设计参数

参数	值
输入电压	10.8V 至 13.2V
输出电压	1.1V
输出电流	40A
开关频率	1000kHz

7.2.3 详细设计过程

此设计示例利用了 TPS548D26EVM 的要求。此器件的默认设置正是针对该应用设计的。以下步骤说明了如何选择关键元件。

7.2.3.1 电感器选型

一般来说，较小的电感会增加环路带宽，从而获得更好的瞬态响应，但代价是电流和电压纹波较高。选择的电感器应能平衡特定设计的瞬态性能和纹波要求。建议将电感器纹波电流保持在所需输出电流的 20% 至 40% 范围内。本例使用 400nH、0.8mΩ 电感器。

7.2.3.2 输入电容器选择

选择输入电容器应该减少输入电压纹波和高频旁路，从而降低器件内部功率级 MOSFET 的开关应力。本例中，必须将 0.1μF、25V 的 0402 陶瓷电容器放置在尽可能靠近器件引脚 20 的位置，与 PCB 上的 IC 位于同一层。此外，还使用 6 个 10μF 陶瓷电容器，并在输入端使用可选的 270μF 大容量电容器。

7.2.3.3 输出电容器选型

为了满足输出电压纹波和负载瞬态要求，请在电感器输出端本地使用一个 1μF 和 2 个 22μF 陶瓷电容器。此外，在 PCB 的顶部使用 2 个 220μF 大容量电容器，并在 PCB 的底部使用 4 个 22μF 陶瓷电容器。

7.2.3.4 VCC 和 VRDV 旁路电容器

将一个 2.2μF、6.3V（或 10V）额定值的陶瓷电容器连接到 AGND 可以旁路掉 VCC 引脚。

将一个 2.2μF、6.3V（或 10V）额定值的陶瓷电容器连接到 PGND 可以旁路掉 VDRV 引脚。该旁路电容器必须参考 PGND 引脚 7 至 10，以更大限度地缩短高频驱动电流路径的长度。

在 VCC 引脚和 VDRV 引脚之间放置一个 1Ω 电阻将在 VCC 引脚上形成一个 RC 滤波器，可大幅降低功率级驱动电路的噪声影响。

7.2.3.5 启动电容器选型

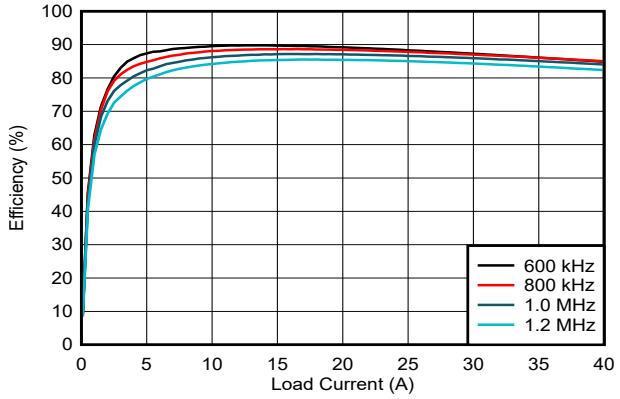
Phase（引脚 25）与 Boot（引脚 26）之间至少要使用一个 0.1μF 的电容器进行连接。可以添加可选的 0Ω 或 2.2Ω 串联启动电阻。

7.2.3.6 PG 上拉电阻选型

PG 输出为开漏输出，必须通过上拉电阻从外部上拉。在 PG 引脚（引脚 2）上放置一个阻值范围为 1kΩ 至 100kΩ 的上拉电阻。在本例中，PG 通过一个 10kΩ 电阻上拉至 VCC/VDRV。

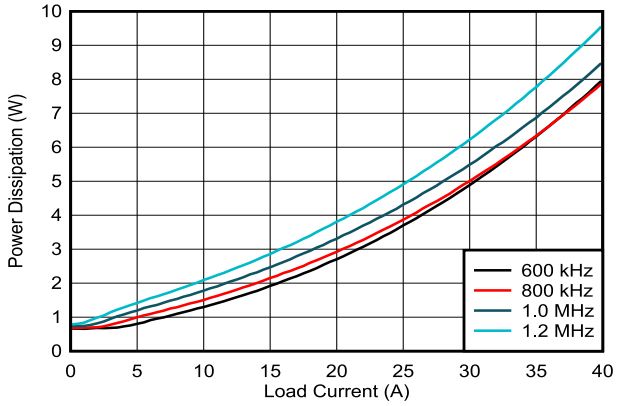
Copyright © 2024 Texas Instruments Incorporated

7.2.4 应用曲线



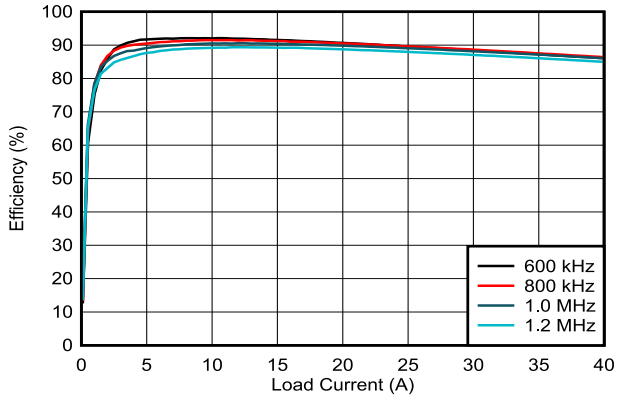
PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 1.1V
MODE = FCCM

图 7-2. 效率与输出电流之间的关系



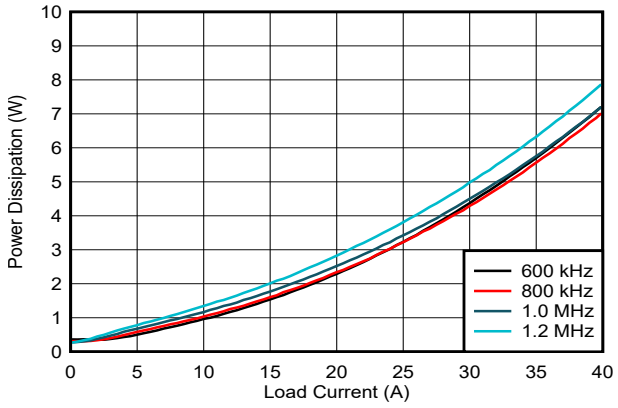
PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 1.1V
MODE = FCCM

图 7-3. 功率损耗与输出电流间的关系



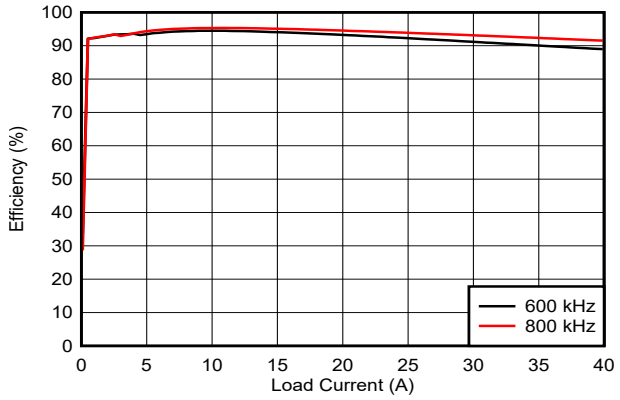
PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V
MODE = FCCM

图 7-4. 效率与输出电流之间的关系



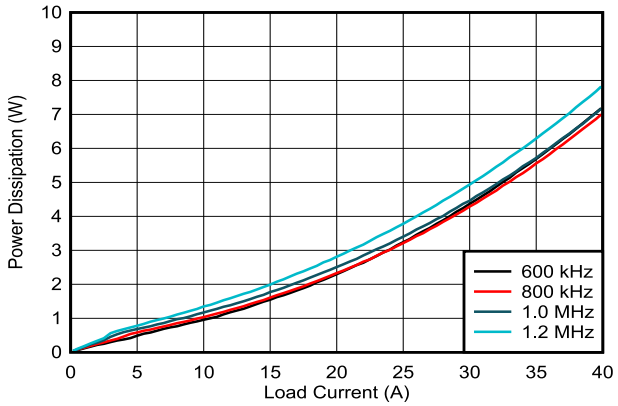
PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V
MODE = FCCM

图 7-5. 功率损耗与输出电流间的关系



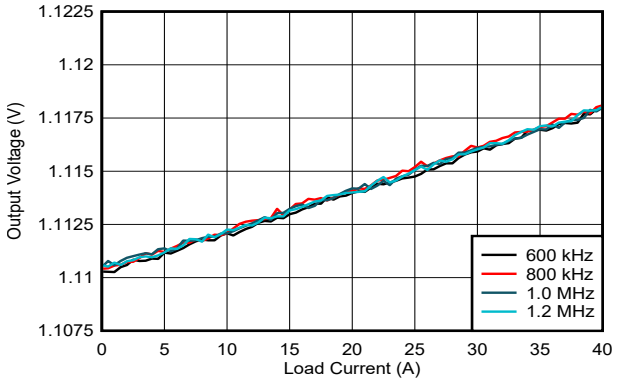
PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V
MODE = DCM

图 7-6. 效率与输出电流之间的关系



PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V
MODE = DCM

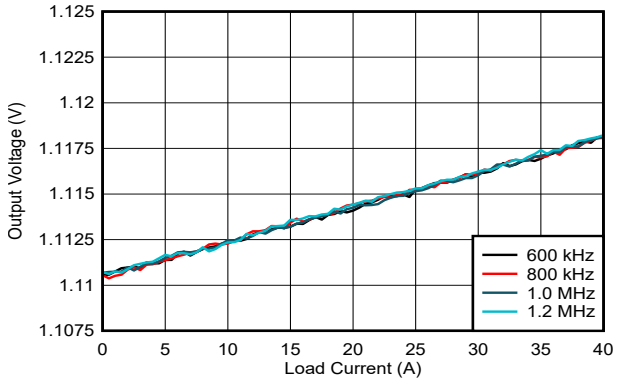
图 7-7. 功率损耗与输出电流间的关系



PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 1.1V

MODE = FCCM　　无直流负载线路 (DCLL)

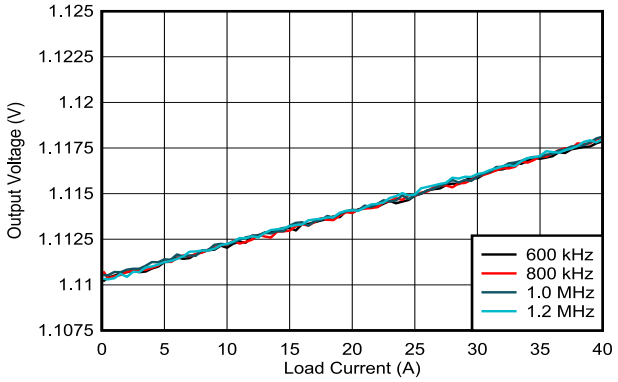
图 7-8. 负载调整率与输出电流之间的关系



PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V

MODE = FCCM　　无直流负载线路 (DCLL)

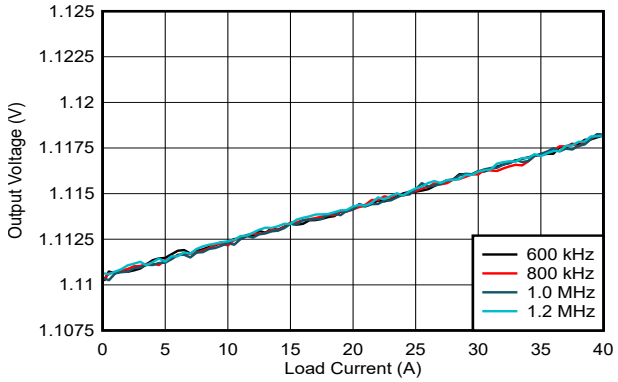
图 7-9. 负载调整率与输出电流之间的关系



PVIN = 12V　　VCC = 内部 LDO　　V_{OUT} = 1.1V

MODE = DCM　　无直流负载线路 (DCLL)

图 7-10. 负载调整率与输出电流之间的关系



PVIN = 12V　　VCC = 外部 5V 辅助电源　　V_{OUT} = 1.1V

MODE = DCM　　无直流负载线路 (DCLL)

图 7-11. 负载调整率与输出电流之间的关系

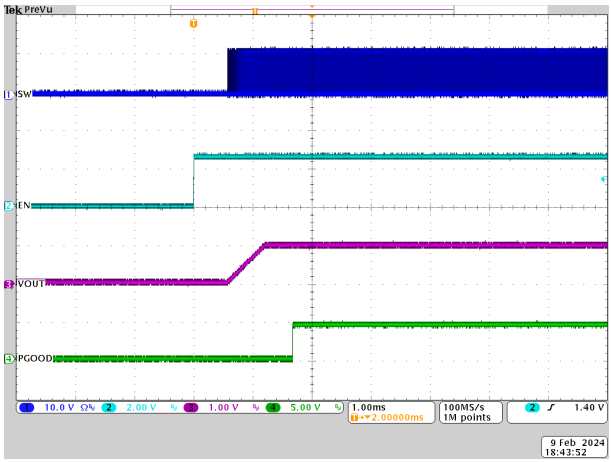


图 7-12. ENABLE 启动波形，PVIN = 12V，VOUT = 1.1V

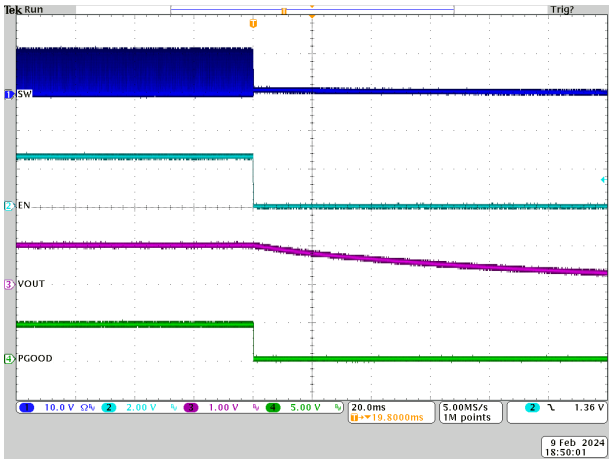


图 7-13. ENABLE 关断波形，PVIN = 12V，VOUT = 1.1V

Copyright © 2024 Texas Instruments Incorporated

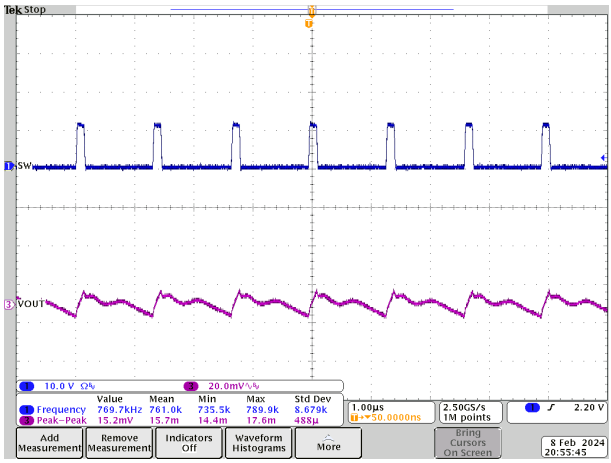


图 7-14. 输出电压纹波，800kHz FCCM，40A 负载，PVIN = 12V，VOUT = 1.1V

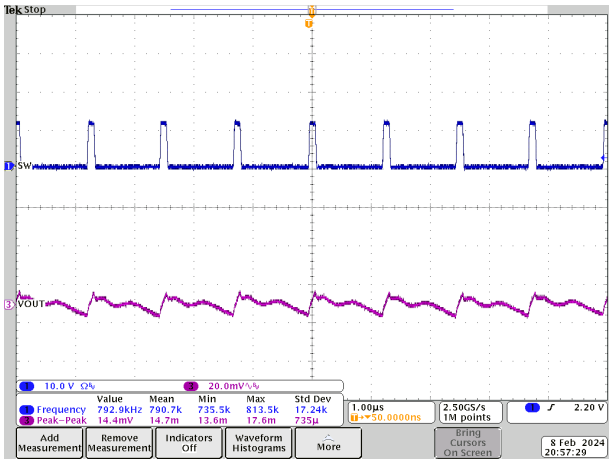


图 7-15. 输出电压纹波，800kHz FCCM，空载，PVIN = 12V，VOUT = 1.1V

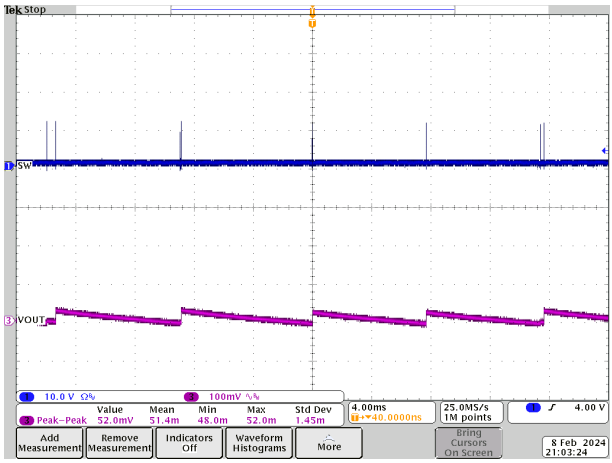


图 7-16. 输出电压纹波，DCM，空载，PVIN = 12V，VOUT = 1.1V

7.3 电源建议

当 VDRV 引脚由 4.75V 至 5.3V 范围内的外部辅助电源电压供电时，该器件可在 2.7V 至 16V 的宽输入电压范围内运行。两个输入电源（PVIN 和 VDRV 辅助电源）都必须进行良好调节。除了 PCB 布局和接地方案外，对输入电源（PVIN 和 VDRV）进行正确旁路对于噪声性能也至关重要。请参阅 *布局指南* 中的建议。

7.4 布局

7.4.1 布局指南

布局对于实现良好的电源设计至关重要。布局示例显示了推荐的 PCB 布局配置。下面列出了使用该器件时的 PCB 布局注意事项：

- 将功率元件（包括输入和输出电容器、电感器和 IC）放置在 PCB 的顶面。要屏蔽小信号布线并使其与有噪声的电力线隔离，请至少插入一个实心接地内部平面。
- PVIN 至 PGND 去耦电容器对于 FET 的稳健性非常重要。除了大容量 0603 或 0805 陶瓷电容器外，TI 强烈建议在 PVIN 引脚 20（顶层）上使用额定值为 25V 的 X7R 类 0.1µF、0402 陶瓷电容器，以旁路掉 PVIN 至 PGND 环路中的任何高频电流。TI 建议采用 25V 额定值，但如果应用中具有严格调节的 12V 输入总线，则可以将额定值降低至 16V。

- 当一个或多个 PVIN 至 PGND 去耦电容器放置在底层时，会引入额外的阻抗，从而将 IC PVIN 节点旁路至 IC PGND 节点。在 PVIN 焊盘（由引脚 20 至引脚 24 构成）上放置至少 3 倍的 PVIN 过孔，在散热焊盘（IC 下方）上放置至少 9 倍的 PGND 过孔，这对于更大限度降低底层旁路电容器的额外阻抗非常重要。
- 除散热焊盘下方的 PGND 过孔外，至少将四个 PGND 过孔放置在尽可能靠近 PGND 引脚 7 至引脚 10 的位置。将至少两个 PGND 过孔放置在尽可能靠近 PGND 引脚 19 的位置。此操作可以更大限度减小 PGND 抖动并降低热阻。
- 将 VDRV 至 PGND 去耦电容器尽可能靠近器件放置。TI 建议使用 2.2μF/6.3V/X7R/0603 或 4.7μF/6.3V/X6S/0603 陶瓷电容器。为降低 ESR 和 ESL，该旁路电容器的额定电压必须至少为 6.3V 但不超过 10V。为更大限度减少直流偏置效应造成的电容降，建议的电容器尺寸为 0603。确保 VDRV 至 PGND 去耦环路最小，并确保布线走线足够宽，以便降低阻抗。
- 作为 VCC LDO 的输入，将一个 1μF、25V 额定值的陶瓷电容器连接到 AGND，以旁路掉 AVIN 引脚。TI 建议采用 25V 额定值，但如果应用中具有严格调节的 12V 输入总线，则可以将额定值降低至 16V。
- 将一个 2.2μF、6.3V（或 10V）额定值的陶瓷电容器连接到 AGND，以旁路掉 VCC 引脚。在 VCC 引脚和 VDRV 引脚之间放置一个 1Ω 电阻可以在 VCC 引脚上形成一个 RC 滤波器，可大幅降低功率级驱动器电路的噪声影响。
- 对于遥感，FB 分压电阻与远程位置之间的连接必须采用一对宽度至少为 12mil 的 PCB 布线，在检测位置，必须在 0.1μF 或更高的高频旁路电容器上实现开尔文检测。遥感信号的接地连接必须连接到 GOSNS 引脚。遥感信号的 VOUT 连接必须连接到 VOSNS 引脚和顶部反馈电阻 R_{FB_top}。为了保持稳定的输出电压并更大限度减小纹波，这个遥感线路差分对必须远离任何噪声源（例如电感器和 SW 节点）或高频时钟线路。TI 建议用上下两个接地平面屏蔽这对遥感线路。
- 对于单端检测，请将 FB 分压电阻连接到 0.1μF 或更高容值的高频本地旁路电容器，并以最短布线将 GOSNS 短接至 AGND。
- AGND 引脚 32 必须连接到实心 PGND 平面。TI 建议将 AGND 过孔放置在靠近引脚 32 的位置以将 AGND 从顶层布线到底层，然后通过底层上的网络连接或 0Ω 电阻将 AGND 引线连接到 PGND 过孔（IC 下方）。
- 在引脚 1 (ILIM) 与 AGND 之间连接一个电阻可设置 OCL 阈值。在引脚 29 (SS) 与 AGND 之间连接一个电阻可设置软启动时间、内部补偿和故障响应。在引脚 36 (MODE) 与 AGND 之间连接一个电阻可设置开关频率和工作模式。TI 要求这 3 个引脚（ILIM、SS 和 MODE）上没有任何电容器。这 3 个引脚中的任何一个引脚上有电容器都可能导致错误的检测结果。
- 引脚 6 (DNC) 为“请勿连接”引脚。引脚 6 可短接至引脚 37，后者为 NC 引脚（无内部连接）。不要将引脚 6 连接到任何其他网络（包括接地）。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

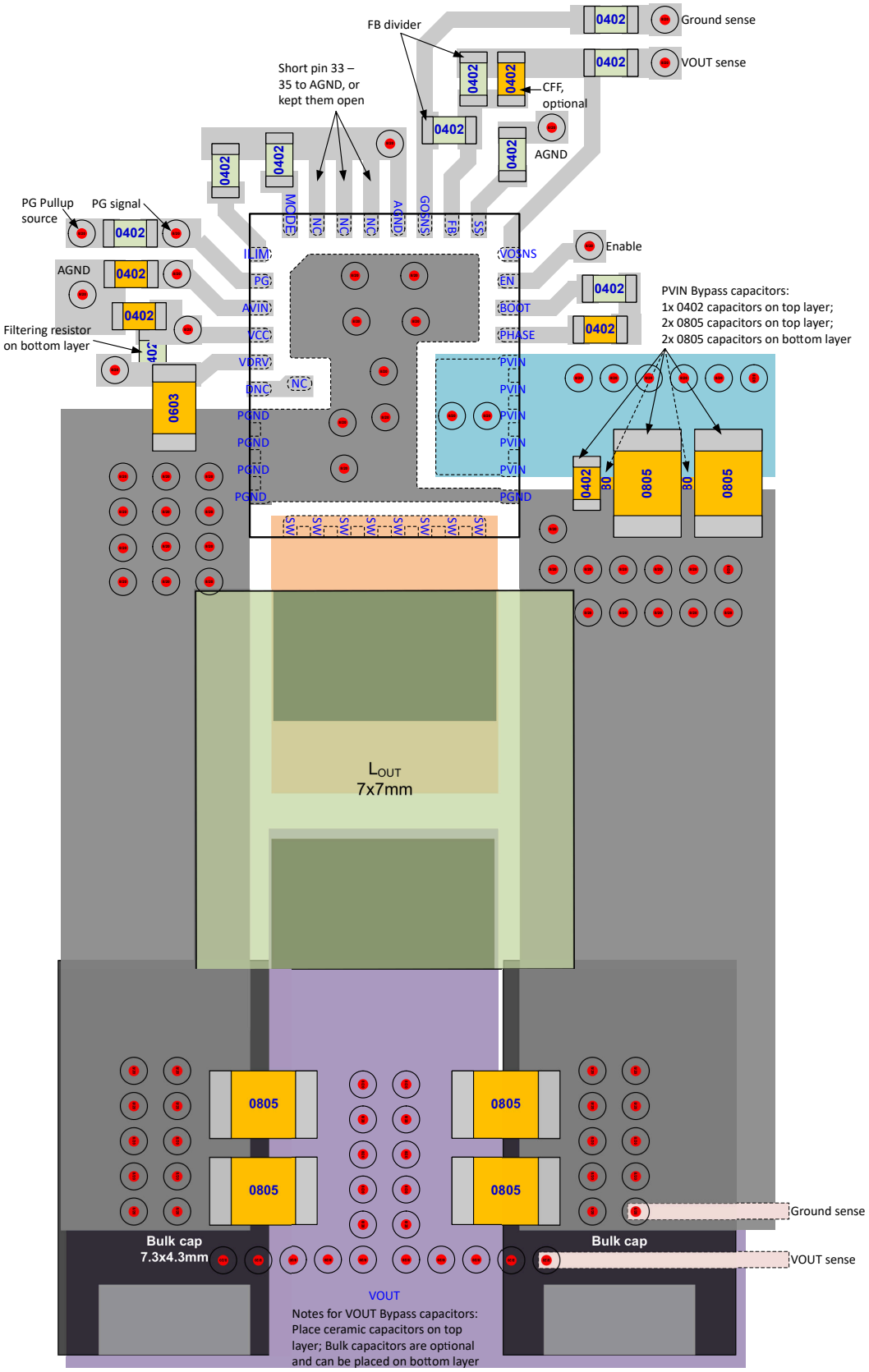


图 7-17. 布局建议

7.4.2.1 TPS548D26 评估板上的热性能

下图是 PVIN = 12V、V_{OUT} = 1.1V 条件下在 TPS548D26 评估板上捕获的热性能结果。

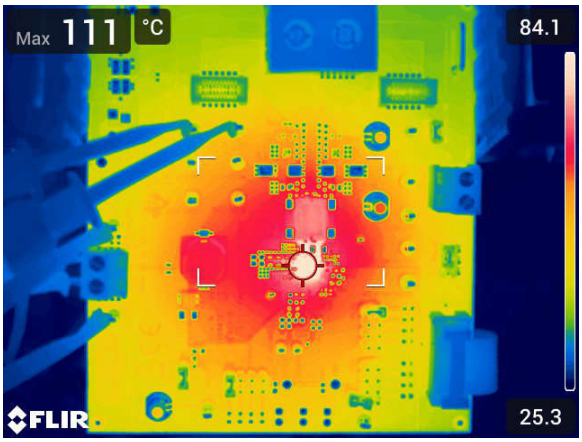


图 7-18. 热特性，600kHz FCCM，内部 LDO，40A 负载

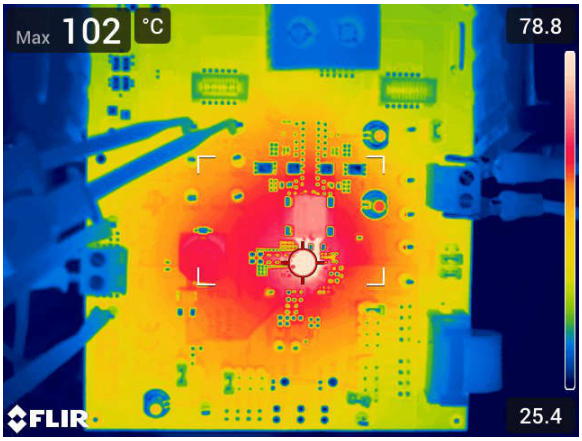


图 7-19. 热特性，600kHz FCCM，外部 5V 辅助电源，40A 负载

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

D-CAP+™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2024) to Revision B (July 2024)	Page
• 将过流限制 7.5kΩ 最小值、典型值、最大值从 11、13、15 更改为 11.5、13.4、16	6
• 将过流限制 12.1kΩ 最小值、典型值、最大值从 18、20、22 更改为 18.8、21、23.3	6
• 将过流限制 16.2kΩ 最小值、典型值、最大值从 24.3、27、29.7 更改为 25.5、28.5、31.5	6
• 将过流限制 21.5kΩ 最小值、典型值、最大值从 31.5、35、38.5 更改为 32.8、36.5、40.3	6
• 将过流限制 24.9kΩ 最小值、典型值、最大值从 36.9、41、45.1 更改为 39、43、47.5	6
• 将负过流限制最小值、典型值、最大值从 –18、–16、–14 更改为 –20、–17.6、–15.4	6

Changes from Revision * (November 2023) to Revision A (February 2024)	Page
• 将文档状态从“预告信息”更改为“量产数据”	1

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS548D26RXXR	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	548D26
TPS548D26RXXR.A	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	548D26
TPS548D26RXXR.B	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

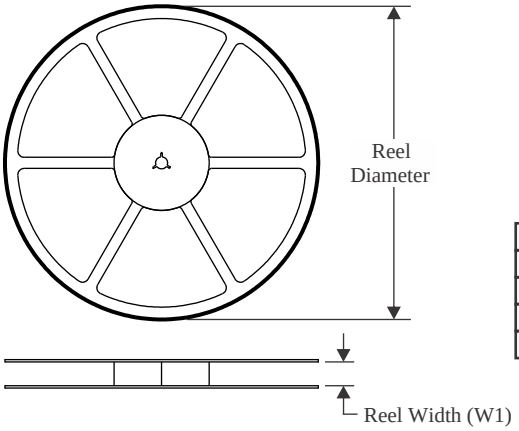
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

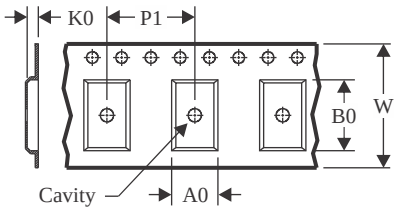
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

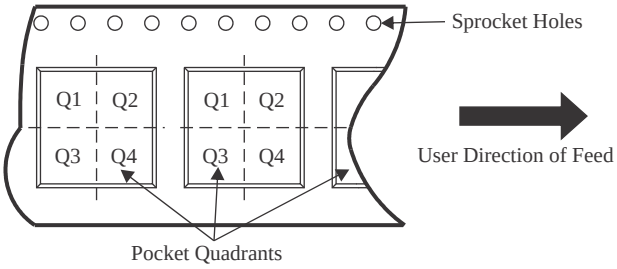


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

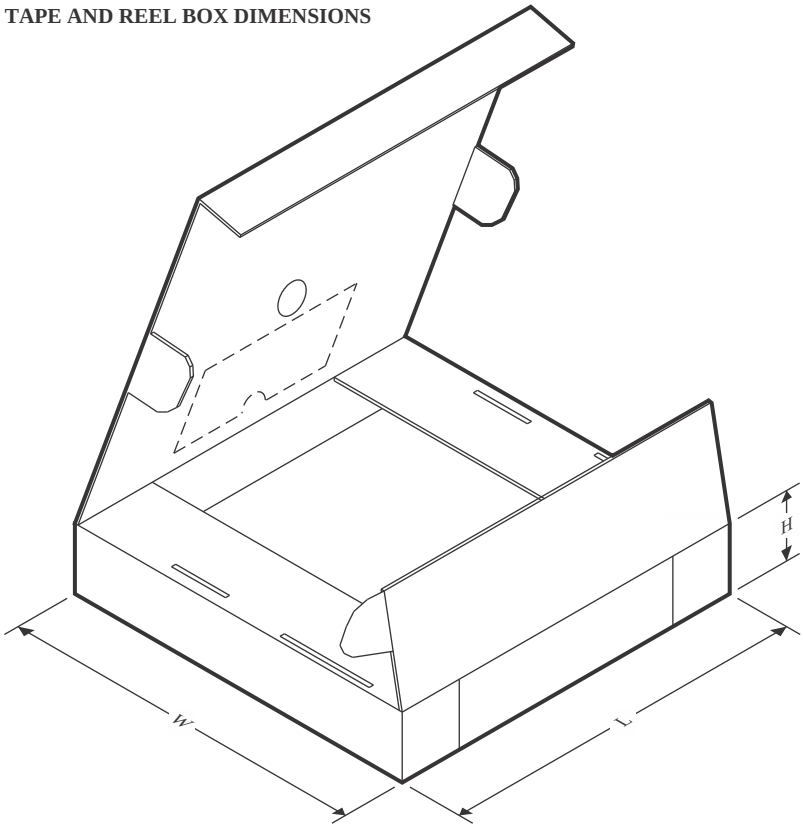
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS548D26RXXR	WQFN-FCRLF	RXX	37	3000	330.0	12.4	5.25	6.3	1.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS548D26RXXR	WQFN-FCRLF	RXX	37	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

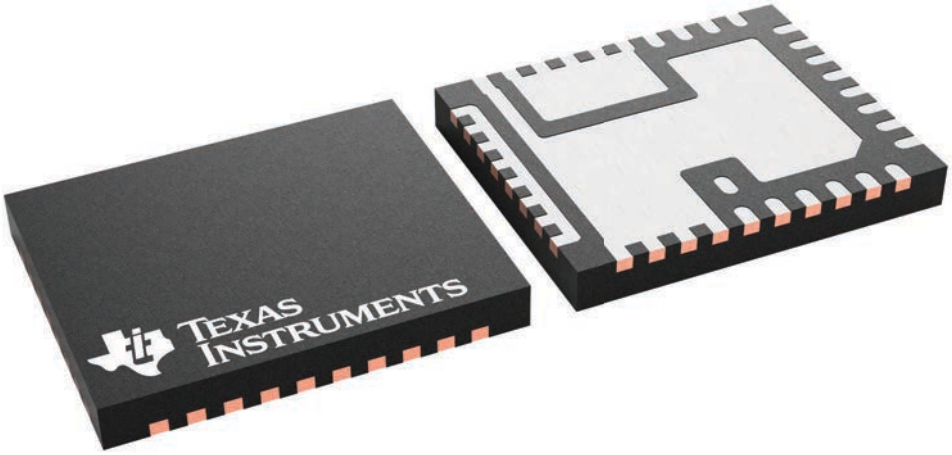
RXX 37

VQFN-FCRLF - 1.05 mm max height

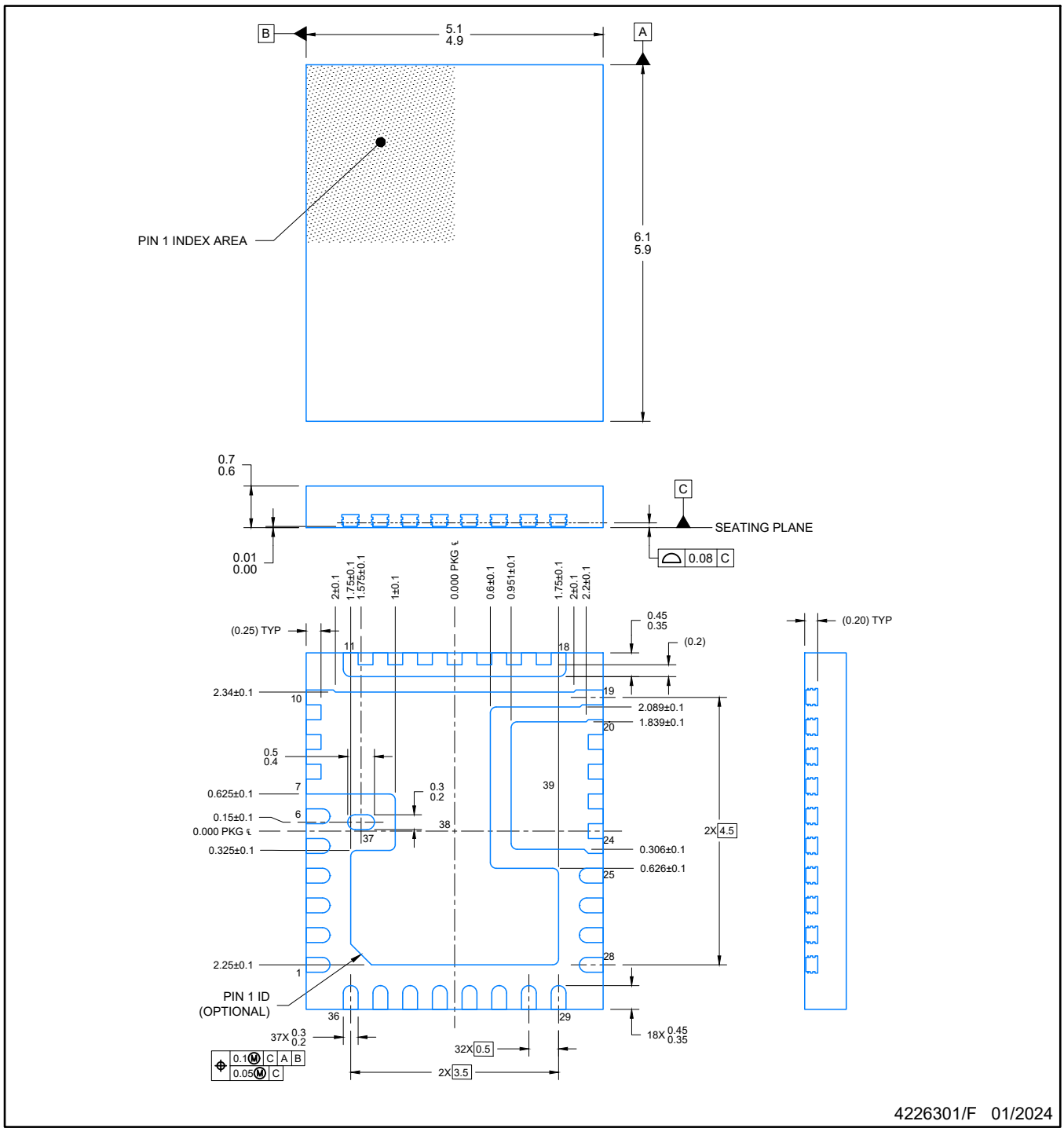
5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

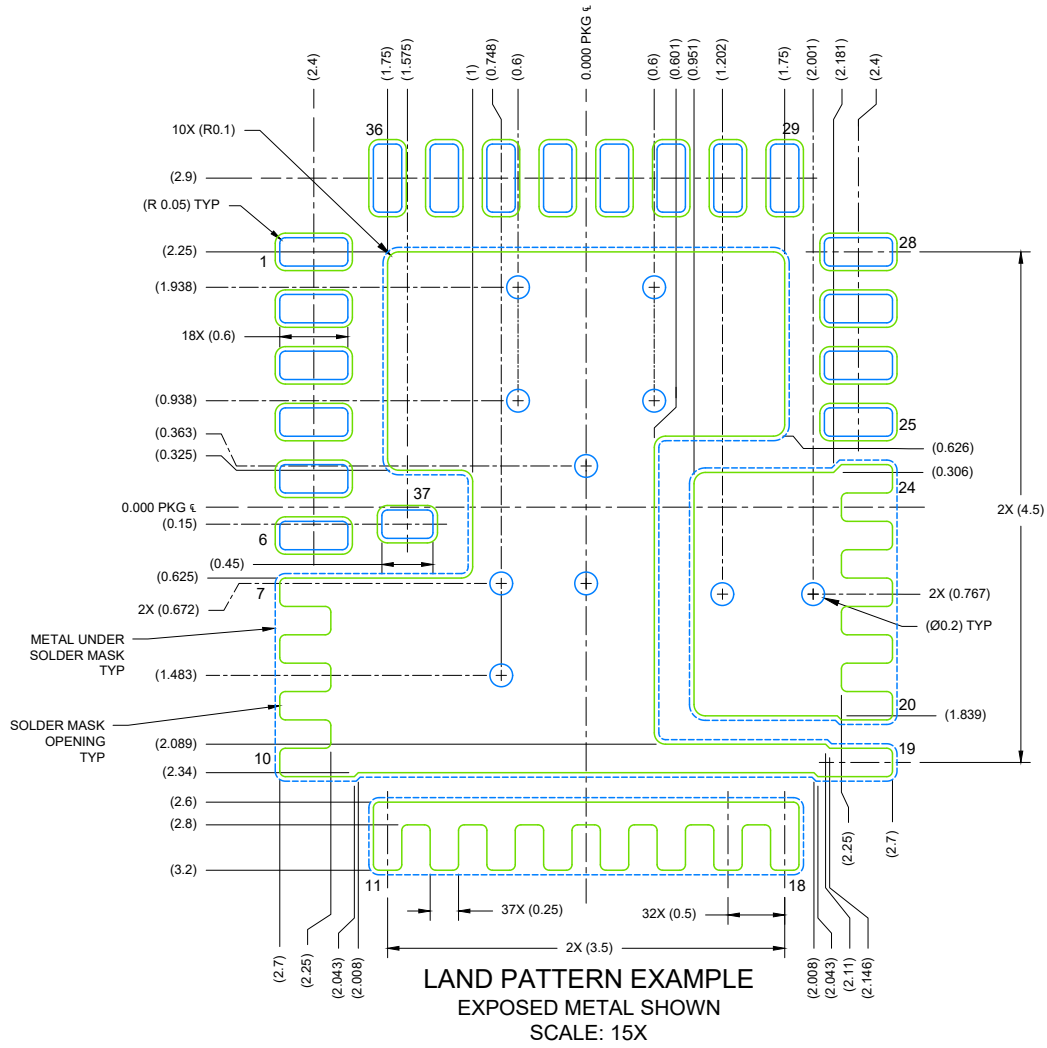


4228557/A

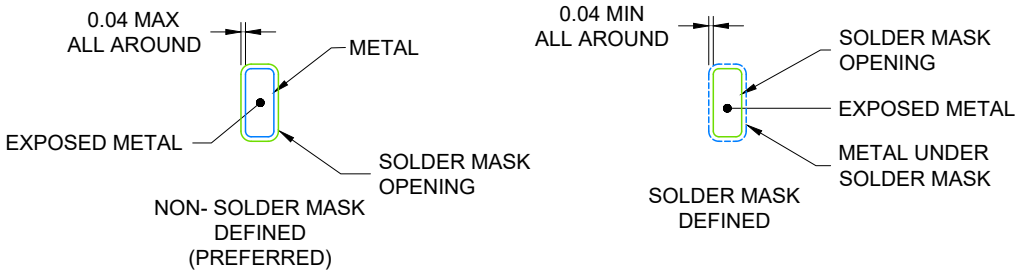


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

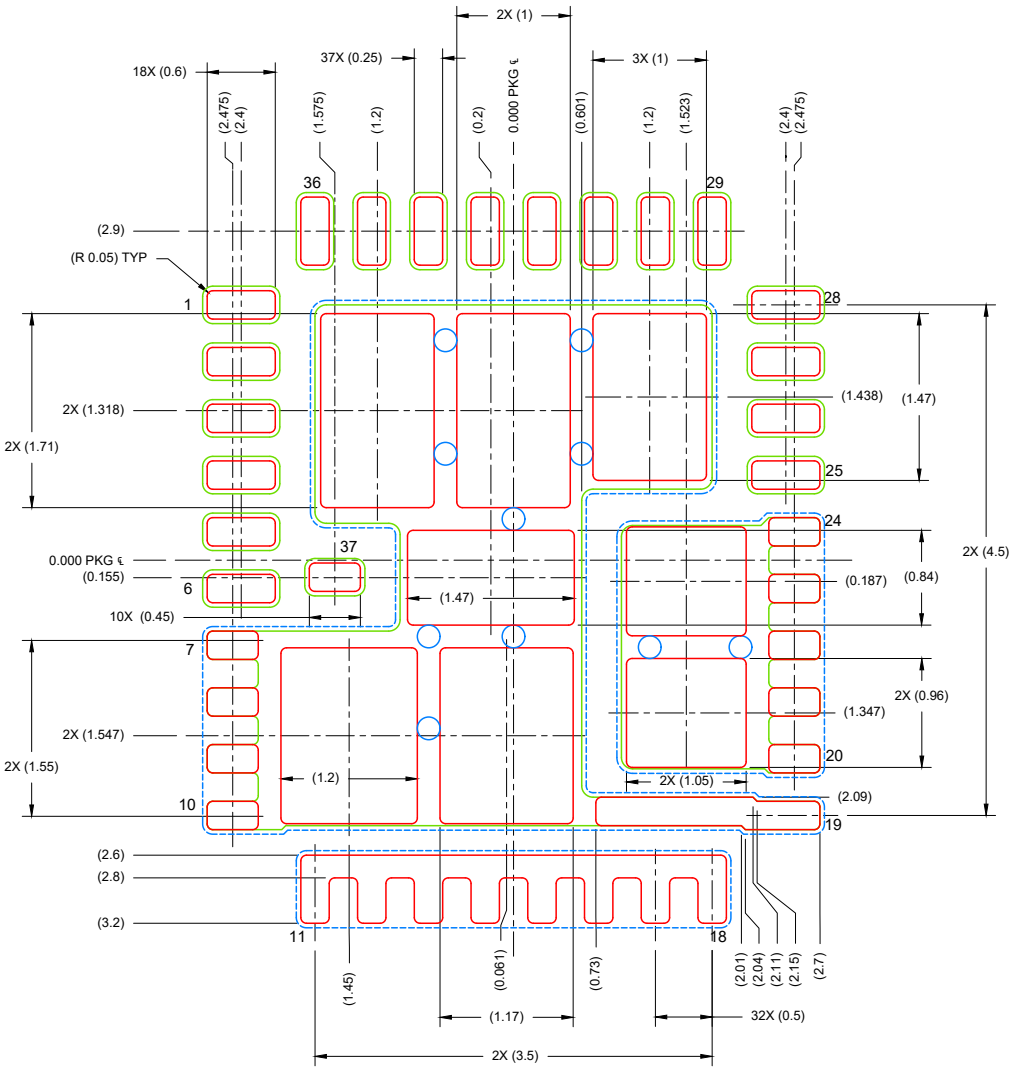


SOLDER MASK DETAILS

4226301/F 01/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
6. Recommended board layout is designed for 2oz copper for high current applications.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

SOLDER COVERAGE :
Thermal Pad connected to pin 7-10, 19 : 80%
Thermal Pad connected to pin 20-24 : 86%
SCALE: 15X

4226301/F 01/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司