

TPS544C27 具有 SVID、PMBus® 的 4V 至 18V 输入、35A 降压转换器

1 特性

- 提供适用于 SVID 电源轨的单芯片电源
- 符合 Intel® VR14 和 VR13 标准
- 符合 VR14.Cloud 标准，拥有遥测级别 2 和安全级别 2
- 提供具有 NVM 的 PMBus® 1.5 接口，用于配置、遥测 (V/I/T) 和故障报告
- 输入电压：4V 至 18V
- 输出电压：0.25V 至 5.5V
- 支持外部 5V 辅助电源，可提高效率并实现 2.7V 最小输入电压
- 输出电流：35A 连续电流和 40A 峰值电流
- 逐周期谷值 I_{OUT} OCF 限值可编程为高达 40A
- 输入电源监控（引脚检测）
- 可编程 DCM 或 FCCM 运行模式
- 开关频率：400kHz 至 2MHz
- 提供可编程内部环路补偿，包括压降补偿（直流负载线路）
- 可编程软启动时间为 0.5ms 至 16ms
- 可编程软停止时间为 0.5ms 至 4ms
- 可编程输出电压压摆率为：0.625mV/μs 至 25mV/μs
- 可编程 V_{IN} UVLO、 V_{OUT} OVF/UVF 和 OTF
- 安全启动至预偏置输出电压
- 提供精密电压基准和差分遥感，可实现高输出精度
 - 0°C 至 85°C 结温范围内的容差为 $\pm 0.5\%$
 - -40°C 至 125°C 结温范围内的容差为 $\pm 1\%$
- 模拟输出电流输出引脚 (IMON)
- 具有 D-CAP+™ 控制拓扑，可实现快速瞬态响应
- 开漏电源正常输出 (VRRDY)

2 应用

- 服务器和云计算 POL
- 硬件加速器
- 网络接口卡
- 宽带、网络和光学模块
- 无线基础设施

3 说明

TPS544C27 器件是一款高度集成的降压转换器，采用 D-CAP+ 控制拓扑，可实现快速瞬态响应。所有可编程参数均可通过 PMBus 接口进行配置，而且可作为新的默认值存储在非易失性存储器 (NVM) 中，以尽可能减少外部元件数量。这些特性使得该器件非常适合空间受限型应用。

TPS544C27 器件旨在与 Intel CPU 配合使用，非常适合 Intel 服务器和 SoC 平台中需要符合 VR13、VR14 或 VR14.Cloud 标准的单相、低至中电流 SVID 电源轨。

该器件上提供了过流故障 (OCF)、 V_{OUT} 过压故障 (OVF)、欠压故障 (UVF) 和过热故障的故障管理和状态报告。TPS544C27 器件提供全套（包括输出电压、输出电流和器件温度）遥测功能。

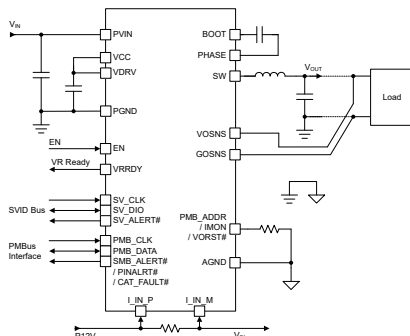
TPS544C27 是一款无铅器件，符合 RoHS 标准，无需豁免。

封装信息

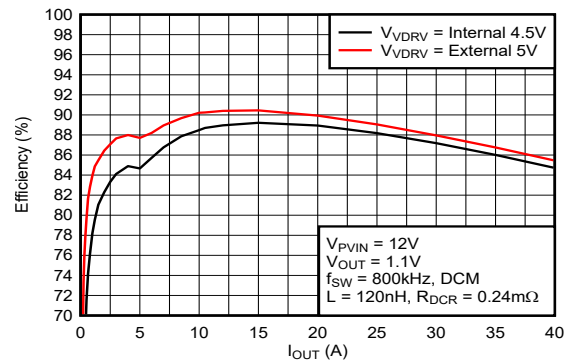
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS544C27	VBD (WQFN-FCRLF, 33)	5.00mm × 4.00mm

(1) 有关更多信息，请参阅节 7。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图



典型效率



内容

1 特性.....	1	5.3 商标.....	5
2 应用.....	1	5.4 静电放电警告.....	5
3 说明.....	1	5.5 术语表.....	5
4 引脚配置和功能.....	3	6 修订历史记录.....	5
5 器件和文档支持.....	5	7 机械、封装和可订购信息.....	6
5.1 接收文档更新通知.....	5	7.1 卷带包装信息.....	6
5.2 支持资源.....	5		

ADVANCE INFORMATION

4 引脚配置和功能

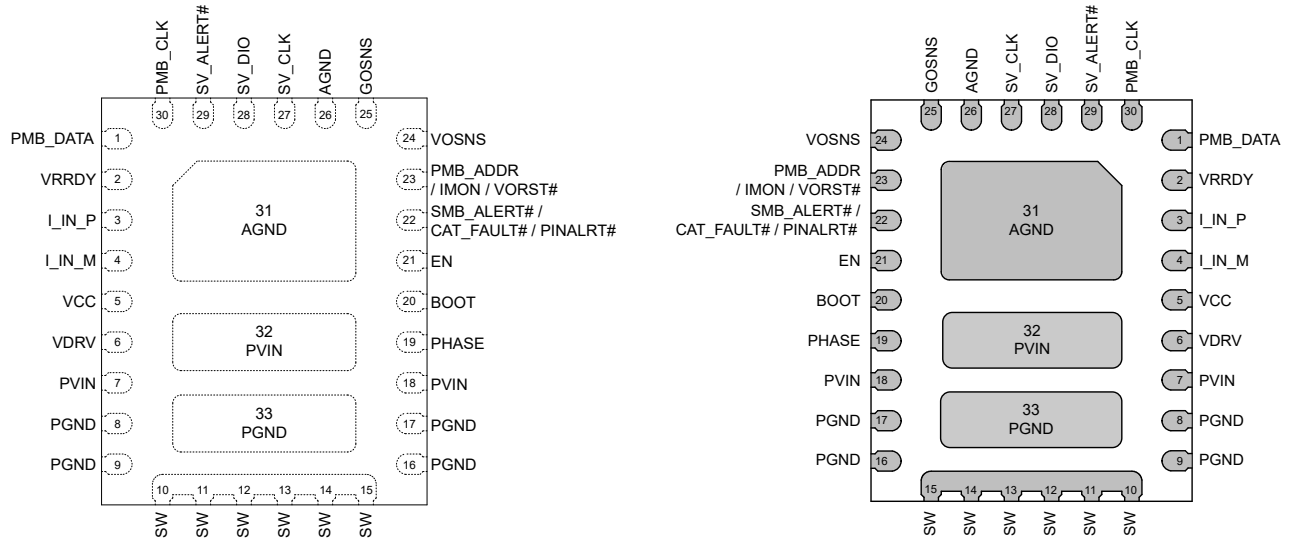


图 4-1. 33 引脚 VBD、WQFN-FCRLF 封装 (顶视图) 图 4-2. 33 引脚 VBD、WQFN-FCRLF 封装 (底视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
AGND	26	G	接地引脚，内部控制电路的基准点
AGND	31	G	散热焊盘内部连接至 AGND。将此焊盘连接到 PCB 布局上的电路板接地端以提高热性能。
BOOT	20	P	高侧栅极驱动器（升压端子）的电源轨。在该引脚与 PHASE 引脚之间连接自举电容器。建议使用高温 (X7R) 0.1 μ F 或更大容值的陶瓷电容器。
EN	21	I	使能引脚，这是一个高电平有效输入引脚，当该引脚置为高电平时，会使 VR 开始输出电压轨的软启动序列。当置为无效（低电平）时，VR 将 VRRDY 引脚置为无效，然后开始输出电压轨的关断序列并继续直至完成。
GOSNS	25	I	差分遥感电路的负输入端，连接到负载侧的接地检测点
I_IN_M	4	I	差分输入电流检测的负输入端。连接到输入电流检测电阻器的 PVIN 侧。如果未使用输入电流检测功能，则直接连接到 I_IN_P 和 PVIN。
I_IN_P	3	I	差分输入电流检测的正输入端。连接到输入电流检测电阻器的输入侧。如果未使用输入电流检测功能，则直接连接到 I_IN_M 和 PVIN。
PGND	8-9、16-17	G	内部功率级的电源接地端
PGND	33	G	散热焊盘内部连接至 PGND。将此焊盘连接到 PCB 布局上的电路板接地端以提高热性能。
PHASE	19	O	高侧 MOSFET 驱动器的回路。在内部短接至 SW。将 BOOT 引脚旁路电容器连接到此引脚。
PMB_ADDR/IMON/VORST#	23	I/O	通用引脚。在器件初始化期间，通过在该引脚和 AGND 之间连接一个外部电阻器来设置控制器的 PMBus 地址。为了正确检测电阻，在 VCC 上电时器件初始化期间，此引脚的负载不得超过 20pF。还选择了 DC_LL、VBOOT 和偏移源 0 或 1。器件初始化后，该引脚可用作模拟电流监控输出。该引脚是低侧 MOSFET 的电流检测引脚。模拟 IMON 功能通过 EN_AIMON 位启用。使用 IMON 功能时，此引脚的负载不得超过 50pF。该引脚还执行 V _{OUT} 复位功能，该功能可以通过 EN_VORST 位启用。如果设置 EN_VORST 位，模拟 IMON 输出会被禁用。
PMB_CLK	30	I	PMBus 串行时钟引脚
PMB_DATA	1	I/O	PMBus 双向串行数据引脚
PVIN	7、18	P	功率级和模拟电路的电源输入。PVIN 是内部 VCC LDO 的输入端。
PVIN	32	P	焊盘内部连接至 PVIN。将该焊盘连接到 PCB 布局中的电源输入电压，并使用通孔连接到内层，以减少 PCB 布局中的交流和直流寄生效应。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
SMB_ALERT#/ CAT_FAULT#/ PINALRT#	22	O	通用开漏引脚。1. SMB_ALERT# 是 PMBus 串行低电平有效警报线路。2. PINALRT# 功能 (低电平有效) 3. CAT_FAULT# 低电平有效灾难性故障指示器。该功能可以通过 PMBus (D0h) SYS_CFG_USER1 命令中的 SEL_ALRT_FN 字段来选择。
SV_ALERT#	29	O	SVID 低电平有效 ALERT# 信号。此输出会置位以指示 VR 的状态已更改。
SV_CLK	27	I	SVID 时钟引脚
SV_DIO	28	I/O	SVID 双向数据引脚
SW	10-15	O	电源转换器的输出开关端子。将这些引脚连接到输出电感器。
VCC	5	I	用于内部电路的 5V 辅助电源。连接到 VDRV, 或通过相同的外部 5V 辅助电源供电。使用最小 1.0μF、10V 陶瓷电容器旁路至 AGND
VDRV	6	P	内部 LDO 输出, 同时也是栅极驱动器电路的输入。可将外部 5V 辅助电源连接到该引脚以减少内部 LDO 上的功率损耗。
VOSNS	24	I	差分遥感电路的负输入端, 连接到负载侧的 Vout 检测点
VRRDY	2	O	稳压器“就绪”输出信号。在 EN 置位后, 当控制器准备好接受 SVID 命令时, VRRDY 指示器将置位。发生关断故障时, VRRDY 也会置为无效 (低电平)。该开漏输出需要一个外部上拉电阻。

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

5 器件和文档支持

5.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

5.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

5.3 商标

D-CAP+™ and TI E2E™ are trademarks of Texas Instruments.

Intel® is a registered trademark of Intel.

PMBus® is a registered trademark of System Management Interface Forum, Inc..

所有商标均为其各自所有者的财产。

5.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

5.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

6 修订历史记录

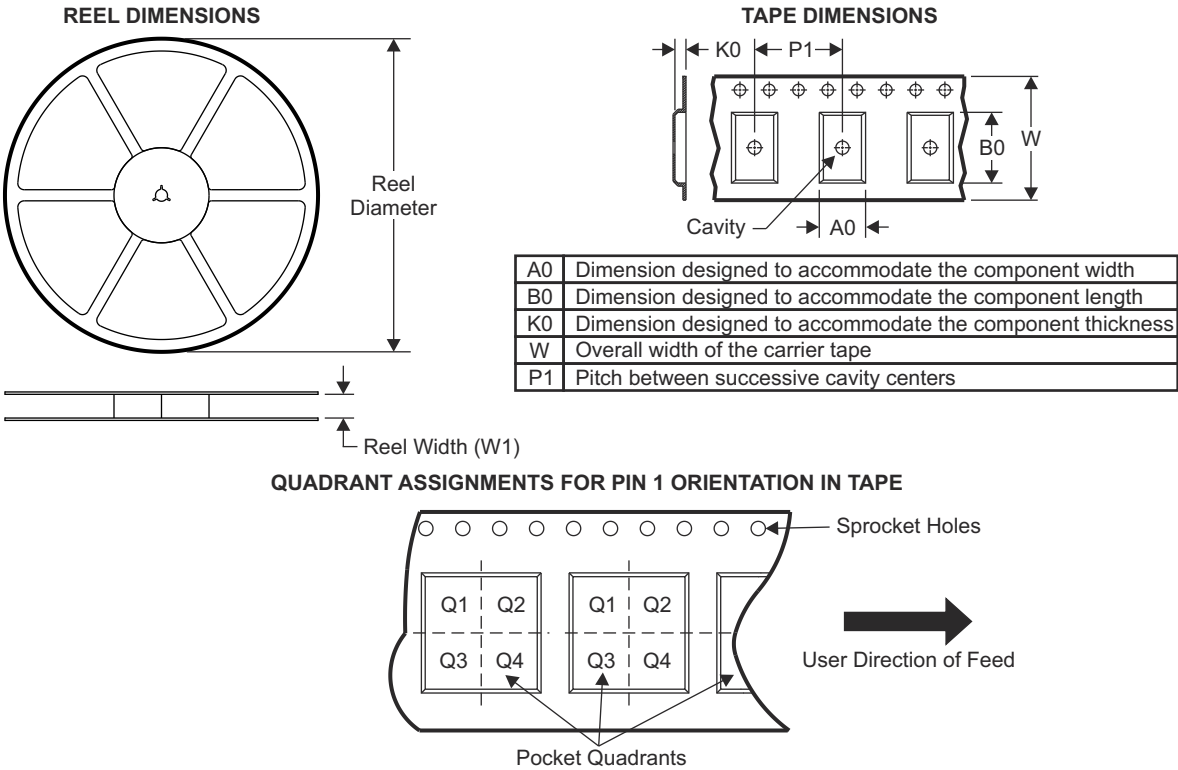
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
July 2024	*	初始发行版

7 机械、封装和可订购信息

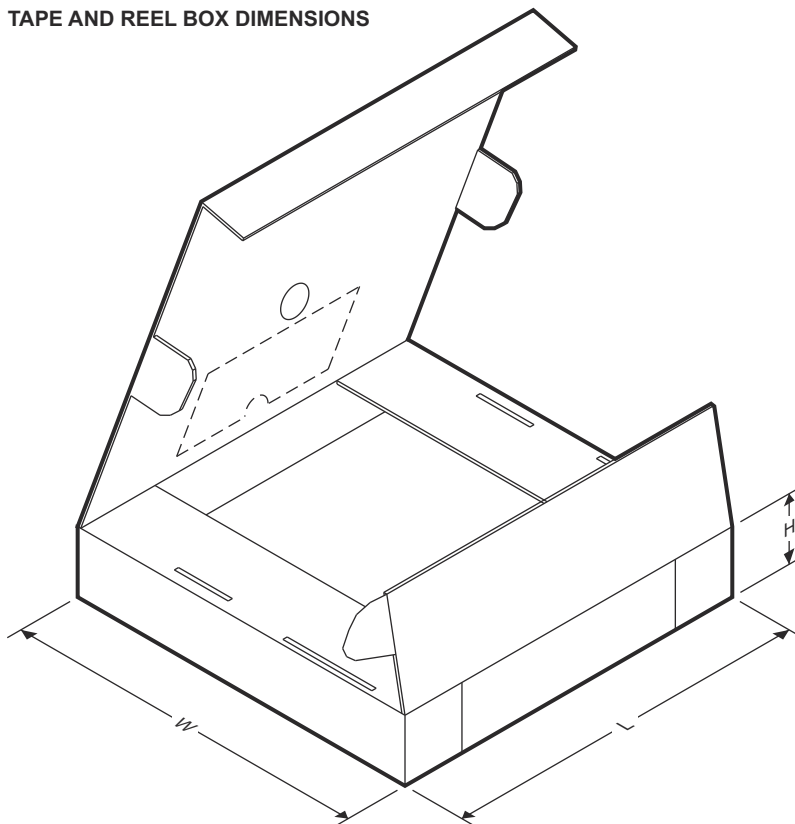
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

7.1 卷带包装信息



器件	封装类型	封装图	引脚数	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PTPS544C27VBDR	WQFN-FCRLF	VBD	33	3000	330	12.4	4.3	5.3	1.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚数	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PTPS544C27VBDR	WQFN-FCRLF	VBD	33	3000	338	355	50

ADVANCE INFORMATION

ADVANCE INFORMATION

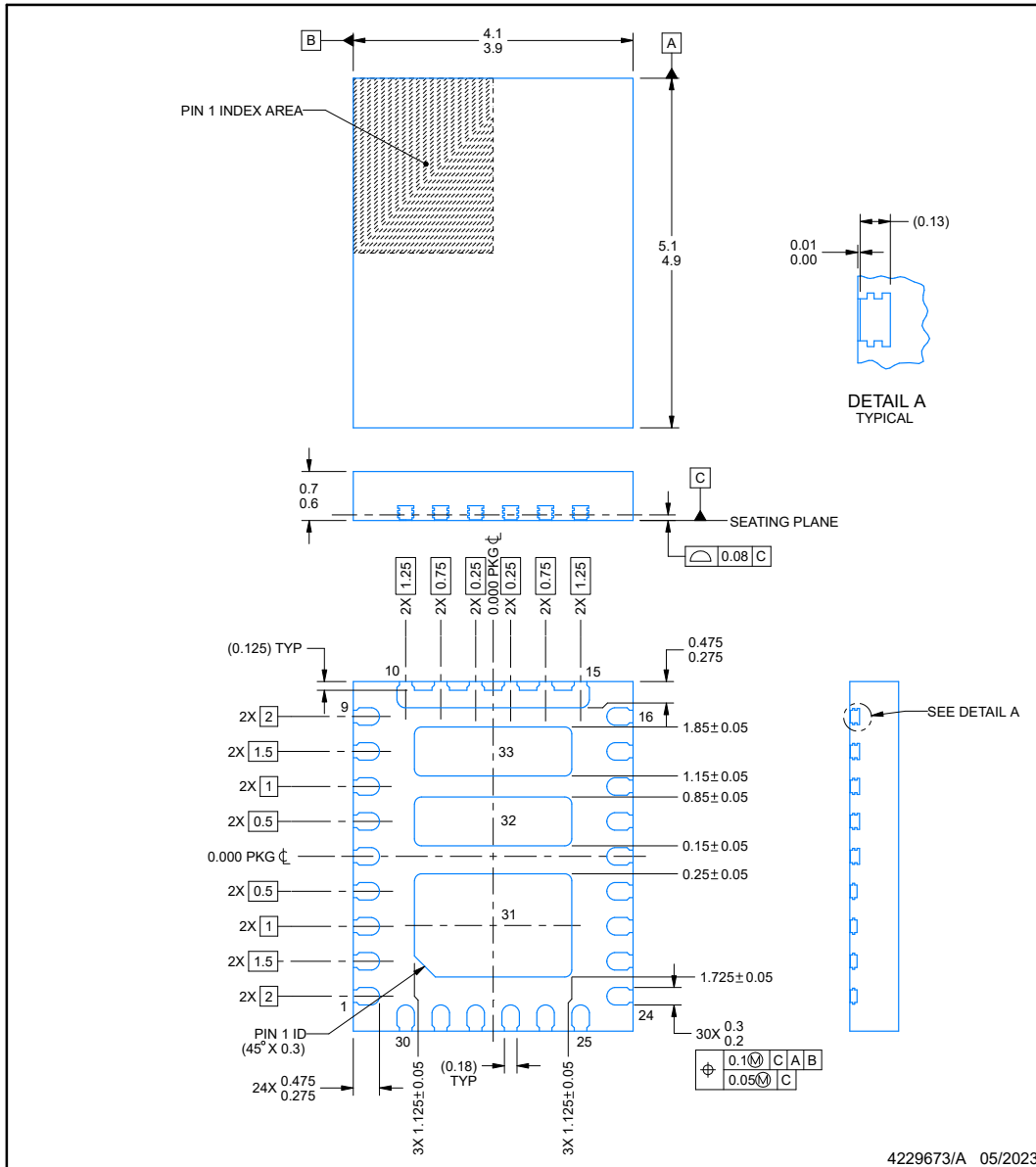


PACKAGE OUTLINE

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

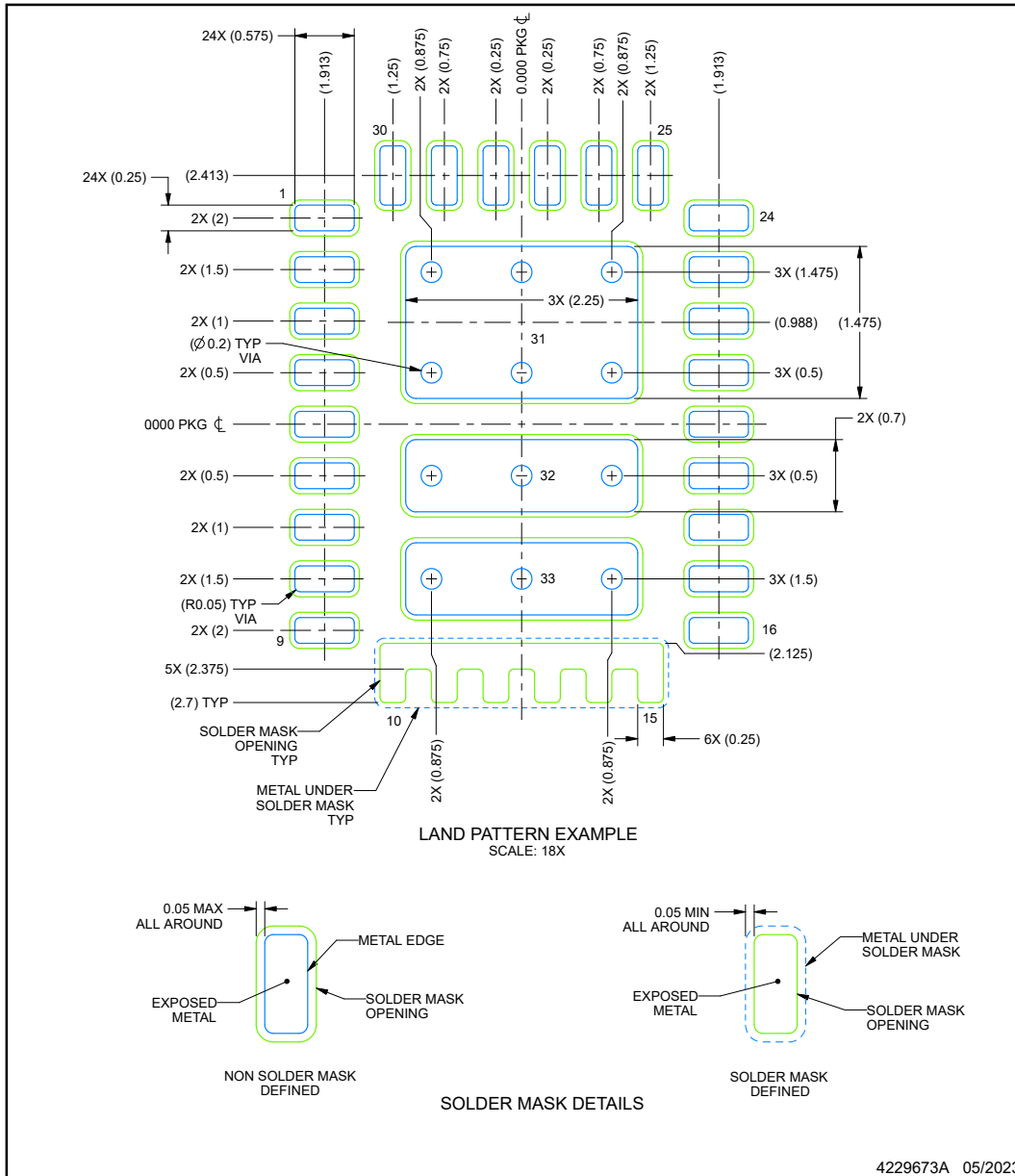
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

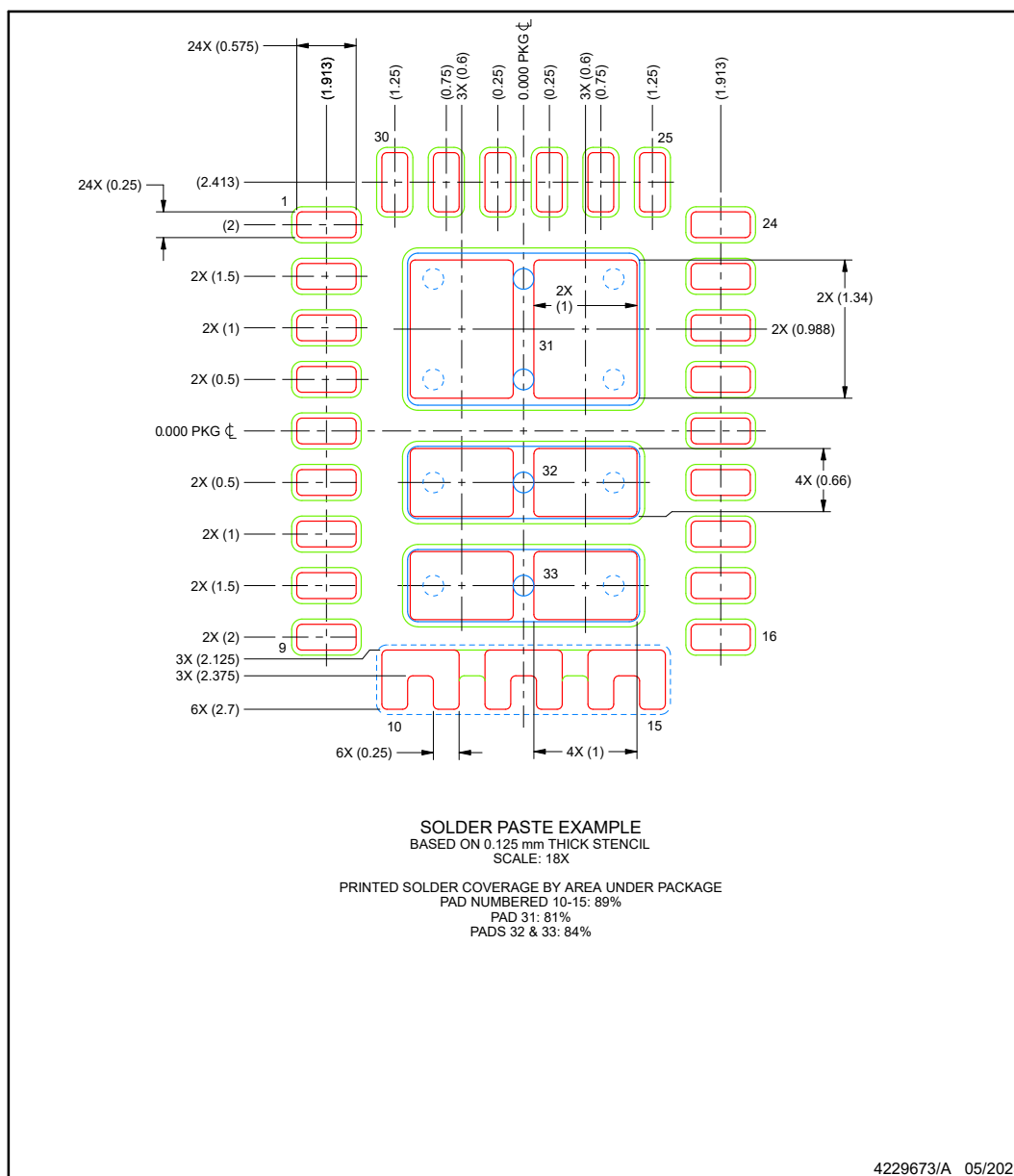
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS544C27VBDR	Active	Preproduction	WQFN-FCRLF (VBD) 33	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS544C27VBDR.A	Active	Preproduction	WQFN-FCRLF (VBD) 33	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS544C27VBDR.B	Active	Preproduction	WQFN-FCRLF (VBD) 33	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

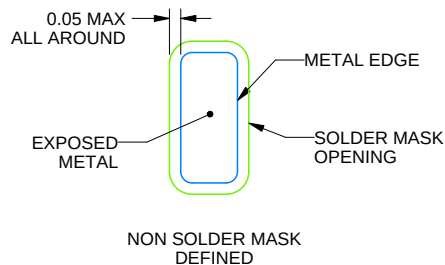
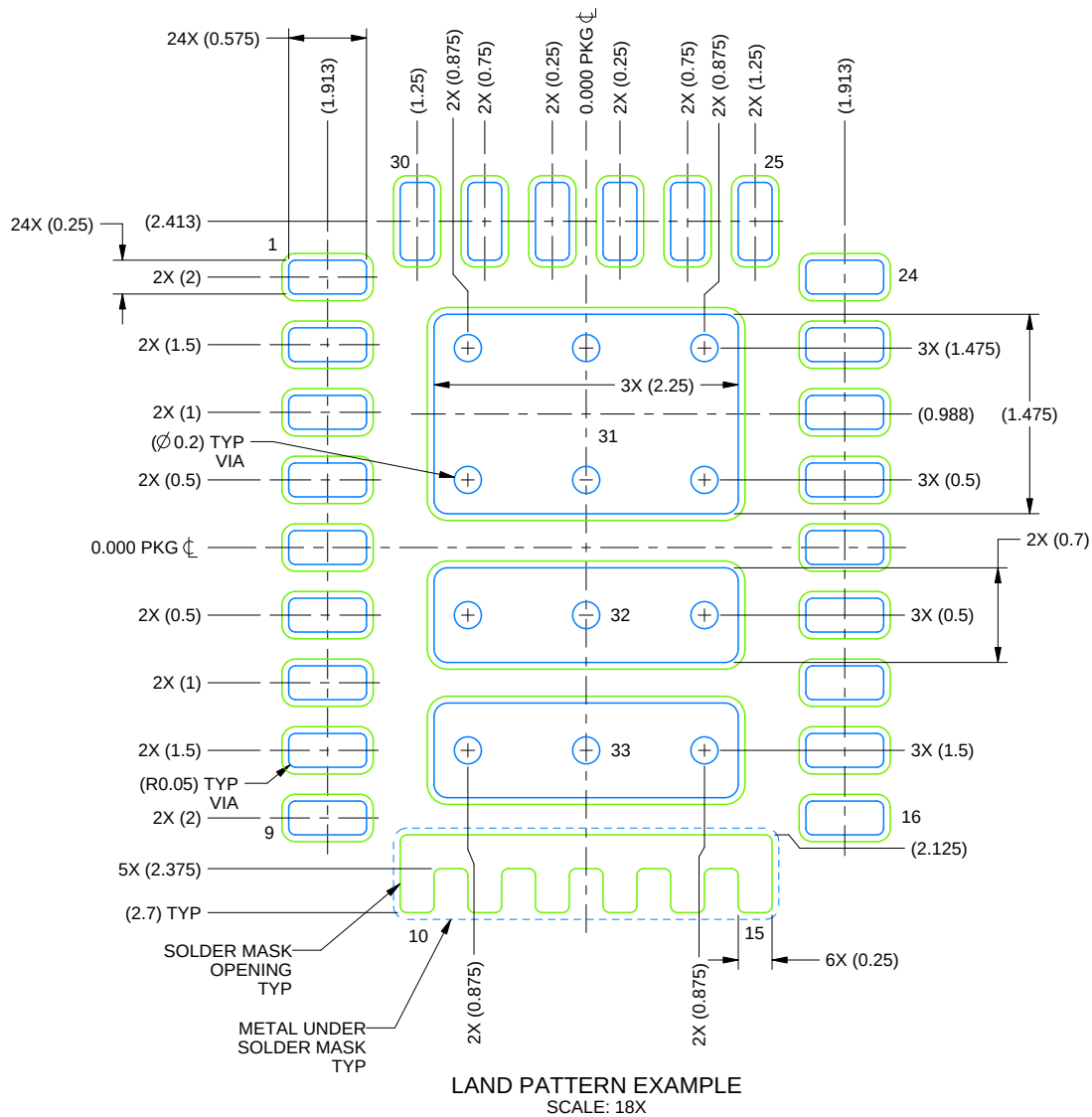
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



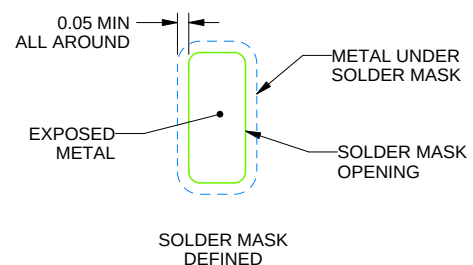
WQFN-FCRLF - 0.7 mm max height

[illegible]

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.



SOLDER MASK DETAILS



NOTES: (continued)

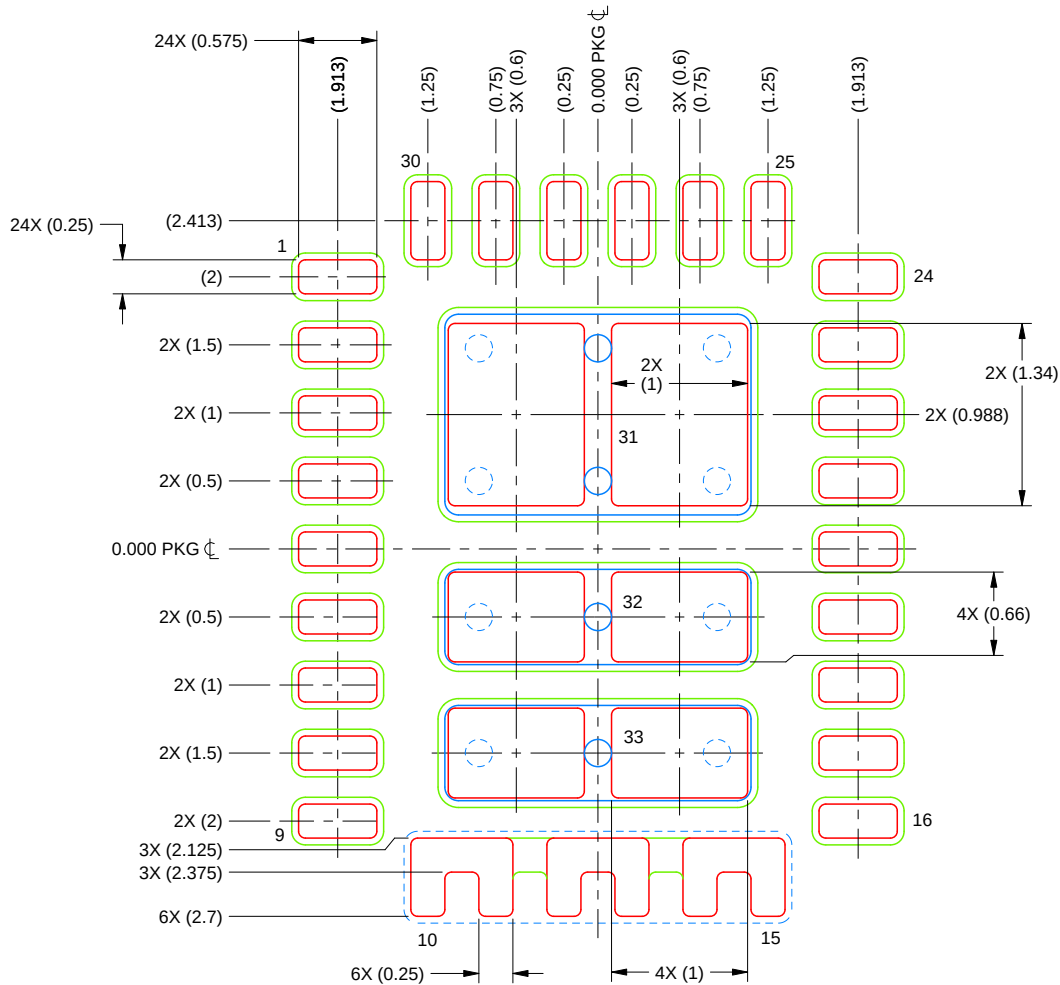
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

VBD0033A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 18X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PAD NUMBERED 10-15: 89%
 PAD 31: 81%
 PADS 32 & 33: 84%

4229673/A 05/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司