

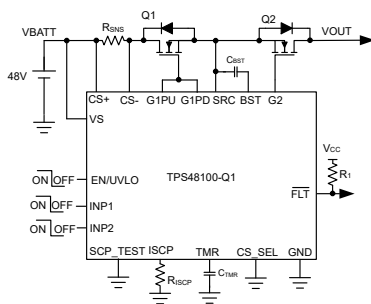
TPS4810-Q1 具有短路保护和诊断功能的 100V、汽车类、低 I_Q 、背靠背 MOSFET 智能高侧驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 汽车标准
 - 器件温度等级 1：-40°C 至 +125°C 环境温度范围
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 3.5V 至 95V 输入范围（绝对最大值为 100V）
- 反向输入保护低至 -65V
- 具有 345 μ A 容量的集成 11V 电荷泵
- 低静态电流，运行时为 35 μ A
- 1.5 μ A 低关断电流（EN/UVLO = 低电平）
- 两个强大的栅极驱动器（2A 拉电流和灌电流），用于通过单独的控制输入（INP1、INP2）进行背靠背 MOSFET 驱动
- 使用外部 Rsense 或 MOSFET VDS 检测且具有可调延迟（TMR）的可调节短路保护（ISCP）
- 高侧或低侧电流检测配置（CS_SEL）
- 短路故障、电荷泵欠压、输入欠压和短路比较器诊断（SCP_TEST）期间的故障指示（FLT）
- 可调节输入欠压锁定（UVLO）
- 与 TPS1210-Q1 引脚对引脚兼容

2 应用

- 汽车类 48V 锂离子电池管理系统
- 直流/直流转换器
- 汽车类配电箱
- 无线电动工具



具有独立放电和充电 FET 控制的 BMS 断路器

3 说明

TPS48100-Q1 是一款具有保护和诊断功能的 100V 低 I_Q 智能高侧驱动器。该器件具有 3.5V 至 95V 的宽工作电压范围，适用于 12V、24V 和 48V 系统设计。该器件可以承受低至 -65V 的负电源电压并保护负载免受这些电压的影响。

它包含两个具有单独控制输入（INP1、INP2）的强大 2A（拉电流和灌电流）栅极驱动器，用于驱动采用共源极配置的背靠背 MOSFET。强大的栅极驱动能力可在大电流系统设计中实现使用并联 MOSFET 实现电源开关。

该器件提供可调节的短路保护功能。可以配置自动重试和锁存故障行为。可通过外部检测电阻或 MOSFET VDS 检测完成电流检测。可通过使用 CS_SEL 引脚输入实现高侧或低侧电流检测电阻配置。该器件还通过对 SCP_TEST 输入的外部控制来诊断内部短路比较器。

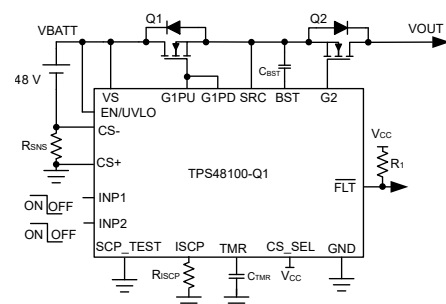
运行期间的低静态电流（35 μ A，典型值）可实现常开型系统设计。在 EN/UVLO 处于低电平时，静态电流降至 1.5 μ A（典型值）。

TPS48100-Q1 可采用 19 引脚 VSSOP 封装。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS48100-Q1	DGX (VSSOP, 19)	5.1mm × 3.0mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



具有低侧电流检测功能的 BMS 断路器



内容

1 特性	1	7.3 特性说明	13
2 应用	1	7.4 器件功能模式	20
3 说明	1	8 应用和实施	21
4 引脚配置和功能	3	8.1 应用信息	21
5 规格	5	8.2 典型应用：使用低侧电流检测功能的电池管理系统 (BMS) 中的断路器	21
5.1 绝对最大额定值.....	5	8.3 电源相关建议	25
5.2 ESD 等级.....	5	8.4 布局	26
5.3 建议运行条件.....	5	9 器件和文档支持	28
5.4 热性能信息.....	6	9.1 接收文档更新通知	28
5.5 电气特性.....	6	9.2 支持资源	28
5.6 开关特性.....	7	9.3 商标	28
5.7 典型特性.....	9	9.4 静电放电警告	28
6 参数测量信息	11	9.5 术语表	28
7 详细说明	12	10 修订历史记录	28
7.1 概述.....	12	11 机械、封装和可订购信息	28
7.2 功能方框图.....	12		

4 引脚配置和功能

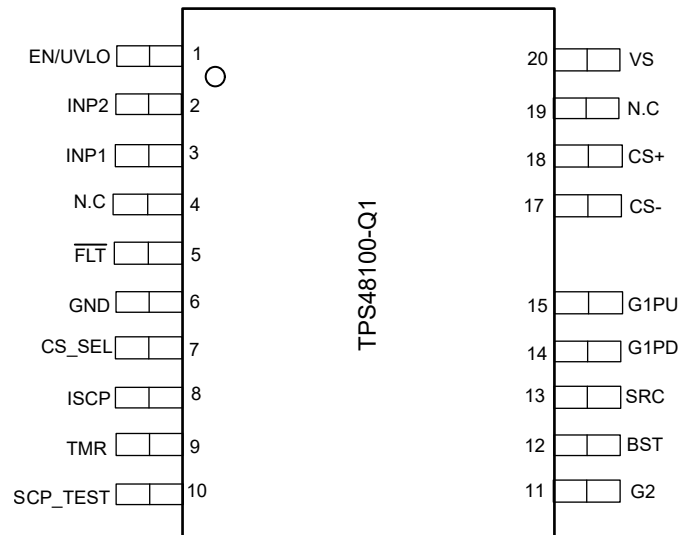


图 4-1. DGX 封装，19 引脚 VSSOP (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
EN/UVLO	1	I	EN/UVLO 输入。此引脚上的电压高于 1.24V 即可实现正常运行。强制此引脚低于 0.3V 会关断器件，从而将静态电流降低至约 1.5μA。(可选) 通过电阻分压器连接到输入电源以设置欠压锁定。 当 EN/UVLO 保持悬空时，100nA 的内部下拉会将 EN/UVLO 拉至低电平并使器件保持关断状态。
INP2	2	I	用于外部充电 FET 控制的输入信号。兼容 CMOS 的 GND 输入基准可设置 G2 引脚的状态。 INP2 具有下拉至 GND 的 100nA 内部弱下拉，可在 INP2 悬空时使 G2 拉至 SRC。
INP1	3	I	用于外部放电 FET 控制的输入信号。对 GND 的 CMOS 兼容输入基准，可设置 G1PD 和 G1PU 引脚的状态。 INP1 具有下拉至 GND 的 100nA 内部弱下拉，可在 INP1 悬空时使 G1PD 拉至 SRC。
N.C	4	—	无连接。
FLT	5	O	开漏故障输出。在短路故障、电荷泵 UVLO、输入 UVLO 和 SCP 比较器诊断期间，此引脚将置为低电平有效。如果不需要 FLT 功能，请将其连接到 GND。
GND	6	G	将 GND 连接到系统地。
CS_SEL	7	I	电流检测选择输入。将该引脚接地以激活高侧电流检测。将该引脚驱动至 >2V 以激活低侧电流检测。 CS_SEL 具有下拉至 GND 的 100nA 内部弱下拉。
ISCP	8	I	短路检测设置。ISCP 与 GND 之间的电阻器可以设置短路电流比较器阈值。 如果不需要短路保护功能，则将 CS+、CS- 和 VS 引脚连接在一起。此外，还要将 ISCP 和 TMR 引脚连接到 GND。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
TMR	9	I	故障计时器输入。TMR 引脚与 GND 之间的电容器可设置故障关断时间。将它保持开路可设置最快速度。将该引脚保持开路状态,以便做出最快响应。如果不需要短路保护功能,则将 CS+、CS- 和 VS 引脚连接在一起。此外,还要将 ISCP 和 TMR 引脚连接到 GND。
SCP_TEST	10	I	内部短路比较器 (SCP) 诊断输入。 如果在 INP1 拉至高电平的情况下将 SCP_TEST 驱动为低电平至高电平,则会检查内部 SCP 比较器的运行情况。如果 SCP 比较器正常运行,则 $\overline{\text{FLT}}$ 变为低电平,而 G1PD 被拉至 SRC。 如果不需要此功能,请将 SCP_TEST 引脚连接到 GND。 SCP_TEST 具有下拉至 GND 的 100nA 内部弱下拉。
G2	11	O	充电 FET 栅极驱动器输出。其具有 1.69A 峰值拉电流和 2A 灌电流容量。如果未使用 G2 驱动器功能,请将 G2 引脚保持悬空状态。
BST	12	O	高侧自举电源。必须在此引脚和 SRC 之间连接一个最小值超过外部 FET $Q_{g(\text{tot})}$ 的外部电容器。
SRC	13	O	外部 FET 的源极连接。
G1PD	14	O	高电流栅极驱动器下拉。此引脚下拉至 SRC。为了实现最快的关断,请将此引脚直接连接到外部高侧 MOSFET 的栅极。
G1PU	15	O	高电流栅极驱动器上拉。此引脚上拉至 BST。将此引脚连接到 G1PD 可获得最大栅极驱动转换速度。在此引脚和外部 MOSFET 的栅极之间可以连接一个电阻器来控制开通期间的浪涌电流。
CS -	17	I	电流检测负输入。
CS+	18	I	电流检测正输入。
N.C	19	—	无连接。
VS	20	P	控制器的电源引脚。

(1) I = 输入, O = 输出, I/O = 输入和输出, P = 电源, G = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
输入引脚	VS、CS+、CS- 至 GND	-65	100	V
	SRC 至 GND	-65	100	
	G1PU、G1PD、G2、BST 至 SRC	-0.3	19	
	ISCP、TMR、SCP_TEST 至 GND	-0.3	5.5	
	EN/UVLO、INP1、INP2、CS_SEL, $V_{(VS)} > 0\text{ V}$	-1	70	
	EN/UVLO、INP1、INP2、CS_SEL, $V_{(VS)} \leq 0\text{ V}$	$V_{(VS)}$	$(70 + V_{(VS)})$	
	CS+ 至 CS-	-1	100	V
	FLT 至 GND	-1	20	V
灌电流	$I_{(FLT)}$		10	mA
	$I_{(CS+)}、I_{(CS-)}, 1\text{ ms}$	-100	100	mA
输出引脚	G1PU、G1PD、G2、BST 至 GND	-65	112	V
工作结温, T_j ⁽²⁾		-40	150	°C
贮存温度, T_{stg}		-55	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 高结温会缩短工作寿命。结温高于 125°C 时,工作寿命会缩短。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±750	
		转角引脚 (EN/UVLO、VS、SCP_TEST、G2) 其他引脚	±500	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	标称值	最大值	单位
输入引脚	VS 至 GND	3.5		95	V
	用于短路保护的 VS 引脚上的最小电压	4			
	EN/UVLO、INP1、INP2、CS_SEL 至 GND	0		65	
输出引脚	FLT 至 GND	0		15	V
外部电容器	VS、SRC 至 GND	22			nF
	BST 至 SRC	0.1			μF
T_j	工作结温 ⁽²⁾	-40		150	°C

- (1) 建议运行条件是器件可正常运行的条件。有关规格和测试条件,请参阅“电气特性”。
- (2) 高结温会缩短工作寿命。结温高于 125°C 时,工作寿命会缩短。

5.4 热性能信息

热指标 ⁽¹⁾		TPS4810-Q1	单位
		DGX	
		19 引脚	
R _{θJA}	结至环境热阻	92.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	28.6	°C/W
R _{θJB}	结至电路板热阻	47.5	°C/W
Ψ _{JT}	结至顶部特征参数	0.6	°C/W
Ψ _{JB}	结至电路板特征参数	47.2	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。 $V_{(VS)} = 48\text{V}$, $V_{(BST - SRC)} = 11\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
电源电压						
V_S	工作输入电压		3.5		95	V
$V_{(S_PORR)}$	输入电源 POR 阈值, 上升		1.85	2.55	3.3	V
$V_{(S_PORF)}$	输入电源 POR 阈值, 下降		1.71	2.33	3.05	V
$I_{(Q)}$	系统总静态电流, $I_{(GND)}$	$V_{(EN/UVLO)} = 2\text{V}$		35	45	μA
	系统总静态电流, $I_{(GND)}$	$V_{(EN/UVLO)} = 2\text{V}$, $-40^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$			44	μA
$I_{(SHDN)}$	SHDN 电流, $I_{(GND)}$	$V_{(EN/UVLO)} = 0\text{V}$, $V_{(SRC)} = 0\text{V}$		0.86	3.3	μA
$I_{(REV)}$	反极性期间的漏电流, $I_{(VS)}$	$0\text{V} \leq V_{(VS)} \leq -65\text{V}$	19	22.4	37	μA
使能、欠压锁定 (EN/UVLO)、短路比较器测试 (SCP_TEST) 输入						
$V_{(UVLOR)}$	UVLO 阈值电压, 上升		1.176	1.23	1.287	V
$V_{(UVLOF)}$	UVLO 阈值电压, 下降		1.09	1.138	1.184	V
$V_{(ENR)}$	低 I_Q 关断使能阈值电压, 上升				1	V
$V_{(ENF)}$	低 I_Q 关断使能阈值电压, 下降		0.3			V
$I_{(EN/UVLO)}$	使能输入漏电流	$V_{(EN/UVLO)} = 70\text{V}$			476	nA
$V_{(SCP_TEST_H)}$	SCP 测试模式上升阈值				2	V
$V_{(SCP_TEST_L)}$	SCP 测试模式下降阈值		0.8			V
$I_{(SCP_TEST)}$	SCP_TEST 输入漏电流			90	700	nA
电荷泵 (BST-SRC)						
$I_{(BST)}$	电荷泵电源电流	$V_{(BST - SRC)} = 10\text{V}$, $V_{(EN/UVLO)} = 2\text{V}$	190	345	466	μA
$V_{(BST_UVLOR)}$	$V_{(BST - SRC)}$ UVLO 电压阈值, 上升	$V_{(EN/UVLO)} = 2\text{V}$	8.1	9	9.9	V
$V_{(BST_UVLOF)}$	$V_{(BST - SRC)}$ UVLO 电压阈值, 下降	$V_{(EN/UVLO)} = 2\text{V}$	7.31	8.2	8.9	V
$V_{(BST - SRC_ON)}$	电荷泵导通电压	$V_{(EN/UVLO)} = 2\text{V}$	9.3	10.3	11.4	V
$V_{(BST - SRC_OFF)}$	电荷泵关断电压	$V_{(EN/UVLO)} = 2\text{V}$	10.4	11.6	12.8	V
$V_{(BST - SRC)}$	$V_{(VS)} = 3.5\text{V}$ 时的电荷泵电压	$V_{(EN/UVLO)} = 2\text{V}$	9.1	10.5	11.6	V
$I_{(SRC)}$	SRC 引脚漏电流	$V_{(EN/UVLO)} = 2\text{V}$, $V_{(INP1)} = V_{(INP2)} = 0\text{V}$		0.85	1	μA
栅极驱动器输出 (G1PU、G1PD、G2)						
$V_{(G1_GOOD)}$	G1 正常上升阈值		5.5	7	8.3	V
$I_{(G1PU)}$	峰值拉电流			1.69		A
$I_{(G1PD)}$	峰值灌电流			2		A
$I_{(G2)}$	G2 峰值拉电流			1.69		A

5.5 电气特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。 $V_{(VS)} = 48\text{V}$, $V_{(BST - SRC)} = 11\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
I _(G2)	G2 峰值灌电流		2			A
短路保护 (ISCP)						
I _{SCP}	SCP 输入偏置电流		8.4	10	12.33	μA
V _(SCP)	SCP 阈值	R _(ISCP) = 140.5 kΩ	300			mV
		R _(ISCP) = 28 kΩ	60	75	90.5	mV
		R _(ISCP) = 10.5 kΩ	32	40	48.9	mV
		R _(ISCP) = 500 Ω	15	20	25	mV
		R _(ISCP) = 开路	757			mV
V _(SCP)	ISCP 引脚上具有外部偏置电压时的 SCP 阈值	V _(ISCP) = 1.405 V	283	300	316	mV
		V _(ISCP) = 280 mV	68.7	75	82.5	mV
		V _(ISCP) = 105 mV	34.5	40	46.5	mV
延迟计时器(TMR)						
I _(TMR_SRC_CB)	TMR 源电流		67	87	104	μA
I _(TMR_SRC_FLT)	TMR 源电流		1.4	2.73	3.8	μA
I _(TMR_SNK)	TMR 灌电流		2.17	2.8	3.4	μA
V _(TMR_SC)			0.93	1.1	1.2	V
V _(TMR_LOW)			0.15	0.21	0.25	V
N _(A-R Count)			32			
输入控制 (INP1、INP2)、电流检测选择 (CS_SEL) 和故障标志 (FLT)						
R _(FLT)	FLT 下拉电阻		53	83	107	Ω
I _(FLT)	FLT 输入漏电流	0V ≤ V _(FLT) ≤ 20V			410	nA
V _(INP1_H) , V _(INP2_H)					2	V
V _(INP1_L) , V _(INP2_L)			0.8			V
I _(INP1) , I _(INP2)	INP 输入漏电流			98	206	nA
V _(CS_SEL_H)	用于低侧检测的 CS_SEL 阈值				2	V
V _(CS_SEL_L)	用于高侧检测的 CS_SEL 阈值		0.8			V

5.6 开关特性

$T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。 $V_{(VS)} = 48\text{V}$, $V_{(BST - SRC)} = 11\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
$t_{G1PU(INP_H)}$	INP1 导通传播延迟	INP1 $\uparrow$ 至 G1PU $\uparrow$, $C_L = 47\text{nF}$	0.19		1.53	μs
$t_{G2(INP2_H)}$	INP2 导通传播延迟	INP2 $\uparrow$ 至 G2 $\uparrow$, $C_L = 47\text{nF}$	2.7	4.5	6.7	μs
$t_{G1PD(INP_L)}$	INP1 关断传播延迟	INP1 $\downarrow$ 至 G1PD $\downarrow$, $C_L = 47\text{nF}$		0.29	0.85	μs
$t_{G2(INP2_L)}$	INP2 关断传播延迟	INP2 $\downarrow$ 至 G2 $\downarrow$, $C_L = 47\text{nF}$	2.7	4.4	6.79	μs
$t_{PD(EN_OFF)}$	EN 关断传播延迟	EN $\downarrow$ 至 G1PD $\downarrow$, $C_L = 47\text{nF}$	2.2	4.6	6	μs
$t_{PD(UVLO_OFF)}$	UVLO 关断传播延迟	UVLO $\downarrow$ 至 G1PD $\downarrow$ 和 $\overline{FLT}$ $\downarrow$, $C_L = 47\text{nF}$	2.8	4.2	6	μs
t_{SC}	硬短路保护传播延迟	$V_{(CS+ - CS-)} \uparrow V_{(SCP)}$ 至 G1PD $\downarrow$, $CL = 47\text{ nF}$, $C_{(TMR)} = \text{开路}$			4	μs
t_{SC_PUS}	上电期间输出短路时的短路保护传播延迟	$C_{TMR} = \text{开路}$			10	μs

5.6 开关特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。 $V_{(VS)} = 48\text{V}$, $V_{(BST - SRC)} = 11\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
F_{ISCP}	ISCP 脉冲电流频率			1.18		kHz

5.7 典型特性

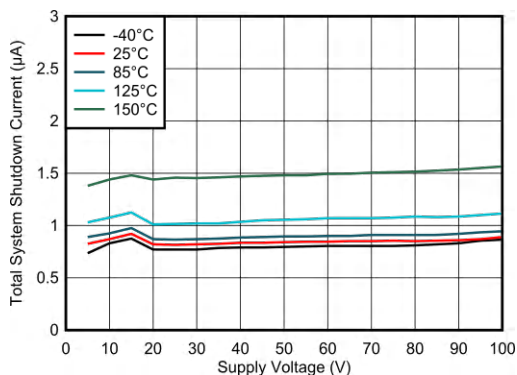


图 5-1. 关断电源电流与电源电压间的关系

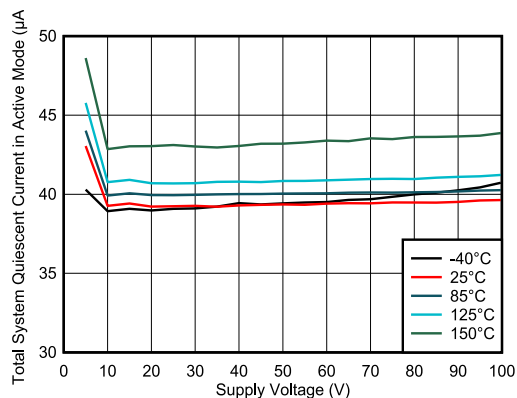


图 5-2. 运行模式下工作静态电流与电源电压间的关系

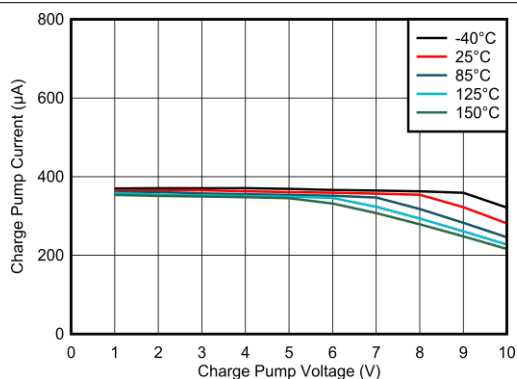
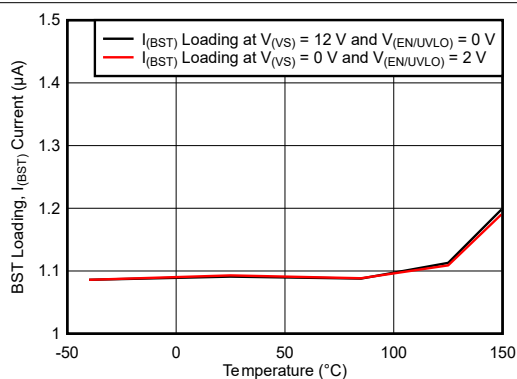


图 5-3. 电荷泵电流与电荷泵电压间的关系



$V_{(BST)} = 15V$ $V_{(SRC)} = 0V$

图 5-4. BST 负载电流 (I_{BST}) 与温度间的关系

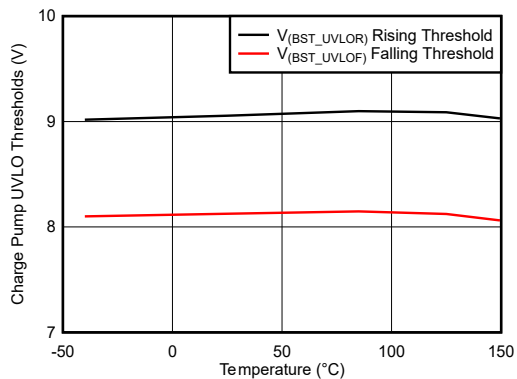


图 5-5. 电荷泵 UVLO 阈值与温度间的关系

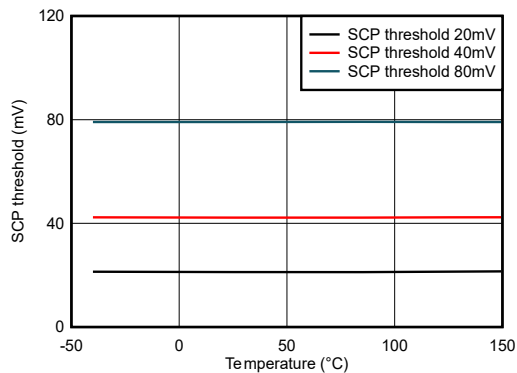


图 5-6. 短路阈值 (V_{SCP}) 与温度间的关系

5.7 典型特性 (续)

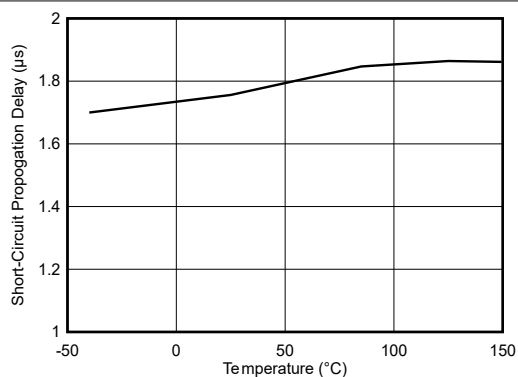
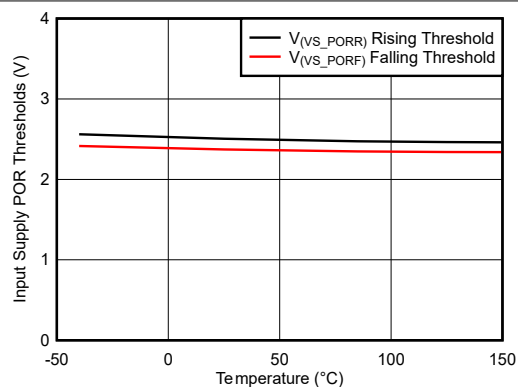
图 5-7. 短路保护响应时间 (t_{sc}) 与温度间的关系

图 5-8. 输入电源 POR 阈值与温度间的关系

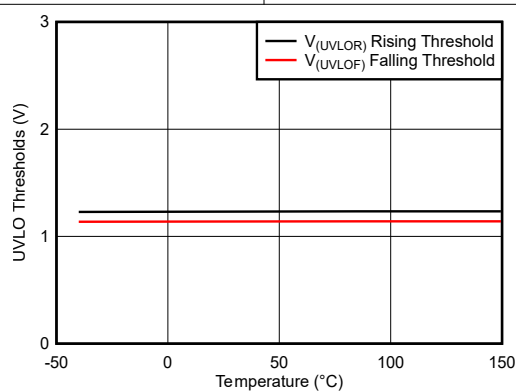


图 5-9. 输入电源 UVLO 阈值与温度间的关系

6 参数测量信息

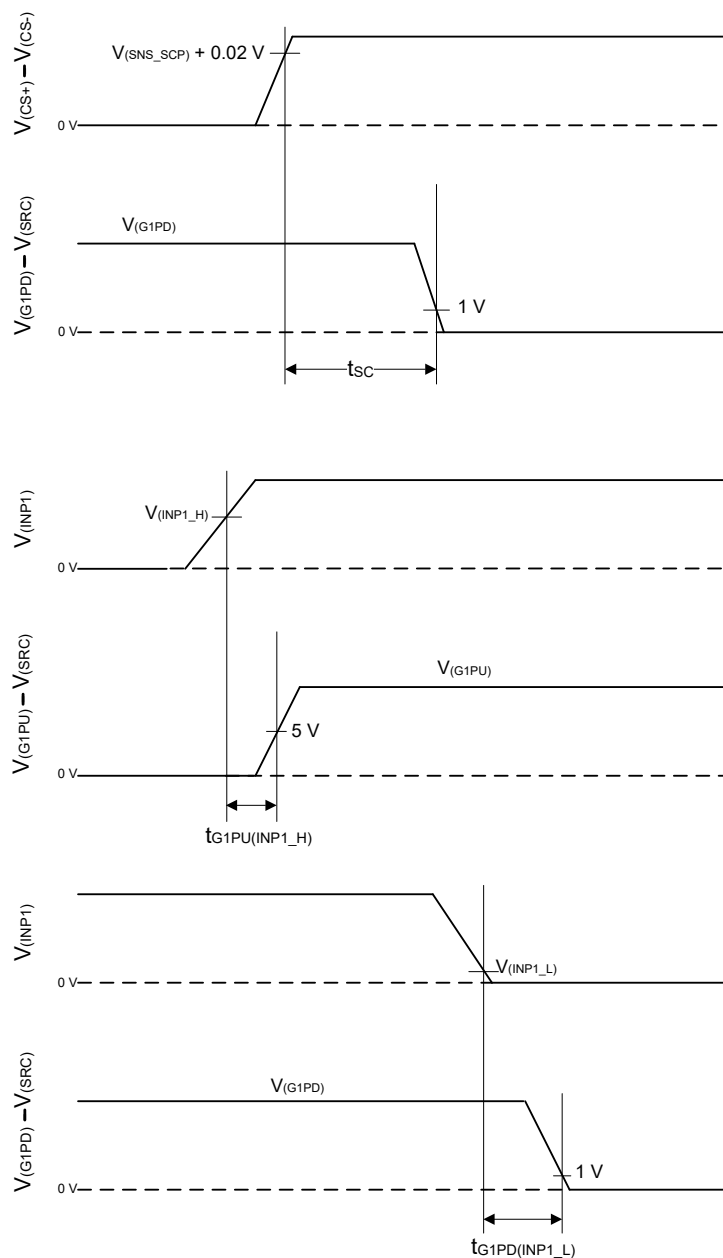


图 6-1. 时序波形

7 详细说明

7.1 概述

TPS48100-Q1 是一款具有保护和诊断功能的 100V 低 IQ 智能高侧驱动器。该器件具有 3.5V 至 95V 的宽工作电压范围，适用于 12V、24V 和 48V 系统设计。该器件可以承受低至 -65V 的负电源电压并保护负载免受这些电压的影响。

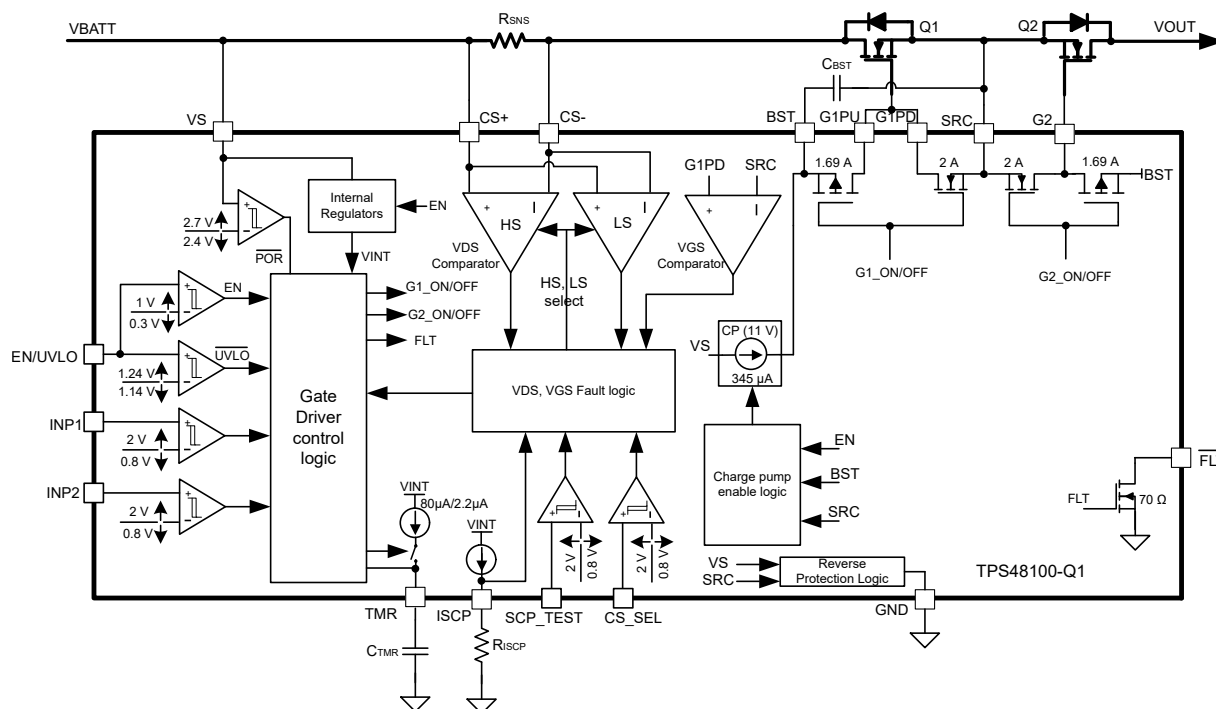
它包含两个强大的 1.69A 和 2A 峰值拉电流和灌电流灌电流，带有独立的控制输入 (INP1, INP2)，可驱动采用共源极配置的背靠背 MOSFET。强大的栅极驱动能力可在大电流系统设计中实现并联 FET 实现电源开关。

该器件使用 ISCP 和 TMR 引脚提供可配置的短路保护功能，可以分别调整阈值和响应时间。可以配置自动重试和锁存故障行为。使用 TPS48100-Q1 时，可以利用外部检测电阻或 MOSFET VDS 检测 (使用 CS+ 和 CS- 引脚) 完成电流检测。可通过使用 CS_SEL 引脚输入实现高侧或低侧电流检测电阻配置。集成短路比较器可以通过对 SCP_TEST 输入的外部控制来诊断。

在短路、电荷泵欠压和输入欠压条件下，该器件会在开漏输出中指示故障 ($\overline{\text{FLT}}$)。

运行期间的低静态电流 35 μA (典型值) 可实现常开型系统设计。在 EN/UVLO 处于低电平时，静态电流降至 1.5 μA (典型值)。

7.2 功能方框图



7.3 特性说明

7.3.1 电荷泵和栅极驱动器输出 (VS、G1PU、G1PD、G2、BST、SRC)

图 7-1 显示了电荷泵和栅极驱动器电路实施方案的简化图。该器件内有两个强大的 1.69A/2A 峰值拉电流/灌电流栅极驱动器，可在大功率系统设计中支持 FET 并联，从而确保在饱和区实现最短的转换时间。一个 11V、345μA 电荷泵源自 VS 端子，能够为放置在栅极驱动器 (BST 和 SRC) 上的外部自举电容器 C_{BST} 充电。

VS 是连接到控制器的电源引脚。在施加 VS 且 EN/UVLO 被拉至高电平的情况下，电荷泵将开启并为 C_{BST} 电容器充电。当 C_{BST} 上的电压超过 $V_{(BST_UVLOR)}$ 后，栅极驱动器部分将被激活。该器件具有 1V (典型值) 的 UVLO 迟滞，可在初始栅极导通期间确保实现低振荡性能。根据外部 FET Q_G 和 FET 开通期间允许的骤降，选择 C_{BST} 。电荷泵保持启用状态，直到 BST 至 SRC 的电压达到 11.8V，此时电荷泵通常处于禁用状态，从而减少 VS 引脚上的电流消耗。电荷泵保持禁用状态，直到 BST 至 SRC 的电压放电至 10V，此时电荷泵通常处于启用状态。BST 与 SRC 之间的电压继续在 11.8V 和 10V 之间充电和放电，如图 7-2 所示。

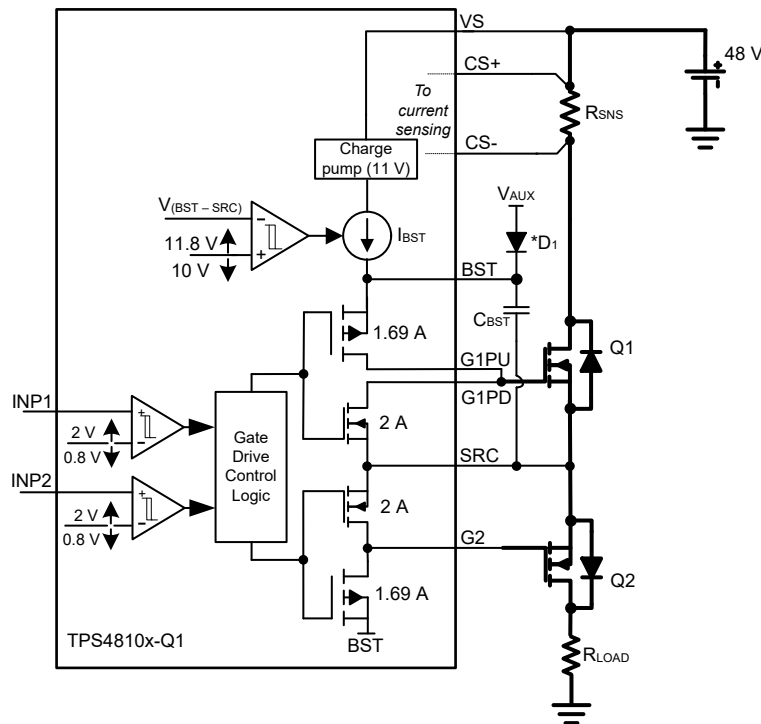


图 7-1. 栅极驱动器

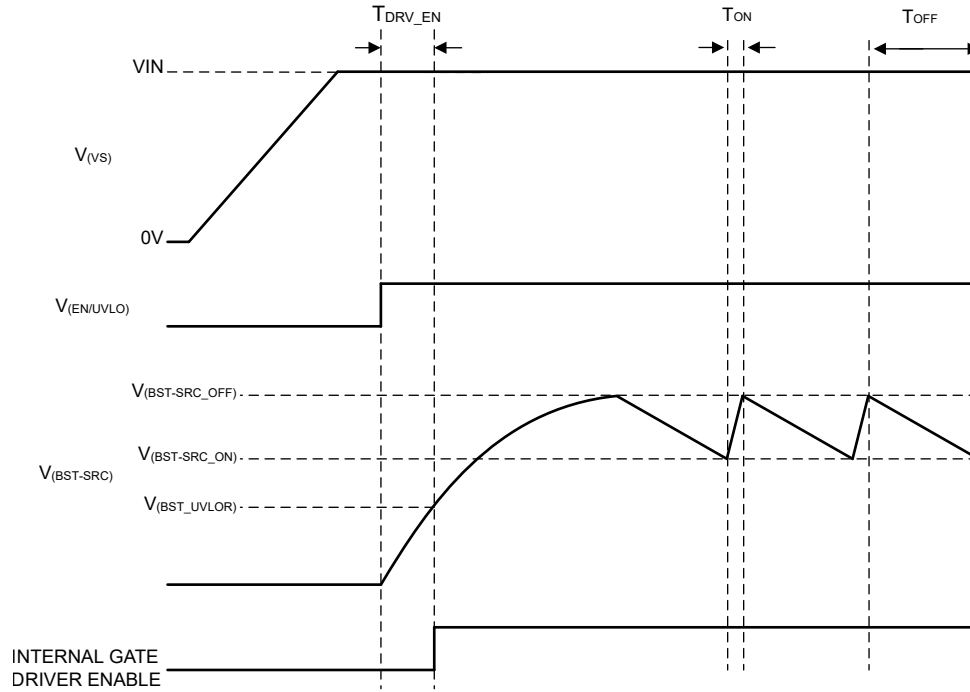


图 7-2. 电荷泵运行情况

使用以下公式可以计算初始栅极驱动器使能延迟：

$$T_{DRV_EN} = \frac{C_{BST} \times V_{(BST_UVLOR)}}{345 \mu A} \quad (1)$$

其中，

C_{BST} 是 BST 和 SRC 引脚上的电荷泵电容。

$V_{(BST_UVLOR)} = 9.5V$ (最大值)。

如果需要降低 T_{DRV_EN} ，则使用外部 V_{AUX} 电源，通过低漏电二极管 D_1 从外部对 BST 端子进行预偏置，如图 7-3 所示。借助此连接， T_{DRV_EN} 会降低至 $400\mu s$ 。采用 BST 外部供电的 TPS4810-Q1 应用电路如图 7-3 所示。

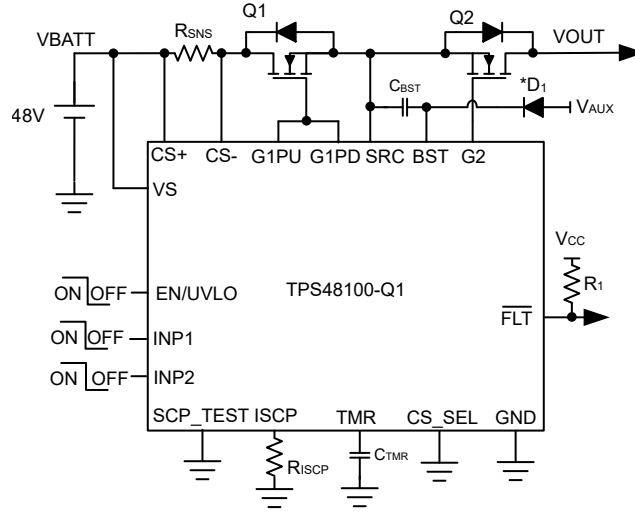


图 7-3. 采用 BST 外部供电的 TPS4810-Q1 应用电路

备注

V_{AUX} 可通过 8V 至 18V 的外部稳压电源供电。

7.3.2 使用 FET 栅极 (G1PU、G1PD) 压摆率控制的容性负载驱动

为了在具有容性负载的外部 FET (Q1) 开通期间限制浪涌电流, 请使用 R₁、R₂、C₁, 如图 7-4 所示。R₁ 和 C₁ 元件会减慢 Q1 FET 栅极的电压斜坡速率。FET 源极跟随栅极电压, 从而在输出电容器上实现受控电压斜坡。

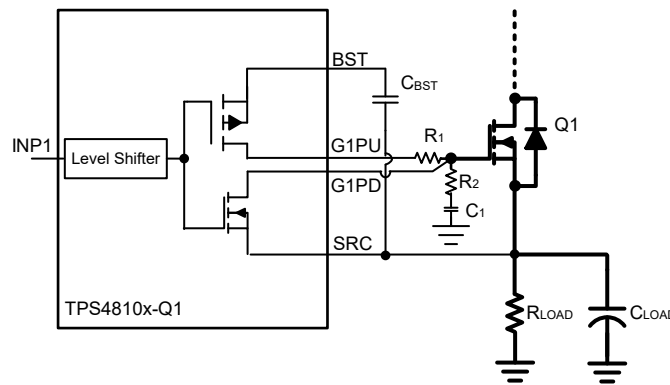


图 7-4. 使用 G1 栅极驱动限制浪涌电流

使用方程式 2 可以计算 FET 导通期间的浪涌电流。

$$I_{\text{INRUSH}} = C_{\text{LOAD}} \times \frac{V_{\text{BAT}}}{T_{\text{charge}}} \quad (2)$$

$$C_1 = \frac{0.63 \times V_{(\text{BST} - \text{SRC})} \times C_{\text{LOAD}}}{R_1 \times I_{\text{INRUSH}}} \quad (3)$$

其中,

C_{LOAD} 是负载电容。

VBATT 是输入电压， T_{charge} 是充电时间。

$V_{(\text{BST-SRC})}$ 是电荷泵电压 (11V)。

使用与 C_1 串联的阻尼电阻 R_2 (大约 $10\ \Omega$)。方程式 3 可用于计算目标浪涌电流所需的 C_1 值。 R_1 的 $100\text{k}\ \Omega$ 电阻可以作为计算的良好起点。

将 TPS48100-Q1 的 G1PD 引脚直接连接到 Q1 FET 的栅极可确保快速关断，而不会影响 R_1 和 C_1 元件。

C_1 会在开通期间在 C_{BST} 上产生额外的充电负载。使用以下公式可计算所需的 C_{BST} 值：

$$C_{\text{BST}} = \frac{Q_{\text{g(total)}}}{\Delta V_{\text{BST}}} + 10 \times C_1 \quad (4)$$

其中，

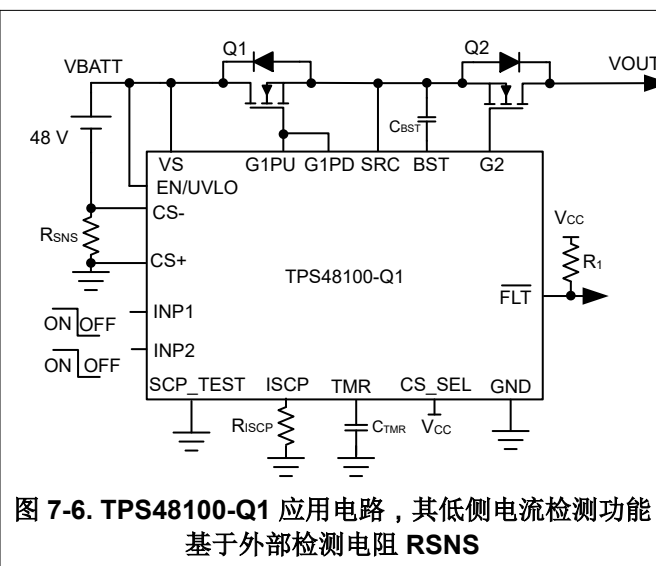
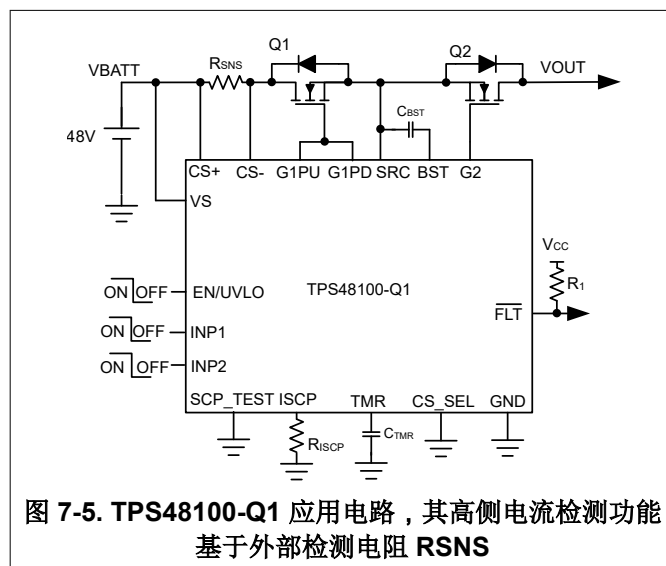
$Q_{\text{g(total)}}$ 是 FET 的总栅极电荷。

ΔV_{BST} (典型值为 1V) 是 BST 到 SRC 引脚上的纹波电压。

7.3.3 短路保护

TPS48100-Q1 具有可调节的短路保护功能。阈值和响应时间可分别用 R_{ISCP} 电阻器和 C_{TMR} 电容器来调整。该器件会检测 CS^+ 和 CS^- 引脚上的电压。

这些引脚可以连接在外部高侧和低侧电流感应电阻器 (R_{SNS}) 上，也可以连接在 FET 漏极和源极端子上，以进行 FET $R_{\text{DS(on)}}$ 感应，分别如图 7-5、图 7-6 和图 7-7 所示。



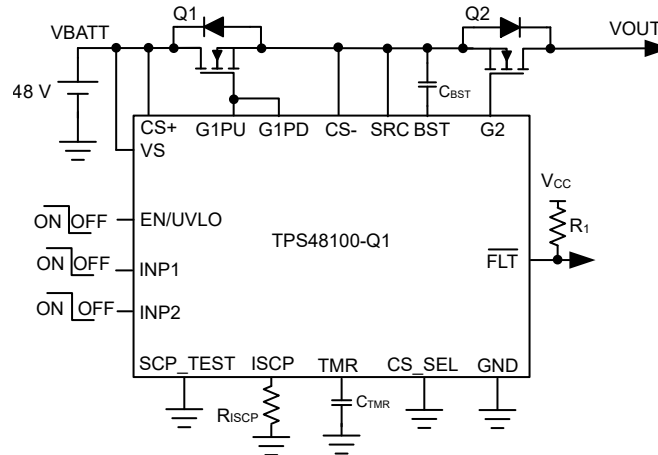


图 7-7. TPS4810-Q1 应用电路，其电流检测功能基于 MOSFET RDSON

使用 ISCP 和 GND 引脚上的外部 R_{ISCP} 电阻器设置短路检测阈值。使用 [方程式 5](#) 可计算所需的 R_{ISCP} 值：

$$R_{ISCP} (\Omega) = \frac{(I_{SC} \times R_{SNS} - 19 \text{ mV})}{2 \mu\text{A}} \quad (5)$$

其中，

R_{SNS} 是电流检测电阻值或 FET $R_{DS(on)}$ 值。

I_{SC} 是所需的短路电流电平。

无需在 TMR 和 GND 引脚上连接 C_{TMR} 电容器，短路保护响应最快。

器件通电且 EN/UVLO、INP 被拉至高电平时，在 Q1 开通期间，通过监控 G1PD 到 SRC 的电压可检测外部 FET Q1 (G1 栅极驱动器) 的第一个 VGS。一旦 G1PD 到 SRC 的电压升高至高于 $V_{(G1_GOOD)}$ 阈值 (这样可确保外部 FET 增强)，便会监控 SCP 比较器输出。如果在 CS+ 和 CS- 上检测到的电压超过短路设定点 (V_{SCP})，则 G1PD 会拉低至 SRC，而 FLT 触发。后续事件可以设置为自动重试或闭锁，如后续部分所述。

仅当 CS_SEL 被拉至低电平时，才会监测外部 FET (Q1) 的 VGS。在低侧电流检测中，不监测外部 FET (Q1) 的 VGS，如 [图 7-6](#) 所示。

备注

此外，可以通过缓冲器而不是 R_{ISCP} 电阻器在 ISCP 引脚上连接外部偏置电压来设置短路阈值，从而实现具有更高 SCP 阈值精度的系统设计，如电气特性表中所述。要在 ISCP 引脚上强制施加的外部偏置电压可以通过以下公式计算得出：

$$V_{(SCP_BIAS)} \text{ in mV} = I_{SC} \times R_{SNS} \times 5 - 95 \text{ mV}$$

7.3.3.1 带自动重试的短路保护

C_{TMR} 对短路保护延迟 (t_{SC}) 和自动重试时间 (t_{RETRY}) 进行编程。一旦 CS+ 和 CS- 上的电压超过设定点， C_{TMR} 便会以 $80 \mu\text{A}$ 的上拉电流开始充电。

C_{TMR} 充电至 $V_{(TMR_SC)}$ 后，G1PD 将拉低至 SRC，FLT 将置为低电平，从而提供 FET 即将关断的警告。发布此事件后，自动重试行为将开始。 C_{TMR} 电容器开始放电，下拉电流为 $2.5 \mu\text{A}$ 。电压达到 $V_{(TMR_LOW)}$ 电平后，电容器开始充电，上拉电流为 $2.2 \mu\text{A}$ 。在 C_{TMR} 的 32 个充放电周期之后，FET 重新开通且 FLT 置为无效。

器件重试时间 (t_{RETRY}) 基于 C_{TMR} 首次重试，如 [方程式 7](#) 所示。

使用方程式 6 可计算要在 TMR 和 GND 上连接的 C_{TMR} 电容器容值。

$$C_{TMR} = \frac{I_{TMR} \times t_{SC}}{1.1} \quad (6)$$

其中，

I_{TMR} 是 $80 \mu A$ 的内部上拉电流。

t_{SC} 是所需的短路响应时间。

在未连接 C_{TMR} 电容器的情况下，最快的 t_{SC} 。

$$t_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \quad (7)$$

如果短路脉冲持续时间低于 t_{SC} ，则 FET 保持开通， C_{TMR} 通过内部下拉开关放电。

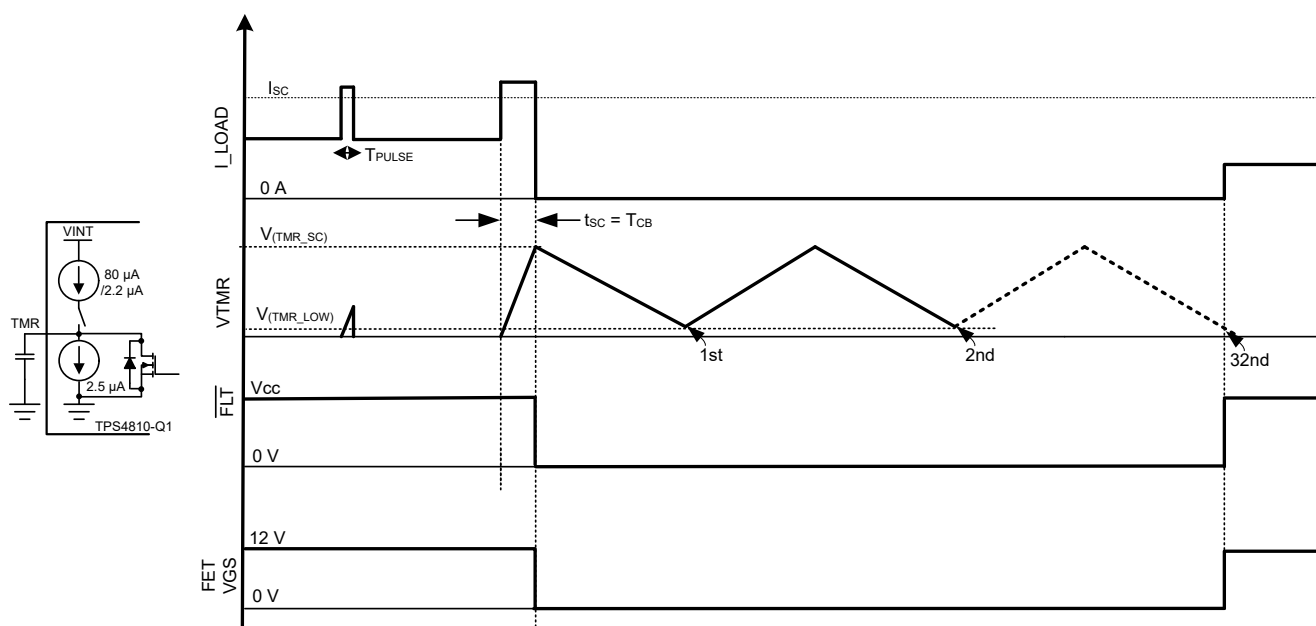


图 7-8. 带自动重试的短路保护

7.3.3.2 带闭锁的短路保护

在 C_{TMR} 上连接一个约 $100k\Omega$ 的电阻，如图 7-9 所示。使用此电阻可以在充电周期内使 C_{TMR} 上的电压被钳位到低于 $V_{(TMR_SC)}$ 的电平，从而产生闭锁行为，同时将 FLT 置为低电平有效。

使用方程式 8 计算当 $R_{TMR} = 100k\Omega$ 时 TMR 和 GND 之间要连接的 C_{TMR} 电容。

$$C_{TMR} = \frac{t_{SC}}{R_{TMR} \times \ln\left(\frac{1}{1 - \frac{1.1}{R_{TMR} \times 80 \mu A}}\right)} \quad (8)$$

其中，

I_{TMR} 是 $80 \mu A$ 的内部上拉电流。

t_{SC} 是所需的短路响应时间。

切换 INP1 或 EN/UVLO (低于 $V_{(ENF)}$) , 或将 VS 下电上电至低于 $V_{(VS_PORF)}$, 以复位闭锁状态。在低边沿上, 计时器计数器复位且 C_{TMR} 放电。当 INP1 上拉至高电平时, $G1PU$ 上拉至 BST。

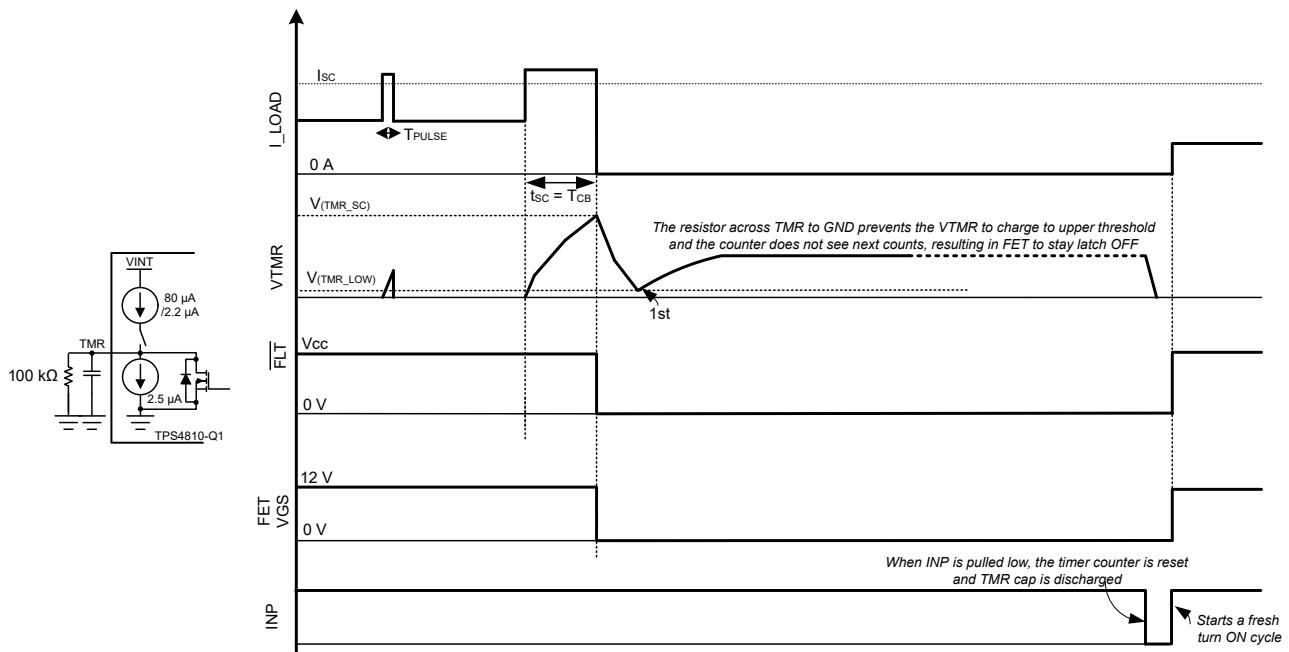


图 7-9. 带闭锁的短路保护

7.3.4 欠压保护 (UVLO)

TPS48100-Q1 使用 EN/UVLO 引脚提供精确可靠的欠压保护 ($< \pm 2\%$)。如图 7-10 中所示, 连接一个电阻梯以进行欠压保护阈值编程。

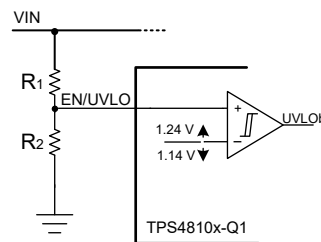


图 7-10. 欠压保护编程

7.3.5 反极性保护

TPS48100-Q1 器件具有集成的反极性保护功能, 可防止器件在输入和输出反极性故障期间失效。在终端设备的安装和维护过程中会发生反极性故障。该器件能够在输入端和输出端承受低至 $-65V$ 的反极性电压。

在输出侧, 该器件会在正常运行期间由于开关关断时的输出电缆线束电感反冲而出现瞬态负电压。在此类系统中, 输出负电压电平受输出侧 TVS 或二极管限制。

7.3.6 短路保护诊断 (SCP_TEST)

在安全关键型设计中, 短路保护 (SCP) 功能及其诊断非常重要。

TPS48100-Q1 具有内部短路保护诊断功能。当 SCP_TEST 被驱动为低电平至高电平时，内部会在 SCP 比较器输入上施加电压以模拟短路事件。比较器输出将控制栅极驱动器 (G1PU/G1PD) 以及 $\overline{\text{FLT}}$ 。如果栅极驱动器变为低电平 (最初为高电平) 且 $\overline{\text{FLT}}$ 也变为低电平，则表明 SCP 正常，否则视为 SCP 功能不正常。

如果未使用 SCP_TEST 功能，则应将 SCP_TEST 引脚连接到 GND。

7.3.7 TPS48100-Q1 用作简单的栅极驱动器

图 7-11 展示了 TPS48100-Q1 作为一款简单的栅极驱动器在负载连接-断开开关驱动背对背 FET 拓扑中的应用原理图。已禁用短路保护功能。

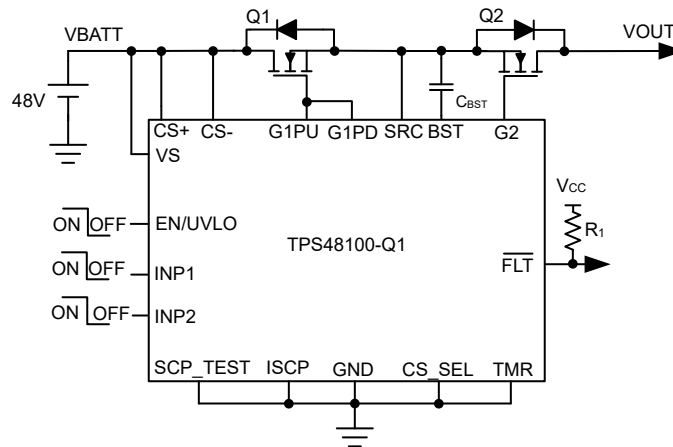


图 7-11. TPS48100-Q1 简单栅极驱动器应用电路

7.4 器件功能模式

TPS48100-Q1 具有两种运行模式。工作模式和低 IQ 关断模式。

如果 EN/UVLO 引脚电压大于 $V_{(ENR)}$ 上升阈值，则器件处于工作模式。在工作状态下，会启用内部电荷泵、栅极驱动器，以及所有保护和诊断功能。

如果 EN/UVLO 电压被拉至 $V_{(ENF)}$ 下降阈值以下，该器件将进入低 IQ 关断模式。在该模式下，将禁用电荷泵、栅极驱动器和所有保护功能。栅极驱动器和外部 FET 关闭。在此模式下，TPS48100-Q1 具有低的 IQ 消耗，为 $1.5 \mu A$ (典型值)。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS48100-Q1 是一款具有保护和诊断功能的 100V 低 IQ 智能高侧驱动器。TPS48100-Q1 器件架构旨在通过单独的控制输入 (INP1、INP2)，在共源极配置中独立地驱动和控制背对背 N 沟道 MOSFET，这使得 TPS48100-Q1 成为在电池管理系统 (BMS) 中实现断路器的极具竞争力的选择。强大的 (2A) 栅极驱动器可在大电流应用 (例如动力总成中的断路器 (直流/直流转换器)，驱动配电单元中的负载，12V、48V BMS 中的断路器等) 中开关并联 MOSFET。

TPS48100-Q1 器件利用 ISCP 和 TMR 引脚提供可配置的短路保护功能，能够对阈值与响应时间分别进行调整。可以配置自动重试和锁存故障行为。使用 CS+ 和 CS- 引脚，可通过外部检测电阻或 MOSFET VDS 检测完成电流检测。可通过使用 CS_SEL 引脚输入实现高侧或低侧电流检测电阻配置。该器件还通过对 SCP_TEST 输入的外部控制来诊断内部短-路比较器。

可使用以下设计过程，根据应用要求选择支持的元件值。

8.2 典型应用：使用低侧电流检测功能的电池管理系统 (BMS) 中的断路器

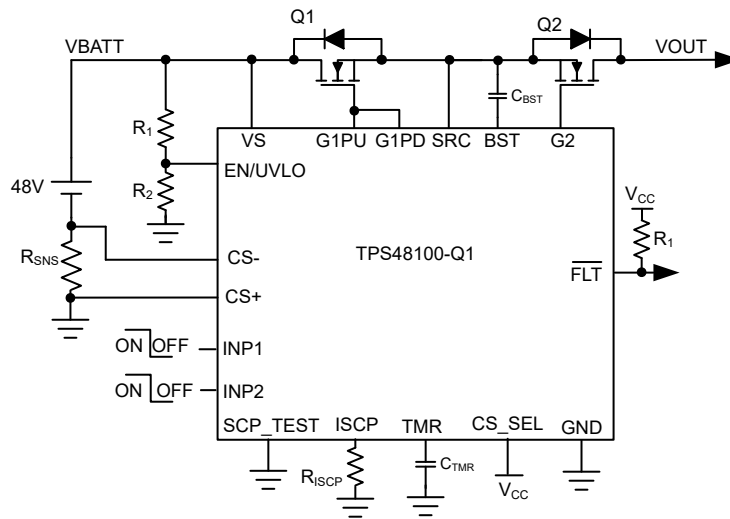


图 8-1. 典型应用原理图：具有低侧电流检测功能的 BMS 断路器

8.2.1 设计要求

下表显示了该应用示例的设计参数。

表 8-1. 设计参数

参数	值
典型输入电压 V_{IN}	48V
欠压锁定设定点, V_{INUVLO}	24V
最大负载电流, I_{OUT}	25A
短路保护阈值, I_{SC}	40A
短路保护延迟 (t_{sc})	1ms
故障响应	自动重试

表 8-1. 设计参数 (续)

参数	值
电流检测	低侧

8.2.2 详细设计过程

电流检测电阻 R_{SNS} 的选型

过流保护阈值电压 $V_{(SNS_OCP)}$ 建议范围可从 30mV 扩展至 300mV。接近下限阈值 30mV 的值可能会受到系统噪声的影响。接近上限阈值 300mV 的值可能会导致电流检测电阻中产生高功率耗散。为了最大限度减少这两个问题，选择 40mV 作为短路保护阈值电压。使用以下公式计算电流检测电阻器 R_{SNS} 的电流。

$$R_{SNS} = \frac{V_{(SCP)}}{I_{SC}} \quad (9)$$

选择了下一个较小的可用检测电阻器 1mΩ (1%)。

要提高信噪比或提高短路保护精度，可选择更高的短路保护阈值电压 $V_{(SCP)}$ 。

对短路保护阈值进行编程 - R_{ISCP} 选型

R_{ISCP} 可设置短路保护阈值。使用以下公式来计算该值。

$$R_{ISCP} (\Omega) = \frac{(I_{SC} \times R_{SNS} - 19 \text{ mV})}{2 \mu\text{A}} \quad (10)$$

若要将短路保护阈值设置为 30A，则 R_{ISCP} 值计算结果为 5.5kΩ。

选择最接近的可用标准值：5.3kΩ、1%。

在涉及较大 di/dt 的情况下，系统和布局寄生电感可能会在 CS+ 和 CS- 引脚之间产生较大的差分信号电压。此操作可能会在系统中触发错误的短路保护并干扰跳闸。为了解决这种问题，TI 建议在检测电阻 (R_{SNS}) 上添加用于表示 RC 滤波器元件的占位元件，并在实际系统的测试期间调整相应的值。在通过 MOSFET VDS 检测实现的电流检测设计中，不得使用 RC 滤波器元件，以免影响短路保护响应。

对短路保护延迟进行编程 - R_{TMR} 选型

对于本文所讨论的设计示例，允许的过流瞬态持续时间为 1ms。此短路保护延迟 t_{SC} 可以通过在 TMR 引脚到接地端之间选择合适的电容器 C_{TMR} 来设置。使用以下公式计算 C_{TMR} 的值，以将 t_{SC} 设置为 1ms。

$$C_{TMR} = \frac{80 \mu \times t_{SC}}{1.1} = 72.72 \text{ nF} \quad (11)$$

选择最接近的可用标准值：82nF、10%。

选择 MOSFET Q_1 和 Q_2

选择 MOSFET Q_1 和 Q_2 时，重要的电气参数包括最大持续漏极电流 I_D 、最大漏源电压 $V_{DS(MAX)}$ 、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 $R_{DS(ON)}$ 。

最大持续漏极电流 I_D 额定值必须超过最大持续负载电流。

最大漏源电压 $V_{DS(MAX)}$ 必须足够高，以便承受应用中所见的最高电压。考虑最高应用电压为 60V，因此为该应用设计了 V_{DS} 额定电压为 80V 的 MOSFET。

TPS4810-Q1 可驱动的最大 V_{GS} 为 13V，因此必须选择 V_{GS} 最小额定值为 15V 的 MOSFET。

为了降低 MOSFET 导通损耗，建议选择尽可能低的 $R_{DS(ON)}$ 。

根据设计要求，选择的是 IAUS200N08S5N023，其等级为：

- 80V $V_{DS(MAX)}$ 和 $\pm 20V$ $V_{GS(MAX)}$
- 当 V_{GS} 为 10V 时， $R_{DS(ON)}$ 的典型值为 $2.3m\Omega$
- MOSFET $Q_{g(total)}$ 的最大值为 110nC

选择自举电容器 C_{BST}

内部电荷泵以大约 $345\mu A$ 的电流为外部自举电容器（连接在 BST 和 SRC 引脚之间）充电。使用以下公式，计算驱动两个 IAUS200N08S5N023 MOSFET 所需的自举电容最小值。

$$C_{BST} = \frac{Q_{g(total)}}{1V} = 220\text{ nF} \quad (12)$$

选择最接近的可用标准值：220nF、10%。

设置欠压锁定

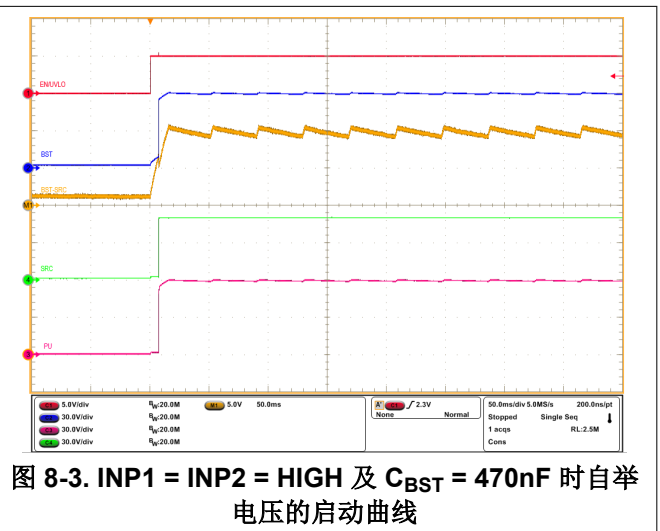
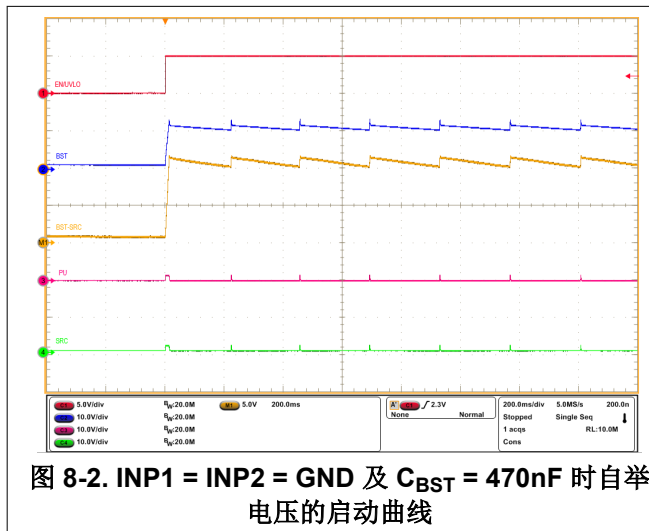
通过连接在器件 VS、EN/UVLO 和 GND 引脚之间的 R_1 和 R_2 外部分压网络可调整欠压锁定 (UVLO)。设置欠压和过压所需的值可通过求解方程式 13 计算得出。

$$V_{(UVLOR)} = \frac{R_2}{(R_1 + R_2)} \times V_{IN_{UVLO}} \quad (13)$$

为了尽可能降低从电源汲取的输入电流，TI 建议对 R_1 和 R_2 使用较高的电阻值。但是，由于连接到电阻器串的外部有源元件而产生的漏电流会增加这些计算的误差。因此，选择的电阻串电流 $I(R_{12})$ 必须比 UVLO 引脚的漏电流大 20 倍。

根据器件电气规格， $V_{(UVLOR)} = 1.24V$ 。根据设计要求， $V_{IN_{UVLO}}$ 为 6.5V。为了求解该公式，首先选择 $R_1 = 470k\Omega$ 值，然后使用方程式 13 求解得出 $R_2 = 24.9k\Omega$ 。选择最接近的标准 1% 电阻值： $R_1 = 470k\Omega$ 和 $R_2 = 24.9k\Omega$ 。

8.2.3 应用曲线



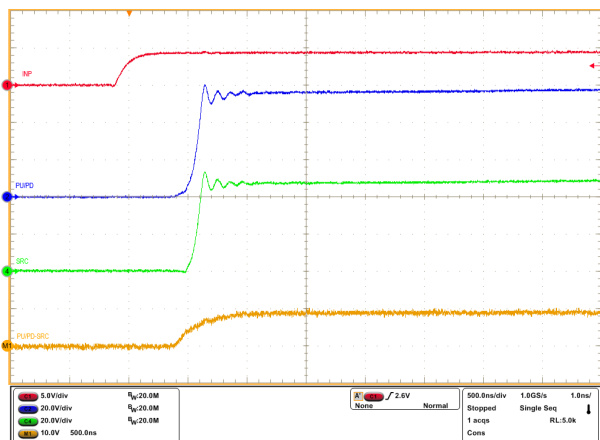


图 8-4. INP1 由低电平到高电平且 $C_{BST} = 470\text{nF}$ 时 TPS48100-Q1 的导通响应

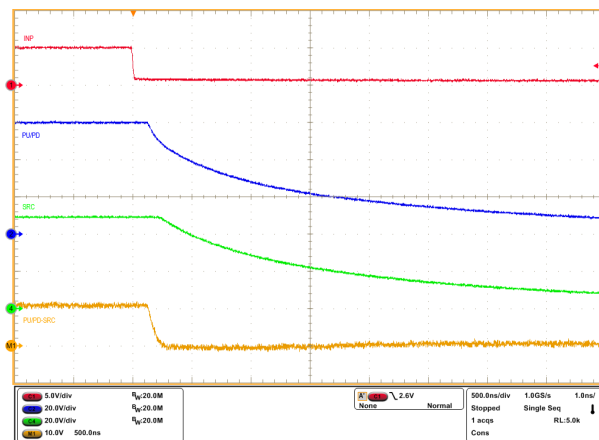


图 8-5. INP1 由高电平到低电平且 $C_{BST} = 470\text{nF}$ 时 TPS48100-Q1 的关断响应

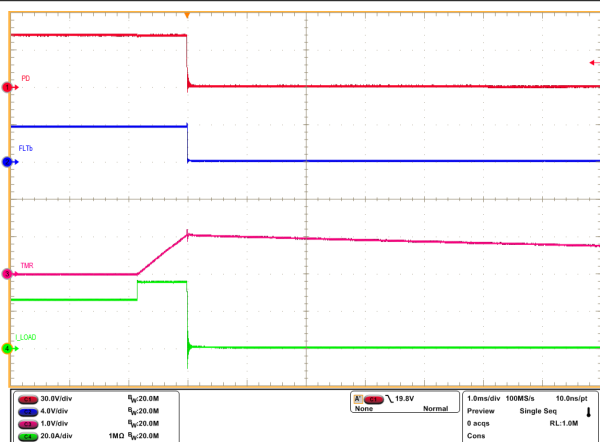


图 8-6. TPS48100-Q1 在 30A 过流保护设置下针对 25A 至 35A 负载阶跃的过流响应

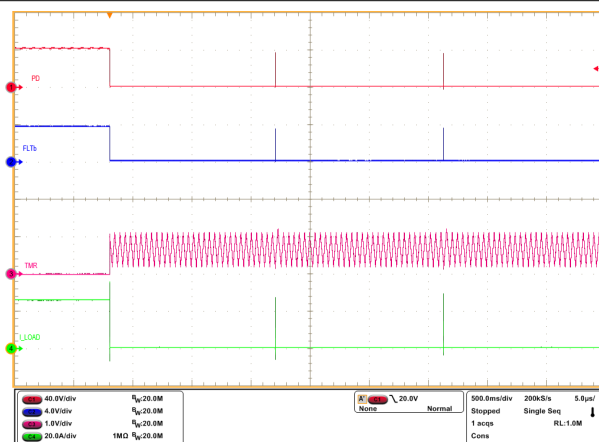


图 8-7. TPS48100-Q1 针对过流故障的自动重试响应

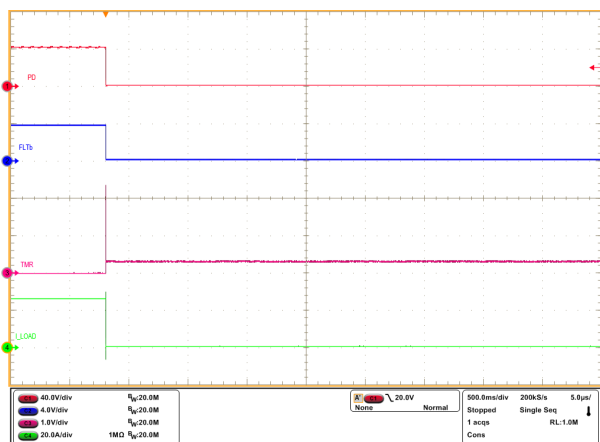


图 8-8. TPS48100-Q1 针对过流故障的闭锁响应

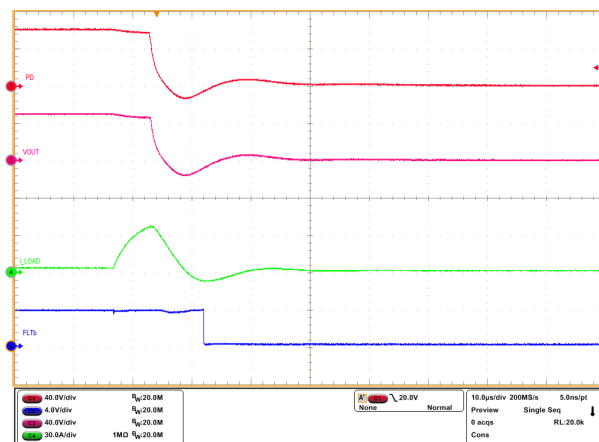


图 8-9. TPS48100-Q1 器件的输出短路响应

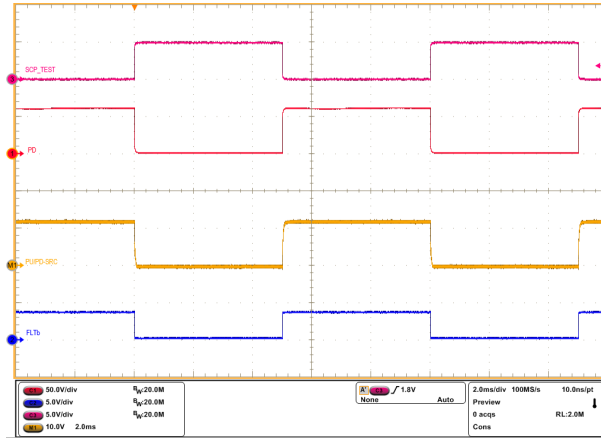


图 8-10. TPS48100-Q1 的短路保护诊断测试响应

8.3 电源相关建议

当外部 MOSFET 在 INP1 控制、过流保护等条件下关断时，输入寄生线路电感会在输入端产生正电压尖峰，而输出寄生电感会在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决此问题，这些瞬变可能会超过器件的**绝对最大额定值**。解决瞬变的典型方法包括：

- 在输入端和 GND 之间使用 TVS 二极管和输入电容器滤波器组合来吸收能量并抑制正瞬态。
- 在输出端和 GND 之间使用二极管或 TVS 二极管来吸收负尖峰。

TPS4810-Q1 由 VS 引脚供电。为了确保符合规定的运行,此引脚上的电压必须保持在 $V_{(VS_PORR)}$ 电平以上。如果输入电源有瞬态噪声,TI 建议在输入电源线路和 VS 引脚之间放置一个 $R_{VS} - C_{VS}$ 滤波器以滤除电源噪声。TI 建议采用大约 $100\ \Omega$ 的 R_{VS} 值。

在涉及较大 di/dt 的情况下，系统和布局寄生电感可能会在 CS+ 和 CS- 引脚之间产生较大的差分信号电压。此操作可能会在系统中触发错误的短路保护并干扰跳闸。为了解决这种问题，TI 建议在检测电阻 (R_{SNS}) 上添加用于表示 RC 滤波器元件的占位元件，并在实际系统的测试期间调整相应的值。在通过 MOSFET VDS 检测实现的电流检测设计中，不得使用 RC 滤波器元件，以免影响短路保护响应。

下图展示了具有可选保护元件的电路实施方案。

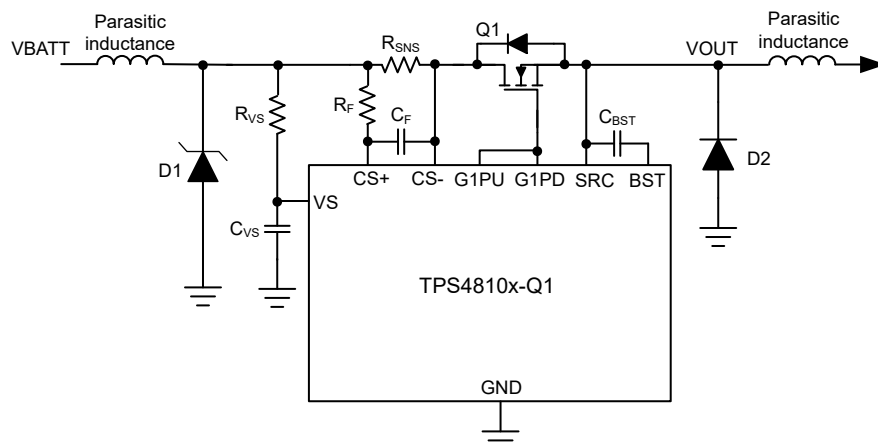


图 8-11. 采用可选保护元件的 TPS4810-Q1 电路实施方案

8.4 布局

8.4.1 布局指南

- 将检测电阻 (R_{SNS}) 靠近 TPS4810x-Q1 放置，然后使用开尔文技术连接 R_{SNS} 。更多有关开尔文技术的信息，请参阅 [选择合适的检测电阻布局](#)。
- 对于所有应用，在 VS 端子和 GND 之间选择一个 0.1 μ F 或值更高的陶瓷去耦电容器。为改善去耦以应对电源线路干扰，可考虑在控制器的电源引脚 (VS) 处添加 RC 网络。
- 为最大限度减小环路电感，使电路板输入到负载的大电流路径以及返回路径相互平行且彼此靠近。
- 将外部 MOSFET 靠近控制器栅极驱动引脚 (G1PU/PD 和 G2) 放置，从而使 MOSFET 的栅极靠近控制器栅极驱动引脚并形成一个较短的栅极环路。考虑添加一个占位电阻与每个外部 MOSFET 的栅极串联，以便在需要时抑制高频振荡。
- 在输入端放置一个 TVS 二极管以用于在热插拔和快速关断事件期间钳制电压瞬态。
- 将外部自举电容器靠近 BST 和 SRC 引脚放置以形成极短的环路。
- 将 TPS4810x-Q1 周围各种元件的接地连接直接相互连接，并连接到 TPS4810x-Q1 GND，然后连接到系统接地的一个点上。请勿通过大电流接地线将各种元件接地相互连接。

8.4.2 布局示例

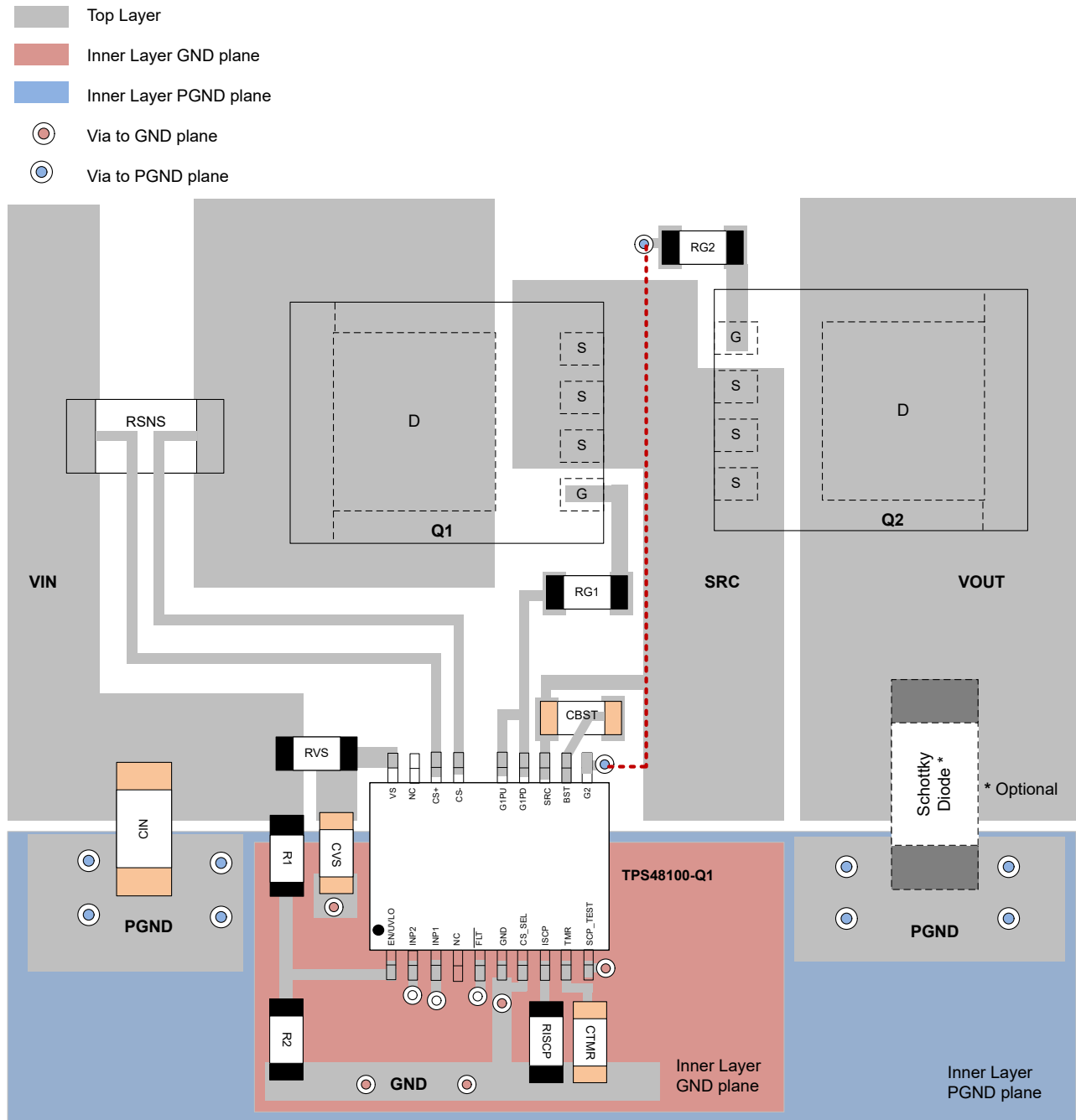


图 8-12. 带 B2B MOSFET 的 TPS4810-Q1 典型 PCB 布局示例

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2024) to Revision A (December 2024)	Page
• 将文档状态从 <i>预告信息</i> 更改为 <i>量产数据</i>	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS48100QDGXRQ1	Active	Preproduction	VSSOP (DGX) 19	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS48100QDGXRQ1.A	Active	Preproduction	VSSOP (DGX) 19	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS48100QDGXRQ1	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4810
TPS48100QDGXRQ1.A	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4810

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

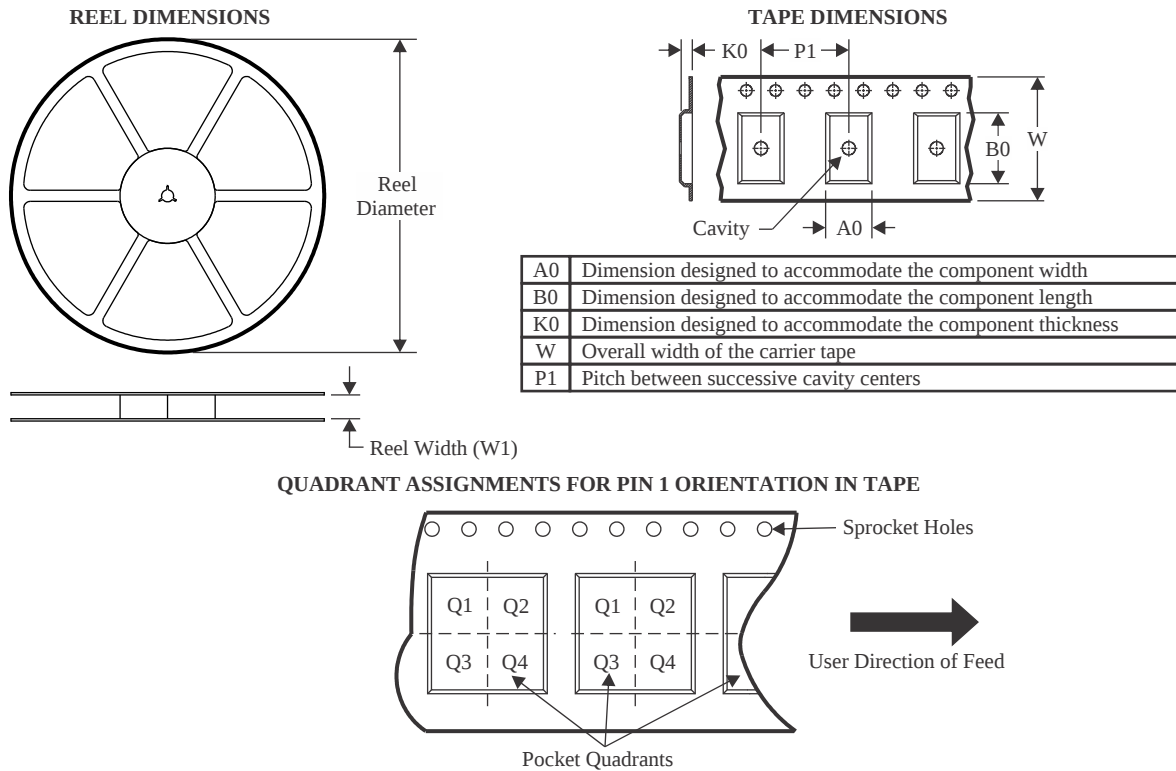
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

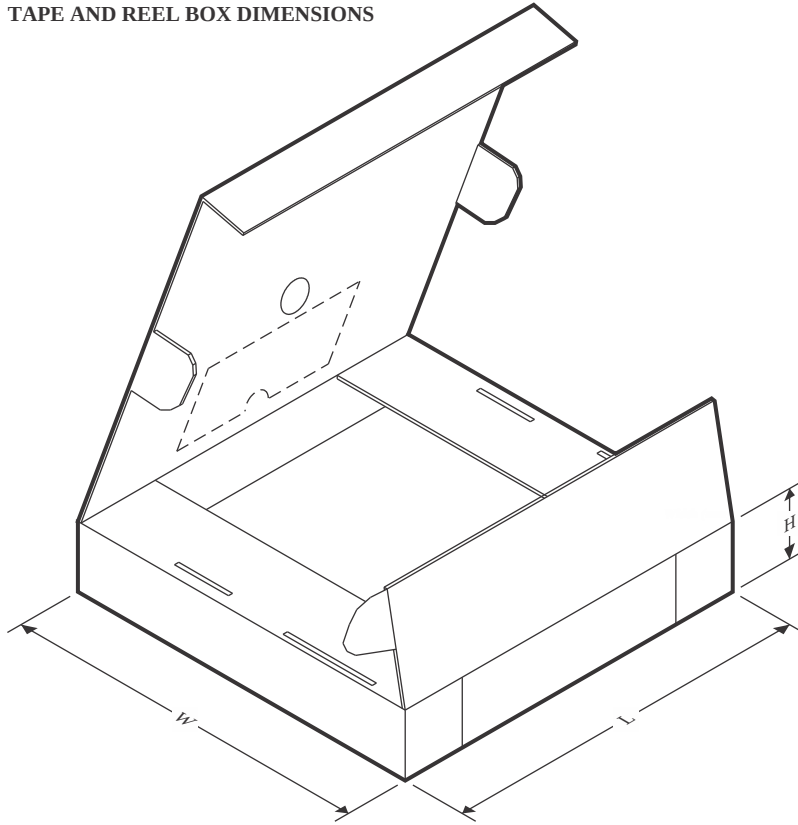
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

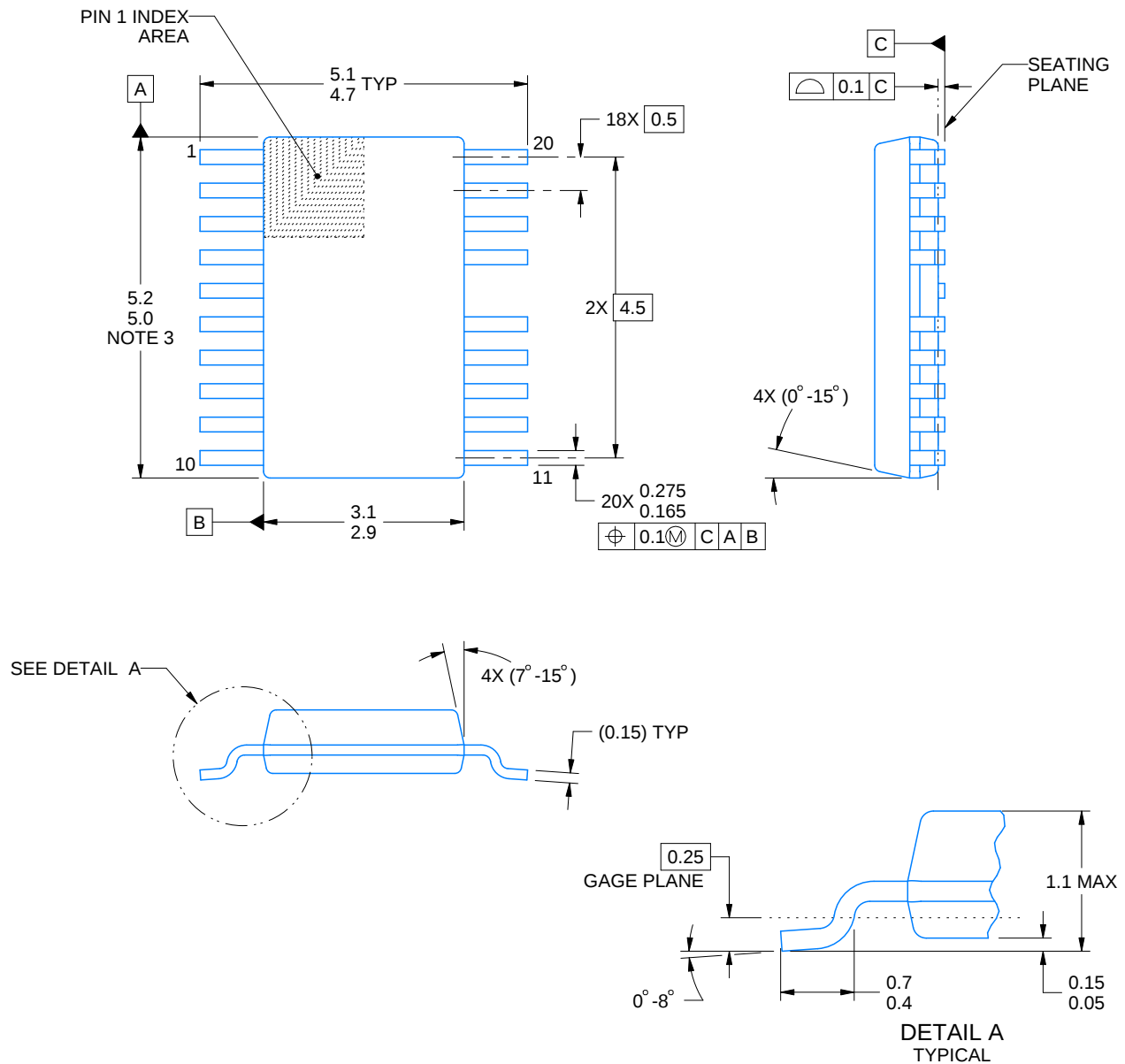
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS48100QDGXRQ1	VSSOP	DGX	19	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS48100QDGXRQ1	VSSOP	DGX	19	5000	353.0	353.0	32.0



4226944/A 07/2021

NOTES:

PowerPAD is a trademark of Texas Instruments.

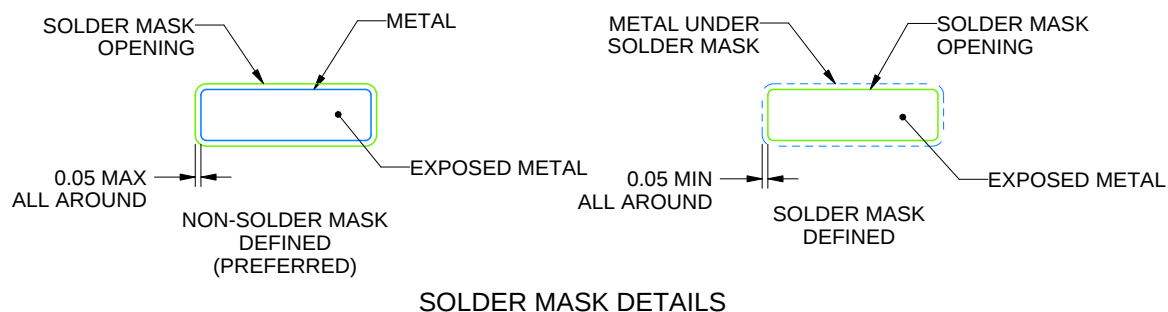
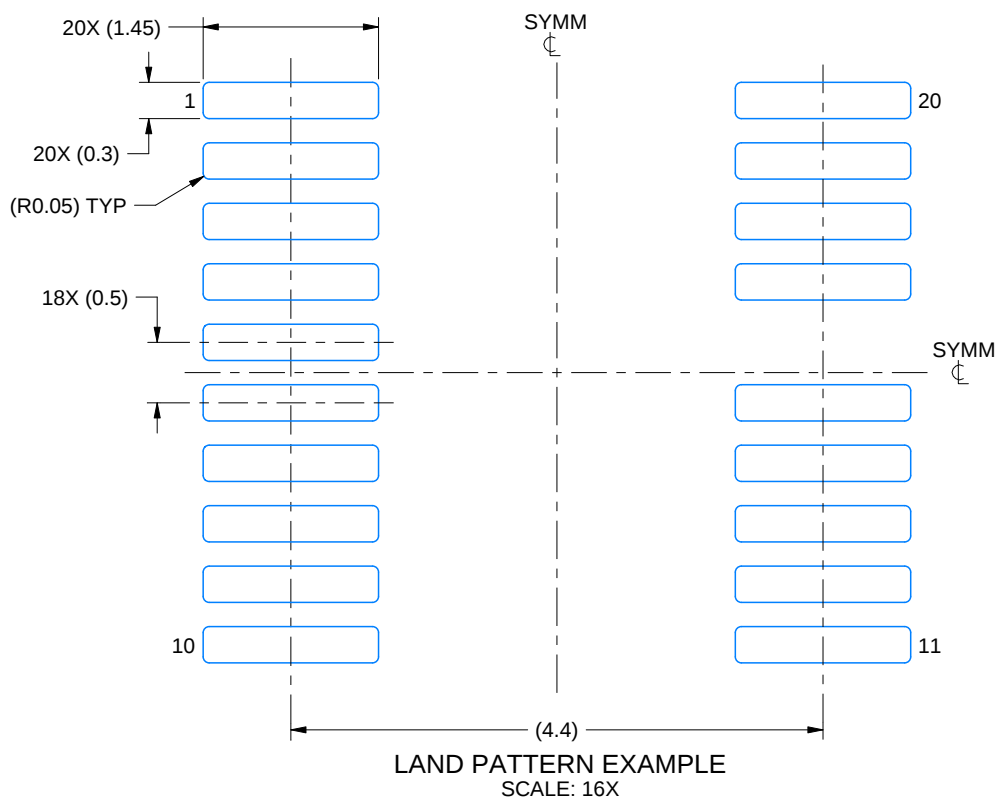
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of July 2021.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226944/A 07/2021

NOTES: (continued)

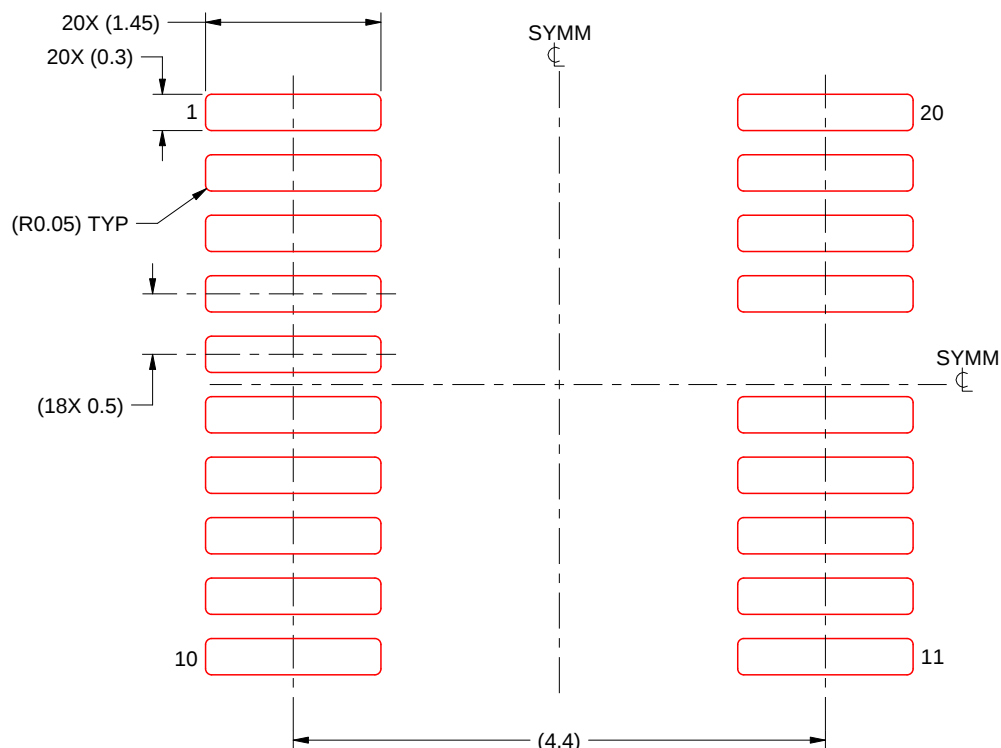
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226944/A 07/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司