

具有集成开关的 TPS4141-Q1 汽车级 1200V 可配置精密电阻分压器

1 特性

- 符合汽车应用要求
 - AEC-Q100 等级 1：-40°C 至 125°C 环境温度范围
- 集成式高压电阻分压器
 - 总电阻为 30MΩ 的精确匹配分压器
 - 没有暴露的高阻抗节点可减轻电路板污染物对测量完整性的影响
- 集成式高压断开开关
 - 1200V 关断电压、单向阻断
 - $T_A = 105^\circ\text{C}$ 时，泄漏电流 $< 1.5\ \mu\text{A}$
- 集成式精密放大器
 - 缓冲输出，便于连接到模数转换器
 - 动态可选增益设置，可在整个高压检测范围内最大限度地提高精度
- 测量精度： $\pm 0.25\%$
- 支持高达 $\pm 1200\text{V}$ 的单向和双向电压检测
- 在单向和双向电压检测操作之间动态切换
- 低电源电流
 - 5mA 导通状态电流
 - 5.5 μA 关断状态电流
- SOIC (DWQ-11) 封装
 - 从高压检测引脚到所有其他引脚的爬电距离和间隙 $\geq 8\text{mm}$

2 应用

- 混合动力、电动和动力传动系统
- 电池管理系统 (BMS)
- 太阳能

3 说明

TPS4141-Q1 是一款集成了可编程增益放大器的高压精密匹配电阻分压器。TPS4141-Q1 还集成了一个高压开关，可用于连接或断开高压检测引脚，并可在断开连接时阻断单向电流。该器件专为需要精确高压测量的汽车和工业应用而设计。

TPS4141-Q1 可编程增益放大器使用的是 DIV0 和 DIV1 输入，支持四种分压器分压比。DIV0 和 DIV1 可设置为固定的分压器分压比，并且也可以在运行时动态更改。这样就可以使放大器输出 (AOUT) 与模数信号链的满量程输入电压相匹配，从而提高整个目标电压检测范围内的精度。

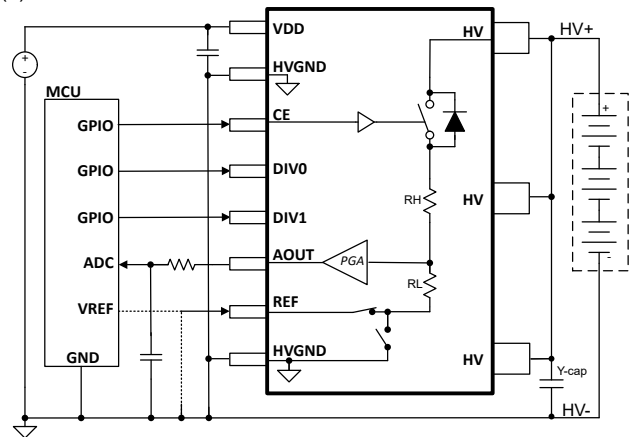
TPS4141-Q1 支持单向或双向电压测量。在 REF 至 HVGND 之间提供一个外部精确电压基准即可支持双向电压测量。运行期间，可以使用 DIV0 和 DIV1 在双向和单向电压检测之间切换。将 REF 连接到 HVGND 仅可实现单向电压检测。

TPS4141-Q1 集成了一个高压开关，从高压检测引脚 (HV) 到接地 (HVGND) 的关断电压大于 1200V。当断开时，此开关可阻断从 HV 到 HVGND 的单向电流。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS4141-Q1 ⁽³⁾	DWQ (SOIC、11)	10.30mm × 10.30mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- 产品预发布。



TPS4141-Q1 简化版应用原理图



内容

1 特性	1	6.3 特性说明	10
2 应用	1	6.4 器件功能模式	14
3 说明	1	7 应用和实施	15
4 引脚配置和功能	3	7.1 应用信息.....	15
4.1 引脚功能 TPS4141-Q1.....	3	7.2 典型应用.....	15
5 规格	4	7.3 电源相关建议.....	18
5.1 绝对最大额定值.....	4	7.4 布局.....	18
5.2 ESD 等级.....	4	8 器件和文档支持	20
5.3 建议运行条件.....	4	8.1 接收文档更新通知.....	20
5.4 热性能信息.....	4	8.2 支持资源.....	20
5.5 功率等级.....	5	8.3 商标.....	20
5.6 电气特性.....	5	8.4 静电放电警告.....	20
5.7 开关特性.....	8	8.5 术语表.....	20
6 详细说明	9	9 修订历史记录	20
6.1 概述.....	9	10 机械、封装和可订购信息	21
6.2 功能方框图.....	9	10.1 卷带包装信息.....	21

4 引脚配置和功能

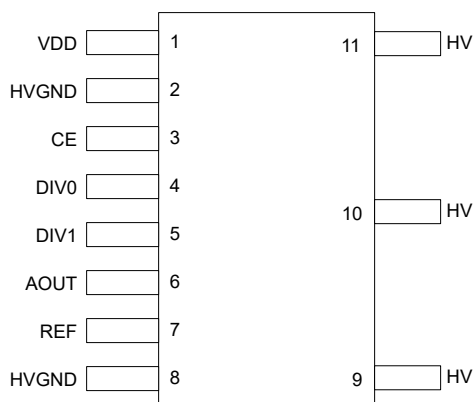


图 4-1. TPS4141-Q1 DWQ 封装，11 引脚 SOIC-WB (顶视图)

4.1 引脚功能 TPS4141-Q1

引脚编号	引脚名称	类型 ⁽¹⁾	说明
1	VDD	P	电源
2	HVGND	GND	HV 接地电源。将所有 HVGND 引脚连接至 HV 接地电源。
3	CE	I	高电平有效芯片使能信号
4	DIV0	I	用于分压器分压比选择的三重输入
5	DIV1	I	用于分压器分压比选择的三重输入
6	AOUT	O	HV 电阻分压器的放大器输出
7	REF	I	电阻分压器底部的基准，连接到外部基准以实现双向检测，或连接到 HVGND。
8	HVGND	GND	HV 接地电源。将所有 HVGND 引脚连接到 HV 接地回路。
9	HV	I/O	高压输入。必须在应用中连接所有 HV 引脚。
10			
11			

(1) P = 电源、I = 输入、O = 输出、GND = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		最小值	最大值	单位
V _{VDD}	电源电压 ⁽²⁾	-0.3	20.7	V
V _{CE} 、DIV0、DIV1	芯片使能和三态输入电压 ⁽²⁾	-0.3	20.7	V
V _{AOUT} 、REF	电阻分压器参考输入和缓冲电阻分压器输出 ⁽²⁾	-0.3	6	V
V _{HV}	高压输入 ⁽²⁾	-1400	1400	V
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 电压值均以 HVGND 为基准。

5.2 ESD 等级

			值	单位
HBM	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	所有引脚	±2000 V
CDM	静电放电	充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4	所有引脚	±750 V

- (1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	标称值	最大值	单位
V _{VDD}	初级侧电源电压 ⁽¹⁾	4.5		20	V
V _{CE} 、DIV0、DIV1	芯片使能、分压器选择输入电压 ⁽¹⁾	0		20	V
V _{AOUT}	缓冲电阻分压器输出 ⁽¹⁾	0		4.1	V
V _{REF}	电阻分压器底部的基准 ⁽¹⁾	0		3.2	V
V _{HV}	开关输入电压 ⁽¹⁾	-1200		1200	V
R _{AOUT}	AOUT 上的外部串联电阻 ⁽²⁾	100		900	Ω
C _{AOUT}	AOUT 上的外部电容 ⁽²⁾	1		200	nF
T _A	环境工作温度	-40		125	°C
T _J	工作结温	-40		150	°C

- (1) 电压值均以 HVGND 为基准。
- (2) 从 AOUT 到 HVGND 的外部低通 RC 滤波器。

5.4 热性能信息

热指标 ⁽¹⁾		TPS4141-Q1	单位
		DWQ (SOIC)	
		11 引脚	
R _{θJA}	结至环境热阻	70	°C/W
R _{θJB}	结至电路板热阻	22	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	26	°C/W

5.4 热性能信息 (续)

热指标 ⁽¹⁾		TPS4141-Q1	单位
		DWQ (SOIC)	
		11 引脚	
Ψ_{JT}	结至顶部特征参数	14	°C/W
Ψ_{JB}	结至电路板特征参数	21	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

5.5 功率等级

参数	测试条件	最小值	典型值	最大值	单位
P_D	最大功耗、总功耗 (VDD 和 HV 电源)			110	mW
P_{D_VDD}	最大功耗 (VDD 电源)			50	mW
P_{D_HV}	最大功耗 (HV 电源)			60	mW

5.6 电气特性

除非另有说明, 否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ 的条件下测得。

参数	测试条件	最小值	典型值	最大值	单位
精密电阻分压器和放大器					
R_{TOTAL}	从 HV 到 HVGND 或从 HV 到 REF 的电阻。	25.5	30	34.5	M Ω
DIV_{NOM}	标称分压比	$DIV1 = L, DIV0 = L$		160	V/V
		$DIV1 = L, DIV0 = H$		320	V/V
		$DIV1 = H, DIV0 = L$		640	V/V
		$DIV1 = H, DIV0 = H$		1000	V/V

5.6 电气特性 (续)

除非另有说明, 否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ 的条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
增益误差 ⁽¹⁾	DIV = 160V/V 设置。 标称增益 = 1/DIV。	T _J = 25°C 单向测量： 110V ≤ V _{HV} ≤ 640V 双向测量： ： - 302V ≤ V _{HV} ≤ 322V , V _{REF} = 2.0V	-0.15		0.15	%
		- 40°C ≤ T _J ≤ 150°C 单向测量： 110V ≤ V _{HV} ≤ 640V 双向测量： - 302V ≤ V _{HV} ≤ 322V , V _{REF} = 2.0V	-0.25		0.25	%
	DIV = 320V/V 设置。 标称增益 = 1/DIV。	T _J = 25°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： ： - 606V ≤ V _{HV} ≤ 642V、 V _{REF} = 2.0V	-0.15		0.15	%
		- 40°C ≤ T _J ≤ 150°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： - 606V ≤ V _{HV} ≤ 642V , V _{REF} = 2.0V	-0.25		0.25	%
	DIV = 640V/V 设置。 标称增益 = 1/DIV。	T _J = 25°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： - 1200V ≤ V _{HV} ≤ 1200V , V _{REF} = 2.0V	-0.15		0.15	%
		- 40°C ≤ T _J ≤ 150°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： - 1200V≤ V _{HV} ≤ 1200V , V _{REF} = 2.0V	-0.25		0.25	%
	DIV = 1000V/V 设置。 标称增益 = 1/DIV。	T _J = 25°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： - 1200V ≤ V _{HV} ≤ 1200V , V _{REF} = 2.0V	-0.15		0.15	%
		- 40°C ≤ T _J ≤ 150°C 单向测量： 110V ≤ V _{HV} ≤ 1200V 双向测量： - 1200V≤ V _{HV} ≤ 1200V , V _{REF} = 2.0V	-0.25		0.25	%
V _{OFFSET_HV}	以 HV 输入为基准的测量偏移电压。	- 40°C ≤ T _J ≤ 150°C	-240		240	mV
CMR _{AIN}	放大器共模输入范围		0		3.2	V
CMR _{AOUT}	放大器共模输出范围		0		4.1	V

5.6 电气特性 (续)

除非另有说明, 否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ 的条件下测得。

参 数		测试条件	最小值	典型值	最大值	单位
BW _{HV_REF}	测量带宽 — HV 至 AOUT、REF 至 AOUT	DIV = 160		7		kHz
		DIV = 320		14		kHz
		DIV = 640		28		kHz
		DIV =1000		47		kHz
I _{SC} 、AOUT	短路电流 — AOUT 至 HVGND/REF。	V _{VDD} = 5V , V _{CE} = 5V		±15		mA
电源 (VDD)						
V _{UVLO_R}	VDD 欠压阈值上升	VDD 上升	4	4.2	4.4	V
V _{UVLO_F}	VDD 欠压阈值下降	VDD 下降	3.9	4.1	4.3	V
V _{UVLO_HYS}	VDD 欠压阈值迟滞			150		mV
I _{VDD_ON}	VDD 电流，器件上电	T _J = 25°C		5		mA
		- 40°C ≤ T _J ≤ 150°C		5	7	mA
I _{VDD_OFF}	VDD 电流，器件断电	V _{VDD} = 5V , V _{CE} = 0V , T _J = 25°C		5.5	8	μA
		V _{VDD} = 5V , V _{CE} = 0V , - 40°C ≤ T _J ≤ 150°C			48	μA
		V _{VDD} = 20V , V _{CE} = 0V , T _J = 25°C		10	20	μA
		V _{VDD} = 20V , V _{CE} = 0V , - 40°C ≤ T _J ≤ 150°C			60	
开关特性						
I _{OFF}	关断漏电流	CE = L , V _{HV} = 1200V , T _J = 25°C		0.02	0.15	μA
		CE = L , V _{HV} = 1200V , T _J = 85°C			0.5	
		CE = L , V _{HV} = 1200V , T _J = 105°C			1.5	
		CE = L , V _{HV} = 1200V , T _J = 125°C			6	
		CE = L , V _{HV} = 1200V , - 40°C ≤ T _J ≤ 150°C			50	
BV _{VDSS}	开关击穿电压。	I _{HV} = 1μA , - 40°C ≤ T _J ≤ 150°C CE = L	1270	1550		V
C _{OSS}	HV 电容	V _{HV} = 0V , f = 1MHz		50		pF
逻辑电平输入 (CE、DIV0、DIV1)						
V _{IL} 、CE	芯片使能输入逻辑低电压		0.0		0.8	V
V _{IH} 、CE	芯片使能输入逻辑高电压		2.4		20.0	V
V _{HYS} 、CE	芯片使能输入逻辑迟滞			250		mV
V _{IL} 、DIVx	DIV0/DIV1 低电平状态的输入逻辑				0.8	V
V _{IM} 、DIVx	DIV0/DIV1 中间状态的输入逻辑		1.3		1.8	V
V _{IH} 、DIVx	DIV0/DIV1 高电平状态的输入逻辑		2.4			V
I _{IL_CE}	输入逻辑低电平电流	V _{CE} = 0V	-0.1		0.1	μA
		V _{CE} = 0.8V	2	4	6.5	μA
I _{IH_CE}	输入逻辑高电流	V _{CE} = 5V	10	22	50	μA
		V _{CE} = 20V	100	175	350	μA

5.6 电气特性 (续)

除非另有说明, 否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ 的条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
I_{IL_DIVx}	输入逻辑低电平电流	$V_{DIVx} = 0\text{V}$	-22	-15	-9	μA
		$V_{DIVx} = 0.8\text{V}$	-11	-7	-4	μA
I_{IM_DIVx}	输入逻辑中电流	$V_{DIVx} = 1.3\text{V}$	-3	-2	-1	μA
		$V_{DIVx} = 1.8\text{V}$	1.3	2.4	5	μA
I_{IH_DIVx}	输入逻辑高电流	$V_{DIVx} = 2.4\text{V}$	4	8	23	μA
		$V_{DIVx} = 5\text{V}$	9	17	32	μA
		$V_{DIVx} = 20\text{V}$	9	17	32	μA
R_{PD_CE}	CE 上的下拉电阻		100	200	350	$\text{k}\Omega$
R_{PU_DIVx}	DIV0、DIV1 上的上拉电阻		200	300	400	$\text{k}\Omega$
R_{PD_DIVx}	DIV0、DIV1 上的下拉电阻		80	120	280	$\text{k}\Omega$

(1) 计算得出的增益误差 (%) = $100 \times [\text{DIV}_{\text{nom}} (V_{AOUT, HV_{\text{max}}} - V_{AOUT, HV_{\text{min}}}) / (V_{HV_{\text{max}}} - V_{HV_{\text{min}}}) - 1]$

5.7 开关特性

除非另有说明, 否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{CE} = 5\text{V}$ 、 $C_{AOUT} = 1\text{nF}$ 、 $R_{AOUT} = 100\Omega$ 的条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
开关特性						
t_{ON}	上升到 AOUT 的 CE 趋于稳定状态值的 1%。	$V_{HV} = 300\text{V}$, $\text{DIV} = 160$, $\text{CE} = \text{L} \rightarrow \text{H}$		840		μs
t_{OFF}	下降至 AOUT 的 CE 下拉至 HVGND。	$V_{HV} = 300\text{V}$, $\text{DIV} = 160$, $\text{CE} = \text{H} \rightarrow \text{L}$ 当 AOUT 达到 100mV (以 HVGND 为基准) 时测量。		285		μs
$t_{\text{DIV_TOGGLE_STEP}}$	从当前 DIV 设置到下一个 DIV 设置再到 AOUT 的切换时间趋于稳态状态值的 0.25%。	$V_{HV} = 300\text{V}$, $V_{\text{REF}} = 0\text{V}$ 或 2V 。 $\text{DIV} = 160 \rightarrow 320$, $\text{DIV} = 320 \rightarrow 160$ 或 $\text{DIV} = 320 \rightarrow 640$, $\text{DIV} = 640 \rightarrow 320$ 或 $\text{DIV} = 640 \rightarrow 1000$, $\text{DIV} = 1000 \rightarrow 640$ 。		30		μs
$t_{\text{DIV_TOGGLE}}$	从最低 DIV 设置到最高 DIV 设置再到 AOUT 的转换时间趋于稳定状态值的 0.25%	$V_{HV} = 300\text{V}$, $V_{\text{REF}} = 0\text{V}$ 或 2V 。 $\text{DIV} = 160 \rightarrow 1000$, $\text{DIV} = 1000 \rightarrow 160$ 。		310		μs

6 详细说明

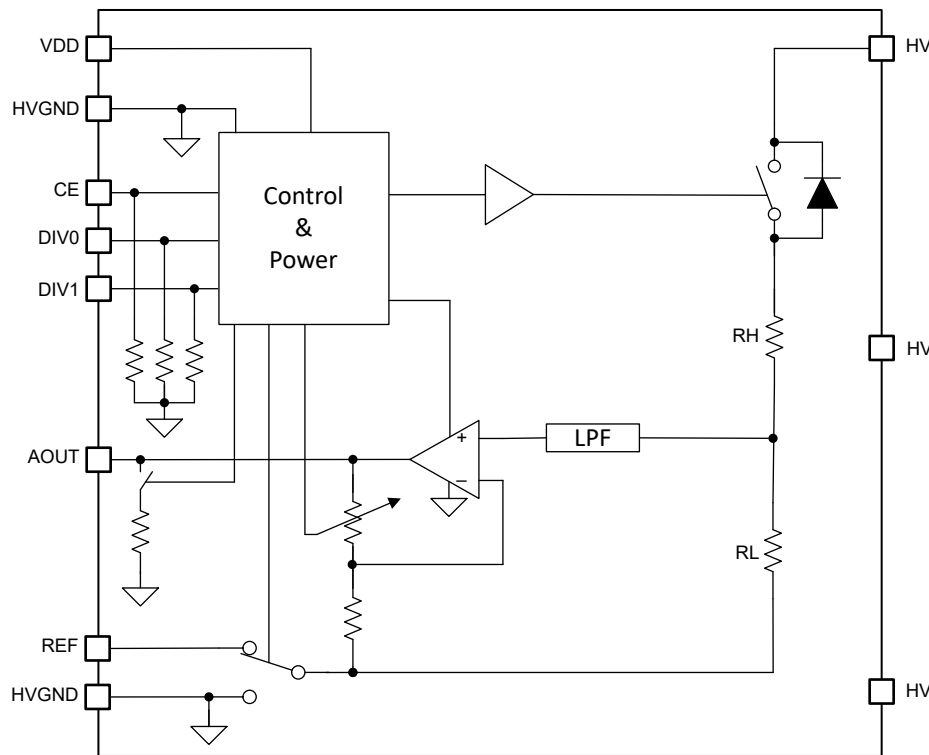
6.1 概述

TPS4141-Q1 是一款集成了可编程增益放大器的高压精密匹配电阻分压器。TPS4141-Q1 还集成了一个高压开关，可用于连接或断开高压检测引脚，并可在断开连接时阻断单向电流。该器件专为需要精确高压测量的汽车和工业应用而设计。

如 [功能方框图](#) 部分所示，TPS4141-Q1 集成了一个高压开关、两个构成精密匹配分压器的高压电阻器以及一个可编程增益放大器 (PGA)。开关开启时，HV 至 HVGND 或 HV 至 REF 之间出现电阻 (R_{TOTAL})。

可编程增益放大器具有不同的增益设置。可通过 DIV0 和 DIV1 进行选择的增益设置与电阻分压器相结合，可在高压引脚 (以 HVGND 或 REF 为基准的 HV) 上形成电压的总分压器分压比 (DIV)。产生的衰减电压会出现在相对于 HVGND 或 REF 的 AOUT 上。因此，可能有四种不同的分压器分压比。分压器分压比可以通过施加的 DIV0 和 DIV1 电压配置为固定比，也可以在应用中动态更改。

6.2 功能方框图



6.3 特性说明

6.3.1 单向电压检测

TPS4141-Q1 可配置为用于单向电压检测，如 图 6-1 中所示。借助单向电压检测，REF 通常连接至 HVGND。以这种方式配置后，TPS4141-Q1 仅测量以 HVGND 为基准的 HV 上存在的正电压，例如 0V 至 1200V。AOUT 的输出电压相对于 HVGND 始终为正。

DIV0 和 DIV1 用于选择 TPS4141-Q1 的分压器分压比 (DIV)，并且可以在应用中动态更改。这使得在 HV 端上的整个电压范围内，能够对 AOUT 输出摆幅进行优化，从而提高整体精度。

可准确测量的电压范围取决于 DIV0 和 DIV1 选择的分压器分压比。有关支持的范围，请参阅 [高压输入范围](#) 部分。

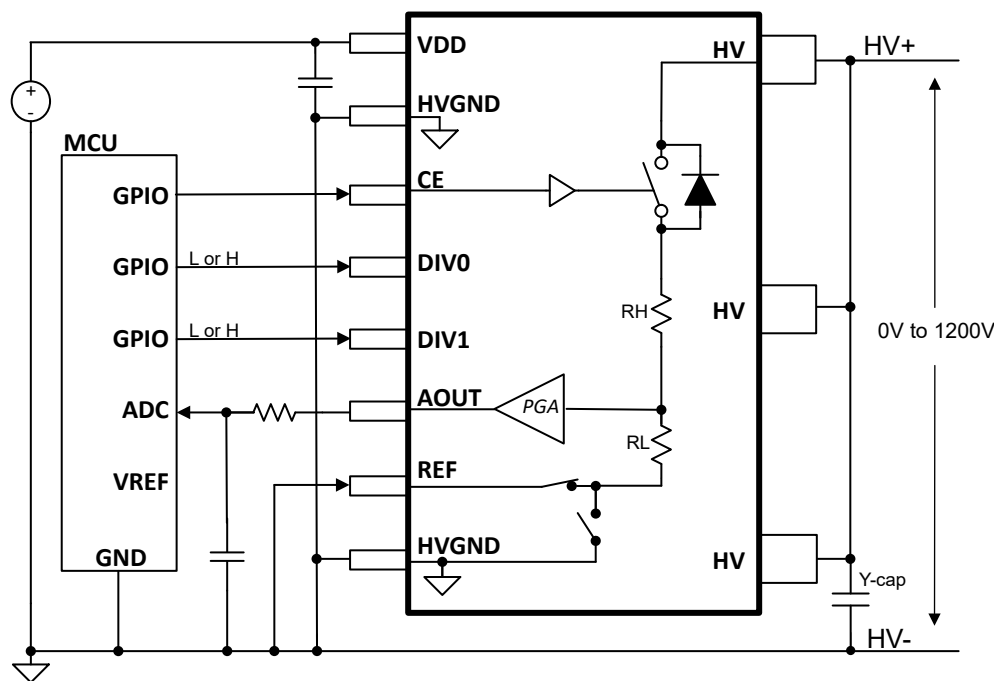


图 6-1. 单向电压检测

6.3.2 双向电压检测

TPS4141-Q1 也可配置为用于双向电压检测，如 图 6-2 中所示。借助双向电压检测，REF 连接到外部精确电压基准，以抵消 TPS4141-Q1 放大器的输出电压摆幅。借助双向电压检测，TPS4141-Q1 能够测量以 HVGND 为基准的 HV 上存在的正负电压，例如 -1200V 至 1200V。AOUT 的电压输出将在施加的电压基准 V_{REF} 上下摆动。

DIV0 和 DIV1 用于选择 TPS4141-Q1 的分压器分压比 (DIV)，并且可以在应用中动态更改。这使得在 HV 端上的整个电压范围内，能够对 AOUT 输出摆幅进行优化，从而提高整体精度。

可准确测量的电压范围取决于 DIV0 和 DIV1 选择的分压器分压比以及施加到 REF 的基准电压。有关支持的范围，请参阅 [高压输入范围](#) 部分。通常，选择外部基准电压是为了让其支持的正负输入电压的允许范围能够保持对称，不过这并非必要条件。

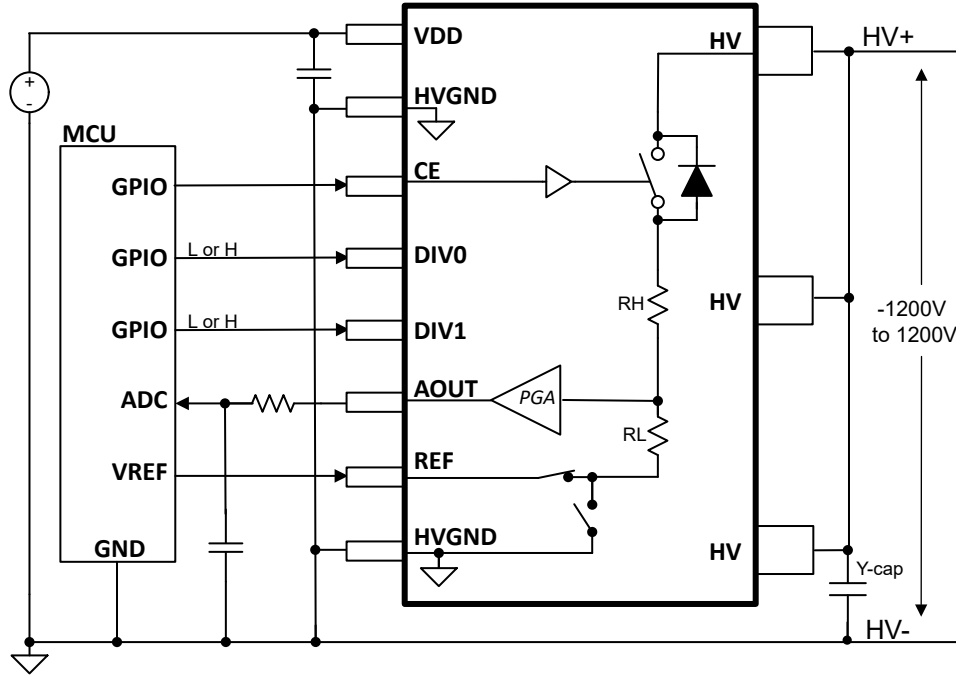


图 6-2. 双向电压检测

6.3.3 双向和单向电压检测

TPS4141-Q1 还可在单向和双向电压检测间动态切换。REF 连接到外部精确电压基准，与双向配置相同。

DIV0 和 DIV1 引脚是三重输入，因为它们可以检测逻辑低电平或高电平，以及其各自引脚上的 Hi-Z 条件。DIV0 和 DIV1 引脚的状态不仅可用于选择分压器分压比 (DIV)，而且还可以用于将器件配置为进行双向或单向电压检测。在双向运行时，器件将使用 REF 引脚上的外部基准电压，并且 TPS4141-Q1 可以测量以 HVGND 为基准的 HV 上的正负电压，例如 -1200V 至 1200V。AOUT 的电压输出围绕 REF 引脚上的电压上下摆动。在单向运行时，外部基准电压在器件内部被旁路，HVGND 则用作基准，因此 TPS4141-Q1 只能测量以 HVGND 为基准的 HV 上的正电压，例如 0V 至 1200V。以 HVGND 为基准，AOUT 的电压输出始终为正。有关这些情况的信息，请参阅图 6-3 和图 6-4。

可准确测量的电压范围取决于 DIV0 和 DIV1 选择的分压器分压比以及施加到 REF 的基准电压。有关支持的范围，请参阅 [高压输入范围](#) 部分。通常，选择外部基准电压是为了让其支持的正负输入电压的允许范围能够保持对称，不过这并非必要条件。

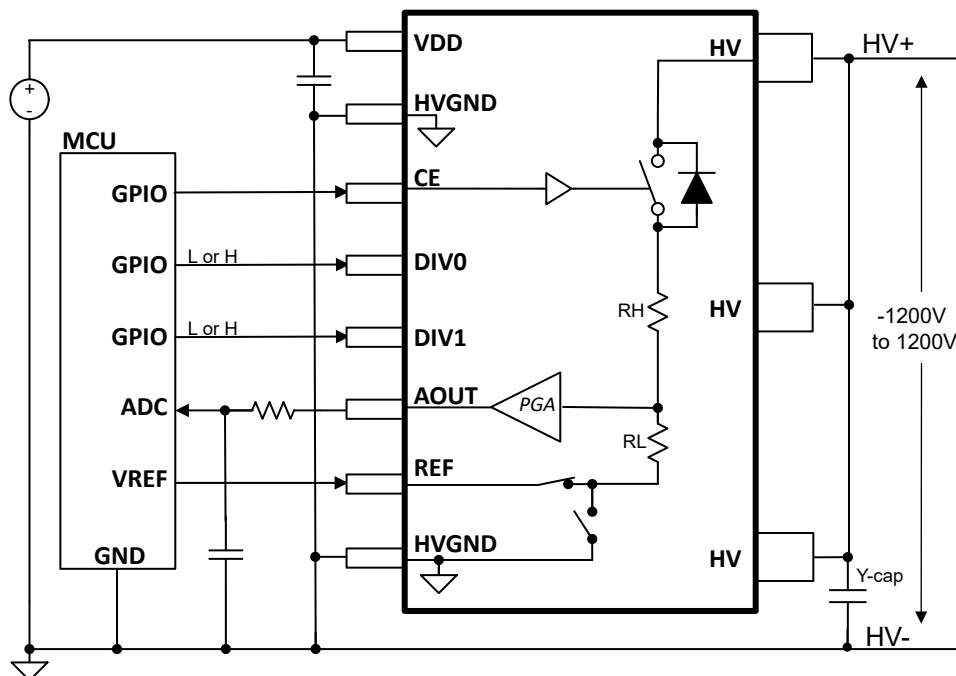


图 6-3. 双向电压检测 (DIV0 和 DIV1 设置为逻辑低电平或高电平)

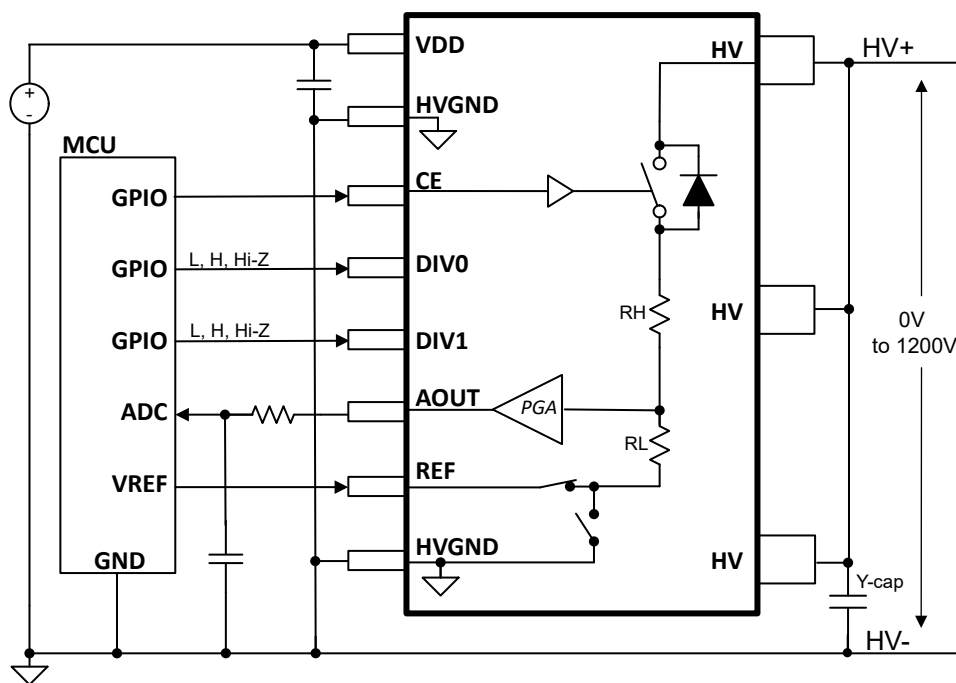


图 6-4. 双向到单向电压检测 (DIV0 和 DIV1 设置为逻辑低电平、高电平或 Hi-Z)

6.3.4 高压输入范围

TPS4141-Q1 能够准确检测 HV (V_{HV}) 上的输入电压，具体取决于所选的 DIV 比和施加的 REF 电压 (V_{REF})。集成式放大器的共模输入和输出电压范围限制了可以支持的 V_{HV} 电压。超过这些范围会导致放大器输入或输出饱和。

放大器共模输出范围 CMR_{AOUT} 限制了放大器可以驱动到 AOUT 的输出电压范围。就 HVGND 而言, AOUT 的电压限制在 $CMR_{AOUT(min)}$ 至 $CMR_{AOUT(max)}$ 的范围内。同样, 放大器共模输入范围 CMR_{AIN} 限制了放大器可以放大的输入电压范围。就 HVGND 而言, 输入摆幅限制在 $CMR_{AIN(min)}$ 至 $CMR_{AIN(max)}$ 的范围内。

可准确测量的电压范围取决于 DIV0 和 DIV1 选择的分压器分压比以及施加到 REF 的外部基准电压。图 6-5 显示了受支持输入范围的典型特性。对于每个 DIV 设置, 都会显示一对曲线。顶部曲线对应于所选 DIV 设置的 V_{HV} 电压的上限, 底部曲线则对应于 V_{HV} 电压的下限。

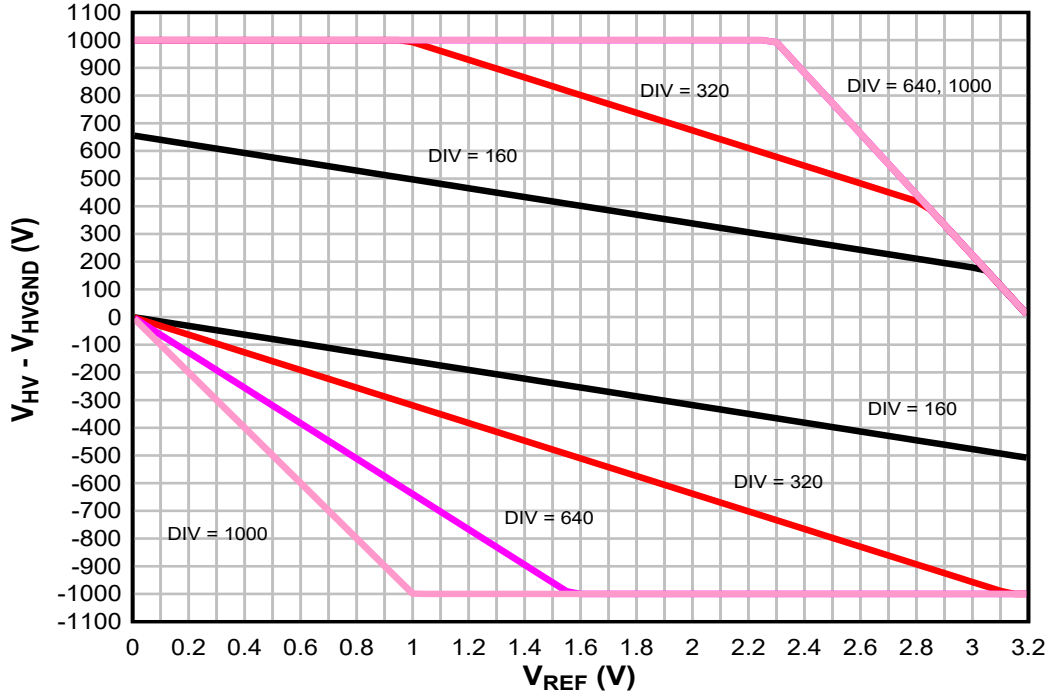


图 6-5. 受支持的 HV 输入范围

6.3.5 计算输出电压 (V_{AOUT})

有多个误差源会导致总体的系统测量误差。这些误差源包括但不限于：

- TPS4141-Q1 HV 输入偏移误差, V_{OFFSET_HV} 。
- TPS4141-Q1 HV 增益误差, 增益误差。
- 参考绝对精度, REF_{ACC} 。

假设没有误差源, 方程式 1 可用于估算 AOUT 电压 (V_{AOUT})：

$$V_{AOUT} = \frac{V_{HV} - V_{REF}}{DIV_{NOM}} + V_{REF} \quad (1)$$

当包含上述误差源时, 方程式 2 可用于估算与 AOUT 电压相关的 V_{REF} 、 V_{HV} 和 DIV_{NOM} 值：

$$V_{AOUT} = \left(1 \pm \frac{GAIN_{ERROR}}{100}\right) \times \left[\frac{(V_{HV} \pm V_{OFFSET_HV}) - (V_{REF} \pm REF_{ACC})}{DIV_{NOM}}\right] + (V_{REF} \pm REF_{ACC}) \quad (2)$$

对于单向操作 ($V_{REF} = 0V$), 方程式 2 简化为 方程式 3：

$$V_{AOUT} = \left(1 \pm \frac{GAIN_{ERROR}}{100}\right) \times \left[\frac{(V_{HV} \pm V_{OFFSET_HV})}{DIV_{NOM}}\right] \quad (3)$$

6.4 器件功能模式

表 6-1. 器件功能模式

VDD	CE ⁽³⁾	V _{REF} ⁽³⁾	DIV1 ⁽³⁾	DIV0 ⁽³⁾	DIV ⁽³⁾	功能
已上电 ⁽¹⁾	L	X	X	X	—	处于关断状态范围的 VDD 电流。电阻分压器和 AOUT 缓冲器已禁用。
	H	0V 至 3.2V ⁽⁴⁾	L	L	160	双向电压检测。处于导通状态范围的 VDD 电流。电阻分压器和 AOUT 缓冲器已启用。
			L	H	320	
			H	L	640	
			H	H	1000	
已上电 ⁽¹⁾	H	X	L	高阻态	160	单向电压检测。处于导通状态范围的 VDD 电流。电阻分压器和 AOUT 缓冲器已启用。
			H	高阻态	320	
			高阻态	H	640	
			高阻态	L 或 Hi-Z	1000	
已断电 ⁽²⁾	X	X	X	X	—	处于关断状态范围的 VDD 电流。

(1) VDD ≥ VDD 欠压上升阈值。

(2) VDD ≤ VDD 欠压下降阈值。

(3) X：无关；L：逻辑低电平；H：逻辑高电平；Hi-Z：高阻抗。

(4) 有关给定 V_{REF} 支持的输入范围，请参阅 [高压输入范围](#) 部分。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS4141-Q1 是一款集成了可编程增益放大器的高压精密匹配电阻分压器。TPS4141-Q1 还集成了一个高压开关，可用于连接或断开高压检测引脚 (HV)，并可在断开连接时阻断单向电流。预期应用包括但不限于太阳能电池板、电动汽车 (EV) 充电器、电动汽车电池管理系统 (BMS) 和储能系统 (ESS) 中的高压监测。该器件专为需要精确高压测量的汽车和工业应用而设计。

TPS4141-Q1 在电源引脚上支持 4.5V 至 20V 的输入电压范围，在 CE、DIV0 和 DIV1 引脚上支持 2V 至 20V 的逻辑高电平。当在 REF 上提供外部基准电压时，TPS4141-Q1 支持高达 1,200V 的单向电压检测和高达 $\pm 1,200V$ 的双向电压检测。

7.2 典型应用

图 7-1 展示了在系统中使用 TPS4141-Q1 进行高压测量的简化版电路图。TPS4141-Q1 与包含集成式 Δ - Σ ADC 的 BQ79731-Q1 UIR 传感器相连。在此示例中，TPS4141-Q1 和 BQ79731-Q1 驻留在高压域中，各自的接地端连接至电池接地端 BAT- (HVGND = AVSS = BAT-)。

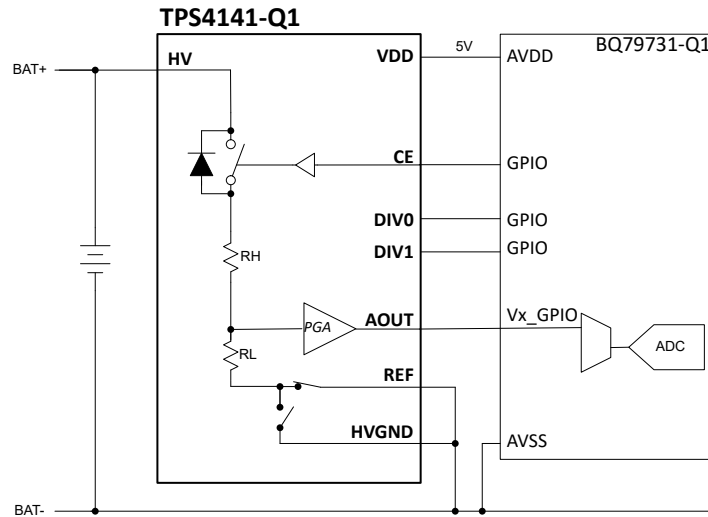


图 7-1. 采用 TPS4141-Q1 和 BQ79731-Q1 的直流总线测量

7.2.1 设计要求

表 7-1 列出了有关使用低压 MCU 控制 TPS4141-Q1 来进行典型高压测量的设计要求。在测量中，假定 MCU 驻留在 HVGND (高压域的接地端) 上。

表 7-1. 设计要求 TPS4141-Q1 HV 测量

参数	值
V _{HV} 电压范围	0V 至 1000V
电源 (V _{VDD})	5V ±5%
ADC 满量程输入范围	5V
ADC 绝对测量误差	±1.5mV

7.2.2 详细设计过程

7.2.2.1 分压器分压比选择

在本例中，HV 输入范围相对于 BAT- 为正。因此，TPS4141-Q1 可配置为用于单向操作，如 图 7-2 所示。

分压器分压比可通过参考 图 6-5 确定。应选择 在 ADC 满量程输入范围内，可使 AOOUT 电压范围最大化的分压器分压比。如果 V_{REF} = 0V (REF = HVGND)，可使用的最小分压器分压比为 DIV_{NOM} = 320V/V。更高的分压器分压比是可以实现的，但这会减小相对于可用 ADC 满量程输入范围的 AOOUT 电压范围。

DIV0 和 DIV1 用于选择标称分压器分压比。对于在运行中动态更改分压器分压比的应用，这些引脚可由 MCU 的通用 I/O 控制。对于静态分压器分压比设置，DIV0 和 DIV1 可以连接到电源或接地，从而节省 MCU 通用 I/O 以用于其他目的。对于本设计，分压器分压比假定为静态。因此，DIV0 会连接到 VDD，DIV1 则会连接到 HVGND。

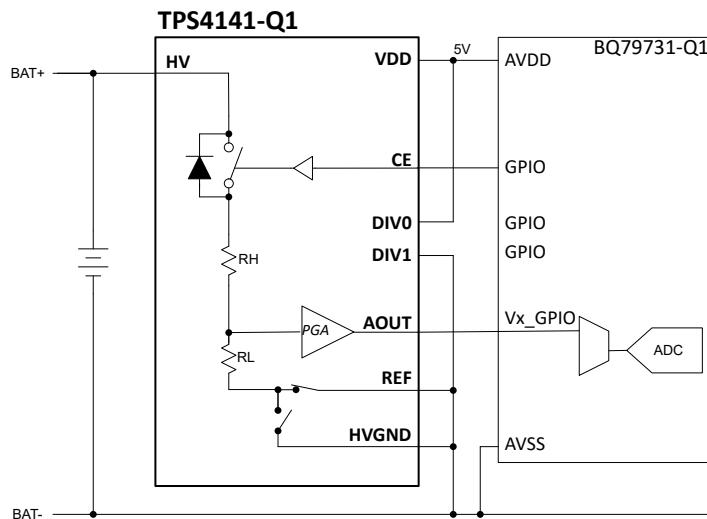


图 7-2. 单向测量、DIV_{NOM} = 320V/V

如果应用要求同时测量相对于 BAT- 的正负 HV 电压，TPS4141-Q1 可配置为用于双向操作，如 图 7-3 所示。一个外部 2.048V (V_{REF}) 电压基准被施加到 REF 上，此 REF 会使 AOOUT 电压以 V_{REF} 为中心发生偏移。DIV_{NOM} 增加至 640V/V，以支持 -1000V 至 1000V 的 HV 输入范围。

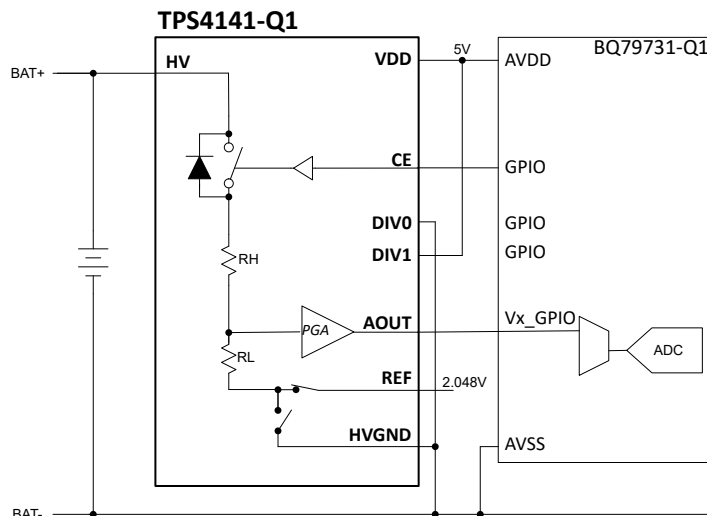


图 7-3. 双向测量、DIV_{NOM} = 640V/V

7.2.2.2 误差估计

以下误差源用于估算总测量误差：

- TPS4141-Q1 HV 输入偏移误差， $V_{\text{OFFSET_HV}}$ ， $\pm 240\text{mV}$ 。
- TPS4141-Q1 HV 增益误差，增益误差， $\pm 0.25\%$ 。
- ADC 绝对精度， ADC_{ACC} 。对于 BQ79731-Q1，误差为 $\pm 1.5\text{mV}$ 。

对于单向操作，[方程式 3](#) 用于估算在 $V_{\text{HV}} = 1000\text{V}$ 和 $\text{DIV}_{\text{NOM}} = 320\text{V/V}$ 的满标量程下，AOUT 电压的最大值和最小值：

$$V_{\text{AOUT}} = (1 \pm 0.0025) \times \left[\frac{1000\text{V} \pm 0.24\text{V}}{320} \right] \quad (4)$$

$$V_{\text{AOUT_MAX}} = 3.13356\text{V} \quad V_{\text{AOUT_MIN}} = 3.11644\text{V} \quad (5)$$

无误差源的 AOUT 电压 ($V_{\text{AOUT_IDEAL}}$) 可以使用 [方程式 1](#) 求出，其中 $V_{\text{REF}} = 0\text{V}$ ：

$$V_{\text{AOUT_IDEAL}} = \frac{1000\text{V}}{320} = 3.125\text{V} \quad (6)$$

使用 $V_{\text{AOUT_MAX}}$ 、 $V_{\text{AOUT_MIN}}$ 和 $V_{\text{AOUT_IDEAL}}$ 时，总满标量程百分比误差为 $\pm 0.274\%$ 。也可以直接使用 [方程式 7](#) 求出误差：

$$\% \text{ERROR}_{\text{UNI}} = \pm 100\% \times \left[\left(1 + \frac{\text{GAIN_ERROR}}{100} \right) \times \left(1 + \frac{V_{\text{OFFSET_HV}}}{V_{\text{HV}}} \right) - 1 \right] \quad (7)$$

$$\% \text{ERROR}_{\text{UNI}} = \pm 100\% \times \left[\left(1 + \frac{0.25}{100} \right) \times \left(1 + \frac{0.24}{1000} \right) - 1 \right] = \pm 0.274\% \quad (8)$$

满标量程下的 ADC 测量误差为：

$$\% \text{ERROR}_{\text{ADC}} = \pm 100\% \times \left(\frac{1.5\text{mV}}{3.125\text{V}} \right) = \pm 0.048\% \quad (9)$$

添加这些误差会导致总误差 $\pm 0.322\%$ 。

7.2.3 应用曲线

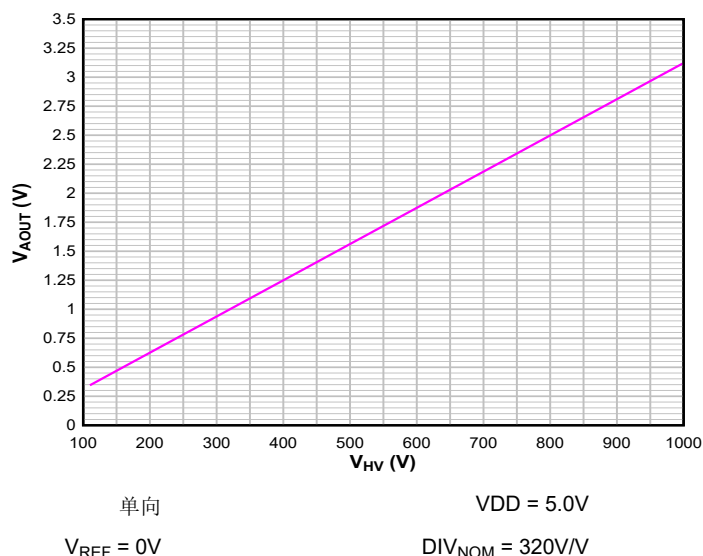


图 7-4. 传输功能，单向测量

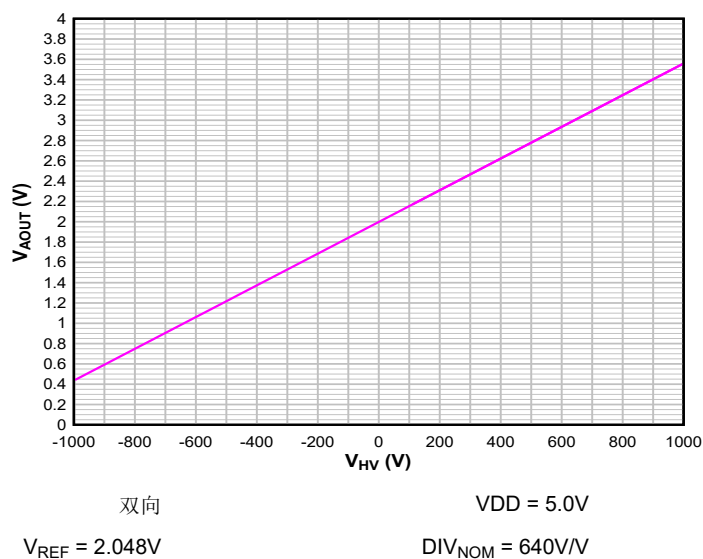


图 7-5. 传输功能，双向测量

7.3 电源相关建议

为帮助确保实现可靠的电源电压，德州仪器 (TI) 建议在 VDD 和 $HVGND$ 之间放置旁路电容器。该电容包含一个用于高频去耦的 $0.1 \mu F$ 旁路电容器，并与一个用于低频去耦的 $1 \mu F$ 电容器并联。必须在靠近器件的位置 ($< 5mm$) 连接具有低 ESR 和低 ESL 的电容器。

7.4 布局

7.4.1 布局指南

组件放置：

用于对高频信号进行滤波的去耦电容器必须尽可能靠近器件引脚放置。此操作可降低布线电感的影响并减少信号干扰。

EMI 注意事项：

为了更大限度地减少 EMI，HV 和 HVGND 之间的电容将为器件产生的任何共模噪声提供低阻抗路径。在许多应用中，某种形式的电容可能已经存在并足以用于此目的。

IEC ESD 注意事项：

为了提高稳健性以满足 IEC ESD 接触放电的要求，可以在 HV 和 HVGND 之间放置电容。如此一来，该电容便具有双重用途，可提高 ESD 和 EMI 性能。通常，可能需要用到三到四个串联电容器来满足爬电距离和间隙要求，具体取决于系统电压。

高电压注意事项：

为了确保 HV 和 HVGND 之间的高电压间距，请避免在器件下方放置 PCB 或铜。为满足爬电距离和间隙标准，必须进行正确的放置和布线，以便信号传输到 HV 和所有低压引脚。

散热注意事项：

适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并最大限度地降低结到电路板的热阻抗 (θ_{JB})。

7.4.2 布局示例

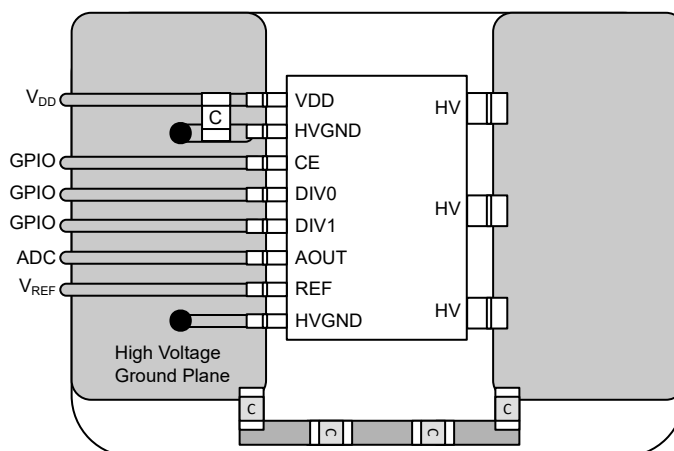


图 7-6. TPS4141-Q1 示例布局

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

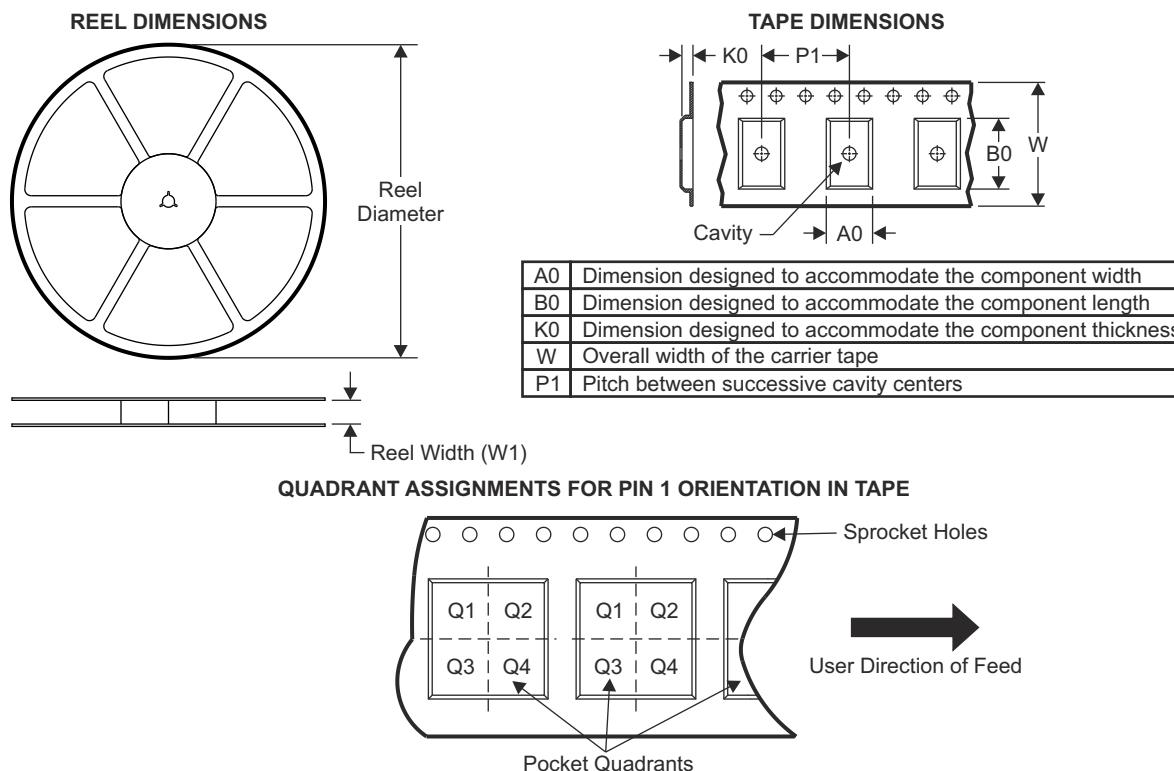
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
February 2025	*	初始发行版

10 机械、封装和可订购信息

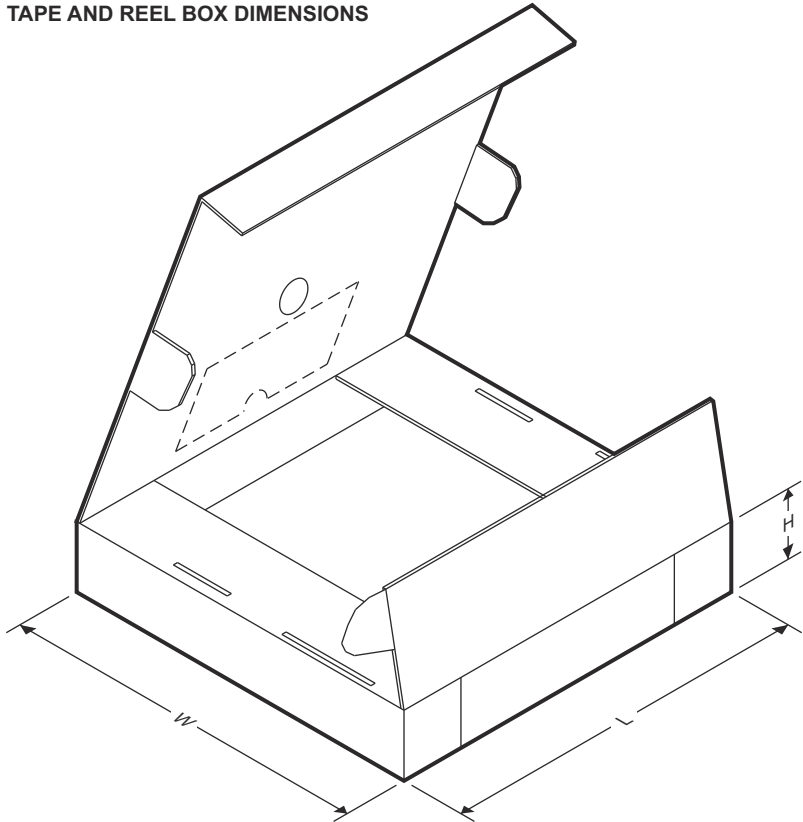
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带包装信息



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
XTPS4141QDWQR	SOIC	DWQ	11	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
XTPS4141QDWQR	SOIC	DWQ	11	1000	350.0	350.0	43.0

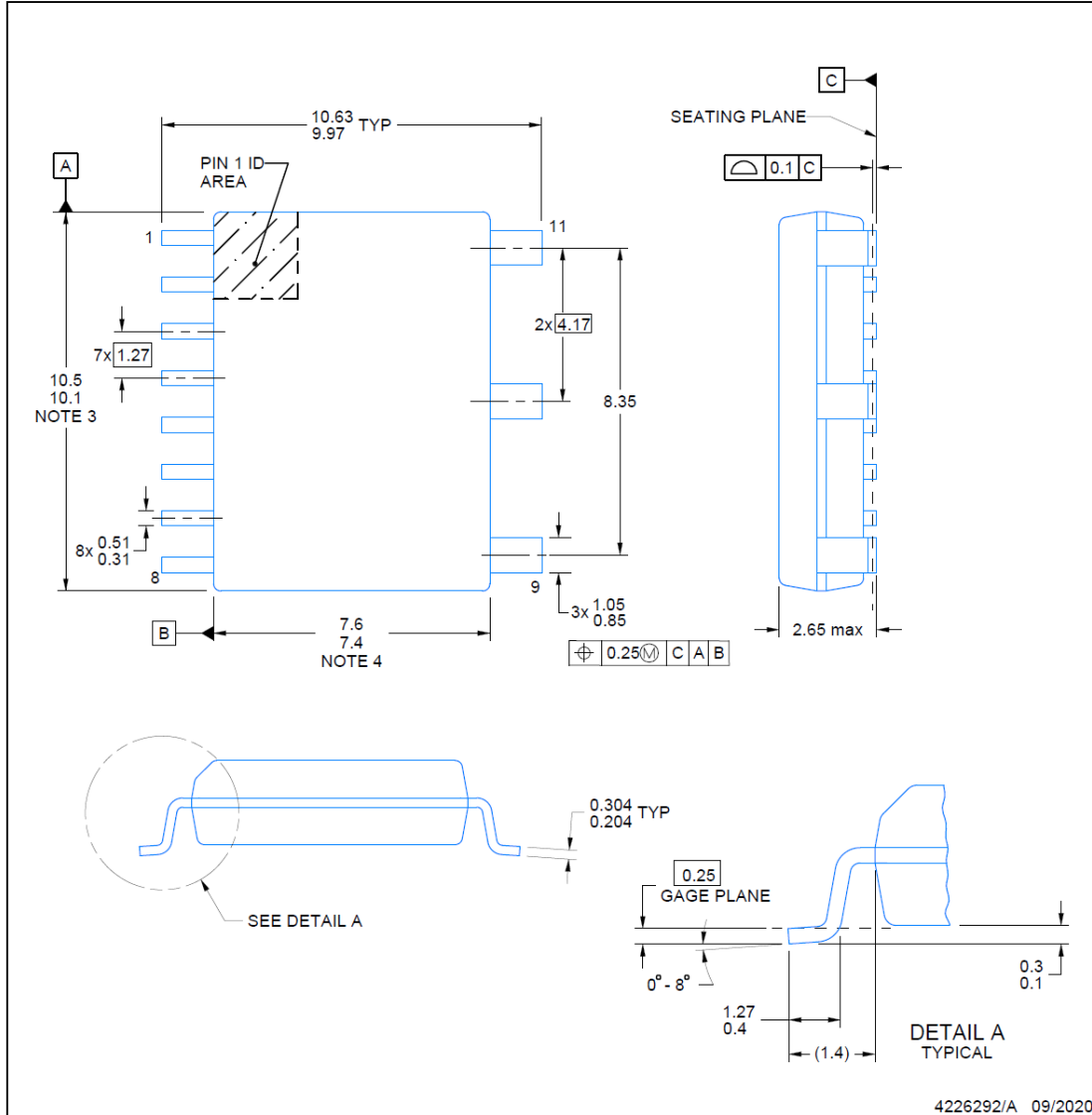
ADVANCE INFORMATION

PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE

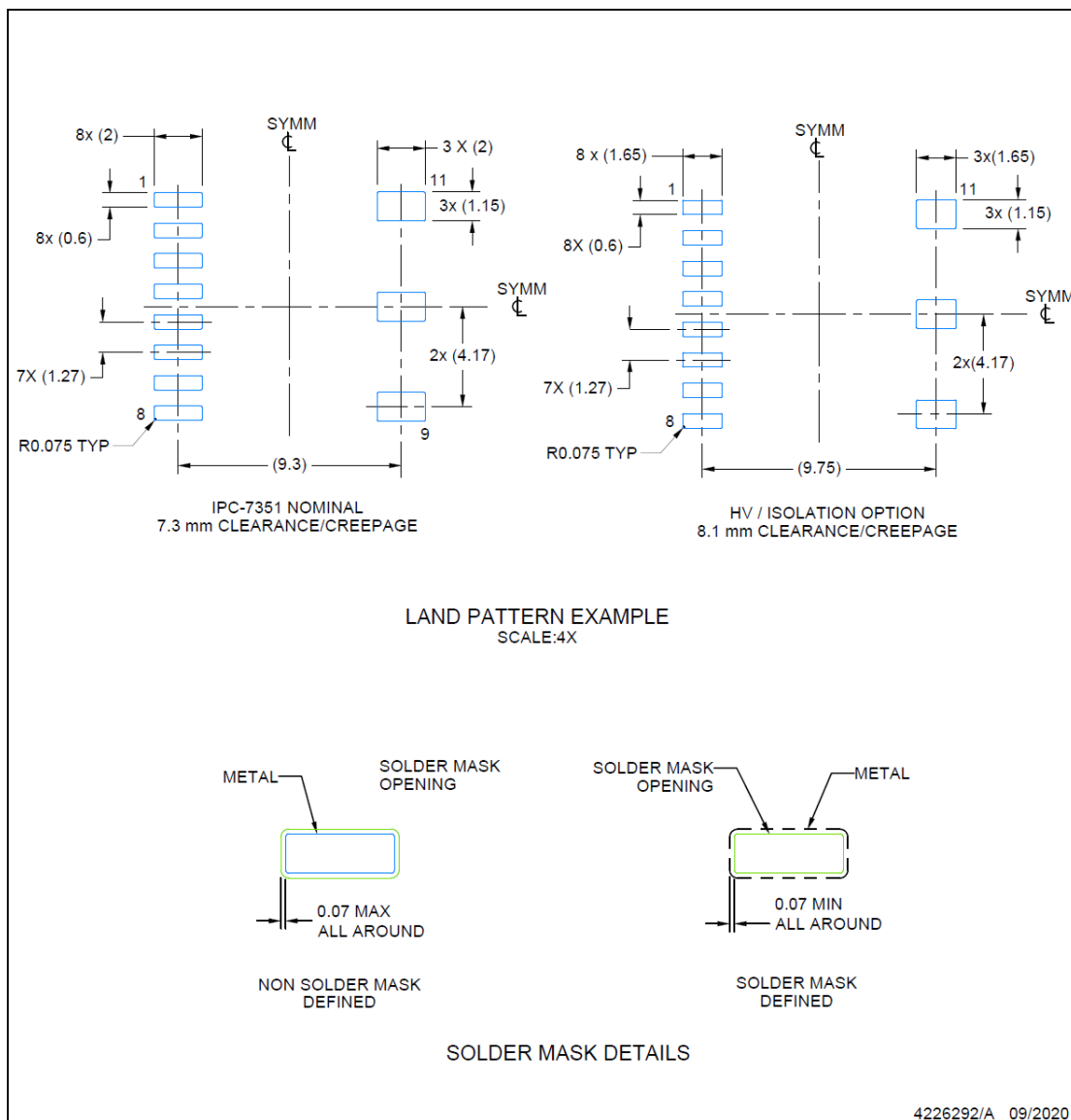


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT**DWQ0011A****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

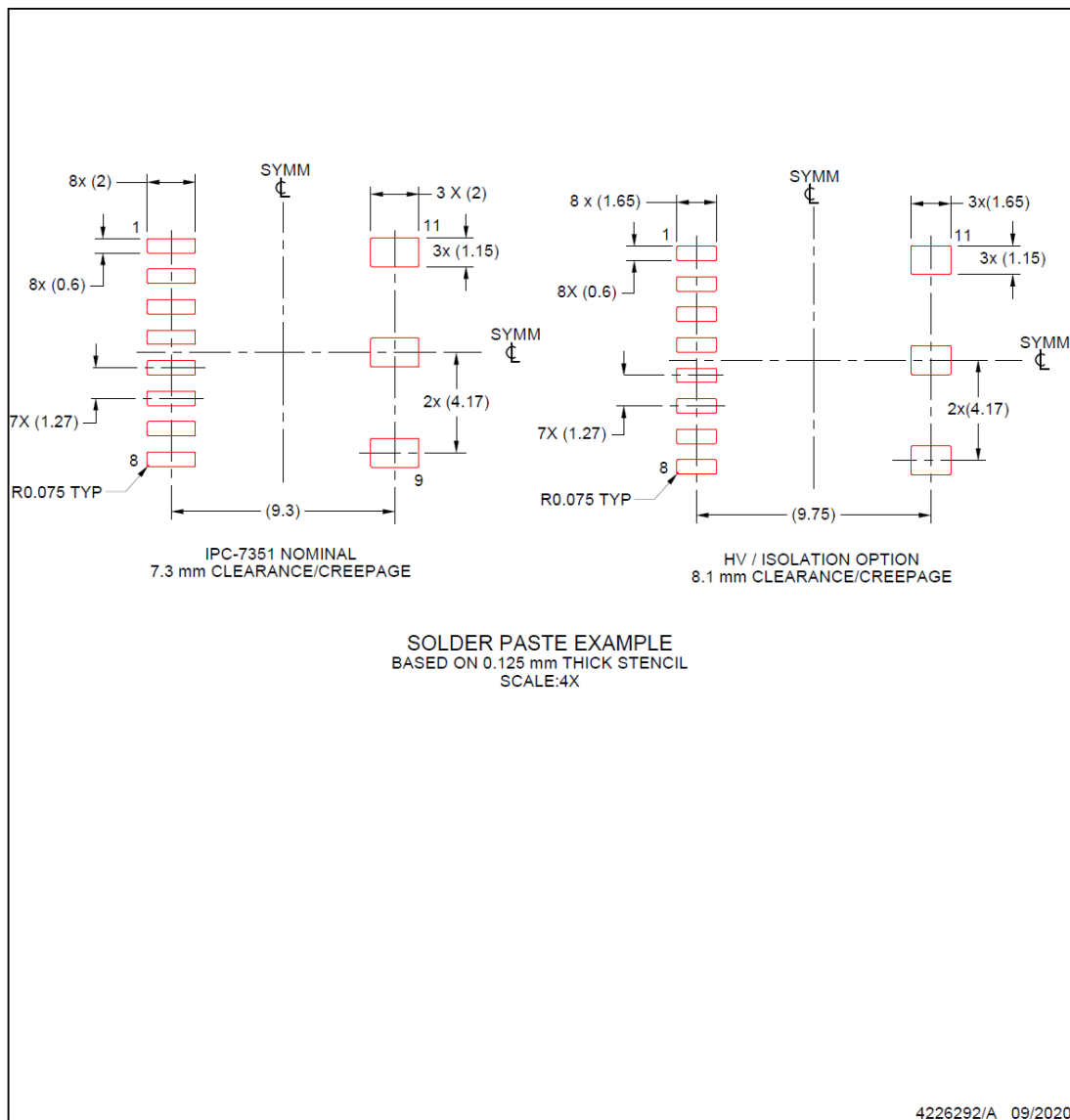
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS4141QDWQRQ1	Active	Preproduction	SOIC (DWQ) 11	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XTPS4141QDWQRQ1	Active	Preproduction	SOIC (DWQ) 11	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XTPS4141QDWQRQ1.B	Active	Preproduction	SOIC (DWQ) 11	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

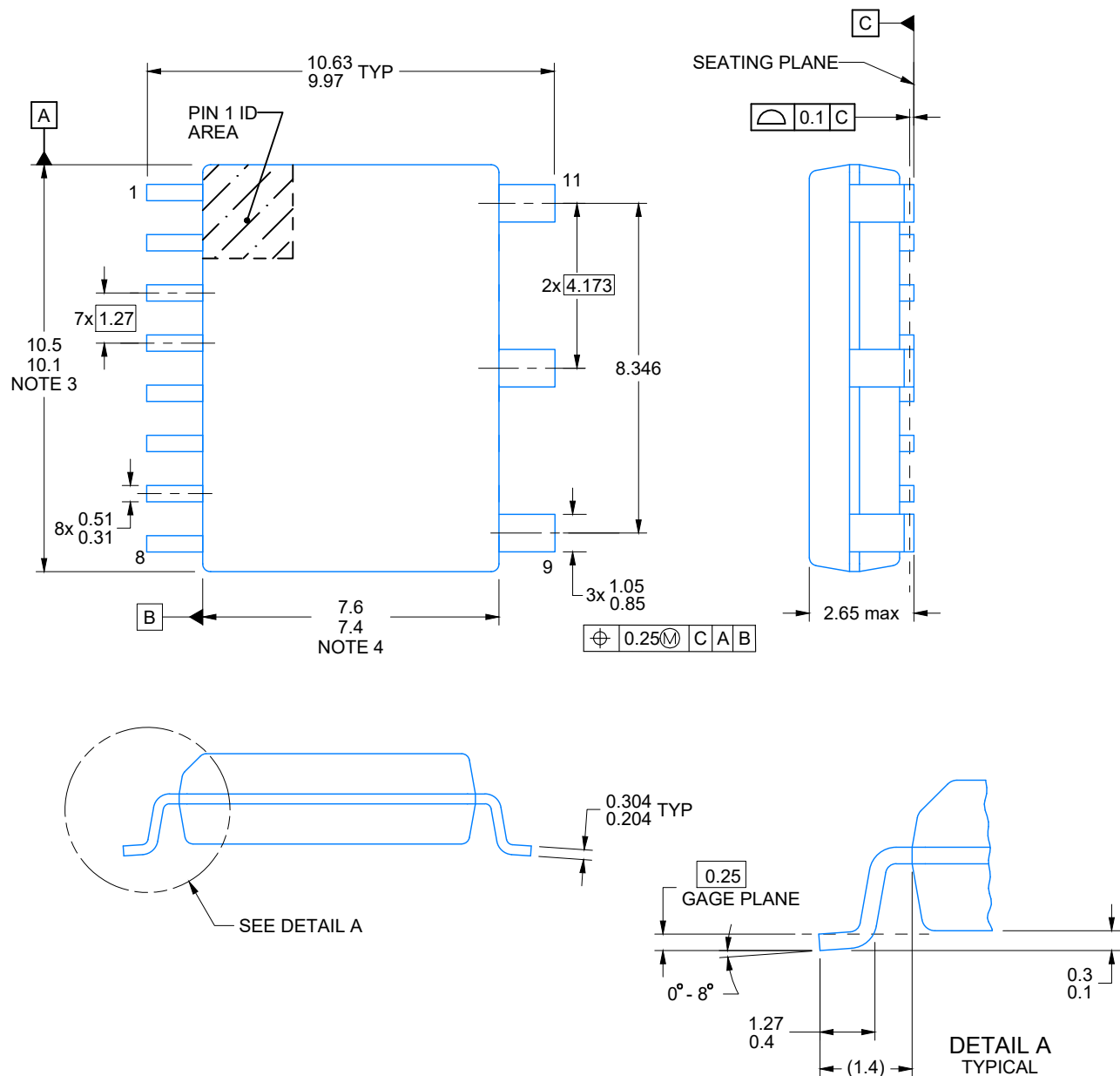
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DWQ0011A

SOIC - 2.65 mm max height

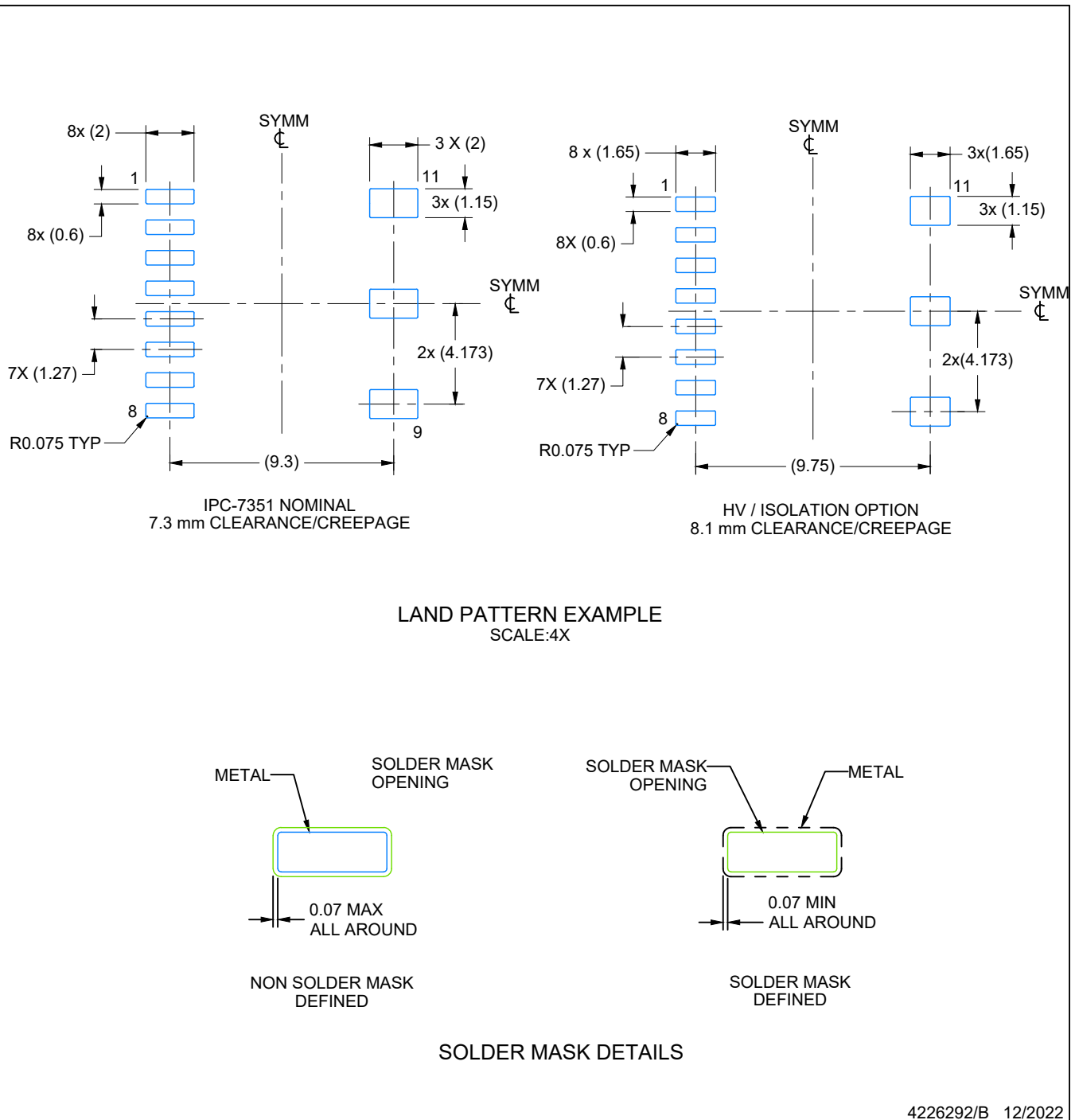
SMALL OUTLINE PACKAGE



4226292/B 12/2022

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

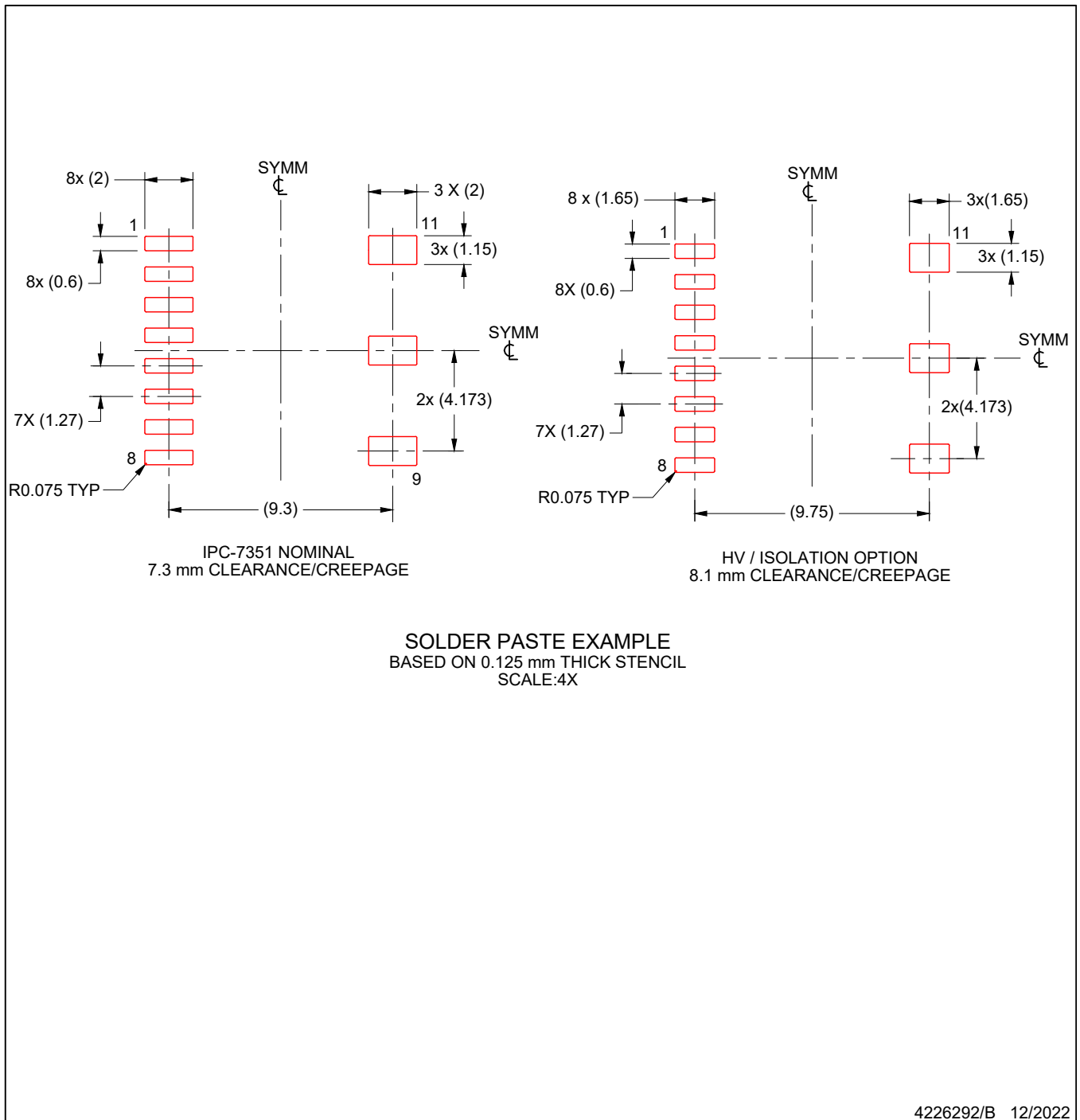


4226292/B 12/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4226292/B 12/2022

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司