TPS25984x 具有准确、快速电流监测器的 4.5V 至 16V、0.8mΩ、70A 可堆叠电子保险丝

1 特性

- 输入工作电压范围：4.5V 至 16V
  - 绝对最大值：20V
  - 可耐受 23.5V 电压持续 10 μs
  - 输出端可耐受高达 -1V 的负电压
- 具有超低导通电阻的集成式 FET：0.8mΩ（典型值）
- 额定 RMS 电流为 55A，峰值电流为 70A
- 支持多个电子保险丝并行连接，从而支持更高的电流
  - 启动和稳态期间器件运行状态同步和负载共享
- 强大的过流保护
  - 可调过流阈值 (I_{OCP})：10 A 至 55 A，精度为 ±5%
  - 在稳态运行期间，断路器通过可调瞬态过流计时器 (ITIMER) 进行响应，可支持高达 2 × I_{OCP} 的峰值电流
  - 启动期间运行模式下的可调电流限制 (I_{LIM})
- 强大的短路保护
  - 针对输出短路事件进行快速跳变响应 (< 200ns)
  - 可调阈值 (2 × I_{OCP})
  - 不受电源线路瞬变影响 - 无干扰性跳变
- 精确的模拟负载电流监测
  - 精度：±1.4%
  - 带宽：> 500kHz
- 快速过压保护（16.7V 固定阈值）
- 可调节输出压摆率控制 (dVdt)，用于提供浪涌电流保护
- 带有可调节欠压锁定 (UVLO) 的高电平有效使能输入
- 过热保护 (OTP) 以确保实现 FET SOA 保护
  - FET SOA：10W √s
- 集成式 FET 运行状况监测和报告
- 模拟芯片温度监测器输出 (TEMP)
- 故障指示专用引脚 ($\overline{FLT}$)
- 电源正常状态指示引脚 (PG)
- 小尺寸：QFN 5mm × 5mm
- 100% 无铅

2 应用

- 输入热插拔
- 服务器和高性能计算
- 网络接口卡
- 显卡和硬件加速器卡
- 数据中心交换机和路由器
- 风扇托盘

3 说明

TPS25984x 是采用小型封装的集成式高电流电路保护和电源管理解决方案。该器件只需很少的外部元件即可提供多种保护模式，能够非常有效地抵御过载、短路和过多浪涌电流。

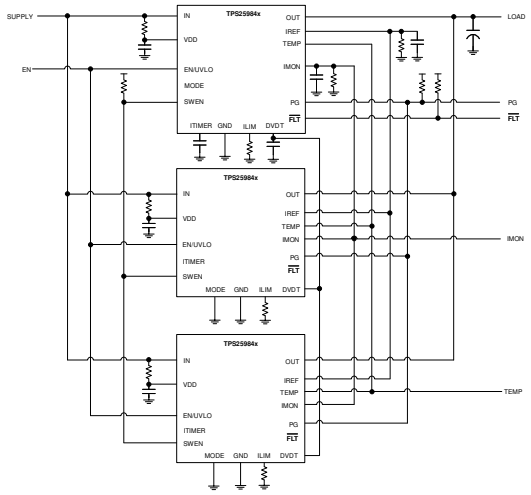
浪涌电流有特别要求的应用可以通过单个外部电容器设定输出转换率。用户可根据系统需求设置输出电流限制电平。借助用户可调节的过流消隐计时器，系统可在电子保险丝不出现跳变的情况下支持负载电流的瞬态峰值。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS259840RZJ	RZJ（QFN，32）	5mm × 5mm
TPS259841RZJ		

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 说明（续）.... 3
5 引脚配置和功能.... 4
6 规格.... 6
6.1 绝对最大额定值.... 6
6.2 ESD 等级.... 6
6.3 建议运行条件.... 7
6.4 热性能信息.... 7
6.5 电气特性.... 8
6.6 逻辑接口.... 10
6.7 时序要求.... 10
6.8 开关特性.... 11
6.9 典型特性.... 12
7 详细说明.... 18
7.1 概述.... 18
7.2 功能方框图.... 19
7.3 特性说明.... 20
7.4 器件功能模式.... 36
8 应用和实施.... 37
8.1 应用信息.... 37
8.2 典型应用：数据中心服务器中的 12V、3.3kW 电源路径保护.... 46
8.3 最佳设计实践.... 54
8.4 电源相关建议.... 54
8.5 布局.... 56
9 器件和文档支持.... 58
9.1 文档支持.... 58
9.2 支持资源.... 58
9.3 商标.... 58
9.4 静电放电警告.... 58
9.5 术语表.... 58
10 修订历史记录.... 58
11 机械、封装和可订购信息.... 59

Copyright © 2025 Texas Instruments Incorporated

4 说明（续）

可以并行连接多个 TPS25984x 器件，以增加高功率系统的总电流容量。所有器件在启动和稳态期间均主动同步其运行状态并共享电流，以避免某些器件上出现过载情况而导致并行链过早关闭或部分关闭。

集成的快速、准确检测模拟负载电流监测器有助于进行预测性维护，并且先进的动态平台电源管理技术（如 Intel® PSYS 和 PROCHOT™）可最大限度地提高系统吞吐量和电源利用率。

此类器件的额定工作结温范围为 –40°C 至 +125°C。

5 引脚配置和功能

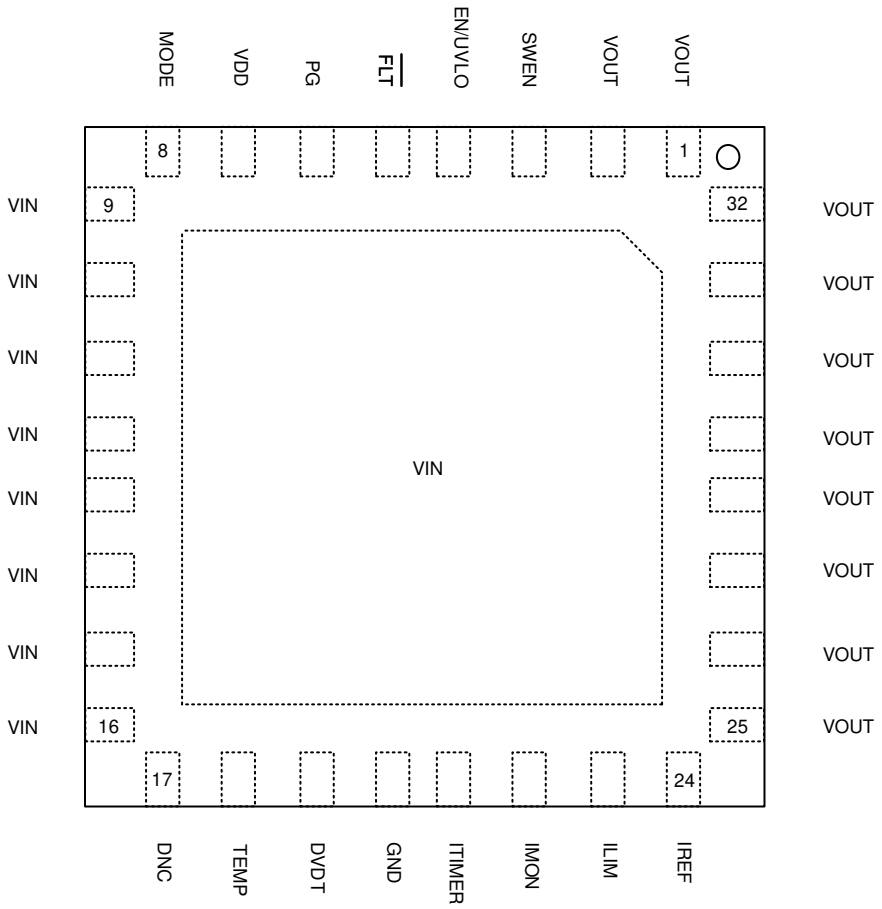


图 5-1. TPS25984x RZJ 封装 32 引脚 QFN 顶视图

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
OUT	1、2、25、26、27、28、29、30、31、32	O	电源输出。器件必须均匀焊接到输出电源平面，以确保恰当散热，并保持通过器件的理想电流分布。
SWEN	3	I/O	用于指示和控制电源开关开启/关闭状态的开漏信号。该引脚有助于在并联链中的多个器件之间实现主动同步。该引脚必须从外部上拉至逻辑电平电源。*不保持悬空。*
EN/UVLO	4	I	高电平有效使能输入。从输入电源连接电阻分压器以设置欠压阈值。*不保持悬空。*
$\overline{FLT}$	5	O	开漏低电平有效故障指示。
PG	6	I/O	开漏高电平有效电源正常指示。该引脚必须从外部上拉至逻辑电平电源。*不保持悬空。*
VDD	7	P	控制器电源输入引脚。可用于通过经过滤波的稳定电源为内部控制电路供电，使之不受系统瞬态的影响。通过一个串联电阻器将该引脚连接至 VIN，并将一个去耦电容器连接至 GND。
模式	8	I	MODE 选择引脚。将该引脚悬空，即可在独立或主模式下工作。将该引脚连接到 GND，即可将器件配置为并行链中的辅助器件。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
IN	9、10、11、12、13、14、15、16、外露焊盘	P	电源输入。器件必须均匀焊接到输入电源平面，以确保恰当散热，并保持通过器件的理想电流分布
DNC	17	X	不要将任何内容连接到该引脚。
TEMP	18	O	裸片结温监测器模拟电压输出。可与多个器件的 TEMP 输出并联，指示并联链路的峰值温度。
DVDT	19	O	启动输出压摆率控制引脚。让该引脚保持开路可实现最快的启动。通过电容器将该引脚接地可降低压摆率以管理浪涌电流。
GND	20	G	器件接地基准引脚。连接到系统地。
ITIMER	21	O	该引脚与 GND 之间的电容器设置过流消隐间隔，在此期间，在器件过流响应采取措施之前，在稳定状态运行期间输出电流可能会暂时超过过流阈值（但低于快速跳变阈值）。
IMON	22	O	该引脚与 GND 之间的外部电阻器可设置稳定状态期间的过流保护阈值和快速跳变阈值。此外，此引脚在稳定状态期间用作快速且准确的模拟输出负载电流监测信号。*不保持悬空。*
ILIM	23	O	该引脚与 GND 之间的外部电阻器可设置启动期间的电流限制阈值和快速跳变阈值。这也设置了稳定状态期间的主动均流阈值。*不保持悬空。*
IREF	24	I/O	适用于过流、短路保护以及有源电流共享块的基准电压。可使用内部电流源和该引脚上的电阻器生成，也可以从外部电压源驱动。*不保持悬空。*

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

参数		引脚	最小值	最大值	单位
V_{INMAX}	最大输入电压范围	IN	-0.3	20	V
$V_{INMAX,PLS}$	最大输入电压范围 (10μs, T_A ≥ 0℃)	IN	-0.3	最小值 (23.5, V_{OUT} + 23)	V
V_{DDMAX}	最大电源电压范围	VDD	-0.3	20	V
V_{OUTMAX}	最大输出电压范围	OUT	-1	最小值 (20, V_{IN} + 0.3)	
$V_{IREFMAX}$	最大 IREF 引脚电压范围	IREF		5.5	V
$V_{DVDTMAX}$	最大 DVDT 引脚电压范围	DVDT		5.5	V
$V_{MODEMAX}$	最大 MODE 引脚电压范围	模式	受内部限制		V
$V_{SWENMAX}$	最大 SWEN 引脚电压范围	SWEN		5.5	V
$I_{SWENMAX}$	SWEN 引脚最大灌电流	SWEN		10	mA
V_{ENMAX}	最大使能引脚电压范围	EN/UVLO		20	V
$V_{FLTBMAX}$	最大 $\overline{FLT}$ 引脚电压范围	$\overline{FLT}$		5.5	V
$I_{FLTBMAX}$	$\overline{FLT}$ 引脚最大灌电流	$\overline{FLT}$		10	mA
V_{PGMAX}	最大 PG 引脚电压范围	PG		5.5	V
I_{PGMAX}	PG 引脚最大灌电流	PG		10	mA
$V_{TEMPMAX}$	最大 TEMP 引脚电压范围	TEMP		5.5	V
$V_{ILIMMAX}$	ILIM 引脚最大电压	ILIM	受内部限制		V
$V_{IMONMAX}$	IMON 引脚最大电压	IMON	受内部限制		V
$V_{ITIMERMAX}$	ITIMER 引脚最大电压	ITIMER	受内部限制		V
I_{MAX}	最大持续开关电流	IN 至 OUT	受内部限制		A
T_{JMAX}	结温		受内部限制		°C
T_{LEAD}	最高焊接温度			300	°C
T_{STG}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		引脚	最小值	最大值	单位
V_{IN}	输入电压范围	IN	4.5	16	V
V_{DD}	电源电压范围	VDD	4.5	16	V
V_{OUT}	输出电压范围	OUT	0	V_{IN}	V
$V_{EN/UVLO}$	使能引脚电压范围	EN/UVLO	0	最小值 (V_{DD} + 1V, V_{IN} + 1V)	V
V_{DVDT}	DVDT 引脚电容额定电压	DVDT	4		V
V_{PG}	PG 引脚上拉电压范围	PG	0	5	V
V_{FLTB}	$\overline{FLT}$ 引脚上拉电压范围	$\overline{FLT}$	0	5	V
V_{SWEN}	SWEN 引脚上拉电压范围	SWEN	2.5	5	V
V_{ITIMER}	ITIMER 引脚电容额定电压	ITIMER	4		V
V_{IREF}	IREF 引脚电压范围	IREF	0.3	1.2	V
V_{ILIM}	ILIM 引脚电压范围	ILIM	0	0.4	V
V_{IMON}	IMON 引脚电压范围	IMON	0	1.2	V
I_{MAX}	RMS 开关电流，T_J ≤ 125℃	IN 至 OUT	0	55	A
$I_{MAX, PLS}$	峰值开关电流，T_J ≤ 125℃	IN 至 OUT	0	70	A
T_J	结温		-40	125	°C

6.4 热性能信息

热指标[(1) (2)]		TPS25984X RZJ (QFN) 32 引脚	单位
$R_{\theta JA(eff)}$	结至环境热阻（有效）	16.5[(2)]	°C/W
		25.2[(3)]	°C/W
$\Psi_{JT(eff)}$	结至顶部特征参数（有效）	0.3[(2) (3)]	°C/W
$\Psi_{JB(eff)}$	结至电路板特征参数（有效）	4.4[(2)]	°C/W
		4.9[(3)]	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。
(2) 仿真条件：器件安装在定制的 8 层 PCB (4s4p) 上，器件下方有 9 个散热过孔
(3) 仿真条件：器件安装在 JEDEC 4 层 PCB (2s2p) 上，器件下方有 9 个散热过孔

6.5 电气特性

（测试条件，除非另有说明）–40°C ≤ T_J ≤ 125°C，V_{IN} = 12V，VDD = 12V，OUT = 开路，$V_{EN/UVLO}$ = 2V，SWEN = 10kΩ 上拉至 5V，R_{ILIM} = 550Ω， R_{IMON} = 1100Ω，V_{IREF} = 1V， DVDT = 开路，ITIMER = 开路，$\overline{FLT}$ = 10kΩ 上拉至 5V， PG = 10kΩ 上拉至 5V，TEMP = 开路，MODE = 开路。所有电压均应以 GND 为基准。

参数		测试条件	最小值	典型值	最大值	单位
输入电源 (VDD)						
V_{DD}	VDD 输入工作电压范围		4.5		16	V
$I_{QON(VDD)}$	VDD 导通状态静态电流	V_{VDD} > $V_{UVP(R)}$，V_{EN} ≥ $V_{UVLO(R)}$		0.4	0.55	mA
$I_{QOFF(VDD)}$	VDD 关断状态电流	V_{EN} < $V_{UVLO(F)}$			240	μA
$V_{UVP(R)}$	VDD 欠压保护阈值	VDD 上升	4.03	4.20	4.38	V
$V_{UVP(F)}$	VDD 欠压保护阈值	VDD 下降	3.80	4.05	4.24	V
输入电源 (IN)						
V_{IN}	VIN 输入工作电压范围		4.5		16	V
$V_{UVPIN(R)}$	V_{IN} 欠压保护阈值	V_{IN} 上升	4.00	4.25	4.50	V
$V_{UVPIN(F)}$	V_{IN} 欠压保护阈值	V_{IN} 下降	3.90	4.15	4.40	V
$I_{QON(IN)}$	IN 导通状态静态电流	V_{EN} ≥ $V_{UVLO(R)}$		3.2	4.4	mA
$I_{QOFF(IN)}$	IN 关断状态电流	V_{EN} < $V_{UVLO(F)}$			400	μA
使能/欠压锁定 (EN/UVLO)						
$V_{UVLO(R)}$	用于导通的 EN/UVLO 引脚电压上升阈值	EN/UVLO 上升	1.12	1.20	1.28	V
$V_{UVLO(F)}$	用于关断和接合输出放电（主器件）的 EN/UVLO 引脚电压下降阈值	EN/UVLO 下降，MODE = 开路	1.02	1.10	1.18	V
	用于关断和接合 QOD（辅助器件）的 EN/UVLO 引脚电压阈值	EN/UVLO 下降，MODE = GND	0.92	0.99	1.08	V
$V_{SD(F)}$	进入完全关断状态的 EN/UVLO 引脚电压阈值	EN/UVLO 下降	0.5	0.8		V
I_{ENLKG}	EN/UVLO 引脚漏电流		-0.1		0.1	μA
过压保护 (IN)						
$V_{OVP(R)}$	内部过压保护阈值（上升）	V_{IN} 上升	16.1	16.7	17.1	V
$V_{OVP(F)}$	内部过压保护阈值（下降）	V_{IN} 下降	15.9	16.6	16.9	V
导通电阻 (IN - OUT)						
R_{ON}	导通电阻	I_{OUT} = 8A，T_J = 25°C		0.80	1.13	mΩ
		I_{OUT} = 8A，T_J = –40℃ 至 125℃			1.5	mΩ
过流保护基准 (IREF)						
I_{IREF}	IREF 引脚内部灌电流		24.30	24.99	25.68	μA
电流限制 (ILIM)						
$G_{ILIM(LIN)}$	ILIM 电流监测器增益 (ILIM:IOUT)		17.77	18.13	18.41	μA/A
$CL_{REF(SAT)\%}$	启动电流限制阈值 (ILIM) 与稳定状态过流保护阈值参考 (IREF) 的比值	V_{OUT} > V_{FB}，PG 未置为有效		23.3		%
I_{LIM}	启动电流限制调节阈值	R_{ILIM} = 138Ω，V_{IREF} = 1.2V，V_{OUT} > V_{FB}	31.37	41.50	52.81	A
		R_{ILIM} = 160Ω，V_{IREF} = 1.2V，V_{OUT} > V_{FB}	26.18	34.50	42.05	A
		R_{ILIM} = 400Ω，V_{IREF} = 1.2V，V_{OUT} > V_{FB}	12.48	14.50	16.71	A
		R_{ILIM} =800Ω，V_{IREF} = 1.2V，V_{OUT} > V_{FB}	6.84	9.80	11.84	A
V_{FB}	折返电压			1.99		V

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

（测试条件，除非另有说明）–40°C ≤ T_J ≤ 125°C，V_{IN} = 12V，VDD = 12V，OUT = 开路，$V_{EN/UVLO}$ = 2V，SWEN = 10kΩ 上拉至 5V，R_{ILIM} = 550Ω，R_{IMON} = 1100Ω，V_{IREF} = 1V，DVDT = 开路，ITIMER = 开路，$\overline{FLT}$ = 10kΩ 上拉至 5V，PG = 10kΩ 上拉至 5V，TEMP = 开路，MODE = 开路。所有电压均应以 GND 为基准。

参数		测试条件	最小值	典型值	最大值	单位
输出电流监测和过流保护 (IMON)						
G_{IMON}	IMON 电流监测器增益 (IMON:IOUT)	器件处于稳定状态（PG 置为有效）	17.85	18.13	18.41	μA/A
I_{OCP}	稳定状态过流保护（断路器）阈值	R_{IMON} = 1100Ω，V_{IREF} = 1.1V	53.79	55.11	56.37	A
		R_{IMON} = 1100Ω，V_{IREF} = 1V	48.90	50.10	51.25	A
		R_{IMON} = 1100Ω，V_{IREF} = 0.5V	24.43	25.08	25.71	A
		R_{IMON} = 1100Ω，V_{IREF} = 0.24V	11.64	12.03	12.40	A
瞬态过流消隐计时器 (ITIMER)						
I_{ITIMER}	ITIMER 引脚内部放电电流	I_{OUT} > I_{OCP}，ITIMER ↓	1.88	2.05	2.21	μA
R_{ITIMER}	ITIMER 引脚内部上拉电阻		13.29	13.78	14.45	kΩ
V_{INT}	ITIMER 引脚内部上拉电压	I_{OUT} < I_{OCP}	3.62	3.66	3.70	V
$V_{ITIMERTHR}$	ITIMER 比较器下降阈值	I_{OUT} > I_{OCP}，ITIMER ↓	2.05	2.17	2.29	V
ΔV_{ITIMER}	ITIMER 放电电压阈值	I_{OUT} > I_{OCP}，ITIMER ↓	1.38	1.50	1.59	V
短路保护						
I_{FFT}	稳定状态下的固定快速跳变阈值	PG 置为高电平，独立/主模式，MODE = 开路		148		A
		PG 置为高电平，辅助模式，MODE = GND		222		A
$SFT_{REF(LIN)\%}$	稳定状态期间，可调节的快速跳变阈值 (IMON) 与过流保护阈值基准 (IREF) 的比值	独立/主模式，MODE = 开路		200		%
		辅助模式，MODE = GND		225		%
$SFT_{REF(SAT)\%}$	启动期间，可调节的快速跳变阈值 (ILIM) 与过流保护阈值基准 (IREF) 的比值	独立/主模式，MODE = 开路		50		%
		辅助模式，MODE = GND		50		%
$R_{ON(ACS)}$	主动均流期间的最大 R_{DSON}	V_{ILIM} > $CL_{REF(ACS)\%}$ × V_{IREF}		0.96	1.8	mΩ
$G_{IMON(ACS)}$	主动均流期间的 IMON:IOUT 比	PG 置为高电平，V_{ILIM} > $CL_{REF(ACS)\%}$ × V_{IREF}	18.09	18.45	18.55	μA/A
$CL_{REF(ACS)\%}$	主动均流触发器阈值与稳定状态过流保护阈值之比	PG 置为高电平有效		36.7		%
浪涌电流保护 (DVDT)						
I_{DVDT}	DVDT 引脚充电电流	主/独立模式，MODE = 开路	1.45	2.01	2.80	μA
G_{DVDT}	DVDT 增益		18.00	20.57	22.00	V/V
R_{DVDT}	DVDT 引脚至 GND 放电电阻			526		Ω
$R_{ON(GHI)}$	PG 置为有效时的 R_{ON}			0.92	1.8	mΩ
快速输出放电 (QOD)						
I_{QOD}	快速输出放电内部下拉电流	$V_{SD(F)}$ < V_{EN} < $V_{UVLO(F)}$，–40 < T_J < 125℃	14.85	21.43	24.18	mA
温度传感器输出 (TEMP)						
G_{TMP}	TEMP 传感器增益		2.58	2.65	2.72	mV/℃
V_{TMP}	TEMP 引脚输出电压	T_J = 25°C	676	679	684	mV
I_{TMPSRC}	TEMP 引脚拉电流		76	91.9	170	μA
I_{TMPSNK}	TEMP 引脚灌电流		7.6	10	14.5	μA
过热保护 (OTP)						
TSD	热关断阈值	T_J 上升		150		°C

6.5 电气特性（续）

（测试条件，除非另有说明）–40°C ≤ T_J ≤ 125°C，V_{IN} = 12V，VDD = 12V，OUT = 开路，$V_{EN/UVLO}$ = 2V，SWEN = 10kΩ 上拉至 5V，R_{ILIM} = 550Ω，R_{IMON} = 1100Ω，V_{IREF} = 1V，DVDT = 开路，ITIMER = 开路，$\overline{FLT}$ = 10kΩ 上拉至 5V，PG = 10kΩ 上拉至 5V，TEMP = 开路，MODE = 开路。所有电压均应以 GND 为基准。

参数		测试条件	最小值	典型值	最大值	单位
TSD_{HYS}	热关断迟滞	T_J 下降		12.5		°C
FET 运行状况监测						
V_{DSFLT}	FET D-S 故障阈值	SWEN = L		0.49		V
单点故障（ILIM、IMON、IREF、ITIMER）						
$I_{OC_BKP(LIN)}$	备用过流保护阈值（稳定 - 稳定）			93		A
$I_{OC_BKP(SAT)}$	备用过流保护阈值（启动）			95		A

6.6 逻辑接口

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SWEN						
R_{SWEN}	SWEN 引脚下拉电阻	SWEN 置为低电平无效		9	13.8	Ω
$I_{SWENLKG}$	SWEN 引脚漏电流	SWEN 置为高电平有效	-2		2	μA
V_{IH_SWEN}	SWEN 输入逻辑高电平			1.1	1.2	V
V_{IL_SWEN}	SWEN 输入逻辑低电平		0.4	0.71		V
FAULT INDICATION (FLTB)						
R_{FLTB}	$\overline{FLT}$ 引脚下拉电阻	$\overline{FLT}$ 置为有效低电平		9	13.8	Ω
$I_{FLTBLKG}$	$\overline{FLT}$ 引脚漏电流	$\overline{FLT}$ 置为高电平无效	-2		2	μA
电源正常状态指示 (PG)						
R_{PG}	PG 引脚下拉电阻	PG 置为低电平无效		9	13.8	Ω
I_{PGKG}	PG 引脚漏电流	PG 置为高电平有效	-2		2	μA

6.7 时序要求

参数		测试条件	最小值	典型值	最大值	单位
t_{OVP}	过压保护响应时间	V_{IN} > $V_{OVP(R)}$ 至 SWEN ↓		1.57		μs
t_{INSDLY}	插入延迟	V_{DD} > $V_{UVP(R)}$ 至 SWEN ↑		13.7		ms
t_{FFT}	固定快速跳变响应时间	I_{OUT} > 1.5 × I_{FFT} 至 I_{OUT} ↓		192		ns
t_{SFT}	可扩展的快速跳变响应时间	I_{OUT} > 3 × I_{OCP} 至 I_{OUT} ↓		364		ns
t_{ITIMER}	过流消隐间隔	I_{OUT} = 1.5 × I_{OCP}，C_{ITIMER} = 开路		0		ms
		I_{OUT} = 1.5 × I_{OCP}，C_{ITIMER} = 4.7nF		3.79		ms
t_{RST}	自动重试间隔	自动重试型号，主模式（MODE = 开路）		107.5		ms
$t_{EN(DG)}$	EN/UVLO 抗尖峰脉冲时间			6		μs
t_{SU_TMR}	启动超时间隔	SWEN ↑ 至 FLT ↓		215		ms
t_{QOD}	QOD 使能计时器	$V_{SD(F)}$ < $V_{EN/UVLO}$ < $V_{UVLO(F)}$		4.66		ms
$t_{Discharge}$	QOD 放电时间（V_{OUT} 的 90% 至 10%）	$V_{SD(F)}$ < $V_{EN/UVLO}$ < $V_{UVLO(F)}$，V_{IN} = 12V，C_{OUT} = 1mF		588		ms
t_{PGA}	PG 置为有效延迟			20		us

Copyright © 2025 Texas Instruments Incorporated

6.8 开关特性

输出上升压摆率在整个工作电压范围内在内部控制并保持恒定，可确保导通时序不受负载条件影响。可通过在 dVdt 引脚与接地之间添加电容来调节上升压摆率。随着 C_{dVdt} 增加，上升压摆率 (SR) 会变慢。有关更多详细信息，请参阅压摆率和浪涌电流控制 (dVdt) 部分。但是，关断延迟和下降时间取决于负载电容 (C_{OUT}) 和负载电阻 (R_L) 的 RC 时间常数。开关特性仅对电源在稳定状态条件下可用且负载电压在器件启用之前完全放电的上电序列有效。除非另有说明，否则典型值是在 T_J = 25°C 时测得。V_{IN} = 12V，R_{OUT} = 500Ω，C_{OUT} = 1mF

参数		C_{dVdt} = 3.3nF	C_{dVdt} = 33nF	单位
SR_{ON}	输出上升压摆率	9.79	1.20	V/ms
$t_{D,ON}$	导通延迟	0.34	1.54	ms
t_R	上升时间	1.00	8.13	ms
t_{ON}	导通时间	1.38	10.35	ms
$t_{D,OFF}$	关断延迟	1081	1060	μs
t_F	下降时间	取决于 R_{OUT} 和 C_{OUT}		μs

6.9 典型特性

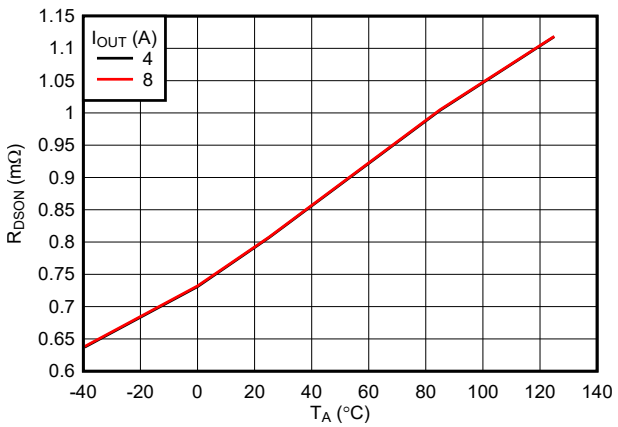


图 6-1. 整个温度范围内的导通电阻

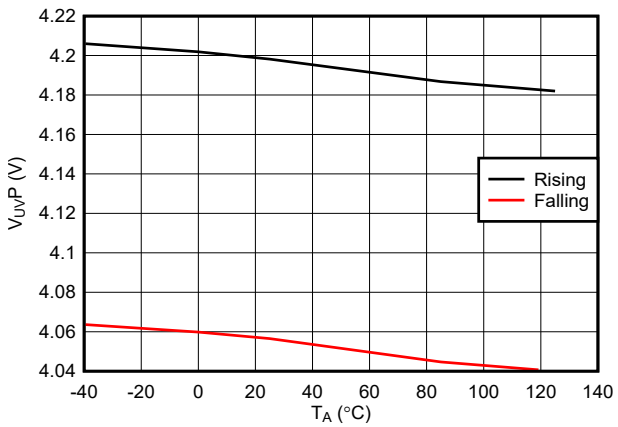


图 6-2. 整个温度范围内的 VDD 欠压阈值

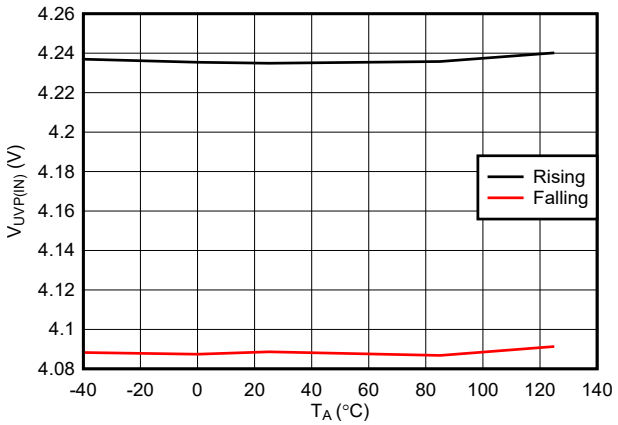


图 6-3. 整个温度范围内的 VIN 欠压阈值

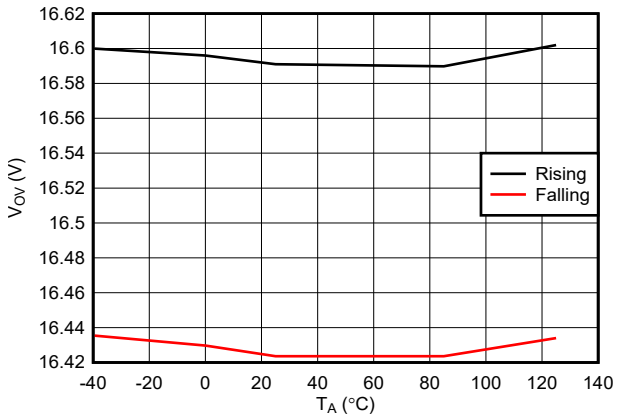


图 6-4. 整个温度范围内的 VIN 过压保护阈值

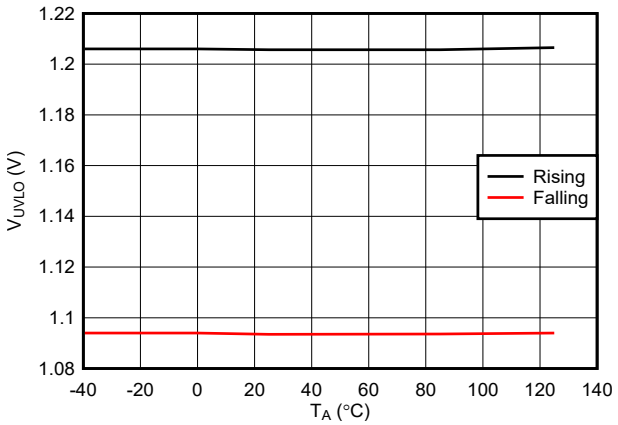


图 6-5. 整个温度范围内 FET 关断的 EN/UVLO 阈值

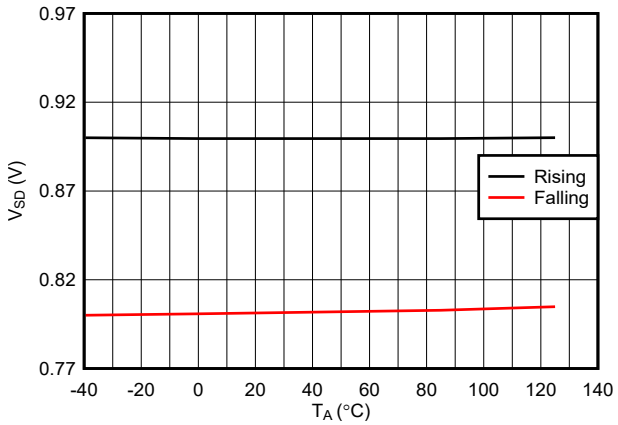


图 6-6. 整个温度范围内基于 EN/UVLO 的器件关断阈值

Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性（续）

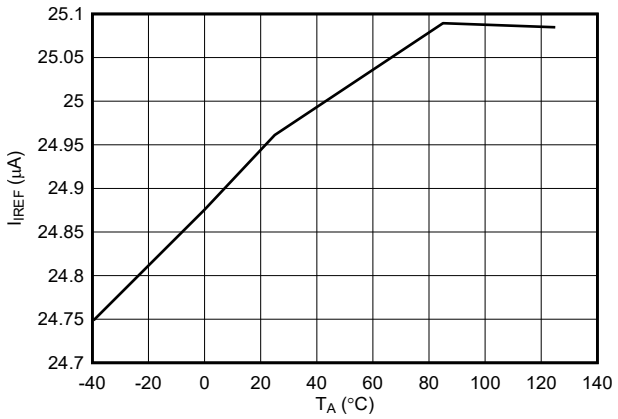


图 6-7. 整个温度范围内的 IREF 充电电流

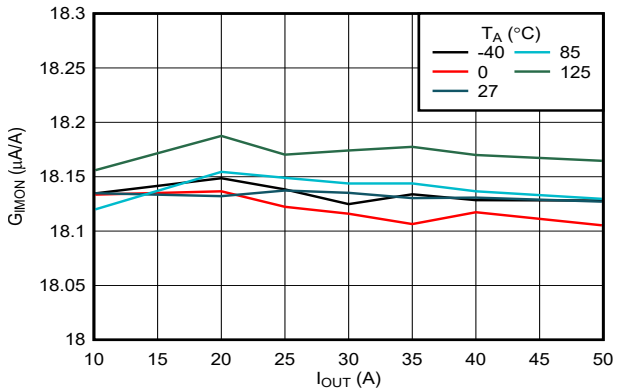


图 6-8. 整个负载和温度范围内的 IMON 增益

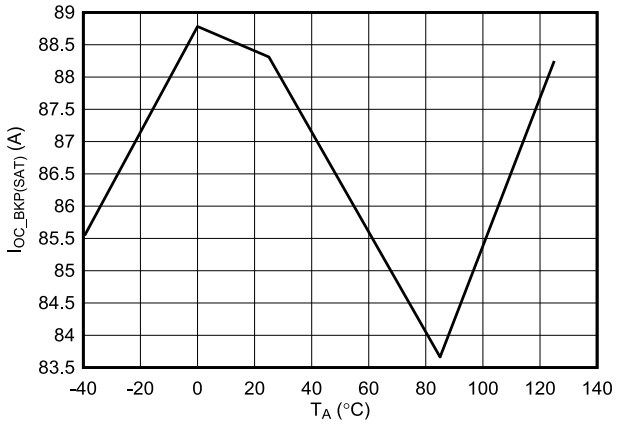


图 6-9. 备用过流保护阈值（启动状态）精度

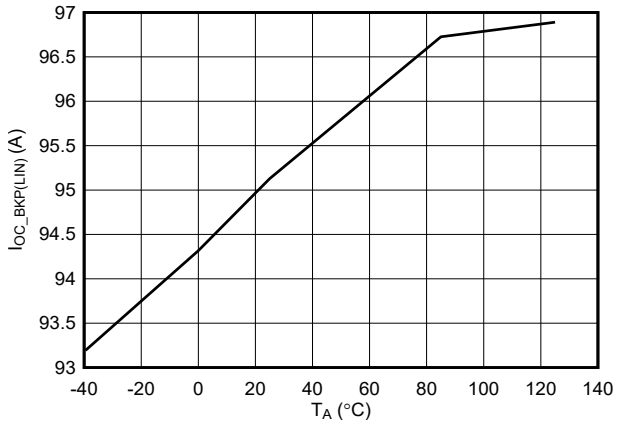


图 6-10. 备用过流保护阈值（稳定状态）精度

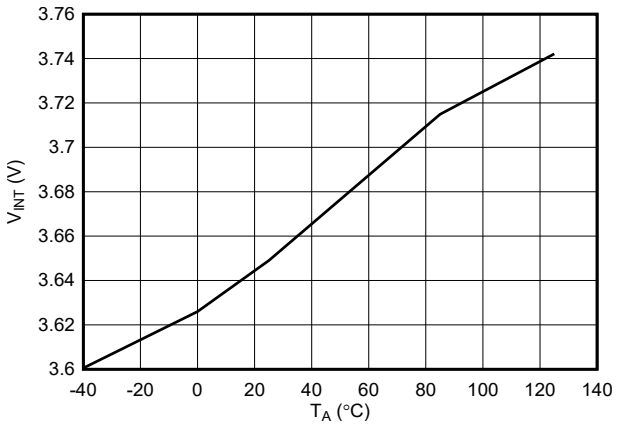


图 6-11. 整个温度范围内的 ITIMER 引脚内部上拉电压

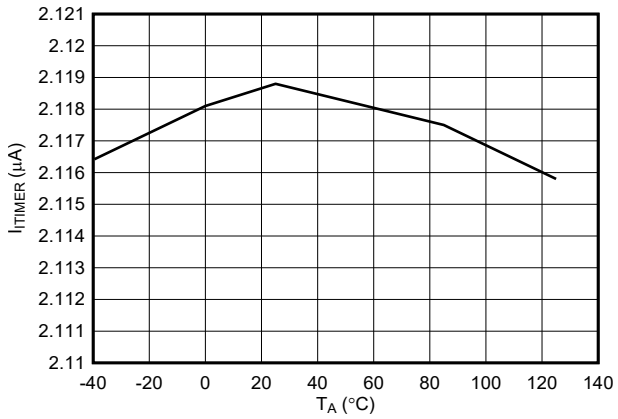


图 6-12. 整个温度范围内的 ITIMER 引脚放电电流

6.9 典型特性（续）

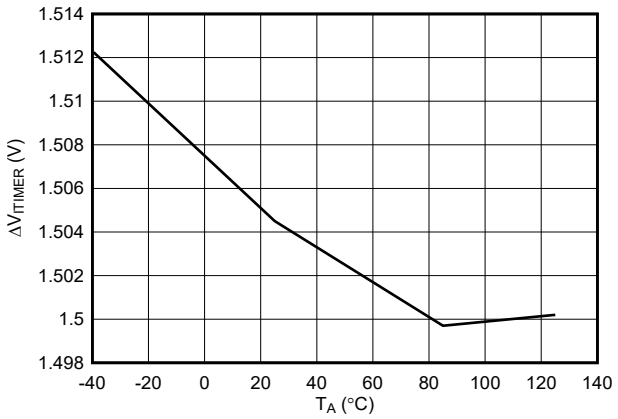


图 6-13. 整个温度范围内的 ITIMER 引脚放电差分电压阈值

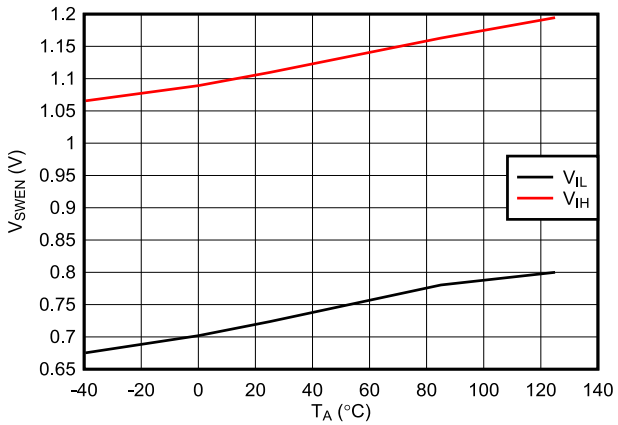


图 6-14. 整个温度范围内的 SWEN 引脚逻辑阈值

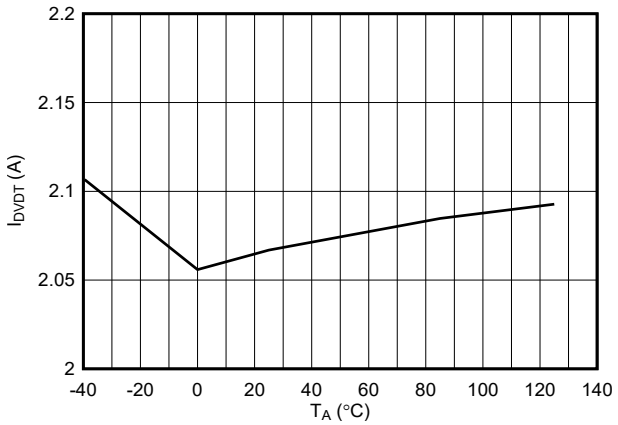


图 6-15. 整个温度范围内的 DVDT 充电电流

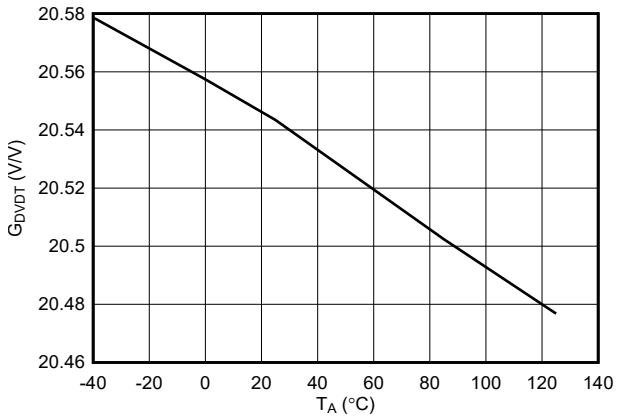


图 6-16. 整个温度范围内的 DVDT 增益

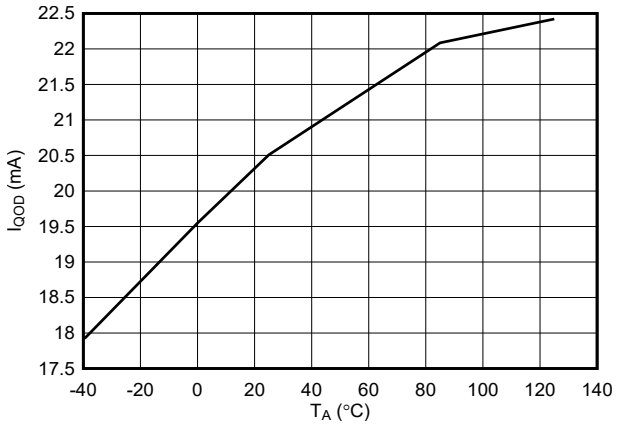


图 6-17. 整个温度范围内的 QOD 灌电流

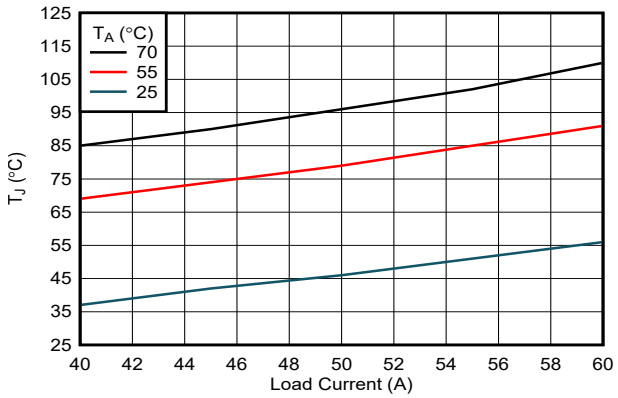
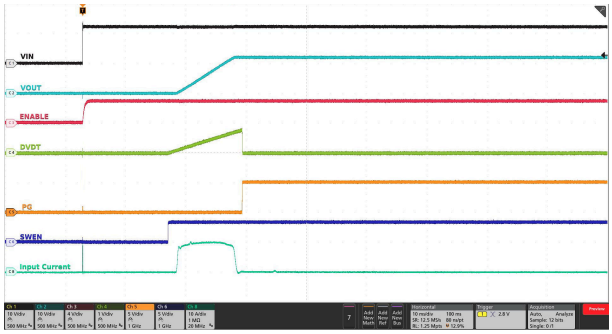


图 6-18. 结温与负载电流间的关系（无气流）

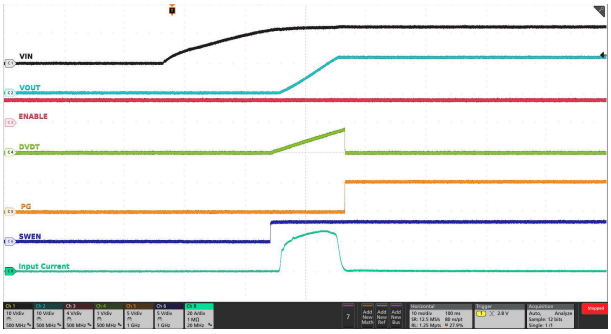
Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性（续）



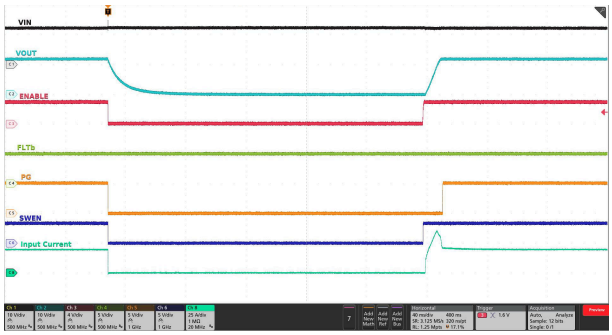
输入热插拔至 12V 电源

图 6-19. 具有插入延迟的输入热插拔



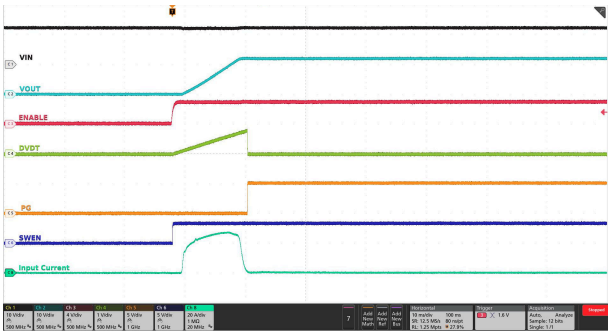
EN/UVLO 引脚保持高电平，输入电源上升至 12V

图 6-20. 通过输入电源进行上电控制



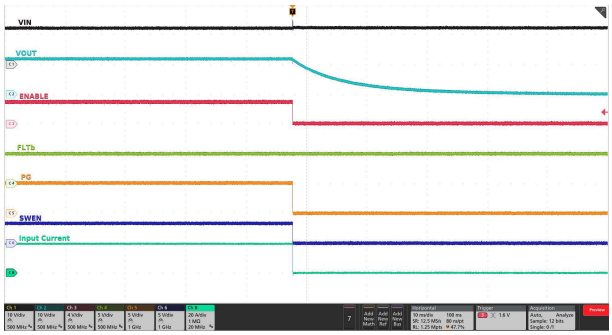
输入电源保持稳定，EN/UVLO 引脚切换为低电平和高电平

图 6-21. 使用 EN/UVLO 引脚实现上电和下电时序控制



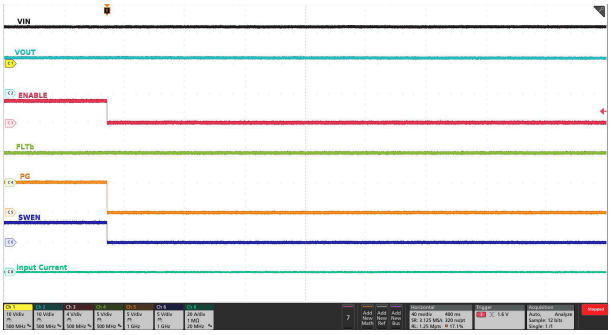
输入电源保持稳定，EN/UVLO 引脚从低电平（低于 $V_{SD(F)}$）切换到高电平（高于 $V_{UVLO(R)}$）

图 6-22. 使用 EN/UVLO 引脚进行上电控制



输入电源保持稳定，EN/UVLO 引脚从高电平（高于 $V_{UVLO(R)}$）切换到低电平（低于 $V_{SD(F)}$）

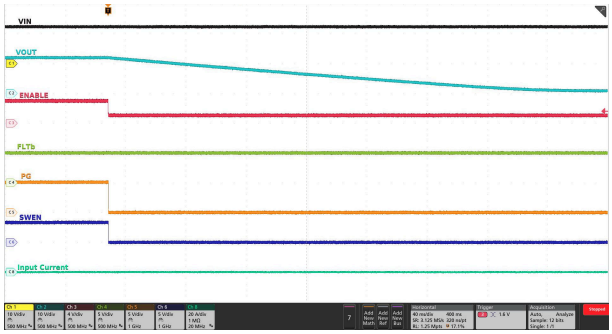
图 6-23. 使用 EN/UVLO 引脚进行下电控制



输入电源保持稳定，EN/UVLO 引脚从高电平（高于 $V_{UVLO(R)}$）切换到低电平（低于 $V_{SD(F)}$）

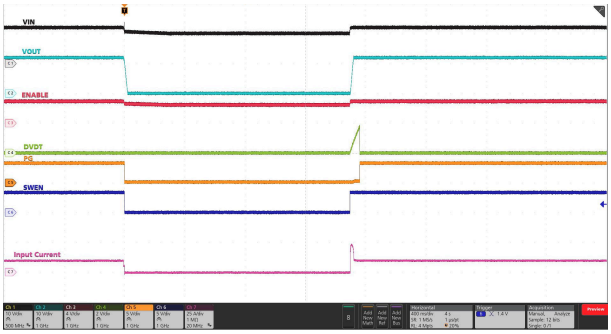
图 6-24. 使用 EN/UVLO 引脚实现下电控制，无需启动快速输出放电 (QOD)

6.9 典型特性（续）



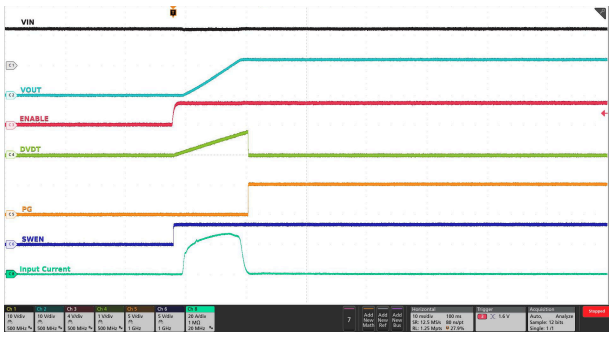
输入电源保持稳定，EN/UVLO 引脚从高电平（高于 $V_{UVLO(R)}$）切换到中间电压（低于 $V_{UVLO(F)}$ 且高于 $V_{SD(F)}$），并保持在该位置

图 6-25. 使用 EN/UVLO 引脚实现下电控制，带快速输出放电 (QOD)



输入电源保持稳定，EN/UVLO 引脚保持高电平，SWEN 引脚切换为低电平和高电平

图 6-26. 使用 SWEN 引脚进行上电和下电时序控制

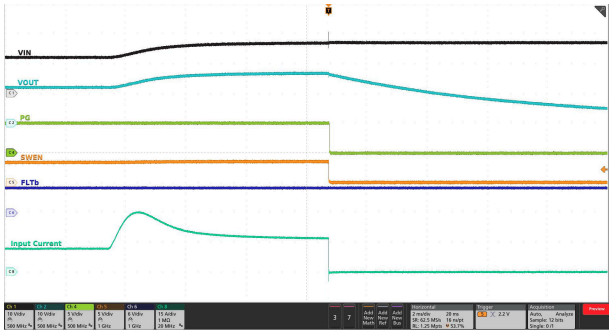


C_{OUT} = 18mF，C_{dVdt} = 33nF

图 6-27. 容性负载下的浪涌电流控制

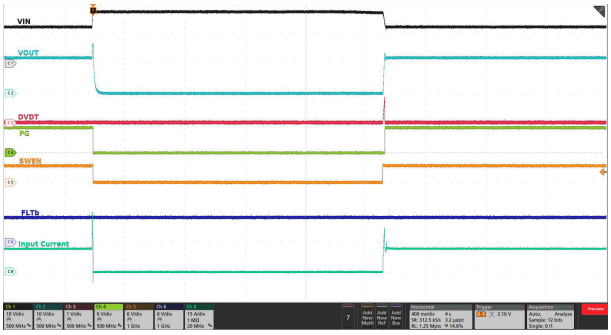
C_{OUT} = 15.5mF，R_{OUT} = 0.6Ω，C_{dVdt} = 33nF

图 6-28. 带电容和电阻负载的浪涌电流控制



输入电源电压斜升至 16.6V 以上。

图 6-29. 输入过压保护响应

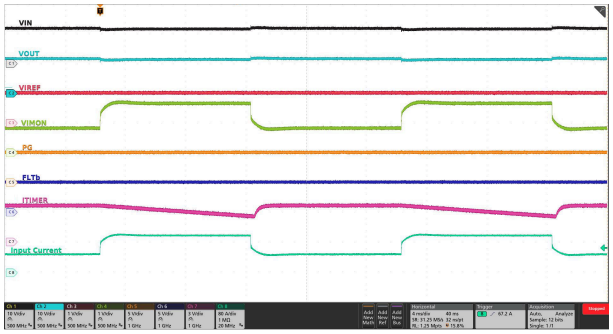


输入电源电压斜升至 16.6V 以上，然后下降至 12V。

图 6-30. 输入过压保护响应后恢复

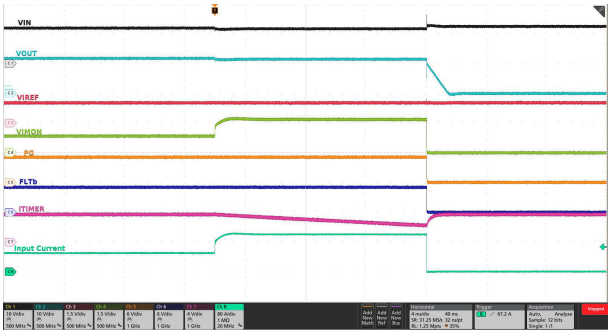
Copyright © 2025 Texas Instruments Incorporated

6.9 典型特性（续）



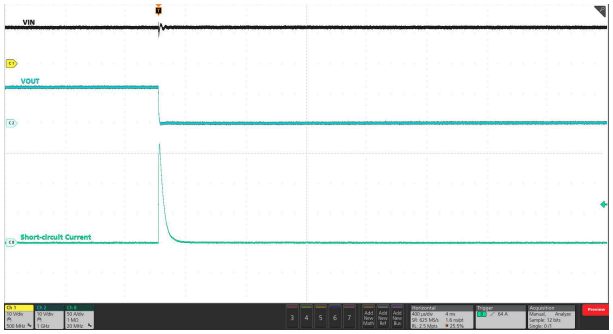
I_{OCP} = 55A，t_{ITIMER} = 16ms，I_{OUT} 高于 I_{OCP} 阈值，持续时间短于 t_{ITIMER}，不触发断路器响应。

图 6-31. 使用瞬态过流消隐的峰值电流支持



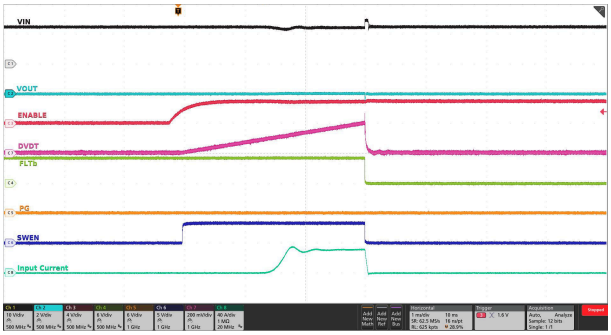
I_{OCP} = 55A，t_{ITIMER} = 16ms，I_{OUT} 持续高于 I_{OCP} 阈值以触发断路器响应。

图 6-32. 过流保护响应（断路器）



I_{OCP} = 55A，稳定时输出硬短路至 GND。I_{OUT} 上升至 2 × I_{OCP} 以上触发快速跳变响应

图 6-33. 短路保护响应



在输出硬短路至 GND 的情况下，使用 EN/UVLO 引脚导通器件。器件会通过折返限制电流，最终触发热关断。

图 6-34. 上电至短路

7 详细说明

7.1 概述

TPS25984x 是一款具有集成电源开关的电子保险丝，用于管理负载电压和负载电流。该器件工作时，首先监测 VDD 和 IN 总线。当 V_{DD} 和 V_{IN} 超过各自的欠压保护 (UVP) 阈值时，器件会等待插入延迟计时器持续时间，以便电源稳定后再启动。接下来，器件会对 EN/UVLO 引脚和 SWEN 引脚进行采样。这两个引脚上的高电平使内部 MOSFET 开始导通，并允许电流从 IN 流向 OUT。当 EN/UVLO 或 SWEN 保持低电平时，内部 MOSFET 关断。

启动序列成功后，TPS25984x 器件会主动监测其负载电流和输入电压，并控制内部 FET，以确保电流不超过设置的过流保护阈值，并且输入过压尖峰被切断。这可使系统免受有害电压和电流的影响。同时，用户可调节的过流消隐计时器使系统能够允许负载电流曲线中的瞬态峰值，而不会触发电子保险丝出现跳变。同样，电源线上的电压瞬变被智能屏蔽，以防止干扰性跳变。此功能确保了针对实际故障的稳健保护解决方案，并且不受瞬变的影响，从而确保实现最长的系统正常运行时间。

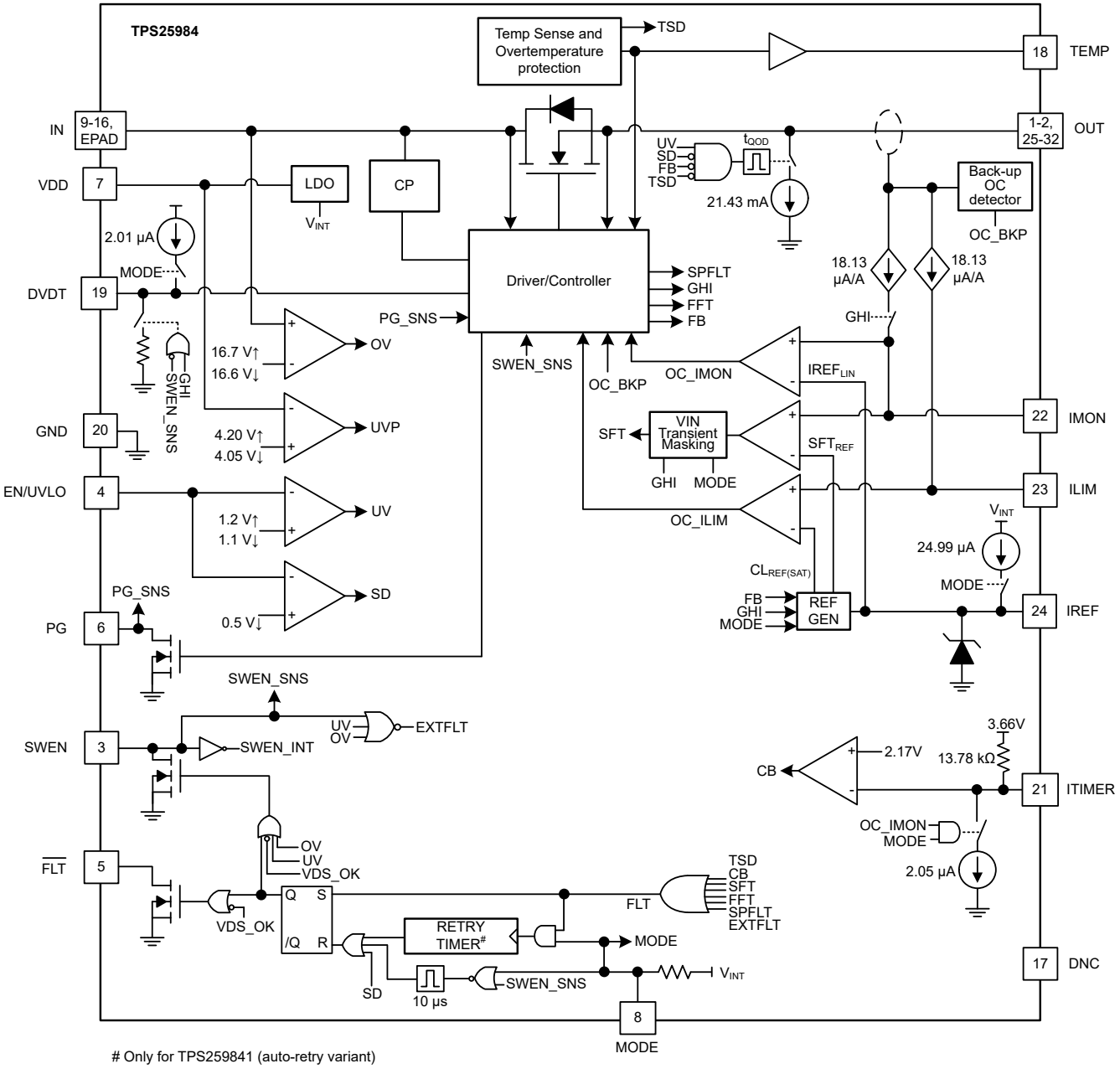
该器件集成了高精度和高带宽模拟负载电流监测器，使系统能够在稳定状态和瞬态期间精确监测负载电流。此功能有助于实施先进的动态平台电源管理技术，例如 Intel® PSYS，以最大限度地提高系统电源利用率和吞吐量，而不会牺牲安全性和可靠性。

对于需要支持较高负载电流的系统，可以并联连接多个 TPS25984x 电子保险丝。在启动和稳定状态期间，所有器件分摊电流，以避免一些器件比另一些器件承受更大的过载，从而导致并联链过早关闭或部分关闭。这些器件会同步其运行状态，以确保实现平稳启动、关断和应对故障。这种同步使整个链的功能如同一个超高电流电子保险丝，而非一组异步运行的独立电子保险丝。

该器件具有集成保护电路，可确保器件在建议运行条件下的安全性和可靠性。内部 FET SOA 始终受到热关断机制的保护，该机制会在结温 (T_J) 过高时关闭 FET，确保安全运行。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图



Only for TPS259841 (auto-retry variant)

7.3 特性说明

TPS25984x 电子保险丝是一款功能丰富的紧凑型电源管理器件，可在系统发生故障时提供检测、保护和指示。

7.3.1 欠压保护

TPS25984x 会在 VDD 和 VIN 上实现欠压锁定，以防施加的电压变得过低，导致系统或器件无法正常运行。欠压锁定在 VDD 上的内部默认锁定阈值为 V_{UVP}，在 VIN 上的默认锁定阈值为 V_{UVPIN}。也可以通过 EN/UVLO 引脚上的 UVLO 比较器，从外部将欠压保护阈值调整为用户定义的值。图 7-1 和方程式 1 显示了如何使用电阻分压器设置给定电压电源的 UVLO 设定点。

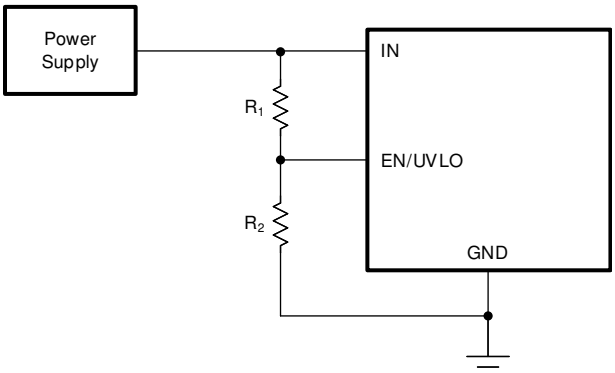


图 7-1. 可调节的欠压保护

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (1)$$

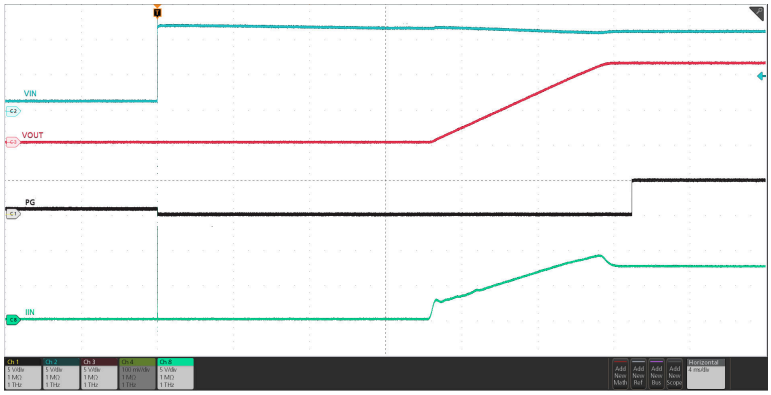
EN/UVLO 引脚可实现双电平阈值。

1. $V_{EN} > V_{UVLO(R)}$：器件完全导通。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$：FET 以及大多数控制器电路均被关断，但一些关键偏置和数字电路除外。将 EN/UVLO 引脚保持在此状态的时间超过 t_{QOD} 时，将激活输出放电功能。
3. $V_{EN} < V_{SD(F)}$：器件内的所有有源电路均关断，并且不保留任何数字状态存储器。该引脚还会复位任何闭锁的故障。在这种情况下，器件的静态电流消耗非常小。

7.3.2 插入延迟

TPS25984x 会在启动时实施插入延迟，以确保在器件尝试导通电源至负载前电源已稳定。器件最初会等待 VDD 电源上升至高于 UVP 阈值并且所有内部偏置电压稳定下来。此后，无论 EN/UVLO 引脚状态如何，器件都会保持关断状态并额外延迟 t_{INSDLY}。这有助于防止在以下情况下系统出现任何意外行为：如果器件在卡与背板牢固接触之前尝试导通，或者如果在启动期间出现任何电源振铃/噪声。

Copyright © 2025 Texas Instruments Incorporated



输入电源从 0V 阶跃至 12V。器件在开启输出前会等待 t_{INSDLY}，以确保输入电源稳定。

图 7-2. 插入延迟

7.3.3 过压保护

TPS25984x 实施过压锁定，以保护负载免受输入过压条件的影响。IN 引脚上的 OVP 比较器使用固定的内部过压保护阈值。当 IN 上的输入电压超过 OVP 上升阈值($V_{OVP(R)}$) 时，功率 FET 将在 t_{OVP} 内关闭。当 IN 上的电压降至 OVP 下降阈值 ($V_{OVP(F)}$) 以下时，FET 将以 dVdt 控制的方式导通。

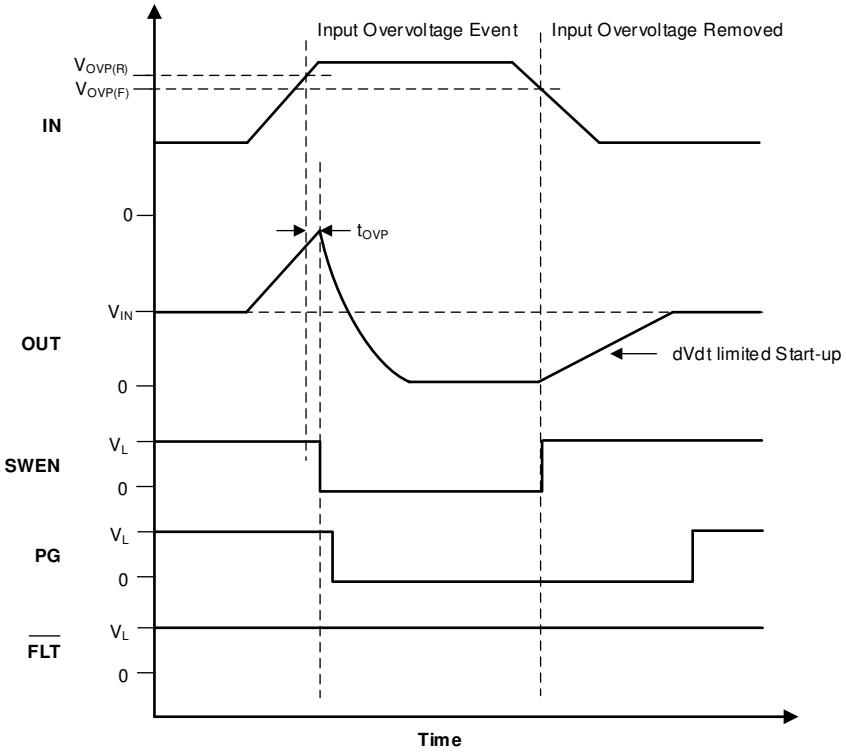


图 7-3. 输入过压保护响应

7.3.4 浪涌电流、过流和短路保护

TPS25984x 包含四个级别的过流保护：

1. 可调节压摆率 (dVdt) 和浪涌电流控制
2. 可调节阈值的有源电流限制 (I_{LIM})，用于在启动期间提供过流保护
3. 具有可调节阈值 (I_{OCP}) 和消隐计时器 (t_{ITIMER}) 的断路器，用于在稳定状态期间提供过流保护
4. 发生严重过流故障时，具有可调节阈值 (I_{SFT} = 2 × I_{OCP}) 的快速跳闸保护响应，用于可在所有情况下快速防止严重短路，并在稳定状态期间提供固定阈值 (I_{FFT})

7.3.4.1 压摆率 (dVdt) 和浪涌电流控制

在热插拔事件期间或尝试为大输出电容充电时，可能会存在较大的浪涌电流。如果浪涌电流管理不当，浪涌电流可能会损坏输入连接器并导致系统电源电压下降。此操作可能导致系统其他地方意外重启。导通期间的浪涌电流与负载电容和上升压摆率成正比。可以使用 方程式 2 来确定在给定负载电容 (C_{LOAD}) 下限制浪涌电流 (I_{INRUSH}) 所需的压摆率 (SR)：

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \tag{2}$$

可以在 dVdt 引脚上添加一个电容器，以控制导通期间的上升压摆率并降低浪涌电流。可以使用 方程式 3 计算产生给定压摆率所需的 CdVdt 电容。

$$C_{DVDT}(pF) = \frac{42000}{SR(V/ms)} \tag{3}$$

通过使 dVdt 引脚保持开路，可以实现最快的输出压摆率。

备注

1. 高输入压摆率和高输入电源路径电感相结合会导致启动期间出现振荡。可使用以下一个或多个步骤缓解此问题：
   a. 降低输入电感。
   b. 增大 VIN 引脚上的电容。
   c. 增大 DVDT 引脚电容，以降低压摆率或增加启动时间。TI 建议使用 5ms 最短启动时间。

7.3.4.1.1 启动超时

如果启动未完成（即，在 SWEN 置为有效后，FET 未在特定的超时间隔 (t_{SU_TMR}) 内完全导通），器件会将其寄存为故障。$\overline{FLT}$ 被置为有效低电平，并且器件会进入闭锁或自动重试模式，具体视器件配置而定。

7.3.4.2 稳定状态过流保护（断路器）

TPS25984x 通过在用户可调节的瞬态故障消隐间隔后执行断路器操作来应对稳定状态期间的输出过流情况。此操作使该器件能够在用户定义的短时间间隔内支持更高的峰值电流，同时还可确保在出现持续输出故障的情况下提供强大的保护。

该器件会不断检测输出负载电流，并在 IMON 引脚上提供与负载电流成比例的模拟电流输出 (I_{IMON})，进而根据方程式 4 在 IMON 引脚电阻器 (R_{IMON}) 两端产生成比例的电压 (V_{IMON})。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \tag{4}$$

其中 G_{IMON} 是电流监测器增益 (I_{IMON}: I_{OUT})

通过将此电压与 IREF 引脚上作为基准的电压进行比较来检测过流情况。可以通过两种方式控制基准电压 (V_{IREF})，从而相应地设置过流保护阈值 (I_{OCP})。

Copyright © 2025 Texas Instruments Incorporated

- 在独立或主工作模式下，内部电流源与外部 IREF 引脚电阻器 (R_{IREF}) 相互作用以产生基准电压。也可以通过外部低阻抗基准电压源驱动 IREF 引脚，如 方程式 5 所示。

$$V_{IREF} = I_{IREF} \times R_{IREF} \tag{5}$$

- 在主器件和辅助器件并联的配置中，主电子保险丝或控制器驱动 IREF 引脚上的电压，为链中的所有辅助器件提供外部基准 (V_{IREF})。

稳定状态期间的过流保护阈值 (I_{OCP}) 可以使用 方程式 6 计算得出。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \tag{6}$$

备注

将 V_{IREF} 保持在建议的电压范围内，以确保过流检测电路正常工作。

TI 建议在 IREF 引脚和 GND 之间添加一个 150pF 电容器，以增强防噪性能。

检测到过流情况后（即负载电流超过可编程过流限制阈值 (I_{OCP})，但仍低于短路阈值 (2 × I_{OCP})，器件开始使用内部 2 μA 下拉电流使 ITIMER 引脚电容器放电。如果在 ITIMER 电容器放电 ΔV_{ITIMER} 之前，负载电流降至电流限制阈值以下，则通过在内部将 ITIMER 上拉至 V_{INT} 来重置 ITIMER，并且不会启动断路器操作。此操作允许短过载瞬态脉冲通过器件而不会使断路器跳闸。如果过流情况仍然存在，ITIMER 电容器将继续放电，并且在下降 ΔV_{ITIMER} 之后，断路器操作会立即关断 FET。同时，ITIMER 电容器再次充电至 V_{INT}，以便在下一次过流事件之前处于默认状态。此操作可确保为每个过流事件提供完整的消隐计时器间隔。可使用方程式 7 来计算所需过流阈值对应的 R_{IMON} 值。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \tag{7}$$

允许瞬态的持续时间可以通过在 ITIMER 引脚与接地之间使用适当的电容值来调整。瞬态过流消隐间隔可使用方程式 8 计算得出。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \tag{8}$$

备注

1. 使 ITIMER 引脚保持开路可让器件以尽可能小的延迟断开电路。不过，引脚保持开路会使断路器响应对噪声极其敏感，并可能会导致在负载瞬变期间误跳闸。
2. 将 ITIMER 引脚短接至地可使过流响应延迟最小（类似于 ITIMER 引脚开路情况），但会增加静态电流，不建议采用这种工作模式。
3. 增大 ITIMER 电容值会延长过流消隐间隔。不过，它还会延长 ITIMER 电容器在下一次过流事件之前充电至 V_{INT} 所需的时间。如果下一个过流事件在 ITIMER 电容器完全充电之前发生，则放电至 VITIMER 阈值所需的时间更短，因此提供比预期更短的消隐间隔。

图 7-4 展示了 TPS25984x 电子保险丝的过流响应。器件因断路器故障而关断后，会保持闭锁状态（TPS259840 型号）或在固定的延迟时间后自动重启（TPS259841 型号）。

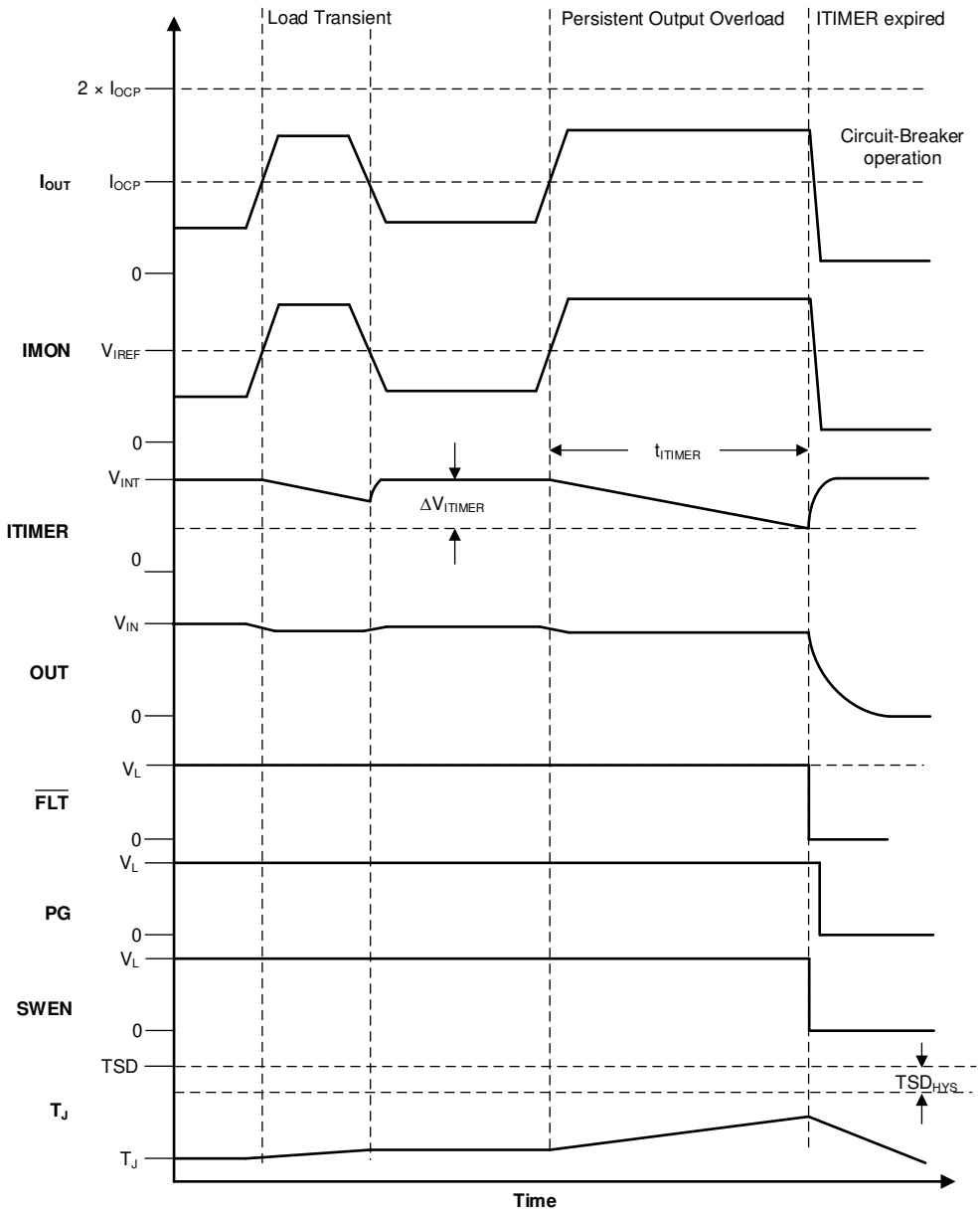


图 7-4. 稳定状态过流（断路器）响应

7.3.4.3 启动期间的工作电流限制

TPS25984x 通过主动限制电流来应对启动期间的输出过流情况。该器件会持续检测流经每个器件的电流 (I_{DEVICE})，并在 ILIM 引脚上提供模拟电流输出 (I_{ILIM})，进而根据 方程式 9 在 ILIM 引脚电阻器 (R_{ILIM}) 两端产生成比例的电压 (V_{ILIM})。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \tag{9}$$

其中 G_{ILIM} 是电流监测器增益 (I_{ILIM}: I_{DEVICE})

通过将此电压与阈值电压进行比较来检测过流情况。阈值电压为从 IREF 引脚基准电压 (V_{IREF}) 产生的调节电压 ($CLREF_{SAT}$)，如 方程式 10 所示。

$$CLREF_{SAT} = \frac{0.7 \times V_{IREF}}{3} \tag{10}$$

Copyright © 2025 Texas Instruments Incorporated

可以通过两种方式控制基准电压 (V_{IREF})，从而相应地设置启动电流限制阈值 (I_{LIM})。

1. 在独立工作模式下，内部电流源与外部 IREF 引脚电阻器 (R_{IREF}) 相互作用以产生基准电压，如 方程式 11 所示。

$$V_{IREF} = I_{IREF} \times R_{IREF} \tag{11}$$

2. 在主器件和辅助器件配置中，主电子保险丝或控制器驱动 IREF 引脚上的电压，以提供外部基准 (V_{IREF})。

启动期间的有源电流限制 (I_{LIM}) 阈值可以使用 方程式 12 计算。

$$I_{ILIM} = \frac{CLREF_{SAT}}{G_{ILIM} \times R_{ILIM}} \tag{12}$$

在启动期间，当流经器件的负载电流超过 I_{LIM} 时，器件会尝试调节负载电流并将其保持在 I_{LIM}。

在电流调节期间，输出电压下降，导致 FET 上的器件功率耗散增加。如果器件内部温度 (T_J) 超过热关断阈值 (TSD)，则会关断 FET。器件因 TSD 故障而关断后，会保持闭锁状态（TPS259840 型号）或在固定的延迟后自动重启（TPS259841 型号）。有关器件应对过热情况的更多详细信息，请参阅*过热保护*一节。

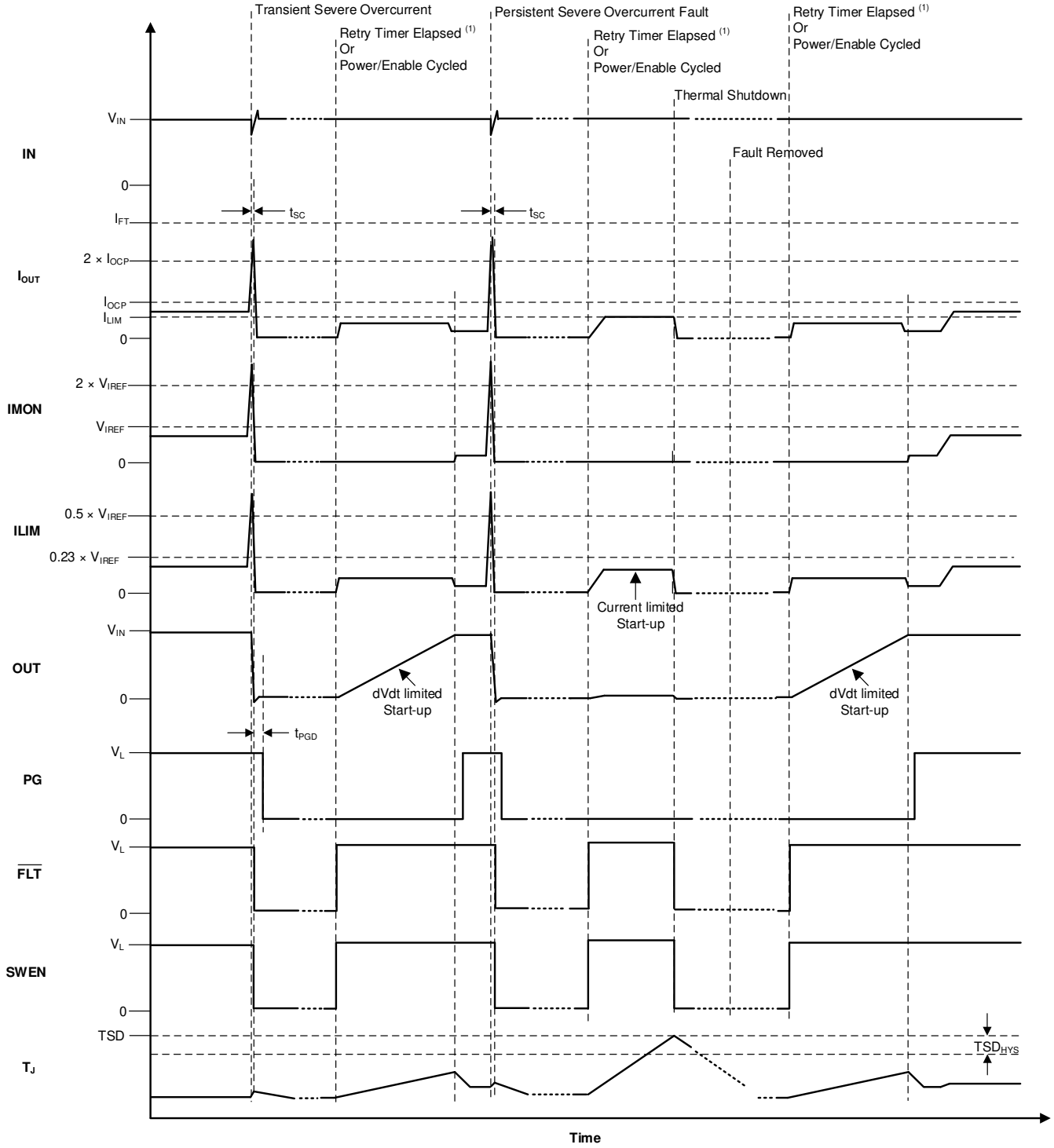
备注

主动电流限制块在启动期间根据输出电压 (V_{OUT}) 采用折返机制。当 V_{OUT} 低于折返阈值 (V_{FB}) 时，会进一步降低电流限制阈值。

7.3.4.4 短路保护

在输出短路事件期间，流过器件的电流会迅速增大。当检测到输出短路时，内部快速跳变比较器会触发快速保护序列，以防止电流进一步增大并导致任何损坏或输入电源压降过大。快速跳变比较器采用可调阈值 (I_{SFT})，该阈值在稳定状态期间等于 2 × I_{OCP}（主器件）或 2.25 × I_{OCP}（辅助器件），在浪涌期间等于 1.5 × I_{LIM}。此机制允许用户根据系统额定值调整快速跳变阈值，而不是使用固定高阈值，固定阈值可能并不适用于所有系统。电流超过快速跳变阈值后，TPS25984x 会在 t_{SFT} 内关断 FET。该器件还采用更高的固定快速跳变阈值 (I_{FFT})，可在稳定状态期间（FET 处于线性区域）提供快速短路保护。当电流超过 I_{FFT} 后，会在 t_{FFT} 内将 FET 完全关断。图 7-5 展示了 TPS25984x 电子保险丝的短路响应。

在某些系统（例如刀片服务器和电信设备）中，多个可热插拔刀片或线路卡通过公共电源背板连接。在切换大电流时，背板的电感负载可能导致瞬态电流，进而对相邻卡片产生电流尖峰。这些尖峰可能大到足以触发电子保险丝的快速跳变比较器。TPS25984x 使用专有算法避免在此类情况下发生误触发，从而确保系统的不间断运行。



(1) Applicable only to TPS259841 variants

图 7-5. 短路响应

7.3.5 模拟负载电流监测器 (IMON)

TPS25984x 通过在 IMON 引脚上提供与流过 FET 的电流成比例的模拟电流，使系统能够精确监测输出负载电流。电流输出的好处是，信号可以在电路板上路由，而不会由于相邻布线的压降或噪声耦合而增加明显的误差。电流输出还允许将多个 TPS25984x 器件的 IMON 引脚连接在一起，以获得并联配置中的总电流。IMON 信号可以

Copyright © 2025 Texas Instruments Incorporated

通过在监测点的电阻器上施加电压来转换为电压。用户可以检测 R_{IMON} 两端的电压 (V_{IMON}) 以使用 方程式 13 来获得输出负载电流的测量值。

$$I_{OUT} = \frac{V_{IMON}}{G_{IMON} \times R_{IMON}} \tag{13}$$

TPS25984x IMON 电路旨在提供高带宽和高精度，适用于各种负载和温度条件，不受电路板布局布线和其他系统运行条件的影响。此设计允许将 IMON 信号用于先进的动态平台电源管理技术（如 PROCHOT™ 和 Intel PSYS ™），以最大限度地提高系统功耗和平台吞吐量，而不会牺牲安全性或可靠性。

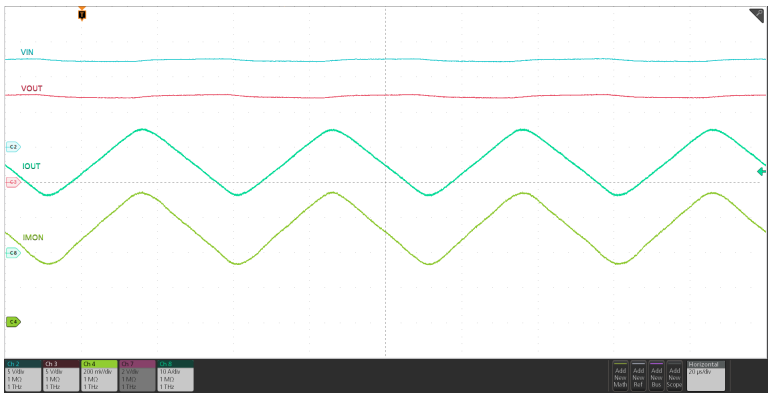


图 7-6. 模拟负载电流监测器响应

备注

1. IMON 引脚仅在稳定状态期间提供负载电流监测信息。在浪涌期间，IMON 引脚报告零负载电流。
2. ILIM 引脚始终报告单个器件的负载电流，也可用作每个单独器件的模拟负载电流监测器。
3. 必须注意尽量减少 IMON 和 ILIM 引脚上的寄生电容，以避免对过流和短路保护时序产生任何影响。

7.3.6 模式选择 (MODE)

此引脚可用于将一个 TPS25984x 配置为链中的主器件，将链中的其他 TPS25984x 电子保险丝指定为辅助器件。此特性允许更改某些 TPS25984x 引脚功能，有助于实现主器件和辅助器件并联连接。

在上电时对此引脚进行采样。将此引脚保持开路会将器件配置为主器件或独立器件。将此引脚连接至 GND 会将器件配置为辅助器件。

以下功能在辅助模式下禁用，辅助器件依赖主器件来提供此功能：

1. IREF 内部电流源
2. DVDT 内部电流源
3. 在稳定状态下进行过流检测，以实现断路器响应
4. 在达到稳定状态后 PG 置为失效（下拉）
5. 故障后锁存

在辅助模式下，以下功能仍然有效：

1. 过热保护
2. 基于 ILIM 的启动电流限制
3. 浪涌期间和稳定状态期间的主动均流
4. 在稳定状态下的模拟电流监测器 (IMON)

5. 基于 IMON 的稳定状态过流检测。这通过在内部将 ITIMER 引脚拉至低电平来指示，但在 ITIMER 到期时不会触发断路器操作。相反，它依靠主器件启动自己的 ITIMER，然后在 ITIMER 到期后将 SWEN 拉至低电平，从而触发针对整个链的断路器操作。不过，在主器件较长时间无法启动断路器操作的情况下，辅助器件会使用内部过流计时器作为备用措施。有关详细信息，请参阅*单点故障缓解*一节。
6. 每个器件仍具有单独的可扩展和固定快速跳变阈值来保护自身。单独短路保护阈值设置为最大值，即辅助模式下为 2.25 × I_{OCP}（稳定状态）或 2 × I_{LIM}（启动状态），因此主器件可在整个系统中进一步降低该阈值。
7. 在辅助器件中，单独的 OVP 设置为最大值，以便主器件可以在整个系统中进一步降低该值。
8. 基于各个器件故障检测（断路器除外）的 $\overline{FLT}$ 置为有效。
9. 浪涌期间的 PG 置为无效控制和器件达到稳定状态后的置为有效控制。不过，在稳定状态下置为有效之后，辅助器件不再控制在发生故障时将 PG 置为无效。
10. 根据内部事件执行 SWEN 置为有效或置为无效，并根据 SWEN 引脚状态进行 FET 导通和关断控制。

在辅助模式下，短路和快速跳变期间的器件行为也会发生变化。有关更多详细信息，请参阅*短路保护*一节。

7.3.7 并联器件同步 (SWEN)

SWEN 引脚是一个信号引脚，当 FET 必须导通时，该引脚被驱动为高电平。当 SWEN 引脚被驱动为低电平时（在内部或在外部），它会向驱动器电路发送信号以关断 FET。该引脚既用作控制信号，也用作握手信号，并允许采用并联配置的多个器件同步其 FET 导通和关断转换。

表 7-1. SWEN 汇总

器件状态	FET 驱动器状态	SWEN
稳定状态	打开	H
浪涌	打开	H
过热关断	关闭	L
自动重试计时器正在运行	关闭	L
欠压 (EN/UVLO)	关闭	L
欠压 (VDD UVP)	关闭	L
欠压 (VIN UVP)	关闭	L
插入延迟	关闭	L
过压锁定 (VIN OVP)	关闭	L
瞬态过流	打开	H
断路器（持续过流，随后 ITIMER 到期）	关闭	L
快速跳变	关闭	L
故障响应单稳态正在运行 (MODE = GND)	关闭	L
故障响应单稳态已过期 (MODE = GND)	打开	H
ILM 引脚开路（启动）	关闭	L
ILM 引脚短路（启动）	关闭	L
ILM 引脚开路（稳定状态）	关闭	L
ILM 引脚短路（稳定状态）	关闭	L
FET 运行状况故障	关闭	L

SWEN 为漏极开路引脚，必须上拉至外部电源。

Copyright © 2025 Texas Instruments Incorporated

备注

1. 为 SWEN 上拉电源上电，以便打开电子保险丝。TI 建议使用源自电子保险丝输入的系统备用电源轨。
2. 在某些情况下，可以将 ITIMER 引脚用作 SWEN 引脚的上拉轨。使用弱上拉，以确保 ITIMER 上的负载不足以影响 ITIMER 的充电和放电时间。

在主器件和辅助器件并联的配置中，主器件使用 SWEN 引脚来控制辅助器件的导通和关断转换。同时，该引脚支持辅助器件将任何可能会阻止其导通的故障或其他情况传达给主器件。有关更多详细信息，请参阅*故障响应和指示 ($\overline{FLT}$)*。

为了保持状态机同步，这些器件依赖于 SWEN 电平转换以及握手时序。这可确保所有器件以相同的方式同步导通和关断（例如，DVDT 控制或限流启动）。SWEN 控制和握手逻辑中还有失效防护机制，可确保即使主器件在发生故障时无法控制，也能安全地关断整个链。

备注

TI 建议将 SWEN 引脚上的寄生负载保持在最低水平，以避免出现同步时序问题。

7.3.8 堆叠多个电子保险丝以使可扩展性不受限制

对于所需电流高于单个 TPS25984x 可以支持的电流的系统，可以并联连接多个 TPS25984x 器件以提供该系统总电流。由于传统电子保险丝的路径电阻不匹配（包括各个器件的 R_{DSON} 差异以及寄生 PCB 布线电阻），因此在稳定状态期间它们无法平均分摊电流。这种情况可能会导致系统中出现多个问题：

1. 一些器件承载的电流始终高于另一些器件，这可能导致这些器件的故障加速，并导致系统整体运行寿命缩短。
2. 因此，承载更高电流的电路板、器件、迹线和通孔上会形成热点，从而导致 PCB 的可靠性问题。此外，这一问题使热建模和电路板热管理对设计人员而言更具挑战性。
3. 承载更高电流的器件可能会过早达到其各自的断路器阈值，即使系统总负载电流低于整体断路器阈值也是如此。此操作可能会导致电子保险丝在正常运行期间误跳变。这会降低并联链的载流能力。换句话说，与单个电子保险丝的电流额定值总和相比，必须降低并联电子保险丝链的电流额定值。此降低额定值系数取决于路径电阻不匹配、并联器件数量和各个电子保险丝断路器精度。

降低额定值的需要会对系统设计产生不利影响。设计人员不得不做出以下权衡之一：

1. 将系统的工作负载电流限制在电子保险丝链的降额后电流阈值以下。本质上，这意味着平台功能低于电源 (PSU) 所支持的水平。
2. 增加整体断路器阈值，从而允许所需的系统负载电流通过而不会发生跳变。因此，电源 (PSU) 必须略大，以在故障期间提供更高的电流，从而解决整体断路器精度下降的问题。

无论在哪种情况下，系统的电源利用率都会很差，这可能意味着系统吞吐量不理想或安装和运营成本增加，或两者兼而有之。

TPS25984x 使用专有技术来解决这些问题，并通过根据需要并联尽可能多的电子保险丝来提供该解决方案的无限可扩展性。并联电子保险丝不会产生不均衡的电流分流或任何精度下降。

为了使该方案正常工作，必须按以下方式连接器件：

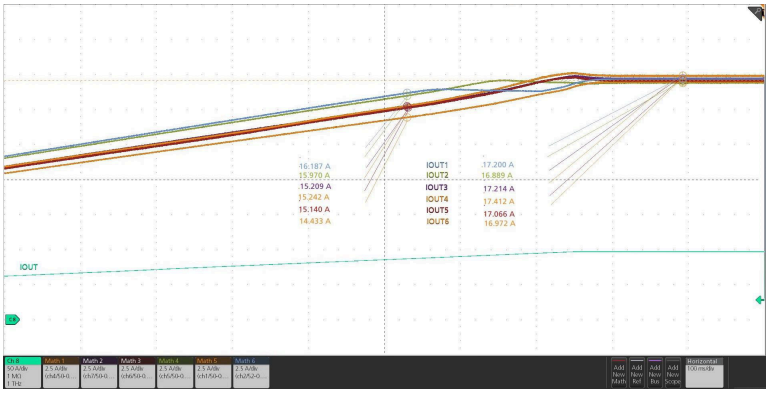
- 将所有器件的 SWEN 引脚连接在一起。
- 必须将所有器件的 IMON 引脚连接在一起。连接在一起的 IMON 引脚上的 R_{IMON} 电阻值可以使用 方程式 14 计算得出。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \tag{14}$$

- 必须根据 方程式 15 选择各个电子保险丝的 R_{ILIM}。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \tag{15}$$

其中 N = 并联链中的器件数量。图 7-7 说明了 TPS25984x 中主动均流块在稳定状态期间的响应。



六个器件的电源路径电阻之间故意引入了偏差，负载电流缓慢上升。当流过每个器件的电流超过主动均流阈值后，在所有器件之间可以看到相等的电流分配。

图 7-7. 六个 TPS25984x 电子保险丝并联的配置中稳定状态期间的主动均流

备注

当在稳定状态下流过任何电子保险丝的电流超过通过 R_{ILIM}（其电阻值根据方程式 16 计算得出）设置的单独均流阈值时，将启用主动均流方案。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \tag{16}$$

当系统总电流超过系统过流（断路器）阈值 ($I_{OCP(TOTAL)}$) 时，主动均流方案将停用。

7.3.8.1 启动期间的电流平衡

TPS25984x 在启动期间实施专有的电流平衡机制，从而允许并联连接的多个 TPS25984x 器件分流浪涌电流并将热应力分散到所有器件。此特性有助于所有器件成功完成启动，避免某些电子保险丝过早进入热关断状态。这实际上增加了并联链的浪涌电流能力。改进的浪涌性能使得在高电流平台上支持非常大负载电容器成为可能，并且不会影响浪涌时间或系统可靠性。

7.3.9 模拟结温监测器 (TEMP)

该器件通过在 TEMP 引脚上提供与芯片温度成比例的模拟电压，使系统能够准确监测结温 (T_J)。此电压可连接到主机控制器或具有数字遥测功能的电子保险丝的 ADC 输入端。在多器件并联配置中，所有器件的 TEMP 输出可以连接在一起。在此配置中，TEMP 信号会报告链中最热器件的温度。

备注

1. TEMP 引脚电压仅用于外部监测，不会干扰每个单独器件的过热保护方案（该方案完全基于内部温度监控器）。
2. TI 建议在 TEMP 引脚上添加 22pF 的电容，以滤除系统瞬态期间的毛刺。

Copyright © 2025 Texas Instruments Incorporated

7.3.10 过热保护

TPS25984x 采用内部热关断机制来在内部 FET 过热而无法安全运行时保护自身。当 TPS259840 检测到热过载时，它会关断并保持闭锁状态，直到器件下电上电或重新使能。当 TPS259841 检测到热过载时，它会保持关断状态，直到它充分冷却。此后，该器件会保持关断状态并额外延迟 t_{RST}，此后如果它仍处于使能状态，则会自动重试导通。

表 7-2. 过热保护总结

器件	进入 TSD	退出 TSD
TPS259840（闭锁）	$T_J \geq$ TSD	T_J < TSD - TSD_{HYS} VDD 下电上电至 0V 然后高于 $V_{UVP(R)}$，或者 EN/UVLO 切换至低于 $V_{SD(F)}$
TPS259841（自动重试）	$T_J \geq$ TSD	T_J < TSD - TSD_{HYS} t_{RST} 计时器到期，或 VDD 下电上电至 0V 然后高于 $V_{UVP(R)}$，或者 EN/UVLO 切换至低于 $V_{SD(F)}$

7.3.11 故障响应和指示 ($\overline{FLT}$)

表 7-3 汇总了器件如何应对各种故障情况。

表 7-3. 故障汇总

事件或条件	器件响应	内部锁存故障	$\overline{FLT}$ 引脚状态	延迟
稳定状态	无	不适用	H	
浪涌	无	不适用	H	
过热	关断	Y	L	
欠压 (EN/UVLO)	关断	N	H	
欠压 (VDD UVP)	关断	N	H	
欠压 (VIN UVP)	关断	N	H	
过压 (VIN OVP)	关断	N	H	
瞬态过流	无	N	H	
持续过流（稳定状态）	断路器	Y	L	t_{ITIMER}
持续过流（启动）	电流限值	N	L	
短路（主模式）	快速跳变	Y	L	t_{FT}
短路（辅助模式）	快速跳变后进行限流启动	N	H	
ILIM 引脚开路（启动）	关断	Y	L	
ILIM 引脚短路（启动）	关断（如果 I_{OUT} > I_{OC_BKP}）	Y	L	
ILIM 引脚开路（稳定状态）	主动均流环路始终处于有效状态	N	H	
ILIM 引脚短路（稳定状态）	禁用主动均流环路	N	H	
IMON 引脚开路（稳定状态）	关断	Y	L	
IMON 引脚短路（稳定状态）	关断（如果 I_{OUT} > I_{OC_BKP}）	Y	L	45 μs

表 7-3. 故障汇总（续）

事件或条件	器件响应	内部锁存故障	$\overline{FLT}$ 引脚状态	延迟
IREF 引脚开路（启动）	关断（如果 I_{OUT} > I_{OC_BKP}）	Y	L	
IREF 引脚开路（稳定状态）	关断（如果 I_{OUT} > I_{OC_BKP}）	Y	L	t_{ITIMER}
IREF 引脚短路（稳定状态）	关断	Y	L	
IREF 引脚短路（启动）	关断	Y	L	
ITIMER 引脚被强制为高电压	关断（如果 I_{OUT} > I_{OCP} 或 I_{OUT} > I_{OC_BKP}）	Y	L	t_{SPFAIL_TMR}
启动超时	关断	Y	L	t_{SU_TMR}
FET 运行状况故障 (G-S)	关断	Y	L	10us
FET 运行状况故障 (G-D)	关断	Y	L	
FET 运行状况故障 (D-S)	关断	N	L	t_{SU_TMR}
外部故障（当器件不处于 UV 或 OV 状态时，在外部将 SWEN 拉至低电平）	关断	Y	L	

$\overline{FLT}$ 是一个漏极开路引脚，必须上拉至外部电源。

发生故障后，器件的响应因工作模式而异：

1. 在独立或主模式工作期间（MODE = 开路），器件会锁存故障并进行自动重试或闭锁响应（取决于所选器件）。当器件再次导通时，它遵循正常的 DVDT 限制启动序列。
2. 在辅助工作模式期间 (MODE = GND)，如果器件检测到任何故障，它会暂时将 SWEN 引脚拉至低电平以向主器件发出事件信号，然后依靠主器件来控制故障响应。不过，如果主器件未能记录故障，则辅助器件中的失效防护机制会关断整个链并进入闭锁状态。此后，只能通过将 VDD 下电上电至低于 $V_{UVP(F)}$ 或通过将 EN/UVLO 引脚下电上电至低于 $V_{SD(F)}$ 来再次导通器件。

对于内部锁存的故障，对器件进行下电上电或将 EN/UVLO 引脚电压拉至低于 $V_{SD(F)}$ 可清除故障，并且将该引脚置为无效。此操作还会清除 t_{RST} 计时器（仅限自动重试型号）。在这种情况下，将 EN/UVLO 拉至低于 UVLO 阈值对器件没有影响。这对于闭锁和自动重试型号都是如此。

7.3.12 电源正常状态指示 (PG)

电源正常状态指示是一个高电平有效输出，当器件处于稳定状态并且能够提供最大功率时，该输出被置为高电平有效以指示这种情况。

表 7-4. PG 指示汇总

事件或条件	FET 状态	PG 引脚状态	PG 延迟
欠压 (V_{EN} < V_{UVLO})	关闭	L	t_{PGD}
V_{IN} < V_{UVP}	关闭	L	
V_{DD} < V_{UVP}	关闭	L	
过压 (V_{IN} > V_{OVP})	关闭	L	t_{PGD}
稳定状态	打开	H	t_{PGA}
浪涌	打开	L	t_{PGA}
瞬态过流	打开	H	不适用

Copyright © 2025 Texas Instruments Incorporated

表 7-4. PG 指示汇总（续）

事件或条件	FET 状态	PG 引脚状态	PG 延迟
断路器（持续过流，随后 ITIMER 到期）	关闭	L (MODE = H) H (MODE = L)	t_{PGD} 不适用
快速跳变	关闭	L (MODE = H) H (MODE = L)	t_{PGD} 不适用
ILM 引脚开路	关闭	L (MODE = H) H (MODE = L)	$t_{ITIMER} + t_{PGD}$ 不适用
ILM 引脚短路	关闭	L (MODE = H) H (MODE = L)	t_{PGD} 不适用
过热	关断	L (MODE = H) H (MODE = L)	t_{PGD} 不适用

上电后，PG 最初被拉至低电平。器件启动一个浪涌序列，在此序列中，栅极驱动器电路开始从内部电荷泵对栅极电容充电。当 FET 栅极电压达到完全过驱时（指示浪涌序列已完成并且器件能够提供全功率），PG 引脚在抗尖峰脉冲时间 (t_{PGA}) 后被置为高电平有效。

在正常运行期间，如果在任何时候关断 FET，PG 会置为无效。PG 置为无效抗尖峰脉冲时间为 t_{PGD}。

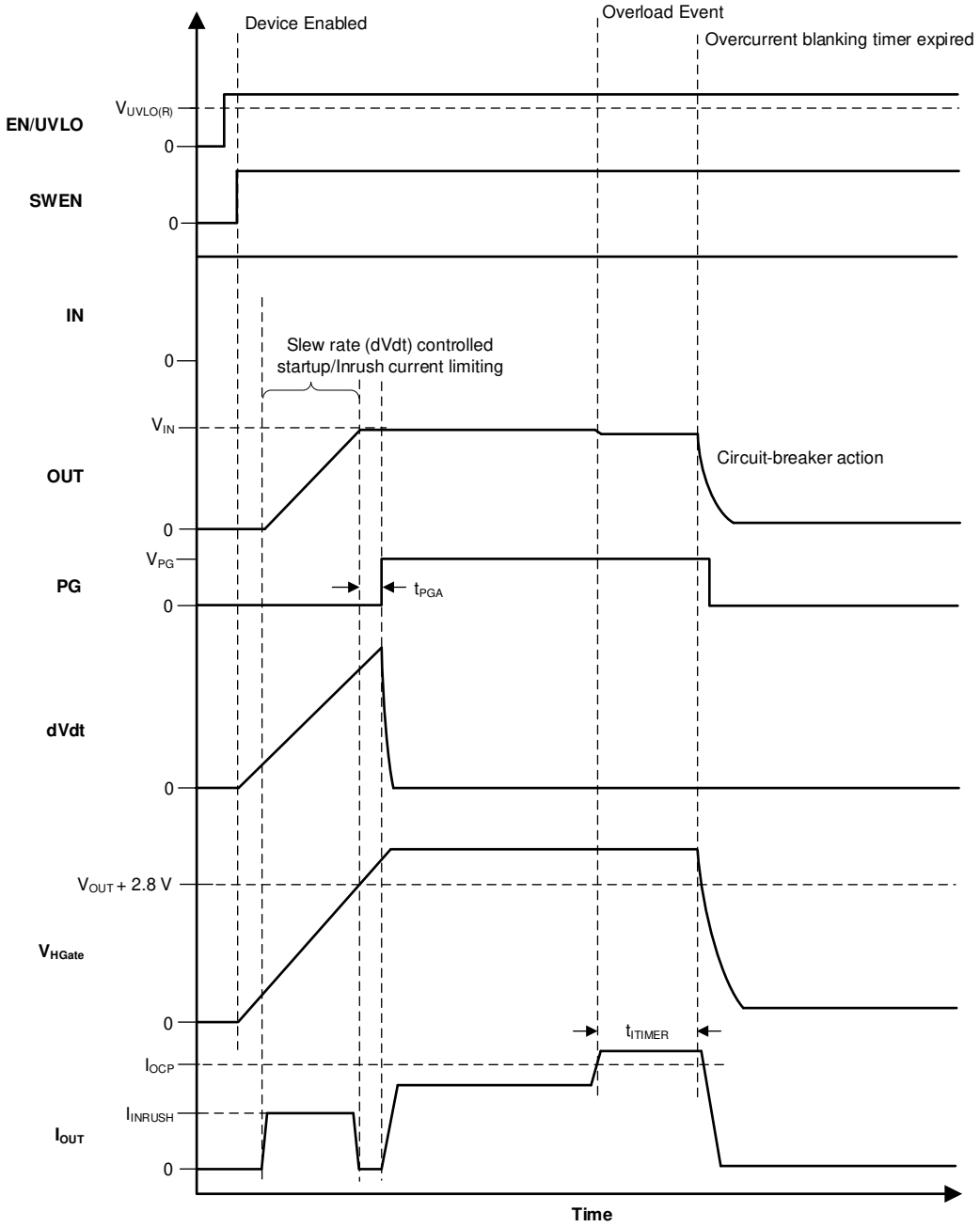


图 7-8. TPS25984x PG 时序图

备注

PG 为漏极开路引脚，必须上拉至外部电源。在稳定状态期间，请勿将 PG 引脚悬空或强制从外部将该引脚置于低电平，因为这可能会干扰器件运行。

当器件未通电时，PG 引脚应保持低电平。不过，在这种情况下，没有有源下拉来将该引脚一直驱动至 0V。如果 PG 引脚被上拉至即使器件未通电也存在的独立电源，则此引脚上可能会出现一个小电压，具体取决于引脚灌电流，这是上拉电源电压和电阻的函数。尽可能减小灌电流，以使该引脚电压保持在足够低的水平，使得在此情况下不会被相关的外部电路检测为逻辑高电平。

Copyright © 2025 Texas Instruments Incorporated

该器件在辅助模式下 (MODE = GND) 与并联链中用作主器件的另一个 TPS25984 器件一起使用时，会在启动期间控制 PG 置位操作，但器件达到稳定状态后，不再控制 PG 取消置位操作。有关更多详细信息，请参阅 *模式选择 (MODE)*。

7.3.13 输出放电

该器件具有集成输出放电功能，可使用内部恒定电流 (I_{QOD}) 将 OUT 引脚上的电容器放电至 GND。当 EN/UVLO 保持低电平时 ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) 并至少持续最短间隔 ($t_{QOD}$) 时，将会激活输出放电功能。输出放电功能有助于快速消除大输出电容器上残留的电荷，并防止总线长时间保持在某个未定义的电压。当 $V_{OUT} < V_{FB}$ 或者器件检测到故障时，将会禁用输出放电。

输出放电功能会导致器件内部功率耗散过多，从而导致结温 (T_J) 升高。如果结温 (T_J) 超过 TSD，则会禁用输出放电，以避免器件长期降级。

备注

在主器件和辅助器件并联的配置中，TI 建议将 EN/UVLO 电压保持在辅助器件的 $V_{UVLO(F)}$ 阈值以下，以激活链中所有器件的输出放电。

7.3.14 FET 运行状况监测

TPS25984x 可以检测并报告某些表明电源路径 FET 发生故障的情况。如果未检测到或未报告这些情况，则这些情况可能会因无法正确向负载供电或无法提供必要的保护级别而损害系统性能。检测到 FET 故障后，TPS25984x 会尝试通过拉低栅极来关断内部 FET 并将 $\overline{FLT}$ 引脚置为有效。

- **D-S 短路：**D-S 短路可能会导致从电源到负载形成恒定的不受控制的电力输送路径，这可能是由于电路板组装缺陷或内部 FET 故障造成的。在启动时，通过在 FET 导通之前检查 V_{IN-OUT} 是否小于 V_{DSFLT} 来检测这种情况。如果是，器件会启动内部输出放电以尝试对输出进行放电。如果 V_{OUT} 未能在允许的特定时间间隔内放电至低于 V_{FB}，则器件会将 $\overline{FLT}$ 引脚置为有效。
- **G-D 短路：**TPS25984x 始终通过检查栅极电压是否接近 V_{IN} 来检测此类 FET 故障，即使内部控制逻辑试图将 FET 保持在关断状态也不例外。
- **G-S 短路：**TPS25984x 在启动期间通过以下方法来检测此类 FET 故障：检查 FET G-S 电压是否未能在栅极驱动器导通后的特定超时时间段 (t_{SU_TMR}) 内达到必要的过驱电压。在稳定状态下，如果在控制器逻辑向栅极驱动器发出关断 FET 的信号之前 G-S 电压变为低电平，则会将其锁存为故障。

7.3.15 单点故障缓解

TPS25984x 依靠 IMON、ILIM、IREF 和 ITIMER 引脚上的正确元件连接和偏置，以在任何情况下提供过流和短路保护。作为一项额外的安全措施，该器件使用以下机制来确保器件提供某种形式的过流保护，即使这些引脚中的任何一个在系统中未正确连接或相关元件在现场出现故障也是如此。

7.3.15.1 IMON 引脚单点故障

- **IMON 引脚开路：**在这种情况下，在内部将 IMON 引脚电压上拉至更高的电压并超过阈值 (V_{IREF})，从而导致器件执行断路器操作，即使没有大电流流过器件也不例外。
- **IMON 引脚直接或通过非常低的电阻短接至 GND：**在这种情况下，IMON 引脚电压保持为低电压，即使有大电流流过器件也不允许超过阈值 (V_{IREF})，从而使主要过流保护机制失效。器件依靠内部过流检测机制来提供一定程度的保护作为备用措施。如果器件检测到超过备用电流检测阈值 (I_{OC_BKP}) 的情况但同时 IMON 引脚上的主要过流检测失败，则会触发单点故障检测并锁存故障。FET 被关断并且 $\overline{FLT}$ 引脚被置为有效。

7.3.15.2 ILIM 引脚单点故障

- **ILIM 引脚开路：**在这种情况下，在内部将 ILIM 引脚电压上拉至更高的电压并超过 V_{IREF} 阈值，从而导致器件接合电流限制，即使无大电流流过器件也不例外。
- **ILIM 引脚直接或通过非常低的电阻短接至 GND：**在这种情况下，ILIM 引脚电压保持为低电压，即使有大电流流过器件也不允许超过启动电流限制阈值，从而使主电流限制机制在启动期间失效。器件依靠内部过流检测机

制来提供一定程度的保护作为备用措施。如果器件检测到超过备用电流检测阈值 (IOC_BKP) 的情况但同时 ILIM 引脚上的主要过流检测失败，则会触发单点故障检测并锁存故障。FET 被关断并且 $\overline{FLT}$ 引脚被置为有效。

7.3.15.3 IREF 引脚单点故障

- **IREF 引脚开路或被强制为更高的电压：**在这种情况下，根据建议的 I_{OCP} 或 I_{LIM} 计算结果，会在内部或外部将 IREF 引脚 (V_{IREF}) 上拉至高于目标值的电压，从而防止触发主要断路器、主动限流和短路保护，即使有大电流流过器件也不例外。器件依靠内部过流检测机制来提供一定程度的保护作为备用措施。如果器件检测到超过备用过流阈值的情况但同时 ILIM 或 IMON 引脚上的主要过流或短路检测失败，则会触发单点故障检测并锁存故障。FET 被关断并且 $\overline{FLT}$ 引脚被置为有效。
- **IREF 引脚短接至 GND：**在这种情况下，V_{IREF} 阈值设置为 0V，从而导致器件执行主动限流或断路器操作，即使没有大电流流过器件也不例外。

7.3.15.4 ITIMER 引脚单点故障

- **ITIMER 引脚开路或短接至 GND：**在这种情况下，ITIMER 引脚已放电至低于 $V_{ITIMERTHR}$，因此在过流事件后立即指示过流消隐计时器到期，并立即触发断路器操作，没有任何延迟。
- **ITIMER 引脚被强制为高于 $V_{ITIMERTHR}$ 的某个电压：**在这种情况下，ITIMER 引脚无法放电至低于 $V_{ITIMERTHR}$，因此无法指示过流消隐计时器到期，从而导致主断路器机制失效。器件依靠备用过流计时器机制来提供一定程度的保护作为备用措施。如果器件在 IMON 引脚或备用过流检测电路上检测到过流事件，则器件会启动内部备用时间器，并且在该计时器到期 ($t_{SPFLTMR}$) 后锁存故障。FET 被关断并且 $\overline{FLT}$ 引脚被置为有效。

7.4 器件功能模式

器件的特性取决于工作模式。表 7-5 和 表 7-6 总结了器件功能模式。

表 7-5. 基于 EN/UVLO 引脚的器件功能模式

引脚：EN/UVLO	器件状态	输出放电
> $V_{UVLO(R)}$	完全导通	禁用
> $V_{SD(F)}$，< $V_{UVLO(F)}$ (< t_{QOD})	FET 关断	禁用
> $V_{SD(F)}$，< $V_{UVLO(F)}$ (> t_{QOD})	FET 关断	启用
< $V_{SD(F)}$	关断	禁用

表 7-6. 基于 MODE 引脚的器件功能模式

引脚：模式	器件配置
开路	主或独立
GND	次级

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPS25984x 是一款高电流电子保险丝，通常用于电源轨保护应用。该器件的工作电压范围为 4.5V 至 16V，具有输入过压保护和可调节欠压保护功能。该器件能够控制浪涌电流，并提供过流和短路保护。该器件可以用于各种系统，例如服务器主板、附加卡、显卡、加速器卡、企业交换机、路由器等。可以使用后续小节中介绍的设计过程，根据应用要求选择支持的元件值。此外，还可应要求提供电子表格设计工具 *TPS25984x 设计计算器*。

8.1.1 单器件独立运行

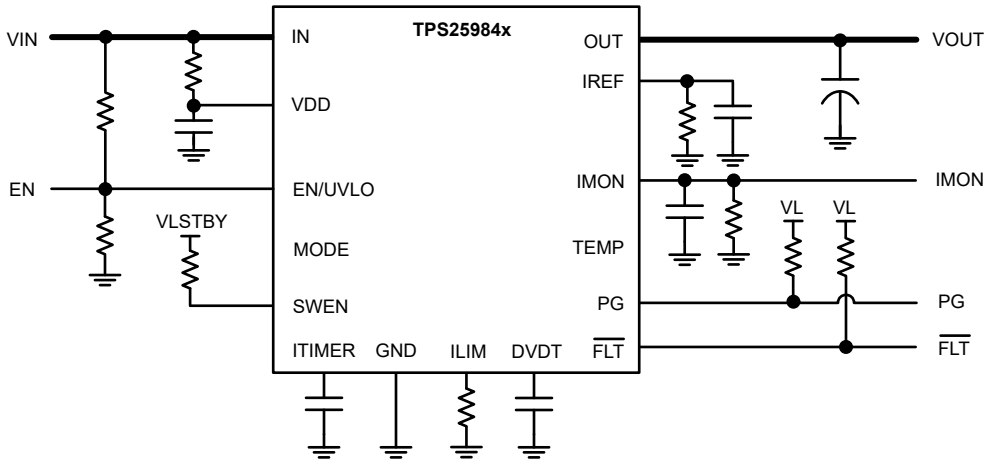


图 8-1. 单器件独立运行

备注

MODE 引脚保持开路，以配置为独立工作。

其他不同的情况：

1. IREF 引脚可通过外部基准电压源驱动。
2. 在主机 MCU 控制的系统中，可以将 EN/UVLO 连接至 GPIO 引脚来控制器件。可以使用 ADC 来监测 IMON 引脚电压。主机 MCU 可以使用 DAC 驱动 IREF，以动态更改电流限制阈值。
3. 通过将 ILIM 和 IMON 引脚连接至 GND 并使 IREF 引脚保持开路，该器件可用作简单的高电流负载开关，而无需可调节的过流或快速跳变保护功能。在这种情况下，浪涌电流保护、固定快速跳变和内部固定过流保护仍然有效。

Copyright © 2025 Texas Instruments Incorporated

8.1.2 多个器件，并行连接

需要更高电流能力的应用可以使用两个或以上 TPS25984x 器件并联，如图 8-2 所示。

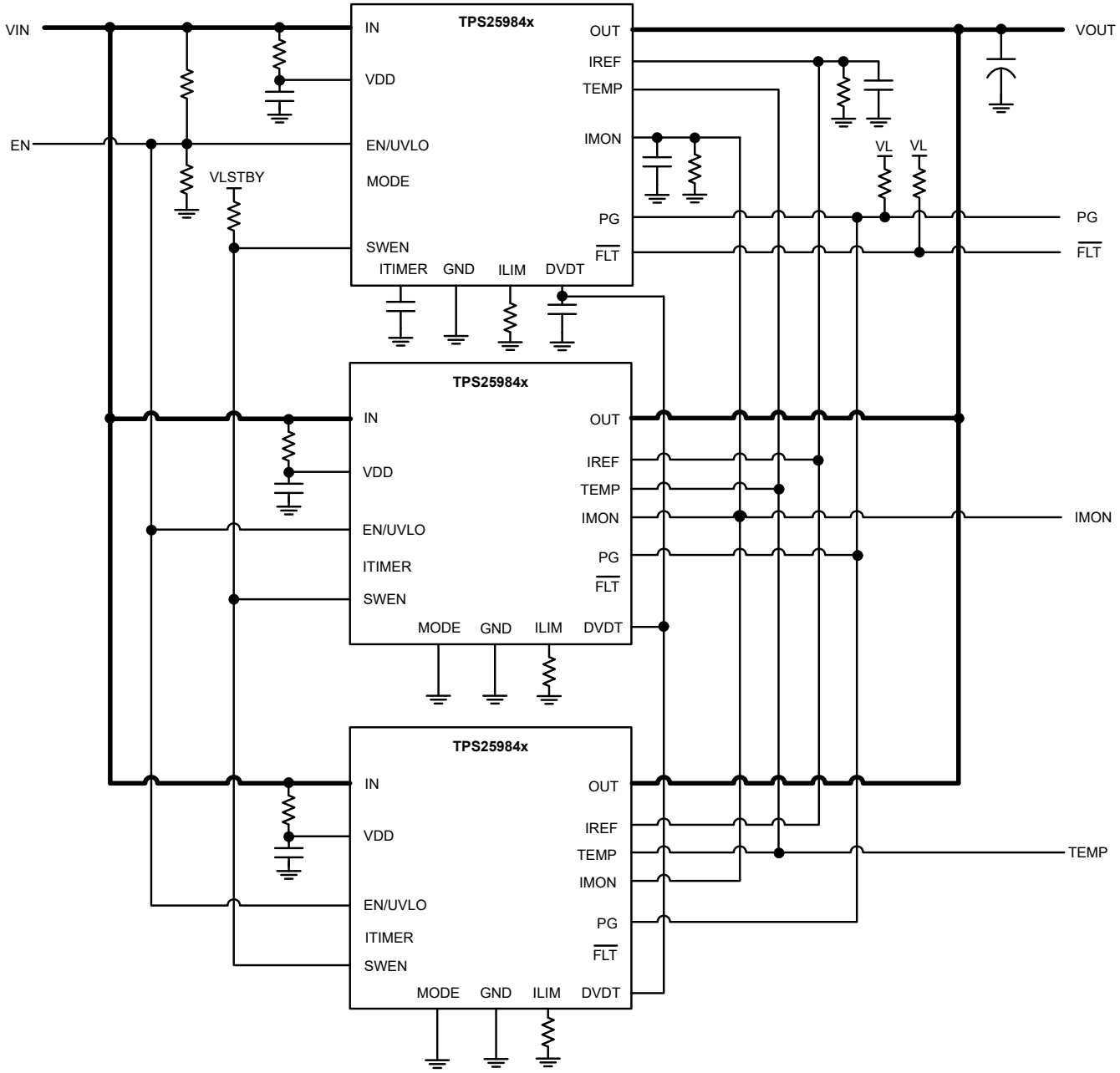


图 8-2. 并联连接器件以提供更高的电流

在此配置中，将一个 TPS25984x 器件指定为主器件，它控制链中指定为辅助器件的其他 TPS25984x 器件。此配置通过按如下方式连接主器件来实现：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. MODE 引脚保持开路。
3. 通过电容器将 ITIMER 连接至 GND。
4. 通过电容器将 DVDT 连接至 GND。
5. 通过电阻器将 IREF 连接至 GND。

Copyright © 2025 Texas Instruments Incorporated

6. 通过电阻器将 IMON 连接至 GND。
7. 通过电阻器将 ILIM 连接至 GND。
8. 将 SWEN 上拉至 3.3V 到 5V 备用电源轨电压。必须独立于电子保险丝器件为此电源轨供电。

必须按以下方式连接辅助器件：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. 将 MODE 引脚连接至 GND。
3. ITIMER 引脚保持开路。
4. 通过电阻器将 ILIM 连接至 GND。

必须将所有器件的以下引脚连接在一起：

1. IN
2. OUT
3. EN/UVLO
4. DVDT
5. SWEN
6. PG
7. IMON
8. IREF

备注

PG 引脚必须根据*建议运行条件*表上拉至适当的电源电压。

在此配置中，所有器件同时上电和启用。

上电：上电或启用后，所有器件最初都将其 SWEN 保持在低电平，直到内部块正确偏置和初始化为止。之后，每个器件都会释放自己的 SWEN。在所有器件释放其 SWEN 后，组合的 SWEN 变为高电平，并且这些器件已准备好同时导通其各自的 FET。

浪涌：在浪涌期间，由于 DVDT 引脚一起连接到单个 DVDT 电容器，因此所有器件以相同的压摆率 (SR) 启用输出。根据以下 方程式 17 和 方程式 18 选择公共的 DVDT 电容器 (C_{DVDT})。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \tag{17}$$

$$C_{DVDT}(pF) = \frac{42000}{SR(V/ms)} \tag{18}$$

在这种情况下，内部平衡电路可确保在启动期间在所有器件之间均衡负载电流。此操作可防止某些器件导通速度比其他器件更快并且与其他器件相比承受更大热应力的情况。这可能会导致并联链过早关闭或部分关闭，甚至导致造成器件 SOA 损坏。电流平衡方案可确保链的浪涌能力根据并联连接的器件数量而扩缩，从而确保在启动期间以更大的输出电容或更高的负载成功启动。

在启动期间，所有器件将其各自的 PG 信号保持为低电平。输出完全斜升并达到稳定状态后，每个器件都会释放自己的 PG 下拉。由于所有器件的 DVDT 引脚连接在一起，因此所有器件的内部栅极高电平检测同步进行。器件之间可能存在某种阈值或时序不匹配，从而导致以交错方式将 PG 置为有效。不过，由于所有器件的 PG 引脚连接在一起，只有在所有器件都释放其 PG 下拉之后，组合的 PG 信号才会变为高电平。这会向下游负载发出信号，表明可以获取电源。

稳定状态：在稳定状态期间，所有器件都使用主动均流机制平均分摊电流，该机制会主动调节相应器件 R_{DSON}，以在并联链中的所有器件上均匀分配电流。

稳定状态期间的过流：并联链的断路器阈值基于系统总电流，而不是基于流过各个器件的电流。这通过将所有器件的 IMON 引脚连接在一起实现。同样，所有器件的 IREF 引脚连接在一起并连接至单个 R_{IREF}（或外部 V_{IREF} 源），以便为所有器件中的过流保护模块生成公共基准。此操作有助于尽可能地减小 I_{IREF} 变化和 R_{IREF} 容差对器件之间过流阈值的整体不匹配的影响。在这种情况下，请按照下面的方程式 19 选择组合的 R_{IMON}：

$$R_{IMON} = \frac{I_{IREF} \times R_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \tag{19}$$

必须根据下面的方程式 20 选择各个电子保险丝的 R_{ILIM} 值。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \tag{20}$$

其中 N = 并联链中的器件数量。

其他不同的情况：

IREF 引脚可通过外部电压基准 (V_{IREF}) 驱动。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \tag{21}$$

在过流事件期间，同时触发所有器件的过流检测。这进而触发每个器件上的过流消隐计时器 (ITIMER)。不过，只有主器件使用 ITIMER 到期事件作为触发器来将所有器件的 SWEN 拉至低电平，从而针对整个链路启动断路器操作。此机制可确保器件之间电流分布、过流阈值和 ITIMER 间隔不匹配不会降低整个并联链的断路器阈值或过流消隐间隔的精度。

不过，辅助器件也会启动其备用过流计时器，并且当主器件未能在特定的时间间隔内关断整个链时触发关断整个链。

严重过流（短路）：如果在稳定状态运行期间输出端存在严重故障（例如，通过低阻抗路径短接到地），电流会快速累积到很高的值并在每个器件中触发快速跳变响应。器件使用两个阈值来实现快速跳变保护：用户可调节阈值（稳定状态下：$I_{SFT} = 2 \times I_{OCP}$；浪涌期间：$I_{SFT} = 2 \times I_{LIM}$）和固定阈值 ($I_{FFT}$)（仅在稳定状态下使用）。快速跳变后，这些器件会进入闭锁故障状态，直到器件下电上电或重新启用或者自动重试计时器到期（仅适用于自动重试型号）。

Copyright © 2025 Texas Instruments Incorporated

8.1.3 多个电子保险丝，与 PMBus® 并行连接

如果应用需要更高电流输入保护以及用于遥测、控制和可配置性的数字接口，则可以使用与 TPS25990x 并联的一个或多个 TPS25984x 器件，如 图 8-3 所示。

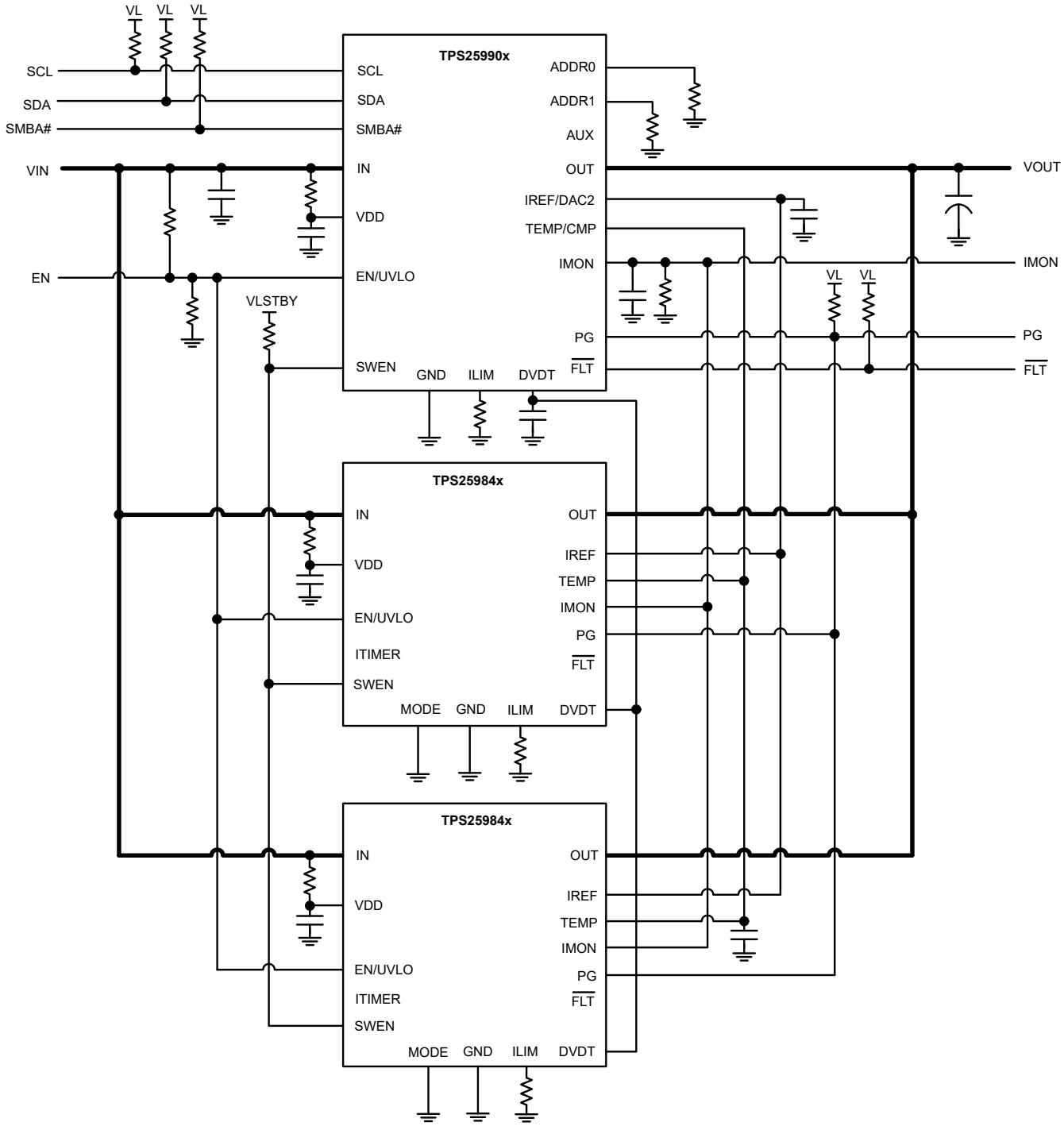


图 8-3. TPS25990x 与 TPS25984x 并联连接，通过 PMBus® 提供更高电流支持

TPS25990x 是具有 PMBus® 遥测接口的 60A 集成电子保险丝。

在此配置中，TPS25990x 担任主器件，控制链中指定为辅助器件的其他 TPS25984x 器件。此配置通过按如下方式连接主器件来实现：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. 通过电容器将 DVDT 连接至 GND。
3. 通过电容器将 IREF 连接至 GND。
4. 通过电阻器将 IMON 连接至 GND。
5. 通过电阻器将 ILIM 连接至 GND。

将 SWEN 上拉至 3.3V 到 5V 备用轨。此轨必须独立于电子保险丝的开/关状态进行供电。

必须按以下方式连接辅助器件：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. 将 MODE 引脚连接至 GND。
3. ITIMER 引脚保持开路。
4. 通过电阻器将 ILIM 连接至 GND。

必须将所有器件的以下引脚连接在一起：

1. IN
2. OUT
3. EN/UVLO
4. DVDT
5. SWEN
6. PG
7. IMON
8. IREF
9. TEMP

备注

PG 引脚必须根据*建议运行条件*表上拉至适当的电源电压。

在此配置中，所有器件同时上电和启用。

- TPS25990x 监控 VIN、VOUT、IMON 和 TEMP 组合，并通过 PMBus® 遥测接口进行报告。
- 默认情况下，所有器件的 OVLO 阈值均设置为最大值。对于 TPS25984x 器件，OV 阈值在硬件中是固定值，无法更改。通过对 VIN_OV_FLT 寄存器进行 PMBus® 写入，可以降低 TPS25990x OV 阈值。在这种情况下，TPS25990x 在 OV 条件下使用 SWEN 引脚关闭 TPS25984x 器件。
- 所有器件的 UVLO 阈值均由 EN/UVLO 引脚上从 IN 到 GND 的外部电阻分压器设置。通过对 VIN_UV_FLT 寄存器进行 PMBus® 写入，可以更改 TPS25990x UV 阈值。在这种情况下，TPS25990x 在 UV 条件下使用 SWEN 引脚关闭 TPS25984x 器件。
- 在浪涌期间，所有器件的输出均基于 DVDT 电容器一起斜升。但是，TPS25990x DVDT 源电流可以通过 PMBus® 进行配置，以更改整个链的浪涌行为。TPS25990x 控制整个链的 DVDT 斜升速率，辅助器件只需遵循斜升速率即可。
- TPS25990x 通过使用内部 DAC 设置 VIREF 阈值电压，从而控制并行链的整体过流阈值。VIREF 电压可以通过 PMBus® 进行编程，从而更改过流阈值。
- TPS25990x 通过对 OC_TIMER 寄存器进行 PMBus® 写入，控制整个系统的瞬态过流消隐间隔 (t_{OC_TIMER})。数字计时器到期后，TPS25990x 会拉低 SWEN 引脚以向所有器件发出同时断开电的信号。
- 系统电源正常 (PG) 指示是所有单独器件 PG 指示的组合。所有器件将其各自的 PG 引脚保持低电平，直到电源 FET 完全导通。所有器件达到稳定状态后，会释放各自的 PG 引脚下拉，并且整个链的 PG 信号被置为高电平。TPS25984x 辅助器件仅在启动期间控制系统 PG 置位。处于稳定状态后，只有 TPS25990x 可根据 VOUT_PGTH 寄存器设置控制 PG 的取消置位。

Copyright © 2025 Texas Instruments Incorporated

- 整个系统的故障指示 ($\overline{FLT}$) 由 TPS25990x 提供。但是，每个辅助器件也会独立将 $\overline{FLT}$ 置为有效。

上电：上电或启用后，所有电子保险丝器件最初都将 SWEN 保持在低电平，直到内部块正确偏置和初始化为止。之后，每个器件都会释放 SWEN。在所有器件释放 SWEN 后，组合的 SWEN 变为高电平，并且这些器件已准备好同时导通各自的 FET。

浪涌：在浪涌期间，由于 DVDT 引脚一起连接到单个 DVDT 电容器，因此所有器件以相同的压摆率 (SR) 启用输出。根据 方程式 22 和 方程式 23 选择公共的 DVDT 电容器 (C_{DVDT})。

$$SR\left(\frac{V}{ms}\right) = \frac{I_{INRUSH}\,(mA)}{C_{OUT}\,(\mu F)} \tag{22}$$

$$C_{dVdt}\,(pF) = \frac{42000 \times k}{SR\left(\frac{V}{ms}\right)} \tag{23}$$

有关更多详细信息，请参阅 *TPS25990x*。

内部平衡电路可确保所有器件在启动期间均衡负载电流。此操作可防止某些器件导通速度比其他器件更快并且与其他器件相比承受更大热应力的情况。这可能会导致并联链过早关闭或部分关闭，甚至导致造成器件 SOA 损坏。电流平衡方案可确保链的浪涌能力根据并联连接的器件数量而扩缩，从而保证在启动期间以更大的输出电容或更高的负载成功启动。在启动期间，所有器件将各自的 PG 信号保持为低电平。输出完全斜升并达到稳定状态后，每个器件都会释放 PG 下拉。由于所有器件的 DVDT 引脚连接在一起，因此所有器件的内部栅极高电平检测同步进行。器件之间可能存在某种阈值或时序不匹配，从而导致以交错方式将 PG 置为有效。不过，由于所有器件的 PG 引脚连接在一起，只有在所有器件都释放 PG 下拉之后，组合的 PG 信号才会变为高电平。这会向下游负载发出信号，表明可以获取电源。

稳定状态：在稳定状态期间，所有器件都使用主动均流机制几乎平均分摊电流，该机制会主动调节各自器件 RRDSON，以在并联链中的所有器件之间均匀分配电流。PG 置为有效后，仅由 TPS25990x 根据 VOUT_PGTH 寄存器设置来控制取消置位。

稳定状态期间的过流：并联链的断路器阈值基于系统总电流，而不是基于流过各个器件的电流。为此，将所有器件的 IMON 引脚一起连接到一个连接到 GND 的电阻器 (R_{IMON})。同样，所有器件的 IREF 引脚连接在一起，TPS25990x 使用内部可编程 DAC (VIREF)，为所有器件中的过流保护模块生成公共基准。此操作有助于尽可能地减小 I_{IREF} 差异对器件之间过流阈值的整体不匹配的影响。

在这种情况下，请根据 方程式 24 选择 R_{IMON}：

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \tag{24}$$

每个器件的启动电流限制和有源电流均流阈值可使用 ILIM 引脚独立设置。必须根据 方程式 25 选择各个电子保险丝的 R_{ILIM} 值：

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \tag{25}$$

其中 N = 并联链中的器件数 (1 × TPS25990x + (N - 1) × TPS25984x)

其他不同的情况：IREF 引脚可通过外部精密电压基准驱动。

在过流事件期间，同时触发所有器件的过流检测。这进而触发 TPS25990x 中的过流消隐计时器 (OC_TIMER)。TPS25990x 使用 OC_TIMER 到期事件作为触发器来将所有器件的 SWEN 拉至低电平，从而同时针对整个链路启动断路器操作。此机制可确保器件之间电流分布、过流阈值和 OC_TIMER 间隔的不匹配，不会降低整个并联链的断路器阈值或过流消隐间隔的精度。不过，辅助器件也会维持其备用过流计时器，并且当主器件未能在特定的时间间隔内关断整个链时触发关断整个链。

严重过流（短路）：如果输出端存在严重故障（例如，通过低阻抗路径短接到地），电流会快速累积到很高的值并在每个器件中触发快速跳变响应。器件使用两个阈值来实现快速跳变保护：用户可调节阈值（稳定状态下：I_{SFT} = 2 × I_{OCP}；浪涌期间：I_{SFT} = 1.5 × I_{LIM}）和固定阈值（I_{FFT} 仅在稳定状态下使用）。在快速跳变之后，TPS25990x 依靠 DEVICE_CONFIG 寄存器中的 SC_RETRY 配置位设置，来确定整个链是进入闩锁故障，还是以电流限制方式重新启动来执行快速恢复。若进入闩锁故障，器件将保持闩锁状态，直到器件下电上电或重新启用，或者触发基于 RETRY_CONFIG 寄存器设置的延迟自动重试。

8.1.4 采用外部微控制器的数字遥测

需要数字遥测、控制、可配置性以及高电流电子保险丝功能的系统，可以将 TPS25984x 器件与微控制器结合使用，如图 8-4 所示。

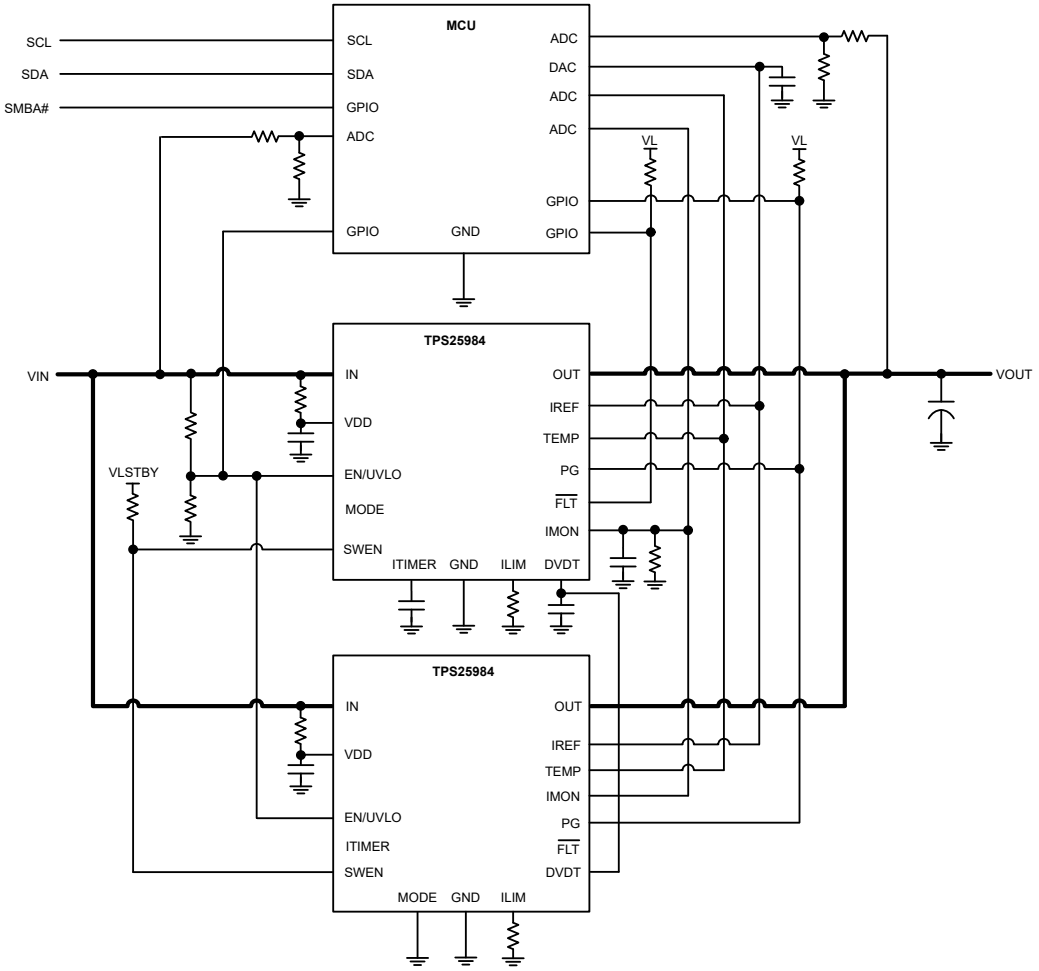


图 8-4. 采用外部微控制器的数字遥测

Copyright © 2025 Texas Instruments Incorporated

单个或多个并联电子保险丝配置的基本电路连接是相同的。此外，可以与微控制器进行以下连接：

- IMON：连接到微控制器的 ADC 输入，用于监测负载电流。
- EN/UVLO：连接到微控制器的 GPIO，用于对电子保险丝进行数字开关控制。
- PG 和 $\overline{\text{FLT}}$ 引脚连接到微控制器的 GPIO，用于对电子保险丝的状态进行数字监测。
- VIN 和 VOUT 电源轨：连接到微控制器的 ADC 输入（通过电阻梯适当地降低电压），用于监测总线电压。
- TEMP：连接到微控制器的 ADC 输入，用于监测电子保险丝的裸片温度。
- IREF：可以选择连接到微控制器的 DAC 输出，用于动态调整过流和短路电流阈值的基准电压。

备注

1.PG 引脚必须根据*建议运行条件*表上拉至适当的电源电压。

8.2 典型应用：数据中心服务器中的 12V、3.3kW 电源路径保护

8.2.1 应用

此设计示例考虑了 12V 系统工作电压，容差为 ±10%。最大稳定状态负载电流为 275A。如果负载电流超过 300A，则电子保险丝电路必须允许瞬态过载电流最长持续 16ms。对于持续时间超过该间隔的持续过载，电子保险丝电路必须断开电路，然后闭锁。启动期间，电子保险丝电路必须为 50mF 的储能电容充电，同时支持稳定状态约 10% 的负载。图 8-5 展示了此设计示例的应用原理图。

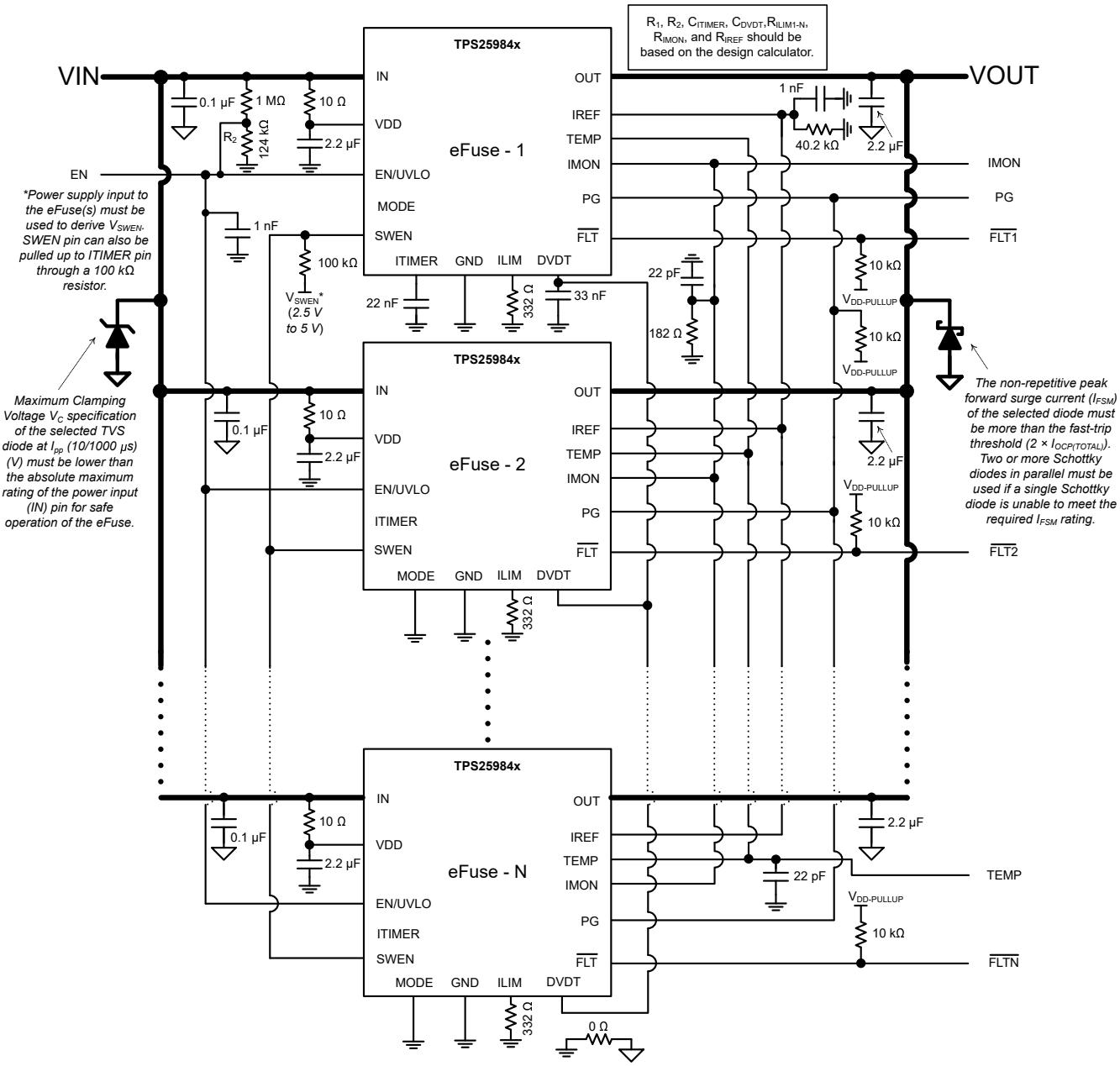


图 8-5. 12V、3.3kW 电源路径保护电路的应用原理图

Copyright © 2025 Texas Instruments Incorporated

8.2.2 设计要求

表 8-1 展示了此应用示例的设计参数。

表 8-1. 设计参数

参数	值
输入电压范围 (V_{IN})	10.8V 至 13.2V
最大 DC 负载电流 ($I_{OUT(max)}$)	275A
最大输出电容 (C_{LOAD})	50mF
在 PG 置位之前所有负载是否都关闭？	否
启动时的负载 ($R_{LOAD(Startup)}$)	0.48Ω（约等于最大稳定状态负载的 10%）
最高环境温度	55°C
瞬态过载消隐计时器	16ms
输出导通（软启动）时间	10ms
输出电压压摆率	1.2V/ms
是否需要承受输出端“热短路”情况？	是
是否需要承受“上电至短路”情况？	是
电路板是否可以热插拔或是否需要对电路板进行下电上电？	是
是否需要负载电流监测？	是
故障响应	闭锁

8.2.3 详细设计过程

- **确定要并联使用的电子保险丝器件数量**

  由于结温至环境温度热阻 ($R_{\theta JA}$) 的变化很小，单个 TPS25984x 电子保险丝器件在环境温度为 70°C 时的额定最大稳定状态直流电流为 55A。因此，可以使用方程式 26 来计算出并联的器件数量 (N)，以支持必须为其设计解决方案的稳定状态最大直流负载电流 ($I_{LOAD(max)}$)。

$$N \geq \frac{I_{OUT(max)}\,(A)}{55\,A} \tag{26}$$

  根据 表 8-1，$I_{OUT(max)}$ 为 275 A。因此，五 (5) 个 TPS25984 电子保险丝并联在一起。

- **设置并联配置中的主器件和辅助器件**

  MODE 引脚用于将一个 TPS25984x 电子保险丝配置为并联链中的主器件，并将其他 TPS25984x 电子保险丝配置为辅助器件。因此，可以更改 TPS25984 的一些引脚功能，以方便进行主器件和辅助器件配置，如*多个器件，并联连接*中所述。

  让 MODE 引脚保持开路可将相应的器件配置为主器件。对于辅助器件，必须将该引脚连接到 GND。

- **选择 C_{DVDT} 电容器以控制输出压摆率和启动时间**

  为了实现稳健的设计，需确保器件的结温在动态（启动）和稳态条件下均低于绝对最大额定值。通常，动态功率应力远大于静态应力，因此在系统设计中，必须为系统电容及相关负载设置适当的启动时间和浪涌电流限制，以避免启动过程中因热关断而导致故障。

  表 8-2 总结了在不同负载条件下启动时，如果未使用电源正常 (PG) 信号来启动所有下游负载的情况下，计算电子保险丝上的平均浪涌功率损耗的公式。

表 8-2. 浪涌期间平均功率损耗的计算

启动期间的负载类型	计算平均浪涌功率损耗的公式
仅有输出电容器 C_{LOAD} (µF)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{ss}}$ (27)
有输出电容器 C_{LOAD} (µF) 和恒定电阻 $R_{LOAD(Startup)}$ (Ω)，导通阈值为 V_{RTH} (V)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{ss}} + \frac{V_{IN}^2}{R_{LOAD(Startup)}}\left[\frac{1}{6} - \left\{\frac{1}{2}\left(\frac{V_{RTH}}{V_{IN}}\right)^2\right\} + \left\{\frac{1}{3}\left(\frac{V_{RTH}}{V_{IN}}\right)^3\right\}\right]$ (28)
有输出电容器 C_{LOAD} (µF) 和恒定电流 $I_{LOAD(Startup)}$ (A)，导通阈值为 V_{CTH} (V)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{ss}} + V_{IN} I_{LOAD(Startup)}\left[\frac{1}{2} - \left(\frac{V_{CTH}}{V_{IN}}\right) + \left\{\frac{1}{2}\left(\frac{V_{CTH}}{V_{IN}}\right)^2\right\}\right]$ (29)
有输出电容器 C_{LOAD} (µF) 和恒定功率 $P_{LOAD(Startup)}$ (W)，导通阈值为 V_{PTH} (V)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{ss}} + P_{LOAD(Startup)}\left[\ln\left(\frac{V_{PTH}}{V_{IN}}\right) + \left(\frac{V_{PTH}}{V_{IN}}\right) - 1\right]$ (30)

其中 V_{IN} 是输入电压，T_{ss} 是启动时间。

通过组合不同的启动负载条件，可以使用表 8-2 中的公式计算总平均浪涌功率损耗 (P_{INRUSH})。为了实现成功启动，系统必须满足方程式 31 所述条件。

$$P_{INRUSH}(W)\sqrt{T_{ss}(s)} < 10 \times N \tag{31}$$

其中 N 表示并联的电子保险丝数量，10W √s 是单个 TPS25984x 电子保险丝的 SOA 限制值。该公式可用于计算允许的最大启动时间 T_{ss}。

备注

德州仪器 (TI) 建议将 T_{ss} 设定在 5ms 至 120ms 范围内，以避免出现启动问题。

必须在 DVDT 引脚与 GND 引脚之间添加一个电容器 (C_{DVDT}) 以设置如上计算得出的 T_{ss} 值。使用方程式 32 来计算 C_{DVDT} 的值。必须将并联链中所有电子保险丝器件的 DVDT 引脚连接在一起。

$$C_{DVDT}(pF) = \frac{42000}{V_{IN}(V)/T_{ss}(ms)} \tag{32}$$

在本设计示例中，C_{LOAD} = 50mF，$R_{LOAD(Startup)}$ = 0.48 Ω，V_{RTH} = 0V，V_{IN} = 12V 和 T_{ss} = 10ms。使用表 8-2 中提供的公式计算得出 P_{INRUSH} 为 410W。可以验证系统满足方程式 31 中所述条件，因此能够成功启动。如果方程式 31 所述条件未满足，则需要调整启动负载或 T_{ss} 的值，以避免在启动期间发生热关断。使用 V_{IN} = 12V，T_{ss} = 10ms 和 方程式 32，可以计算出所需的 C_{DVDT} 值为 35nF。C_{DVDT} 的最接近标准值是容差为 10% 且直流电压额定值为 25V 的 33nF。

备注

在某些系统中，可能存在具有低导通阈值电压的有源负载电路（例如低启动阈值电压的直流/直流转换器），这些电路会在电子保险丝完成浪涌序列之前开始消耗功率。这种情况会导致在启动期间电子保险丝内部产生额外的功率耗散，并可能引发热关断。德州仪器 (TI) 建议使用电子保险丝的电源正常 (PG) 引脚来启用和禁用负载电路。这种方式可确保负载仅在电子保险丝完成启动后导通，提供全功率，从而避免因热关断而导致的风险。

- **选择 R_{IREF} 电阻器以设置过流保护和主动均流的基准电压**

Copyright © 2025 Texas Instruments Incorporated

在此并联配置中，主电子保险丝的 IREF 内部电流源 (I_{IREF}) 与外部 IREF 引脚电阻器 (R_{IREF}) 相互作用以生成基准电压 (V_{IREF})，用于过流保护和主动均流块。当将 IMON 引脚上的电压 (V_{IMON}) 用作 ADC 的输入以监测系统电流或在 VR 控制器内部实现平台电源控制 (Intel® PSYS) 功能时，必须将 V_{IREF} 设置为控制器 ISYS_IN 输入最大电压范围的一半。此操作为系统提供了必要的余量和动态范围，以准确地监测最高为快速跳变阈值 (2 × I_{OCP}) 的负载电流。方程式 33 用于计算 R_{IREF} 的阻值。

$$V_{IREF} = I_{IREF} \times R_{IREF} \tag{33}$$

在此设计示例中，V_{IREF} 设置为 1V。当 I_{IREF} = 24.99μA（典型值）时，可计算出目标 R_{IREF} 为 40kΩ。R_{IREF} 的最接近标准值是容差为 0.1% 且额定功率为 100mW 的 40.2kΩ。为了提高防噪性能，在 IREF 引脚和 GND 之间放置一个 1000pF 陶瓷电容器。必须将并联链中所有电子保险丝器件的 IREF 引脚连接在一起。

备注

将 V_{IREF} 保持在建议的电压范围内，以确保过流检测电路正常工作。

- **选择 R_{IMON} 电阻器以设置稳定状态期间的过流（断路器）和快速跳变阈值**

TPS25984x 电子保险丝通过在用户可调节的瞬态故障消隐间隔后关闭输出来应对稳定状态期间的输出过流情况。此电子保险丝器件持续检测系统总电流 (I_{OUT}) 并在 IMON 引脚上产生成比例的模拟电流输出 (I_{IMON})。这会在 IMON 引脚电阻器 (R_{IMON}) 两端产生电压 (V_{IMON}) 以响应负载电流，其定义为方程式 34。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \tag{34}$$

G_{IMON} 是 TPS25984、TPS25985 或 TPS25990 电子保险丝中的电流监测器增益 (I_{IMON}: I_{out})，其典型值为 18.13μA/A。通过将 V_{IMON} 与作为阈值的 V_{IREF} 进行比较来检测过流情况。稳定状态期间的断路器阈值 (I_{OCP}) 可以使用方程式 35 计算得出。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \tag{35}$$

在本设计示例中，I_{OCP} 被视为 $I_{OUT(max)}$ 的 1.1 倍左右。因此，I_{OCP} 需要设置为 300A，R_{IMON} 可以计算为 183.8Ω，其中 G_{IMON} 为 18.13μA/A 且 V_{IREF} 为 1V。R_{IMON} 最接近的值为 182Ω，其中容差为 0.1% 且额定功率为 100mW。为了降低噪声，请在 IMON 引脚和 GND 之间放置一个 22-pF 陶瓷电容器。必须将并联链中所有电子保险丝器件的 IMON 引脚连接在一起。

备注

选择 R_{IMON} 时必须考虑系统输出电流 (I_{OUT})，而不是每个器件承载的电流。

- **选择 R_{ILIM} 电阻器，以设置启动期间的电流限制和快速跳变阈值，以及稳定状态期间的主动均流阈值**

R_{ILIM} 用于设置并联链中各器件在稳定状态期间的主动均流阈值和启动期间的过流限制。每个器件都持续监测流过它的电流 (I_{DEVICE}) 并在其自身的 ILIM 引脚上输出成比例的模拟输出电流。这进而在相应的 ILIM 引脚电阻器 (R_{ILIM}) 两端产生成比例的电压 (V_{ILIM})，表示为方程式 36。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \tag{36}$$

G_{ILIM} 是 TPS25984、TPS25985 或 TPS25990 电子保险丝中的电流监测器增益 (I_{ILIM}: I_{DEVICE})，其典型值为 18.13 μ A/A。

  - ***稳定状态期间的主动均流***：此机制仅在器件达到稳定状态后才起作用，并通过将其自身的负载电流信息 (V_{ILIM}) 与主动均流基准（$CLREF_{LIN}$，定义为方程式 37）阈值进行比较而独立起作用。

$$CLREF_{LIN} = \frac{1.1 \times V_{IREF}}{3} \tag{37}$$

因此，必须使用方程式 38 计算 R_{LIM} 以将主动均流阈值定义为 I_{OCP}/N，其中 N 是并联器件的数量。使用 N = 5、R_{IMON} = 182Ω 和方程式 38，可以计算出 R_{ILIM} 为 333.3Ω。对于每个器件，选择容差为 0.1% 且额定功率为 100mW 的最接近标准值 332Ω 的电阻器作为 R_{ILIM}。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \tag{38}$$

备注

要确定 R_{ILIM} 的值，如果需要与不同于 I_{OCP}/N 的主动均流阈值 ($I_{LIM(ACS)}$)，则必须使用方程式 39。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \tag{39}$$

在下一小节中计算启动期间的电流限制阈值时，请确保使用该 R_{ILIM} 值。

- ***启动期间的过流限制***：在浪涌期间，通过比较每个器件负载电流信息 (V_{ILIM}) 和经调节的基准电压来检测过流情况，如方程式 40 所示。

$$CLREF_{SAT} = \frac{0.7 \times V_{IREF}}{3} \tag{40}$$

启动期间的电流限制阈值可以使用方程式 41 计算。

$$I_{ILIM(Startup)} = \frac{CLREF_{SAT}}{G_{ILIM} \times R_{ILIM}} \tag{41}$$

对每个器件使用 332Ω 的 R_{ILIM} 值，启动电流限制值约为 38A。

备注

在启动期间，有源电流限制块基于 V_{OUT} 采用折返机制。当 V_{OUT} 低于 2V 的折返阈值 (V_{FB}) 时，会进一步降低电流限制阈值。

- **选择 C_{ITIMER} 电容器以设置过流消隐计时器**

必须在 ITIMER 引脚与接地端之间连接一个合适的电容器，以调整允许负载瞬态超过断路器阈值的持续时间。瞬态过流消隐间隔可使用方程式 42 计算得出。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \tag{42}$$

其中 t_{ITIMER} 是瞬态过流消隐计时器，C_{ITIMER} 是连接在主器件的 ITIMER 引脚与 GND 之间的电容器。I_{ITIMER} = 2.05μA 和 ΔV_{ITIMER} = 1.5V。在本设计中，使用容差为 10% 且直流额定电压为 25V 的 22nF 电容器作为主器件的 C_{ITIMER}，这使得 t_{ITIMER} 为 16.5ms。所有辅助器件的 ITIMER 引脚均保持开路。

- **选择电阻器来设置欠压锁定阈值**

欠压锁定 (UVLO) 阈值通过使用连接在器件的 IN、EN/UVLO 和 GND 引脚之间的外部分压器网络 R_1 和 R_2 来调整，如欠压保护一节所述。设置 UVLO 阈值所需的电阻值通过使用方程式 43 计算得出。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \tag{43}$$

Copyright © 2025 Texas Instruments Incorporated

为了尽可能降低从电源汲取的输入电流，TI 建议对 R_1 和 R_2 使用较高的电阻值。R_1 和 R_2 从电源汲取的电流为 $I_{R12} = V_{IN} / (R_1 + R_2)$.但是，由于连接到电阻器串的外部有源元件而产生的漏电流会增加这些计算的误差。因此，电阻串电流 I_{R12} 必须为 EN/UVLO 引脚上漏电流 (I_{ENLKG}) 的 20 倍。根据器件电气规格，I_{ENLKG} 为 0.1μA（最大值），UVLO 上升阈值 $V_{UVLO(R)}$ = 1.2V。根据设计要求，V_{INUVLO} = 10.8V。首先选择 R_1 = 1MΩ 的值，然后使用公式 13 计算 R_2 = 125kΩ。使用最接近的标准 1% 电阻值：R_1 = 1MΩ 和 R_2 = 124kΩ。为了降低噪声，请在 EN/UVLO 引脚和 GND 之间放置一个 1000pF 陶瓷电容器。

- **选择 VIN 和 VDD 之间的 R-C 滤波器**

  VDD 引脚用于通过经过滤波的稳定电源为电子保险丝器件的内部控制电路供电，使之不受系统瞬态的影响。因此，在输入电源（IN 引脚）和 VDD 引脚之间使用 R (10Ω) – C (2.2μF) 滤波器。这有助于滤除电源噪声，并在严重故障（例如输出端短路）期间保持控制器电源。在并联链中，必须为每个器件采用此 R-C 滤波器。

- **为 SWEN、PG 和 $\overline{FLT}$ 引脚选择上拉电阻器和电源**

  $\overline{FLT}$ 和 PG 是开漏输出。如果使用这些逻辑信号，则必须通过 10kΩ 上拉电阻将相应的引脚上拉至合适的电压 (< 5V)。

> **小心**
>
> SWEN 引脚的电压必须通过 100kΩ 电阻上拉至 2.5V 至 5V。该上拉电源必须从电子保险丝的输入端生成，且需在电子保险丝使能前就绪，否则电子保险丝将无法启动。
>
> PG 引脚的电压必须通过 100kΩ 电阻上拉至 2.5V 至 5V。

- **选择输入端的 TVS 二极管和输出端的肖特基二极管**

  如果发生短路或断路器事件，当器件瞬间中断大电流时，输入电感会在输入端产生正电压尖峰，而输出电感会在输出端产生负电压尖峰。这些电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果不采取适当的措施来解决此问题，此类瞬变可能会超过器件的绝对最大额定值，并最终导致因电气过应力 (EOS) 而导致的故障。解决此问题的典型方法包括：

  1. 更大限度减少进出器件的引线长度和电感。
  2. 使用较大的 PCB GND 平面。
  3. 在输入端添加瞬态电压抑制器 (TVS) 二极管来钳制正瞬态尖峰。
  4. 在输出端使用肖特基二极管来吸收负尖峰。

  请参阅*热插拔电路中的 TVS 钳位* 和*在热插拔和 ORing 应用中选择 TVS 二极管* 以了解有关以下详细信息：选择合适的 TVS 二极管以及要并联的 TVS 二极管数量，以有效地将输入端的正瞬态电压钳位在 IN 引脚的绝对最大额定值 (20V) 以下。这些 TVS 二极管还有助于在热插拔事件期间限制 IN 引脚上的瞬态电压。在此设计示例中，并联使用了四 (4) 个 SMDJ12A。

> **备注**
>
> 所选 TVS 二极管在 I_{pp} (10/1000 μs) (V) 时的最大钳位电压 V_C 规范必须低于电源输入 (IN) 引脚的绝对最大额定值，以确保电子保险丝安全工作。

  必须根据以下标准来选择肖特基二极管：

  – 所选二极管的非重复峰值正向浪涌电流 (I_{FSM}) 必须大于快速跳变阈值 (2 × $I_{OCP(TOTAL)}$)。如果单个肖特基二极管无法满足所需的 I_{FSM} 额定值，则必须使用两个或更多个并联的肖特基二极管。方程式 44 可计算出必须并联的肖特基二极管数量 ($N_{Schottky}$)。

$$N_{Schottky} > \frac{2 \times I_{OCP(TOTAL)}}{I_{FSM}} \tag{44}$$

- 接近 I_{FSM} 的正向压降 (V_F) 必须尽可能小。理想情况下，OUT 引脚上的负瞬态电压必须钳制在 OUT 引脚的绝对最大额定值 (–1V) 内。
- 直流阻断电压 (V_{RM}) 必须大于最大输入工作电压。
- 漏电流 (I_R) 必须尽可能小。

在此设计示例中，并联使用了三 (3) 个 SBR10U45SP5。

- **选择 C_{IN} 和 C_{OUT}**

  TI 建议添加陶瓷旁路电容器，以帮助稳定输入端和输出端的电压。C_{IN} 的值必须保持较小，以最大限度地减小热插拔事件期间的电流尖峰。对于每个器件，0.1μF 的 C_{IN} 是合理的目标。由于 C_{OUT} 在热插拔期间不会充电，因此可以在每个器件的 OUT 引脚上使用较大的值（例如 2.2μF）。

Copyright © 2025 Texas Instruments Incorporated

8.2.4 应用曲线

以下所有波形都是在六 (6) 个 TPS25984 电子保险丝并联的评估设置中捕获的。所有上拉电源均来自单独的备用电源轨。

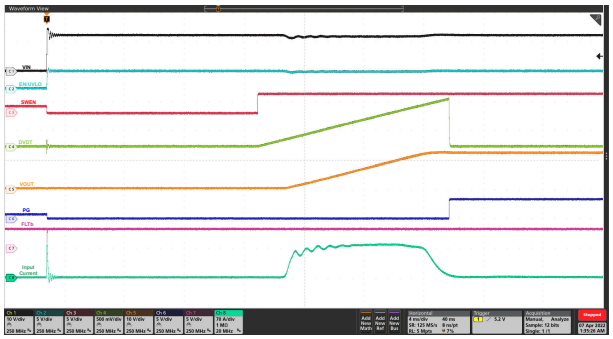


图 8-6. 输入热插拔：V_{IN} 从 0V 阶跃至 12V，C_{LOAD} = 50mF，C_{DVDT} = 33nF，每个器件的 R_{ILIM} = 442Ω

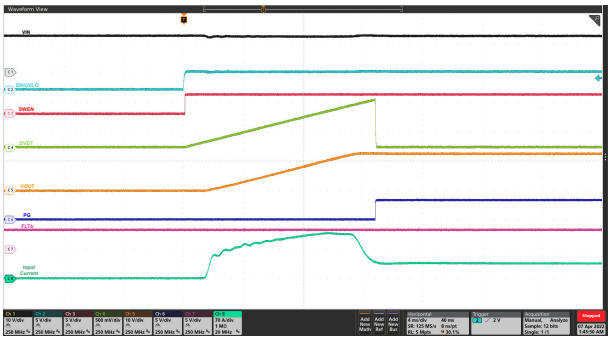


图 8-7. 通过 EN/UVLO 启动：V_{IN} = 12V，EN/UVLO 从 0V 阶跃至 3V，C_{LOAD} = 50mF，$R_{LOAD(Start-up)}$ = 0.48Ω，C_{DVDT} = 33nF，每个器件的 R_{ILIM} = 442Ω

图 8-8. 上电至短路：V_{IN} = 12V，EN/UVLO 从 0V 阶跃至 3V，R_{IREF} = 40.2kΩ，每个器件的 R_{ILIM} = 442Ω，且 OUT 短接至 GND

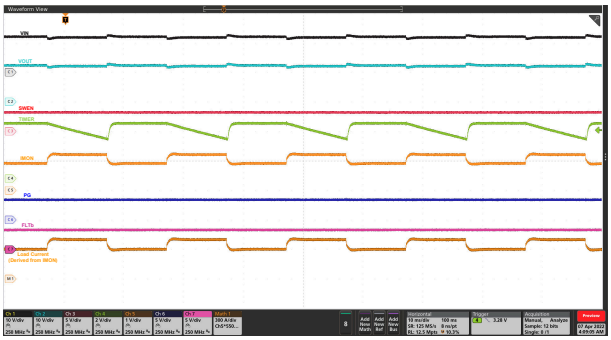


图 8-9. 瞬态过载：V_{IN} = 12V，C_{ITIMER} = 22nF，C_{LOAD} = 50mF，R_{IMON} = 200Ω，R_{IREF} = 40.2kΩ，负载电流在 10ms 内从 250A 升至 300A，然后再降至 250A

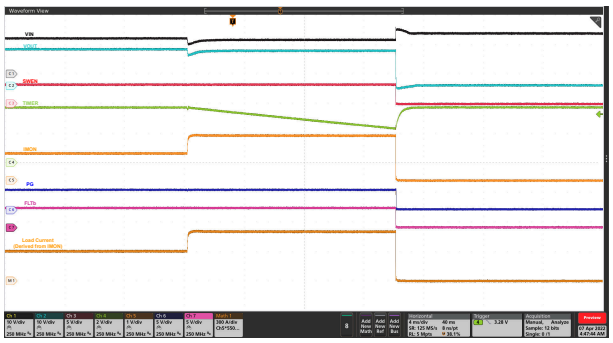


图 8-10. 断路器响应：V_{IN} = 12V，C_{ITIMER} = 22nF，C_{LOAD} = 50mF，R_{IMON} = 200Ω，R_{IREF} = 40.2kΩ，负载电流从 250A 增至 400A，持续时间 > 20ms

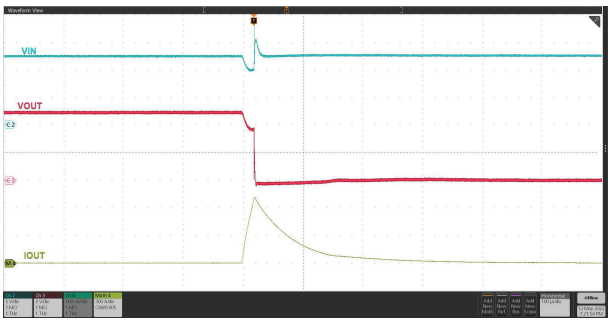


图 8-11. 输出热短接响应：V_{IN} = 12V，R_{IMON} = 200Ω，R_{IREF} = 40.2kΩ，OUT 短接至 GND

图 8-12. 并联两个器件的温升实验（室温、无气流、总直流电流为 100A）

8.3 最佳设计实践

TPS25984x 需要将 SWEN 引脚上拉至电源轨，该电源轨在启用器件之前上电。否则，器件将无法打开输出。SWEN 上拉电源不得来自电子保险丝的输出。使用以下选项之一导出 SWEN 的上拉电源轨。

1. 使用系统中现有的备用电源轨，该电源轨来自主电源输入，并在电子保险丝导通之前提供。
2. 使用从主电源输入供电的 LDO（3.3V 或 5V）。

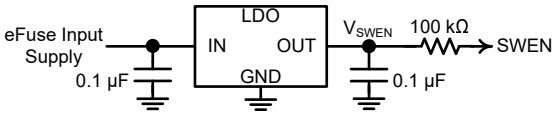


图 8-13. LDO 用作 SWEN 的上拉电源

3. 使用由主电源输入供电的齐纳稳压器。

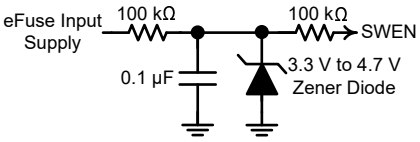


图 8-14. 齐纳稳压器用作 SWEN 的上拉电源

4. 使用主电子保险丝的 ITIMER 引脚。确保 ITIMER 引脚无干扰正常过流消隐计时器功能的过多负载。

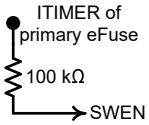


图 8-15. ITIMER 引脚用作 SWEN 的上拉电源

PG 为漏极开路引脚，必须上拉至外部电源。在稳定状态期间，请勿将 PG 引脚悬空或强制从外部将该引脚置于低电平，因为这可能会干扰器件运行。

8.4 电源相关建议

TPS25984x 器件设计为在 IN 和 VDD 引脚上供应 4.5V 至 16V 的电源电压范围。TI 建议在并联链中每个器件的 IN 引脚上使用 0.1 µF 的最小电容，以避免热插拔事件期间发生高压摆率耦合。TI 还建议在并联链中每个器件的输入电源到 VDD 引脚之间使用 R-C 滤波器，以便滤除电源噪声并在发生短路等严重故障时保持控制器电源稳定。

Copyright © 2025 Texas Instruments Incorporated

8.4.1 瞬态保护

如果发生短路或断路器事件，当器件中断电流时，输入电感会在输入端产生正电压尖峰，输出电感会在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决此问题，此类瞬变可能会超过器件的绝对最大额定值。解决瞬变的典型方法包括：

- 更大限度减少进出器件的引线长度和电感。
- 使用较大的 PCB GND 平面。
- 在 OUT 引脚和接地端之间连接一个肖特基二极管来吸收负尖峰。
- 在非常靠近器件的 OUT 引脚上连接一个 2.2 µF 或更大的低 ESR 电容器。
- 在非常靠近器件的 IN 引脚处连接一个 0.1 µF 或更大的陶瓷电容器 C_{IN}，以抑制输入瞬变的上升时间。电容器电压额定值必须至少为输入电源电压的两倍，才能承受电感振铃期间的正电压偏移。

输入电容的近似值可通过方程式 45 进行估算。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \tag{45}$$

其中

V_{IN} 是标称电源电压。

I_{LOAD} 是负载电流。

L_{IN} 等于在源极中观察到的有效电感。

C_{IN} 是输入端存在的电容。

- 某些应用可能需要添加瞬态电压抑制器 (TVS)，以防止瞬变超过器件的绝对最大额定值。在某些情况下，即使瞬变的最大幅度低于器件的绝对最大额定值，TVS 也有助于吸收过多的能量转储，并防止其在 IC 的输入电源引脚上产生非常快速的瞬变电压，这种电压可能会耦合到内部控制电路并导致意外行为。

带有可选保护元件的电路实现如图 8-16 所示。

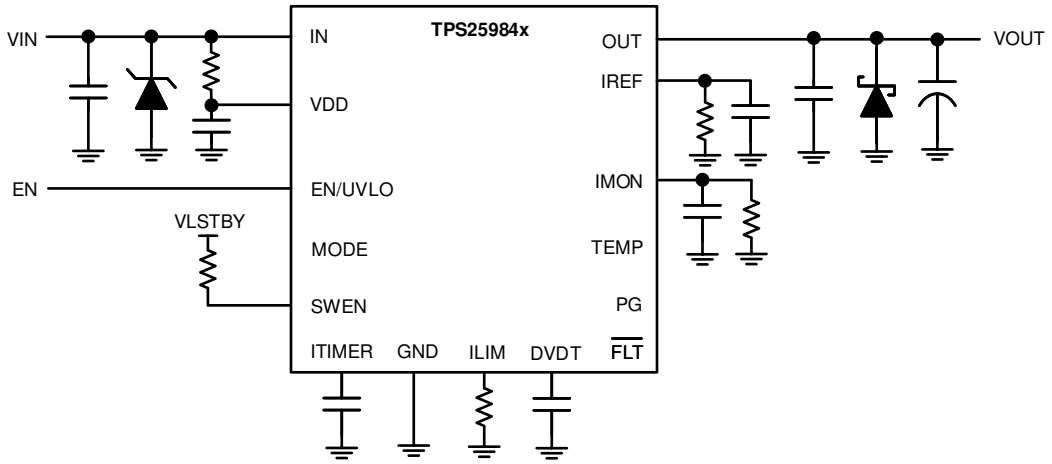


图 8-16. 带有可选保护元件的电路实现

8.4.2 输出短路测量

很难获得可重复和相似的短路测试结果。以下因素会导致结果的变化：

- 源旁路
- 输入引线
- 电路布局
- 组件选择

- 输出短路方法
- 短路的相对位置
- 仪表

实际的短路呈现出一定程度的随机性，因为它在微观上会弹跳和形成电弧。确保使用适当的配置和方法来获得真实的结果。不要期望看到与本数据表中的波形完全相同的波形，因为每个设置都不同。

8.5 布局

8.5.1 布局指南

- 对于所有应用，TI 建议在 IN 引脚和 GND 引脚之间使用 0.1 µF 或更大的陶瓷去耦电容器。
- 对于所有应用，德州仪器 (TI) 建议在 OUT 端子和 GND 端子之间使用 2.2 µF 或更大的陶瓷去耦电容器。
- 去耦电容器的最佳放置位置是紧靠器件的 IN 引脚和 GND 引脚的位置。请务必注意，尽量减小旁路电容器连接和 IC 的 IN 引脚及 GND 引脚所构成的环路区域。如需 PCB 布局示例，请参阅下面的图。
- 高载流电源路径连接必须尽可能短，并且其大小必须能够承载至少两倍的满载电流。
- 必须在 IC 的引脚处将 GND 引脚连接至 PCB 接地平面。PCB 接地必须是电路板上的一个铜层或铜岛。
- IN 和 OUT 引脚用于散热。通过散热过孔连接至尽可能多的铜区域。
- 将以下支持元件放置在靠近其连接引脚的位置：
  - R_{ILIM}
  - R_{IMON}
  - R_{IREF}
  - C_{dVdT}
  - C_{ITIMER}
  - C_{IN}
  - C_{OUT}
  - C_{VDD}
  - 用于 EN/UVLO 引脚的电阻器
- 采用最短的走线将元件另一端连接至器件的 GND 引脚。C_{IN}、C_{OUT}、C_{VDD}、R_{IREF}、R_{ILIM}、R_{IMON}、C_{ITIMER} 和 C_{dVdt} 元件到器件的跟踪布线必须尽可能短，以减少对电流限制、过流消隐间隔和软启动时序的寄生效应。这些走线不得与电路板中的开关信号发生耦合。
- 由于 IMON、ILIM 和 IREF 引脚直接控制器件的过流保护行为，因此这些节点的 PCB 布线必须远离任何噪声（开关）信号。
- TI 建议将 SWEN 引脚上的寄生负载保持在最低水平，以避免出现同步问题。
- 必须将保护器件（如 TVS、缓冲器、电容器或二极管）放置在紧靠其要保护的器件的物理位置。必须使用短迹线为这些保护器件布线以减少电感。例如，TI 建议使用保护肖特基二极管来解决由于电感负载切换而导致的负瞬变，并且它必须位于靠近 OUT 引脚的物理位置。

Copyright © 2025 Texas Instruments Incorporated

8.5.2 布局示例

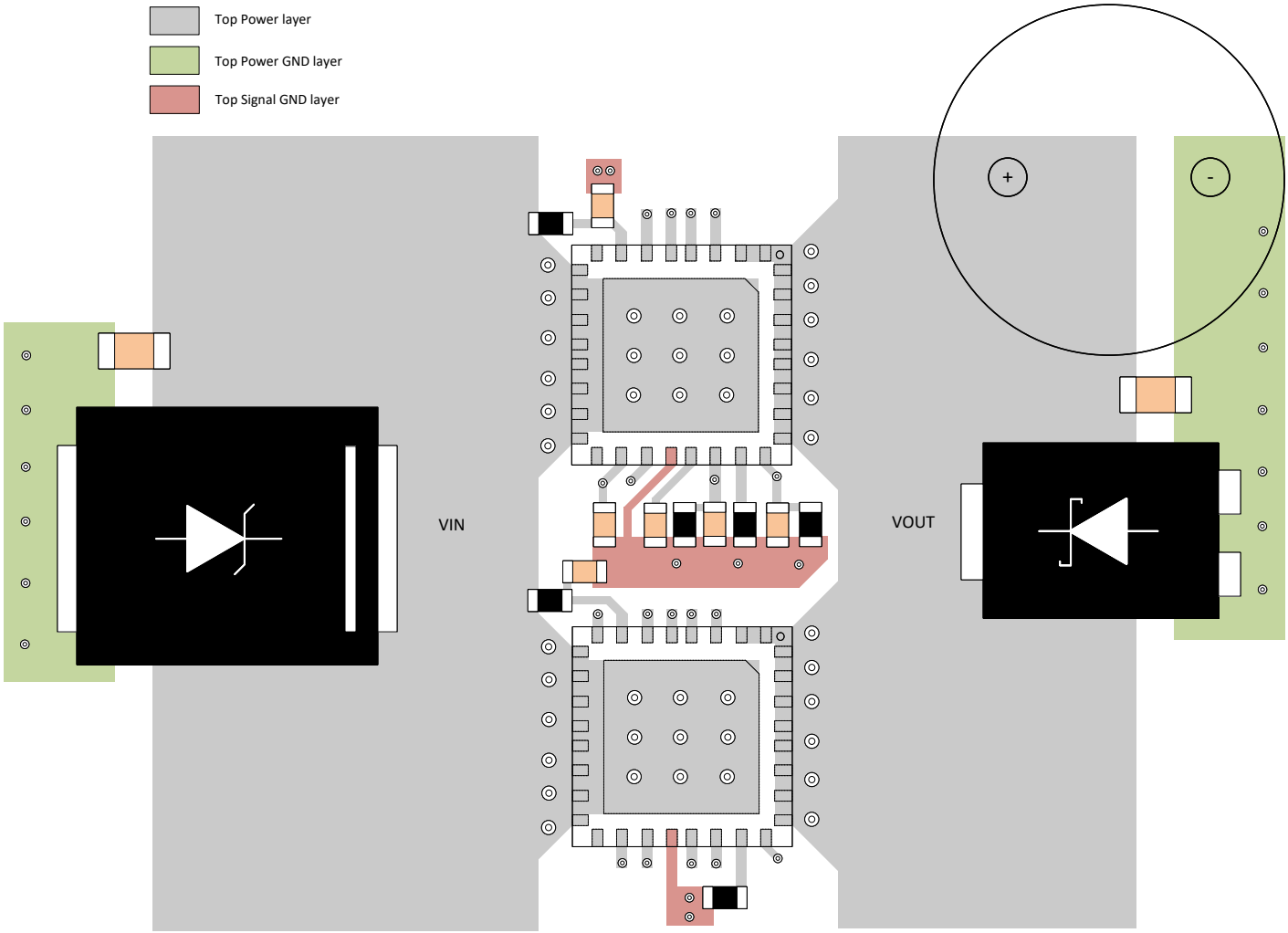


图 8-17. TPS25984x 两个并联器件布局示例

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TPS25984EVM 电子保险丝评估板用户指南*
- 德州仪器 (TI)，*TPS25984x 设计计算器*

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

PROCHOT™ and Intel PSYS™ are trademarks of Intel.
TI E2E™ is a trademark of Texas Instruments.
Intel® is a registered trademark of Intel.
is a registered trademark of intel.
PMBus® is a registered trademark of SMIF.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (October 2023) to Revision B (April 2025)	Page
• R_{ON}（室温）从：0.87mΩ（最大值）至：*电气特性*表中的 1.13mΩ（最大值）	6
• R_{ON}（整个温度范围内）从：1.16mΩ（最大值）至：*电气特性*表中的 1.5mΩ（最大值）	6
• $R_{ON(ACS)}$ 从：1.12mΩ（最大值）至：*电气特性*表中的 1.8mΩ（最大值）	6
• $R_{ON(GHI)}$ 从：1.4mΩ（最大值）至：*电气特性*表中的 1.8mΩ（最大值）	6

Changes from Revision * (July 2023) to Revision A (October 2023)	Page
• 首次公开发布数据表	1

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259840RZJR	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259840
TPS259840RZJR.A	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259840
TPS259840RZJR.B	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259840
TPS259841RZJR	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259841
TPS259841RZJR.A	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259841
TPS259841RZJR.B	Active	Production	WQFN-FCRLF (RZJ) | 32	3000 | LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259841

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

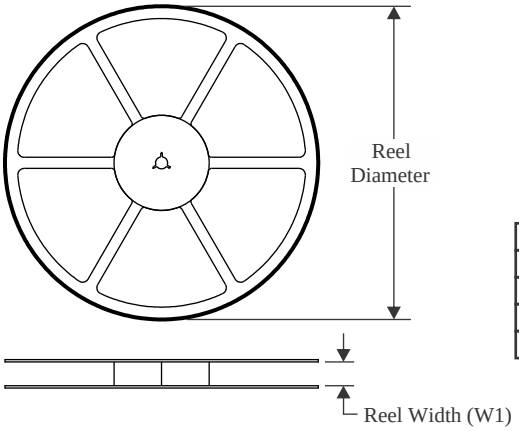
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

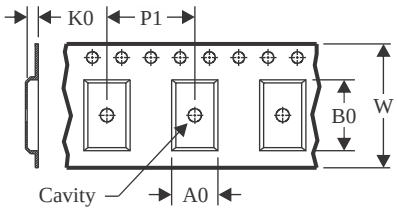
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

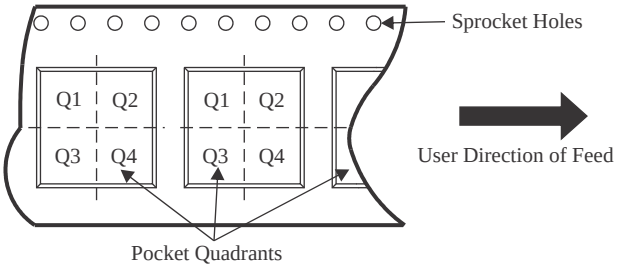


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

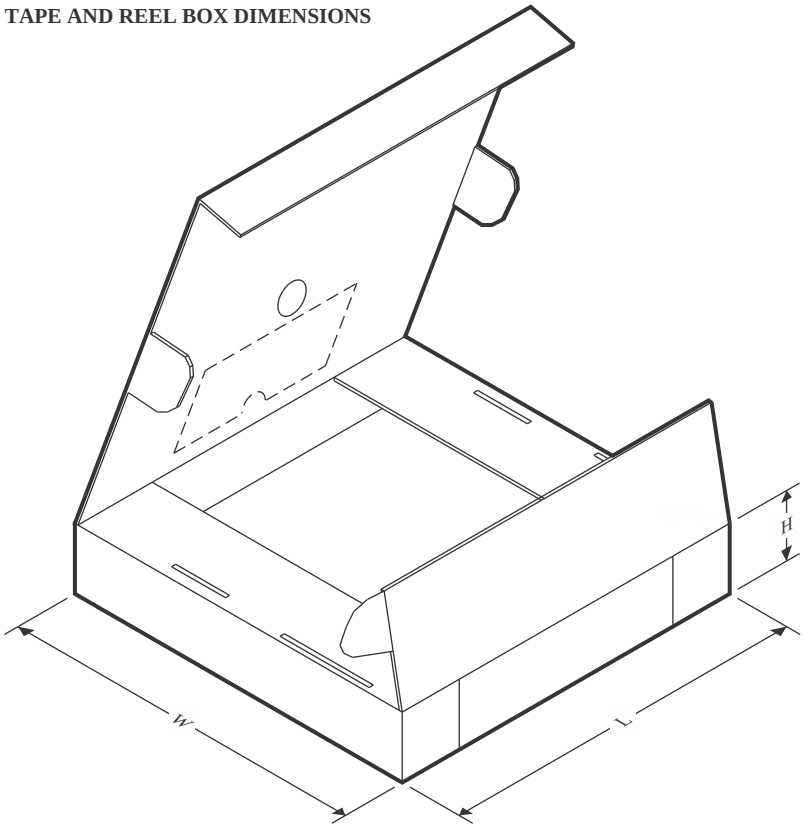
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

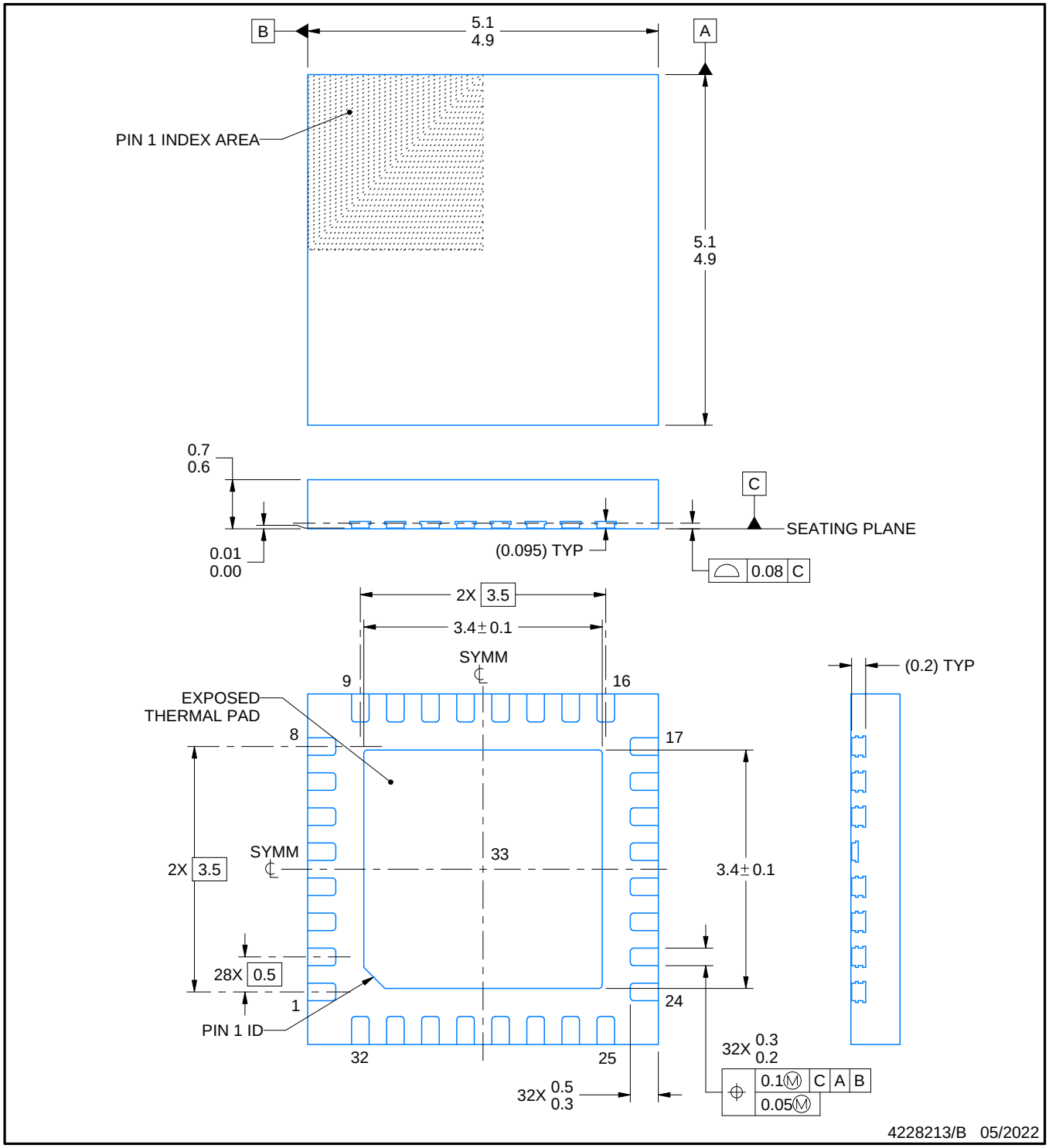
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259840RZJR	WQFN-FCRLF	RZJ	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS259841RZJR	WQFN-FCRLF	RZJ	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



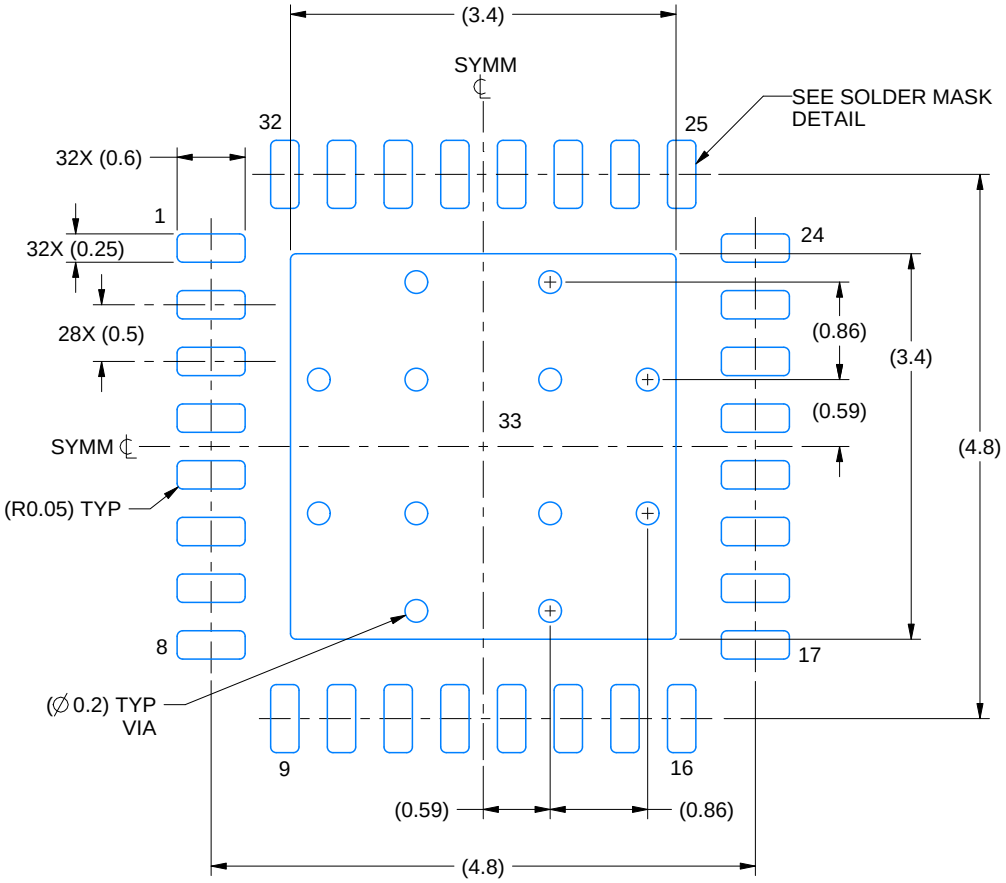
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259840RZJR	WQFN-FCRLF	RZJ	32	3000	346.0	346.0	33.0
TPS259841RZJR	WQFN-FCRLF	RZJ	32	3000	367.0	367.0	35.0

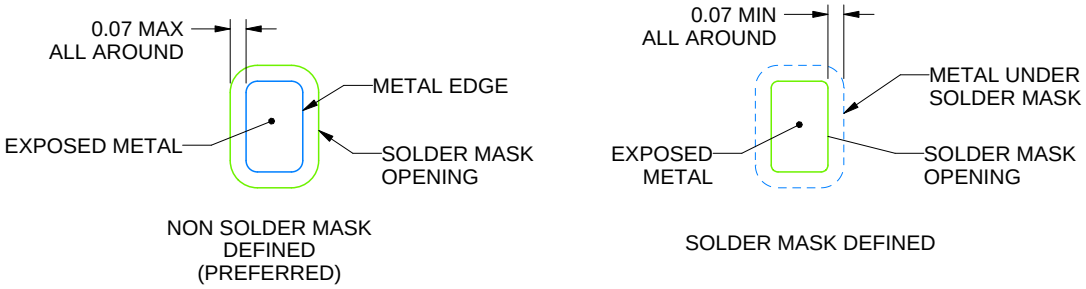


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

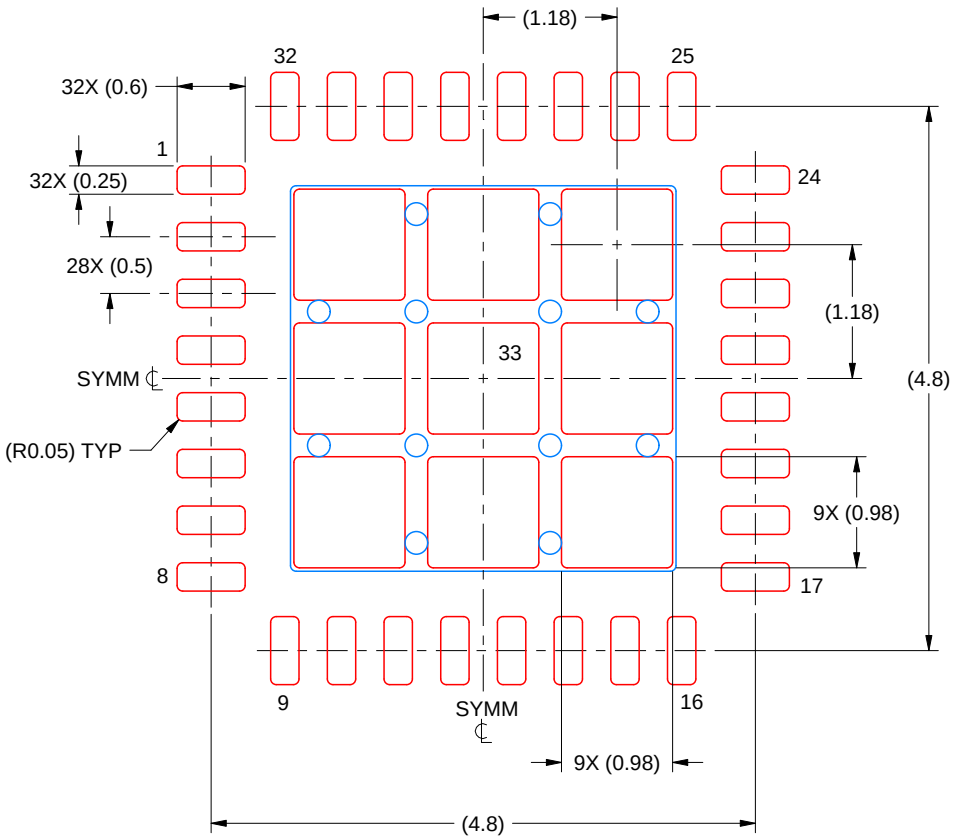


SOLDER MASK DETAILS

4228213/B 05/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



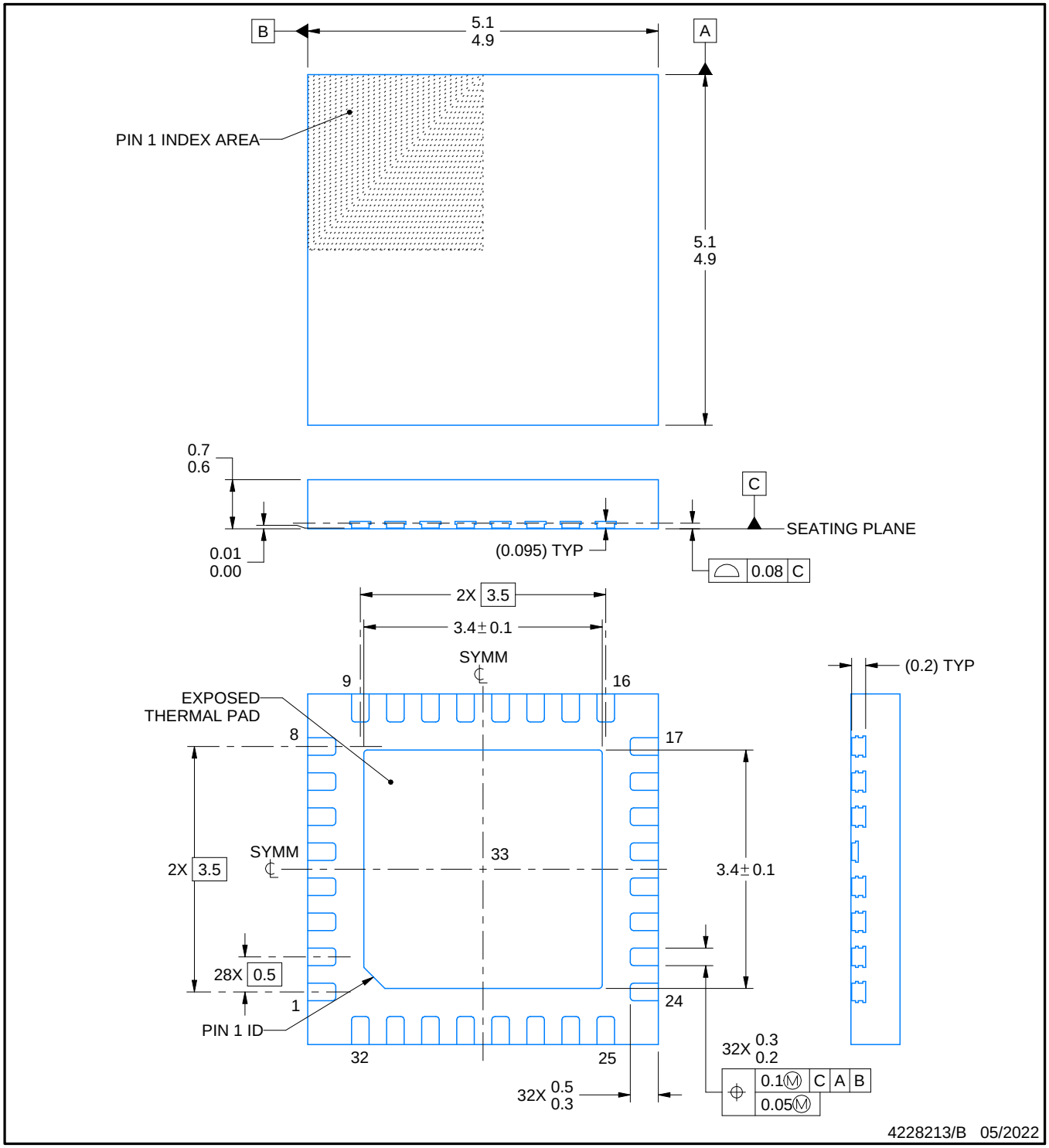
SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 33
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4228213/B 05/2022

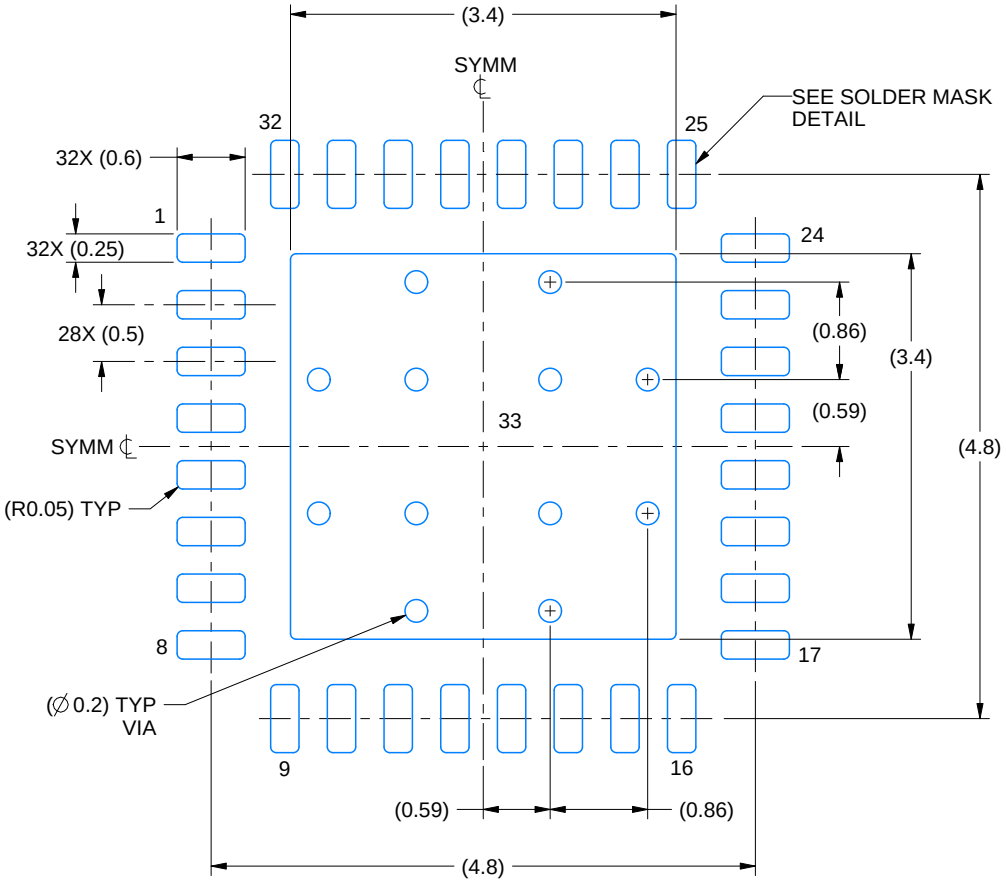
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

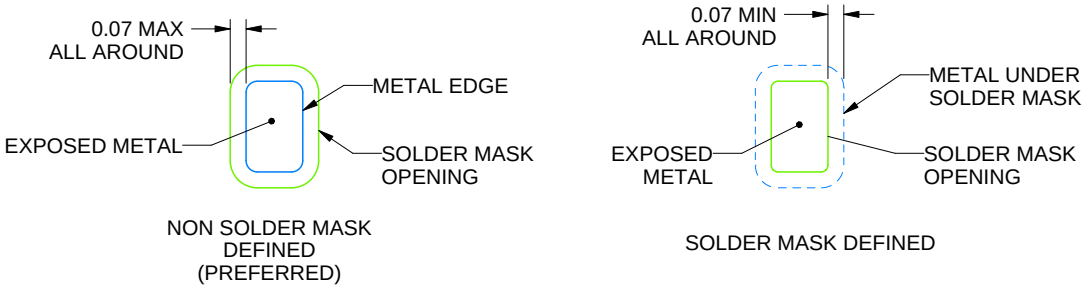


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

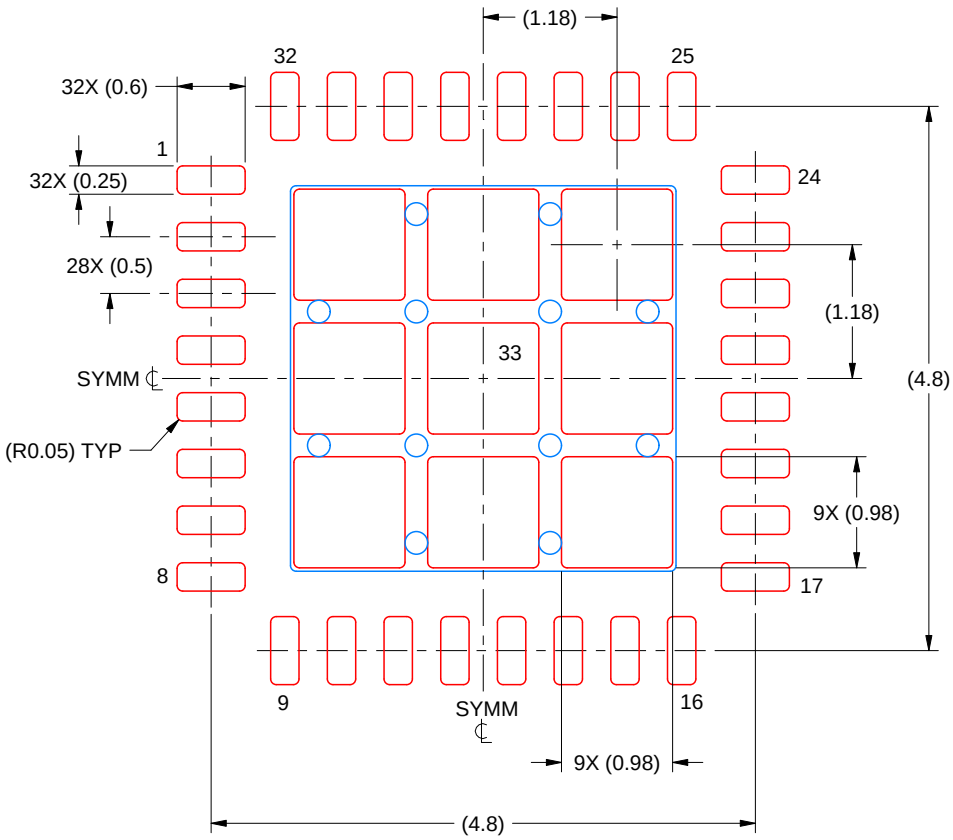


SOLDER MASK DETAILS

4228213/B 05/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 33
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4228213/B 05/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司