



集成 100V IEEE 802.3af PD 和 DC/DC 控制器

特性

- 完整的 802.3af PoE 接口
 - 源自 TPS2375 的特性
 - 100V、0.6Ω 内部传递 MOSFET
 - 标准和传统 UVLO 选择
 - 固定 140mA 浪涌电流限制
- 初级侧 DC/DC 转换器控制
 - 最少外部组件数
 - 电流模式控制
 - 隔离和非隔离拓扑
 - 可编程工作频率
 - 电流感应上升边沿消隐
 - 50% 占空比限制
 - 电压输出误差信号放大器
- 内部 PoE 和转换器定序
- 行业标准 20 引脚封装
- 工业温度范围：-40°C 至 85°C

应用

- 所有的 PoE PD 器件包括：
 - 无线接入点设备
 - VoIP 电话
 - 监控摄像机

说明

TPS23750 将 TPS2375 的功能与初级侧 DC/DC PWM 控制器相集成。

只需连接最少的外部组件，设计人员就可为 PoE-PD 应用创建一个前端解决方案。

除了欠压锁定启动电压（可与传统系统兼容）外，TPS23770 和 TPS23750 具有相同功能。

PoE 前端具有所需的所有 IEEE 802.3af 功能，包括检测、分级、欠压锁定和浪涌电流控制。PoE 输入开关集成在 TPS23750 内。

DC/DC

外部开关 MOSFET

具有完整特性的 DC/DC

同时还为强大可靠的设计提供了附加的保护特性。

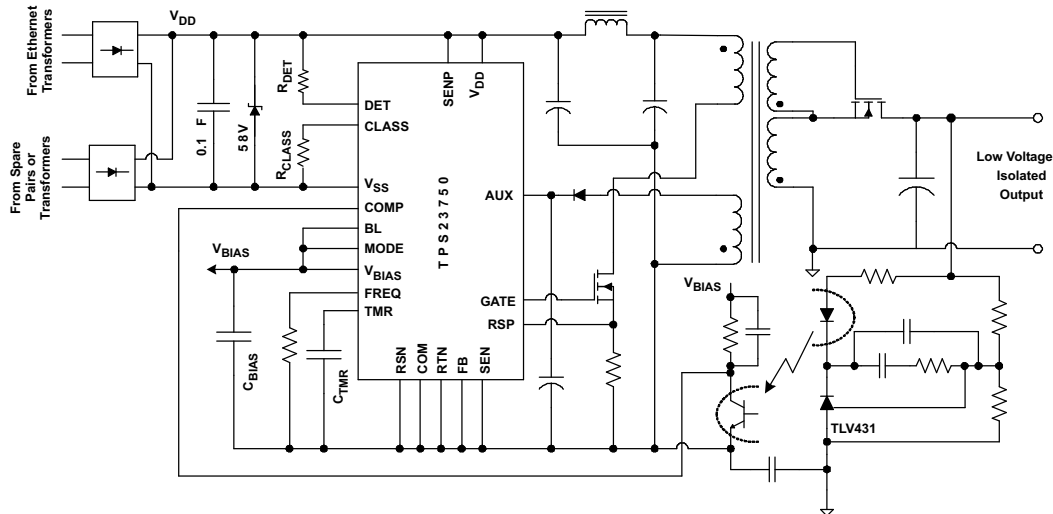


Figure 1. 典型应用



ESD 会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。



50%Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PowerPAD is a trademark of Texas Instruments.

订购信息⁽¹⁾

T _A	UVLO 阈值			封装 ⁽²⁾	标记
	类型	低	高	TSSOP-20 PowerPAD™	
–40°C 至 85°C	标准	30.5V	39.3V	TPS23750PWP	TPS23750
	传统	30.5V	35.1V	TPS23770PWP	TPS23770

(1) 在管状或卷状包装类型的器件后添加一个 R 后缀。

(2) 有关最新的封装和订购信息，请参阅本文档结尾的“封装选项附录”，或访问 TI 网站：www.ti.com。

最大绝对额定值

除非特别说明，工作温度一般为自由大气温度范围并且参考 V_{SS}⁽¹⁾

		单位
输入电压范围 ⁽²⁾	RSN, COM, RTN, SEN	–0.7V 至 100V
输入电压范围	AUX, VDD, DET, SENP	–3V 至 100V
输入电压范围 ⁽³⁾	[V _{BIAS} , BL, TMR, FB, COMP, FREQ, RSP, MODE] 至 RTN	–0.3V 至 6.5V
输入电压范围	[GATE 或 AUX] 至 COM	–0.3V 至 20V
输入电压范围	[RSN 至 RTN] 和 [COM 至 RTN]	–0.3V 至 0.3V
	SENP 至 SEN	–0.3V 至 100V
输入电压范围 ⁽³⁾	CLASS	–0.3V 至 12V
输入驱动电流	AUX	内部限制
V _{BIAS} 输入驱动电流		内部限制
输入驱动电流或吸入电流, COMP		内部限制
平均输入驱动电流或吸入电流, GATE		25mA _{rms}
HBM ESD 额定电压		2kV
ESD – RJ-45 上的系统级 (接触/空气) ⁽⁴⁾		8kV/15kV
持续总功耗		请参阅额定功耗表
T _J 最大工作结温		内部限制
T _{stg} 存储温度范围		–65°C 至 150°C
	从距离外壳 1.6mm (1/16 英寸) 处并且测量时间超过 10 秒的焊接温度	260°C

(1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。

这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作，在此并未说明。长时间处于最大绝对额定情况下会影响设备的可靠性。

(2) 在 V_{RTN} > 80V 时，I_{RTN} = 0。电压为 80V 时，最大 I_{RTN} = 500mA。

(3) 不要为 CLASS、DET、GATE、FREQ、V_{BIAS} 和 TMR 提供外部电压源。

(4) 根据 EN61000-4-2, 1999，在无器件故障的情况下，电涌应用于图 Figure 40 所示的 RJ-45 上的各个引脚间以及引脚与输出电压轨间。

建议的操作条件⁽¹⁾⁽²⁾

除非特别说明，否则所有电压值都参考 V_{SS} 。

			最小值	正常值	最大值	单位
V_{DD}	输入电压范围 ⁽³⁾	COM, SEN, SENP	0		67	V
	输入电压范围	FB, COMP, MODE, BL	0		V_{BIAS}	V
		AUX 至 COM	0		16	
		RSP 至 RSN	0		1	
	输入驱动电流	AUX	0		2	mA
		V_{BIAS}	0		2	
		COMP	0		2	
Q_G	GATE 负载				20	nC
	AUX 负载电容		0.8		25	μ F
	V_{BIAS} 负载电容		0.08		1.5	μ F
	R_{FREQ}		30		300	k Ω
T_J	工作结温范围		-40		125	$^{\circ}$ C
T_A	工作环境温度范围		-40		85	$^{\circ}$ C

(1) RSN、COM 和 RTN 应连在一起。SENP 除了在降压配置时必须与输出正轨连在一起外，其它情况下应该与 V_{DD} 连在一起。

(2) 不能从外部驱动 TMR、FREQ、CLASS、DET、 V_{BIAS} 和 GATE。

(3) 结温是高偏置功率设计的一个制约因素。

额定功耗表

封装	θ_{JP} $^{\circ}$ C/W ⁽¹⁾	θ_{JC} $^{\circ}$ C/W	θ_{JA} $^{\circ}$ C/W ⁽²⁾	θ_{JA} $^{\circ}$ C/W ⁽³⁾	θ_{JA} $^{\circ}$ C/W ⁽⁴⁾	最大额定功率 (W) ⁽⁵⁾
PWP (TSSOP-20)	1.4	26.62	32.6	151.9	73.8	1.2

(1) 连接至焊盘的热阻。

(2) 有关推荐的布局，请参阅 TI 文档 [SLMA002](#)。这是最佳情况，气流量为零。

(3) JEDEC 方法具有低介电常数 (low-k) 板 (2 个信号层) 和未焊接的电源盘 (最差情况)。

(4) JEDEC 方法具有高介电常数 (high-k) 板 (4 层, 2 层为信号层, 2 层为平面层) 和未焊接的电源盘。

(5) 采用 TI 建议的布局以及 85 $^{\circ}$ C 的工作环境。

电子特性

特性条件为： $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$; $V_{DD} - V_{SS} = 48\text{ V}$ 。 V_{DD} , CLASS 和 DET 参考

V_{SS} , 除非特别说明, 其它所有引脚电压参考一起短路的 RSN、COM 和 RTN。

SEN=MODE=BL=RSP=RTN, $\text{FB} = V_{\text{BIAS}}$, $\text{SEN} = V_{\text{DD}}$, $C_{\text{TMR}} = 1000\text{pF}$, $C_{\text{VBIAS}} = 0.1\mu\text{F}$, $C_{\text{VAUX}} = 0.1\mu\text{F}$, $R_{\text{FREQ}} = 150\text{k}\Omega$, $R_{\text{DET}} = 24.9\text{k}\Omega$, $R_{\text{CLASS}} = 255\ \Omega$, GATE 未加载, 除非特别说明, 否则 V_{BIAS} 和 AUX 不具有外部负载。

DC/DC 控制器部分

仅在本部分中, $\text{RTN} = V_{\text{SS}}$ 。

参数		测试条件	典型值			单位
偏置电源 (VBIAS)						
V _{BIAS}	输出电压	0 ≤ I _{LOAD} ≤ 5mA	4.60	5.1	5.5	V
AUX 电源 (AUX)						
V _{AUX}	电源输出电压	18V ≤ V _{VDD - COM} ≤ 57V, 0mA ≤ I _{AUX} ≤ 10mA	9	10	11	V
	电流限制	V _{AUX} = 0V	12	23.5	28	mA
振荡器 (FREQ)						
D _{MAX}	最大占空比	R _{FREQ} = 30kΩ, V _{COMP} = 3.9V, MODE = V _{BIAS} , 在 50% 上升至 50% 下降时测量 GATE 电压	48.8	49.2	49.5	%
f _{OSC}	振荡器频率	MODE = V _{BIAS} , V _{COMP} = 3V, 在 GATE 处测量				kHz
		R _{FREQ} = 30kΩ	435	487	565	
		R _{FREQ} = 150kΩ	90	100	110	
误差信号放大器 (FB, COMP)						
	COMP 输出驱动电流	0 ≤ V _{COMP} ≤ 4V, FB = RTN, V _{TMR} = 2.5V	2.5			mA
	COMP 吸入电流	1.2V ≤ V _{COMP} ≤ V _{BIAS} , V _{TMR} = 2.5V	2.4			mA
V _{REF}	FB 调整电压	V _{COMP} = 2.5V, V _{TMR} = 2.5V	1.47	1.50	1.53	V
	开放式环路电压增益	1.2V ≤ V _{COMP} ≤ 4V, V _{TMR} = 2.5V	80			dB
	小信号单位增益带宽	V _{COMP} = 2.5V, V _{TMR} = 2.5V	1.5	2		MHz
	COMP 输入电阻	MODE = V _{BIAS} , 1.1 ≤ V _{COMP} ≤ 4.4, V _{TMR} = 2.5V	70	100	130	kΩ
	FB 漏电 (输出驱动或吸入)	0 ≤ V _{FB} ≤ V _{BIAS} , V _{TMR} = 2.5V			1	μA
软启动定时器 (TMR)						
	输出驱动电流	TMR 充电, 低阈值与钳位电压间的 V _{TMR}	38	50	62	μA
	输出驱动/吸入电流比		9	10	11	-
	关于占空比	MODE = V _{BIAS} , V _{COMP} = 4.4V, 第二周期及后面的周期	8	9.1	10	%
电流感应 (RSP, RSN, BL)						
	电流限制阈值	MODE = V _{BIAS} , V _{COMP} = 4.2V, V _{TMR} = 2.5V, 增加 V _{RSP-RSN} 直到占空比从 50% 变为最小值	0.46	0.5	0.54	V
	故障电流阈值	MODE = V _{BIAS} , V _{COMP} = 4.2V, V _{TMR} = 2.5V, 增加 V _{RSP-RSN} 直至无闸极脉冲出现	0.70	0.765	0.83	V
t _{BLNK}	电流限制延迟	V _{RSP} - RSN = 0.6V, V _{AUX} = 12V, MODE = V _{BIAS} , V _{COMP} = 4.2V, V _{TMR} = 2.5V。测量 50% 的 V _{GATE} ↑ 至 50% 的 V _{GATE} ↓				ns
		最小传播延迟时间, BL 浮点	40	60	90	
		消隐期间 (大于最小值时的脉冲宽度), 连接至 RSN 的 BL	45	70	95	
		消隐期间 (大于最小值时的脉冲宽度), 连接至 V _{BIAS} 的 BL	70	105	140	
	RSP 电流	FREQ = V _{BIAS} , MODE = V _{BIAS} , V _{COMP} = 4V, V _{RSP-RSN} = 0.4V, I _{RSP} 输出驱动电流	2.5	4	8	μA
闸极驱动器 (闸极)						
	输出电压摆幅	5mA 输出驱动, V _{AUX} = 12V	11.9			V
		5mA 吸入电流, V _{AUX} = 12V		0.05		
	峰值输出驱动电流	V _{AUX} = 12V, 脉冲测试	0.33	0.58	0.8	A
	峰值吸入电流	V _{AUX} = 12V, TMR = RSN 时进行 AC 测试或脉冲测试	0.7	1.0	1.3	A
电压转换器 (SEN, SENP)						
	(SENP - SEN) 调整电压	V _{TMR} = 2.5V, 使用包含误差信号放大器的伺服环路进行测量	1.456	1.492	1.526	V
	转换器输出电阻	V _{SENP-SEN} = 1.5V, TMR = RSN, I _{FB} = 0μA 和 10μA, R _{FB} = ΔV _{FB} / ΔI _{FB}	11.25	15	18.75	kΩ

DC/DC 控制器部分 (continued)

仅在本部分中， $RTN = V_{SS}$ 。

参数	测试条件	典型值			单位
SEN 吸入电流	$V_{SEN\text{-}SEN} = 1.50V$, $V_{TMR} = RSN$	1			μA
SENP 吸入电流	$V_{SEN\text{-}SEN} = 1.50V$, $V_{TMR} = RSN$	17	22.5	28	μA

PoE 部分

参数		测试条件		典型值			单位	
检测 (DET)								
偏移电流		DET 开路, $V_{DD} = V_{RTN} = 1.9V$, 测量 $I_{VDD} + I_{RTN} + I_{SENP}$			0.45	4	μA	
休眠电流		DET 开路, $V_{DD} = V_{RTN} = 10.1V$, 测量 $I_{VDD} + I_{RTN} + I_{SENP}$			5.6	12	μA	
DET 漏电流		$V_{DET} = V_{DD} = 57V$, 测量 I_{DET}			0.3	5	μA	
检测电流		RTN = V_{DD} , 测量 $I_{VDD} + I_{RTN} + I_{DET} + I_{SENP}$	$V_{DD} = 1.4V$	51.5	55	58.7	μA	
			$V_{DD} = 10.1V$	395	411	417		
分级 (CLASS)								
I_{CLASS} 分级电流		RTN = V_{DD} , 测量 $I_{VDD} + I_{RTN} + I_{DET} + I_{SENP}$			2.2	2.5	2.8	mA
		$R_{CLASS} = 4420\ \Omega$, $13 \leq V_{DD} \leq 21V$						
		$R_{CLASS} = 953\ \Omega$, $13 \leq V_{DD} \leq 21V$						
		$R_{CLASS} = 549\ \Omega$, $13 \leq V_{DD} \leq 21V$						
		$R_{CLASS} = 357\ \Omega$, $13 \leq V_{DD} \leq 21V$						
		$R_{CLASS} = 255\ \Omega$, $13 \leq V_{DD} \leq 21V$						
V_{CL_ON}	分级阈值下限	打开稳压器, V_{DD} 上升			10.2	11.3	13.0	V
V_{CL_H}		滞后			1	1.75	3	
V_{CU_OFF}	分级阈值上限	关闭稳压器, V_{DD} 上升			21	21.9	23	V
V_{CU_H}		滞后			0.5	0.83	1	
导通器件 (RTN)								
电阻		$I_{RTN} = 300mA$			0.60	1	Ω	
电流限制		$V_{RTN} = 1V$			405	450	515	mA
I_{INR}	浪涌电流限制	$V_{RTN} = 1.6V$			100	140	180	mA
控制								
浪涌电流状态终止		I_{RTN} 从 I_{INR} 下降, I_{RTN}/I_{INR}			0.85	1.00		
UVLO								
V_{UVLO_R}	标准 UVLO 阈值	V_{DD} 上升, 监视 I_{RTN}			38.4	39.3	40.4	V
V_{UVLO_F}		V_{DD} 下降, 监视 I_{RTN}			29.6	30.5	31.5	
		滞后			8.3	8.8	9.1	
V_{UVLO_R}	传统 UVLO 阈值	V_{DD} 上升, 监视 I_{RTN}			34.1	35.1	36.0	V
V_{UVLO_F}		V_{DD} 下降, 监视 I_{RTN}			29.7	30.5	31.4	
		滞后			4.3	4.5	4.8	

电子特性 – 综合

参数		测试条件	典型值	最大值	单位
偏置电流					
I_{VDDQ}	静态电流		1	1.3	mA
	工作电流	COMP = FB	1.1	1.4	mA
		COMP = FB , $R_{FREQ} = 30k\Omega$	1.3	1.75	
	关闭状态电流	RTN = COM = RSN = V_{DD} , $V_{DD} = 33V$	0.18	0.5	mA
热断电					
	断电温度	温度上升	140		° C
	滞后		17		° C

器件信息

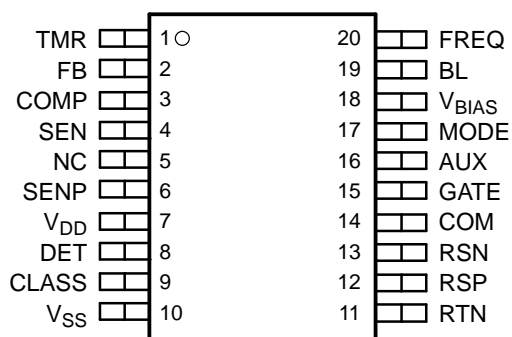
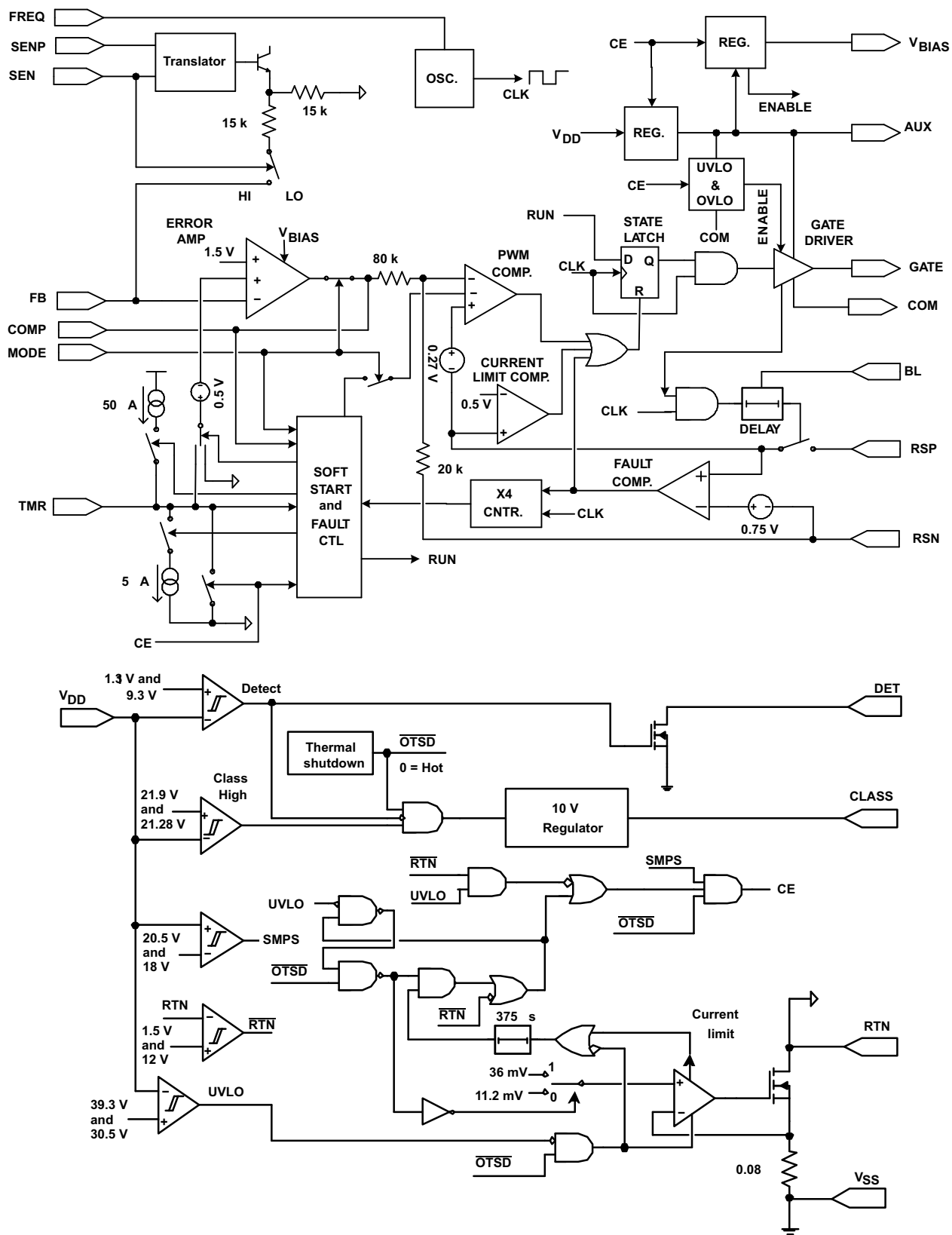


Figure 2. 引脚

终端功能

终端		I/O	说明
名称	编号		
TMR	1	O	多功能引脚，用作转换器的软启动和自动切断与恢复定时器。连接至 RTN 的电容器决定软启动和自动切断与恢复定时。
FB	2	I	转换器误差信号放大器反向输入。不使用时与 RTN 连在一起。
COMP	3	I/O	转换器误差信号放大器输出和 PWM 块输入。通过连接外部误差信号放大器和光电绝缘器，COMP 可用于环路补偿或 PWM 控制。
SEN	4	I	电压电平转换器的感应输入和启用；连接至 RTN 便可禁用。使用转换器时，SEN 由控制环路调节至低于 SENP 1.5V。一般用于低侧开关降压转换器。
NC	5	-	无连接。无内部连接。
SENP	6	I	电压电平转换器的正极参考电压（感应正极）可与 SEN 一起使用。使用转换器时绑至已调节电压正轨，其它情况下连至 V _{DD} 。
V _{DD}	7	PWR	正电源输入。
DET	8	O	PoE 检测引脚；为 V _{DD} 连接一个 24.9kΩ 的电阻可以建立一个有效标记。检测过程中与 V _{SS} 相连。
CLASS	9	O	PoE 分级引脚。为 V _{SS} 连接一个电阻可以设置 PoE 器件分级。分级过程中将该引脚驱动至 10V。
V _{SS}	10	PWR	PoE 馈电的负电源输入（要求 ORing 电桥之后）。
RTN	11	I	开关 PoE 负输出。RTN 是转换器的负输入轨。COM 和 RSN 需要与 RTN 连在一起。
RSP	12	I	连接至转换器开关 MOSFET 电流感应电阻（电流感应电阻器正极端）。
RSN	13	I	转换器开关 MOSFET 电流感应参考（电流感应电阻器负极端）和稳定模拟返回（接地）连接至 RTN。
COM	14	I	转换器 MOSFET 栅极驱动器电路返回。连接至 RTN。
GATE	15	O	转换器开关 MOSFET 栅极驱动。
AUX	16	I/O	转换器栅极驱动器电源；输出 10V，并可以接收高达 16V 的输入。连接一个旁路电容器至 COM。
MODE	17	I	连接至 V _{BIAS} 以禁用误差信号放大器，否则连接至 RTN。
V _{BIAS}	18	O	转换器内部 5V 偏置电源输出，也用于偏置外部光学耦合器。需要一个连接至 RTN 的旁路电容器。
BL	19	I	转换器电流感应消隐选择器。让浮点的消隐最小化，将 BL 与 RTN 在短时间内连在一起，而与 V _{BIAS} 长时间连在一起。
FREQ	20	I	将电阻连接至 RTN 以设置开关频率。
PowerPAD	-	PWR	从内部连接至 V _{SS} ；用于为连接至电路板线迹的部分散热。必须连接至 V _{SS} 引脚。

结构图



详细说明

AUX – 此引脚是内部 10V 转换器偏置稳压器、闸极驱动器电源以及 5V 稳压器之间的汇接点，它为余下的转换器控制电路供电。

在转换器正常工作过程中，对此引脚应用电压可以提高效率并降低 TPS23750 的温度上升。一个大约 8 V 的 UVLO 用于监控 $V_{AUX-COM}$ ，以防止工作时偏置不足或较弱。当使用偏置绕线并且 V_{AUX} 上升至高于 17.5V 时，一个转换器过压锁定就可以保护 IC。

必须将至少 0.8 μ F 的低 ESR 旁路电容连接在 AUX 和 COM 之间。

BL – 此引脚会选择所需的消隐操作。消隐功能可以防止感应的 MOSFET 电流在 GATE 转换为高电平之后的一段预定期间内使 PWM 和电流限制比较器跳闸。

从而防止比较器被外部电源整流器中的闸极驱动电流和恢复电流错误地触发。

恢复电流会受拓扑、器件选择和器件寄生的强烈影响。BL

引脚断开时获得的最小延迟时间是由电流限制比较器、逻辑和闸极驱动器造成的。

以下显示了两个预设的延迟选择。使 BL 处于断开状态并使用 RC 滤波器可以获得较短的延迟时间。

Table 1. BL 连接

BL 连接	消隐操作
断开	无 (最小电流感应回路延迟)
RSN	最小值再加 70ns
V_{BIAS}	最小值再加 105ns

CLASS – 分级是通过在 CLASS 和 V_{SS} 之间连接外置电阻器 R_{CLASS} 的方法实现的一个 PoE 功能。从 V_{DD} 通过的电流将流经 R_{CLASS} ，产生介于 13V 和 21V 之间的输入电压。分级允许 PD 指明如下表 Table 2 所示的 PSE 的所需平均功率要求。

Table 2. 分级

分级	PD 功率 (W)	R_{CLASS} (Ω)	802.3af CLASS 电流限制 (mA)	附注
0	0.44 – 12.95	4420 \pm 1%	0 – 4	缺省分级
1	0.44 – 3.84	953 \pm 1%	9 – 12	
2	3.84 – 6.49	549 \pm 1%	17 – 20	
3	6.49 – 12.95	357 \pm 1%	26 – 30	
4	保留	255 \pm 1%	36 – 44	处理方法与分级 0 相同

将大约 10V 的电压应用到 CLASS 电阻上，最多持续 75ms。电阻的额定功率基于且仅基于此瞬态情况。

CLASS 引脚一定不能接地。移除电源后，建议的 CLASS 0 电阻器用作围绕 TPS23750 连接的电容的一个分压器。

COM – 开关稳压器闸极驱动器返回。此信号在内部不经过 RTN 和 RSN，以使噪声耦合最小化，但在电路板上始终需要连接至 RSN 和 RTN。

COMP – TPS23750 是一个传统的电流模式控制器。COMP

引脚代表电压控制环路的'误差信号放大器输出和电流控制环路的'参考输入之间的汇接点。

此名称指的是环路补偿组件的传统连接，这些组件连接在 COMP 和 FB 之间。

MODE 可以改变 COMP 的功能。如果将 MODE 连至 RTN，则会启用内部误差信号放大器。如果将 MODE 连至 V_{BIAS} ，则内部放大器会从 COMP 断开，以将一个光学耦合器直接接入 PWM 比较器电路中。

处于此模式时，COMP 引脚只可以在 RTN 和 V_{BIAS} 之间驱动。禁用放大器时，请将 FB 连至 RTN。

电流模式控制范围包含介于 1.35V 和刚刚低于 4V 之间的 COMP 电压。COMP 电压低于 1.35V

时，将禁止转换器开关。COMP 电压高于 4.1V 时，TMR 电路开始自动切断与恢复操作。

使用内部误差信号放大器时，在自动切断与恢复周期的切断期间内 COMP 会被迫处于低电压。

内部误差信号放大器处于工作状态时，COMP 输出不能过载。

此放大器可以输出驱动和吸入大量电流，从而极大增加功耗。使用内部误差信号放大器时，TMR

被拉至低电压状态以关闭转换器。COMP 在下降至低于其饱和低电压时，根据 AB

类放大器阶段的特性，误差信号放大器将会释放电流。

DET – 在 DET 和 V_{DD} 之间连接一个 $24.9k\Omega$, $\pm 1\%$ 的电阻 (R_{DET})。当 V_{DD} 处于 1.4V 和 10.1V 之间时, R_{DET} 和输入线路相连接, 而当该线路电压超过 12V 时它会被断开以保护电源。可以对 R_{DET} 进行调节以补偿输入二极管的特性。

FB – 这是内部 DC/DC 转换器误差信号放大器的'反向输入。FB 可用于输出电压反馈和环路补偿。在反馈环路处于稳定状态时, FB 等于 1.5V。在使用 MODE 禁用误差信号放大器时, FB 需要连至 RTN。在使用 SEN 启用误差信号放大器时, 内部电平转换器会通过阻值大约为 $15k\Omega$ 的信号源阻抗驱动此引脚。

FREQ – 在 FREQ 和 RTN 之间连接的电阻可以设置转换器转换频率。此功能使现有的设计可以简便地升级以使用 TPS23750, 而无需要重新设计磁性材料和滤波元件。在将振荡器的特性定义在 100kHz 到 500kHz 之间时, 其操作频率会适当地降至几千赫的水平。

$$R_{FREQ}(k\Omega) = \frac{15000}{\text{Switching_Frequency (kHz)}} \quad (1)$$

虽然此公式已相当精确, 但是在较高频率时, 该频率还是要比预测值稍微低一些。

FREQ 一定不能接地或应用电压。

GATE – DC/DC 转换器的'开关 MOSFET 驱动器输出。

当转换器处于非工作状态时, 此引脚将在内部拉低电压, 以使外部开关 MOSFET 处于断开状态。

MODE – 此引脚禁用转换器误差信号放大器, 允许光学耦合器直接从 COMP 驱动 PWM 比较器。将 MODE 连接至 RTN 以启用误差信号放大器; 但将其连接至 V_{BIAS} 则可以禁用误差信号放大器。MODE 不能处于浮动状态。

RSN – 此引脚是电流模式控制器的用于电流感应和其它低电平信号的稳定“接地”参考。RTN、RSN、和 COM 应连在一起。

RSP – 此引脚是电流模式控制器的电流感应输入。' 电流模式控制将监控开关 MOSFET 的峰值电流, 具体体现为感应 RSP 和 RSN 之间的电压以设置 PWM 的占空比。峰值限流是通过将最大感应电压限制为大约 0.5V 来实现的。

当电源电路出现短路时, MOSFET 电流会在消隐期间上升至高电平。如果 RSP 的峰值电压在四个连续开关周期中超过 0.75V, 则转换器关闭, 继而启动自动切断与恢复周期。

如果消隐已足以消除连接输入 RC 滤波器的需要, 则该引脚可以直接连接至感应电阻器。

RTN – 此引脚通过一个内部 MOSFET 连接至 V_{SS} 。该 MOSFET 是由 PoE 部分的 UVLO、浪涌电流限制、电流限制、热限制以及故障电压限制控制的。

大部分应用会通过一个接地板将 RSN、COM 和 RTN 连接在一起。

SEN – SEN 是电平转换器的负输入端。如 Figure 40 所示, 它可以用于降压转换器中。该转换器的启用方法为连接 SEN, SEN 比 V_{SS} 高 1V。电平转换器通过一个内部 $15k\Omega$ 的电阻将 $V_{SEN-P-SEN}$ 应用至 FB 引脚。此特性简化了 RTN 上的反馈电压感应。如果不使用电平转换器, 请将 SEN 与 RSN 连接在一起。

SENP – SENP 是电平转换器的正输入端。如 Figure 40 所示, 它可与 SEN 一起使用。提供此引脚可以将一个过滤电感器放置在 V_{DD} 和该输出之间的正电源轨中。禁用电平转换器时, 请将 SENP 连接至 V_{DD} 。SENP 上的电压应始终高于 SEN 上的电压。

TMR – 在 TMR 和 RTN 之间连接一个电容器以设置软启动和自动切断与恢复定时器功能。将此引脚拉至 RTN 可以禁用转换器。

TMR 控制软启动、过载超时以及过载时自动再启动 (也称为自动切断与恢复功能)。

V_{BIAS} – 此 5V 偏置电源可以为大量转换器功能供能。 V_{BIAS} 可以为隔离应用中的反馈光学耦合器供能。应尽量降低外部负载, 以避免过度功耗。 V_{BIAS} 具有一个 UVLO 功能, 该功能可以在输出电压小于 4.6V 时禁止转换器工作。 V_{BIAS} 应通过一个介于 $0.08\mu F$ 到 $1.5\mu F$ 之间的电容器来设置旁路。不要对此引脚应用外部偏置。

V_{DD} – 这是 IC 的正电源引脚。

V_{SS} – 内部 PoE 电路的公共接地点。此引脚连接至 PoE 整流电压的低侧。在 PoE 部分的控制下, 内部电源 MOSFET 将 RTN 连接至 V_{SS} 。封装底部的 PowerPAD 从内部连接至 V_{SS} 。PowerPAD 用于从 PCB 排出芯片中的热量。

典型特点

V_{BIAS} 与
负载电流

Figure 3.

V_{BIAS} 电流限制
与
结温

Figure 4.

AUX 电压
与
负载电流

Figure 5.

AUX 电流限制
与
结温

Figure 6.

误差信号放大器输出驱动
电流
与
 V_{COMP}

Figure 7.

误差信号放大器吸入电流
与
 V_{COMP}

Figure 8.

误差信号放大器的增益和相位
与
频率

Figure 9.

FB 稳压电压
与
结温

Figure 10.

TMR 输出驱动电流
与
结温

Figure 11.

TMR 输出驱动电流/吸入电流比
与
结温

Figure 12.

转换器电流限制阈值 (V_{RSP})
与
结温

Figure 13.

RSP 输出驱动电流
与
结温

Figure 14.

GATE 输出电阻
与
结温

Figure 15.

GATE 峰值驱动电流
与
结温

Figure 16.

SENP 吸入电流
与
结温

Figure 17.

SEN 吸入电流
与
结温

Figure 18.

(SENP - SEN) 稳压
电压
与
结温

Figure 19.

转换器输出
电阻
与
结温

Figure 20.

($V_{DD} + RTN + SENP$) 检测电流
与
电源电压

Figure 21.

PoE 电流限制
与
结温

Figure 22.

最大占空比
与
振荡器频率

Figure 23.

转换器电流限制
响应时间
与
结温

Figure 24.

消隐时间
与
结温

Figure 25.

振荡器频率
与
 $15000/R_{FREQ}$

Figure 26.

PD 检测电阻
与
电压, V_{PI}

Figure 27.

工作电流 (I_{VDD})
与
结温

Figure 28.

应用信息

PoE 概述

以下内容仅帮助理解 TPS23750 的工作原理，而不能代替实际的 IEEE 802.3af 标准。标准是不断变化的，在作出设计决定时应始终参考最新标准。

IEEE 802.3af 规范定义了通过缆线向 PD 安全输送功率和断开 PD 时切断功率的方法。

此过程需要经历三种工作状态：检测、分级和操作。PSE

在周期性地检测是否有外物插入时，不会对缆线供电，这就是所指的检测。

在检测过程中使用低功率级，不会损坏不是为 PoE 设计的器件。如果存在有效 PD 标记，PSE 会选择性地询问 PD 所需的功率，这就是所指的分级。PD 可能返回一个默认满功率标记，或其它四个选择之一。如果 PSE 拥有足够的容量，它会向 PD 输送功率。一旦开始输送，PD 必须提供电源保持标记 (MPS)，以向 PSE 确保其仍然连接。PSE 对有效 MPS 监控输出，如果其丢失 MPS 则会关闭端口。MPS 的丢失会使 PSE 返回至检测的初始状态。Figure 29 显示了作为 PD 输入电压函数的操作状态。

PD 输入是典型的 RJ-45 8 引线连接器，其被称为功率接口 (PI)。

由于缆线上存在压降以及基于运营毛利的考虑，PD 的输入要求与 PSE 的输出要求是不相同的。

此规范使用阻值为 20Ω 的缆线根据 PSE 输出要求推导 PD 的电压限制。尽管此标准指定 PSE 的输出功率为 15.4W，但考虑到电缆在最坏情况下的功率损耗，PD 的输入功率仅为 12.95W。

PSE 可以在 RX 和 TX 对 (引脚 1-2 和 3-6) 之间应用电压，或在两个备用对 (4-5 和 7-8) 之间应用电压。应用的电压可以是任一极性类型，但一次只能应用在上述一对间。PD 使用输入二极管电桥从任何可能的 PSE 配置中接收功率。与输入电桥相关的压降导致 IEEE 802.3af 中关于 PI 的限制和 TPS23750 规范之间产生差异。

正常运行时，要求将 PSE 的平均电流限制在 350mA 和 400mA 之间，并且如果通过此电流的时间超过 75ms，则必须断开 PD。0 级和 3 级的 PD 最高可以通过 400 mA 峰值电流。PSE 根据 PD' 的额定功率要求设置输出电流下限，讨论如下。

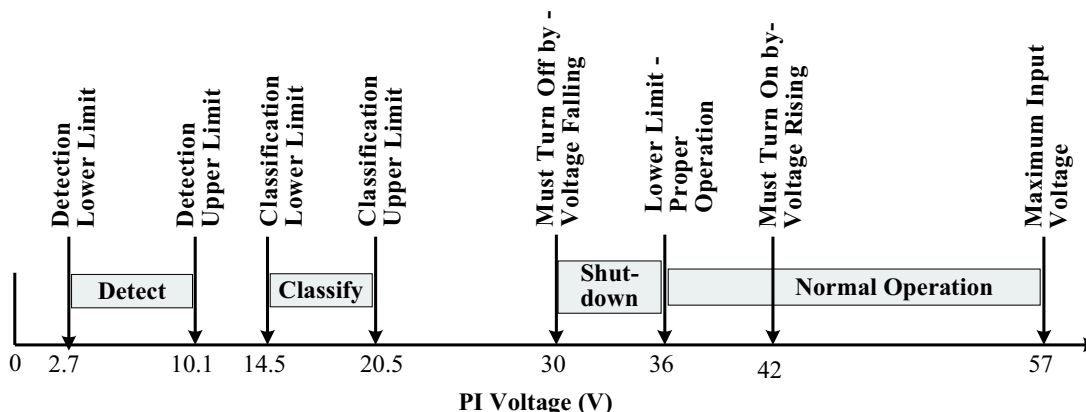


Figure 29. IEEE 802.3 PD 限制

应用信息 (continued)

PoE 阈值

TPS23750 具有大量内部比较器，其产生的滞后现象有助于不同状态之间的平稳转换，如图 Figure 29 所示。Figure 30 将“电子特性”部分中的参数与 PoE 的状态相关联。分级和操作之间标识为空闲的模式表示 DET、CLASS 和 RTN 引脚都为高阻抗。

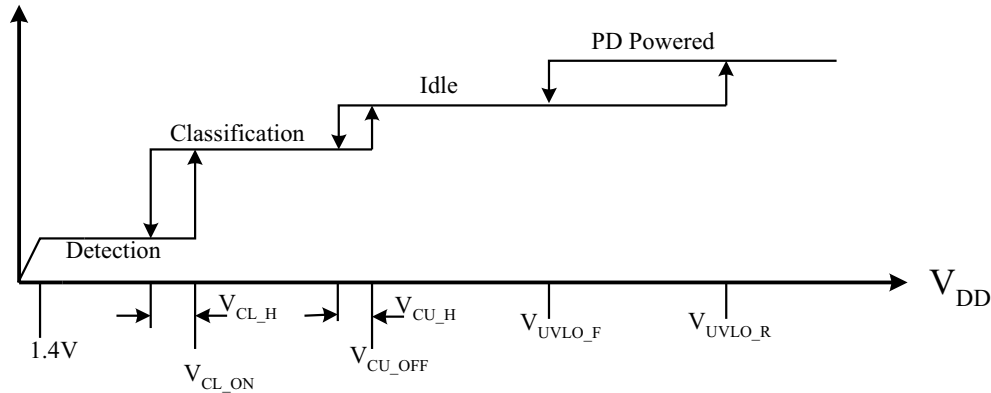


Figure 30. 阈值电压

检测

IEEE 802.3af 的此特性减少了损坏不供 48V 应用使用的以太网器件的风险。在将 2.7V 至 10.1V 范围内的电压应用于 PI 时，一个 25kΩ 的增量电阻将通知 PSE：PD 已准备好且可以接收功率。测量此增量电阻的方法如下：至少在 PI 上应用两个不同的电压并测量其通过的电流。这两个测试电压必须在指定范围内，且至少相差 1V。该增量电阻等于电压差除以电流差。允许的电阻范围是 23.75kΩ 与 26.25kΩ 之间。

电源电压低于分级阈值下限时，TPS23750 处于检测模式。在此情况下，TPS23750 消耗最小偏置功率，而 RTN 为高阻抗且大多数内部电路都禁用。检测时，DET 引脚与地相连，因此 V_{DD} 和 DET 之间的 24.9kΩ、1% 电阻器显示正确的标记。由于应力仅为 5mW，因此 R_{DET} 可能是一个很小的低功率电阻器。输入电压超过检测比较器阈值上限（11.3V）时，DET 引脚转至漏极条件以保存功率。

在 PI 的电压为 2.7V 且流过很小的电流时，输入二极管电桥的增量电阻可能为几百欧姆。电桥的电阻与 R_{DET} 串联，增大了 PSE 的总电阻。Figure 29 的检测标记的非线性是由于二极管电桥造成的。其结果随设计者所选的二极管类型的不同而有所不同，并且此结果没有在二极管数据表中列出。可以根据特定二极管的类型向下调节 R_{DET} 的值。

分级

PSE 一旦检测到一个 PD 后，即可随意地为该 PD 分级。分级允许 PSE 确定 PD 的功率要求，而不是假设每个 PD 都要求 15.4W，从而允许 PSE 根据其 48V 的电源为最大数量的 PD 提供功率。此步骤为可选项，因为某些 PSE 可以为每个供电端口分配满功率。

分级过程将介于 14.5V 和 20.5V 之间的电压应用于 PD 的输入，PD 依次通过按 R_{CLASS} 设置的固定电流。PSE 测量 PD 电流以确定 PD 属于 5 个可用分级中的哪一个级别（请参阅 Table 2）。PSE 在分级过程中提供的总电流是偏置电流和通过 R_{CLASS} 电流的总和。TPS23750 在电压高于分级范围时切断 R_{CLASS} 以避免额外的功耗浪费（请参阅 Figure 29 和 Figure 30）。

R_{CLASS} 的值应该根据 PD 的平均功率需求从 Table 2 中列出的值中选择。应为此电阻器选择额定功率，以避免在要求的 75ms 分级期间内应用 10V 电压时过载。在测量台测试条件下，或者电压处于分级范围内的辅助电源连接到 PD 的前端时，PD 处于分级状态的期间可能会延长。如果分级持续 75ms 以上，热保护将激活并关闭分级，但此设计不能依赖此功能保护电阻。

应用信息 (continued)

正常操作和 PoE 低电压锁定 (UVLO)

TPS23750 中并入了一个低电压锁定 (UVLO) 电路, 该电路监控 PoE 输入电压以确定为此转换器输送功率的时间, 从而允许 PD 上电并运行。IEEE 802.3af 规范规定最大 PD 启动电压为 42V, 而最小关闭电压为 30V (请参阅 Figure 30)。由于馈电电阻为 20Ω, 最大浪涌电流限制为 400mA, IEEE 802.3af 标准假定电缆上的压降为 8V。因为最小 PSE 输出电压为 44V, PD 必须以 36V 的输入电压正常连续工作。TPS23750 允许输入二极管电压降为 1.5V, 并设置其标称启动电压为 39.3V 和关闭电压为 30.5V, 但 TPS23770 的启动电压和关闭电压都为 35V。

TPS23770 UVLO 限制是专为支持最小输出电压小于 44V 的传统系统而设计的。这些系统要求更低的启动电压和更小的滞后。尽管 TPS23770 能够与 PSE 兼容, 但如果 PSE 输出电压上升缓慢, 它可能显示潜在的启动不稳定性。在应用中采用 TPS23750 时建议与兼容 PSE 一起使用。

MPS 是由 PD 呈现的一个电子标记, 用于向 PSE 确保其仍然连接。一个有效的 MPS 是由最小值为 10mA 的直流电流, 和比 26.25kΩ 和 0.05μF 相串联的负载小的交流阻抗组成。最小容量为 5μF 的要求通常优先于该交流阻抗。

PD 状态机制和转换器操作

TPS23750 中包含一个状态机制, 用于控制浪涌和工作电流限制状态。在 V_{DD} 低于 UVLO 限制下限时, 传递 MOSFET 关闭。随之, 一旦输出电容器经转换器放电, RTN 引脚就为高阻抗, 电压为 V_{DD} 。 V_{DD} 升高到高于 UVLO 启动阈值且 RTN 为高阻抗时, TPS23750 启用内部功率 MOSFET, 且将电流限制设置为 140mA。输出电容器充电, V_{RTN} 从 V_{DD} 几乎降到 V_{SS} 时, 转换器将禁用。浪涌电流下降到已设置的限制的 10% 以下时, 电流限制在延迟 375μs 之后转换至 450mA 内部工作电平。电流限制转换且转换器开始软启动循环后, 转换器部分启用。如果输入压降低于 UVLO 下限, PoE MOSFET 关闭, 但是允许转换器工作至 $(V_{VDD} - V_{SS})$ 为 18V 时。

在内部传递 MOSFET 处于全电流限制状态时, 将通过电流限制和折回方式对其进行保护, 以避免输出故障。由于不能依赖 PSE 输出保护 PD MOSFET 以避免瞬态条件, 因此 PD 实施其自身的输出保护。高应力条件包括转换器输出短路, V_{DD} 到 RTN 之间短路, 或输入线路为瞬态。传递 MOSFET 过载会启用电流限制, 结果是 $(V_{RTN} - V_{SS})$ 上升。如果 V_{RTN} 上升到 12V 以上, 电流限制状态机制复位至 140mA 浪涌电流限制, 并且关闭转换器。如果电流限制引起的功耗导致 TPS23750 过热, 热关断将激活以保护器件, 详情如以下热保护部分所述。RTN 比较器甚至能够在过载和输入瞬态过程中检测 RTN 超过 12V 时可能引起的短暂漂移。如果引起过载的故障消失, TPS23750 会回至如上所述的正常启动循环。这种保护方法限制了 MOSFET

如果在 V_{DD} 和 RTN 之间连接一个 24V 到 48V 的适配器, 并且没有 PoE 电源, TPS23750 允许从该适配器启动和操作。如果出现以下情况, 将启用转换器:

- PoE 部分没有浪涌电流, 并且
- $V_{DD} - V_{SS}$ 之间的电压超过了 20.5V, 而 RTN 小于 1.5V, 并且
- $V_{DD} - V_{SS}$ 之间的电压大于 18V。

尽管转换器实际操作是在 V_{DD} 和 RTN 之间, 但阈值是根据 $V_{DD} - V_{SS}$ 之间的电压定义的。内部 PoE 传递 MOSFET 具有一个反向二极管, 可以在器件从输出端获取功率时, 将 V_{SS} 限制为高于 RTN 一个二极管压降。

PoE 启动实例

Figure 31 演示了检测、分级和启动。PSE 控制 PI 上的电压, 而 PD 控制电流。所示的波形为 PI 电压、PI 电流和 DC/DC 转换器输出电压。对不同的 PSE 进行测试可能产生不同的波形, 这是因为 IEEE 802.3af 标准允许不同的应用实施。

第一个事件是检测。能够看到两个电平, 分别是 4V 和 8V, 但基于电流缩放比例, 此时看不到检测电流水平。第二个事件是分级。PD 通过的电流大约为 28mA, 而 PI 电压大约是 17V, 表明其为 3 级器件。第三个事件是启动。由于下行容量电容器已充电, PI 电压上升至 46V, 而 PD 通过 120mA 到 140mA 的浪涌电流。大容量电容器一旦充电, PI 电流就会下降, 以允许浪涌状态终止并启用转换器。最后一个事件是转换器启动, 固定为 1-Ω 的负载。转换器输出电压上升到 3.3V, 并通过相应的 PI 电流。PI 电流增加至 260mA 的稳定态值, 仅在输出电容器充电时出现一个小的过冲。为 PD 传送功率, 应用电路在启动后就可以工作。

应用信息 (continued)

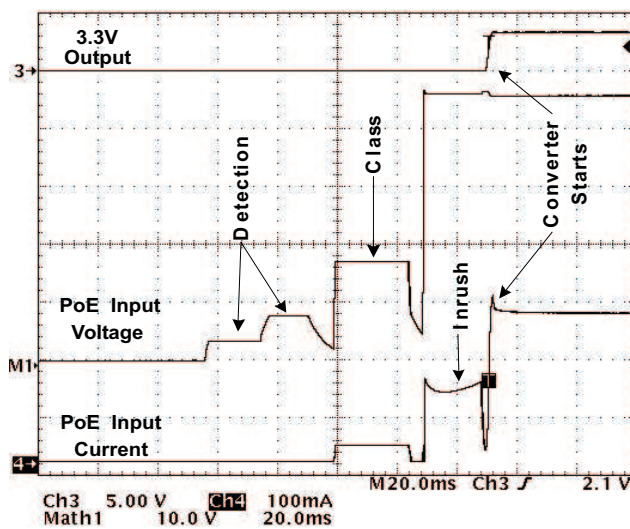


Figure 31. 典型启动波形

热保护

如果核心温度超过 140°C，TPS23750 会进入一个低功率模式。发生这种情况后，传递 MOSFET、DC/DC 转换器、AUX 稳压器和 CLASS 稳压器都将关闭。内部消耗源包括偏流、传递 MOSFET 和 AUX、 V_{BIAS} 、CLASS 三种稳压器。如果 AUX 轨在外部没有偏置，则 AUX 和 V_{BIAS} 上的负载为主要消耗源。核心温度下降大约 17°C 且传递 MOSFET 设置为浪涌状态时，TPS23750 会自动重启，转换器禁用，而且 TMR 电容器放电。

使用 PowerPAD 封装构建 TPS23750，以从与电路板的汇接点提供一个低热阻。PowerPAD 应焊接到电路板上的大面积金属铜区域，以提供良好的热性能。

在热设计过程中，也应考虑其它本地 PCB 热量源。在一般计算中，假设 TPS23750 为 PCB 温度上升的唯一热源。

转换控制器概述

TPS23750 DC/DC 控制器实现了 UC3844 的典型电流模式控制拓扑记忆，但添加了一些增强功能。

AB 类反向误差信号放大器连接在输入 FB 和输出 COMP 之间，且有 1.5V 的固定参考电压。误差信号放大器具有一个 1.5MHz 增益带宽产品，可以输出驱动或吸入几微安电流。禁用该放大器可以使光学耦合器反馈电路驱动 PWM 部分。

COMP 也是电流模式 PWM 部分的输入。1/5 分压器根据电流比较器按比例调节 COMP 输入。比较器中存在偏移量，以确保占空比能够趋于 0%。RSP 引脚上的电流限制比较器阈值为 0.5V，提供了一个已调电流限制。RSP 的峰值电压高于 0.75V 时，故障比较器会检测到逃逸状况。这种情况可能伴随发生变压器绕线短路，开关 MOSFET 漏极短路，或降压转换电感器短路情况。四个连续的故障比较器跳闸并进入基于 TMR 的自动切断与恢复循环后，TPS23750 会立即关闭。

基于 PoE 中采用的典型电路，占空比被限制为 50%，从而提供了一些便利。首先，它消除了稳定电流上升的复杂性。其次，它为磁性材料提供了确定的复位期间。第三，许多带有 1:1 复位绕线的正向转换器要求占空比小于或等于 50%。大多数使用变压器或降压模式转换器的应用都适合这种较低的占空比。

用户可编程电流感应消隐避免了额外连接 RC 滤波器的需要。为具有低输出整流器恢复期的较高频开关电路提供 70ns 消隐期。为具有重要闸极驱动和恢复要求的中低频电流提供 115ns 消隐期。提供最小消隐选项以允许使用短期 RC 滤波器。

应用信息 (continued)

使用误差信号放大器时，TMR 引脚会提供一个闭环软启动。在禁用内部误差信号放大器时，会提供开环软启动。TMR 还实施了综合自动切断与恢复或暂停和再启动，以在转换器出现故障时限制平均功耗。由于转换器的工作时间仅占 9%，便于功率组件冷却，因此就可以避免一个故障引发连串出错。

如果在一个可编程期 COMP

被接至高电平，则会触发自动切断与恢复，此种情况通常在过载或输入电压过低时出现。

内部偏置稳压器取代了外部自举电容器和启动稳压器。内部稳压器允许转换器在浪涌完成之后立刻启动并运行。这就避免了自举启动拓扑本身具有的相关缺陷，包括启动失败和超长启动延迟。

如果没有 PoE，一些 PD 设计会使用 24V 墙上适配器工作。转换器控制要求启动时 $V_{DD} - RTN$ 之间的电压至少为 20.5V，而工作时可以降到 18V。

误差信号放大器连接

TPS23750 能够适应很多种类型的转换器和反馈方法。电平转换器支持简单的低侧开关降压转换器；AB 类电压误差信号放大器支持非隔离转换器；误差信号放大器禁用支持光学耦合器反馈。

一些 PD 设计者喜欢使用反向或正向拓扑创建多路输出电源，但不要求 PoE 前端和应用电路之间存在金属隔离。Figure 32 显示了启用内部误差信号放大器并禁用电平转换器的配置。标准输出分压器和补偿方案利用了 FB 和 COMP 引脚。在设置控制环路时，应考虑到误差信号放大器和 PWM 比较器之间大小为 0.2 V/V 的衰减因子。TMR 引脚使参考电压与误差信号放大器保持固定比率，以提供一个闭环软启动。

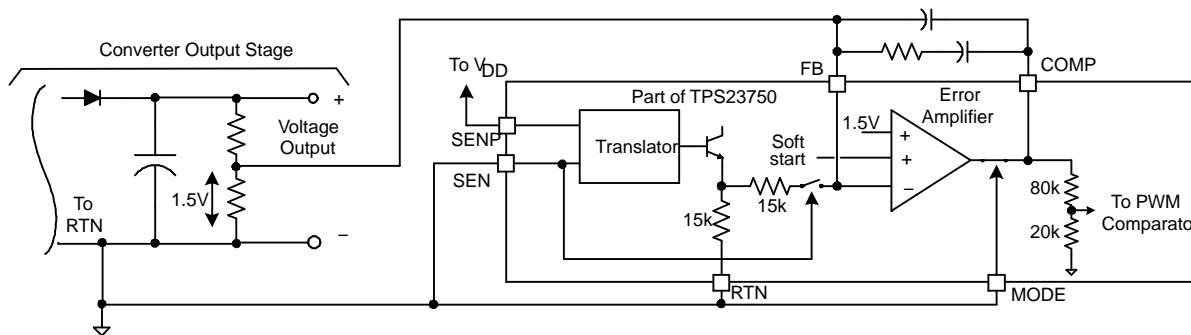


Figure 32. 非隔离转换器配置

使用光学耦合器的隔离 PD 转换器，例如基于 TL431 的电路，应使用 [Figure 33](#) 的配置。MODE 连结禁用了内部误差信号放大器，以体现其的输出高阻抗。禁用误差信号放大器时，内部实施了一个初级侧 PWM 软启动。在 PWM 比较器前出现大小为 0.2 V/V 的相同增益。在此配置中，COMP 引脚仍然被监控以实施自动切断与恢复。

应用信息 (continued)

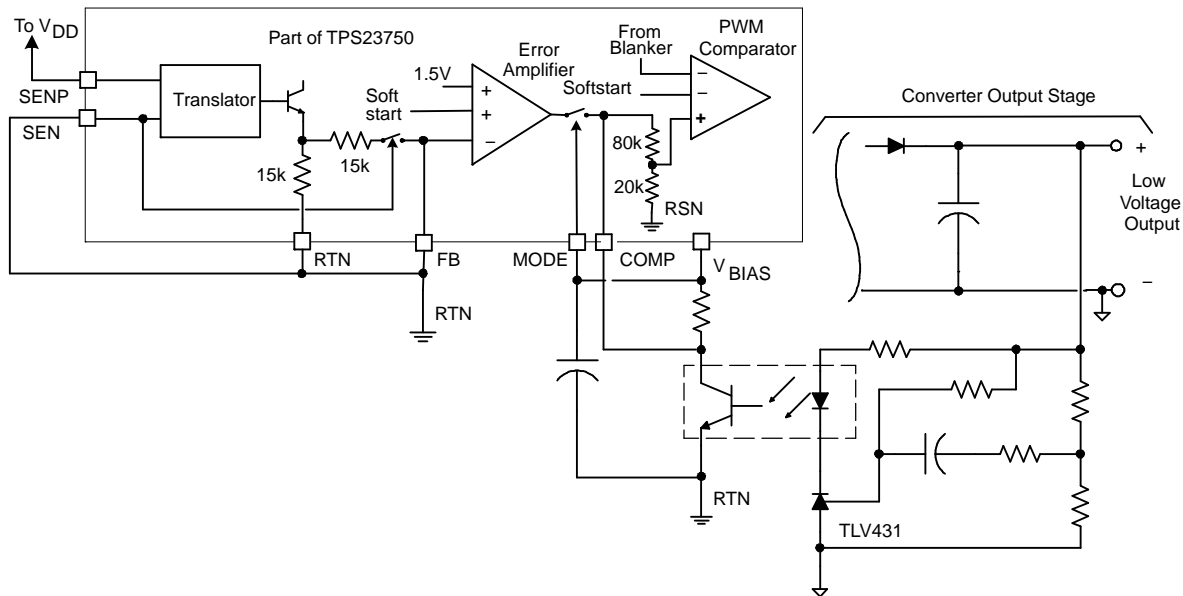


Figure 33. 隔离转换器配置

降压转换器配置如 Figure 34 所示。线圈通过 R_{LO} 将电压调节为 1.5V。转换器拓扑在 $V_{SEN-SEN}$ 和 $15k\Omega$ 的内部串连电阻之间提供了一个大小为 $1V/V$ 的增益。误差信号放大器增益的表达式为 $(Z_{COMP-FB} / 15k\Omega)$ 。输出分压器和转换器同时衰减了交流和直流组件，与 Figure 32 所示的配置有所不同，该配置的交流信号没有分流，这是由于放大器输入端的虚拟接地抵消了 R_{LO} 的影响。通过调节 R_{HI} 增加 C_{BYP} ，将全交流信号应用至误差信号放大器。 $R_{HI}C_{BYP}$ 截止频率至少比 R_ZC_Z 零频率低一个倍频程频率。此种方法确保 C_{BYP} 对标准环路设计活动影响不大。

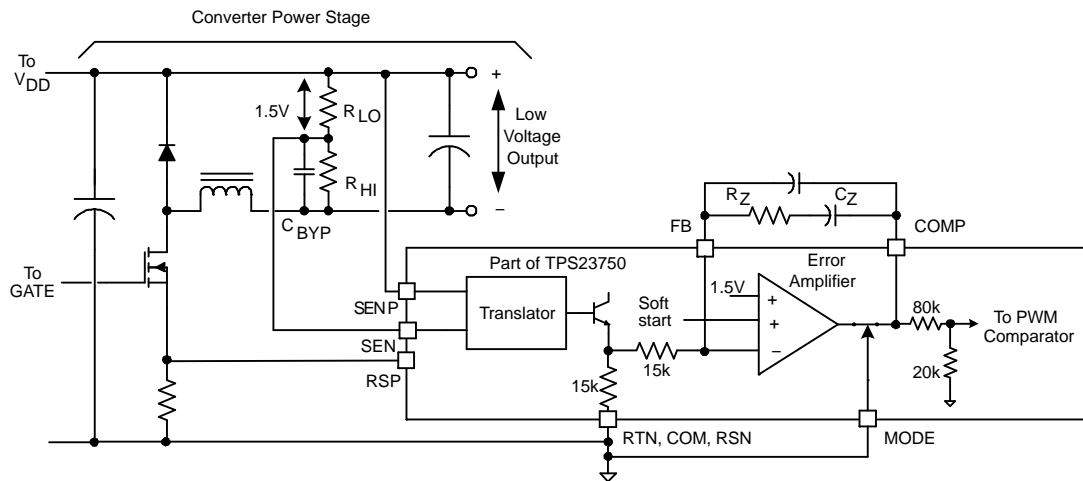


Figure 34. 降压转换器配置

SENP 和 SEN 的其它用法

SENP 和 SEN 为电平转换器的两个输入，它们不仅仅用于如 Figure 34 所示的降压应用中。还可以用于高于 V_{DD}

应用信息 (continued)

的电压，但需要处于其推荐的相对于 V_{SS} 的电压范围内。SENP 通过大约 $22.5\mu A$ 的电流，而 SEN 引脚通过的电流小于 $1\mu A$ 。如果将 SENP 连接至输出分压器的中心抽头上，其电流会导致输出电压存在细微的偏差。如有必要，可以将偏差减至最小或进行补偿。以下实例显示了为一个电信应用创建高于 V_{DD} 的电压的方法，该应用要求一个高于电池接地端的电压。

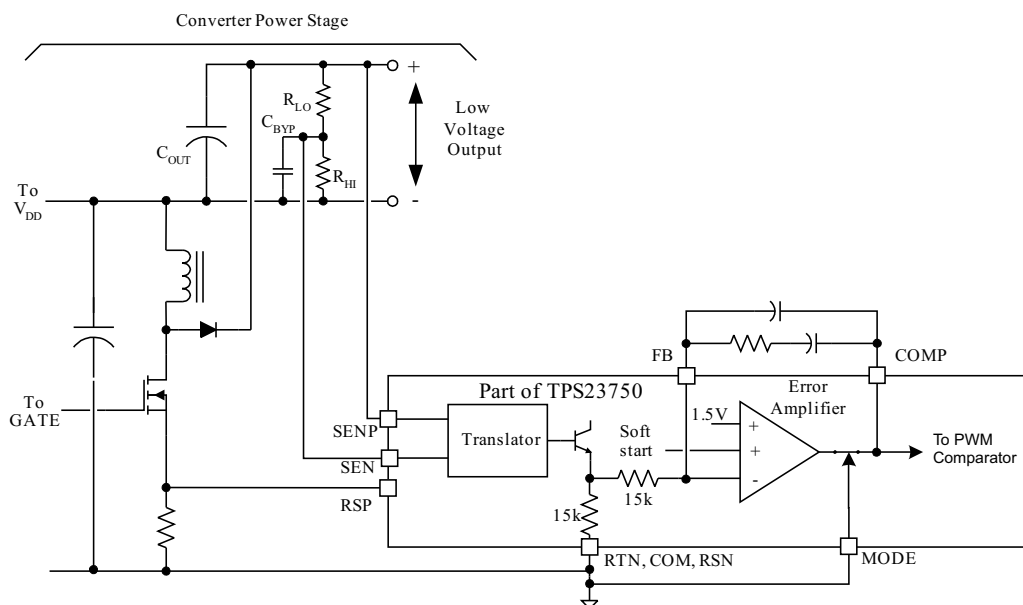


Figure 35. 升压/降压配置实例

应用信息 (continued)

偏置电源

TPS23750 具有两个偏置电源，分别是 AUX 输入/输出和 V_{BIAS} 电压，它们都有各自的 UVLO。

AUX 电源是一个 10V 的限流稳压器， V_{DD} 为其通过电流。

如果为改善效率而为此引脚提供更高的外部电压，则它就会被取代。栅极驱动器从该轨通过大电流脉冲。它要求 TPS23750 旁存在低阻抗旁路电容器（例如 1 μ F 陶瓷电容器）且由低阻抗接头连接。如果电压低于 8V，UVLO 将阻止栅极驱动。AUX 上的 17.5V 过压锁定 (OVLO) 可以防止开环转换器（如 Figure 1 中所示）由于禁止栅极驱动而损坏部件。 V_{BIAS} 稳压器从 AUX 引脚消耗功率。

V_{BIAS} 稳压器是一个 5.1V 限流稳压器，它要求在输出端和 RTN 引脚之间具有一个介于 0.08 μ F–1.5 μ F 之间的电容器。光学耦合器可从这个轨获得功率。从 V_{BIAS} 引脚通过的电流不应超过 5mA。该稳压器也具有 UVLO 功能，在电压被拉至 4.6V 以下时，它就会关闭转换器。

消隐注意事项和 RSP

可编程消隐一般可以使 RSP 输入不再需要传统的 RC 滤波器。

消隐防止电流模式和电流限制比较器对电流峰值作出反应，电流峰值通常在转换器'的开关 MOSFET 开启时出现。电流峰值由 MOSFET 栅极电流、寄生电容电流和输出整流器恢复电流组成。

所要求的消隐期与特定设计密切相关。

消隐时间太短，会导致转换器受电流限制，或在小于满负荷时发生不定期开关。

消隐时间过长，会增加周期跳转发生前所需的最小负载。运行以太网连接所需的功率应为大多数 PD 提供足够的负载，以防止周期跳转。

BL 设置的启动建议如下：

- 在基于变压器的设计中，工作频率低于 150kHz 或使用同步整流器时使用长消隐期。
- 工作频率高于 150kHz 或使用肖特基输出二极管时，使用短消隐期。
- 对降压或升压转换器拓扑使用短消隐期。

下表列出了与各个消隐长度相对应的 BL 引脚连接。

BL 连接	消隐操作
断开	无（最小电流感应回路延迟）
RSN	最小值再加 70ns
V_{BIAS}	最小值再加 105ns

如果需要，可以在 RSP 引脚上连一个 RC 滤波器。RSP 引脚就会流出一个小于 8 μ A 的偏置电流。

消隐期为可见最小栅极时间的增量。消隐电路、电流限制或 PWM

比较器、控制逻辑和负载栅极驱动器共同产生了显著的电流感应环路延迟。PWM 和电流限制比较器不会响应短于 20ns 的信号，以提供在电流感应环路延迟测量范围内的内部消隐。断开 BL

引脚时，消隐电路会产生几乎可以忽略的环路延迟。BL 断开时的可见栅极时间，与 BL 引脚接高电平或低电平时的消隐期之间的差值为消隐期。以上所示的消隐期不包括比较器延迟。

在许多转换器设计中，并不要求 RSP

连接一个串连电阻，但在某些情况下为防止有害电流损坏该引脚而需要串联一个电阻。尽管 RSP 引脚的最大绝对额定电压为 -0.3V，ESD 钳位能够抵抗偶然出现的负电流脉冲，只要这些电流小于 100mA。一些电源拓扑，如 Figure 38 所示的自驱动同步整流器电路，具有向变压器反向供电的能力。这将导致 RSP 上出现负电压并且电流会超过 100mA。为 RSP 串连一个小阻值保护电阻就可以保护器件，而无需肖特基二极管钳位。

转换器启动

转换器具有由内部热插拔 MOSFET 或 PSE 强制的严格输入电流限制。如果超过了该电流，转换器将通过大容量电容器上的电压来满足能量需求。电容器电压下降时，通过内部 MOSFET 的电压上升。如果通过 TPS23750 的 MOSFET 的电压达到 12V，它将关闭转换器，退回至浪涌，并尝试再启动。

要成功启动，设计应该保持输出电容、转换器电流限制、输入大容量电容和软启动时间之间的平衡。最小化输出电容和转换器电流限制。使用一个长软启动期控制输出电容器的充电电流。最后，使用能够提供能量储存的更大输入电容器克服这一峰值需求。输入大容量电容器的压降通常不应超过 5V。

TMR 操作

TMR 通过自动切断与恢复模式同时提供软启动和故障保护。

每个自动切断与恢复操作循环由以下三个连续步骤组成：限时过载、强制静态期和自动再启动。

自动切断与恢复操作的优势在于：减少故障过程中的平均热应力和在瞬态情况下关闭转换器后的自动再启动。

在软启动过程中，此转换器被启用，且 C_{TMR} 在一个大约是 3V 的低电压下充电，充电电流为 50 μ A。如果在 V_{TMR} 达到 3V 时 V_{COMP} 小于 4.2V， C_{TMR} 在 3.5V 的钳位电平下继续充电，而转换器仍然启用。内部缩放比例确保小于 4V 的 V_{COMP} 将生成最大峰值限流。 V_{COMP} 小于 4.2V 意味着电压环路处于稳定状态。如果 V_{COMP} 过高说明存在故障，最大可能是输出过载。如果在 V_{TMR} 达到 3.0V 时 V_{COMP} 高于 4.2V，则转换器将被禁用， C_{TMR} 放电，放电电流为 5 μ A。TMR 达到 0.3V 时，将开始一个新的软启动循环。

如果转换器正常工作，而 V_{COMP} 超过 4.2V，则 C_{TMR} 开始放电，放电电流为 5 μ A，电压为 3V。如果 TMR 达到 3V，转换器关闭并开始自动切断与恢复。如果在 TMR 达到 3V 之前 V_{COMP} 已经降至 4.2V 以下， C_{TMR} 将重新开始充电，充电电流为 50 μ A，并且转换器不间断地继续工作。根据 C_{TMR} 值设置的内部滤波，短暂的瞬态不会导致自动切断与恢复。

使用或禁用内部误差信号放大器时，软启动的表现会有所不同。

如果使用了误差信号放大器，在软启动的过程中，其会调整 FB 的电压使之比 TMR 的电压小 0.5V。

输出电压上升缓慢，而且当 FB 等于 1.5V 时处于稳定状态。如果禁用误差信号放大器，在 V_{TMR} 从 0.54V 上升至 1.54V 时，PWM 比较器跳闸点会从 0V 上升到 0.5 V。

禁用转换器时，TMR 通过一个 1k Ω 的下拉电阻放电。

其它几种情况也会影响 TMR：

- PoE 控制禁用转换器后，TMR 将维持低压。
- 如果转换器的 UVLO 不够理想，TMR 将维持低压。
- 热关断时 TMR 维持低压。
- 四个连续的故障比较器跳闸后，TMR 自动切断与恢复。出现自动切断与恢复循环时，开关会立刻暂停。

Figure 36 阐述了 TMR 引脚的操作。这些波形是使用 Figure 38 和 Figure 40 上的电路获得的。

大容量转换器显示了内部误差信号放大器的软启动，而反向转换器实例显示了使用光学耦合器时的操作。

反向转换器实例显示了 COMP 的压降是由于第二次软启动，而不是来自内部误差信号放大器。

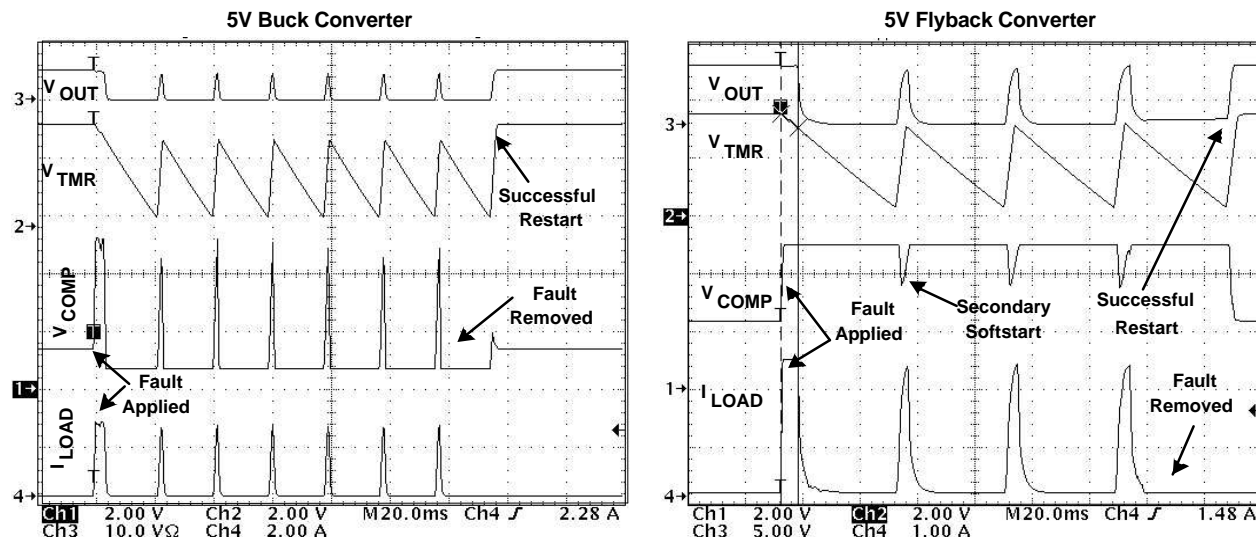


Figure 36. TMR 引脚操作

AUXILIARY 电源 (ORing)

许多支持 PoE 的设备设计为使用墙上适配器或 PoE 电源供电。

本地电源解决方案增加了成本和复杂性，但允许产品不使用 PoE 也可以工作。

强制一个输出或其它输出在综合性解决方案中占主导地位。然而，使用电压最高的电源来供电的设计很简单。

多数应用仅要求两个电源以一种可预见的方式共存。Figure 37 说明了二极管 ORing 外部电源接入 PD 的三种方案。方案 1 将电源应用到 TPS23750 的 PoE 输出，方案 2 将电源插入到 TPS23750 的 PoE 部分和转换器之间，方案 3 将电源应用到 PoE 电源转换器输出侧。每种方案都有优缺点。在方案 1 和 2 中，输出和所有其它连接之间的墙上适配器必须能够通过最小 1500 Vac 的绝缘耐压测试。在方案 3 中，如果不是由转换器提供的话，适配器仅需要具有 1500V 的绝缘能力。

所有的方案中都显示了使用适配器输入 ORing 二极管防止反向输入电压、输入引脚短路，并允许正常的 PoE 的 ORing 和辅助电压。在方案 3 中，有时 ORing 是通过使用 MOSFET 实现的。

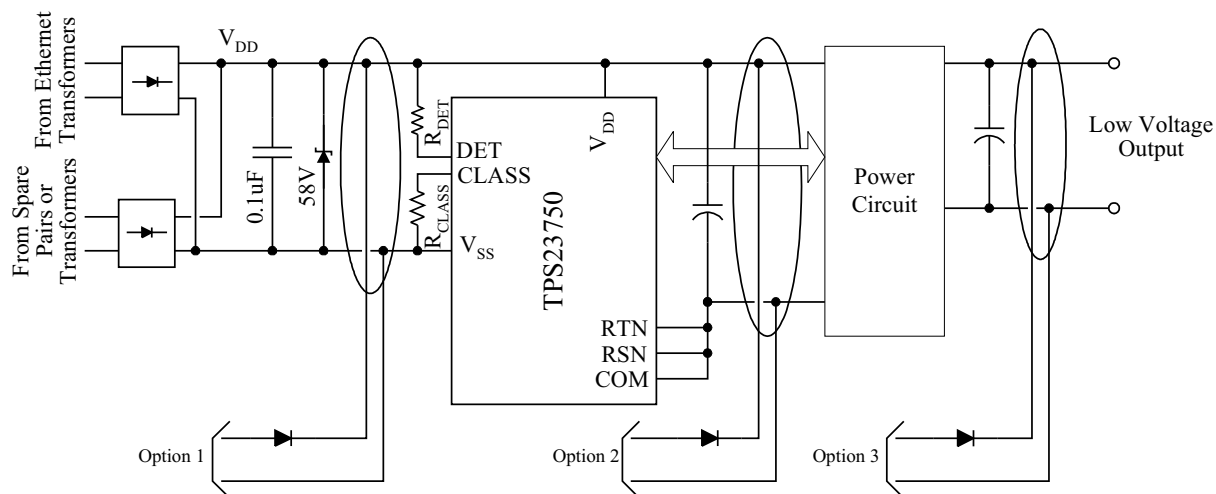


Figure 37. 辅助电源 ORing

方案 1 在 TPS23750 前插入电源。需要一个满足 TPS23750 UVLO 的 48V 适配器。如果适配器电源在 PSE 前向 PD 输入功率，则会阻止 PSE 检测到 PD。这是由于输入电桥被反向偏置，且以太网电源通道打开。如果在接入辅助电源时 PSE 已经正在给 PD 供电，优先权会授予电压高的电源。

方案 2 具有适配器电压可以低于 PoE 工作范围的优点。TPS23750 设计为使用 24V 适配器供电。连接 V_{DD} 和 RTN 的大容量电容器应大到能够控制接入适配器时出现的电压瞬态。通常最小也需要几微法的电容。一旦适配器为 PD 供电，PSE 无法成功检测到 PD。这是由于内部 MOSFET 体二极管通过输入电桥建立了反向偏置电压。一旦 PSE 为 PD 供电，辅助电源只有在其电压高于 PSE 输出电压时才会接管供电工作。

使用方案 1 或 2 时，在某些情况下，可能希望使一个功率输入源占主导优势。可通过使用相应电源通道中的开关进行配置，允许一个电源关闭另一个电源。这些解决方案需要一些额外的组件。为了让 PSE 可以关闭其它电源，直流电流必须低于 5mA，交流阻抗必须大于 $2M\Omega$ （频率为 500Hz）。

方案 3 包括用于 PoE DC/DC 转换器输出的 ORing 电源。此方案经常在 PoE 被配备到使用低压墙上适配器的当前设计中时才使用。相对比较大的 PD 输出电容可以减少适配器接入时可能出现的瞬态电压。如果 PD 中包含隔离转换器，则适配器输出可以接地。电压最高的电源将占主导优势。使用 P 通道 MOSFET 的简单电路可被设计为能够强制辅助电源关闭。辅助电源可以通过强制反馈节点高于其正常值以强制 TPS23750 转换器停止进行开关。这会导致转换器关闭。

ESD

已使用电路 [Figure 40](#) 按照 EN61000-4-2 标准对 TPS23750 进行了测试。使用的级别为 8kV 接触放电和 15kV 空气放电。电涌应用于 RJ-45 和交流 EVM 输出之间，且在辅助电源输入插座和直流输出之间。未发现故障。

比起 TI 测试中的要求，包含 TPS23750 的单元的 ESD 要求具有更广的适用范围和操作含义。不应将单元级要求与参考设计测试混淆，参考设计测试仅验证 TPS23750 的强度。

组件选择

转换器部分旁路电容器

转换器部分的 AUX 和 V_{BIAS} 引脚应使用高质量的陶瓷电容器来设置旁路。 V_{BIAS} 为内部和外部电路提供了一个稳定的电源。 V_{BIAS} 稳压器可稳定输出 $0.08\mu F$ 至 $1.5\mu F$ 的电容。推荐使用 $1\mu F$ 电容器，安装时应尽可能靠近 TPS23750。 AUX 电源产生闸极驱动电流脉冲。它需要最低 $0.8\mu F$ 的陶瓷旁路电容器。 AUX 电容器必须尽可能接近 TPS23750。 AUX 稳压器可加载更大的电容。

PoE 数字变压器

双绞线上的以太网接口通常使用符合 IEEE 802.3 长期标准要求的隔离变压器（参见 [Figure 1](#)）。变压器必须包括介质（缆线）侧的中心抽头，且能够进行调节以处理直流电流与 IEEE 802.3af 要求的不平衡。

输入二极管或二极管电桥

IEEE 802.3af 要求 PD 可以接收任一极性的任一输入对提供的功率。可通过使用两个如 [Figure 1](#) 中所示的全波输入电桥整流器来满足此要求。推荐使用额定电流为 1A 或 1.5A、最小击穿电压为 100V 的 PN 硅二极管。二极管在低电流工作条件下（如在检测期间）表现出高动态电阻。应在此条件下测试二极管的表现。在最低工作温度下，二极管的正向压降必须低于 1.5V（电流为 $500\mu A$ ）。

PoE 输入电容器

IEEE 802.3af 要求在检测期间 PD 输入电容介于 $0.05\mu F$ 和 $0.12\mu F$ 之间。此电容器的位置应与 [Figure 1](#) 中所显示的 TPS23750 相邻。100V，10%，X7R 陶瓷电容器在一个很大的温度范围内都可以满足此规范。

输入瞬态电压抑制器 (TVS)

必须对如 [Figure 1](#) 所示的 PoE 整流电压使用 TVS。推荐使用 SMAJ58A，或使用性能相当或更好的部件。如果辅助电源连接在 V_{DD} 与 RTN 之间，可能会出现电压瞬态现象，这是由于输入线缆感应与内部 PD 电容相环绕造成的。适当的电容滤波或 TVS 必须将电压限制在最大绝对额定值内。

转换器大容量电容器

处于通电状态时，IEEE 802.3af 要求 PD 的输入电容为 $5\mu F$ 。通常需要更多的电容来满足传导辐射要求，如 CISPR22 或 IEEE 802.3af 中 33.3.4 部分和 33.3.5 部分中所提到的。在 V_{DD} 和 RTN 之间至少应直接出现几微法拉的电容以帮助控制瞬态。

TMR 电容器

当使用内部误差信号放大器时， C_{TMR} 在控制启动配置文件和通过的输入电流方面起着主要作用。此电容的标称表达式为

$$C_{TMR} = 33 \times 10^{-6} \times t$$

其中 t 为所需的软启动时间， C_{TMR} 的单位为法拉。根据不同的 TMR 电流和电容器容限，软启动时间可能相差 50%。因此应相应地选择超容量电容。标准的软启动时间一般是几毫秒。

输出故障和转换器关闭之间的延迟时间（自动切断与恢复启动）为

$$t_{DELAY} = 95 \times 10^3 \times C_{TMR}$$

其中 t_{DELAY} 的单位为秒， C_{TMR} 的单位为法拉。

软启动电容器也支持没有使用内部误差信号放大器来限制输入电流峰值的隔离设计方案。

在启动期间，输出误差信号放大器仍需要从饱和状态波动至调整状态，所以可能需要第二次软启动。

热注意事项和 MOSFET Q_G

AUX 内部稳压器可能会散发大量热量。当高 AUX 轨电流是从 V_{DD} 轨，而不是从外部电源通过的时候会出现此现象。当外部电源为 AUX 供能时，内部消耗就会很低。AUX 提供内部偏置电流以及外部负载，如开关 MOSFET 和光学耦合器。

在使用变压器耦合电路的应用中，如 Figure 38 所示，会使用额外的绕线代替内部 AUX 稳压器。

在故障条件下（如输出短路），AUX 稳压器处于工作状态。

栅极驱动负载会消耗巨大的瞬时功率，但此时光学耦合器不会消耗功率。TMR 将平均工作占空比限制到少于 10%，可极大减少内部功耗。

不会替换内部 AUX 稳压器的应用应最小化 AUX 上的负载。负载的主要来源是转换器的‘开关 MOSFET 栅极电容。 Q_G 是 MOSFET 产品说明书参数，用于指明打开或关闭晶体管所需的电量。应选择开关 MOSFET，用所需的栅极驱动电流平衡 $r_{DS(on)}$ 相关的 MOSFET 损耗。对许多应用来说，应根据 Q_G 选用合适的大约 5nC 的器件，不推荐使用大于 20nC 的器件。栅极驱动消耗的功率的大概表达式为：

$$P_{DISS_GATE_DRV} = [V_{DD} \times Q_G \times f].$$

PowerPAD 具有用于排热的低热阻路径，支持无法避免‘高发热量的系统。

内部热量的主要来源有四个：内部（热交换）MOSFET I^2R 、栅极驱动负载、内部偏置电源和光学耦合器负载。如 Table 3 所示，这四者构成了常用配置的近似损耗模板。应检查在低、中、高输入电压下的总损耗。 I^2R 主导设计在输入电压较低时损耗更大，而 AUX 负载损耗驱动设计在输入电压较高时损耗更大。

Table 3. 功耗

	内部消耗型
替换 AUX 的隔离转换器	$P = \left[\left(\frac{P_{IN}}{V_{DD}} \right)^2 \times R_{DS(on)} \right] + [V_{AUX} \times Q_G \times f] + [V_{AUX} \times I_{INTERNAL}] + [(V_{AUX} - V_{BIAS}) \times I_{OPTO}]$
不替换 AUX 的隔离转换器	$P = \left[\left(\frac{P_{IN}}{V_{DD}} \right)^2 \times R_{DS(on)} \right] + [V_{DD} \times Q_G \times f] + [V_{DD} \times I_{INTERNAL}] + [(V_{DD} - V_{BIAS}) \times I_{OPTO}]$
替换 AUX 的非隔离转换器	$P = \left[\left(\frac{P_{IN}}{V_{DD}} \right)^2 \times R_{DS(on)} \right] + [V_{AUX} \times Q_G \times f] + [V_{AUX} \times I_{INTERNAL}]$
不替换 AUX 的非隔离转换器	$P = \left[\left(\frac{P_{IN}}{V_{DD}} \right)^2 \times R_{DS(on)} \right] + [V_{DD} \times Q_G \times f] + [V_{DD} \times I_{INTERNAL}]$

- $I_{INTERNAL}$ 代表电子特性表中的工作电流。几乎所有的电流都流经控制器。
- P_{IN} 是转换器输入功率 ($P_{OUT}/\text{效率}$) 而不是 PI 的功率。
- f 是转换器开关频率, I_{OPTO} 是光学耦合器偏置电流。
- V_{DD} 可以按照

$$V_{DD} = \frac{(V_{PSE} - 2 \times V_D) + \sqrt{(V_{PSE} - 2V_D)^2 - 4 \times P_{IN} \times R_{LOOP}}}{2}$$

计算, 其中 V_D 是输入二极管压降 (0.75V), R_{LOOP} 是 $0\ \Omega$ 到 $20\ \Omega$ 以及 MOSFET 电阻, P_{IN} 如前所述。 V_{PSE} 为 44V, 用于 MOSFET 损耗占主要地位的情况。

- $R_{DS(on)}$ 是内部传递 MOSFET 电阻, 标准值为 $0.6\ \Omega$ 最大值为 $1\ \Omega$ 。
- 应在不同的 PI 电压下检查损耗, 以确定最糟的情况, 特别是未替换 AUX 时。

一个结温的热性能模型的简单示例:

$$T_J = T_A + (P \times \theta_{JA})$$

其中 T_J 是结温, T_A 是环境温度, P 是 TPS23750 中的总损耗功率, θ_{JA} 是从结温到环境温度的热阻。 θ_{JA} 包括从芯片通过封装到外部、通过电线到电路板、从 PowerPAD 到电路板、以及从电路板到外部的热通道。长期稳定的结温应保持在 125°C 以下。

在热设计过程中, 要考虑到降压转换器具体情况:

- 输出是 5V (电流 1.5A), 估计效率 85%。
- 选择的开关 MOSFET 具有 10nC 的 Q_G , 开关频率 200kHz。
- 使用内部 MOSFET 电阻为 $1\ \Omega$ 的最差情况。
- 假设外部气温为 65°C 。
- 假设热阻为 $45^\circ\text{C}/\text{W}$, 由于 PowerPAD 已连接至大的铜填充物, 但和 [SLMA002](#) 中所示的有所不同。
- 参照 [Table 4](#) 使用输入电压和环路电阻的最差情况组合。

$$P_{IN} = 5\text{ V} \times 1.5\text{ A} / 0.85 = 8.82\text{ W}$$

$$V_{DD} = \frac{(44\text{ V} - 2 \times 0.75\text{ V}) + \sqrt{(44\text{ V} - 2 \times 0.75\text{ V})^2 - 4 \times 8.82\text{ W} \times 20\ \Omega}}{2} = 37.84\text{ V}$$

$$P = \left[\left(\frac{8.82\text{ W}}{37.84\text{ V}} \right)^2 \times 1\ \Omega \right] + [37.84\text{ V} \times 10\text{ nC} \times 200\text{ kHz}] + [37.84\text{ V} \times 2.2\text{ mA}] = 0.213\text{ W}$$

$$T_J = 65^\circ\text{C} + (0.213\text{ W} \times 45^\circ\text{C}/\text{W}) = 74.6^\circ\text{C}$$

Table 4. 温度升高计算器概要

V_{PSE}	R_{LOOP} (Ω)	V_{DD} (V)	P (W)	T_J ($^\circ\text{C}$)
44	20	37.84	0.213	74.6
50.5	10	47.13	0.233	75.5
57	0	55.5	0.258	76.6

计算了三种情况以确定是哪一部分导致了高结温。输入电压的 I^2R 损耗和偏置损耗的变化在这种情况下基本被抵消。所产生结温较低, 部分原因是选择了良好的电路、适宜的环境温度和低热阻。

布局

PoE 前端的布局必须采用良好的电源和电磁干扰/静电放电实施。基本的建议包括:

1. 部件必须采用点对点的方式沿功率流进行配置, 例如: RJ-45 → 以太网变压器 → 二极管电桥 → TVS 和 $0.1\ \mu\text{F}$ 电容器 → TPS23750 → 降压电容器 → 转换器输入。

2. 功率流中的部件间不能存在信号交叉。
3. 所有电源引脚都应该尽可能地短，并具有宽电源线迹、成对信号与反馈。
4. 48V 输入电压线迹之间的间隔以及输入和隔离转换器输出之间的间隔应符合相应的标准，如 IEC60950 或 IPC2221A。
5. TPS23750 应该被定位在独立的本地接地平面上，该平面以 PoE 输入的 V_{SS} 和转换器的 RTN 为参考。虽然 PoE 侧的操作可以不使用接地平面，但是转换器侧必须具有一个接地平面。PowerPAD 必须与 V_{SS} 平面或填充区域连在一起，特别是当功耗成为突出问题时。逻辑接地和逻辑电源层不能处于以太网输入或转换器初级侧之下。
6. 应该在 SMT 功率消耗器件上使用大的铜填充物和线迹，并在电源通道中使用宽线迹或覆盖铜填充物。
7. 转换器布局应参考以下基本规则：
 - a. 信号配对以减少干扰和噪音，特别是通过功率半导体和磁性材料传递大电流脉冲的路径。
 - b. 最小化传递大电流脉冲的所有线迹长度。
 - c. 如有可能，使用垂直配对而非肩并肩式配对。
 - d. 保持低电平模拟电路（包括电源以外的电路）中的大电流和高电压开关线迹。要特别注意 FB、COMP、FREQ 和 TMR。
 - e. 连接至 RSP 的电流感应引线是最关键、对噪音最敏感的信号。它必须受到如 d) 中所述的保护，暴露在闸极驱动信号中时要特别注意。
 - f. 应在转换器的高电压部分保留足够的间距。

已为此部分创建了两个评估板，以演示这些规则。同时还在线提供了包含 PCB 布局在内的随机资料。

概念原理图

TPS23750 几乎适用于所有的传统电路。Figure 38, Figure 39, 和 Figure 40 将演示 TPS23750' 的用途。Figure 38 是一个隔离同步反向，Figure 39 是一个非隔离反向，而 Figure 40 是一个降压转换器变量。这些电路中的每一个都提供单个输出。多路输出可以通过技术来实现，例如利用多个二级变压器以及线性和开关稳压器组合。这三个电路组成了可用于本产品的两个 EVM 的基础。

隔离反向示例

在 PD 具有一个非隔离金属接口（如 RS-232 或 USB）或者按照 IEC60950 中 6.2 部分的规定不能传递 1500V 高压的情况下，使用 Figure 38 的隔离同步反向是十分合适的。正向转换器也可以用于此应用。

此示例包含一个外部墙上适配器的相关配置，在 PoE 输出后，该适配器直接将电压应用至转换器输入端。虽然此特定转换器的运行电压设计为 48V，但是也可以连接输入电压为 24V 至 48V（标称）的适配器并启动此转换器。PoE 输入、适配器输入和转换器操作的定序是从内部进行处理的。

标准 PoE 前端，从 RJ-45 连接器开始，包含二极管电桥、电容器和 TVS。TPS23750 组成了控制电路的核心部分，执行着基本 PoE 和 DC/DC 转换器的功能。R1 实施检测功能。R4 将 PD 设为 3 级（全功率）器件。内部 MOSFET 在 PoE 检测和分级过程中隔离转换器和输入，在出现故障时执行浪涌限制和电流限制。输入能量存储和电磁干扰滤波是由包含 C4、L1、C1 和 C2 的 π 滤波器执行的。转换器启动偏置是通过内部稳压器处理的，可以避免使用多个外部部件。

通过将 MODE 设为 V_{BIAS} ，SEN 设为 RTN，可以禁用内部误差信号放大器和降压稳压感应电流。禁用内部误差信号放大器，以允许外部光学耦合器 U3 驱动 COMP 作为高阻抗引脚。将 BL 与 V_{BIAS} 连在一起可以选择更长的消隐期，以允许输出同步整流器 (Q1) 恢复电流。C16 设置软启动和自动切断与恢复期间，同时 R23 设置一个 100kHz 的开关频率。在此设计中，已将开关频率设置为 100kHz 以帮助减少开关造成的损失。C11 和 C12 为内部稳压器提供旁路，D6 和 R6 为 AUX 提供来自变压器的偏置功率以提高效率。D5、R2 和 C3 组成了一个钳位电压，以在关闭开关 MOSFET Q2 时保护其免受电压峰值的冲击。电流感应电阻 R8 通过 RSP 提供电流模式控制比较器，并设置电流限制。R9 用于保护 RSP 引脚的 ESD 钳位不会由于 R8 上的负电压而导致电流过高。

在此 5V 输出示例中，变压器的主要电感是 150 μ H，其圈数比是 PRI : BIAS : OUTPUT : GATE 等于 5 : 2.22 : 1 : 1.56。绕线 7–8 为同步整流器 Q1 提供闸极驱动。

由于同步整流器的操作，此设计将在持续传导的情况下工作至无负载。C5、C6、C7、L2 和 C8 构成了一个输出 π 滤波器。这个滤波器提供相当低的输出纹波，它可以专门针对某些应用进行简化。此反馈由传统的 TL431 误差信号放大器 U2 驱动，同时驱动光学耦合器 U3。在 U2 将其阴极的某些电压摆动至稳压器时，组件 D9、C18 和 R13 可用作限制启动过冲的一个软启动。C17 可用于补偿由于偏置输出的光学耦合器而导致的内部反馈环路。C10 辅助电磁干扰，并具有高额定电压以满足标准所需的 1500V 隔离测试要求。

非隔离反向示例

Figure 39 的非隔离反向示例类似于隔离反向版本。有时此转换器可用于不存在金属接口并且 PD 无需隔离就可满足 IEEE802.3af 的 1500V 高压的应用中，以产生多个输出。可以通过为 T2 跨接二级绕线、二极管和电容器来提供多个输出。出于演示需要，同步整流器已被一个二极管取代。虽然二极管更加简单并廉价，但是同步整流器的低功率损失可以改善低电压、大电流的效率。’ 生产设计中不需要 T2 绕线 7-8。基于 TL431 的误差信号放大器光学耦合器已被移除，并通过将 MODE 和 RTN 连在一起启用 TPS23750 内部误差信号放大器。可在标准误差信号放大器拓扑中使用 FB 和 COMP 来进行控制和补偿。

降压转换器示例

Figure 40 阐述了降压转换器的一种特定形式，它是根据正输入轨来推导输出。此应用电路通过如 J4 中所连接至输出，将端子 2 用作应用电路的接地参考。此类型电路适用于不具有外部连接（以太网线缆除外）的 PD，并且满足负载要求时效率较低。’

此种形式的降压转换器将开关放置在低侧，而非高侧，同时输出参考正轨。

它允许使用低侧控制部分驱动降压拓扑。由于 PoE

是一种浮动功率供给方法，所以负载根据差动输出电压进行适当操作。不存在绝对的接地参考。

这种情况类似于非接地适配器输出。

该电平转换器允许使用此拓扑，而无需使用外部元件来精确感应不具有相同接地参考的输出电压。’

可以通过将 MODE 低电平和 SEN 与高侧参考输出连在一起配置误差信号放大器和电平转换器。

由于续流二极管 D4 的反向恢复期相对较短，所以将 BL 连在低侧以选择短消隐期。

PoE 前端与隔离反向示例相同。C2、L1、C4 和 C5 构成了输入 π

滤波器，并可以提供降压能量存储和电磁干扰滤波。降压拓扑包含电感器 L2、开关 Q2 和二极管 D4。R7、R6 和 R5 感应输出电压，同时使反馈电压经过 R5。C3

允许通过转换器使用反馈信号交流组件，以减少该组件的交流增益。TPS23750 电平转换器位于 SENP 引脚和 SEN 引脚之后，反映了流过 R5 至误差信号放大器的电压（以 PTN 为参考）。

该电平转换器为感应输出电压提供精确的方法，无需外部部件，并可以在 SEN 连接至高侧时自动启用。

转换器输出和 FB 之间的内部 15k Ω 电阻与 COMP 和 FB 之间的反馈一起构成控制环误差信号放大器。C7、R2 和 C6 是补偿组件。最大为 50% 的占空比限制可以将输出电压限制在 15V。

参考书籍

1. Designing Stable Control Loops, Dan Mitchell and Bob Mammano, TI ([SLUP173](#))
2. Current Mode Control of Switching Power Supplies, Lloyd H. Dixon Jr., TI ([SLUP075](#))
3. Design of Flyback Transformers and Filter Inductors, Lloyd H. Dixon Jr., TI ([SLUP076](#))
4. The effects of Leakage Inductance on Multi-Output Flyback Circuits, Lloyd Dixon, TI ([SLUP081](#))
5. Achieving High Efficiency with a Multi-Output CCM Flyback Supply Using Self-Driven Synchronous Rectifiers, Robert Kollman, TI ([SLUP204](#))
6. PowerPAD™ Thermally Enhanced Package Application Report, TI ([SLMA002](#))
7. Thermal Characteristics of Linear and Logic Packages Using JEDEC PCB Designs, TI ([SZZA017A](#))
8. Digital Designer's Guide to Linear Voltage Regulators and Thermal Management, Bruce Hunter and Patrick Rowland, TI ([SLVA118](#))

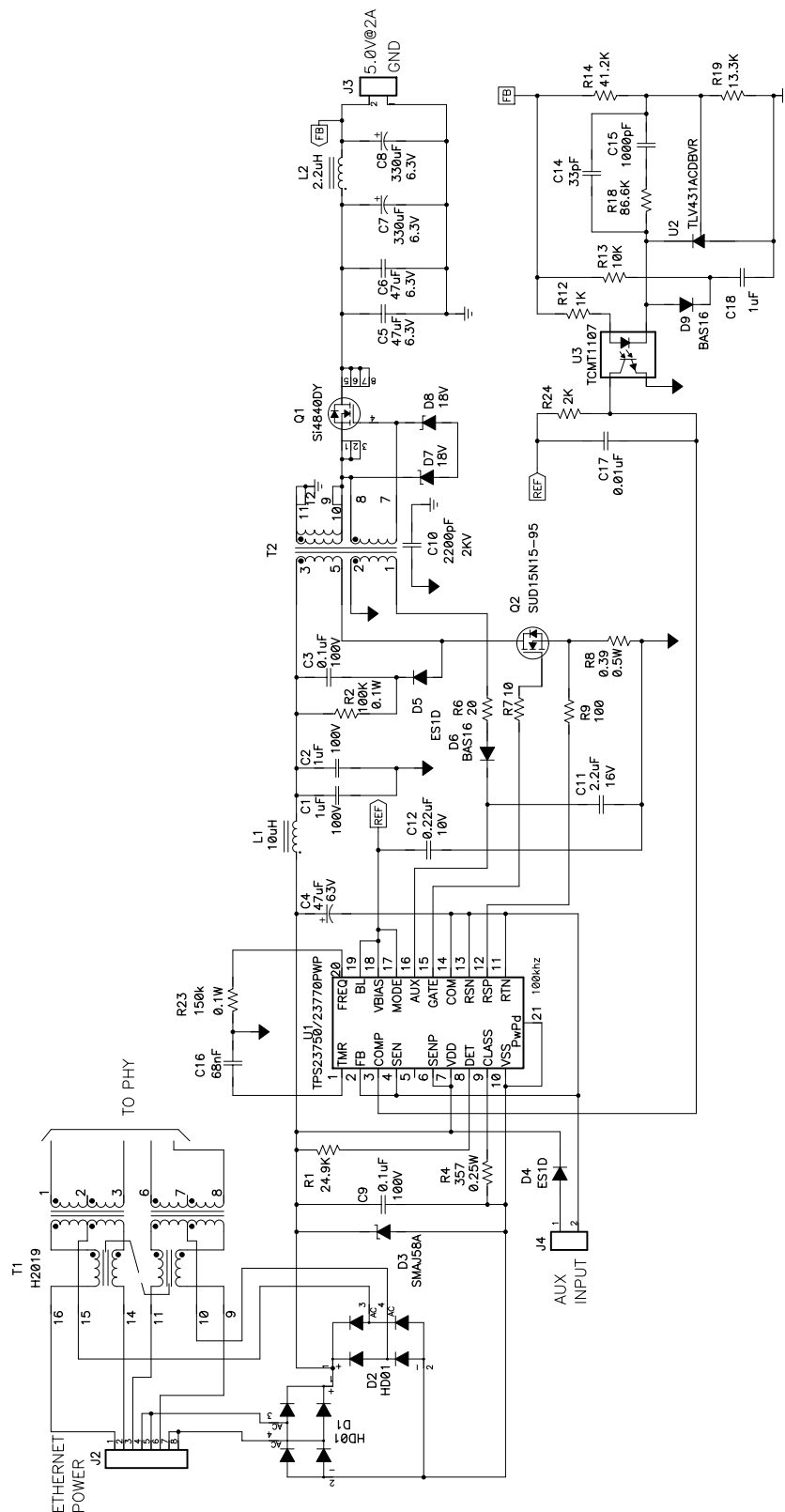
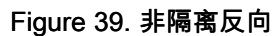


Figure 38. 隔离反向示例



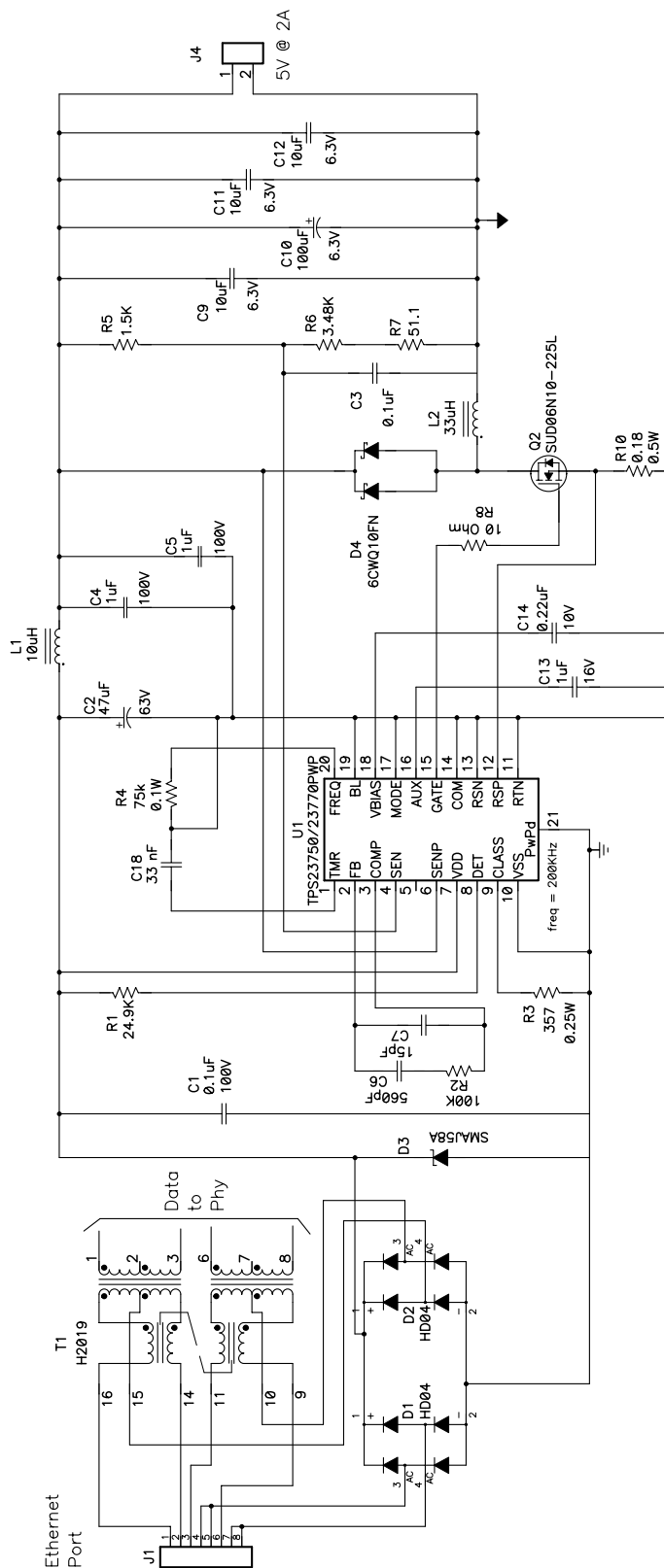


Figure 40. 降压转换器示例

重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

产品

放大器	http://www.ti.com.cn/amplifiers
数据转换器	http://www.ti.com.cn/dataconverters
DSP	http://www.ti.com.cn/dsp
接口	http://www.ti.com.cn/interface
逻辑	http://www.ti.com.cn/logic
电源管理	http://www.ti.com.cn/power
微控制器	http://www.ti.com.cn/microcontrollers

应用

音频	http://www.ti.com.cn/audio
汽车	http://www.ti.com.cn/automotive
宽带	http://www.ti.com.cn/broadband
数字控制	http://www.ti.com.cn/control
光纤网络	http://www.ti.com.cn/opticalnetwork
安全	http://www.ti.com.cn/security
电话	http://www.ti.com.cn/telecom
视频与成像	http://www.ti.com.cn/video
无线	http://www.ti.com.cn/wireless

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2006, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS23750PWP	Active	Production	HTSSOP (PWP) 20	70 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23750
TPS23750PWP.A	Active	Production	HTSSOP (PWP) 20	70 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23750
TPS23750PWPR	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23750
TPS23750PWPR.A	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23750
TPS23750PWPRG4	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23750
TPS23770PWP	Active	Production	HTSSOP (PWP) 20	70 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770
TPS23770PWP.A	Active	Production	HTSSOP (PWP) 20	70 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770
TPS23770PWPR	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770
TPS23770PWPR.A	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770
TPS23770PWPRG4	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770
TPS23770PWPRG4.A	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS23770

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS23750PWPR	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TPS23750PWPR	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
TPS23770PWPR	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
TPS23770PWPRG4	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS23750PWPR	HTSSOP	PWP	20	2000	353.0	353.0	32.0
TPS23750PWPR	HTSSOP	PWP	20	2000	350.0	350.0	43.0
TPS23770PWPR	HTSSOP	PWP	20	2000	350.0	350.0	43.0
TPS23770PWPRG4	HTSSOP	PWP	20	2000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS23750PWP	PWP	HTSSOP	20	70	530	10.2	3600	3.5
TPS23750PWP	PWP	HTSSOP	20	70	530	10.2	3600	3.5
TPS23750PWP.A	PWP	HTSSOP	20	70	530	10.2	3600	3.5
TPS23750PWP.A	PWP	HTSSOP	20	70	530	10.2	3600	3.5
TPS23770PWP	PWP	HTSSOP	20	70	530	10.2	3600	3.5
TPS23770PWP.A	PWP	HTSSOP	20	70	530	10.2	3600	3.5

GENERIC PACKAGE VIEW

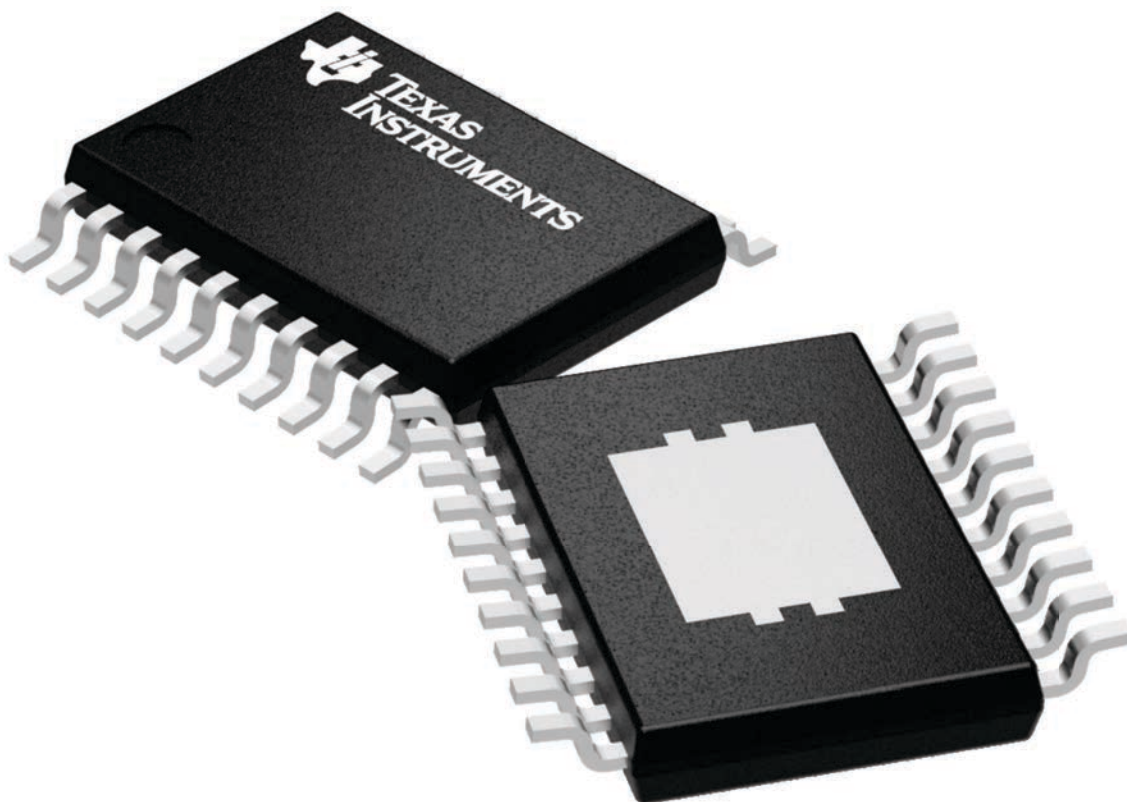
PWP 20

HTSSOP - 1.2 mm max height

6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

PWP (R-PDSO-G20)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.15 per side.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - E. Falls within JEDEC MO-153

PowerPAD is a trademark of Texas Instruments.

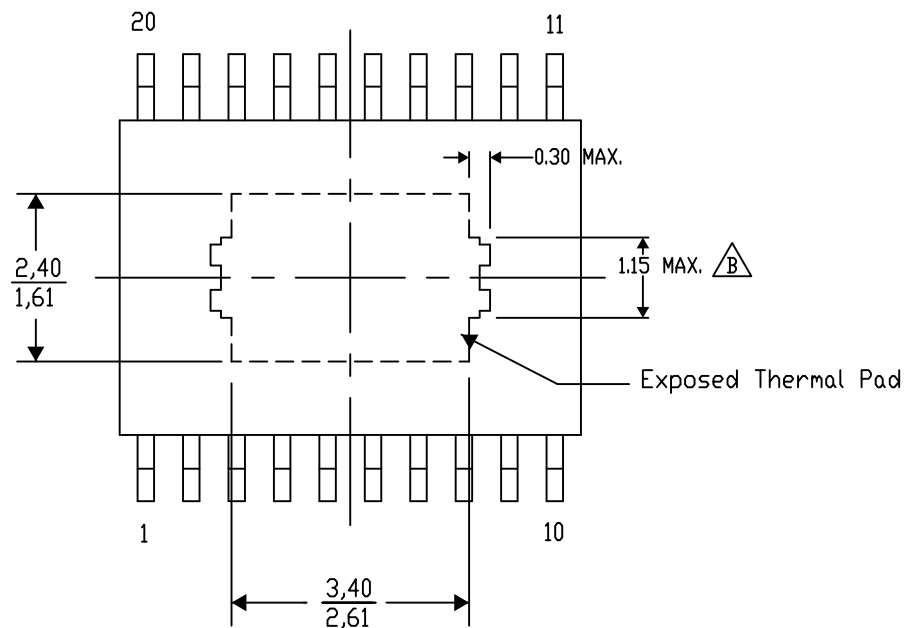
PWP (R-PDSO-G20) PowerPAD™ SMALL PLASTIC OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Top View

Exposed Thermal Pad Dimensions

4206332-15/AO 01/16

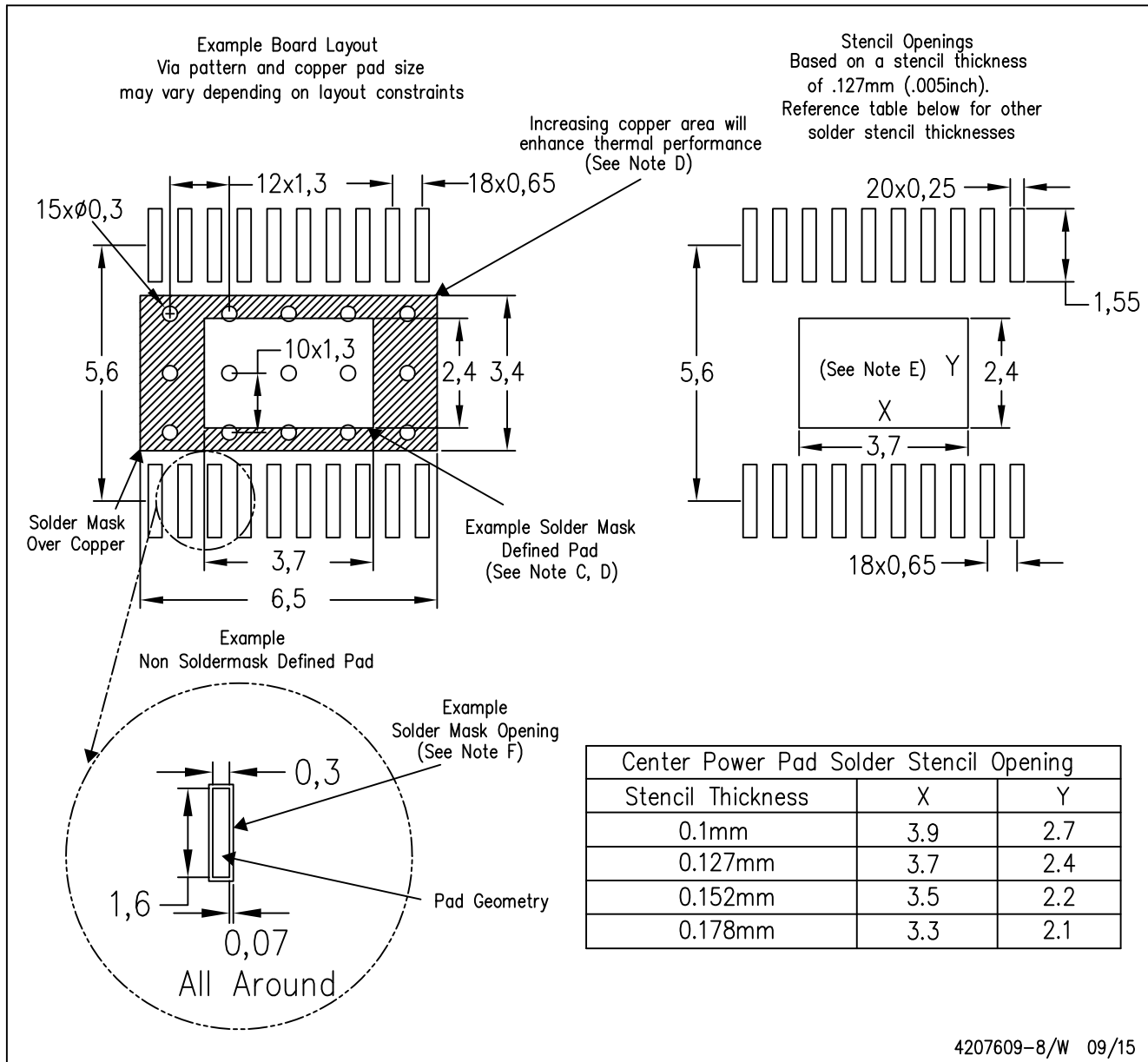
NOTE: A. All linear dimensions are in millimeters

 Exposed tie strap features may not be present.

PowerPAD is a trademark of Texas Instruments

PWP (R-PDSO-G20)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月