TPD4S480USB Type-C® 48V EPR 端口保护器：VBUS 短路过压和 IEC ESD 保护

1 特性

- 4 通道 V_{BUS} 短路过压保护（CC1、CC2、SBU1、SBU2）：可耐受 $63V_{DC}$
- 4 通道 IEC 61000-4-2 ESD 保护（CC1、CC2、SBU1、SBU2）
- CC1 和 CC2 过压保护 FET 可支持传递 V_{CONN} 电流
- CC 引脚上提供 ±65V 浪涌保护
- SBU 引脚上提供 +65V/-35V 浪涌保护
- 可将 EPR 级别 V_{BUS} 进行分压的集成式 VBUS 分压器电路
- 用于控制外部 EPR 阻断 FET 的集成式 FET 驱动器
- 集成 CC 无电电池电阻器，可用于处理移动设备中的无电电池用例
- 3mm × 3mm QFN 封装

2 应用

- 台式计算机/主板
- 标准笔记本电脑
- Chromebook 和 WOA
- 集线站
- 端口/线缆适配器和加密狗
- 智能手机

3 说明

TPD4S480 是一款单芯片 USB Type-C 端口保护器件，可提供 48V V_{BUS} 短路过压保护和 IEC ESD 保护。

自从 USB Type-C 连接器发布以来，市场上已经发布了很多不符合 USB Type-C 规格的 USB Type-C 产品和配件。其中的一个示例就是仅在 V_{BUS} 线路上提供高电压的 USB Type-C 电力输送适配器。USB Type-C 的另一个问题是，由于此小型连接器中的各引脚极为靠近，因此连接器的机械扭转和滑动可能使引脚短路。这可能导致 48V V_{BUS} 与 CC 和 SBU 引脚短接。此外，由于 Type-C 连接器中的各引脚极为靠近，所以存在碎屑和水气导致 48V V_{BUS} 引脚与 CC 和 SBU 引脚短路的严重问题。

这些非理想的设备和机械事件使得 CC 和 SBU 引脚必须能够承受 48V 的电压，即使这些引脚仅在 5V 或更低电压下工作。通过在 CC 和 SBU 引脚上提供过压保护，TPD4S480 可以使 CC 和 SBU 引脚耐受 48V 的电压，同时不会干扰正常运行。该器件将串联的高压 FET 放置在 SBU 和 CC 线路上。当在这些线路上检测到高于 OVP 阈值的电压时，高压开关被打开，并且将系统的其余部分与连接器上存在的高压状态隔离。

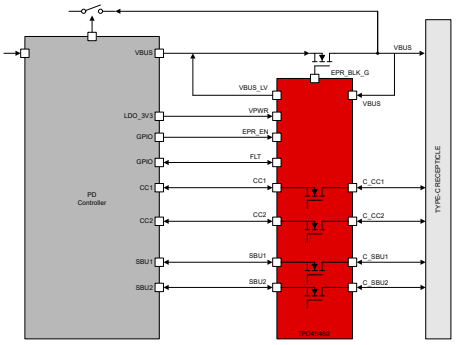
借助集成式 VBUS 分压器电路和 FET 驱动器，不符合 EPR 运行要求的 PD 控制器也能在 EPR 电压范围内安全运行。当由 GPIO 启用或在 V_{BUS} 超过 24V 的情况下自动启用时，TPD4S480 会禁用可选的外部阻断 FET 并启用分压器。此举能保护额定电压为 20V 的 PD 控制器，并允许使用现有的 V_{BUS} 检测电路。

最后，大多数系统都需要为其外部引脚应用 IEC 61000-4-2 系统级 ESD 保护。TPD4S480 为 CC1、CC2、SBU1 和 SBU2 引脚集成了 IEC 61000-4-2 ESD 保护，无需再在连接器上（外部）放置高电压 TVS 二极管。

封装信息 (1)

器件型号	封装	本体尺寸（标称值）
TPD4S480	RUK（WQFN，20）	3mm × 3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



CC 和 SBU 过压保护

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级 - IEC 规格.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 电气特性.... 6
5.6 时序要求.... 8
5.7 典型特性.... 9
6 详细说明.... 11
6.1 概述.... 11
6.2 功能方框图.... 11
6.3 特性说明.... 11
6.4 器件功能模式.... 14
7 应用和实施.... 15
7.1 应用信息.... 15
7.2 典型应用.... 15
7.3 电源相关建议.... 19
7.4 布局.... 19
8 器件和文档支持.... 24
8.1 文档支持.... 24
8.2 接收文档更新通知.... 24
8.3 支持资源.... 24
8.4 商标.... 24
8.5 静电放电警告.... 24
8.6 术语表.... 24
9 修订历史记录.... 24
10 机械、封装和可订购信息.... 24

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

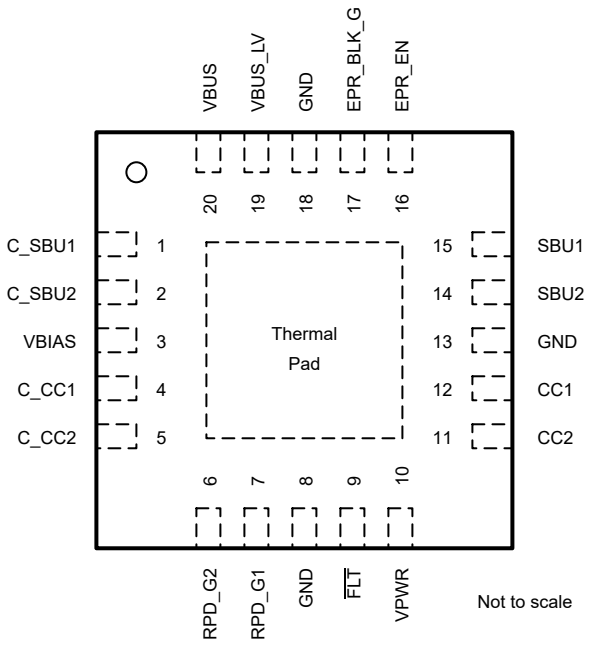


图 4-1. RUK 封装 20 引脚 QFN

表 4-1. 引脚功能

引脚		类型[(1)]	说明
编号	名称		
12	CC1	I/O	CC1 OVP FET 的系统侧。连接到 CC/PD 控制器的任一 CC 引脚。
11	CC2	I/O	CC2 OVP FET 的系统侧。连接到 CC/PD 控制器的任一 CC 引脚。
4	C_CC1	I/O	CC1 OVP FET 的连接器侧。连接到 USB Type-C 连接器的任一 CC 引脚。
5	C_CC2	I/O	CC2 OVP FET 的连接器侧。连接到 USB Type-C 连接器的任一 CC 引脚。
1	C_SBU1	I/O	SBU1 OVP FET 的连接器侧。连接到 USB Type-C 连接器的任一 SBU 引脚。或者，连接到 USB Type-C 连接器的任一 USB2.0 引脚，以保护 USB2.0 引脚而不是 SBU 引脚。
2	C_SBU2	I/O	SBU2 OVP FET 的连接器侧。连接到 USB Type-C 连接器的任一 SBU 引脚。或者，连接到 USB Type-C 连接器的任一 USB2.0 引脚，以保护 USB2.0 引脚而不是 SBU 引脚。
15	SBU1	I/O	SBU1 OVP FET 的系统侧。连接到 SBU 多路复用器的任一 SBU 引脚。或者，在保护 USB2.0 引脚而不是保护 SBU 引脚时，连接到 USB2.0 PHY 的任一 USB2.0 引脚。
14	SBU2	I/O	SBU2 OVP FET 的系统侧。连接到 SBU 多路复用器的任一 SBU 引脚。或者，在保护 USB2.0 引脚而不是保护 SBU 引脚时，连接到 USB2.0 PHY 的任一 USB2.0 引脚。
7	RPD_G1	I/O	如果需要无电电池电阻器，则短接至 C_CC1。如果不需要无电电池电阻器，则将引脚短接至 GND。
6	RPD_G2	I/O	如果需要无电电池电阻器，则短接至 C_CC2。如果不需要无电电池电阻器，则将引脚短接至 GND。
9	$\overline{FLT}$	O	用于故障报告的开漏输出。
8、13、18	GND	GND	接地
3	VBIAS	P	用于 ESD 支持电容器的引脚。在该引脚与接地之间连接一个 0.1μF 电容器。
10	VPWR	P	2.7V 至 4.5V 电源。

表 4-1. 引脚功能（续）

引脚		类型[1]	说明
编号	名称		
20	VBUS	I	EPR VBUS 分压器的输入。连接到 USB-C 插座 VBUS 引脚。
19	VBUS_LV	O	EPR VBUS 分压器的输出。当 EPR_EN 置为有效时，VBUS_LV 是由 VBUS 分压得到的电压。当 EPR_EN 置为无效时，VBUS_LV 等于 VBUS。
16	EPR_EN	I	EPR 模式使能输入。当置为有效时，EPR_BLK_G 被禁用，VBUS_LV 由 VBUS 分压而得。
17	EPR_BLK_G	O	栅极驱动器输出至可选 VBUS 阻断 FET。FET 在 SPR 模式下启用，并在 EPR 模式下禁用。
-	散热焊盘	GND	在内部连接到 GND。用作散热器。连接至 PCB GND 平面

(1) I = 输入，O = 输出，I/O = 输入和输出，GND = 接地，P = 电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_I	输入电压	EPR_EN	-0.3	6.0	V
V_I	输入电压	VPWR	-0.3	5	V
		RPD_G1、RPD_G2、VBUS	-0.3	63	V
V_I	输入电压	VBUS (VPWR = 0V)	-0.3	24	V
V_I	输入电压	VBUS (VPWR > 2.7V)	-0.3	63	V
V_O	输出电压	$\overline{FLT}$	-0.3	6	V
		VBIAS	-0.3	63	V
V_O	输出电压	VBUS_LV	-0.3	24	V
V_O	输出电压	EPR_BLK_G	-0.3	30	V
V_{IO}	I/O 电压	CC1、CC2、SBU1、SBU2	-0.3	6	V
		C_CC1、C_CC2、C_SBU1、C_SBU2	-0.3	63	V
t_{rise}	输入电压上升时间 (V_I > 36V)	CC1、CC2、SBU1、SBU2	400		ns
T_J	工作结温		-40	125	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级 - IEC 规格

				值	单位
$V_{(ESD)}$	静电放电	IEC 61000-4-2，C_CC1、C_CC2	接触放电	±8000	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2，C_CC1、C_CC2	气隙放电	±15000	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2，C_SBU1、C_SBU2	接触放电	±8000	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2，C_SBU1、C_SBU2	气隙放电	±15000	V
$V_{(Surge)}$	雷击和浪涌	IEC 61000-4-5，C_CC1、C_CC2		±65	V
		IEC 61000-4-5，C_SBU1、C_SBU2		+65/-35	V

5.3 建议运行条件

			最小值	标称值	最大值	单位
V_I	输入电压	VPWR	2.7	3.3	4.5	V
		RPD_G1、RPD_G2	0		5.5	V
		EPR_EN	0		VPWR	V
		VBUS	0		51	V
V_O	输出电压	$\overline{FLT}$ 上拉电阻电源轨	2.7		5.5	V
V_{IO}	I/O 电压	CC1、CC2、C_CC1、C_CC2	0		5.5	V
		SBU1、SBU2、C_SBU1、C_SBU2	0		4.3	V
I_{VCONN}	V_{CONN} 电流	流入 CC1/2 和流出 C_CC1/2 的电流，T_J ≤ 105℃			600	mA
I_{VCONN}	V_{CONN} 电流	流入 CC1/2 和流出 C_CC1/2 的电流，T_J ≤85℃			1.25	A
T_J	工作结温		-40		125	℃

			最小值	标称值	最大值	单位
外部元件 (1)	外部元件(1)	$\overline{FLT}$ 上拉电阻	1.7		300	kΩ
		VBIAS 电容 (2)	0.04	0.1	0.14	μF
		VPWR 电容	0.3	1		μF
		VBUS_LV 电容		0.1		μF

(1) 对于电容器和电阻器的建议值，典型值假设元件放置在电路板上靠近引脚的位置。列出的最小值和最大值已考虑制造公差、电压降额、电路板电容和温度变化。实际使用的有效值应在表中列出的最小值与最大值范围内。
(2) VBIAS 引脚需要一个额定电压至少为 63VDC 的电容器。建议使用额定电压为 100VDC 的电容器来降低电容降额。有关选择 VBIAS 电容器的更多信息，请参阅“VBIAS 电容器选择”部分。

5.4 热性能信息

热指标(1)		TPD4S480 QFN 20 引脚	单位
$R_{\theta JA}$	结至环境热阻	44.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	41.8	°C/W
$R_{\theta JB}$	结至电路板热阻	17.7	°C/W
ψ_{JT}	结至顶部特征参数	0.7	°C/W
ψ_{JB}	结至电路板特征参数	17.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	7.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

在工作结温范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
CC OVP 开关						
R_{ON}	CC OVP FET 的导通电阻	CCx = 5.5V、T_J ≤ 85℃		272	420	mΩ
C_{ON_CC}	等效导通电容	器件上电时从 CCx 或 C_CCx 到 GND 的电容。在 V_{C_CCx}/V_{CCx} = 0V 至 1.2V、f = 400kHz 时测量。	40	74	120	pF
RD_DB	无电电池下拉电阻器（仅在器件未上电时存在）	V_{C_CCx} = 2.6V	4.1	5.1	6.1	kΩ
VTH_DB	在电池无电期间，与 RD 串联的下拉 FET 的阈值电压	I_{C_CCx} = 80 μA	0.5	0.9	1.2	V
V_{OVPCC}	CC 引脚上的 OVP 阈值	在 C_CCx 上施加 5.5V。升高 C_CCx 上的电压，直到 $\overline{FLT}$ 引脚置为有效。对 CC FET 施加 100mA 负载，并观察到 FET 关断。	5.6	5.9	6.2	V
V_{OVPCC_HYS}	CC OVP 上的迟滞	在 C_CCx 上施加 6.5V。降低 C_CCx 上的 电压，直到 FLT 引脚 置为无效。测量 C_CCx 的 上升和下降 OVP 阈值之间的差值。		50		mV
BW_{ON}	单端导通带宽 (-3dB)	测量从 C_CCx 到 CCx 的 -3dB 带宽。单端 测量，50Ω 系统。Vcm = 0.1V 至 1.2V。		125		MHz
V_{STBUS_CC}	CC 引脚上的 VBUS 短路容差	使用 1 米 USB Type C 电缆对 C_CCx 进行热插拔，并在 CCx 上放置 30Ω 负载			51	V
$V_{STBUS_CC_CLAMP}$	CC 引脚 (CCx) 上的 VBUS 短路系统侧钳位电压	使用 1 米 USB Type C 电缆对 C_CCx 进行热插拔。热插拔电压 C_CCx = 51V。VPWR = 3.3V。 在 CCx 上放置 30Ω 负载。		7		V

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在工作结温范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SBU OVP 开关						
R_{ON}	SBU OVP FET 的导通电阻	SBUx = 3.6V。–40°C ≤ TJ ≤ +85°C		4	6.8	Ω
C_{ON_SBU}	等效导通电容	器件上电时从 SBUx 或 C_SBUx 到 GND 的电容。在 V_{C_SBUx}/V_{SBUx} = 0.3V 至 4.0V 时测量。		6		pF
V_{OVPSBU}	SBU 引脚上的 OVP 阈值	在 C_SBUx 上施加 3.6V。升高 C_SBUx 上的电压，直至 $\overline{FLT}$ 引脚置为有效。	4.0	4.2	4.41	V
V_{OVPSBU_HYS}	SBU OVP 上的迟滞	在 C_CCx 上施加 5V。降低 C_CCx 上的 电压，直到 FLT 引脚 置为无效。测量 C_SBUx 的 上升和下降 OVP 阈值之间的差值。		50		mV
BW_{ON}	单端导通带宽 (-3dB)	测量从 C_SBUx 到 SBUx 的 -3dB 带宽。单端测量，50Ω 系统。Vcm = 0.1V 至 3.6V。	600	760		MHz
X_{TALK}	串扰	在 f = 1MHz 时测量从 SBU1 到 C_SBU2 或从 SBU2 到 C_SBU1 的串扰。Vcm1 = 3.6V、Vcm2 = 0.3V。将开路端连接至 50Ω。		-70		dB
V_{STBUS_SBU}	SBU 引脚上的 VBUS 短路容差	使用 1 米 USB Type-C 电缆对 C_SBUx 进行热插拔。在 SBUx 上，将一个 100nF 电容器与一个 40Ω 电阻器串联并连接到 GND 。			51	V
$V_{STBUS_SBU_CLAMP}$	SBU 引脚上的 VBUS 短路系统侧钳位电压 (SBUx)	使用 1 米 USB Type-C 电缆对 C_SBUx 进行热插拔。热插拔电压 C_SBUx = 51V。VPWR = 3.3V。在 SBUx 上，将一个 150nF 电容器与一个 40Ω 电阻器串联并连接到 GND。		7		V
EPR 适配器						
VBUS_DIV_SPR	VBUS_LV 至 VBUS 分压器分压比，SPR 模式	VBUS_LV/VBUS，EPR_EN = 0，VBUS = 4.5V 至 21V，I_VBUS_LV = 0mA 至 20mA		1		V/V
VBUS_DIV_EPR	VBUS_LV 至 VBUS 分压器分压比，EPR 模式	VBUS_LV/VBUS，EPR_EN = 1，VBUS = 26.6 至 50.4，I_VBUS_LV = 0mA 至 20mA		0.42		V/V
I_{VBUSLV}	来自 VBUS_LV 的电流				20	mA
V_{FWD_VBUSLV}	VBUS 至 VBUS_LV 正向压降	I_VBUS_LV = 20mA，VBUS = 4.5V，EPR_EN = 0		456	700	mV
V_{FWD_VBUSLV}	VBUS 至 VBUS_LV 正向压降	I_VBUS_LV = 20mA，VBUS = 26V，EPR_EN = 1		823	940	mV
$V_{EPR_THRESH_R}$	上升 VBUS EPR 使能阈值		22.7		24	V
$V_{EPR_THRESH_F}$	下降 VBUS EPR 使能阈值		22.4		23.4	V
$V_{EPR_BLK_G}$	EPR_BLK_G 的栅极驱动电压	0V ≤ VBUS ≤ 22V	5		12	V
$I_{EPR_BLK_G}$	栅极驱动器拉电流	0V ≤ V_{EPR_BLKG}-V_{VBUS} ≤ 5V，0V ≤ V_{VBUS} ≤ 22V，测量 $I_{EPR_BLK_G}$		4		μA
$V_{EPR_EN_V+}$	EPR_EN 上升阈值				0.7*VPWR	V
$V_{EPR_EN_V-}$	EPR_EN 下降阈值		0.3*VPWR			V
电源和漏电流						
V_{PWR_UVLO}	V_{PWR} 欠压锁定	为 VPWR 施加 1V 电压并升高电压，直到 SBU 或 CC FET 导通。	2.1	2.3	2.6	V
$V_{PWR_UVLO_HYS}$	V_{PWR} UVLO 迟滞	为 VPWR 施加 3V 电压并降低电压，直到 SBU 或 CC FET 关断；测量 上升和下降 UVLO 之间的差异 以计算迟滞。	70	100	130	mV

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在工作结温范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{VPWR}	V_{PWR} 电源电流	VPWR = 3.3V（典型值），VPWR = 4.5V（最大值）。–40°C ≤ T_J ≤ +85°C。		112	160	μA
$I_{C_CC_LEAK}$	器件上电时 C_CCx 引脚的漏电流	VPWR = 3.3V，V_{C_CCx} = 3.6V，CCx 引脚悬空，测量流入 C_CCx 引脚的漏电流。			5	μA
$I_{C_SBU_LEAK}$	器件上电时 C_SBUx 引脚的漏电流	VPWR = 3.3V，VC_SBUx = 3.6V，SBUx 引脚悬空，测量流入 C_SBUx 引脚的漏电流。如果 SBUx 侧被偏置且 C_SBUx 保持悬空，结果应相同。-40°C ≤ T_J ≤ +85°C			3.2	μA
$I_{C_CC_LEAK_OVP}$	器件处于 OVP 时 C_CCx 引脚的漏电流	VPWR = 0V 或 3.3V，V_{C_CCx} = 51V，CCx 引脚设置为 0V，测量流入 C_CCx 引脚的漏电流。			1200	μA
$I_{C_SBU_LEAK_OVP}$	器件处于 OVP 状态时 C_SBUx 引脚的漏电流	VPWR = 0V 或 3.3V，V_{C_SBUx} = 51V，SBUx 引脚设置为 0V，测量流入 C_SBUx 引脚的漏电流。			720	μA
$I_{CC_LEAK_OVP}$	器件处于 OVP 状态时 CC 引脚的漏电流	VPWR = 0V 或 3.3V，V_{C_CCx} = 51V，CCx 引脚设置为 0V，测量流出 CCx 引脚的漏电流。			30	μA
$I_{SBU_LEAK_OVP}$	器件处于 OVP 状态时 SBU 引脚的漏电流	VPWR = 0V，V_{C_SBUx} = 51V，SBUx 引脚设置为 0V，测量流入 SBUx 引脚的漏电流。	-1		1	μA
/FLT 引脚						
V_{OL}	低电平输出电压	IOL = 3mA。在 $\overline{FLT}$ 引脚处测量电压。			0.4	V
过热保护						
T_{SD_RISING}	上升过热保护关断阈值		150	175		°C
$T_{SD_FALLING}$	下降过热保护关断阈值		130	140		°C
T_{SD_HYST}	过热保护关断阈值迟滞			35		°C

5.6 时序要求

		最小值	标称值	最大值	单位
上电和断电时序					
t_{ON_FET}	从 VPWR UVLO 电压上升到 CC 和 SBU OVP FET 导通所需的时间。		1.3	3.5	ms
$t_{ON_FET_DB}$	从 VPWR UVLO 电压上升到 CC 和 SBU OVP FET 导通且无电电池电阻器关断所需的时间。		5.7	9.5	ms
dV_{PWR_OFF}/dt	断电期间 CC 和 FET 关断的最小压摆率。	-0.5			V/μs
过压保护					
$t_{OVP_RESPONSE_CC}$	CCx 引脚上的 OVP 响应时间。从 OVP 置为有效到 OVP FET 关断所需的时间。		70		ns
$t_{OVP_RESPONSE_SBU}$	SBUx 引脚上的 OVP 响应时间。从 OVP 置为有效到 OVP FET 关断所需的时间。		80		ns
$t_{OVP_RECOVERY_CC}$	CCx 引脚上的 OVP 恢复时间。发生 OVP 后，在 CC FET 重新导通之前的最短持续时间。必须移除 OVP 才能使 CC FET 重新导通。		0.9	2.3	ms
$t_{OVP_RECOVERY_CC_DB}$	CCx 引脚上的 OVP 恢复时间。发生 OVP 后，在 CC FET 重新导通且无电电池电阻器关断之前的最短持续时间。必须移除 OVP 才能使 CC FET 重新导通。		5		ms
$t_{OVP_RECOVERY_SBU}$	SBUx 引脚上的 OVP 恢复时间。发生 OVP 后，在 SBU FET 重新导通之前的最短持续时间。必须移除 OVP 才能使 SBU FET 重新导通。		0.62		ms
$t_{OVP_FLT_ASSERTION}$	从 OVP 置为有效到 /FLT 置为有效所需的时间。$\overline{FLT}$ 置为有效的值是最大值的 10%。将 C_CCx 或 C_SBUx 设置为高于最大 OVP 阈值。从其通过典型 OVP 阈值开始计时。		20		μs
$t_{OVP_FLT_DEASSERTION}$	从 CC FET 在 OVP 后导通到 $\overline{FLT}$ 置为无效所需的时间。		5		ms

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性

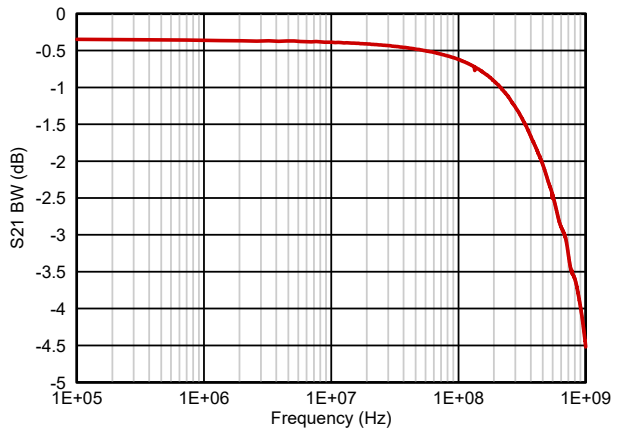


图 5-1. SBU 带宽

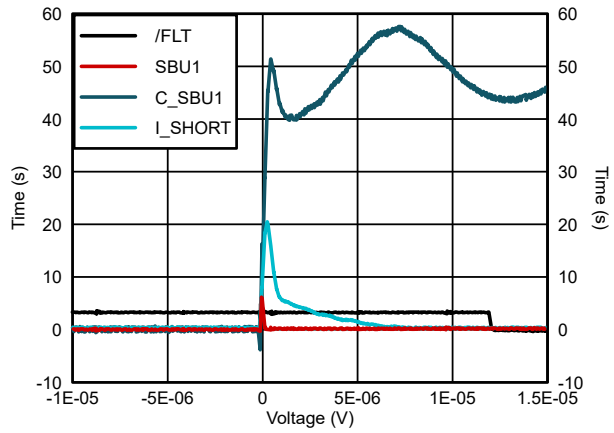


图 5-2. SBU 短接至 V_{BUS} 48V

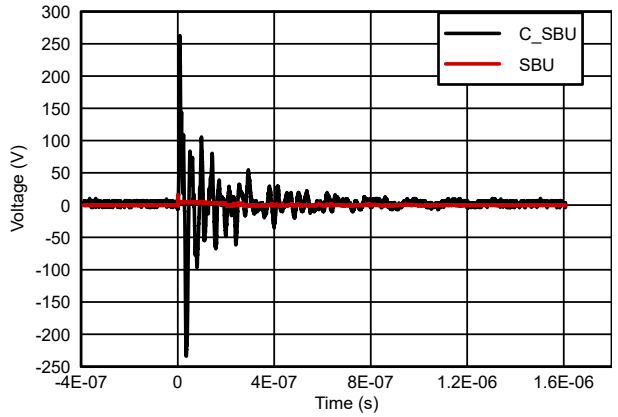


图 5-3. SBU IEC 61000-4-2 4kV 响应波形

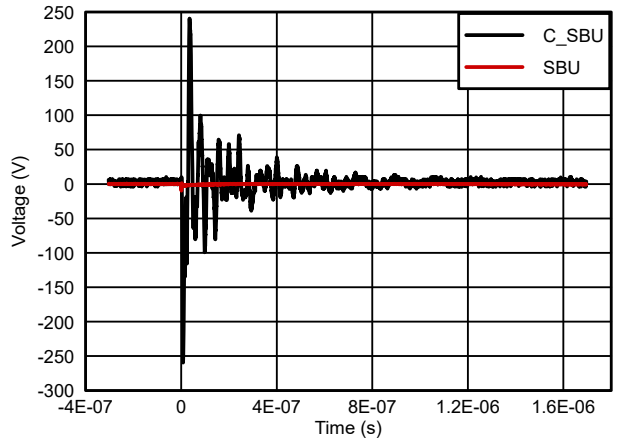


图 5-4. SBU IEC 61000-4-2 -4kV 响应波形

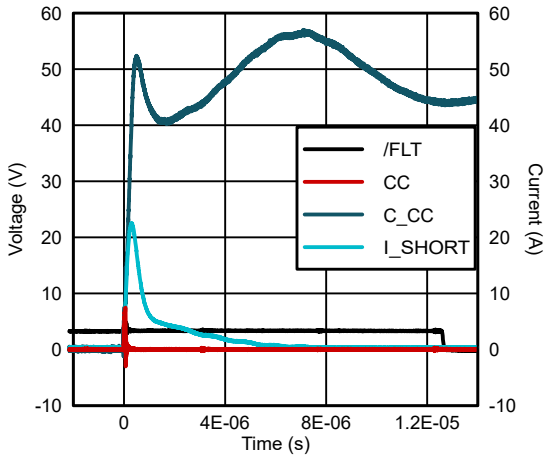


图 5-5. CC 短接至 V_{BUS} 48V

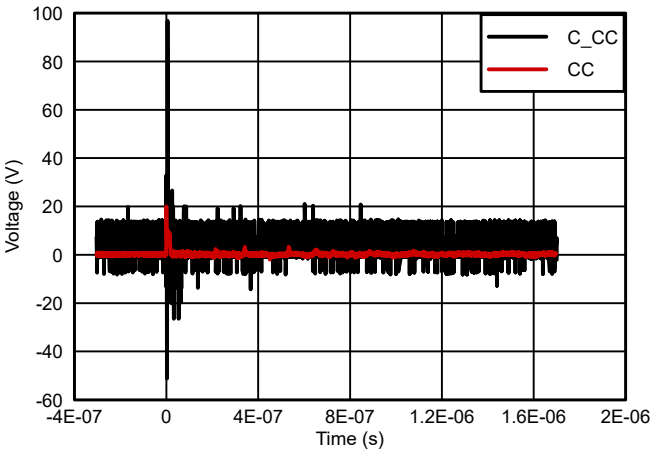


图 5-6. CC IEC 61000-4-2 8kV 响应波形

5.7 典型特性（续）

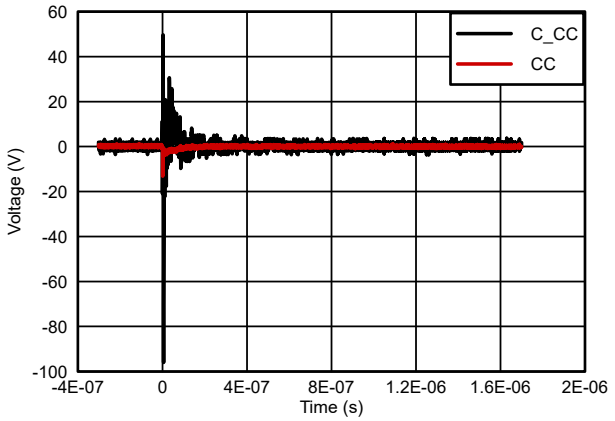


图 5-7. CC IEC 61000-4-2 -8kV 响应波形

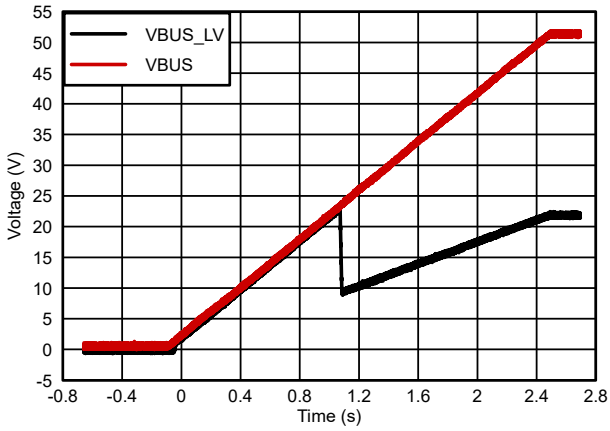


图 5-8. EPR_EN 为低电平时的 VBUS 扫描

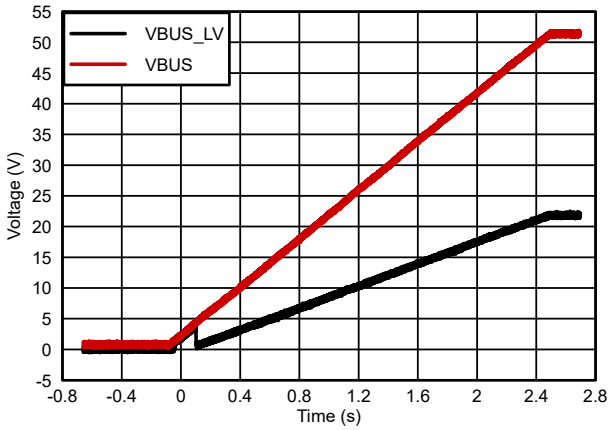


图 5-9. EPR_EN 为高电平时的 VBUS 扫描

Copyright © 2024 Texas Instruments Incorporated

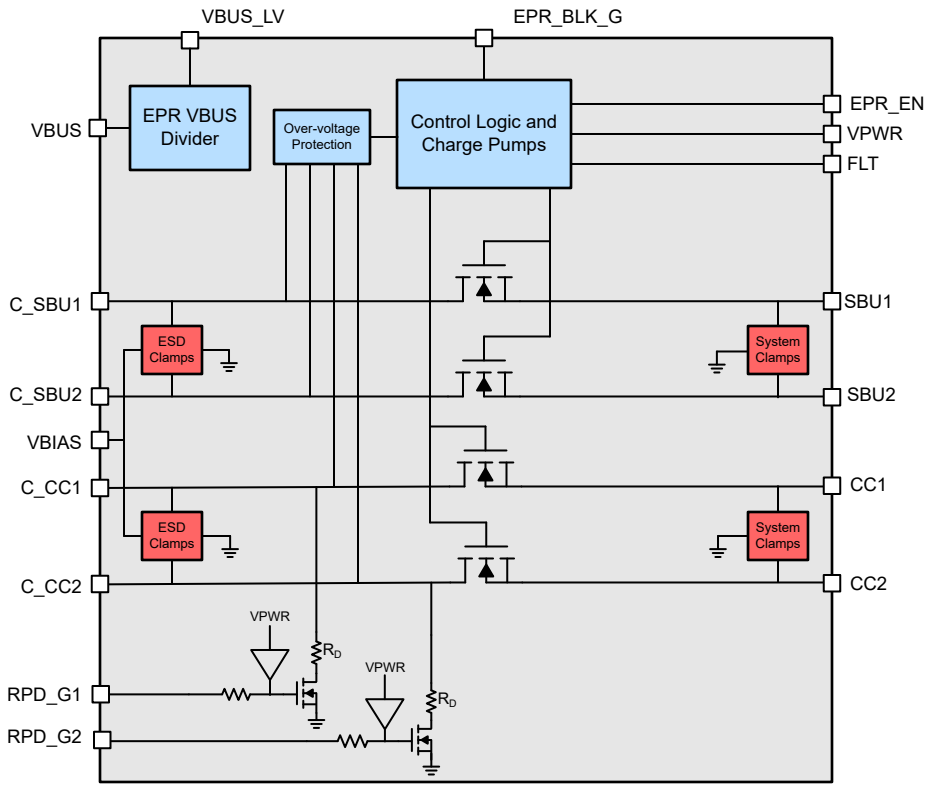
6 详细说明

6.1 概述

TPD4S480 是一款单芯片 USB Type-C 端口保护器件，可提供 48V V_{BUS} 短路过压保护和 ESD 保护。由于 USB Type-C 连接器的引脚间距较小以及不符合标准的 USB Type-C 电缆和配件，V_{BUS} 引脚可能会短接到 USB Type-C 连接器内部的 CC 和 SBU 引脚。由于这种 V_{BUS} 短路事件，CC 和 SBU 引脚需要能够耐受 48V 电压，以支持在整个 PD USB-EPR 电压范围内受到保护。TPD4S480 针对 USB Type-C 连接器的 CC1、CC2、SBU1 和 SBU2 引脚集成了四通道 48V V_{BUS} 短路过压保护。

此外，还需要 IEC 61000-4-2 系统级 ESD 保护，用于保护 USB Type-C 端口免受终端产品用户产生的 ESD 冲击。TPD4S480 针对 USB Type-C 连接器的 CC1、CC2、SBU1 和 SBU2 引脚集成了四通道 IEC61000-4-2 ESD 保护。这意味着 TPD4S480 在单个芯片中针对 USB Type-C 连接器上的所有低速引脚提供了 ESD 保护。此外，CC 和 SBU 线路需要能够耐受 55V DC 的高压 ESD 保护，以同时支持 ESD 保护和 V_{BUS} 短路保护。TPD4S480 集成了一个高压 ESD 二极管，旨在与器件内部的过压保护 FET 协同工作。

6.2 功能方框图



6.3 特性说明

6.3.1 4 通道 V_{BUS} 短路过压保护（CC1、CC2、SBU1、SBU2 引脚或 CC1、CC2、DP、DM 引脚）：可耐受 63V_{DC} 电压

TPD4S480 为 USB Type-C 连接器的 CC1、CC2、SBU1 和 SBU2 引脚（或 CC1、CC2、DP 和 DM 引脚）提供 4 通道 V_{BUS} 短路过压保护。TPD4S480 能够在 C_CC1、C_CC2、C_SBU1 和 C_SBU2 引脚上耐受 63V_{DC} 的电压。这一级别的保护十分重要，因为根据 USB PD 规范，当 V_{BUS} 设定为 48V 运行时，V_{BUS} 电压允许在电压转换期间从不同 USB PD V_{BUS} 电压合法升高至 50.4V 和 50.9V。TPD4S480 设计时考虑了高达 63V 的 V_{BUS} 耐受能力，在此 50.9V 规范之上提供了足够的裕度，从而能够支持短路事件期间可能发生的电感振铃。

当发生 V_{BUS} 短路事件时，由于热插拔事件中的 RLC 元件，会产生振铃现象。由于该 RLC 电路中的电阻非常低，连接器上可能会出现高达稳定电压两倍的振铃电压。如果线路上的任何电容器在 V_{BUS} 短路事件期间电容值下

降，则振铃电压可能超过直流电平的两倍。这意味着在 V_{BUS} 短路事件期间，USB Type-C 引脚上可能出现超过 90V 的电压。TPD4S480 内置了电路保护功能来处理这种振铃现象。用于 IEC ESD 保护的二极管钳位也会在 V_{BUS} 短路事件期间钳制振铃电压，从而将峰值振铃限制在约 53V。此外，TPD4S480 内部集成的过压保护 FET 可耐受 63V 电压，因此能够承受 V_{BUS} 短路事件期间出现的高压振铃波形。这种电压钳位与 63V 耐压 OVP FET 的巧妙组合，确保 TPD4S480 能够承受热插拔电压高达 $51V_{DC}$ 的 V_{BUS} 短路热插拔事件。

TPD4S480 具有典型值为 70ns 的超短关断时间。此外，TPD4S480 系统侧（CC1、CC2、SBU1、SBU2）引脚的 OVP FET 之后增加了额外的电压钳位，以便在 OVP FET 关断的 70ns 间隔内，进一步限制 USB Type-C CC/PD 控制器所承受的电压和电流。连接器侧电压钳位、具有超快关断时间的 OVP FET 和系统侧电压钳位相结合，确保 V_{BUS} 短路事件期间 CC1、CC2、SBU1 或 SBU2 引脚上的应力水平不超过 HBM 事件。

SBU OVP FET 设计为能够选择保护 DP、DM (USB2.0) 引脚，而不是保护 SBU 引脚。由于连接器中可能存在湿气/水而导致 V_{BUS} 引脚短接至 DP、DM 引脚，因此一些系统设计人员还倾向于保护 DP 和 DM 引脚免受 V_{BUS} 短路事件的影响。这尤其适用于终端设备配备 USB Type-C 连接器并试图实现防水的情况。如果要保护 USB Type-C 连接器上的 DP 和 DM 引脚免受 V_{BUS} 短路事件的影响，请将 C_SBUx 引脚连接到 USB Type-C 连接器上的 DP、DM 引脚，并将 SBUx 引脚连接到系统器件受 V_{BUS} 短路事件保护的 USB2.0 引脚。

6.3.2 可处理最高 600mA 电流的 CC1 和 CC2 过压保护 FET 支持 VCONN 电源电流通过

USB Type-C 连接器上的 CC 引脚具有多种功能；其中一个功能是为有源电缆提供电源。当需要在 V_{BUS} 线路上传输超过 3A 的电流时或当 USB Type-C 端口使用超高速线路（TX1+、TX2–、RX1+、RX1–、TX2+、TX2-、RX2+、RX2–）时，需要有源电缆。当 CC 引脚配置为提供电源时，该引脚称为 VCONN。VCONN 是范围为 3V 至 5.5V 的直流电压源。如果支持 VCONN，VCONN 提供方必须能够为电缆提供 1.5W 的功率；这相当于电流范围在 273mA 至 500mA 之间（去具体取决于 VCONN 电压电平）。

当 USB Type-C 端口配置为 VCONN 并使用 TPD4S480 时，此 VCONN 电流将流经 TPD4S480 的 OVP FET。因此，TPD4S480 设计为能够处理这些电流，并具有足够低的 RON，以便为有源电缆提供符合规格的 VCONN 电压。

6.3.3 集成 CC 无电电池电阻器用于处理移动设备中的电池无电用例

支持 USB PD 的 USB Type-C 连接器的一个重要特性是能够为移动设备提供唯一电源。支持 USB PD 的 USB Type-C 连接器能够提供高达 240W 的功率，可用于为全新系列的移动设备供电，而这是以前使用传统 USB 连接器无法实现的。

当 USB Type-C 连接器是电池供电设备的唯一电源时，即使电池电量耗尽，该设备也必须能够通过 USB Type-C 连接器进行充电。为了让 USB Type-C 电源适配器能够在 V_{BUS} 上供电，RD 下拉电阻器必须连接在 CC 引脚上。这些 RD 电阻器通常包含在 USB Type-C CC/PD 控制器中。但是，当使用 TPD4S480 来保护 USB Type-C 端口时，器件内部的 OVP FET 会在移动设备没电时，隔离 CC/PD 控制器中的这些 RD 电阻器。当 TPD4S480 没电时，OVP FET 会关断，以便在电池电量耗尽条件下提供过压保护。因此，TPD4S480 集成了高电压、电池无电 RD 下拉电阻器，以便在为无电电池充电的同时提供高电压 OVP 保护。

如果需要支持无电电池，请将 RPD_G1 引脚短接至 C_CC1 引脚，并将 RPD_G2 引脚短接至 C_CC2 引脚。此短接将无电电池电阻器连接到连接器 CC 引脚。当 TPD4S480 未上电且 RP 上拉电阻器连接到电源适配器时，此 RP 上拉电阻器会激活 TPD4S480 中的 RD 电阻器，并使得即使在电池电量耗尽的情况下，也可以从电源适配器为 V_{BUS} 供电。当系统电源恢复并供应到 TPD4S480 的 VPWR 引脚时，TPD4S480 会在 3.5ms 内导通其 OVP FET，然后关断其无电电池 RD。TPD4S480 会首先完全导通其 CC OVP FET，然后移除其无电电池 RDS，以确保 PD 控制器 RD 完全暴露，然后再移除 TPD4S480 的 RD。

如果想要在电池无电模式下为 CC/PD 控制器供电，并且如果 CC/PD 控制器配置为 DRP，则 TPD4S480 必须在 CC/PD 控制器上电之前或同时上电。同样重要的是，在未上电时，CC/PD 控制器也会暴露其无电电池电阻器。在上电后，TPD4S480 会在 3.5ms 内暴露 CC/PD 控制器的 CC 引脚，然后移除其自身的 RD 无电电池电阻器。TPD4S480 开启后，CC/PD 控制器的 RD 下拉电阻必须立即存在，以保持连接。如果电源适配器未检测到 RD，则可以断开 V_{BUS}。此事件会在电池电量不足的情况下切断设备的电源，从而切断 CC/PD 控制器和 TPD4S480 的电源。然后，TPD4S480 的 RD 电阻器再次暴露，并连接电源适配器的 V_{BUS} 以再次启动该循环。

Copyright © 2024 Texas Instruments Incorporated

如果 CC/PD 控制器配置用于 DRP 并在 TPD4S480 导通之前开始进行 DRP 切换，则该 DRP 切换无法与电源适配器保持连接。如果 CC/PD 控制器配置用于 DRP，PD 控制器的无电电池电阻器也需要暴露，并且这些电阻器会一直保持暴露，直到 TPD4S480 开启。当在电池电量耗尽的情况下为 CC/PD 控制器供电时，通常通过同时为 TPD4S480 和 CC/PD 控制器供电来实现此行为。

如果您的应用中不需要无电电池充电，请将 RPD_G1 和 RPD_G2 引脚接地。

6.3.4 EPR 适配器

TPD4S480 集成了额外的电路，该电路可使引脚容差低于 EPR 要求的 PD 控制器用于 EPR 应用。EPR 适配器包含两个元件：VBUS 分压器和 EPR 阻断 FET 栅极驱动器。可以通过将 EPR_EN 引脚置为有效或当 VBUS 引脚超过 EPR_THRESH_R 来启用 EPR 适配器功能。

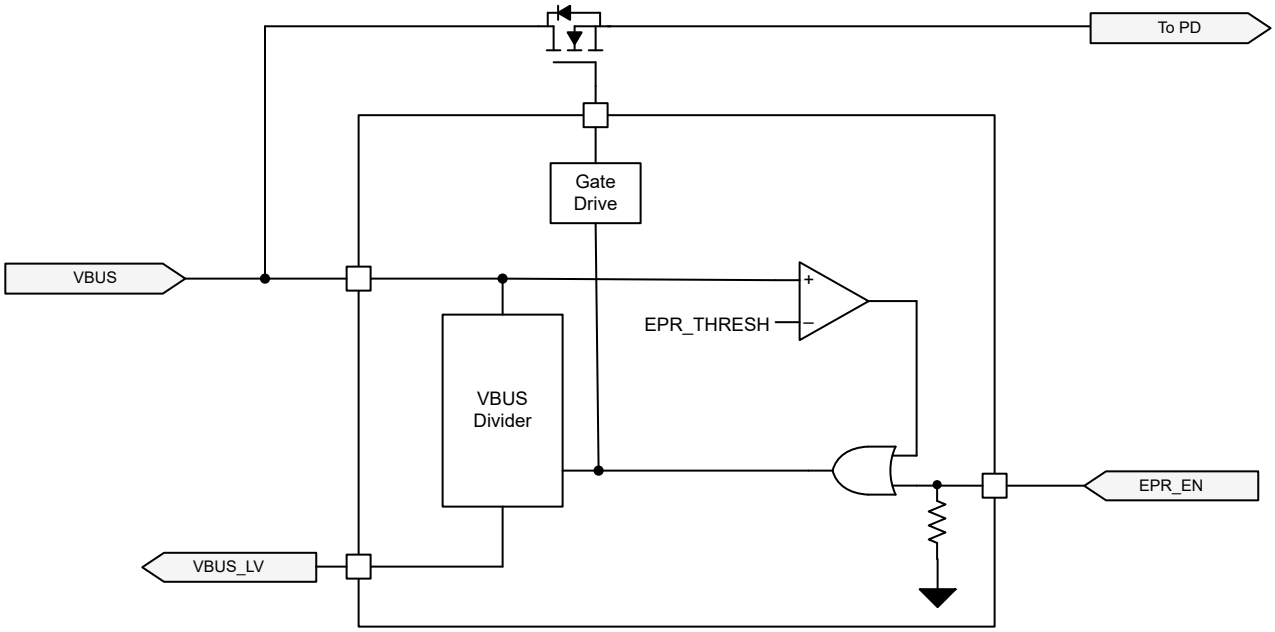


图 6-1. EPR 适配器

6.3.4.1 VBUS 分压器

VBUS 分压器提供 VBUS 的分压输出，以便连接的 PD 控制器可以安全地检测 EPR 电压。表 6-1 总结了 VBUS 分压器的工作状态。

表 6-1. VBUS 分压器状态

EPR_EN	VBUS	VBUS_LV 比率 (VBUS_LV/VBUS)	说明
0	< EPR_THRES_R	1	SPR 运行
1	X	0.42	EPR 运行
X	> EPR_THRESH_R	0.42	

6.3.4.2 EPR 阻断 FET 栅极驱动器

该器件集成了一个 NFET 栅极驱动器，用于控制外部阻断 FET。当处于 EPR 模式时，栅极驱动器被禁用，从而将任何非 EPR 容限电路与 VBUS 隔离开来。在 SPR 模式下，会启用栅极驱动器，从而将低压元件连接到 VBUS。

表 6-2. VBUS 分压器状态

EPR_EN	VBUS	栅极驱动器状态	说明
0	< EPR_THRES_R	启用	SPR 运行
1	X	禁用	EPR 运行
X	> EPR_THRESH_R	禁用	

6.4 器件功能模式

表 6-3 介绍了 TPD4S480 的所有功能模式。下表中的“X”表示“无关”条件，这意味着在数据表规定的绝对最大额定值范围内，任何值都可以出现，并且不会影响该功能模式。

表 6-3. 器件模式表

器件模式表		输入					输出				
模式		VPWR	C_CCx	C_SBUx	RPD_Gx	T_J	$\overline{FLT}$	CC FET	SBU FET	VBUS_LV	EPR_BLK_G
正常运行条件	未上电，不支持无电电池	<UVLO	X	X	接地	X	高阻态	关断	关断	VBUS	禁用
	未上电，支持无电电池	<UVLO	X	X	短接至 C_CCx	X	高阻态	关断	关断	VBUS	禁用
	已上电，SPR 模式	>UVLO	<OVP	<OVP	X，强制关断	<TSD	高阻态	导通	导通	VBUS	启用
	已上电，EPR 模式	>UVLO	<OVP	<OVP	X，强制关断	<TSD	高阻态	导通	导通	分压 VBUS	禁用
故障条件	热关断	>UVLO	X	X	X，强制关断	>TSD	低电平（故障置为有效）	关断	关断	保持 EPR 状态	保持 EPR 状态
	CC 过压条件	>UVLO	>OVP	X	X，强制关断	<TSD	低电平（故障置为有效）	关断	关断	保持 EPR 状态	保持 EPR 状态
	SBU 过压条件	>UVLO	X	>OVP	X，强制关断	<TSD	低电平（故障置为有效）	关断	关断	保持 EPR 状态	保持 EPR 状态
	由 IEC ESD 引发的过压条件(1)	>UVLO	X	X	如果 RPD_Gx 短接至 C_CCx，则 R_D 导通	<TSD	低电平（故障置为有效）	关断	关断	保持当前 EPR 状态	保持当前 EPR 状态

(1) 此行描述了导致器件进入 OVP 的 IEC ESD 冲击已结束并且 C_CCx 和 C_SBUx 引脚上的电压已恢复到其正常电压电平后，器件仍处于 OVP 状态时的情况。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPD4S480 为 USB Type-C 连接器的 CC1、CC2、SBU1 和 SBU2 引脚提供 4 通道 V_{BUS} 短路过压保护。因此，必须注意确保 TPD4S480 提供足够的系统保护并确保维持正常的系统运行。以下应用示例说明了如何正确地将 TPD4S480 设计到 USB Type-C 系统中。

7.2 典型应用

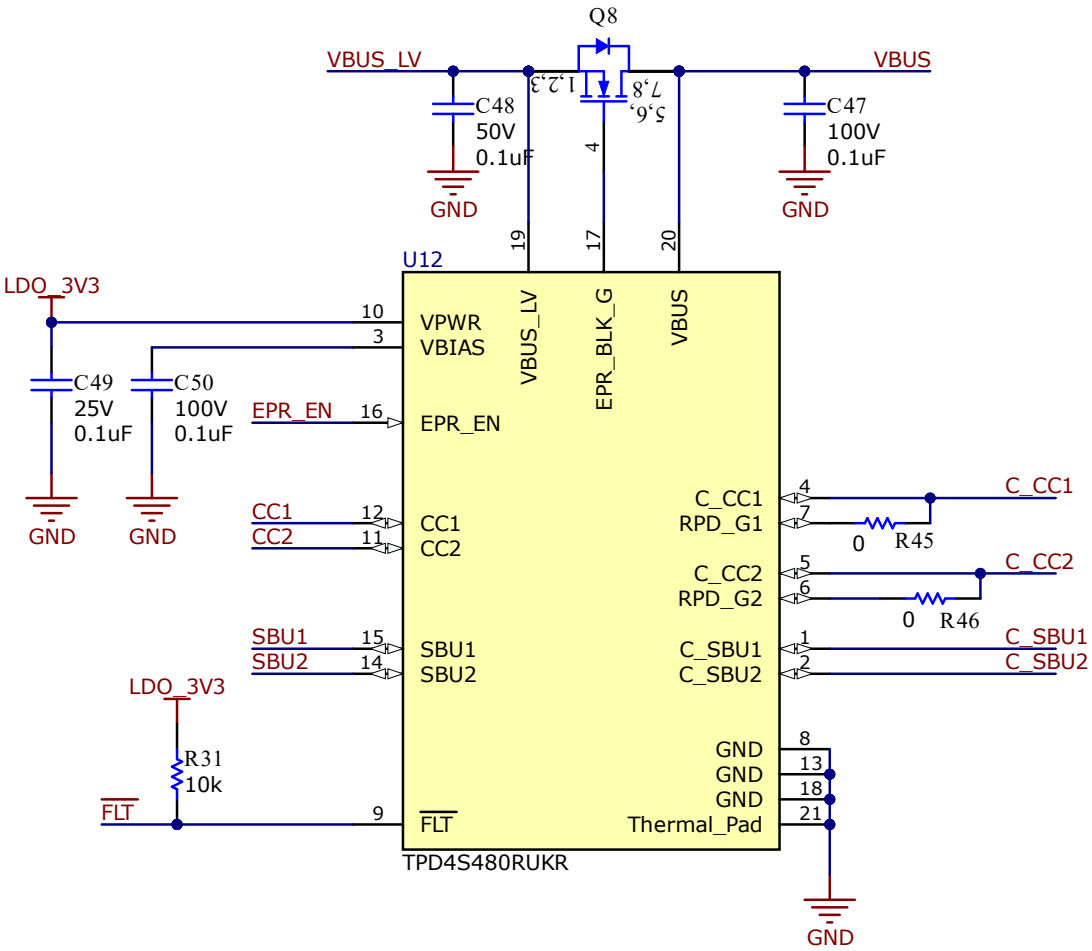


图 7-1. TPD4S480 参考原理图

7.2.1 设计要求

本应用示例中研究了 USB Type-C DRP 端口的保护要求，该端口配备 USB PD 且充电功率为 240W。TPS26750 用于轻松启用 DRP 端口。CC 和 SBU 引脚都容易与 V_{BUS} 引脚短路。使用 240W 充电时，V_{BUS} 的工作电压为

48V，这要求 CC 和 SBU 引脚能够耐受 48V_{DC} 电压。为了满足 USB Type-C 连接器的这些保护要求，这里使用了 TPD4S480。

表 7-1 列出了 TPD4S480 设计参数。

表 7-1. 设计参数

设计参数	示例值
V_{BUS} 标称工作电压	48V
CC 和 SBU 引脚的 V_{BUS} 短路容差	63V
VBIAS 标称电容	0.1μF
无电电池充电	240W
最高环境温度要求	85°C

Q8 的建议 MOSFET 设置（如表 7-2 所示）如下所示：

表 7-2. MOSFET 选择

VDS (V)	VGS (V)	类型	RDS (on)
> = 30V	> = 15V	N 沟道	< = 10mΩ（3A 最大 Q8 电流） < = 20mΩ（1.5A 最大 Q8 电流）

7.2.1.1 EPR 设计要求

TPD4S480 与 PD 控制器结合使用，可在 USB-PD EPR 中提供以下功能：

- 针对 Type-C 连接器的 CC1 和 CC2 引脚直接短路提供 VBUS 短路保护。
- 如果实现了液体检测功能，则针对连接到 Type-C 连接器的 SBU1 和 SBU2 引脚的液体检测电路提供 VBUS 短路保护。
- 可将 EPR 最大电压降压转换为 PD 控制器 VBUS 引脚的工作电压范围。
- 高电压 NMOS 晶体管的栅极驱动器允许使用内部 5V 电源路径为仅需要 5V 输出的系统提供 5V 电压。

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

7.2.2.1 VBIAS 电容器选型

如 *节 5.3* 表中所述，VBIAS 引脚需要 V_{BUS} 额定电压至少为 63V 的电容器，并建议使用 V_{BUS} 额定电压为 100V 的电容器。VBIAS 电容器与 TPD4S480 内部集成的中央二极管钳位并联。正向偏置隐藏二极管将 VBIAS 引脚连接到 C_CCx 和 C_SBUx 引脚。因此，当发生 48V V_{BUS} 短路事件时，VBIAS 引脚将暴露于 48V_{BUS} 减去正向偏置二极管压降后的电压。此外，在 V_{BUS} 短路事件期间，振铃可能导致电压达到 48V 稳定电压的两倍，从而可能导致 C_CCx 和 C_SBUx 引脚暴露于 96V 电压。不过，内部二极管钳位会将 C_CCx 和 C_SBUx 引脚上的电压限制在 63V 左右。因此，至少需要 63V 电容器，以确保 VBIAS 电容器不会在 V_{BUS} 短路事件期间出现损坏。

建议使用 100V X7R 电容器来进一步提高电容器的降额性能。当实际电容器上的电压增加时，电容值会下降。电容器降额越多，V_{BUS} 短路时 RLC 电路中的振铃就越大。100V X7R 电容器具有出色的降额性能，从而确保 TPD4S480 在 V_{BUS} 短路期间具有出色的性能。

7.2.2.2 电池无电运行

对于此应用，我们希望支持 240W 的电池无电运行；当设备电池电量耗尽时，我们仍希望以 48V 和 5A 的电流为笔记本电脑充电。这意味着 USB PD 控制器必须在电池无电模式下接受供电。TPS26750 具有内置的 LDO，可在电池无电的情况下通过 V_{BUS} 为 TPS26750 供电。

TPD4S480 的 OVP FET 在未供电时保持关断状态，以便在电池电量耗尽或未供电的情况下提供保护。但是，当 OVP FET 关断时，这会将 TPS26750 无电电池电阻器与 USB Type-C 端口 CC 引脚隔离。USB Type-C 电源适配器必须在 CC 引脚上检测到 RD 下拉无电电池电阻器，才能为 V_{BUS} 供电。由于 TPS26750 的无电电池电阻器与 USB Type-C 连接器 CC 引脚隔离，因此必须连接 TPD4S480 的内置无电电池电阻器。将 RPD_G1 引脚短接至 C_CC1 引脚，并将 RPD_G2 引脚短接至 C_CC2 引脚。

在电源适配器检测到 TPD4S480 的无电电池电阻器后，就会在 V_{BUS} 引脚上施加 5V 电压。这会为 TPS26750 供电、开启 PD 控制器并允许电池开始充电。但是，此应用在电池无电模式下需要 240W 充电，因此需要 48V 和 5A 的 V_{BUS}。为此，需要进行 USB PD 协商，因此 TPS26750 需要能够在 CC 引脚上进行通信。TPD4S480 也需要在电池无电模式下开启，以便 PD 控制器能够连接到 CC 线路。要启动设备，TPD4S480 由 TPS26750 的内部 LDO（LDO_3V3 引脚）供电。当 TPS26750 由 V_{BUS} 供电时，TPD4S480 会同时开启。

PD 控制器的无电电池电阻器也需要存在，以便 PD 控制器能够在电池无电模式下正常启动并且在 CC 引脚上具有正确的电压。

此过程完成后，TPS26750 就可以开始通过 USB PD 与电源适配器协商以实现更高的功率级别，从而允许在电池无电模式下实现 240W 的工作功率。

有关 TPD4S480 电池无电运行的更多信息，请参阅数据表的 *集成 CC 无电电池电阻器用于处理移动设备中的电池无电用例* 部分。

7.2.2.3 CC 线路电容

USB PD 规定了在 CC 线路上正常运行 USB PD BMC 所需的总电容值。

表 7-3. USB PD cReceiver 规格

名称	说明	最小值	最大值	单位	注释
cReceiver	CC 接收器电容	200	600	pF	当 DFP 或 UFP 系统未在线路上进行数据传输，其电容值应位于此范围内

使用 USB PD 时，CC 线路上的电容必须保持在 200pF 至 600pF 之间。因此，TPS26750、TPD4S480 和任何外部电容器添加到系统的电容值必须位于这些限值范围内。

7.2.2.4 CC 和 SBU 线路上的额外 ESD 保护

如果需要在 CC 或 SBU 线路上添加额外的 IEC ESD 保护，则必须使用高压 ESD 保护二极管。USB PD 中能够承受的最大直流电压为 50.4V，在电压转换期间允许达到 50.9V。因此，ESD 保护二极管的反向关断电压必须高于 50.9V，以防止二极管在 V_{BUS} 短路事件期间击穿。

由于 V_{BUS} 短路事件会向 CC 和 SBU 引脚施加直流电压，因此除非其最小触发电压高于 96V，否则无法使用快速大幅反向二极管。在 V_{BUS} 短路事件期间，CC 和 SBU 可能遭遇高达两倍稳定电压的 RLC 振铃，这样最大可能遭遇 48V 电压。此外，如果 CC 或 SBU 线路上的任何电容器出现容值下降，则可能会发生更大的振铃。由于这种振铃难以抑制，因此建议不要使用快速大幅反向二极管。如果在 V_{BUS} 短路热插拔事件期间触发快速大幅反向二极管，它会进入导通状态。由于 CC 或 SBU 线路上存在 48V 的 V_{BUS} 电源时，二极管将无限期导通。

7.2.2.5 $\overline{FLT}$ 引脚运行

一旦 C_CCx 或 C_SBUx 引脚上发生 V_{BUS} 短路，$\overline{FLT}$ 引脚会在 20µs（典型值）内置为有效，以便可以快速通知 PD 控制器。如果 V_{BUS} 短接至 CC 或 SBU，建议通过强制 USB PD 控制器分离来对此事件做出响应，以将 V_{BUS} 从端口上移除。尽管由于 TPD4S480 针对这些事件提供了保护，使用 TPD4S480 的 USB Type-C 端口不会损坏，但通过 USB Type-C 电缆连接的其他设备或电缆中的任何有源电路可能会损坏。虽然通过分离来关断 V_{BUS} 不能确保阻止其他设备或电缆受到损坏，但可以减少任何大电流路径，防止在初始损坏后造成进一步损坏。此外，即使有源电缆或其他设备确实具有适当的保护，V_{BUS} 短路事件也可能会破坏有源电缆或其他 PD 控制器中的配置，因此最好断开并重新配置该端口。

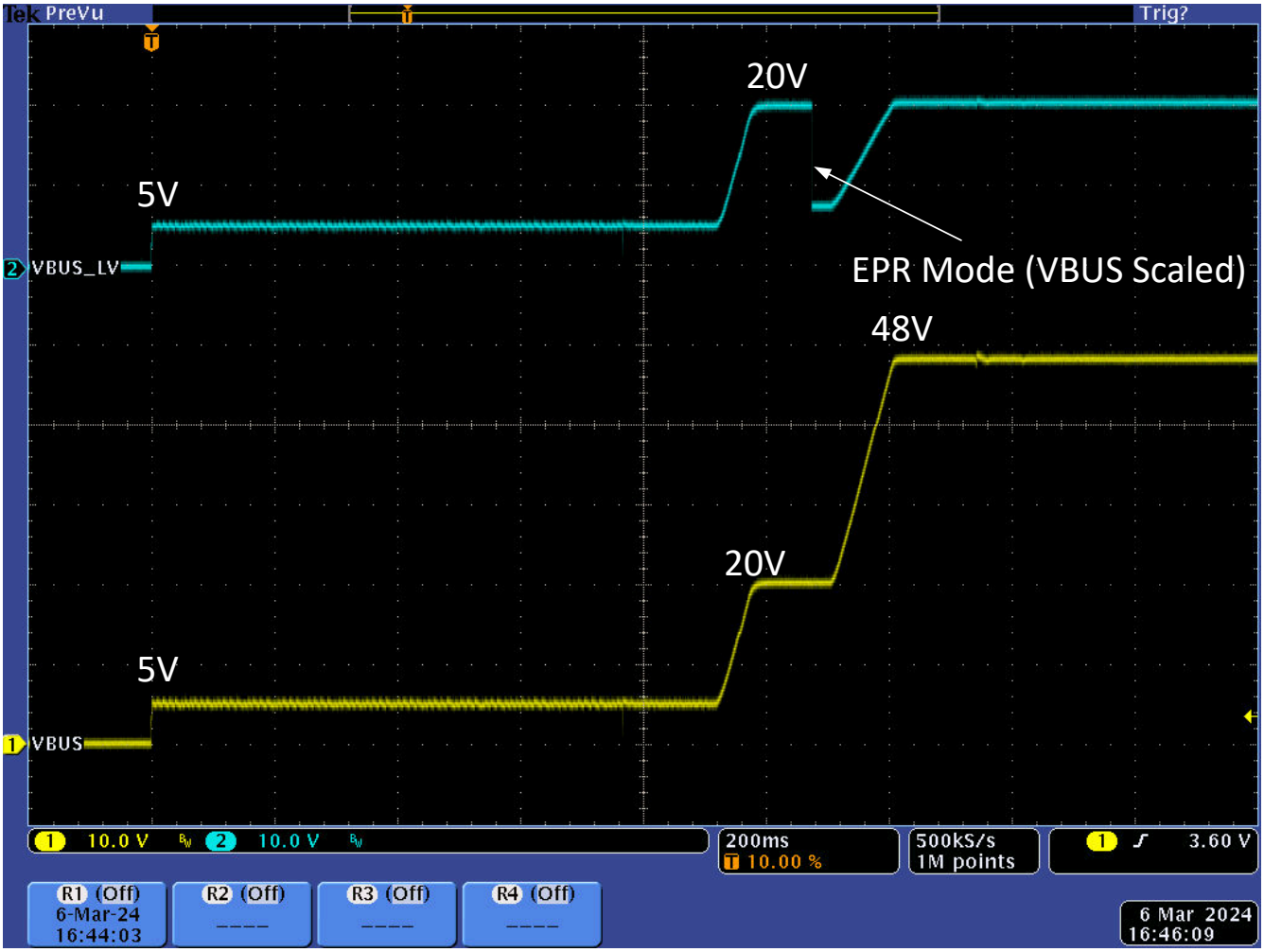
7.2.2.6 如何连接未使用的引脚

如果任一 RPD_Gx 引脚在设计中未使用，则必须连接到 GND。

7.2.3 EPR 应用曲线

图 7-2 显示了 5V 至 48V 电压转换期间的 VBUS 和 VBUS_LV 引脚。

Copyright © 2024 Texas Instruments Incorporated



5

图 7-2. 48V EPR 合约协商 VBUS 和 VBUS LV

7.3 电源相关建议

V_{PWR} 引脚为 TPD4S480 内部的所有电路供电。建议将 1μF 去耦电容器尽可能靠近 VPWR 引脚放置。如果 USB PD 需要在电池电量耗尽的情况下运行，则务必要确保 TPD4S480 在电池无电模式下启动时与 PD 控制器共用同一电源（例如共用无电电池 LDO）。有关更多详细信息，请参阅*集成 CC 无电电池电阻器用于处理移动设备中的电池无电用例*部分。

7.4 布局

7.4.1 布局指南

为了保持 USB2.0、SBU 和 CC 线路信号的完整性，合理的布线和布局非常重要。以下指南适用于 TPD4S480 器件：

- 将旁路电容器尽可能靠近 V_{PWR} 引脚放置，并将 ESD 保护电容器放尽可能靠近 V_{BIAS} 引脚放置。电容器必须连接到实心接地层。这样可以在 V_{BUS} 短路和 ESD 冲击等瞬态事件期间更大限度地减少电压干扰。
- USB2.0 和 SBU 线路必须尽可能直线布线，并且必须尽量减少任何明显的弯曲。

标准 ESD 建议也适用于 C_CC1、C_CC2、C_SBU1 和 C_SBU2：

- 该器件的最佳位置是尽可能靠近连接器：

  - ESD 事件期间的 EMI 可能会从受到冲击的布线耦合到附近其他未受保护的布线，从而导致早期系统故障。
  - PCB 设计人员必须使任何未受保护的布线远离 TPD4S480 器件和连接器之间受保护的布线，以更大限度地降低 EMI 耦合的可能性。
- 受保护的布线应尽可能直线布置。
- 使用半径尽可能大的圆角，消除 TVS 和连接器之间受保护布线上的任何尖角。
  - 电场往往会积聚在拐角上，从而增加 EMI 耦合。

7.4.2 布局示例

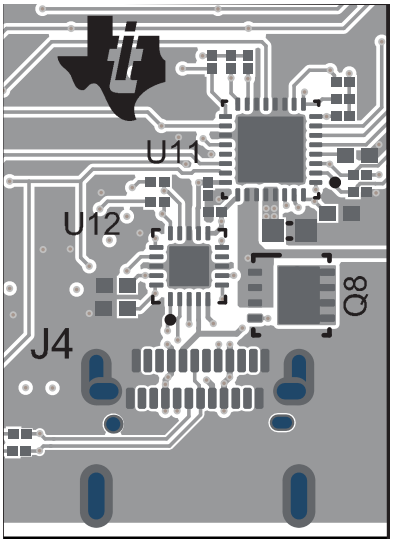


图 7-3. TPS26750 PCB 布局 - 顶部复合图

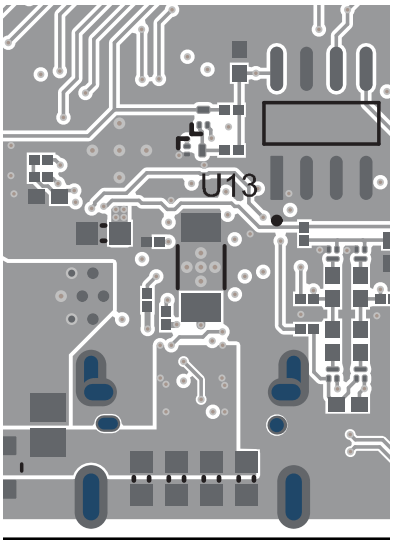


图 7-4. TPS26750 PCB 布局 - 底部复合图

Copyright © 2024 Texas Instruments Incorporated

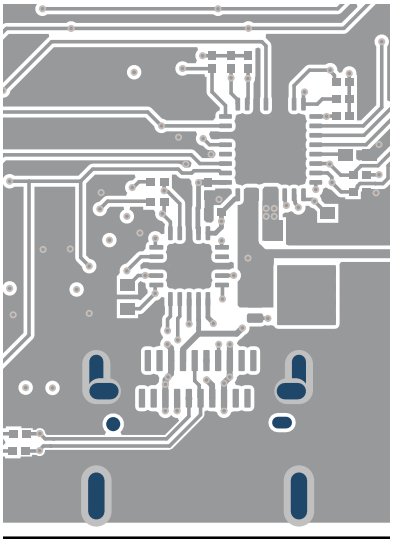


图 7-5. TPS26750 PCB 布局 - 顶层 1

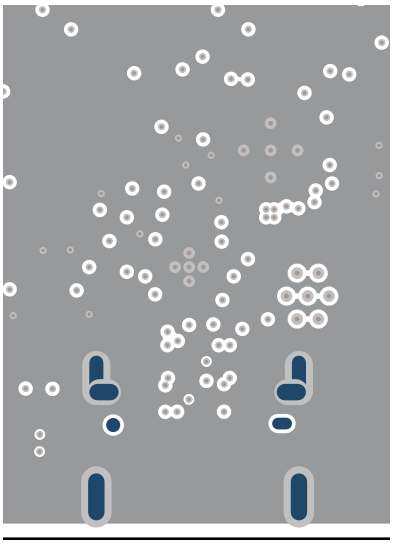


图 7-6. TPS26750 PCB 布局 - GND 层 2

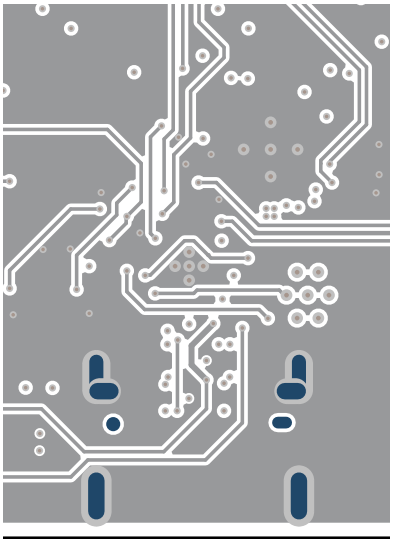


图 7-7. TPS26750 PCB 布局 - 信号层 3

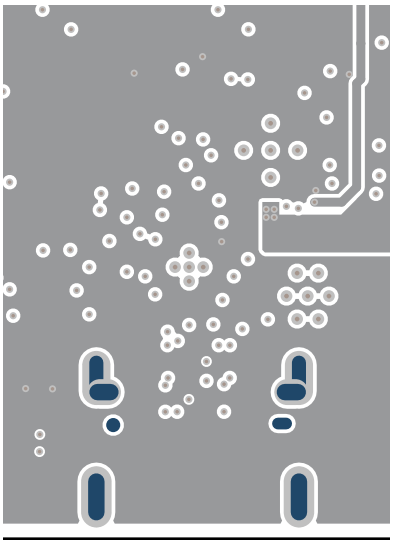


图 7-8. TPS26750 PCB 布局 - 信号层 4

Copyright © 2024 Texas Instruments Incorporated

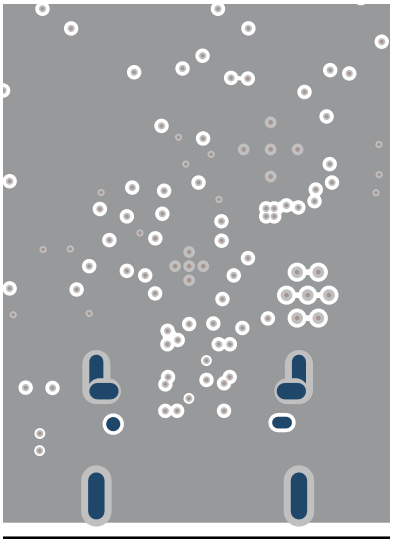


图 7-9. TPS26750 PCB 布局 - GND 层 5

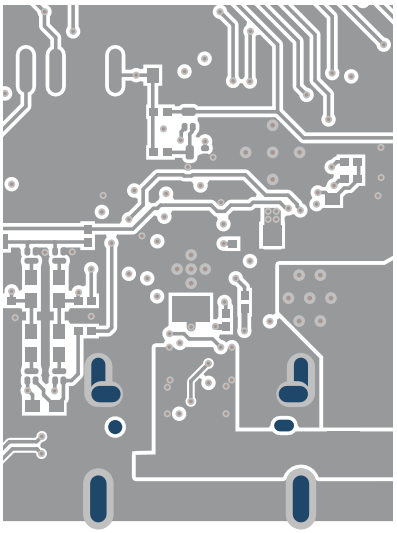


图 7-10. TPS26750 PCB 布局 - 底层 6

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

TPS26750 针对电源应用进行了优化且具有集成电源开关的 USB Type-C® 和 USB PD 控制器

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
November 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

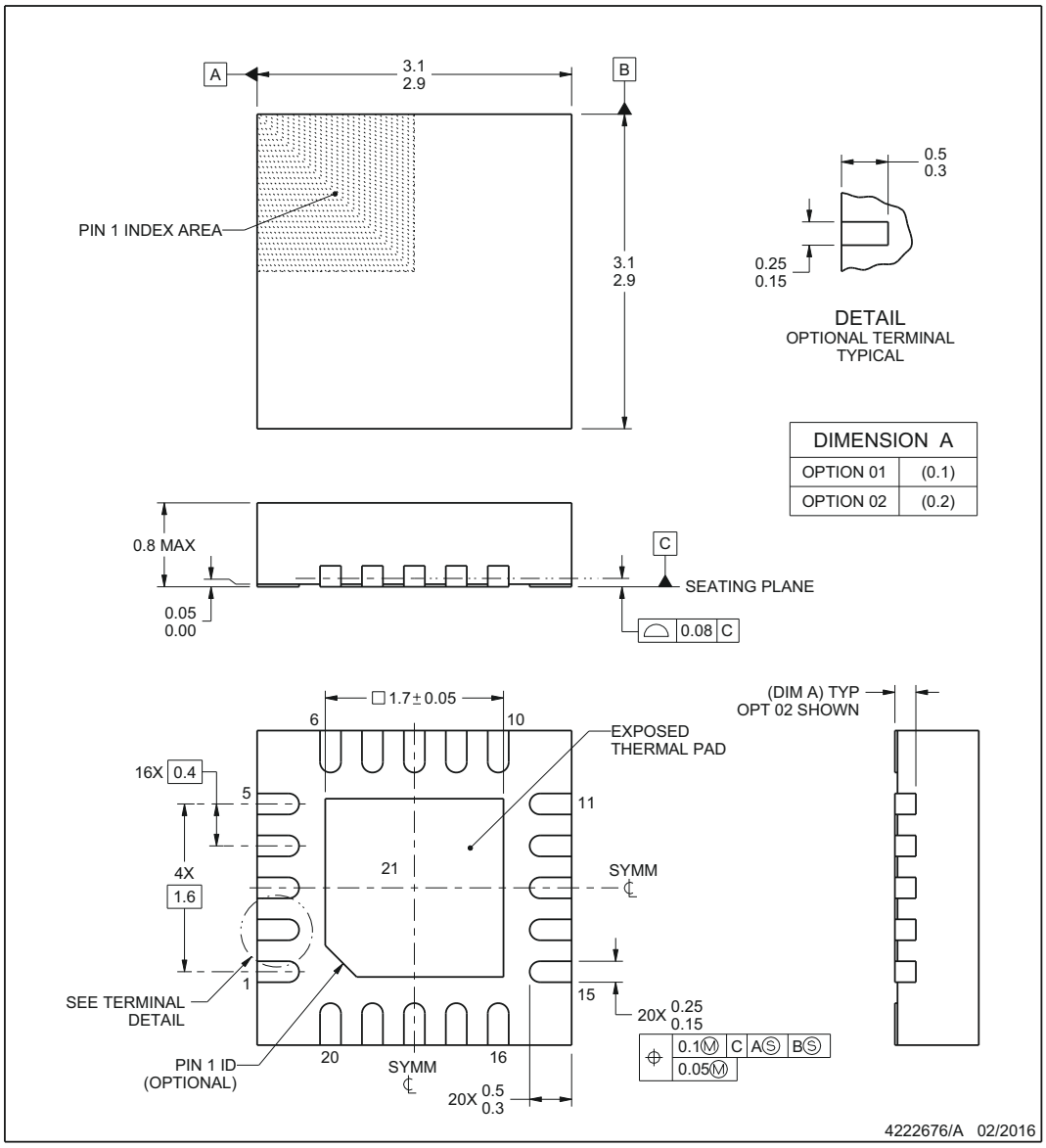
Copyright © 2024 Texas Instruments Incorporated

RUK0020B

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

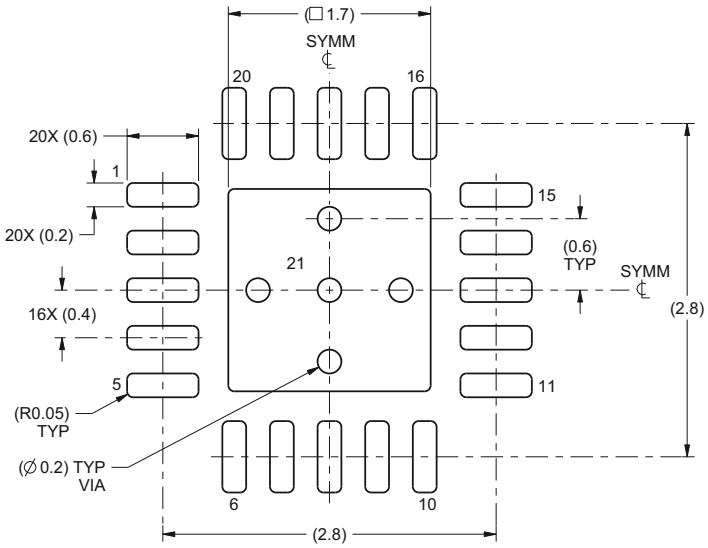
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2024 Texas Instruments Incorporated

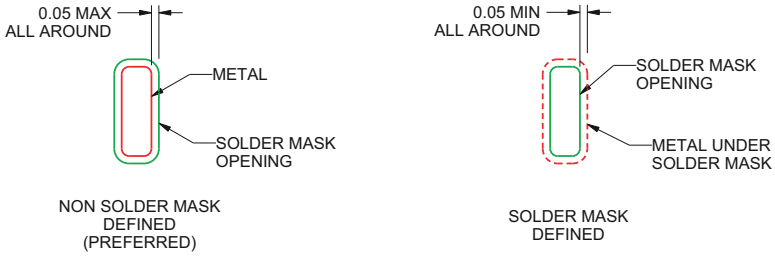
EXAMPLE BOARD LAYOUT

RUK0020B **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

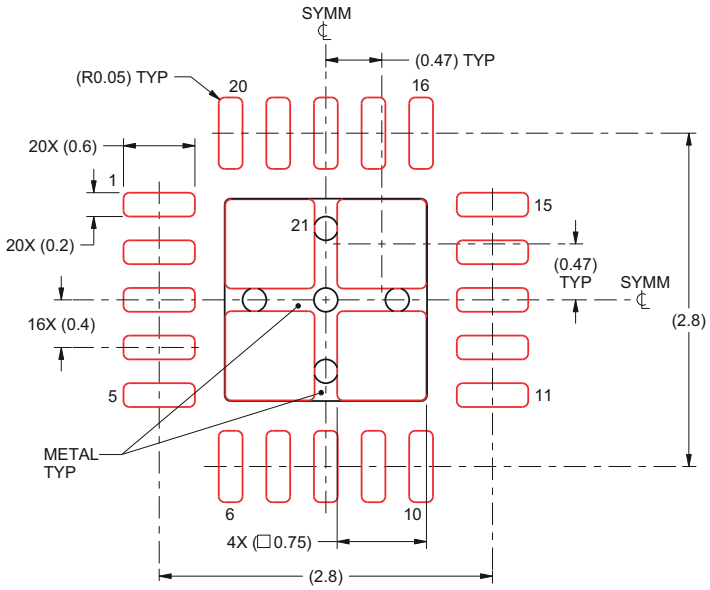
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RUK0020B **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD4S480RUKR	Active	Production	WQFN (RUK) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4S480
TPD4S480RUKR.A	Active	Production	WQFN (RUK) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See TPD4S480RUKR	4S480

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

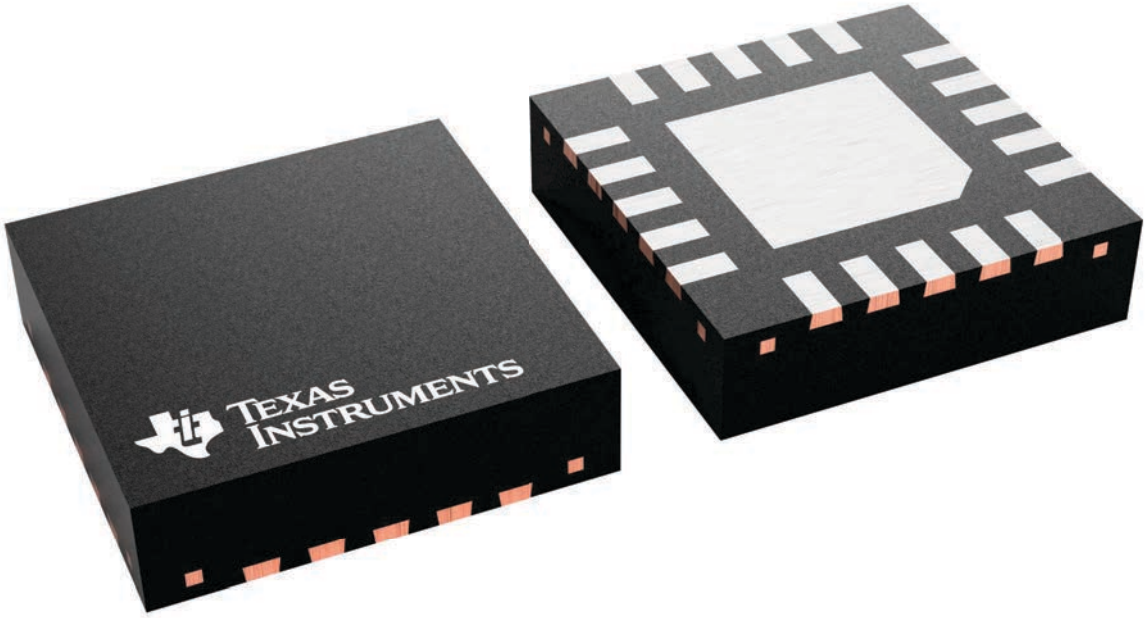
RUK 20

WQFN - 0.8 mm max height

3 x 3, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



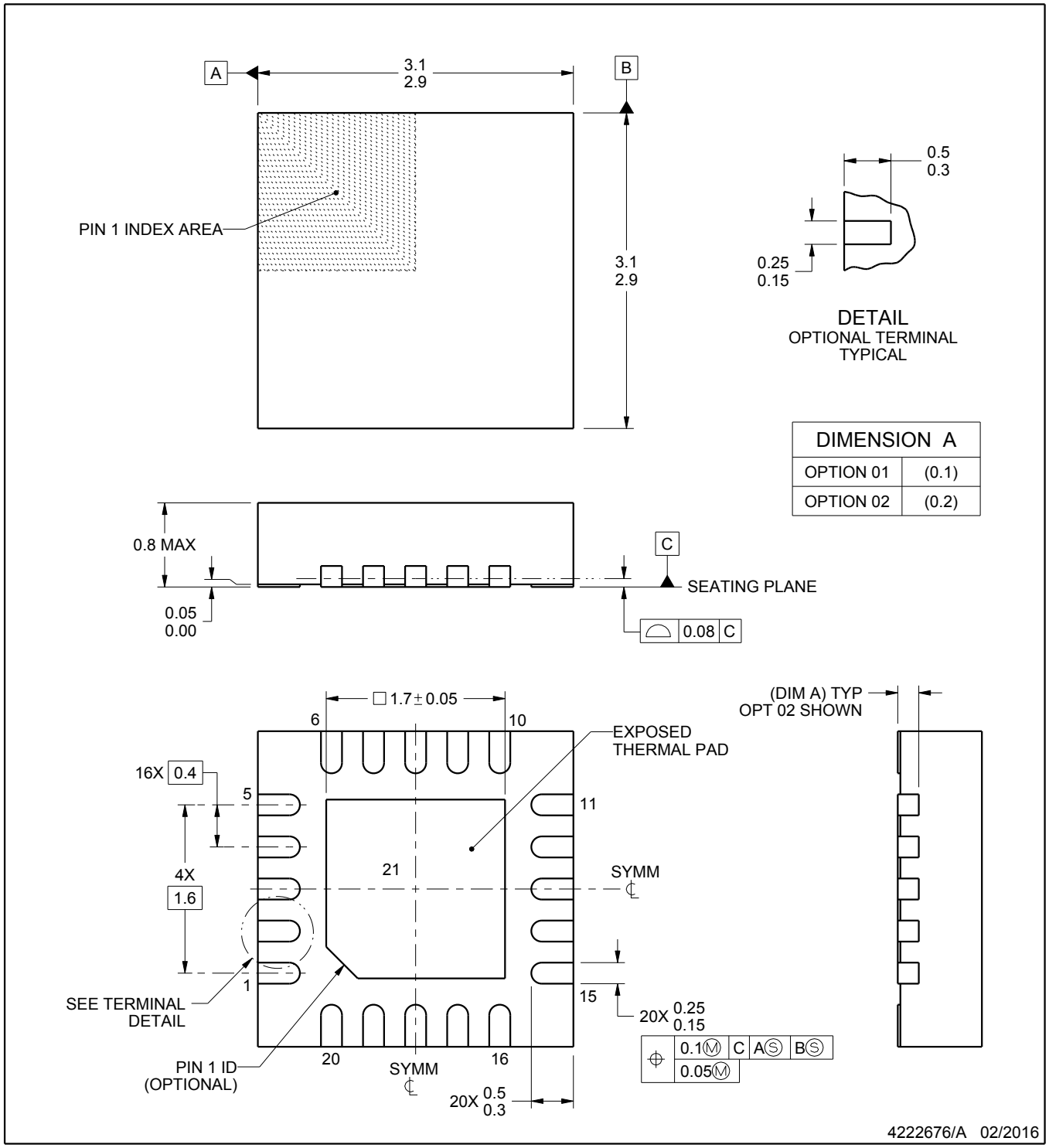
4229651/A

PACKAGE OUTLINE

RUK0020B

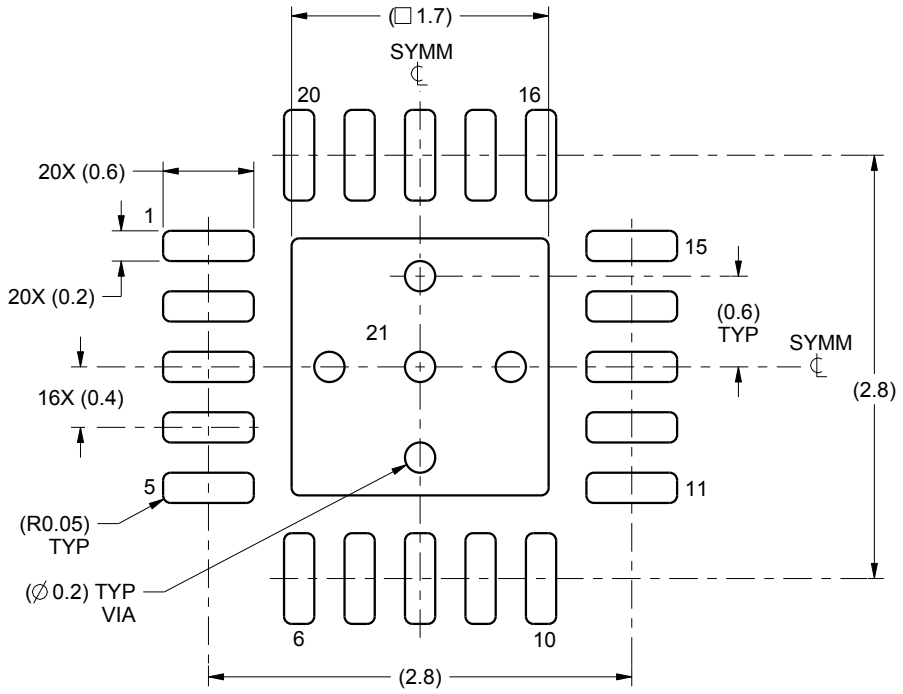
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

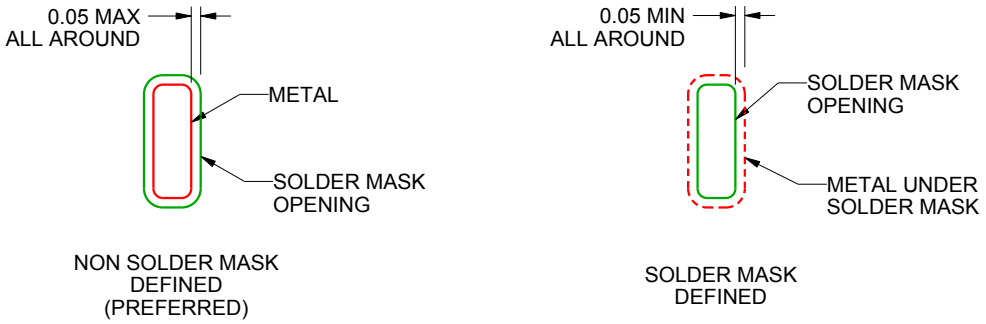


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

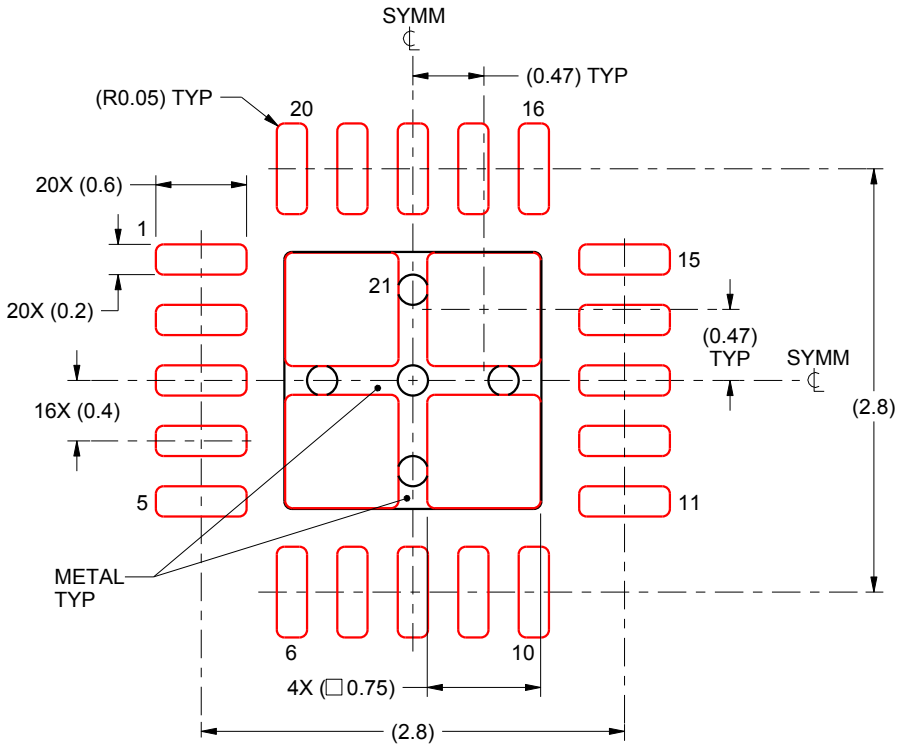


SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司