TMS470MF06607 16/32 位精简指令集计算机 (RISC) 闪存微控制器

查询样品: **TMS470MF06607**

1 特性

- 带有安全特性的高性能汽车级微控制器
  - 完全车用温度范围
  - 闪存和 **SRAM** 上的错误校正码 **(ECC)**
  - **CPU** 和内存 **BIST**（内置自检）
- **ARM Cortex™-M3 32** 位 **RISC CPU**
  - 高效 **1.2DMIPS/MHz**
  - 优化的 **Thumb2** 指令集
  - 内存保护单元 **(MPU)**
  - 带有第三方支持的开放式架构
  - 内置调试模块
- 操作特性
  - 高达 **80Mhz** 系统时钟
  - 单个 **3.3V** 电源
- 集成内存
  - 带有纠错码 **(ECC)** 的 **640KB** 总程序闪存
  - 支持闪存 **EEPROM** 仿真
  - 带有 **ECC** 的 **64K** 字节静态 **RAM (SRAM)**
- 关键外设
  - 高端定时器，多缓冲模数转换器 **(MibADC)**，控制器局域网络 **(CAN)**，多缓冲串行外设接口 **(MibSPI)**
- 通用 **TMS470M/570** 平台架构
  - 系列产品上的一致内存映射
  - 实时中断定时器 **(RTI)**
  - 数字安全装置
  - 矢量中断模块 **(VIM)**
  - 循环冗余校验器 **(CRC)**
- 基于调频零引脚锁相环路 **(FMzPLL)** 的时钟模块
  - 振荡器和 **PLL** 时钟监视器
- 高达**51**个外设 **IO** 引脚
  - **4**个专用 **GIO** 和外部中断
  - 可编程外部时钟 **(ECLK)**
- 通信接口
  - 两个 **CAN** 控制器
    - 一个有 **32** 个邮箱，另外一个有 **16** 个邮箱
    - 邮箱 **RAM** 上的奇偶校验
  - 两个多缓冲串行外设接口 **(MibSPI)**
    - 总数为 **12** 的芯片选择
    - **64** 个缓冲器，每个缓冲器上均有奇偶校验
  - 两个通用异步收发器 **(UART) (SCI)** 接口
    - 针对本地互连网络（**LIN 2.1** 主控模式）的硬件支持
- 高端定时器 **(HET)**
  - 高达**18**个可编程 **I/O** 通道
  - 带有奇偶校验的 **64** 字指令 **RAM**
- **10** 位多缓冲 **ADC (MibADC)**
  - 高达 **16** 个 **ADC** 输入通道
  - 带有奇偶校验功能的 **64** 结果 **FIFO** 缓冲器
  - **1.55uS** 总转换时间
  - 校准和自检功能
- 片载基于扫描的仿真逻辑电路
  - **IEEE** 标准 **1149.1 (JTAG)** 测试-访问端口和边界扫描
- 支持的数据包
  - **100** 引脚塑料四方扁平封装（**PZ** 后缀）
  - 绿色环保/无铅
- 可用的开发工具
  - 开发板
  - **Code Composer Studio** 集成开发环境 **(IDE)**
  - **HET** 汇编程序和模拟器
  - **nowFlash™** 闪存编程工具
- 社区资源
  - **TI E2E** 社区

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2012, Texas Instruments Incorporated

English Data Sheet: SPNS157

1.1 PZ封装视图

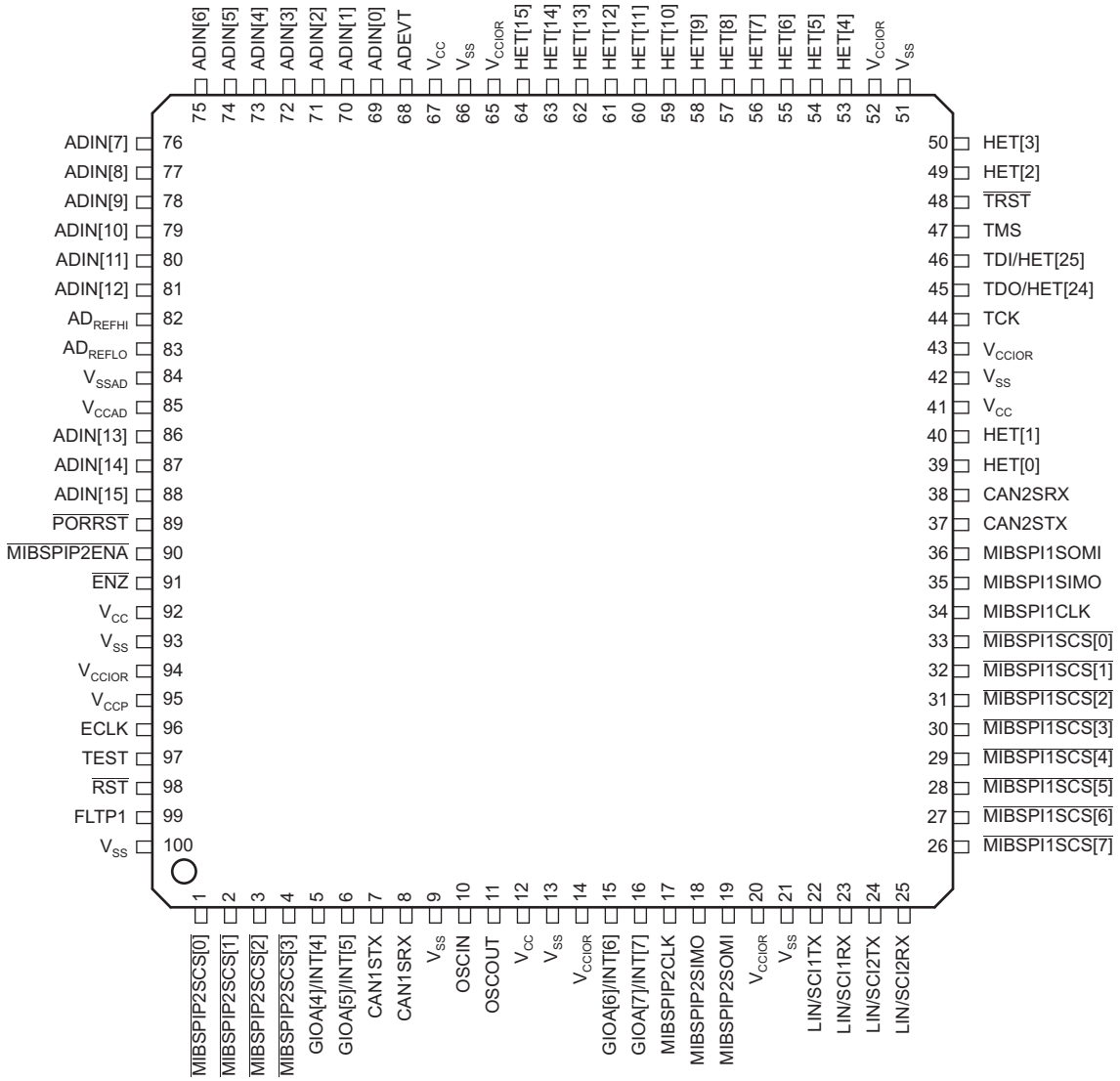


图 **1-1. TMS470MF06607 100** 引脚 **PZ** 封装（顶视图）

版权 © 2012, Texas Instruments Incorporated

1.2 说明

TMS470MF06607 器件是德州仪器 TMS470M 系列汽车级 16/32 位精简指令集计算机 (RISC) 微控制器产品的成员。 TMS470M 微控制器利用高效率的 ARM Cortex™–M3 16/32 位 RISC 中央处理单元 (CPU) 实现了高性能，由此在保持了更高代码效率的同时实现了很高的指令吞吐量。

高端嵌入式控制应用要求其控制器提供更多的性能并保持低成本。 TMS470M 微控制器架构提供了针对这些性能和成本需求的解决方案，并保持了低功耗。

TMS470MF06607 器件的组成如下：

- 16/32 位 RISC CPU 内核
- 带有 SECDED ECC 的 640k 字节的总闪存
  - 512K 字节程序闪存
  - 用于额外的程序空间或 EEPROM 仿真的 128K 字节的闪存
- 带有 SECDED ECC 的 64K 字节静态 RAM (SRAM)
- 实时中断定时器 (RTI)
- 矢量中断模块 (VIM)
- 硬件内置自测试 (BIST) 校验器，用于SRAM (MBIST) 和 CPU (LBIST)
- 64 位循环冗余校验器 (CRC)
- 带预置分频器的基于调频 0 引脚锁相环 (FMzPLL) 的时钟模块
- 两个多缓冲串行外设接口 (MibSPI)
- 两个具有本地互连网络接口 (LIN) 的 UART (SCI)
- 两个 CAN 控制器 (DCAN)
- 高端定时器 (HET)
- 外部时钟前置分频器 (ECP) 模块
- 一个 16 通道 10 位多缓冲 ADC (MibADC)
- 错误信令模块 (ESM)
- 四个专用通用 I/O (GIO) 引脚和 47 个（其中 2 个和 JTAG 引脚复用）附加外设 I/O（100 引脚封装）

TMS470M 内存包括通用 SRAM，可支持字节模式、半字模式及字模式的单周期读/写存取。 可以利用 ECC 对 TMS470M 器件上的 SRAM 加以保护。 此项特性运用单错纠正和双错检测电路（SECDED 电路）来检测并选择性地校正单位错误以及检测所有的双位错误和某些多位错误。 这是通过将一个用于内存空间的每个 64 位双字的 8 位 ECC 校验和/代码保存在一个单独的 ECC RAM 内存空间中实现的。

该器件上的闪存是一种非易失性、电可擦且可编程的存储器。 它是采用一个 144 位宽的数据字 （128 位，无 ECC） 和一个 64 位宽的闪存模块接口实现的。 该闪存在高达 28MHz 的系统时钟频率条件下运行。 可提供闪存数据线性预读取的流水线模式实现了一个高达 80MHz 的系统时钟。

TMS470M 器件上的增强型实时中断 (RTI) 模块可选择由振荡器时钟进行驱动。 数字安全装置 (DWD) 是一个 25 位的可复位递减计数器，当安全装置计数器终止计数时，该计数器将提供系统复位。

TMS470M 器件具有6个通信接口：两个 LIN/SCI，两个 DCAN和两个 MibSPI。 LIN 是本地互连网络标准，而且还支持一种 SCI 模式。 SCI 可被用在一个用于 CPU 与其他采用标准不归零制 (NRZ) 格式外设之间的异步通信的全双工、串行 I/O 接口中。 DCAN 采用一种串行、多主机通信协议，此协议可高效支持分布式实时控制及高达 1 兆位每秒 (Mbps) 的稳健通信速率。 DCAN 非常适合于工作于嘈杂和严酷环境中的应用（例如：汽车和工业领域），此类应用需要可靠的串行通信或多路复用线路。 MibSPI 为相似的移位寄存器型器件之间的高速通信提供了一种便捷的串行交互方法。 MibSPI 提供了标准的 SOMI、SIMO 和 SPI 时钟接口以及多达 8 条芯片选择线路。

HET 是一种先进的智能定时器，可为实时应用提供精密的定时功能。 该定时器为软件控制型，采用一个精简指令集，并具有一个专用的定时器微级机和一个连接的 I/O 端口。 这种 HET 可用于比较、捕获或通用型 I/O。它特别适合于那些需要带有复杂和准确的时间脉冲的多种传感器信息和驱动传动器的应用。 TMS470M HET 外设包含 “异或 (XOR) 共享” 功能。 该功能允许对两个相邻的 HET 高分辨率通道进行 “异或” 运算，从而可以输出一个小于标准 HET 的脉冲。

TMS470M 器件具有一个 10 位分辨率的采样及保持 MibADC。 可利用软件对每个 MibADC 通道进行分组，以用于顺序转换序列。 有三个单独的分组，它们均可以由一个外部事件触发。 每个序列可在被触发时执行一次转换，或者通过配置以执行连续转换模式。

调频零引脚锁相环 (FMzPLL) 时钟模块包含一个锁相环、一个时钟监视器电路、一个时钟启用电路和一个前置分频器。 FMzPLL 的功能是将外部频率基准倍频至一个较高的频率，以供内部使用。 FMzPLL 提供到全局时钟模块 (GCM) 的输入。 GCM 模块接着向所有其他的 TMS470M 器件模块提供系统时钟 (HCLK)、实时中断时钟 (RTICLK)、CPU 时钟 (GCLK)、HET 时钟 (VCLK2)、DCAN 时钟 (AVCLK1) 及外设接口时钟 (VCLK)。

TMS470M 器件还具有一个外部时钟前置分频器 (ECP) 模块，该模块在被启用时将输出一个连续外部时钟 (ECLK)。 ECLK 频率是一个外设接口时钟 (VCLK) 频率的用户可编程比例。

错误信令模块 (ESM) 在器件内部提供了一个用于错误报告的共用位置，从而实现了高效的错误检查和识别。

版权 © 2012, Texas Instruments Incorporated

1.3 功能方框图

图 1-2显示了 TMS470M 器件的功能方框图。

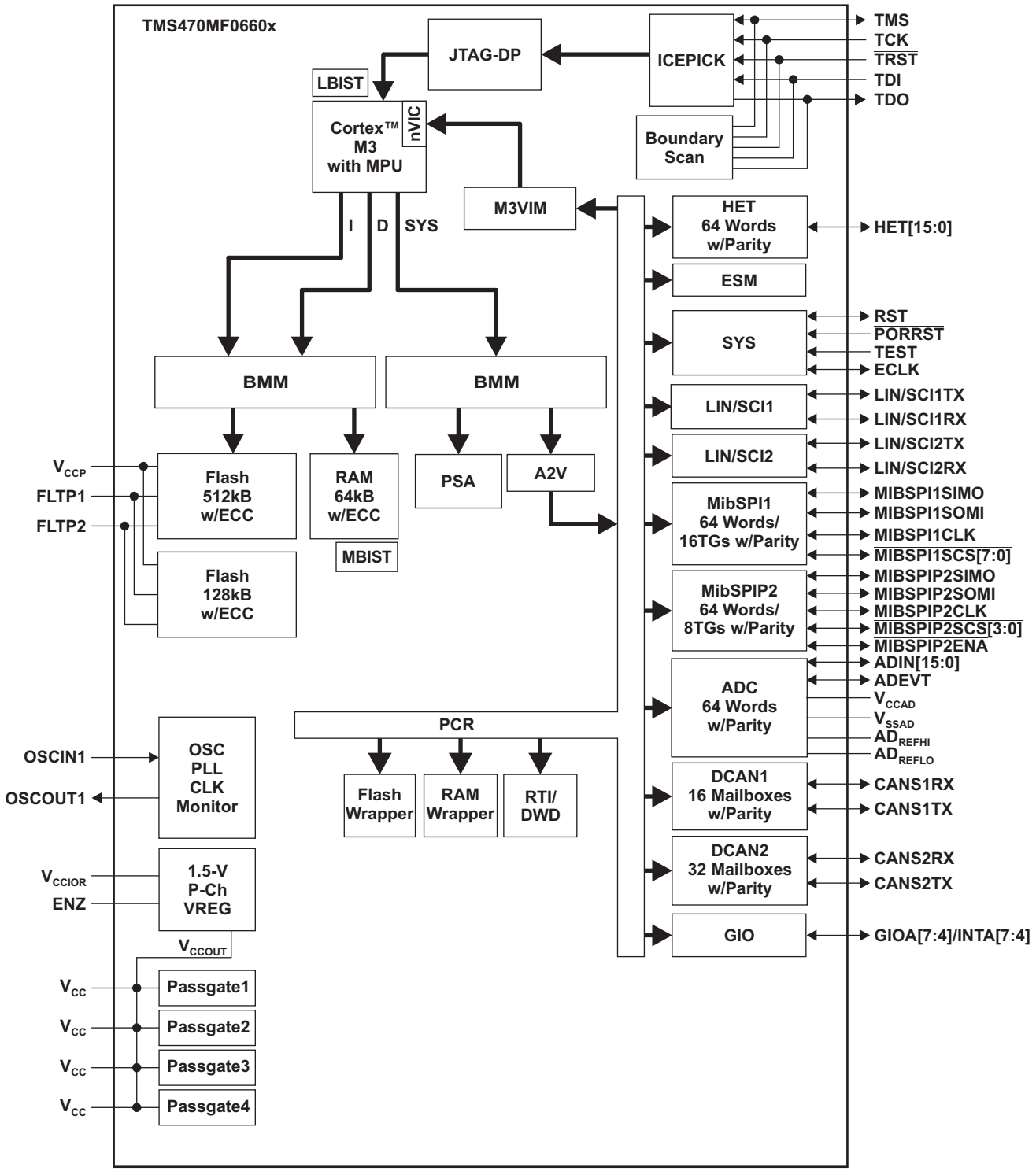


图 **1-2. TMS470M** 系列方框图

1.4 术语和首字母缩略词

表 1-1. 术语和首字母缩略词

术语和首字母缩略词	描述	注释
A2V	AHB 至 VBUSP 桥接	A2V 桥接提供私有 TI VBUSP 和 TMS470M 平台器件中 ARM AHB 总线间的内存接口。
ADC	模数转换器	
AHB	高级高性能总线	M3 内核的部件
BMM	总线矩阵主控	BMM 提供不同总线受控模块到不同总线主控模块的连接性。 如果没有发生资源冲突或者如果主控模块在仲裁过程中保持并行的话，来自不同总线模块的访问可并行执行。
CRC	循环冗余校验控制器	
DAP	调试访问端口	DAP 是一个 ARM 调试接口的工具。
DCAN	控制器局域网	
DWD	数字安全装置	
ECC	错误校正码	
ESM	错误信令模块	
GIO	通用输入/输出	
HET	高端定时器	
ICEPICK	处于电路仿真 TAP（测试访问端口）选择模块	ICEPick 能够连接或者隔离一个模块级 TAP 到一个更高级芯片 TAP 的数据通信。 ICEPick 设计时充分考虑了仿真和测试需要。
JTAG	联合测试访问组	负责测试访问端口的 IEEE 委员会
JTAG-DP	JTAG 调试端口	JTAG-DP 包含一个调试端口状态机 (JTAG)，此状态机控制 JTAG-DP 运行，包括控制扫描链路接口，此接口提供到 JTAG-DP 的外部物理接口。 它基于 JTAG TAP 状态机，请见 IEEE 标准 1149.1-2001。
LBIST	逻辑内置自检	测试 M3 CPU 的完整性
LIN	本地互连网络	
M3VIM	Cortex-M3 矢量中断管理器	
MBIST	存储器内置自检	测试 SRAM 的完整性
MibSPI	多缓冲串行外设接口	
MPU	保护单元	
NVIC	嵌套矢量中断控制器	M3 内核的部件
OSC	振荡器	
PCR	外设中心资源	
PLL	锁相环路	
PSA	并行签名分析	
RTI	实时中断	
SCI	串行通信接口	
SECDED	单一错误校正和双错误校正	
STC	自检控制器	
SYS	系统模块	
VBUS	虚拟总线	包括 CBA（通用总线架构）的协议中的一个
VBUSP	虚拟管道型总线	包括 CBA（通用总线架构）的协议中的一个
VREG	电压稳压器	

版权 © 2012, Texas Instruments Incorporated

1 特性 1
1.1 PZ封装视图 2
1.2 说明 3
1.3 功能方框图 5
1.4 术语和首字母缩略词 6
2 器件纵览 8
2.1 内存映射摘要 9
2.2 端子功能 12
2.3 器件支持 16
3 器件配置 18
3.1 复位/中止源 18
3.2 闭锁复位模块 19
3.3 ESM 分配 19
3.4 中断优先级 (M3VIM) 20
3.5 MibADC 21
3.6 MibSPI 22
3.7 JTAG ID 23
3.8 扫描链 23
3.9 低功率模式 23
3.10 自适应阻抗 4mA 的 IO 缓冲区 23
3.11 内置自检 (BIST) 功能 28
3.12 器件标识码寄存器 30
3.13 器件部件号 31
4 器件运行条件 32
4.1 自然通风运行温度范围内的最大绝对值，Q版 32
4.2 建议的器件运行条件 32
4.3 在推荐自然通风工作温度范围内的电气特性，Q 版本 33
5 外设信息和电气技术规范 35
5.1 $\overline{\text{RST}}$和$\overline{\text{PORRST}}$时序 35
5.2 PLL 和时钟技术规格 40
5.3 SPIn 主模式时序参数 47
5.4 SPIn 从模式时序参数 51
5.5 CAN 控制器 (DCANn) 模式时序 55
5.6 高端定时器 (HET) 时序 55
5.7 多缓冲模数转换器 (MibADC) 56
6 修订历史记录 60
7 机械数据 61
7.1 散热数据 61
7.2 封装信息 61

2 器件纵览

TMS470MF06607 器件是一个用 F035 130nm TI 技术实现的 TMS470M 平台架构。表 2-1识别 TMS470MF06607 器件的所有特征，除了通用的系统和 CPU。

表 **2-1.** 器件特性

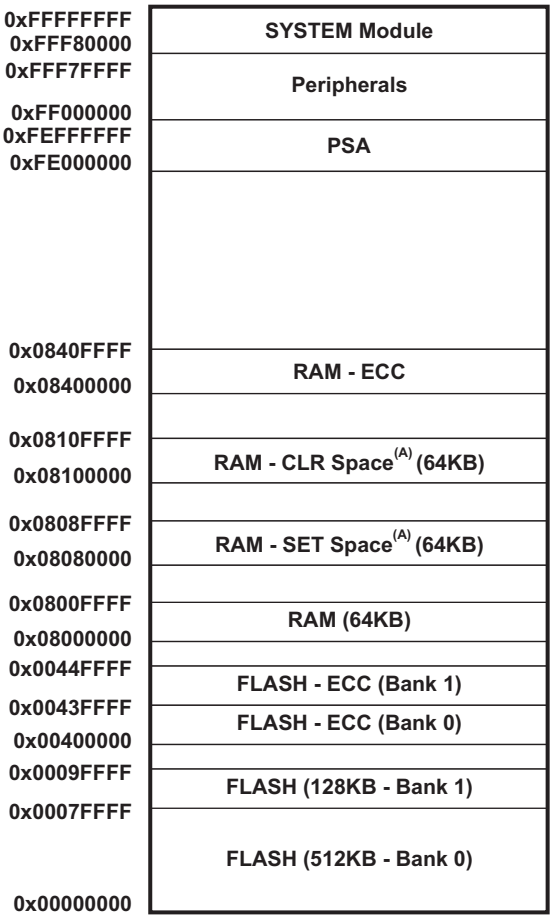
特征	**TMS470MF06607** 器件描述	**TMS470MF06607** 注释
内存		
内部存储器	管道/非管道 2 组带有 ECC 的640K 字节闪存 带有 ECC 的 64K 字节 SRAM CRC，1 通道	闪存具有管道功能
外设		
对于特定设备的中断优先级配置，请参阅表 3-4。 对于外设地址范围及其周边的选择，请参阅表 2-6。		
时钟	FMzPLL	调频 0 引脚 PLL 无外部环路滤波器引脚。
通用 I/Os	4 I/O	GIOA 端口有多达四 (4) 个具有外部中断能力的外部引脚。
LIN/SCI	2 LIN/SCI	
DCAN	2 DCAN	每个分别具有 16/32 个邮箱。
MibSPI	2 MibSPI	一个具有八个芯片选择引脚，16 个传送组，和 1 个带有奇偶校验的 64 字缓冲器的 MibSPI。 一个具有四个芯片选择引脚，1 个使能引脚，8 个传送组，和 1 个带有奇偶校验的 64 字缓冲器的第二 MibSPI。
带有 XOR 共享的 HET	18 I/O	高分辨率 (HR) 共享功能，允许偶数 HR 引脚共享下一个更高的奇数 HR 引脚结构。 这种 HR 共享要取决于奇数引脚是否是外部可用的。 如果是奇数引脚是外部可用的并且是共享的，那么奇数引脚只能被用作通用 I/O。带有奇偶校验功能的 HET RAM。
HET RAM	64 指令功能	
MibADC	10 位, 16 通道 64 字 FIFO	MibADC RAM 包括对奇偶校验的支持。
内核电压	1.5V	
I/O 电压	3.3V	
引脚	100	100 引脚封装可用
封装	PZ （100 引脚）	100 引脚封装的标志是 PZ。

版权 © 2012, Texas Instruments Incorporated

2.1 内存映射摘要

2.1.1 内存映射

图 2-1显示了 TMS470MF06607 内存映射



A. RAM 支持位访问操作，允许设置/清除专用位而不会干扰其他位：详细说明，请参阅架构规范。

图 **2-1. TMS470MF06607** 内存映射

2.1.2 内存选择

TMS470M 器件中的存储器位于固定地址内。表 2-2和表 2-6详述了内存区域映射。

表 **2-2. TMS470MF06607** 特定的内存帧分配

内存帧名称	开始地址	结束地址	内存类型	实际内存
nCS0(1)	0x0000 0000	0x0009 FFFF	闪存	640K 字节
RAM-CLR	0x0810 0000	0x0810 FFFF	内部 RAM	64K 字节
RAM-SET	0x0808 0000	0x0808 FFFF	内部 RAM	64K 字节
CSRAM0(1)	0x0800 0000	0x0800FFFF	内部 RAM	64K 字节
CSRAM0(1)	0x0840 0000	0x0840 FFFF	内部 RAM-ECC	64K 字节

(1) 有可能出现最终结果为无效的附加地址镜像，但可寻址位置超过了上面所列出的范围。 当访问外围内存的未生效的内存区域时，器件可能会产生中止。 TI 建议使用 MPU 以保护到目标使用范围之外地址的访问。

表 **2-3.** 内存初始化和 **MBIST**

连接模块	地址范围		内存初始化通道	**MBIST** 控制器使能通道
	基址	结束地址		
系统 RAM	0x08000000	0x0800FFFF	0	0
MibSPI1 RAM	0xFF0E0000	0xFF0FFFFF	1	1 或 2(1)
MibSPIP2 RAM	0xFF0C0000	0xFF0DFFFF	2	
DCAN1 RAM	0xFF1E0000	0xFF1FFFFF	3	3 或 4(1)
DCAN2 RAM	0xFF1C0000	0xFF1DFFFF	4	
ADC RAM	0xFF3E0000	0xFF3FFFFF	5	5
HET RAM	0xFF460000	0xFF47FFFF	不可用	6
STC ROM	不适用	不适用	不适用	7

(1) MibSPI RAM 和 DCAN RAM 中均有单个的 MBIST 控制器。 MibSPI RAM 的 MBIST 控制器被映射到通道 1 和 2，而 DCAN RAM 的 MBIST 控制器却被映射到通道 3 和 4。这些模块的 MBIST 可以被这 2 个通道中的一个或两个启动。

表 **2-4.** 外设内存芯片选择分配

连接模块	地址范围		外设选择
	基址	结束地址	
MibSPI1 RAM	0xFF0E0000	0xFF0FFFFF	PCS[7]
MibSPIP2 RAM	0xFF0C0000	0xFF0DFFFF	PCS[6]
DCAN1 RAM	0xFF1E0000	0xFF1FFFFF	PCS[14]
DCAN2 RAM	0xFF1C0000	0xFF1DFFFF	PCS[15]
ADC RAM	0xFF3E0000	0xFF3FFFFF	PCS[31]
HET RAM	0xFF460000	0xFF47FFFF	PCS[35]

注

针对这个特定外设设置，从 4kB 开始享受，所有使用的外设内存存芯片选择解码至尽可能小的地址。 访问时，未使用的地址应该生成一个非法地址。

表 **2-5.** 系统外设寄存器

帧名称	地址范围	
	帧起始地址	帧结束地址
PSA	0xFE00_0000	0xFEFF_FFFF
闪存包装寄存器	0xFFF8_7000	0xFFF8_7FFF
PCR 寄存器	0xFFFF_E000	0xFFFF_E0FF
系统帧 2 寄存器	0xFFFF_E100	0xFFFF_E1FF
CPU STC (LBIST)	0xFFFF_E400	0xFFFF_E4FF
ESM 寄存器	0xFFFF_F500	0xFFFF_F5FF
RAM的 ECC 寄存器	0xFFFF_F900	0xFFFF_F900
RTI 寄存器	0xFFFF_FC00	0xFFFF_FCFF
VIM 寄存器	0xFFFF_FE00	0xFFFF_FEFF
系统寄存器	0xFFFF_FF00	0xFFFF_FFFF

版权 © 2012, Texas Instruments Incorporated

表 **2-6.** 具有地址范围的外设选择映射

连接模块	基址	地址	外设选择
MibSPIP2	0xFFF7_F600	0xFFF7_F7FF	PS[2]
MibSPI1	0xFFF7_F400	0xFFF7_F5FF	
LIN/SCI1	0xFFF7_E500	0xFFF7_E5FF	PS[6]
LIN/SCI2	0xFFF7_E400	0xFFF7_E4FF	
DCAN2	0xFFF7_DE00	0xFFF7_DFFF	PS[8]
DCAN1	0xFFF7_DC00	0xFFF7_DDFF	
ADC	0xFFF7_C000	0xFFF7_C1FF	PS = 15]
GIO	0xFFF7_BC00	0xFFF7_BCFF	PS[16]
HET	0xFFF7_B800	0xFFF7_B8FF	PS[17]

2.1.3 闪存存储器

在管道模式下，闪存运行时的系统时钟频率高达80MHz（相对于在非管道模式时 28MHz 的系统时钟）。 闪存在管道模式下能够访问 128 位字，并向 CPU 提供四个 32 位管线字。

注

1. 系统复位后，管线模式被禁用[FRDCNTL[2:0] 是 000b,请参阅*《TMS470M 系列技术参考手册中》*(SPNU495) 中的闪存一章。 换句话说，在非管道模式中，器件加电并解除复位。
2. 闪存外部泵电压 **(V_{CCP})** 在所有的操作中是必须的（编程，擦除和读取）。

2.1.4 闪存编程和擦除

TMS470MF06607 器件闪存包含一个 512K 字节的存储器阵列（或组）和一个 128K 字节的组，此组共有 15 个扇区。 这 15 个扇区的大小显示在表 2-7。

擦除操作的最小尺寸是一个扇区。 编程操作的最大尺寸是一个 16 位字。

表 **2-7.** 闪存存储器组组和扇区

扇区编号	段	低地址	高地址	内存阵列（或组）
0	16k	0x0000_0000	0x0000_3FFF	组 0 (512K 字节)
1	16k	0x0000_4000	0x0000_7FFF	
2	32k	0x0000_8000	0x0000_FFFF	
3	64k	0x0001_0000	0x0001_FFFF	
4	64k	0x0002_0000	0x0002_FFFF	
5	64k	0x0003_0000	0x0003_FFFF	
6	64k	0x0004_0000	0x0004_FFFF	
7	64k	0x0005_0000	0x0005_FFFF	
8	64k	0x0006_0000	0x0006_FFFF	
9	64k	0x0007_0000	0x0007_FFFF	
0	16k	0x0008_0000	0x0008_3FFF	组 1[(1)] (128K 字节)
1	16k	0x0008_4000	0x0008_7FFF	
2	16k	0x0008_8000	0x0008_BFFF	
3	16k	0x0008_C000	0x0008_FFFF	
4	64k	0x0009_0000	0x0009_FFFF	

(1) 组 1 既可用于 EEPROM 仿真空间也可用于程序空间。

2.2 端子功能

端子功能表 (表 2-8) 标识了引脚名称、相关的引脚号码、输入电压、输出电压、引脚是否有任何内部上拉/下拉电阻器和引脚的功能说明。

表 2-8. 端子功能

端子		输入电压(1) (2)	输出电流(3)	IPU/IPD(4)	说明
名称	100 引脚				
高端定时器 (HET)					
HET[0]	39	3.3V I/O	自适应阻抗 4mA	可编程 IPD (100μA)	定时器输入捕捉或输出比较。 HET[15:0] 适用引脚可设定为通用输入/输出 (GIO) 引脚。 所有都是高分辨率引脚。 高分辨率 (HR) 共享功能，允许偶数 HR 引脚共享下一个更高的奇数 HR 引脚结构。 这种 HR 共享要取决于奇数引脚是否是外部可用的。 如果是奇数引脚是外部可用的并且是共享的，那么奇数引脚只能被用作通用 I/O。 请注意：HET[24] 和 HET[25] 通道与 TDO/ TDI 复用。在调试过程中，它们各自的输入缓冲器将反映 TDI 和 TDO 的状态。
HET[1]	40				
HET[2]	49				
HET[3]	50				
HET[4]	53				
HET[5]	54				
HET[6]	55				
HET[7]	56				
HET[8]	57				
HET[9]	58				
HET[10]	59				
HET[11]	60				
HET[12]	61				
HET[13]	62				
HET[14]	63				
HET[15]	64				
HET[24]	45				
HET[25]	46				
CAN 控制器 1 (DCAN1)					
CAN1STX	7	3.3-V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	DCAN1 传输引脚或 GIO 引脚。
CAN1SRX	8				DCAN1 接收引脚或 GIO 引脚。
CAN 控制器 2 (DCAN2)					
CAN2STX	37	3.3-V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	DCAN 2 传输引脚或 GIO 引脚
CAN2SRX	38				DCAN 2 接收引脚或 GIO 引脚
通用 I/O (GIO)					
GIOA[4]/INT[4]	5	3.3V I/O	自适应阻抗 4mA	可编程 IPD (100μA)	通用输入/输出引脚。 100 引脚 - GIOA[7:4]/INT[7:4] 是可中断引脚。
GIOA[5]/INT[5]	6				
GIOA[6]/INT[6]	15				
GIOA[7]/INT[7]	16				

(1) PWR = 电源，GND = 接地，REF = 基准电压，NC = 无连接
(2) 当$\overline{\text{PORRST}}$为低电平并且$\overline{\text{PORRST}}$变为低电平后，所有除$\overline{\text{RST}}$之外的 I/O 引脚都立即被配置为输入。
(3) TMS470M 器件利用自适应阻抗模式操作缺省的自适应阻抗 4mA 缓冲区。 在故障安全时，缓冲区的自适应阻抗功能可被禁用并恢复缓冲区到标准缓冲模式。
(4) IPD = 内部下拉电阻，IPU=内部上拉电阻（当$\overline{\text{PORRST}}$被设置为有效时，所有在输入引脚上的内部上拉电阻和下拉电阻都将无效。）

版权 © 2012, Texas Instruments Incorporated

表 **2-8.** 端子功能 **(continued)**

端子		输入电压[(1) (2)]	输出电流[(3)]	**IPU/IPD**[(4)]	说明
名称	**100** 引脚				
多缓冲串行外设接口 **1 (MIBSPI1)**					
MIBSPI1CLK	34	3.3-V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	MIBSPI1 时钟。 MIBSPI1CLK 可以 被设定为一个 GIO 引脚。
MIBSPI1SCS[0]	33				MIBSPI1 从器件芯片选择。 MIBSPI1SCS[7:0] 可以设定为一个 GIO 引脚。
MIBSPI1sCS[1]	32				
MIBSPI1SCS[2]	31				
MIBSPI1SCS[3]	30				
MIBSPI1SCS[4]	29				
MIBSPI1SCS[5]	28				
MIBSPI1SCS[6]	27				
MIBSPI1SCS[7]	26				
MIBSPI1SIMO	35				MIBSPI1 数据流。 从器件输入/主器件输出。 MIBSPI1SIMO 可被设定为一个 GIO 引脚。
MIBSPI1SOMI	36				MIBSPI1 数据流。 从器件输出/主器件输入。 MIBSPI1SOMI 可被设定为一个 GIO 引脚。
多通道缓冲串行外设接口 **2**（**MIBSPIP2**）					
MIBSPIP2CLK	17	3.3V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	MIBSPIP2 时钟。 MIBSPIP2CLK 可被设定为一个 GIO 引脚。
$\overline{\text{MIBSPIP2SCS[0]}}$	1				MIBSPIP2 从器件芯片选择$\overline{\text{MIBSPIP2SCS[3:0]}}$可被设定为 GIO 引脚。
$\overline{\text{MIBSPIP2SCS[1]}}$	2				
$\overline{\text{MIBSPIP2SCS[2]}}$	3				
$\overline{\text{MIBSPIP2SCS[3]}}$	4				
$\overline{\text{MIBSPIP2ENA}}$	90				MIBSPIP2 使能引脚。 $\overline{\text{MIBSPIP2ENA}}$可被设定为一个 GIO 引脚。
MIBSPIP2SIMO	18				MIBSPIP2 数据流。 从机输入/主机输出。 MIBSPIP2SIMO 可被设定为一个 GIO 引脚。
MIBSPIP2SOMI	19				MIBSPIP2 数据流。 从器件输出/主器件输入。 MIBSPIP2SOMI 可被设定为一个 GIO 引脚。
局域互连网络 **1 /** 串行通信接口 **1 (LIN1/SCI1)**					
LIN1/SCI1RX	23	3.3-V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	LIN/SCI1 数据接收。 可被设定为一个 GIO 引脚。
LIN1/SCI1TX	22				LIN/SCI1 数据接收。 可被设定为一个 GIO 引脚。
局域互连网络 **2 /** 串行通信接口 **2 (LIN2/SCI2)**					
LIN2/SCI2RX	25	3.3-V I/O	自适应阻抗 4mA	可编程 IPU (100 μA)	LIN/SCI2 数据接收。 可被设定为一个 GIO 引脚。
LIN2/SCI2TX	24				LIN/SCI2 数据接收。 可被设定为一个 GIO 引脚。
多缓冲模数转换器 **(MIBADC)**					
ADEVT	68	3.3-V I/O	自适应阻抗 4mA	可编程 IPD (100μA)	MibADC 事件输入。 可被设定为一个 GIO 引脚。

表 **2-8.** 端子功能 **(continued)**

端子		输入电压[(1) (2)]	输出电流[(3)]	**IPU/IPD**[(4)]	说明
名称	**100** 引脚				
ADIN[0]	69	3.3V			MibADC 模拟输入引脚。
ADIN[1]	70				
ADIN[2]	71				
ADIN[3]	72				
ADIN[4]	73				
ADIN[5]	74				
ADIN[6]	75				
ADIN[7]	76				
ADIN[8]	77				
ADIN[9]	78				
ADIN[10]	79				
ADIN[11]	80				
ADIN[12]	81				
ADIN[13]	86				
ADIN[14]	87				
ADIN[15]	88				
AD_{REFHI}	82	3.3V REF			MibADC 模块的高电压基准输入。
AD_{REFLO}	83	GND REF			MibADC 模块的低电压基准输入。
V_{CCAD}	85	3.3V PWR			MibADC 模拟电源电压。
V_{SSAD}	84	GND			MibADC 模拟接地基准。
控制器(OSC)					
OSCIN	10	1.5-V I			晶振连接引脚或外部时钟输入。
OSCOUT	11	1.5-V O			外部晶振连接引脚。
系统模块 (SYS)					
$\overline{PORRST}$	89	3.3 V I		IPD (100 μA)	输入主控芯片加电复位。 外部 V_{CC}监控电路必须将一个加电复位置为有效。
$\overline{RST}$	98	3.3-V I/O	自适应阻抗 4mA	IPU (100 μA)	双向复位。 内部电路可以将一个复位置为有效，并且外部系统复位可以将一个器件复位置为有效。 在此引脚上，输出缓冲区作为开漏执行（只驱动低电平）。 为了确保外部复位不能随意产生，TI 建议在该引脚上连接一个外部上拉电阻。
ECLK	96	3.3-V I/O	自适应阻抗 4mA	可编程 IPD (100μA)	双向引脚。 ECLK 可被设定为一个 GIO 引脚。
TEST/DEBUG (T/D)					
TCK	44	3.3V I		IPD (100 μA)	测试时钟。 TCK 控制测试硬件 (JTAG)。
TDI	46	3.3-V I/O	自适应阻抗 4mA	IPU (100 μA)	引脚中的测试数据。 TDI 向测试指令寄存器，测试数据寄存器，可编程测试地址 (JTAG) 输入串行数据。 **请注意：此引脚与 HET 通道 25 复用。**
TDO	45			IPD (100 μA)	引脚外的测试数据。 TDO 从测试指令寄存器，数据寄存器测试，识别寄存器，可编程测试地址 (JTAG) 中输出串行数据。 **请注意：此引脚与 HET 通道 24 复用。**
TMS	47			IPU (100 μA)	用于控制 CPU 测试访问端口 (TAP) 控制器 (JTAG) 状态的串行输入引脚。
$\overline{TRST}$	48	3.3 V I		IPD (100 μA)	测试硬件复位至 TAP。 IEEE 标准 1149-1 (JTAG) 边界扫描逻辑。
TEST	97	3.3V I		IPD (100 μA)	测试使能。 为内部使用预留。 TI 建议将该引脚接地，或通过一个外部电阻下拉至接地。

版权 © 2012, Texas Instruments Incorporated

表 **2-8.** 端子功能 **(continued)**

端子		输入电压[(1) (2)]	输出电流[(3)]	**IPU/IPD**[(4)]	说明
名称	**100** 引脚				
$\overline{ENZ}$	91	3.3 V I		IPD (100 µA)	启用/禁用内部稳压器。 0V - 启用内部稳压器。 3.3V - 禁用内部稳压器。
闪存					
FLTP1	99				闪存测试垫 1 引脚。 为了正确运行，该引脚必须要么只连接测试垫或根本就不连接 **[**无连接 **(NC)]**。 在有可能受到 **ESD** 事件影响的最终产品中，测试垫一定不能暴露在外。
V_{CCP1}	95	3.3-V PWR			闪存外部泵电压 (3.3V)。 该引脚被要求用于闪存读取和闪存编程和擦除操作。 **V_{CCP1}**和 **V_{CCP2}**被双键合至同一引脚。
V_{CCP2}	95				
电源电压核心 **(1.5V)**					
V_{CC}	12	1.5V PWR			Vreg 启用时，Vreg 输出电压。 当 Vreg 被禁用时，V_{CC}输入。
	41				
	67				
	92				
电源电压数字 **I/O** 和稳压器 **(3.3V)**					
V_{CCIOR}	14	3.3V PWR			数字 I/O 和内部稳压器的电源电压。
	20				
	43				
	52				
	65				
	94				
电源接地					
V_{SS}	9	GND			数字 I/O 和内核电源的接地基准。
	13				
	21				
	42				
	51				
	66				
	93				
	100				

2.3 器件支持

2.3.1 设备和开发支持工具命名规则

为了指出产品开发周期的阶段，TI 为所有 器件和支持工具的部件号分配了前缀。 每一个商用系列产品成员产品具有以下三个前缀中的一个：TMX，TMP，或者 TMS（例如，TMS470MF06607）。 德州仪器 (TI) 建议为其支持的工具使用三个可能前缀指示符中的两个：TMDX 和 TMDS。 这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

器件开发进化流程：

TMX 试验器件不一定代表最终器件的电气规范标准。

TMP 最终的芯片模型符合器件的电气技术规范，但是未经完整的质量和可靠性验证。

TMS 完全合格的生产器件。

支持工具开发发展流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品.

TMDS 完全合格的开发支持产品.

TMX 和 TMP 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

TMS 器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。 TI 的标准保修证书适用。

预测显示原型器件（TMX 或者 TMP）的故障率大于标准生产器件。 由于它们的预计的最终使用故障率仍未定义，德州仪器 (TI) 建议不要将这些器件用于任何生产系统。 只有合格的产品器件将被使用。

TI 器件的命名规则也包括一个带有器件系列名称的后缀。 这个后缀表示封装类型（例如，PZ），温度范围（例如，“空白”是商业级温度范围），并以兆赫为单位的器件速度范围。

图 2-2说明 TMS470M 系列的编号和符号命名规则。

 版权 © 2012, Texas Instruments Incorporated

Full Part Number	TMS	470	MF	06	6	07	B	S	PZ	Q	Q1	R
Orderable Part Number	S	4	MF	06	6	07	B	S	PZ	Q	Q1	R

Prefix: TM
S = TMS Qualified
P = TMP Prototype
X = TMX Samples

Core Technology:
4 = 470 Cortex M3

Architecture:
MF = M3 Flash

Flash Memory Size:
06 = 640 KBytes

RAM Memory Size:
6 = 64 KBytes

Package Option:
07 = 100-pin package

Die Revision:
Blank = Initial Die
A = First Die Revision
B = Second Die Revision

Technology/Core Voltage:
S = F035 (130 nm), 1.5-V Nominal Core Voltage

Package Type:
PZ = 100-Pin QFP Package (Green)

Temperature Range:
I = -40°C to +85°C
T = -40°C to +105°C
Q = -40°C to +125°C

Quality Designator:
Q1 = Automotive

Shipping Options:
R = Tape and Reel

请注意：上述的部分仅用作解释说明，并不代表对本文档适用的特定部分编号或芯片修订版本。

图 **2-2. TMS470M** 设备编号惯例

3 器件配置

3.1 复位/中止源

复位/中止的处理如表 3-1中所示。

表 **3-1.** 复位/中止源

错误源	系统模式	错误回应	**ESM** 接线，组。通道
1) CPU 处理			
精确的写入错误（NCNB / 强序）	用户/特权	精确中止 (CPU)	不可用
精确的读取错误（NCB / 器件或正常）	用户/特权	精确中止（CPU）	不可用
模糊的写入错误（NCB / 器件或正常）	用户/特权	不准确中止（CPU）	不可用
外部的不准确错误（带有 ok 响应的非法处理）	用户/特权	ESM	2.17
无效指令	用户/特权	未定义指令陷阱 (CPU)(1)	不可用
M3 闭锁	用户/特权	ESM => NMI	2.16
MPU 访问冲突	用户/特权	中止（CPU）	不可用
2) SRAM			
ECC 单一错误（可更正）	用户/特权	ESM	1.26
ECC 双错误（不可更正）	用户/特权	ESM => NMI	2.6
3) 支持 **ECC** 的闪存			
ECC 单个错误（可更正）	用户/特权	ESM	1.6
ECC 双错误（不可更正）	用户/特权	ESM => NMI	2.4
8) HET			
HET 内存奇偶校验错误	用户/特权	ESM	1.7
9) MIBSPI			
MibSPI1 内存奇偶校验错误	用户/特权	ESM	1.17
MibSPI2 内存奇偶校验错误	用户/特权	ESM	1.18
10) MIBADC			
内存奇偶校验错误	用户/特权	ESM	1.19
11) DCAN/CAN			
DCAN1 内存奇偶校验错误	用户/特权	ESM	1.21
DCAN2 内存奇偶校验错误	用户/特权	ESM	1.23
13) 锁相环			
PLL 跳周错误	用户/特权	ESM	1.10
14）时钟监视器			
时钟监视器中断	用户/特权	ESM	1.11
19) 电压稳压器			
Vcc 超出范围	不可用	复位	不可用
20) CPU 自检 **(LBIST)**			
CPU 自检 (LogicalBIST) 错误	用户/特权	ESM	1.27
21) SYSESR 寄存器中反映的错误			
加电复位 / VREG 输出电压(2)	不可用	复位	不可用
振荡器故障 / PLL 跳周(3)	不可用	复位	不可用
M3 闭锁 / LRM	不可用	复位	不可用

(1) CPU 之外的未定义指令陷阱没有被检测到。 陷阱只有当代码到达 CPU 的执行阶段才会被检测到。
(2) 在 SYSESR 寄存器中，一个加电复位和 VREG 范围外的复位都将被 PORST 位表示。
(3) 振荡器故障 / PLL 跳周 (SYS.PLLCTL1) 可在系统寄存器中被配置成产生复位。

版权 © 2012, Texas Instruments Incorporated

表 **3-1.** 复位/中止源 **(continued)**

错误源	系统模式	错误回应	**ESM** 接线，组。通道
超过安全装置时限	不可用	复位	不可用
CPU 复位	不可用	复位	不可用
软件复位	不可用	复位	不可用
外部复位	不可用	复位	不可用

3.2 闭锁复位模块

锁定复位模块 (LRM) 由内核执行来传递一个闭锁条件。 LRM 提供了一个小型安全装置定时器，它可以在不能用软件清除内核识别的一个闭锁情况时产生系统复位。

3.3 ESM 分配

ESM 模块在中央位置传达关键系统故障。 当故障被任一检测单元识别后，由一个错误中断来比表示一个错误。 ESM 模块由三个错误组组成，每组有 32 个错误。 中断的产生显示在表 3-2中。 ESM 分配列在表 3-3中。

表 **3-2. ESM** 组

错误组	中断，等级
组 1	屏蔽的，低/高
组 2	非屏蔽的，高
组 3	未使用

表 **3-3. ESM** 分配

错误源	通道
组 **1**	
被保留	0-5
闪存 - ECC 单一位	6
HET 内存奇偶校验错误	7
被保留	8-9
PLL 跳周错误	10
时钟监视器中断	11
被保留	12-16
MibSPI1 内存就校验错误	17
MibSPIP2 内存奇偶校验错误	18
MibADC 内存奇偶校验错误	19
被保留	20
DCAN1 内存奇偶校验错误	21
被保留	22
DCAN2 内存奇偶校验错误	23
被保留	24-25
SRAM - 单一位	26
CPU LBIST - 自检错误	27
被保留	28-31
组 **2**	
被保留	0-3
闪存-双位错误（不可更正）	4

表 3-3. ESM 分配 (continued)

错误源	通道
被保留	5
SRAM-双位错误（不可更正）	6
被保留	7-15
M3 锁闭	16
M3 外部不准确中止	17
被保留	18-31

3.4 中断优先级 (M3VIM)

TMS470M 平台中断架构，包括了一个矢量中断管理 (M3VIM)，它为出现在器件上的许多中断源的优先级排序和控制提供硬件支持。表 3-4传达默认的中断请求分配。

表 3-4. 中断请求分配

模块	中断源	默认 VIM 中断请求
ESM	ESM 高级中断 (NMI)	0
被保留	(NMI)	1
ESM	ESM 低级中断	2
系统	软件中断 (SSI)2	3
RTI	RTI 比较中断 0	4
RTI	RTI 比较中断 1	5
RTI	RTI 比较中断 2	6
RTI	RTI 比较中断 3	7
RTI	RTI 溢出中断 0	8
RTI	RTI 溢出中断 1	9
被保留	被保留	10
GIO	GIO 中断 A	11
GIO	GIO 中断 B	12
HET	HET 0 级中断	13
HET	HET 1 级中断	14
MibSPI1	MibSPI1 0 级中断	15
MibSPI1	MibSPI1 1 级中断	16
被保留	被保留	17
LIN/SCI2	LIN2/SCI2 0 级中断	18
LIN/SCI2	LIN2/SCI2 1 级中断	19
LIN/SCI1	LIN1/SCI1 0 级中断	20
LIN/SCI1	LIN1/SCI1 1 级中断	21
DCAN1	DCAN1 0 级中断	22
DCAN1	DCAN1 1 级中断	23
ADC	ADC 事件组中断	24
ADC	ADC sw 组 1 中断	25
ADC	ADC sw 组 2 中断	26
MibSPIP2	MibSPIP2 0 级中断	27
MibSPIP2	MibSPIP2 1 级中断	28
DCAN2	DCAN2 0 级中断	29
DCAN2	DCAN2 1 级中断	30
ADC	ADC 振幅阈值中断	31

版权 © 2012, Texas Instruments Incorporated

表 **3-4.** 中断请求分配 **(continued)**

模块	中断源	默认 **VIM** 中断请求
被保留	被保留	32
被保留	被保留	33
DCAN1	DCAN1 IF3 中断	34
DCAN2	DCAN2 IF3 中断	35
被保留	被保留	36-47

3.5 MibADC

多缓冲模拟到数字转换器 (MibADC) 接受一个模拟信号并将信号转换成 10 位的数字值。

TMS470M MibADC 模块将其数字化的结果存储在三个 FIFO 缓冲区中的一个。 每个转换组 [事件，组 1 (G1),和组 2 (G2)] 都有一个 FIFO 缓冲区，并且器件上全部 MibADC FIFO 都将被分隔在这三个区域中。 单个组缓冲区的大小是软件可编程的。 MibADC 缓冲区可以由中断处理。

3.5.1 MIBADC 事件触发器

三个转换组均可针对事件触发操作进行配置，从而提供三个事件触发组。

可针对 1 组，2 组和来自表 3-5中被识别选项的事件组来单独选择触发源和极性。

表 3-5. MibADC 事件接线配置

事件编号	针对 G1 或事件（G1SRC[2:0] 或 EVSRC[2:0]）的源选择位	单个引脚名称
1	000	ADEVT
2	001	HET[1]
3	010	HET[3]
4	011	HET[16](1)
5	100	HET[18](1)
6	101	HET[24](2)
7	110	HET[26](1)
8	111	HET[28](1)

(1) 内部信号可使用这些通道，即使它们并不不包括在引脚 (图 1-1) 之内。
(2) 在调试模式中，TDO 的状态会影响 HET[24]输入缓冲区的状态。

3.6 MibSPI

多缓冲串行外设接口模块可实现 CPU 与系统外设的独立 SPI 通信。

MibSPI1 模块最多可支持 16 个传送组和 8 个芯片选择。 此外，支持多达 4 个数据格式，以实现对每个传送组的多种格式分配。

MiBSPIP2 模块最多可支持 8 个传送组，4 个芯片选择，以及多达 4 个数据格式。

3.6.1 MIBSPI 事件触发

MibSPI 模块具有基于内部和外部事件触发器自动触发 SPI 事件的能力。

每个传送组都可从表 3-6中标明的选项中单独地选择触发源。

表 3-6. MibSPI1 和 MibSPIP2 事件接线配置

事件编号	MIBSPI 事件 TGXCTRL TRIGSRC[3:0] 的源选择位	单一引脚名称
倍禁用	0000	无触发源
事件 0	0001	GIOA[0](1)
事件 1	0010	GIOA[1](1)
事件 2	0011	GIOA[2](1)
事件 3	0100	GIOA[3](1)
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	HET[20](1)
事件 7	1000	HET[21](1)
事件 8	1001	HET[22](1)
事件 9	1010	HET[23](1)
事件 10	1011	HET[28](1)
事件 11	1100	HET[29](1)
事件 12	1101	HET[30](1)
事件 13	1110	HET[31](1)
事件 14	1111	内部时钟计数器

(1) 内部信号可使用这些通道，即使它们并不不包括在引脚 (图 1-1) 之内。

版权 © 2012, Texas Instruments Incorporated

3.7 JTAG ID

此器件的 32 位 JTAG ID 代码是0x0B7E202F。

3.8 扫描链

该器件包含一个 ICEPICK 模块以此来访问调试扫描链；请参阅图 3-1。 调试扫描链 ＃0 处理到 CPU 的访问。 ICEPICK 的扫描 ID 是 0x00246D15，这和器件 ID 是相同的。

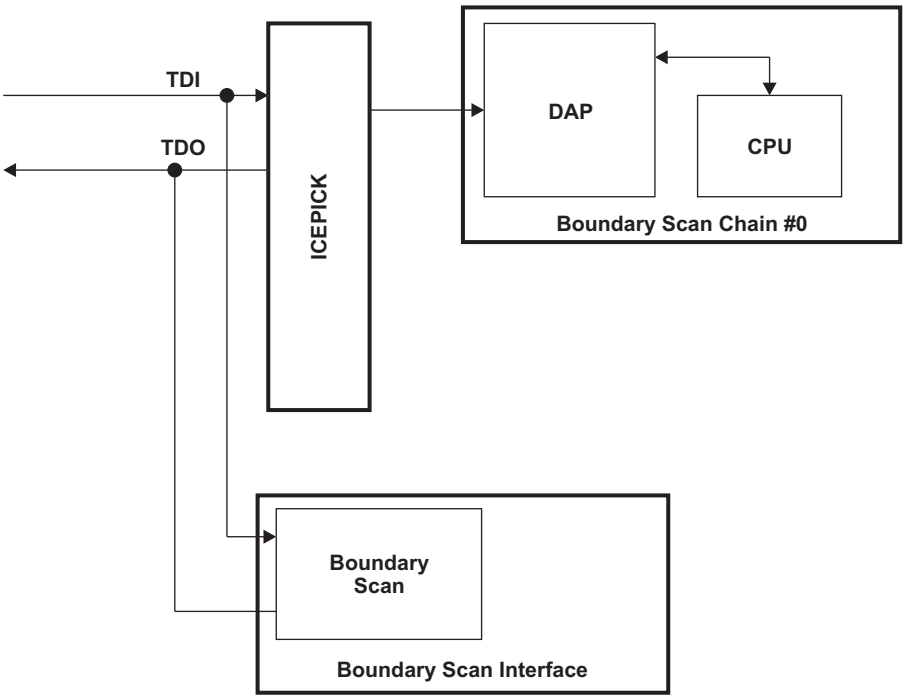


图 **3-1.** 调试扫描链

3.9 低功率模式

TMS470M 器件支持多种低功耗模式。 这些不同的模式可以让用户在低功耗期间的流耗与功能性和唤醒时间间找到折中的办法。

TMS470MF06607 上支持的低功耗模式为打盹和睡眠模式；更多信息描述，请参阅《*TMS470M系列技术参考手册*》(SPNU495)

3.10 自适应阻抗 4mA 的 IO 缓冲区

自适应阻抗 4mA 缓冲区是一个已明确表明旨在解决去耦合 EMI 源（来自 EMI 驱动的引脚）的问题。 这是通过自适应控制输出缓冲器的阻抗来完成的并且它对容性负载尤为有效。

自适应阻抗 4mA 缓冲区具有两种操作模式：阻抗控制模式、低功耗模式/标准缓冲模式，这些模式定义如下：

- **阻抗控制模式**在设计中被默认启动。 这种模式自适应控制输出缓冲区的阻抗。
- **低功耗模式**在功能上与**标准缓冲模式**是相同的并被用于将缓冲器重新配置成一个通用配置。 当它需要以一个非常高的速度驱动输出时，或 EMI 减少不是一个主要考虑的问题时，该缓冲区模式在低功率器件模式期间使用。

表 **3-7.** 自适应阻抗 **4mA** 缓冲模式的可用性

模块或引脚名称	自适应阻抗 **4mA** 缓冲信号寄存器接线	
	低功耗模式 **(LPM)**	标准缓冲器使能 **(SBEN)**[(1)]
SYS.ECLK	SYS.VRCTL.VLPMENA	GPREG1.0
SYS.nRST	SYS.VRCTL.VLPMENA	GPREG1.1
SYS.TDI/TDO	SYS.VRCTL.VLPMENA	标准缓冲器被使能
SYS.TMSC	SYS.VRCTL.VLPMENA	标准缓冲器被使能
HET	SYS.VRCTL.VLPMENA	GPREG1.2
SCI1	SYS.VRCTL.VLPMENA	GPREG1.3
LIN/SCI2	SYS.VRCTL.VLPMENA	GPREG1.4
MIBSPI1	SYS.VRCTL.VLPMENA	GPREG1.5
MIBSPIP2	SYS.VRCTL.VLPMENA	GPREG1.6
被保留	SYS.VRCTL.VLPMENA	GPREG1.7
MIBADC.ADEVT	SYS.VRCTL.VLPMENA	GPREG1.8
DCAN1	SYS.VRCTL.VLPMENA	GPREG1.9
DCAN2	SYS.VRCTL.VLPMENA	GPREG1.10
GIOA	SYS.VRCTL.VLPMENA	GPREG1.11

(1) 可以在系统框架 (0xFFFFFFA0) 内使用 GPREG 寄存器实现 SBEN 配置。

版权 © 2012, Texas Instruments Incorporated

3.10.1 标准缓冲器使能寄存器 (GPREG1)

系统框架内一个通用寄存器已经被用来控制标准缓冲模式的的启用。 该寄存器显示在图 3-2并在表 3-8进行了说明

31							16
被保留							
R-0							

15			12	11	10	9	8
被保留				GIOA_SBEN	DCAN2_SBEN	DCAN1_SBEN	ADC.ADEVT_SBEN
R-0				RW-0	RW-0	RW-0	RW-0

7	6	5	4	3	2	1	0
被保留	MIBSPIP2_SBEN	MIBSPI1_SBEN	LIN2SCI2_SBEN	LIN1SCI1_SBEN	HET_SBEN	$\overline{\text{RST}}$_SBEN	ECLK_SBEN
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

图例：R/W = 读/写；R = 只读；-*n* = 复位后的值

图 3-2. 通用寄存器 1 (GPREG1)

表 3-8. 通用寄存器 1 (GPREG1) 字段说明

位	字段	值	说明
31-12	被保留		这些位被保留。 读取返回 0 并且写入无效。
11	GIOA_SBEN		GIOA 端口标准缓冲器使能位。 该位启用/禁用针对所有 GIOA 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	用于所有相关模块引脚的标准缓冲模式被启用。
10	DCAN2_SBEN		DCAN2 标准缓冲使能位。 该位启用/禁用针对所有 DCAN2 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。
9	DCAN1_SBEN		DCAN1 标准缓冲使能位。 该位启用/禁用针对所有 DCAN1 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。
8	ADC.ADEVT_SBEN		ADC.ADEVT 标准缓冲使能位。 该位启用/禁用针对 ADC.ADEVT 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对 ADEVT 引脚的标准缓冲模式被启用。
7	被保留		保留
		0	被保留
		1	被保留
6	MIBSPIP2_SBEN		MIBSPIP2 标准缓冲使能位。 该位启用/禁用针对所有 MIBSPIP2 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。
5	MIBSPI1		MIBSPI1 标准缓冲使能位。 该位启用/禁用针对所有 MIBSPI1 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。
4	LIN2SCI2_ SBEN		LINSCI2 标准缓冲使能位。 该位启用/禁用针对所有 LINSCI2 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。

表 **3-8.** 通用寄存器 **1 (GPREG1)** 字段说明 **(continued)**

位	字段	值	说明
3	LIN1SCI1_ SBEN		SCI1 标准缓冲使能位。 该位启用/禁用针对所有 SCI1 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	针对所有相关模块引脚的标准缓冲模式被启用。
2	HET_SBEN		HET 标准缓冲使能位。 该位启用/禁用针对所有 HET 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	所有相关的模块引脚的标准缓冲模式被启用。
1	$\overline{\text{RST}}$_SBEN		$\overline{\text{RST}}$标准缓冲使能位。 该位启用/禁用$\overline{\text{RST}}$引脚的标准缓冲模式。
		0	标准缓冲模式不启用。
		1	针对$\overline{\text{RST}}$引脚的标准缓冲模式被启用。
0	ECLK_SBEN		ECLK 标准缓冲使能位。 该位启用/禁用 ECLK 引脚的标准缓冲模式
		0	标准缓冲模式不启用。
		1	ECLK 引脚的标准缓冲模式被启用。

3.10.2 CoreSight 组件/调试 ROM

CoreSight 寄存器为内存映射，并可以通过 CPU 和 JTAG 访问。

表 **3-9.** 调试组件内存映射

组件	帧起始地址	帧结束地址	帧大小	内存类型
M3 集成帧				
ITM(1)	0xE000_0000	0xE000_0FFF	4K	针对调试和跟踪模块的控制寄存器
DWT	0xE000_1000	0xE000_1FFF	4K	
FPB	0xE000_2000	0xE000_2FFF	4K	
NVIC	0xE000_E000	0xE000_EFFF	4K	
调试 ROM 1	0xE00F_F000	0xE00F_FFFF	4K	
平台调试帧				
调试 ROM 2	0xFFA0_0000	0xFFA0_0FFF	4K	针对调试和跟踪模块的控制寄存器
ETM-M3(1)	0xFFA0_1000	0xFFA0_1FFF	4K	
HTM(1)	0xFFA0_2000	0xFFA0_2FFF	4K	
跟踪程序	0xFFA0_3000	0xFFA0_3FFF	4K	
TPIU	0xFFA0_4000	0xFFA0_4FFF	4K	

(1) 跟踪组件的可获得性，虽然出现在设计中，但是在 PZ封装器件外部不可用。 如果需要跟踪功能存在，那么 TI 将为您提供一个合适的具有仿真功能的封装。

表 **3-10.** 针对调试 **ROM1 (M3 ROM)** 的调试 **ROM** 内容

地址偏移 （请参阅表 3-9 ）	说明	值
0x000	NVIC	0xFFF0_F003
0x004	DWT	0xFFF0_2003
0x008	FPB	0xFFF0_3003
0x00C	ITM	0xFFF0_1003
0x010	TPIU(1)	0xFFF4_1002

(1) Cortex™-M3 调试 ROM 始终具有针对可选组件 TPIU 和 ETM 的入口。 这些组件是否存在取决于入口值的位数 0。

版权 © 2012, Texas Instruments Incorporated

表 **3-10.** 针对调试 **ROM1 (M3 ROM)** 的调试 **ROM** 内容 **(continued)**

地址偏移 （请参阅表 3-9 ）	说明	值
0x014	ETM[(1)]	0xFFF4_2002
0x018	调试 ROM 2 (CoreSight ROM)	0x1F90_1003
0x01C	表尾	0x0000_0000
0x020 - 0xEFC	未使用	0x0000_0000
0xF00 - 0xFC8	被保留	0x0000_0000
0xFCC	MEMTYPE	0x0000_0001
0xFD0	PID4	0x0000_0000
0xFD4	PID5	0x0000_0000
0xFD8	PID6	0x0000_0000
0xFDC	PID7	0x0000_0000
0xFE0	PID0	0x0000_0000
0xFE4	PID1	0x0000_0000
0xFE8	PID2	0x0000_0000
0xFEC	PID3	0x0000_0000
0xFF0	CID0	0x0000_000D
0xFF4	CID1	0x0000_0010
0xFF8	CID2	0x0000_0005
0xFFC	CID3	0x0000_00B1

表 **3-11.** 针对调试 **ROM 2** 的调试 **ROM** 内容**(CoreSight ROM)**

地址偏移 （请参阅表 3-9 ）	说明	值
0x000	ETM-M3	0x0000_1003
0x004	HTM	0x0000_2003
0x008	跟踪程序	0x0000_3003
0x00C	TPIU	0x0000_4003
0x010	表尾	0x0000_0000
0x014 - 0xEFC	未使用	0x0000_0000
0xF00 - 0xFCC	被保留	0x0000_0000
0xFD0	PID4	0x0000_0000
0xFD4	PID5	0x0000_0000
0xFD8	PID6	0x0000_0000
0xFDC	PID7	0x0000_0000
0xFE0	PID0	0x0000_0000
0xFE4	PID1	0x0000_0007
0xFE8	PID2	0x0000_0009
0xFEC	PID3	0x0000_0000
0xFF0	CID0	0x0000_000D
0xFF4	CID1	0x0000_0010
0xFF8	CID2	0x0000_0005
0xFFC	CID3	0x0000_00B1

3.11 内置自检 (BIST) 功能

3.11.1 STC/LBIST

TMS470M 系列支持 M3 CPU 的逻辑内置自检（LBIST 或 CPUBIST）。

LBIST 测试可执行为两种操作模式：

- 完全执行。在这种模式下，全套的测试模式在无中断的情况下运行。 测试通过 CPU 控制开始并且该测试非常适合用于在器件启动时进行。
- 循环执行。循环执行期间，时间的一小部分将被专门分配来运行自检的一个子集（STC 时间间隔）。 这种模式非常适合定期执行，以尽量减少带宽使用。 所有的 STC 区间执行后，整个测试模式就已经运行。

注

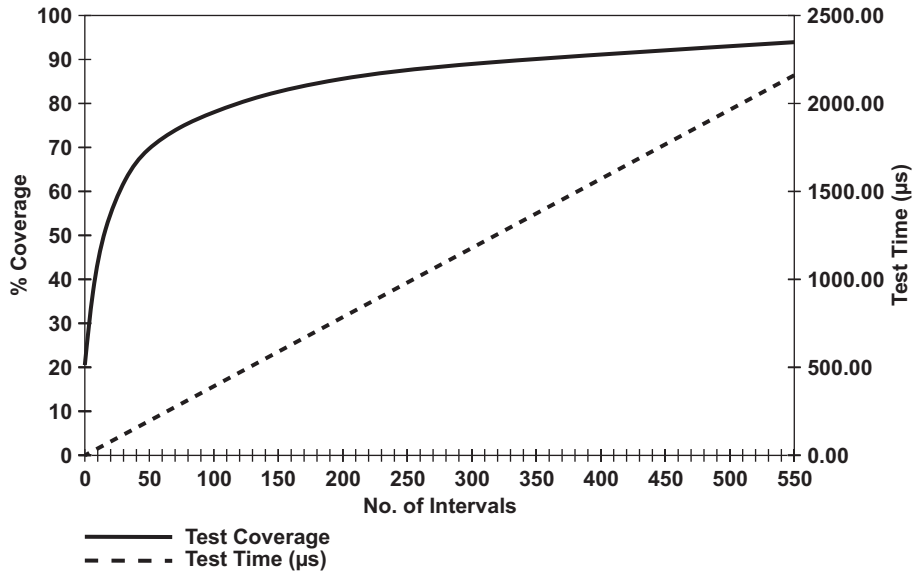
1. 应用程序将需要禁用外设和或中断来避免丢失中断。
2. 在自检期间，没有调试的部分可能会和 CPU 相互作用。 因为访问是通过 CPU 进行的，这就包括了到内存和寄存器的访问。

LBIST 时钟预分频器 (STCDIV) 的缺省值被*除以 1*；然而，最大 STC CLK 却受限于电流消耗和 Vreg 的供电能力。 对于额定最大 STC 时钟速率和额定工作频率，请参阅表 3-12。

表 **3-12.** 最大的 **STC** 时钟频率与 **HCLK** 间的关系(1)

HCLK 频率 (MHz)	STC 分频器 (STC_DIV+1)	STC 时钟 频率 (MHz)
80	2	40
72	2	36
56	2	28
28	1	28

(1) 最大 LBIST STC 时钟频率被限制在 40MHz。



A. 在持续时间内，单一 LBIST 间隔是指 158 个 STC CLK 周期，不包括 20 个周期的时钟过渡计时。
B. 该器件总共具有 550 个时间间隔。

图 **3-3. CPU BIST** 时间间隔与覆盖范围间的关系

 版权 © 2012, Texas Instruments Incorporated

3.11.2 MBIST

TMS470M 系列支持系统的内存内置自我测试 (MBIST) 及外设 SRAM。 为了通过启用与将被检测的特定 RAM 相关的 MBIST 控制器来使应用的内存自检更加便利，MBIST通过应用进行访问。 （对于器件特定的 MBIST 控制器分配，请参阅表 2-3。）

MBIST 控制器。

- 支持所有的系统和外设RAM的测试。
- 在 MBIST 状态寄存器 (MSTFAIL) 中捕获 MBIST 结果。
- 支持每个内存 BIST 控制器并行运行 (MSINENA)。
  对于 MSIENA 位分配，请参阅表 2-3
- 支持每个内存 BIST 控制器独立运行(MSINENA)。
  对于 MSIENA 位分配，请参阅表 2-3

在 SYS 寄存器帧内，MBIST 控制器选择映射到 MBIST 控制器/内存初始化使能寄存器 (MSIENA)。 每个 MBIST 控制器都通过此寄存器内相应位的设置来启用并且以后内存的自检是通过在全局控制寄存器 (MSTGCR.MSTGENA[3:0]) 内的内存自检全局使能来启动的。

MBIST 控制器支持以下测试的运行：

- March13N，背景 0
- March11N，背景 0
- 棋盘式和反棋盘式
- March13N，背景 3，0F，和 69
- PMOS 地址解码器算法
- 针对 STC 的 ROM2 算法

注

通过内存自检全局控制寄存器算法选择字段 (MSTGCR.MBIST_ALGSEL[7:0]) 来选择要应用的算法 。

3.12 器件标识码寄存器

该器件识别码寄存器指出了协处理器的状态、一个分配的特定器件部件号，技术系列 (TF)，I/O 电压，是否支持奇偶校验，闪存和 RAM 错误检测水平，和器件版本。 TMS470M 器件识别码基本寄存器的值是 0X00246D15 并会在芯片版本的基础上发生改变。

31	30 … 17	16
CP15	部件号	TF
R-0	R-00000000010010	R-0

15 … 13	12	11	10 … 9	8
TF	I/O 电压	PP	FLASHECC	RAMECC
R-011	R-0	R-1	R-10	R-1

7 … 3	2	1	0
版本	1	0	1
R-0010	R-1	R-0	R-1

图例：R = 只读取；-*n* = 复位后的值

图 **3-4. TMS470M** 器件 **ID** 位分配寄存器

表 **3-13. TMS470M** 器件 **ID** 位分配寄存器字段说明

位	字段	值	说明
31	CP15		此位表示有协处理器 (CP15)。
		0	在器件中没有协处理器。
		1	在器件中有协处理器。
30-17	部件号		这些位表示分配的特定器件的部件号。 TMS470M 器件被分配的特定器件部件号是 00000000010010。
16-13	TF		技术系列位。 这些位表示技术系列位(C05，F05，F035，C035)。
		0011	F035
12	I/O VOLT		I/O 电压位。 该位标识 I/O 电源。
		0	3.3V
		1	5V
11	PP		外设奇偶校验位。 此位表示是否支持奇偶校验。
		0	外设上无奇偶校验。
		1	外设上有奇偶校验。
10	FLASHECC		闪存 ECC 位。 这些位表示闪存上的错误检测和校正等级。
		00	无错误检测/校正。
		01	带奇偶校验的程序内存。
		10	带 ECC 的程序内存。
		11	被保留
8	RAMECC		RAM ECC 位。 此位表示 CPU RAM 上错误检测和校正的存在。
		0	RAM ECC 不存在。
		1	RAM ECC 存在。
7-3	版本		这些位标识器件的芯片版本。
2-0	101		位 2:0 被默认设置为 101，表明了一个平台器件。

版权 © 2012, Texas Instruments Incorporated

3.13 器件部件号

表 3-14列出了所有可用的 TMS470MF06607 器件配置。

表 3-14. 器件部件号

器件部件号	SAP 部件号	程序内存	封装类型	温度范围	PbFREE/ GREEN(1)
		闪存 EEPROM	100 引脚 LQFP	-40°C 至 125°C	
TMS470MF06607BPZQ	S4MF06607BSPZQQ1	X	X	X	X

(1) 符合 RoHS 标准的产品兼容目前 RoHS 对所有六种物质的要求，包括在均质材料中，按重量计含铅量不得超过 0.1%，除非此要求被免除。 公司的无铅产品符合 RoHS 标准，而且本产品适合在温度较高的无铅焊锡工艺（通常是 245 至 260°C）中使用。 绿色产品均是符合 RoHS 标准并且无铅，同时也也无基于溴 (Br) 和锑 (Sb) 的阻燃剂（溴或锑不超过均质材料重量的0.1%）。

4 器件运行条件

4.1 自然通风运行温度范围内的最大绝对值，Q版(1)

电源电压范围：	V_{CC}(2)	-0.5V 至 2.1V
	V_{CCIOR}, V_{CCAD}, V_{CC}（闪存泵）(2)	-0.5V 至 4.1V
输入电压范围：	所有的输入引脚	-0.5V 至 4.1V
输入钳位电流：	I_{IK}（V_I< 0 或 V_I> V_{CCIOR}） 所有的引脚, 除了 ADIN[0:15]	±20mA
	I_{IK}（V_I< 0 或 V_I> V_{CCIOR}） ADIN[0:15]	±10mA
运行通风温度范围，T_A:	Q 版本	-40°C 至 125°C
运行结温范围，T_J:	标准	-40°C 至 150°C
贮存温度范围，T_{stg}		-65°C 至 150°C

(1) 超出“最大绝对额定值”下列出的值的应力可能会对器件造成永久损坏。 它们只是应力额定值。 器件的功能性操作或者在超出那些“推荐的运行条件”下标明的任何其它情况，在此并未说明。 长时间运行在最大绝对额定条件下会影响设备的可靠性。
(2) 所有的电压值都以与它们相关的接地为基准。

4.2 建议的器件运行条件(1)

			最小值	标称值	最大值	单位
V_{CCIOR}	数字 I/O 和内部稳压器的电源电压		3	3.3	3.6	V
V_{CC}	稳压器输出电压		1.40	1.55	1.70	V
V_{CCAD}	MibADC 电源电压		3	3.3	3.6	V
V_{CCP}	闪存泵电源电压		3	3.3	3.6	V
V_{SS}	数字逻辑电源接地			0		V
V_{SSAD}	MibADC 电源接地		-0.1		0.1	V
T_A	自然通风工作温度范围	Q版本	-40		125	°C
T_J	工作结温		-40		150	°C

(1) 所有的电压都以 V_{SS}为基准，除了 V_{CCAD}以 V_{SSAD}为基准。

版权 © 2012, Texas Instruments Incorporated

4.3 在推荐自然通风工作温度范围内的电气特性，Q 版本[1][2]

参数			测试条件	最小值	典型值	最大值	单位
V_{hys}	输入滞后			150			mV
V_{IL}	低电平输入电压	所有输入[3]		-0.3		0.8	V
		OSCIN				$0.2V_{CC}$	V
V_{IH}	高电平输入电压	所有输入[3]		2		V_{CCIOR}+0.3	V
		OSCIN		$0.8V_{CC}$			
V_{OL}	低电平输出电压		I_{OL}=I_{OL}最大值			0.2 V_{CCIOR}	V
			I_{OL} =50μA 标准模式			0.2	
			I_{OL} =50μA 阻抗控制模式			0.2 V_{CCIOR}	
V_{OH}	高电平输出电压		I_{OH}=I_{OH}最大值	0.8 V_{CCIOR}			V
			I_{OH}=50μA 标准模式	V_{CCIOR}-0.2			
			I_{OH} = 50μA 阻抗控制模式	0.8 V_{CCIOR}			
I_{IC}	输入钳位电流（I/O 引脚）[4]		V_I< V_{SSIO}- 0.3 或 V_I> V_{CCIOR}+ 0.3	-2		2	mA
I_I	输入电流（I/O 引脚）	I_{IH}下拉电阻	V_I = V_{CCIOR}	45		190	μA
		I_{IL}上拉电阻	V_I =V_{SS}	-190		-45	
		所有其他引脚	没有上拉电阻或下拉电阻	-1		1	
I_{OL}	低级别输出电流	自适应阻抗 4mA 缓冲	V_{OL}= V_{OL}最大			4	mA
I_{OH}	高电平输出电流	自适应阻抗 4mA 缓冲	V_{OH}= V_{OH}最小	-4			mA
I_{CC}	V_{CC} 数字电源电流（工作模式，禁用内部稳压器）		HCLK=80MHz, VCLK=80MHz, V_{CC} =1.70V[5]			115	mA
I_{CCIOR}	V_{CCIOR}IO 和数字电源电流（工作模式，启用内部稳压器）		HCLK=80MHz, VCLK=80MHz, 无直流负载, V_{CCIOR}=3.6V[5][6]			120	mA
	V_{CCIOR}IO 和数字电源电流（LBIST 执行，启用内部稳压器）[7]		HCLK=80MHz, VCLK=80MHz, STCCLK=40MHz, 无直流负载, V_{CCIOR}=3.6V[6]			170	
	V_{CCIOR}IO 和数字电源电流（MBIST 执行，启用内部稳压器）[8]		HCLK=80MHz，VCLK=80MHz, 无直流负载, V_{CCIOR}=3.6V[6]			180	
	V_{CCIOR}IO 和数字电源电流（打盹模式，启用内部稳压器）		无直流负载, V_{CCIOR}=3.6V[6][9]		2[10]		
	V_{CCIOR}IO 和数字电源电流（睡眠模式，启用内部稳压器）		无直流负载, V_{CCIOR}=3.6V[6][9]		200[10]		μA
I_{CCAD}	V_{CCAD}电源电流（工作模式）		所有频率，V_{CCAD}=3.6V[11]			8	mA

(1) 源电流（输出器件）为负，而吸收电流（入器件）是正。
(2) “所有频率”将包括所有额定器件配置频率。
(3) V_{IL}在这里并不适用于 OSCIN，和$\overline{PORRST}$引脚；V_{IH}在这里并不适用于 OSCIN，和$\overline{RST}$引脚；$\overline{RST}$和$\overline{PORRST}$除外，请参阅节 5.1。
(4) 参数并不适用于只输入或只输出引脚。
(5) 采用了系统级的测试案例测量最大电流。 本次测试案例同时实行所有的器件外设（不含 MBIST 和 STC LBIST）。
(6) I/O 引脚被配置为输入或输出空载。 所有下拉输入 ≤ 0.2V。所有的上拉输入≥ V_{CCIO}-0.2V。ECLK 的输出 ≤ 2MHz。
(7) 针对最大支持的操作时钟 (HCLK=80MHz) 和 STC CLK=HCLK/2，LBIST 额定电流为峰值电流。可通过配置一个较慢的 STC 时钟频率来实现较低的电流消耗。 电流峰值持续时间可以持续为 1 LBIST 测试时间间隔的持续时间。
(8) 额定 MBIST 电流使 MBIST 并行运行在所有的 RAM 上。 通过 MBIST 在每个可用的 RAM 空间上顺序运行，可以实现较低的电流消耗。
(9) 对于在睡眠模式下的闪存组/泵。
(10) 典型的打盹和睡眠电流代表标称条件下的测量值（基线/标称材料，30°C，3.3V）。
(11) 假定在编辑一组时从同一个组中读取。

在推荐自然通风工作温度范围内的电气特性，Q 版本[(1)(2)] *(continued)*

参数		测试条件	最小值	典型值	最大值	单位
I_{CCP}	V_{CCP}泵电源电流	V_{CCP}=3.6V 读取操作（5）			10	mA
		V_{CCP}=3.6V 程序[(11)]			75	
		V_{CCP}=3.6V 擦除			75	
$I_{CCTOTAL}$[(12)]	V_{CCIOR}+V_{CCAD}+V_{CCP}总数字电源电流（运行模式，启用的内部稳压器）	HCLK=80MHz，VCLK=80MHz，无直流负载， V_{CCIOR}=3.6V			135	mA
	V_{CCIOR}+V_{CCAD}+V_{CCP}总数字电源电流（打盹模式，启用的内部稳压器）	无直流负载, V_{CCIOR}=3.6V[(6)(9)]		2[(10)]		
	V_{CCIOR}+V_{CCAD}+V_{CCP}总数字电源电流（睡眠模式，启用的内部稳压器）	无直流负载, V_{CCIOR}=3.6 V[(6)(9)]		200[(10)]		µA
C_I	输入电容			6		pF
C_O	输出电容			7		pF

(12) 总器件工作电流取自 MBIST 和 LBIST 执行之外，正常运行模式下 I_{CCIOR}，I_{CCAD}，和 I_{CCP}的总和。 预计总数将少于单独组件的总和，这是由于涉及的统计计算产生的是额定值。

版权 © 2012, Texas Instruments Incorporated

5 外设信息和电气技术规范

5.1 $\overline{\text{RST}}$和$\overline{\text{PORRST}}$时序(13)

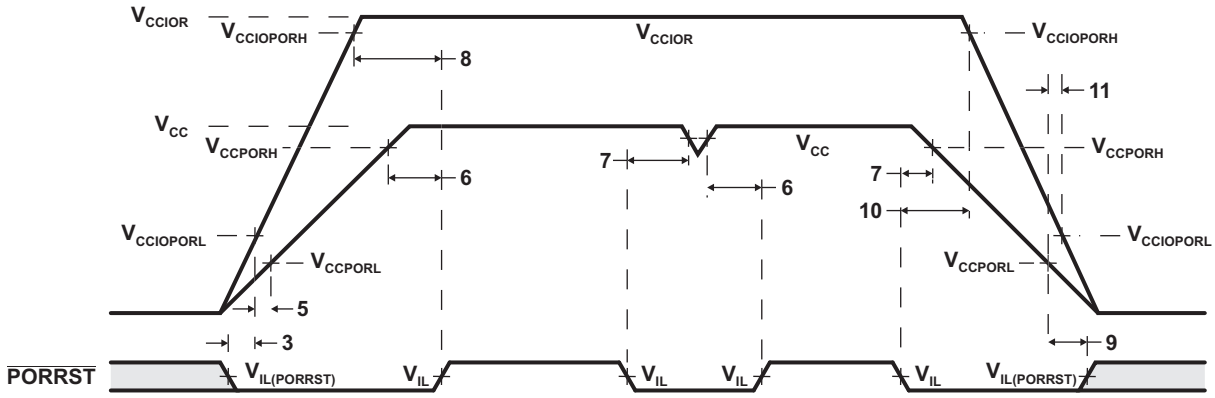
(13) 当针对$\overline{\text{PORRST}}$的V_{CC}时序要求被满足时，则对 V_{CCP}无时序要求。

表 5-1. $\overline{\text{PORRST}}$的时序要求

（请参阅 图 5-1）

编号			最小值	最大值	单位
	V_{CCPORL}	当$\overline{\text{RST}}$激活时，V_{CC}低电源电平。	1.30		V
	V_{CCPORH}	当$_{\text{RST}}$激活时，V$\overline{\text{CC}}$高电源电平。		1.80	V
	$V_{CCIOPORL}$	加电期间，当$\overline{\text{PORRST}}$必须激活时，V_{CCIO}低电源电平		1.1	V
	$V_{CCIOPORH}$	当$\overline{\text{PORRST}}$在加电期间必须保持激活并且在断电期间必须变成激活状态时，V_{CCIO}高电源电平。	3.0		V
	V_{IL} (1)	V_{CCIOR}> $V_{CCIOPORH}$后低电平输入电压		0.2V_{CCIOR}	V
	V_{OH} (2)	V_{CCIOR}> $V_{CCIOPORH}$后高电平输出电压	0.8V_{CCIOR}		V
	$V_{IL(PORRST)}$	V_{CCIOR} > $V_{CCIOPORL}$前，$\overline{\text{PORRST}}$的低电平输入电压		0.5	V
3	$t_{su(PORRST)r}$	建立时间，加电期间，V_{CCIOR}> $V_{CCIOPORL}$前，$\overline{\text{PORRST}}$激活的时间	0		ms
5	$t_{su(VCCIOR)r}$	建立时间，V_{CC}> V_{CCPORL}前，V_{CCIOR}> $V_{CCIOPORL}$的时间	0		ms
6	$t_{h(PORRST)r}$	保持时间，V_{CC}> V_{CCPORH}后，$\overline{\text{PORRST}}$激活的时间	1		ms
7	$t_{su(PORRST)f}$	建立时间，断电期间，V_{CC}≤ V_{CCPORH}前，$\overline{\text{PORRST}}$激活的时间	8		µs
8	$t_{h(PORRST)rio}$	保持时间，$\overline{\text{PORRST}}$活跃在 V_{CCIOR}> $V_{CCIOPORH}$后	1		ms
9	$t_{h(PORRST)d}$	保持时间，V_{CCIOR}< $V_{CCIORPORL}$后，$\overline{\text{PORRST}}$激活的时间	0		ms
10	$t_{su(PORRST)fio}$	建立时间，断电期间，V_{CC}≤ $V_{CCIOPORH}$前，$\overline{\text{PORRST}}$激活的时间	0		ns
11	$t_{su(VCCIO)f}$	建立时间，V_{CCIO}< $V_{CCIOPORL}$前，V_{CC}< $_{VCCPORE}$的时间	0		ns
	$t_{f(PORRST)}$	滤波时间，$\overline{\text{PORRST}}$，小于最小值的脉冲被过滤掉；超过最大值的脉冲产生一个复位数。	30	150	ns
	$t_{f(RST)}$	滤波时间$\overline{\text{RST}}$，小于最小值的脉冲被过滤掉；超过最大值的脉冲产生一个复位数。	40	150	ns

(1) 对应$\overline{\text{PORRST}}$。
(2) 对应$\overline{\text{RST}}$。



V_{CC} (1.55 V)
V_{CCP}/V_{CCIOR} (3.3 V)

请注意：在正常应用运行时间内，由片上稳压器提供 V_{CC}。 由于潜在的毛刺问题，建议不要在禁用 VREG 的应用中使用该器件；然而，如果在这种模式下使用，该应用应确保 V_{CC}保持在额定的电压范围内。

图 5-1. $\overline{\text{PORRST}}$时序图

表 5-2. 对于$\overline{RST}$和$\overline{PORRST}$(1)在推荐工作条件下的开关特性

参数		最小值	最大值	单位
$t_{v(RST)}$	有效时间，$\overline{PORRST}$无效后$\overline{RST}$激活的时间	$1024t_{c(OSC)}$		ns
	有效时间，$\overline{RST}$激活的时间（所有其它）	$8t_{c(VCLK)}$		
$V_{CCIOPORL}$	在加电和断电期间，当必须激活时，Vccio 低电源电平的时间		1.1	V

(1) 额定值不包括上升/下降时间。 对上升和下降时序，请参阅表 5-13。

表 5-3. 内部稳压器规格

参数		最小值	最大值	单位
$t_{D(VCCIOR)0-3}$	延迟时间，输入电源从 0V 斜升到 3V	12		µs
$t_{V(PORRST)L}$	有效时间, 输入电源开始 ≥ 3.0V 后，$\overline{PORRST}$激活的时间	1		ms
$V_{CCIORmin(PORRST)f}$	断电或欠压期间，$\overline{PORRST}$必须被激活的最小输入电压	3.0		V
$C_{(VCC)core}$	电容分布在内核 V_{CC}引脚以稳定电压稳压器	1.2	6.0	µF
ESR（最大值）内核	内核 V_{CC}引脚上稳定电容的总组合 ESR	0	0.75	Ω

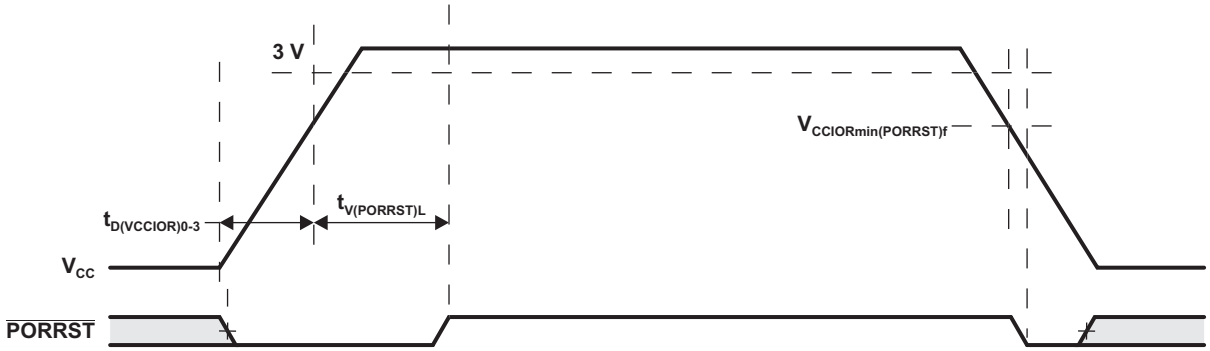


图 5-2. $\overline{PORRST}$时序要求

表 5-4. VREG 建议工作条件

参数		条件	最小值	最大值	单位
I_{CC}	V_{CC}额定负荷	正常模式下，稳压器激活	0	200	mA
		睡眠模式下，稳压器激活		5	mA
		关闭，启用强制关闭	-	-	µA

表 5-5. VREG 睡眠模式时序特性(1)

参数		最小值	最大值	单位
$t_{正常-睡眠}$	正常模式和睡眠模式之间的过渡时间		70	ns
$t_{睡眠-正常}$	正常模式和睡眠模式之间的过渡时间		3.5	µs

(1) 这些时间只反映 VREG 的过渡时间。 其他组件的时间不包括在内。

版权 © 2012, Texas Instruments Incorporated

5.1.1 从打盹模式唤醒的顺序

打盹模式下，HCLK，GCLK，VCLK，和 VCLK2 都关闭。 此外，主振荡器运行，它是打盹模式中唯一的时钟源。 打盹模式的更多细节，请参阅 *《TMS470M 系列技术参考手册》*(SPNU495)。 如果内部稳压器被禁用，打盹模式将不被支持。

RTICLK 仍然激活，如果需要，的话这使得 RTI 模块产生定期唤醒中断。 其它唤醒选项是：通过 GIO 引脚，CAN 消息，和 SCI/LIN 产生外部中断。 打盹模式唤醒的顺序描述如下：

1. 唤醒请求被接收/产生。图 5-3显示 CAN 模块产生唤醒中断。
2. 该唤醒事件导致内核 VREG 唤醒。
3. 由于主振荡器已经运行，所以它用来作为唤醒时的时钟源。
4. 该软件运行使用主振荡器作为时钟源。 此外，PLL 现在可以被启用。
5. 一旦 PLL 已经获得 LOCK（锁定），该软件可以切换到为正常运行使用 PLL 输出时钟。

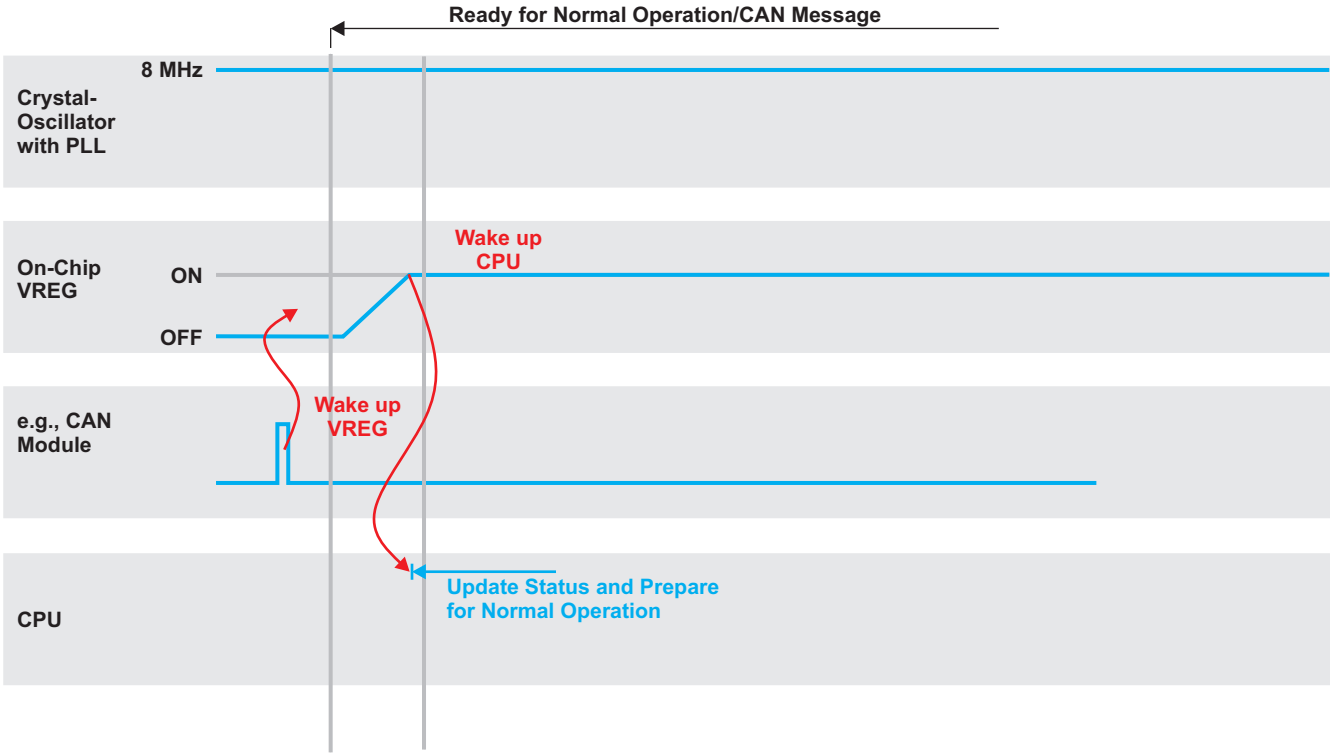


图 **5-3.** 从打盹模式中唤醒

5.1.2 从睡眠模式唤醒的顺序

在睡眠模式中，*所有的*时钟均关闭：HCLK，GCLK，VCLK，VCLK2，和 RTICLK。 所有的时钟源也被禁用。 睡眠模式的更多细节，请参阅《*TMS470M 系列技术参考手册*》(SPNU495)。 如果内部稳压器被禁用，睡眠模式将不被支持。

唤醒选项是：通过 GIO 引脚，CAN，和 SCI/LIN 产生外部中断。 睡眠模式唤醒的顺序介绍如下：

1. 唤醒请求接收/产生。图 5-4显示 CAN 模块根据一条收到的消息产生唤醒中断。
2. 该唤醒事件导致片上 VREG 唤醒。
3. 一旦片上 VREG 唤醒，CPU 和主振荡器开始唤醒。
4. 一旦主振荡器的输出有效，该软件运行使用主振荡器作为时钟源。 该软件可以准备正常运行。 此外，现在的 PLL 可以启用。
5. 一旦 PLL 已经获得 LOCK（锁定），该软件可以切换到为正常运行使用 PLL 输出时钟。

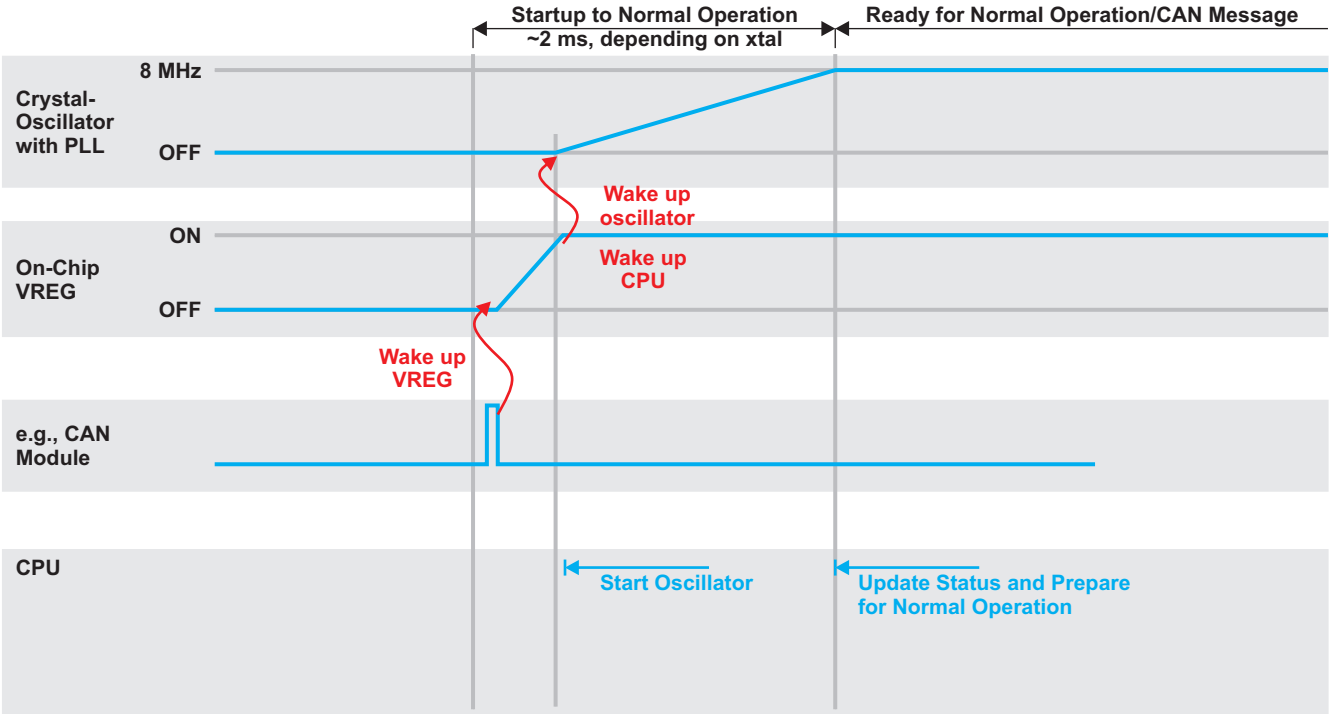


图 **5-4.** 从睡眠模式中唤醒

版权 © 2012, Texas Instruments Incorporated

表 **5-6.** 从低功耗模式唤醒摘要[(1)]

模式	时钟源激活	激活时钟	唤醒选项	唤醒时钟源	唤醒时间
打盹	振荡器	RTICLK1	GIO 中断，CAN Rx，SCI/LIN Rx，RTI	振荡器	VREG 唤醒[(2)]+ 闪存泵睡眠[(3)]+ 闪存泵待机[(4)]
睡眠	无	无	GIO 中断，CAN Rx，SCI/LIN Rx	振荡器	VREG 唤醒+振荡器。 启动 + 1024 OSC。周期+闪存泵休眠+闪存泵待机

(1) 如果内部稳压器被禁用，低功耗模式将不被支持。
(2) VREG 唤醒 = $t_{中止-正常}$（请参阅 表 5-4）。
(3) 闪存泵休眠 = 在闪存泵进入待机模式之前闪存泵很粗野睡眠模式的最短时间 = 20μs。 闪存泵睡眠到待机计数器必须被编程以至于它（计数器值 X 唤醒时钟源周期）是至少 20μs 的。
(4) 闪存泵待机=在闪存泵进入激活模式前，闪存泵处于待机模式下的最短时间 = 1μs。 闪存泵待机 2 激活计数器必须被编程这样它（计数器值 X 唤醒时钟源周期）至少 1μs 。

注

闪存组将与 flash 泵并行唤醒。 闪存组可以比闪存泵更快唤醒并且因此整个闪存模块唤醒时间是由泵的唤醒时间来决定的。

5.2 PLL 和时钟技术规格

表 **5-7. PLL** 电路被启用或被禁用的时序要求

参数		最小值	最大值	单位
$f_{(OSC)}$	输入时钟频率	5	20	MHz
$t_{c(OSC)}$	周期时间, OSCIN	50		ns
$t_{w(OSCIL)}$	脉冲持续时间，OSCIN 低电平的时间	15		ns
$t_{w(OSCIH)}$	脉冲持续时间，OSCIN 高电平的时间	15		ns

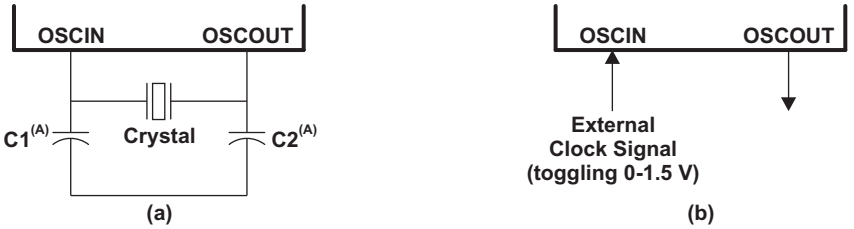
5.2.1 外部参考谐振器/晶体振荡器时钟选项

如图 5-5(a) 所示，通过在外部 OSCIN 和 OSCOUT 引脚之间连接适当的基本 5-20MHz 谐振器/晶体和负载电容来启用此振荡器。 振荡器是一种单级变换器，由一个集成的偏置电阻器保持在偏置状态。

TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。厂商都配备有决定负载电容将最好的调整其谐振器/晶体的优化启动和操作温度/电压的极端的单片机。

5.2.2 外部时钟源

通过 OSCIN 引脚连接一个 1.5V 的时钟信号来使用一个外部振荡器源并且使 OSCOUT 引脚悬空（打开），如图 5-5(b) 所示。



A. C1 和 C2 的值应由谐振器/晶体供应商提供。

图 **5-5.** 推荐的晶振/时钟连接

版权 © 2012, Texas Instruments Incorporated

5.2.3 LPO 和时钟检测

LPOCLKDET 模块包括一个时钟监视器(CLKDET) 和 2 个低功耗振荡器（LPO）：1 个低频 (LF) 和 1 个高频 (HF) 的振荡器。 CLKDET 是针对外部供电时钟信号的监控电路。 一旦外部提供的时钟频率下降到一个频率窗口以下时，时钟探测器标志这种情况并且转换到 HF LPO 时钟（薄型模式）。 不管振荡器时钟信号的运行状态，OSCFAIL 标志和时钟转换保持不变。 唯一可以清除 OSCFAIL 的方式（并且 OSCIN 再次驱动时钟）是一个加电复位。

表 **5-8. LPO** 和时钟检测

参数		最小值	典型值	最大值	单位
无效频率	下限阈值	1.5		5.0	MHz
	较高阈值	20.0		50.0	MHz
跛行模式频率 (HFosc)		9.0	12	14.0	MHz
LFosc 频率		79	90	110	kHz
HFosc 频率		9.0	12	14.0	MHz

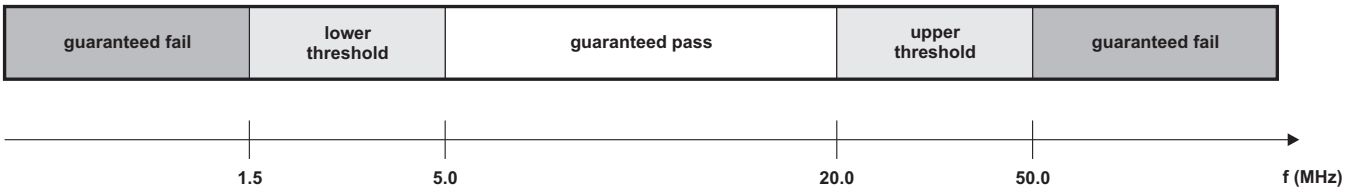
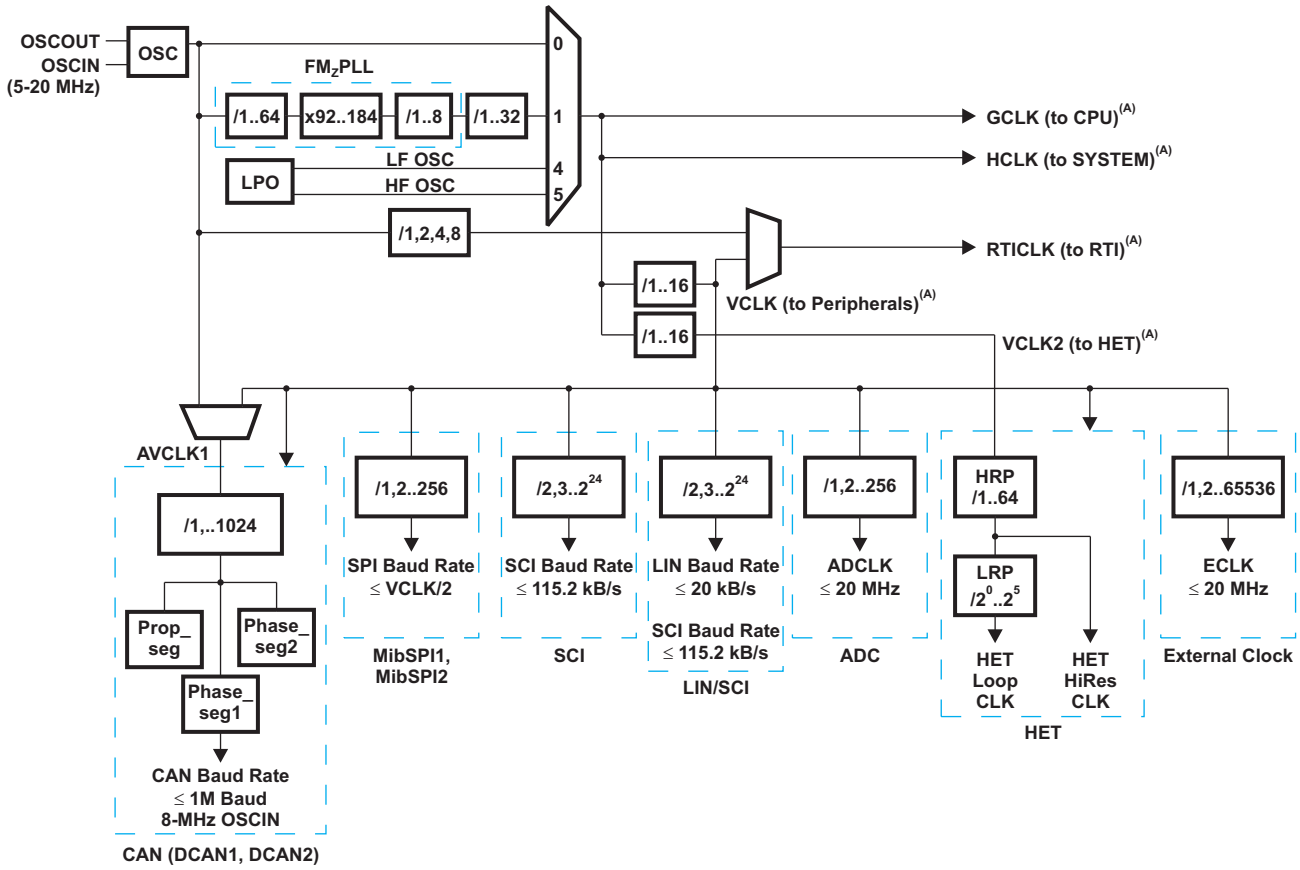


图 **5-6. LPO** 和时钟检测

5.2.4 器件时钟域方框图

在和表 5-9中指定了时钟域方框图和 GCM 时钟源分配。



A. 请参考表 5-10。

图 **5-7.** 器件时钟域方框图

表 **5-9. GCM** 时钟源分配

GCM 源编号	时钟源
0	OSCIN
1	F035 FMzPLL
2	被保留(1)
3	被保留(1)
4	LF OSC
5	HF OSC
6	被保留(1)
7	被保留(1)

(1) “被保留的”时钟源不应该被启用或使用。

版权 © 2012, Texas Instruments Incorporated

表 **5-10.** 在推荐工作条件下时钟的开关特性(1) (2)(3)(4)(5)

参数		测试条件(6)	最小值	最大值	单位
$f_{(HCLK)}$	系统时钟频率	启用的管道模式		80	MHz
		管道模式被禁用，0 闪存等待状态		28	
f（程序/擦除）	系统时钟频率闪存编程/擦除			80	MHz
$f_{(VCLK/VCLK2)}$	外设 VBUS 时钟频率			$f_{(HCLK)}$	MHz
$f_{(ECLK)}$	针对 ECP 模块的外部时钟输出频率			20	MHz
$f_{(RCLK)}$	RCLK - 脱离 PLL 宏进入 R-分频器的频率			180	MHz
$t_{c(HCLK)}$	周期时间，系统时钟	启用的管道模式	12.50		ns
		管道模式被禁用，0 闪存等待状态	35.71		
$t_{c(PROG/ERASE)}$	周期时间，系统时钟闪存编程/擦除		12.50		ns
$t_{c(VCLK/VCLK2)}$	周期时间，外设时钟		$t_{c(HCLK)}$		ns
$t_{c(ECLK)}$	周期时间，ECP 模块外部时钟输出		50.0		ns
$t_{c(RCLK)}$	周期时间，针对 R - 分频器的最小输入周期时间 (RCLK)		5.56		ns

(1) $f_{(HCLK)}=f_{(OSC)}$/NR *NF/ODPLL/PLLDIV；详细信息，请参阅 PLL 文档。 TI 强烈建议 NR 和 NF 参数的选择应按照 NF ≤ 120 and ($f_{(OSC)}$/NR *NF) ≤ 400 进行。
$f_{(VCLK)}= f_{(HCLK)}$/X，其中 X = {1，2，3，4，5，6，7，8，9，10，11，12，13，14，15，16}。 X 是在 SYS 模块中 VCLKR[3:0] 位决定的外设 VBUS 时钟分频器比。
(2) 启用 FM 模式可以减少最大额定工作频率。 影响的程度取决于特定的应用程序和具体的设置，以及设置的影响，应在使用 FM 模式之前被讨论并达成一致。 对于 ECP 模块，使用 FM 模式不影响最大额定外部时钟输出，$f_{(ECLK)}$。
(3) FRDCNTL[2:0] 决定启用或禁用管道模式。
(4) $f_{(ECLK)} = f_{(VCLK)}$/N，其中 N = {1 至 65536}。 N 是由 ECPCTRL 定义的 ECP 预分频值。在 ECP 模块中 [15:0] 寄存器位。
(5) 在所使用的系统内 ECLK 的输出将增加辐射发射。 在器件级的额定发射不包括由于 ECLK 输出引起的发射。
(6) 所有的测试条件假设 FM 模式被禁用且 RAM ECC 在具有针对 RAM 的 0 等待状态 时被启用。

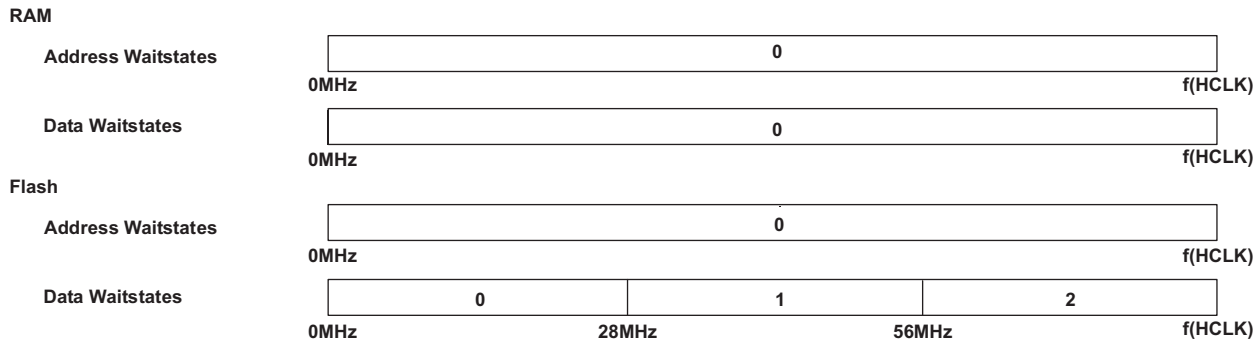


图 **5-8.** 时序-等待状态

注

如果启用 FMzPLL 调频，必须特别小心确保不能超过最大系统时钟频率 f (HCLK) 和外设时钟频率 f (VCLK)。 当 FMzPLL 频率调制被启用时，器件时钟速度额定值可能需要被降低以适应调制深度。

5.2.4.1 ECLK 技术规格

表 **5-11.** 在推荐工作条件下外部时钟的开关特性(1)(2)

（请参阅 图 5-9）

编号	参数		测试条件	最小值	最大值	单位
1	$t_{w(EOL)}$	脉冲持续时间，ECLK 低电平的时间	在所有的分频因子组合（X 和 N）下	$0.5t_{c(ECLK)}-t_f$		ns
2	$t_{w(EOH)}$	脉冲持续时间，ECLK 高电平的时间	在所有的分频因子组合（X 和 N）下	$0.5t_{c(ECLK)}-t_r$		ns

(1) X ={1，2，3，4，5，6，7，8，9，10，11，12，13，14，15，16}。 X 是 CLKCNTL 决定的 VBUS 接口时钟分频比。在 SYS 模块中的 [19:16] 位。
(2) N = {1 至 65536}。 N 是由 ECPCNTL 定义的 ECP 预分频值。在 SYS 模块中 [15:0] 寄存器位。

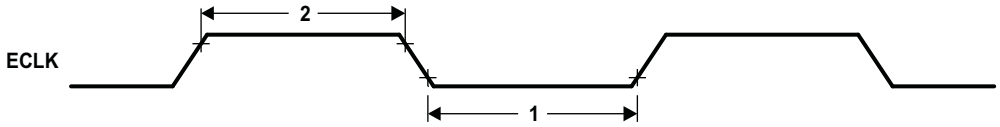


图 **5-9. ECLK** 时序图

5.2.5 JTAG 时序

表 **5-12. JTAG** 扫描接口时序（**TDO** 输出上的 **JTAG** 时钟技术规范 **10MHz** 和 **50pF** 负载）

（请参阅图 5-10

编号			最小值	最大值	单位
1	$t_{c(JTAG)}$	周期时间，JTAG 低和高电平周期的时间	50		ns
2	$t_{su(TDI/TMS-TCKr)}$	建立时间，TDI，TMS 在 TCK 上升 (TCKr)前的时间	5		ns
3	$t_{h(TCKr-TDI/TMS)}$	保持时间，TDI, TMS 在 TCKr 后的时间	5		ns
4	$t_{h(TCKf-TDO)}$	保持时间，TDO 在 TCKf 后的时间	5		ns
5	$t_{d(TCKf-TDO)}$	延迟时间， TDO 有效在 TCK 下降 (TCKf) 后的时间		45	ns

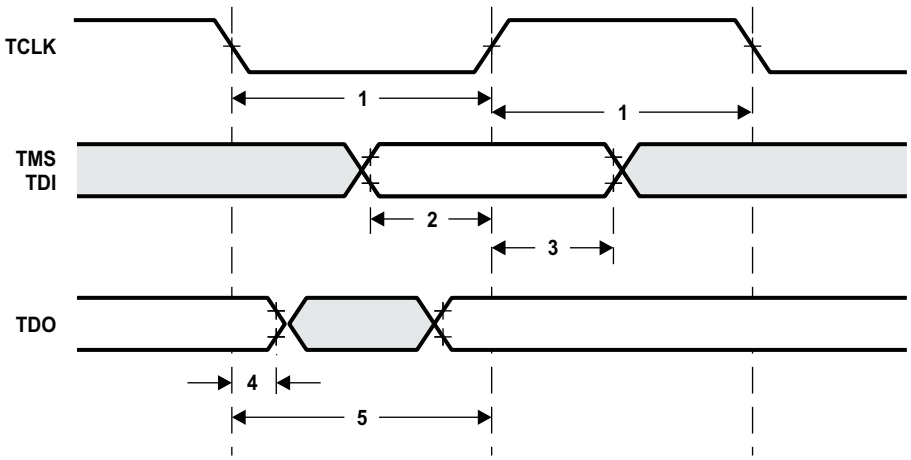


图 **5-10. JTAG** 扫描时序

版权 © 2012, Texas Instruments Incorporated

5.2.6 输出时序

表 **5-13.** 输出时序与负载电容 **(C_L)**[(1)]间关系的开关特性

（请参阅图 5-11）

参数			最大值	单位
t_r	自适应阻抗 4mA 引脚	C_L=15pF	4	ns
		C_L=50pF	8	
		C_L=100pF	15	
		C_L=150pF	21	
t_f	自适应阻抗 4mA 引脚	C_L=15pF	5	ns
		C_L=50pF	8	
		C_L=100pF	12	
		C_L=150pF	17	

(1) 本文件内给出的外设输出时序是在标准缓冲模式或阻抗控制模式下测得的。

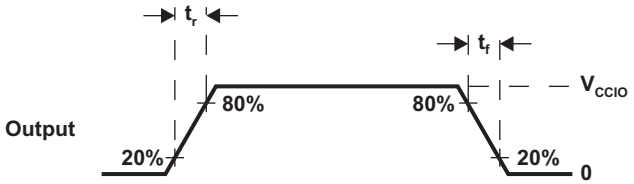


图 **5-11. CMOS -** 级输出

5.2.7 输入时序

表 **5-14.** 输入时序的时序要求[(1)]

（请参阅图 5-12）

		最小值	最大值	单位
t_{pw}	输入最小脉冲宽度	$t_{c(VCLK)}$+ 10		ns

(1) $t_{c(VCLK)}$= 外设 VBUS 时钟周期时间 = 1/$f_{(VCLK)}$。

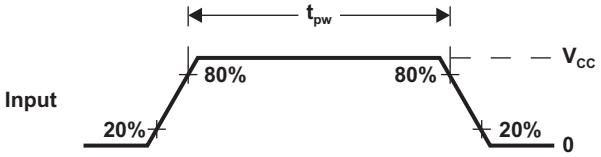


图 **5-12. CMOS -** 级输入

5.2.8 闪存时序

表 **5-15.** 程序闪存的时序要求

参数		测试条件	最小值	标称值	最大值	单位
t_{acc_delay}	闪存泵的稳定时间	从睡眠模式到待机模式	20			μs
		从待机模式到激活模式	1			
	闪存组稳定时间	从睡眠模式到待机模式	1.9			
		从待机模式到激活模式	0.1			
$t_{prog(16\text{-}bit)}$	半字（16位）的编程时间			37.5	300	μs
$t_{prog（全部）}$	512K 字节的编程时间 (1)			10	78.7	s
	640K 字节的编程时间 (1)			12.5	98.4	
$t_{擦除(扇区)}$	扇区擦除时间			1.5	15	s
N_{wec}	在 TA=-40 到 125°C 上的写入/擦除周期带有 15 年数据保存要求				1000 (2)	周期
	针对在组 1 中 16k 闪存扇区，写入/擦除周期在 TA =-40 到 125°C 上 EEPROM 仿真要求				25000 (2)(3)	周期

(1) $t_{PROG（总）}$编程时间包括状态机的的开销，但不包括数据传输时间。
(2) 闪存写入/擦除周期和数据保留规范是建立在 TI 闪存 API 的已验证执行基础上的。 不支持非 TI 闪存 API 的实现。 详细描述请参阅 *F035《闪存验证程序》(SPNA127)*。
(3) 闪存写入/擦除周期和数据保留技术规范基于在包括的产品（甚至是在额定温度范围和周期间时间上发布的产品）使用寿命范围内的一个写入/擦除周期的假定分布。 正如 JEDEC 规范 JESD22-A117C 在概述中描述的那样，EEPROM 仿真组已合格。

版权 © 2012, Texas Instruments Incorporated

5.3 SPIn 主模式时序参数

表 **5-16. SPIn** 主模式外部时序参数（时钟相位 **= 0**，**SPInCLK =** 输出，**SPInSIMO=**输出，并且 **SPInSOMI =** 输入）(1)(2)(3)

（请参阅图 5-13和图 5-14）

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK (4)	90	$256t_{c(VCLK)}$	ns
2(5)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_r$	$0.5t_{c(SPC)M}+5$	
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_f$	$0.5t_{c(SPC)M}+5$	
3(5)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_f$	$0.5t_{c(SPC)M}+5$	
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_r$	$0.5t_{c(SPC)M}+5$	
4(5)	$t_{d(SIMO-SPCL)M}$	延迟时间，在 SPICLK 低电平之前 SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-15$		
	$t_{d(SIMO-SPCH)M}$	延迟时间，在 SPICLK 高电平之前 SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-15$		
5(5)	$t_{v(SPCL-SIMO)M}$	有效时间，SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_{f(SPC)}$		
	$t_{v(SPCH-SIMO)M}$	有效时间，SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_{r(SPC)}$		
6(5)	$t_{su(SOMI-SPCL)M}$	建立时间，SPISOMI 在 SPICLK 低电平之前的时间 （时钟极性 = 0）	4		
	$t_{su(SOMI-SPCH)M}$	建立时间，SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 1）	4		
7(5)	$t_{h(SPCL-SOMI)M}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	8		
	$t_{h(SPCH-SOMI)M}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	8		
8(5)(6)	$t_{C2TDELAY}$	建立时间，SPICLK 高电平前，CS 激活的时间（时钟极性 = 0）	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)} - t_{f(SPICS)}+ t_{r(SPICLK)}-6$	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPICLK)}+38$	
		建立时间，SPICLK 低电平前，CS 激活的时间（时钟极性 = 1）	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)} - t_{f(SPICS)}+ t_{f(SPICLK)}-6$	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)} - t_{f(SPICS)}+ t_{f(SPICLK)}+38$	
9(5)(6)	$t_{T2CDELAY}$	保持时间，CS 无效前 SPICLK 低电平的时间（时钟极性 = 0）	$0.5*t_{c(SPC)M}+T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)}- t_{f(SPICLK)}+ t_{r(SPICS)}-28$	$0.5*t_{c(SPC)M}+T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)} - t_{f(SPICLK)}+ t_{r(SPICS)}+8$	
		保持时间，CS 无效前 SPICLK 高电平的时间（时钟极性 = 1）	$0.5*t_{c(SPC)M}+T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)} - t_{r(SPICLK)}+ t_{r(SPICS)}-28$	$0.5*t_{c(SPC)M}+T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)} - t_{r(SPICLK)}+ t_{r(SPICS)}+8$	
10(6)	t_{SPIENA}	SPIENAn 采样点	$C2TDELAY * t_{c(VCLK)}- t_{f(SPICS)}$	$C2TDELAY *t_{c(VCLK)}$	ns

(1) 设置主位 (SPIGCR1.0) 并且时钟相位位(SPIFMTx.16) 被清除。
(2) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$。
(3) 对上升和下降时序，请参阅表 5-13。
(4) 当 SPI 在主模式中时，必须满足以下条件：
- PS 值从 1 到 255: $t \geq (PS+1)t_{c(VCLK)} \geq 90$ ns, 其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位
- 对于 0 值 PS：$t_{c(SPC)M}= 2t_{c(VCLK)} \geq 90$ ns.

(5) 作为基准的 SPInCLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中编程。

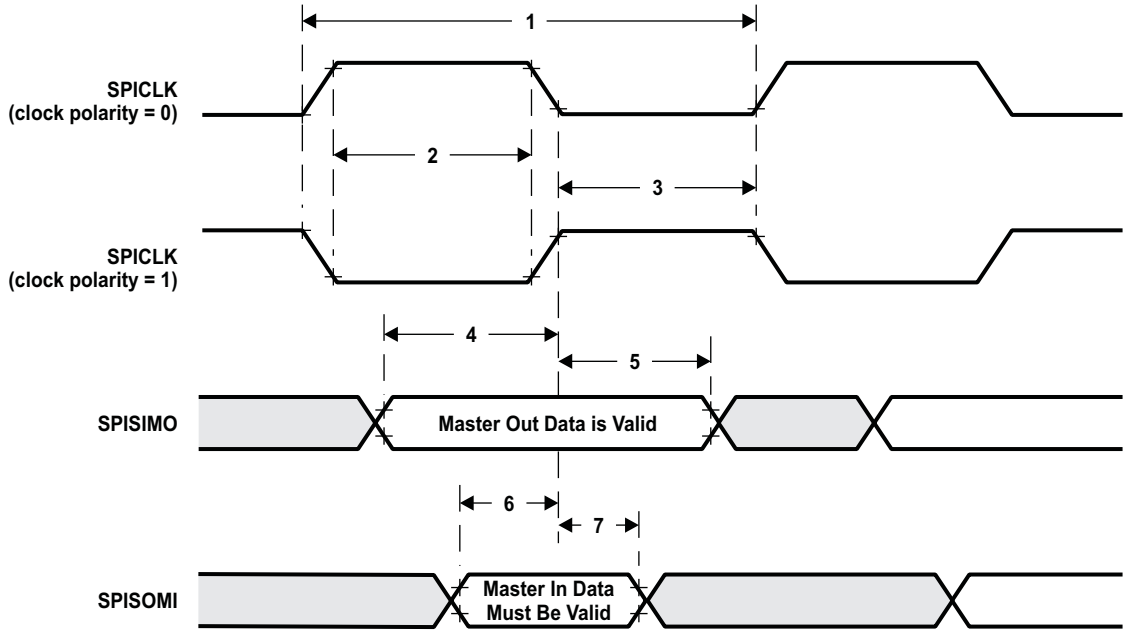


图 **5-13. SPI** 主控模式外部时序（时钟相位 **= 0**）

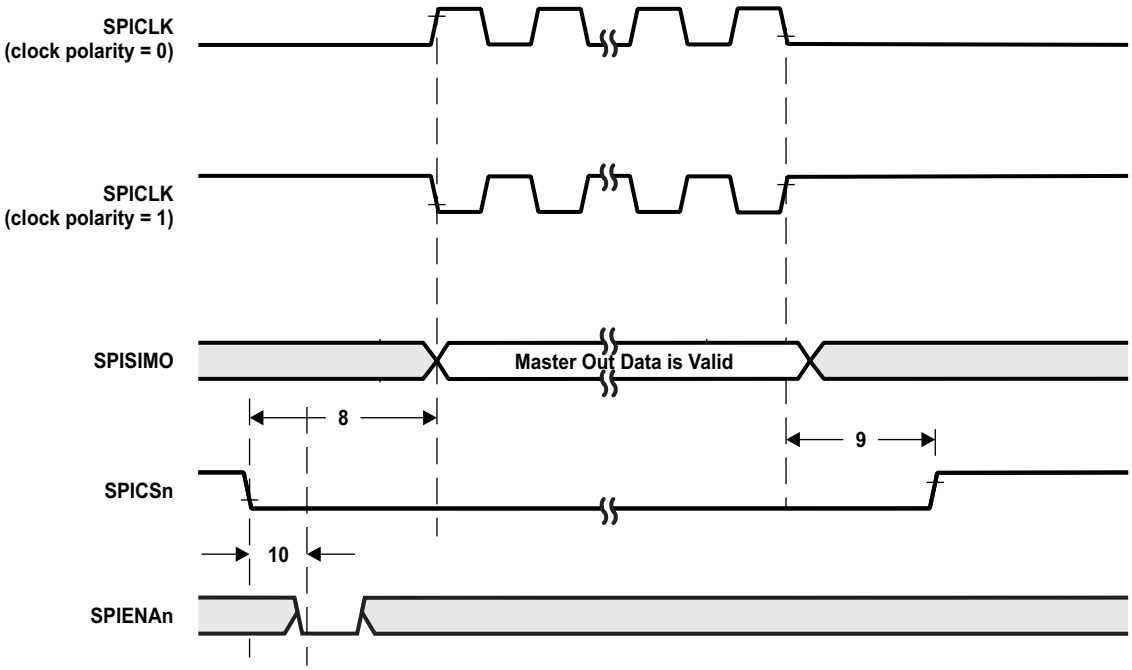


图 **5-14. SPI** 主控模式片选时序（时钟相位 **= 0**）

版权 © 2012, Texas Instruments Incorporated

表 5-17. SPIn 主控模式外部时序参数（时钟相位=1，SPInCLK = 输出, SPInSIMO = 输出 ，和 SPInSOMI = 输入）(1)(2)(3)

（请参阅图 5-15和图 5-16）

编号			最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK (4)	90	$256t_{c(VCLK)}$	ns
2(5)	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_r$	$0.5t_{c(SPC)M}+5$	
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_f$	$0.5t_{c(SPC)M}+5$	
3(5)	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_f$	$0.5t_{c(SPC)M}+5$	
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_r$	$0.5t_{c(SPC)M}+5$	
4(5)	$t_{d(SIMO-SPCH)M}$	延迟时间，在 SPICLK 高电平之前 SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-15$		
	$t_{d(SIMO-SPCL)M}$	延迟时间，在 SPICLK 低电平之前 SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-15$		
5(5)	$t_{v(SPCH-SIMO)M}$	有效时间，SPICLK 高电平之后 SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M}-t_{r(SPC)}$		
	$t_{v(SPCL-SIMO)M}$	有效时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M}-t_{f(SPC)}$		
6(5)	$t_{su(SOMI-SPCH)M}$	建立时间，SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 0）	4		
	$t_{su(SOMI-SPCL)M}$	建立时间，SPISOMI 在 SPICLK 低电平之前的时间 （时钟极性 = 1）	4		
7(5)	$t_{h(SPCH-SOMI)M}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	8		
	$t_{h(SPCL-SOMI)M}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	8		
8(5)(6)	$t_{C2TDELAY}$	建立时间，SPICLK 高电平前 CS 激活的时间（时钟极性 = 0）	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)}+0.5*t_{c(SPC)M}-t_{f(SPICS)}+t_{r(SPICLK)}-6$	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)}+0.5*t_{c(SPC)M}-t_{f(SPICS)}+t_{r(SPICLK)}+38$	
		建立时间，SPICLK 低电平前 CS 激活的时间（时钟极性 = 1）	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)}+0.5*t_{c(SPC)M}-t_{f(SPICS)}+t_{f(SPICLK)}-6$	$(C2TDELAY+CSHOLD+2)*t_{c(VCLK)}+0.5*t_{c(SPC)M}-t_{f(SPICS)}+t_{f(SPICLK)}+38$	
9(5)(6)	$t_{T2CDELAY}$	保持时间，CS 无效前 SPICLK 低电平的时间（时钟极性 = 0）	$T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)}-t_{f(SPICLK)}+t_{r(SPICS)}-28$	$T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)}-t_{f(SPICLK)}+t_{r(SPICS)}+8$	
		保持时间，CS 无效前 SPICLK 高电平的时间（时钟极性 = 1）	$T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)}-t_{r(SPICLK)}+t_{r(SPICS)}-28$	$T2CDELAY*t_{c(VCLK)}+t_{c(VCLK)}-t_{r(SPICLK)}+t_{r(SPICS)}+8$	
10(7)	t_{SPIENA}	SPIENAn 采样点	$C2TDELAY * t_{c(VCLK)}-t_{f(SPICS)}$	$C2TDELAY * t_{c(VCLK)}$	ns

(1) 主位 (SPIGCR1.0) 被设置并且时钟相位位(SPIFMTx.16) 被清除。
(2) $t_{c(VCLK)}$= 接口时钟周期时间 = $1/f_{(VCLK)}$。
(3) 对上升和下降时序，请参阅表 5-13。
(4) 当 SPI 在主模式中时，必须满足以下条件：
- PS 值从 1 到 255: $t_{c(SPC)M} \geq (PS+1)t_{c(VCLK)} \geq 90$ ns，其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位
- 对于 0 值 PS：$t_{c(SPC)M}= 2t_{c(VCLK)} \geq 90$ ns.

(5) 作为基准的 SPInCLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
(6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中编程。
(7) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中编程。

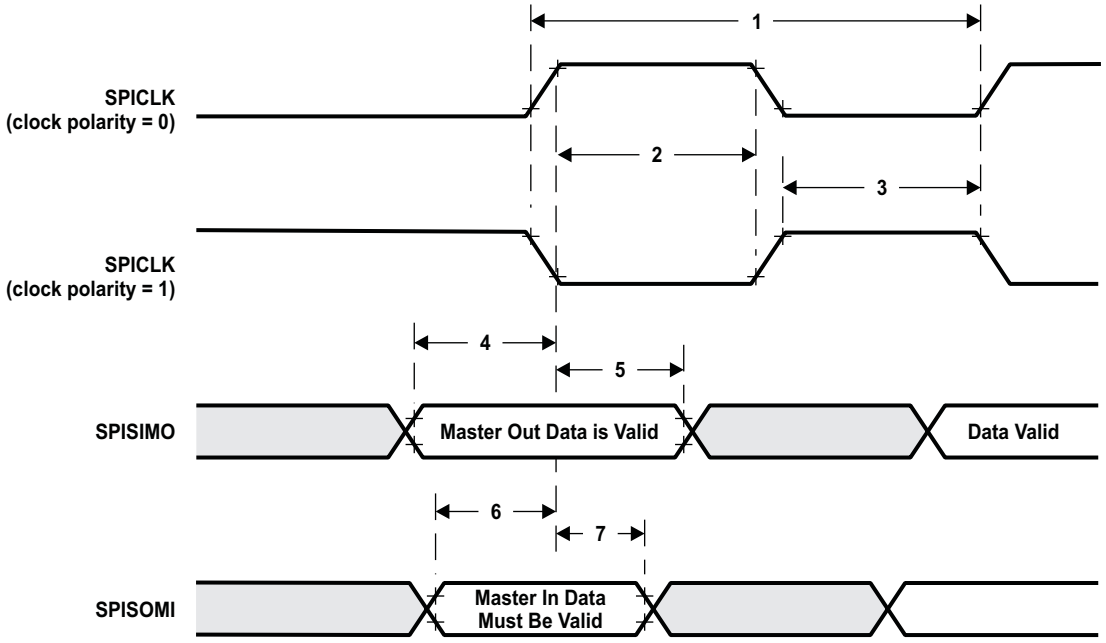


图 **5-15. SPI** 主控模式外部时序（时钟相位 **= 1**）

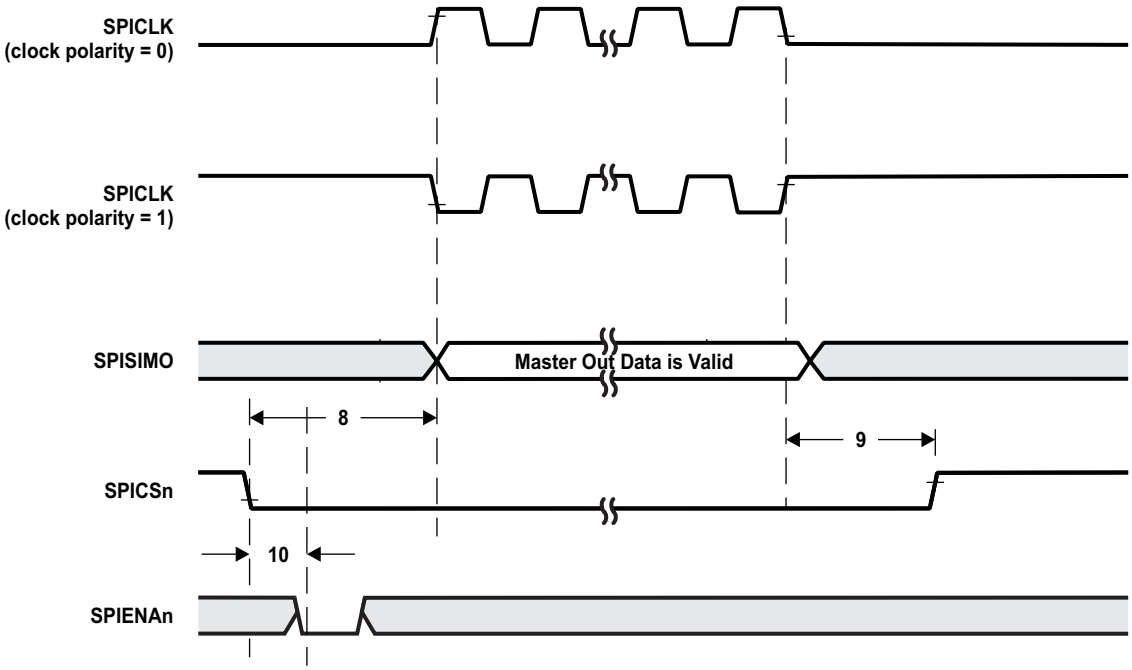


图 **5-16. SPI** 主控模式片选时序（时钟相位 **= 1**）

版权 © 2012, Texas Instruments Incorporated

5.4 SPIn 从模式时序参数

表 5-18. SPIn 从模式外部时序参数 （时钟相位 = 0, SPInCLK = 输入, SPInSIMO = 输入, 和 SPInSOMI = 输出）(1)(2)(3)(4)

(请参阅图 5-17和图 5-18)

编号			最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPInCLK(5)	90		ns
2(6)	$t_{w(SPCH)S}$	脉冲持续时间，SPInCLK 高电平的时间（时钟极性 = 0）	30		
	$t_{w(SPCL)S}$	脉冲持续时间，SPInCLK 低电平的时间（时钟极性 = 1）	30		
3(6)	$t_{w(SPCL)S}$	脉冲持续时间，SPInCLK 低电平的时间（时钟极性 = 0）	30		
	$t_{w(SPCH)S}$	脉冲持续时间，SPInCLK 高电平的时间（时钟极性 = 1）	30		
4(6)	$t_{d(SPCH-SOMI)S}$	延迟时间，SPInCLK 高电平至 SPInSOMI 有效的时间（时钟极性 = 0）		$t_{rf(SOMI)}$+15	
	$t_{d(SPCL-SOMI)S}$	延迟时间，SPInCLK 低电平至 SPInSOMI 有效的时间（时钟极性 = 1）		$t_{rf(SOMI)}$+15	
5(6)	$t_{v(SPCH-SOMI)S}$	有效时间，SPInCLK 高电平之后 SPInSOMI 数据有效的时间（时钟极性 = 0）	0		
	$t_{v(SPCL-SOMI)S}$	有效时间，SPInCLK 低电平之后 SPInSOMI 数据有效的时间（时钟极性 = 1）	0		
6(6)	$t_{su(SIMO-SPCL)S}$	建立时间，SPInSIMO 在 SPInCLK 低电平之前的时间 （时钟极性 = 0）	4		
	$t_{su(SIMO-SPCH)S}$	建立时间，SPInSIMO 在 SPInCLK 高电平之前的时间 （时钟极性 = 1）	4		
7(6)	$t_{v(SPCL-SIMO)S}$	有效时间，SPInCLK 低电平之后 SPInSIMO 数据有效的时间（时钟极性 = 0）	6		
	$t_{v(SPCH-SIMO)S}$	有效时间，SPInCLK 高电平之后 SPInSIMO 数据有效的时间（时钟极性 = 1）	6		
8	$t_{d(SPCL-SENAH)S}$	延迟时间，最后 SPICLK 低电平后的 SPIENAn 高电平时间（时钟极性=0）	1.5$t_{c(VCLK)}$	2.5$t_{c(VCLK)}$+ $t_{r(ENAn)}$	ns
	$t_{d(SPCH-SENAH)S}$	延迟时间，最后 SPICLK 高电平后的 SPIENAn 高电平时间（时钟极性= 1）	1.5$t_{c(VCLK)}$	2.5$t_{c(VCLK)}$+ $t_{r(ENAn)}$	
9	$t_{d(SCSL-SENAL)S}$	延迟时间， SPICSn 低电平后 SPIENAn 低电平的时间（如果新数据已经被写入 SPI 缓冲区）		$t_{f(ENAn)}$+6	ns

(1) 主位 (SPIGCR1.0) 被清除并且时钟相位位(SPIFMTx.16) 被清除。
(2) SPI 在受控模式中，必须满足下列条件：$t_{c(SPC)S}$> 2$t_{c(VCLK)}$和 $t_{c(SPC)S}$≥ 90 ns。
(3) 对上升和下降时序，请参阅表 5-13。
(4) $t_{c(VCLK)}$= 接口时钟周期时间 = 1/$f_{(VCLK)}$。
(5) SPI 在受控模式中，必须满足下列条件：$t_{w(SPCL)S}$> $t_{c(VCLK)}$, $t_{w(SPCL)S}$≥ 30, $t_{w(SPCH)S}$> $t_{c(VCLK)}$ ns and $t_{w(SPCH)S}$≥ 30 ns。
(6) 作为基准的 SPInCLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

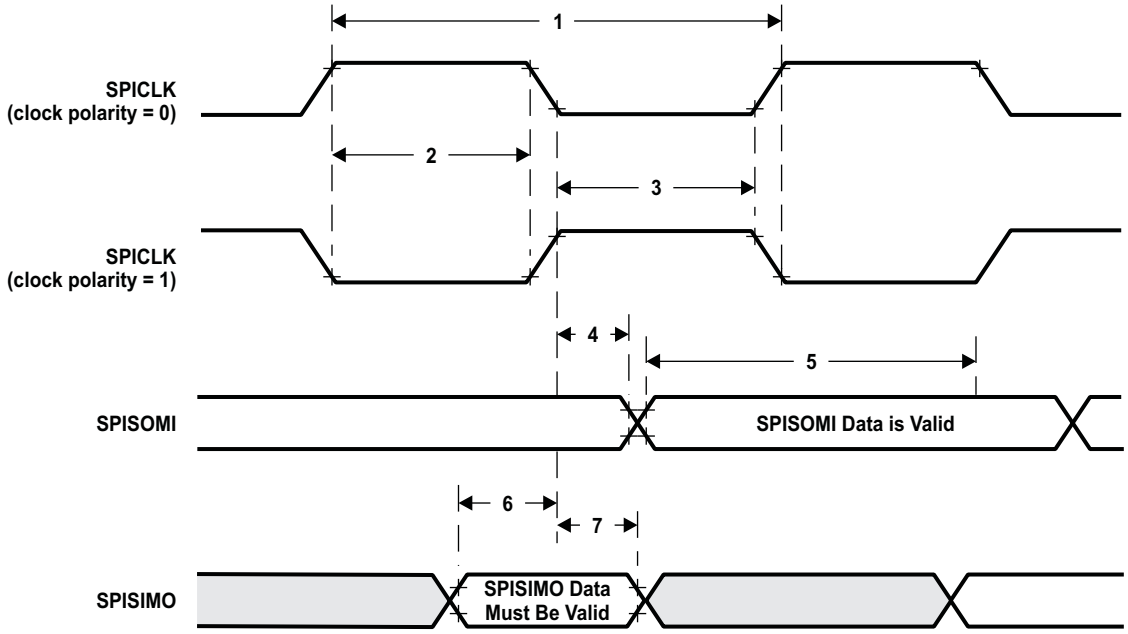


图 **5-17. SPI** 受控模式外部时序（时钟相位 **= 0**）

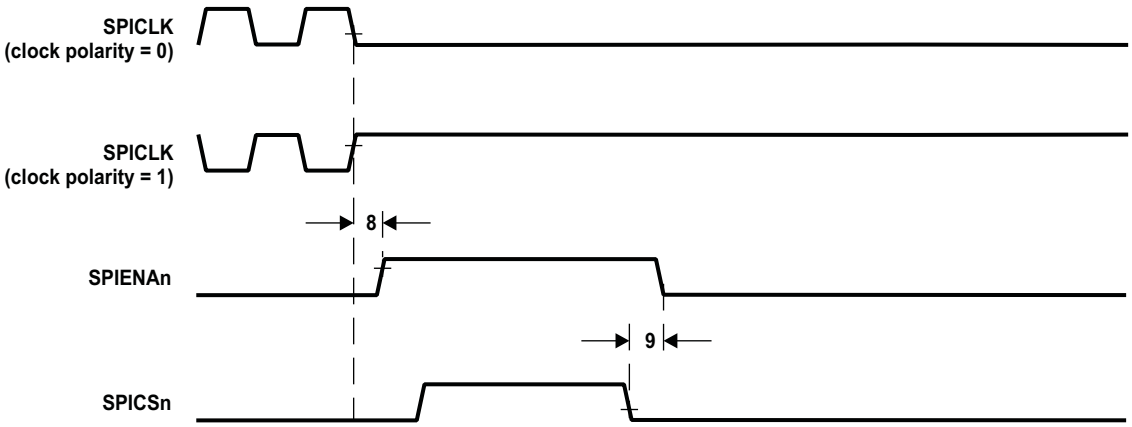


图 **5-18. SPI** 受控模式使能时序（时钟相位 **= 0**）

版权 © 2012, Texas Instruments Incorporated

表 5-19. SPIn 从模式外部时序参数 （时钟相位 = 1, SPInCLK = 输入, SPInSIMO = 输入, 和 SPInSOMI = 输出）(1)(2)(3)(4)

(请参阅图 5-19和图 5-20)

编号			最小值	最大值	单位
1	$t_{c(SPC)S}$	周期时间，SPInCLK (5)	90		ns
2 (6)	$t_{w(SPCH)S}$	脉冲持续时间，SPInCLK 高电平的时间（时钟极性 = 0）	30		
	$t_{w(SPCL)S}$	脉冲持续时间，SPInCLK 低电平的时间（时钟极性 = 1）	30		
3 (6)	$t_{w(SPCL)S}$	脉冲持续时间，SPInCLK 低电平的时间（时钟极性 = 0）	30		
	$t_{w(SPCH)S}$	脉冲持续时间，SPInCLK 高电平的时间（时钟极性 = 1）	30		
4 (6)	$t_{v(SPCH-SOMI)S}$	延迟时间，SPInCLK 高电平之后 SPInSOMI 数据有效的时间（时钟极性 = 0）		$t_{rf(SOMI)}$+15	
	$t_{v(SPCL-SOMI)S}$	延迟时间，SPInCLK 低电平之后 SPInSOMI 数据有效的时间（时钟极性 = 1）		$t_{rf(SOMI)}$+15	
5 (6)	$t_{v(SOMI-SPCH)S}$	有效时间，SPInSOMI 数据有效后 SPInCLK 高电平的时间（时钟极性 = 0）	0		
	$t_{v(SOMI-SPCL)S}$	有效时间，SPInSOMI 数据有效后 SPInCLK 低电平的时间（时钟极性 = 1）	0		
6 (6)	$t_{su(SIMO-SPCH)S}$	建立时间，SPInSIMO 在 SPInCLK 高电平之前的时间 （时钟极性 = 0）	4		
	$t_{su(SIMO-SPCL)S}$	建立时间，SPInSIMO 在 SPInCLK 低电平之前的时间 （时钟极性 = 1）	4		
7 (6)	$t_{v(SPCH-SIMO)S}$	有效时间，SPInCLK 高电平之后 SPInSIMO 数据有效的时间（时钟极性 = 0）	6		
	$t_{v(SPCL-SIMO)S}$	有效时间，SPInCLK 低电平之后 SPInSIMO 数据有效的时间（时钟极性 = 1）	6		
8	$t_{d(SPCH-SENAH)S}$	延迟时间，最后 SPICLK 高电平后的 SPIENAn 高电平时间（时钟极性= 0）	1.5$t_{c(VCLK)}$	2.5$t_{c(VCLK)}$+ tr(ENAn)	ns
	$t_{d(SPCL-SENAH)S}$	延迟时间，最后 SPICLK 低电平后的 SPIENAn 高电平时间（时钟极性= 1）	1.5$t_{c(VCLK)}$	2.5$t_{c(VCLK)}$+ $t_{r(ENAn)}$	
9	$t_{d(SCSL-SENAL)S}$	延迟时间， SPICSn 低电平后 SPIENAn 低电平的时间（如果新数据已经被写入 SPI 缓冲区）		$t_{f(ENAn)}$+6	ns
10	$t_{d(SCSL-SOMI)S}$	延迟时间， SPICSn 低电平后 SOMI 有效的时间（如果新数据已经被写入 SPI 缓冲区）		$t_{rf(SOMI)}$+6	ns

(1) MASTER 位 (SPInCTRL2.3) 被清除并且时钟相位位 (SPInCTRL2.0) 被设定。
(2) SPI 在受控模式中，必须满足下列条件：$t_{c(SPC)S}$> 2$t_{c(VCLK)}$和 $t_{c(SPC)S}$≥ 90 ns。
(3) 对上升和下降时序，请参阅表 5-13。
(4) $t_{c(VCLK)}$= 接口时钟周期时间 = 1/f(VCLK)。
(5) SPI 在受控模式中，必须满足下列条件： $t_{w(SPCL)S}$> $t_{c(VCLK)}$, $t_{w(SPCL)S}$≥ 30 ns, $t_{w(SPCH)S}$> $t_{c(VCLK)}$和 $t_{w(SPCH)S}$≥ 30 ns.
(6) 作为基准的 SPInCLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

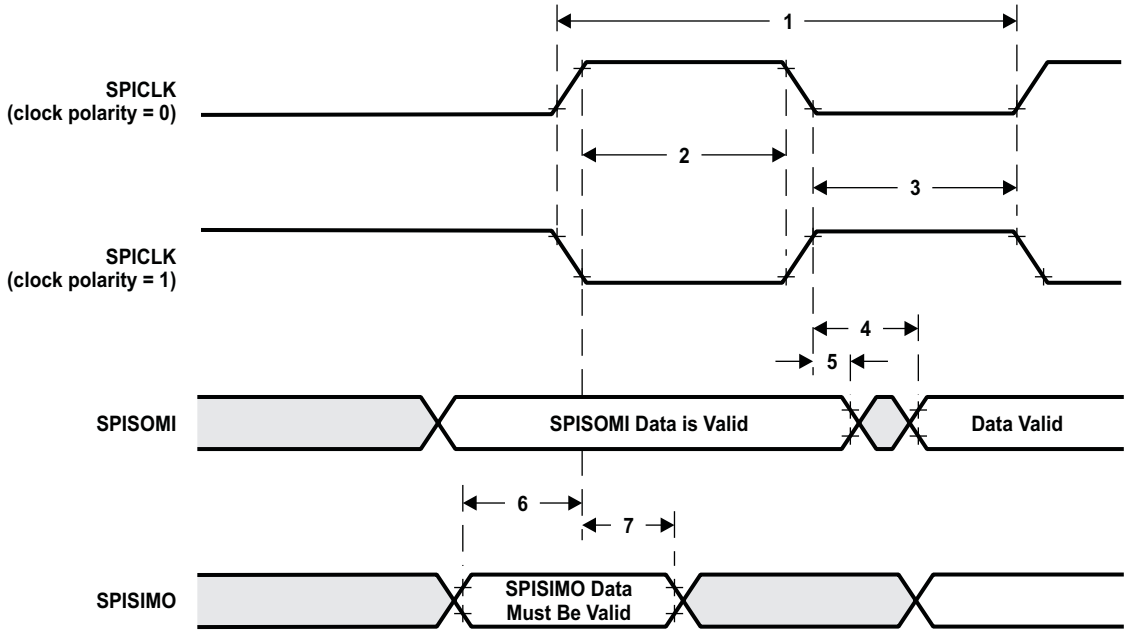


图 **5-19. SPI** 受控模式外部时序（时钟相位 **= 1**）

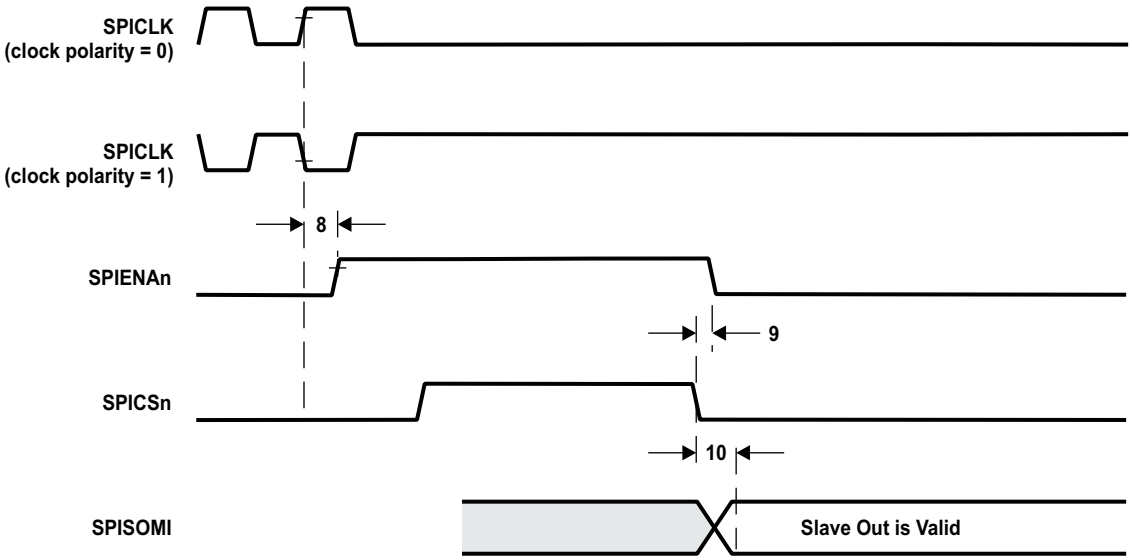


图 **5-20. SPI** 受控模式使能定时（时钟相位 **= 1**）

版权 © 2012, Texas Instruments Incorporated

5.5 CAN 控制器 (DCANn) 模式时序

表 **5-20. CANnSTX 和 CANnSRX 引脚的动态特征**

参数		最小值	最大值	单位
$t_{d(CANnSTX)}$	延迟时间，传输移位寄存器到 CANnSTX 引脚的时间(1)		15	ns
$t_{d(CANnSRX)}$	延迟时间，CANnSTX 引脚接收移位寄存器的时间		6	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

5.6 高端定时器 (HET) 时序

表 **5-21. HET 引脚的动态特征**

参数		最小值	最大值	单位
t_{opw}(HET)	输出脉冲宽度，这是可以产生的最小脉冲宽度(1)	$1/f_{(VCLK2)}$		ns
t_{ipw}(HET)	输入脉冲宽度，这是可以捕获的最小脉冲宽度(2)	$1/f_{(VCLK2)}$		ns

(1) $t_{opw}(HET)_{min} = HRP_{(min)} = hr_{(min)}/VCLK2$.
(2) $t_{ipw}(HET) = LRP_{(min)} = hr_{(min)} * lr_{(min)}/VCLK2$.

5.7 多缓冲模数转换器 (MibADC)

多缓冲模数转换器（MibADC）有一个针对其模拟电路的独立电源总线，该电源总线通过阻止逻辑电路（可出现在 VSS 和 VCC 上）上的数字开关噪声耦合进入模数转换模拟级来提高模数转换的性能。 所有的数模转换技术规范都是相对于 ADREFLO 给出的除非另有说明。

分辨率	10 位（1024 值）
单片	分配
输出转换代码	00h 至 3FFh [对于 $V_{AI} \leq AD_{REFLO}$ 为 00；对于 $V_{AI} \geq A_{DREFHI}$ 为 3FF]

表 **5-22. MibADC** 建议工作条件[(1)]

		最小值	最大值	单位
AD_{REFHI}	模数高电压基准源	3.0	V_{CCAD}	V
AD_{REFLO}	模数低电压基准源	V_{SSAD}	0.3	V
V_{AI}	模拟输入电压	AD_{REFLO}	AD_{REFHI}	V
I_{AIC}	模拟输入钳位电流 t[(2)] ($V_{AI} < V_{SSAD} - 0.3$ 或 $V_{AI} > V_{CCAD} + 0.3$)	- 2	2	mA

(1) 对于 V_{CCAD}和 V_{SSAD}建议工作条件, 请参阅Section 4.2。
(2) 输入电流输入到任何额定范围之外的 ADC 输入通道可能会影响其它通道的转换结果。

表 **5-23.** 建议工作条件全范围内的 **MibADC** 工作特性[(1)]

参数		说明/条件	最小值	标称值	最大值	单位
$R_{复用}$	模拟输入多路复用接通电阻	请参阅图 5-21		125	1.5K	Ω
R_{samp}	ADC 采样开关导通电阻	请参阅图 5-21		150	1.5K	Ω
$C_{复用}$	输入多路复用电容	请参阅图 5-21			16	pF
C_{samp}	ADC 采样电容	请参阅图 5-21			8	pF
I_{AIL}	模拟输入漏电流	每个 ADC 输入引脚的输入漏电流	-200		200	nA
$I_{ADREFHI}$	AD_{REFHI}输入电流	AD_{REFHI}=3.6V，AD_{REFLO}=V_{SSAD}			5	mA
CR	额定精度被保持的转换范围	ADREFHI - ADREFLO	3		3.6	V
E_{DNL}	微分非线性误差	实际步长宽度和理想值之间的差异（请见图 5-22）。			± 2	最低有效位 (LSB)
E_{INL}	积分的非线性误差	从最佳直线通过 MibADC 的最大偏差。 MibADC 传输的特点，不包括量化误差（请见图 5-23）。			± 2	LSB
E_{TOT}	总误差/绝对精度	模拟值与理想中值之间差异的最大值（请见图 5-24）。			± 2	LSB

(1) 对于 MibADC，1-LSB=$(AD_{REFHI}-AD_{REFLO})/2^{10}$。

版权 © 2012, Texas Instruments Incorporated

5.7.1 MibADC 输入模式

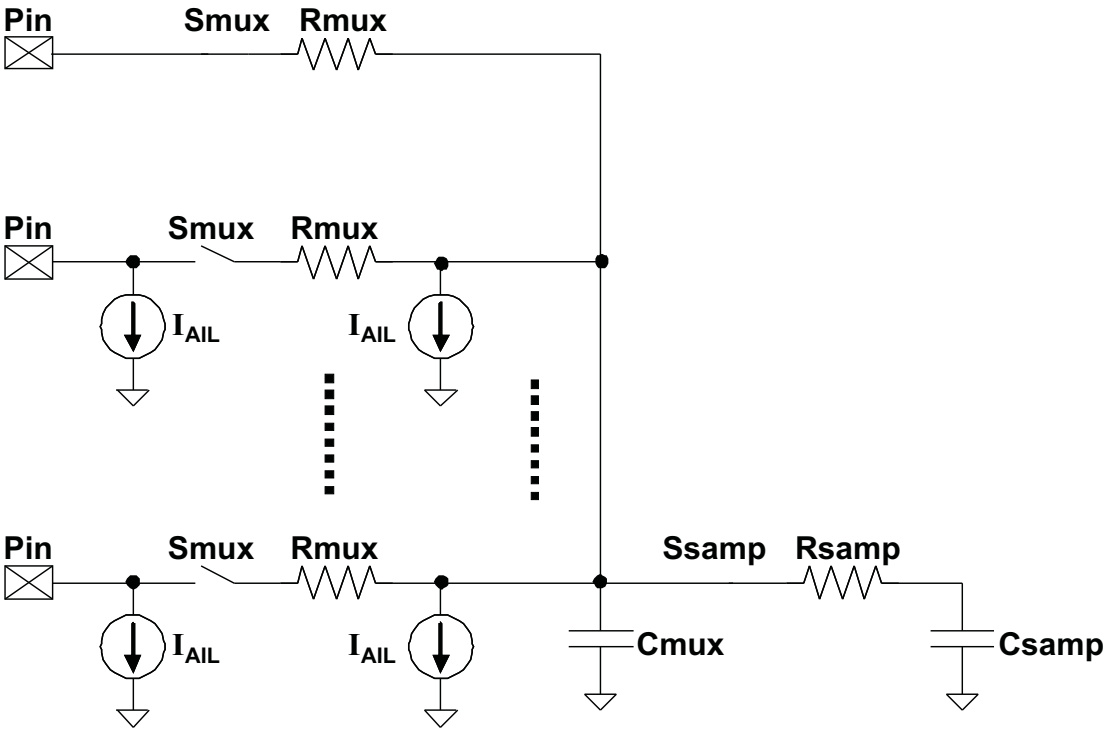


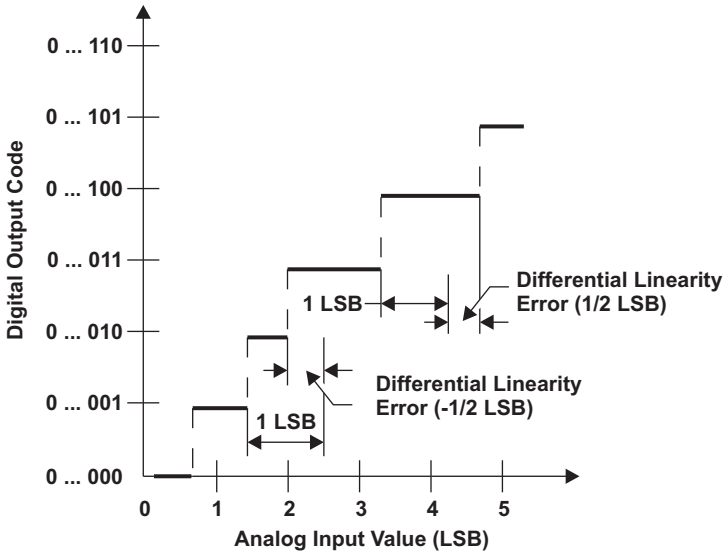
图 **5-21. MibADC** 输入等效电路

表 **5-24.** 多缓冲 **ADC** 时序要求

参数		最小值	标称值	最大值	单位
$t_{c(ADCLK)}$	周期时间，MibADC 时钟	0.05			μs
$t_{d(SH)}$	延迟时间，采样和保持时间	1			μs
$t_{d(C)}$	延迟时间，转换时间	0.55			μs
$t_{d(SHC)}$ (1)	延迟时间，总样本/保持和转换时间	1.55			μs

(1) 该是可以达到的最低采样/保持和转换时间。 这些参数取决于许多因素。

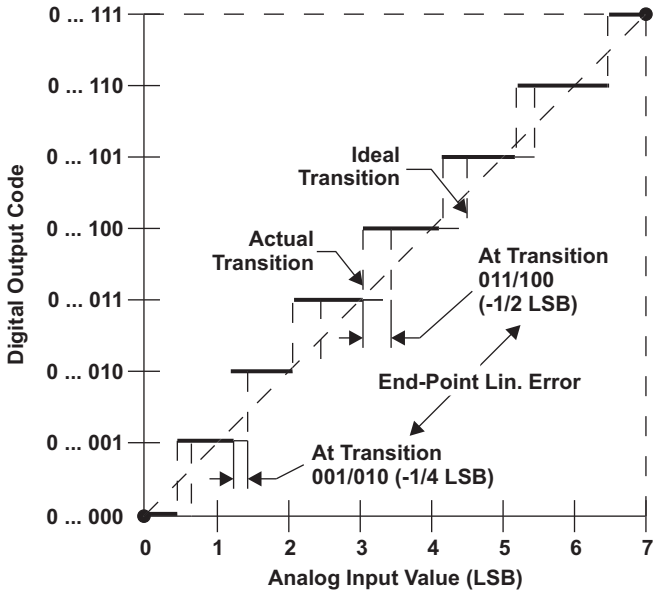
在图 5-22所示的微分非线性误差（有时是指为微分线性）是实际步长宽度与 1 个LSB 理想值之间的差异。



A. 1 LSB = $(AD_{REFHI}-AD_{REFLO})/2^{10}$

图 **5-22.** 微分非线性 **(DNL)**

在图 5-23所示的积分非线性误差（有时是指线性误差）是实际传送函数值从一条直线的偏离。

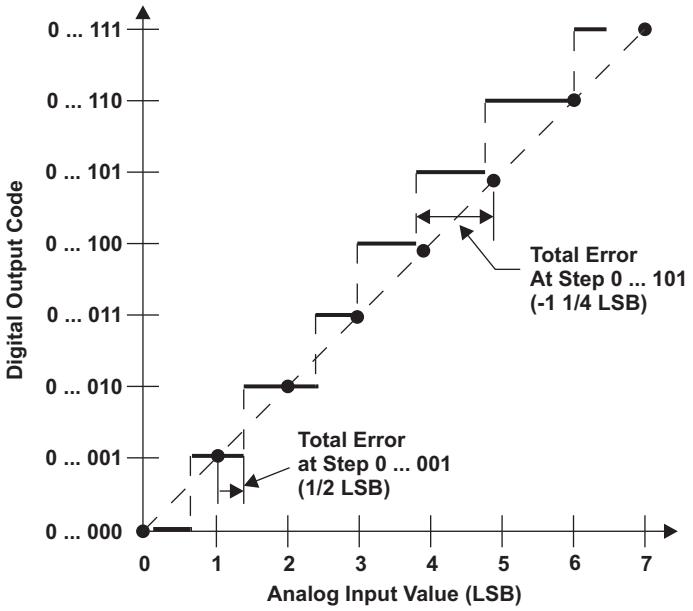


A. 1 LSB=$(AD_{REFHI}-AD_{REFLO})/2^{10}$

图 **5-23.** 积分非线性 **(INL)** 误差

在图 5-24中所示 MibADC 的绝对精度或总误差是一个模拟值与理想中值之间的最大差值。

版权 © 2012, Texas Instruments Incorporated



A. 1 LSB=($AD_{REFHIμ}$-AD_{REFLO})/2^{10}

图 **5-24.** 绝对精度（总）误差

6 修订历史记录

本数据手册的修订历史突出的器件或数据表的技术变化。

日期	添加、删除、和修改	修订版本
2010 年 10 月	更新了 MibADC 输入等效电路图解。 重命名 $f_{(PLLDIV)}$为 $f_{(RCLK)}$。 修改了 SPI 时序中的公式，包括在主控模式下的 4，5，8，9，10 项，和在受控模式下的 1，2，3 项及脚注。 删除了转换率控制描述，更名为低 EMI 缓冲区到自适应阻抗 4mA 缓冲区。 交换了 DCAN1 和 DCAN0 RAM 映射。 从 5.1 节 RST 和 PORRST 时序中删除了 PORRST 引脚的 VIH。 改变了电气特性部分的注脚，从而使通用 IO 引脚的 VIH 也可应用到 PORRST 引脚。 新增了“术语和缩略词”这一节。	A
2011 年 8 月	修改了中的设备ID。 增加了对 ENZ 引脚的说明。	B
2012 年 1 月	在闪存时序表中增加了最大的编程时间技术规范。 增加了注释以澄清闪存时序表中应用使用和 EEPROM 仿真组的限定方法。	C

版权 © 2012, Texas Instruments Incorporated

7 机械数据

7.1 散热数据

表 7-1显示了 PQFP-PZ机械封装的热阻特性。

表 7-1. 热敏电阻特性（S-PQFP 封装）[PZ]

参数	°C/W
$R_{\theta JA}$	48
$R_{\theta JC}$	5

7.2 封装信息

以下封装信息反映了可用于指定的器件的最新发布数据。 这些数据在无通知且不对本文档进行修订的情况下发生改变。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
S4MF06607BSPZQQ1	Active	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	S4MF06607BSPZ TMS470
S4MF06607BSPZQQ1.A	Active	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	S4MF06607BSPZ TMS470
S4MF06607BSPZQQ1.B	Active	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (5+1)	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	S4MF06607BSPZ TMS470

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

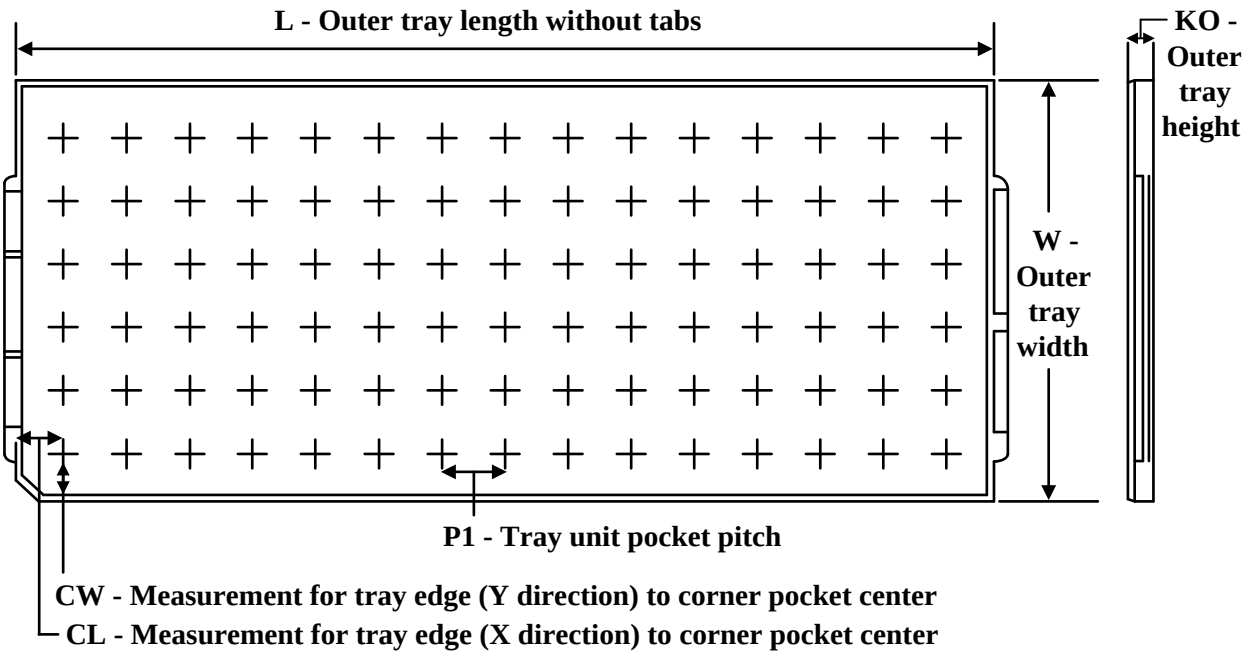
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

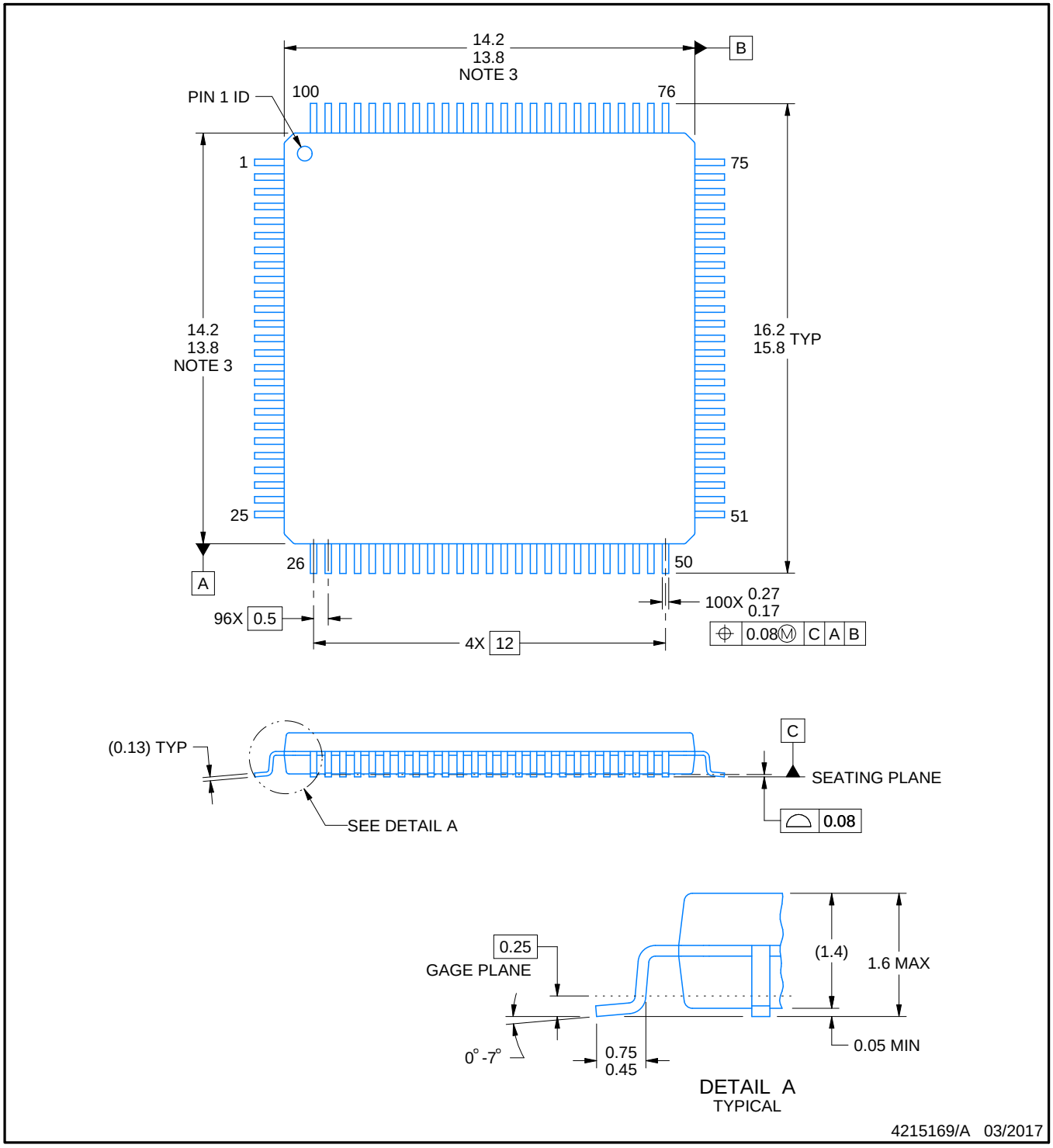
TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

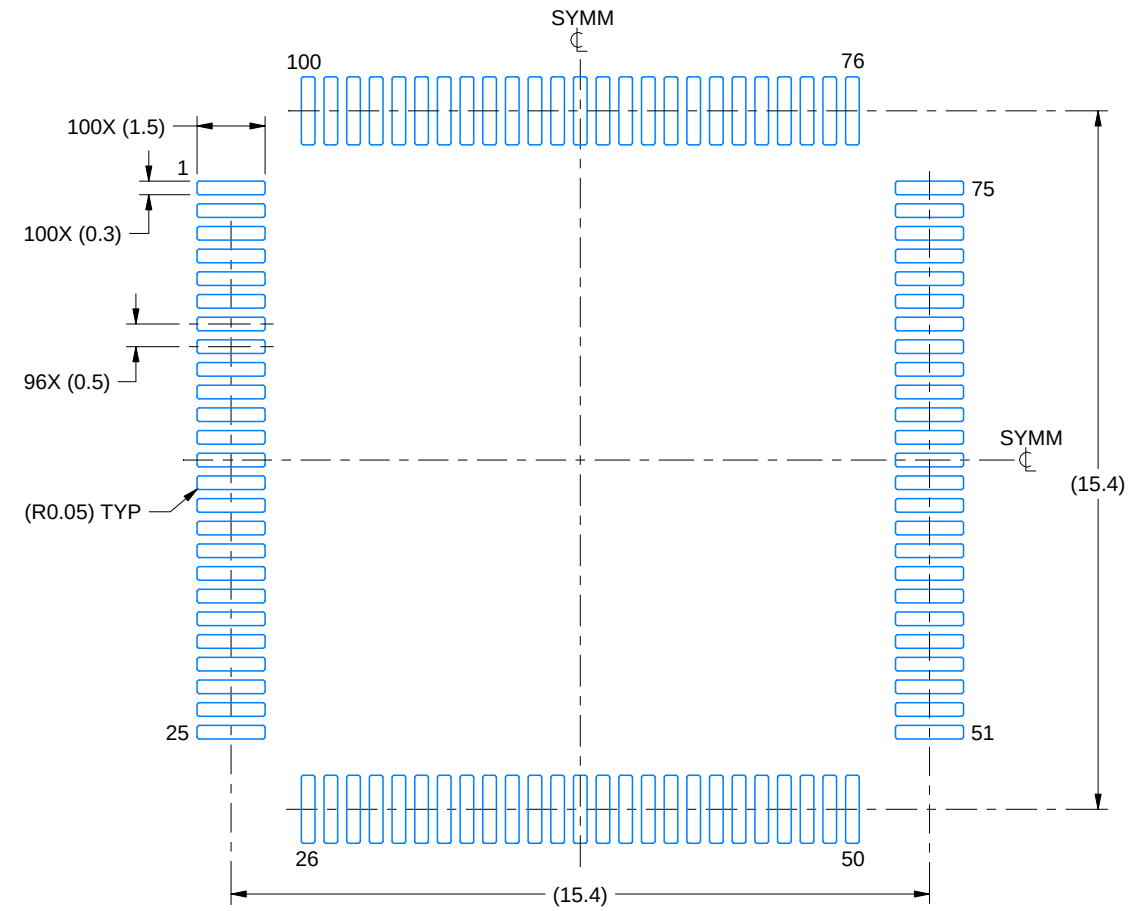
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
S4MF06607BSPZQQ1	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
S4MF06607BSPZQQ1.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
S4MF06607BSPZQQ1.B	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

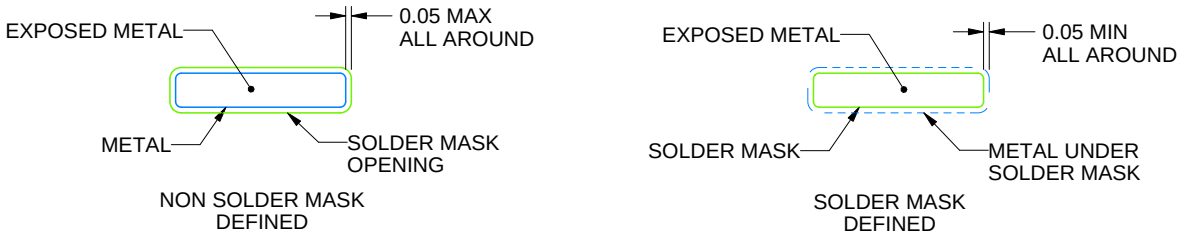


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

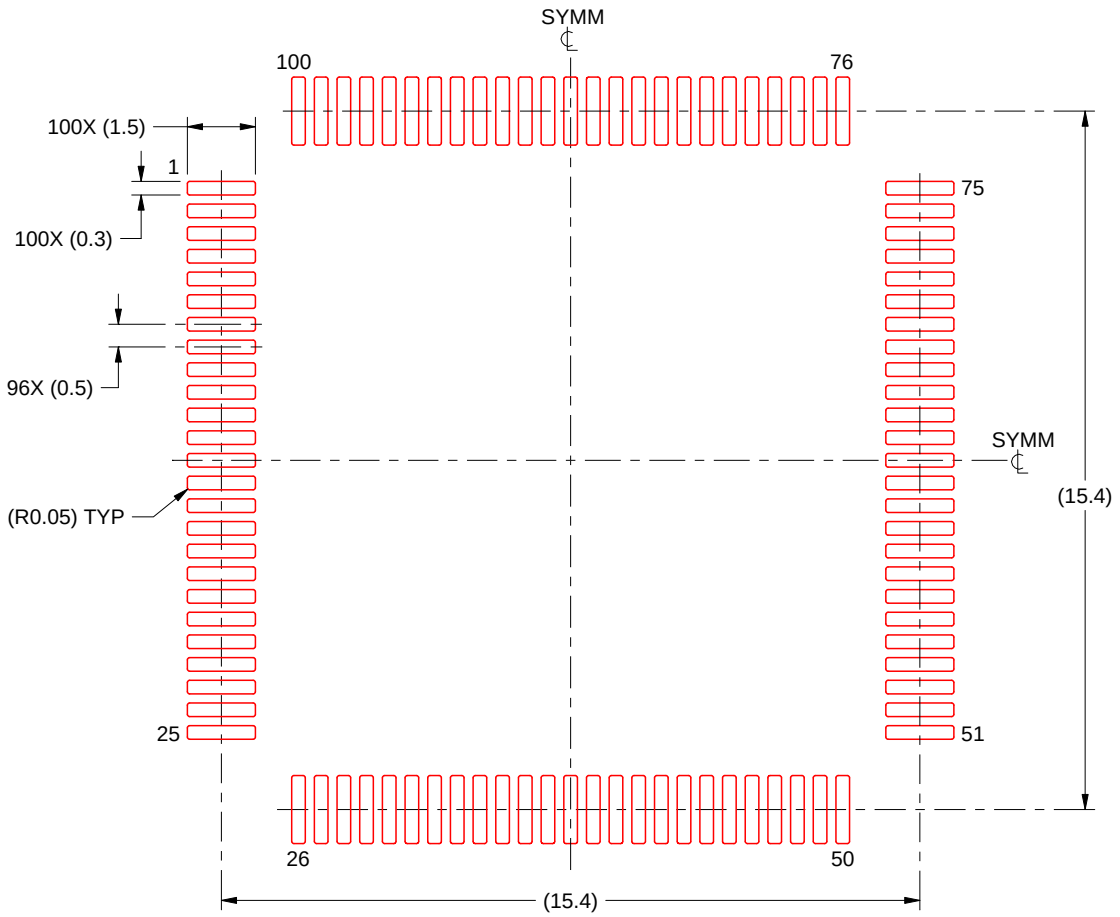


SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司