

TLV709 150mA、30V、3.2 μ A 静态电流低压降线性稳压器

1 特性

- 输入电压范围：2.5V 至 30V
- 可配置的输出电压选项：
 - 固定：1.2V 至 5V
 - 可调节：1.2V 至 28V
- 输出电流：高达 150mA
- 超低 I_Q ：150mA 负载电流时为 3.2 μ A
- 输出电容器 $\geq 0.47 \mu$ F 时保持稳定
- 过流保护
- 封装：
 - 4 引脚 SOT-89 (PK) (仅限固定配置)
 - 5 引脚 SOT-23 (DBV) (固定和可调配置)
- 工作结温：-40°C 至 +125°C

2 应用

- 家庭和楼宇自动化
- 零售自动化和支付
- 电网基础设施
- 医疗应用
- 照明应用

3 说明

TLV709 低压降 (LDO) 线性稳压器是一款低静态电流器件。该器件采用小型化封装，具有宽输入电压范围和低功耗运行的优势。TLV709 经过优化，可为电池供电应用的微控制器和其他低功耗负载供电。

TLV709 LDO 在 100mA 负载电流下支持典型值为 600mV 的低压降。低静态电流 (典型值为 3.2 μ A) 在整个输出负载电流 (0mA 至 150mA) 范围内不会变化。TLV709 还具有内部软启动功能，可在启动期间降低浪涌电流。内置过流限制保护有助于在发生负载短路或故障条件时保护稳压器。

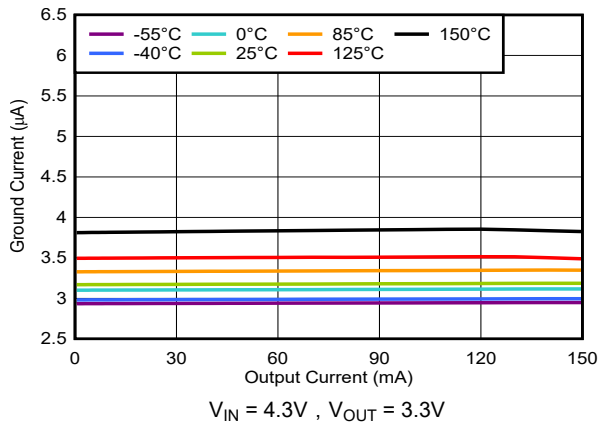
TLV709 采用 2.9mm $\times$ 2.8mm、5 引脚 SOT-23 (DBV) 封装 (对于固定和可调输出)。TLV709 还提供 4.5mm $\times$ 2.5mm、3 引脚 SOT-89 (PK) 封装 (对于固定输出)。

封装信息

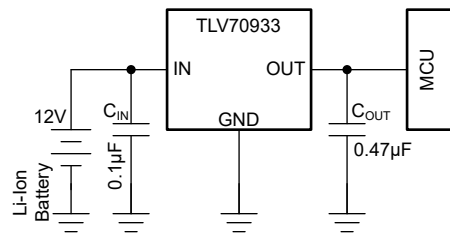
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLV709	DBV (SOT-23, 5)	2.9mm $\times$ 2.8mm
	PK (SOT-89, 3)	4.5mm $\times$ 4.095mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 $\times$ 宽) 为标称值，并包括引脚 (如适用)。



静态电流与负载电流间的关系



典型应用



内容

1 特性	1	7 应用和实施	15
2 应用	1	7.1 应用信息.....	15
3 说明	1	7.2 典型应用.....	15
4 引脚配置和功能	3	7.3 优秀设计实践.....	19
5 规格	4	7.4 电源相关建议.....	19
5.1 绝对最大额定值.....	4	7.5 布局.....	19
5.2 ESD 等级.....	4	8 器件和文档支持	22
5.3 建议运行条件.....	4	8.1 器件支持.....	22
5.4 热性能信息.....	5	8.2 文档支持.....	22
5.5 电气特性.....	6	8.3 接收文档更新通知.....	22
5.6 典型特性.....	8	8.4 支持资源.....	22
6 详细说明	11	8.5 商标.....	22
6.1 概述.....	11	8.6 静电放电警告.....	23
6.2 功能方框图.....	11	8.7 术语表.....	23
6.3 特性说明.....	12	9 修订历史记录	23
6.4 器件功能模式.....	14	10 机械、封装和可订购信息	23

4 引脚配置和功能

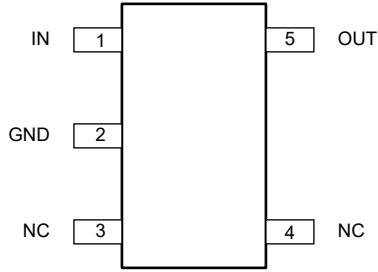


图 4-1. DBV 封装 (固定), 5 引脚 SOT-23 (顶视图)

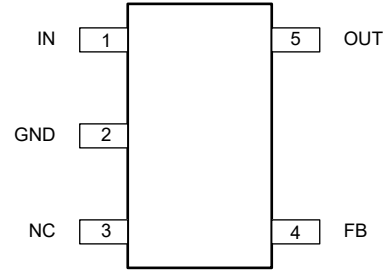


图 4-2. DBV 封装 (可调节), 5 引脚 SOT-23 (顶视图)

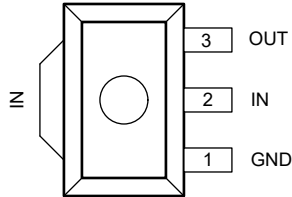


图 4-3. TLV709xxPKR PK 封装 (IN 选项卡), 3 引脚 SOT-89 (顶视图)

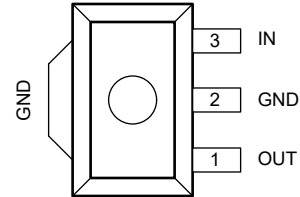


图 4-4. TLV709AxxPKR PK 封装 (GND 选项卡), 3 引脚 SOT-89 (顶视图)

表 4-1. 引脚功能

名称	引脚				类型	说明
	DBV (固定)	DBV (可调节)	PK (IN 选项卡)	PK (GND 选项卡)		
GND	2	2	1	2、TAB	—	接地引脚。
IN	1	1	2、TAB	3	I	输入电源引脚。更多信息, 请参阅 建议运行条件表 和 输入和输出电容器要求 部分。
OUT	5	5	3	1	O	稳压器的输出。更多信息, 请参阅 建议运行条件表 和 输入和输出电容器要求 部分。
FB	—	4	—	—	I	在可调节配置中, 该引脚借助反馈分压器设置输出电压。
NC	3、4	3	—	—	—	无内部连接。该引脚可保持开路或接地以提高热性能。

5 规格

5.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）^{(1) (2)}

		最小值	最大值	单位
电压	V_{IN}	-0.3	30	V
	V_{OUT} （仅适用于固定器件）	-0.3	$2 \times V_{OUT(typ)}$ 或 $V_{IN} + 0.3$ 或 5.5（以较低者为准）	
	V_{OUT} （仅适用于可调节器件）	-0.3	$V_{IN} + 0.3$	
	V_{FB}	-0.3	2.4	
电流	峰值输出电流	受内部限制		
温度	结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-65	150	

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值都是以接地端子为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	2.5		30	V
V_{OUT}	输出电压（仅适用于可调节器件）	1.205		28	
	输出电压（仅适用于固定器件）	1.205		5.0	
I_{OUT}	输出电流	0		150	mA
C_{IN}	输入电容器 ⁽²⁾		0.47		μF
C_{OUT}	输出电容器 ⁽³⁾	1			
T_J	工作结温	-40		125	°C

- (1) 所有电压均以接地 (GND) 为基准。
- (2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.1 μF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬变的情况下。
- (3) 列出的所有电容值均为标称值，假设有效电容降额至标称电容值的 50%。

5.4 热性能信息

热指标 ⁽¹⁾		TLV709 ⁽²⁾			单位
		DBV [SOT-23]	PK [SOT-89]	AxxPK [SOT-89]	
		5 引脚	4 引脚	4 引脚	
R _{θJA}	结至环境热阻	195.7	131.7	72.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	88.2	65.8	121.4	°C/W
R _{θJB}	结至电路板热阻	40.7	32.4	37.3	°C/W
ψ _{JT}	结至顶部特征参数	11.2	69.8	29.6	°C/W
ψ _{JB}	结至电路板特征参数	40.5	96.2	36.8	°C/W

- (1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。
- (2) 热性能结果基于 2s2p PCB 配置的 JEDEC 标准。根据热优化型 PCB 布局设计，这些热指标参数可进一步提高 35-55%。请参阅[电路板布局布线对 LDO 热性能的影响](#)应用手册的分析。

5.5 电气特性

在工作结温范围 ($T_J = -40^{\circ}\text{C}$ 至 125°C)、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 且 $C_{OUT} = 1\mu\text{F}$ 下测得 (除非另有说明)；典型值在 $T_J = 25^{\circ}\text{C}$ 下测得。(1)

参数			测试条件	最小值	典型值	最大值	单位
V_{IN}	输入电压 (2)		$I_O = 10\text{mA}$	2.5		30	V
			$10\text{mA} \leq I_O < 50\text{mA}$	3.0		30	
			$50\text{mA} \leq I_O \leq 150\text{mA}$	3.5		30	
V_{OUT}	输出电压范围 (TLV709A01)			1.205		28	V
V_{FB}	内部基准 (2)			1.152	1.205	1.24	
V_{OUT} (5)	输出电压精度 (1) (2) (3)	在 V_{IN} 、 I_{OUT} 和温度范围内	$V_{OUT} + 1.0\text{V} \leq V_{IN} \leq 30\text{V}$ $100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$	-4		4	%
		在 V_{IN} 、温度范围和 $I_{OUT} = 10\text{mA}$ 的条件下	$V_{OUT} + 1.0\text{V} \leq V_{IN} \leq 30\text{V}$ $I_{OUT} = 10\text{mA}$	-4		4	
		在 V_{IN} 、 I_{OUT} 且 $T_J = 25^{\circ}\text{C}$ 条件下	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 30\text{V}$ $100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$ 且 $T_J = 25^{\circ}\text{C}$	-2		2	
I_{GND}	接地引脚电流 (1) (4)		$I_{OUT} = 0\text{mA}$		3.2		μA
			$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $V_{IN} = 30\text{V}$			10	
	接地引脚电流 (1) (4) (仅限 A 版本)		$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $T_J = -40^{\circ}\text{C}$ 至 85°C		3.2	4.2	
			$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$		3.2	4.8	
	接地引脚电流 (1) (4) (仅限非 A 版本)		$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $T_J = -40^{\circ}\text{C}$ 至 85°C		3.4	4.3	
			$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$		3.4	5.8	
$\Delta V_{OUT} (\Delta I_{OUT})$	负载调节 (1)		$V_{OUT} \geq 3.3\text{V}$, $100\mu\text{A} < I_{OUT} < 10\text{mA}$		1		%/A
			$V_{OUT} \geq 3.3\text{V}$, $100\mu\text{A} < I_{OUT} < 50\text{mA}$		1		
			$V_{OUT} \geq 3.3\text{V}$, $100\mu\text{A} < I_{OUT} < 150\text{mA}$		1	2.5	
$\Delta V_{OUT} (\Delta V_{IN})$	线路调节 (2)		$V_{OUT(nom)} + 1\text{V} \leq V_{IN} \leq 30\text{V}$		0.02	0.05	%/V
V_n	输出噪声电压	BW = 10Hz 至 100kHz, $C_{OUT} = 10\mu\text{F}$	$I_{OUT} = 1\text{mA}$		487		μV_{rms}
			$I_{OUT} = 50\text{mA}$		577		
I_{CL}	输出电流限制		$V_{OUT} = 0\text{V}$, $V_{IN} \geq 3.5\text{V}$	160		1000	mA
			$V_{OUT} = 0\text{V}$, $V_{IN} < 3.5\text{V}$	90		1000	
PSRR	电源纹波抑制		$f = 100\text{kHz}$, $C_{OUT} = 10\mu\text{F}$		60		dB
V_{DO}	压降电压		$V_{IN} = V_{OUT(nom)} - 0.1\text{V}$, $I_{OUT} = 10\text{mA}$		75	150	mV
			$V_{IN} = V_{OUT(nom)} - 0.1\text{V}$, $I_{OUT} = 50\text{mA}$		400		
			$V_{IN} = V_{OUT(nom)} - 0.1\text{V}$, $I_{OUT} = 150\text{mA}$		1000	1600	

- (1) TLV709 在 0mA 至 I_{CL} 的整个负载电流范围内是稳定且正常运行。
- (2) 最小 $V_{IN} = V_{OUT} + 1\text{V}$ 或此表中显示的输入电压值，以较大者为准。
- (3) 对于可调节器件，输出精度不包括与用于设置输出电压的外部电阻器相关的容差和失配。
- (4) 请参阅零泄漏控制电路。TLV709 采用零泄漏控制电路。仅当输出电流小于导通晶体管漏电流时，此电路才处于活动状态。当输出负载小于 $5\mu\text{A}$ 、 V_{IN} 大于 18V 且芯片温度大于 100°C 时，电路通常处于活动状态。

(5) 用于 $I_{OUT} = 150\text{mA}$ 的最小 V_{IN} 为 $V_{OUT} + 1.6\text{V}$ 。

5.6 典型特性

在工作温度 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ 或 2.5V (以较大者为准)、 V_{OUT} (典型值) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 且 $C_{OUT} = 1\mu\text{F}$ 条件下 (除非另有说明)

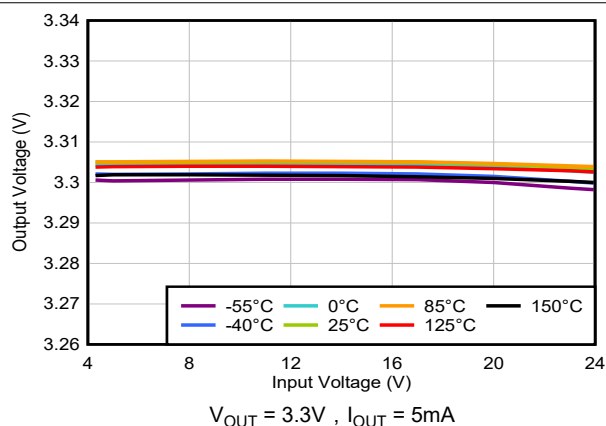


图 5-1. 线路调节

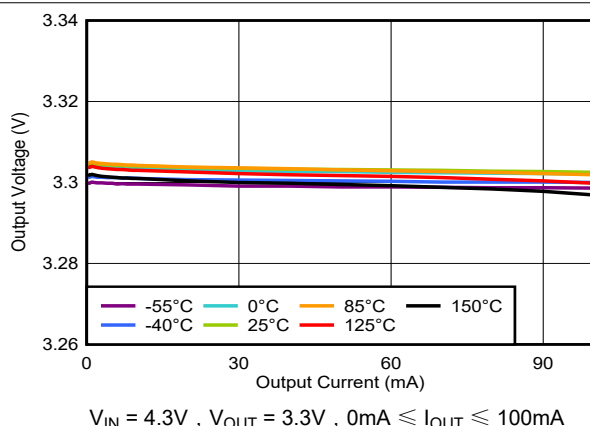


图 5-2. 负载调节

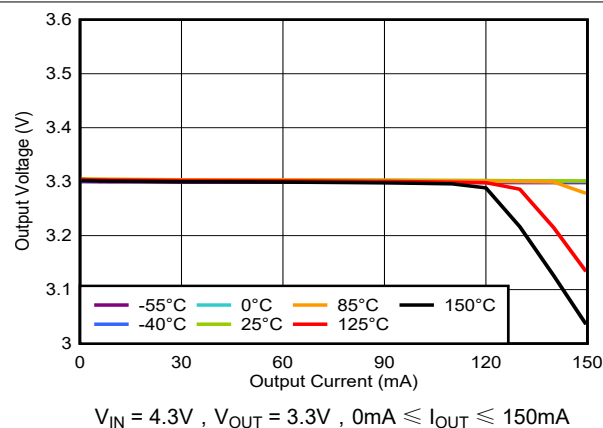
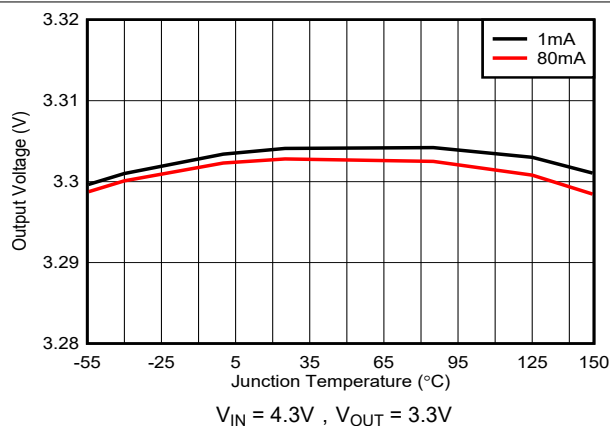
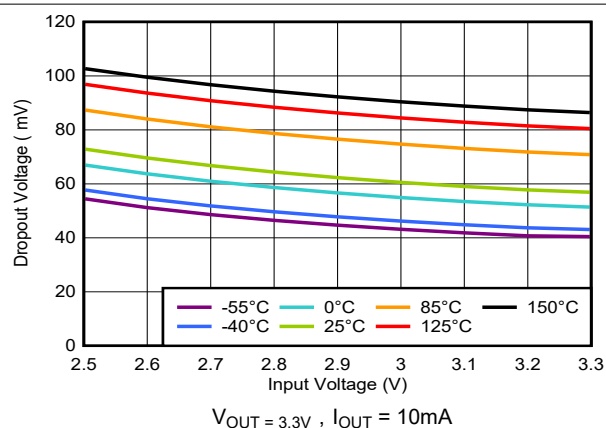
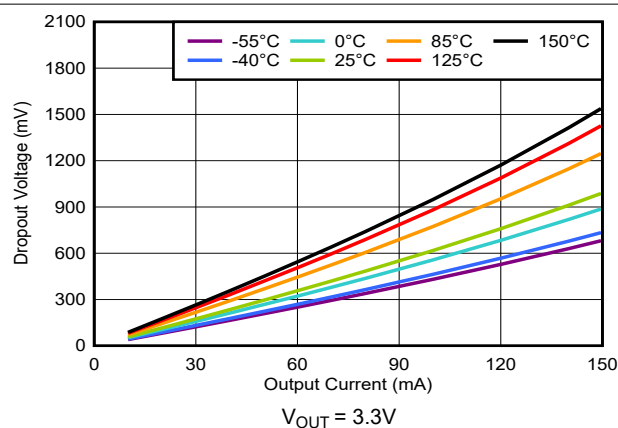
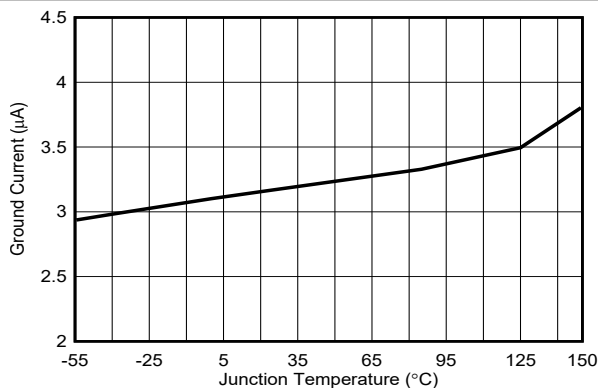


图 5-3. 负载调节

图 5-4. V_{OUT} 与温度和 I_{OUT} 间的关系图 5-5. V_{DO} 与 V_{IN} 间的关系图 5-6. V_{DO} 与 I_{OUT} 间的关系

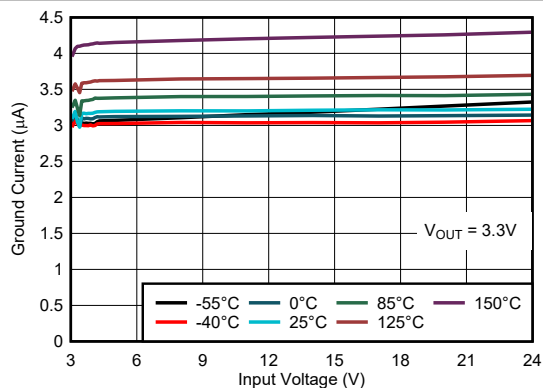
5.6 典型特性 (续)

在工作温度 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ 或 2.5V (以较大者为准)、 V_{OUT} (典型值) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 且 $C_{OUT} = 1\mu\text{F}$ 条件下 (除非另有说明)



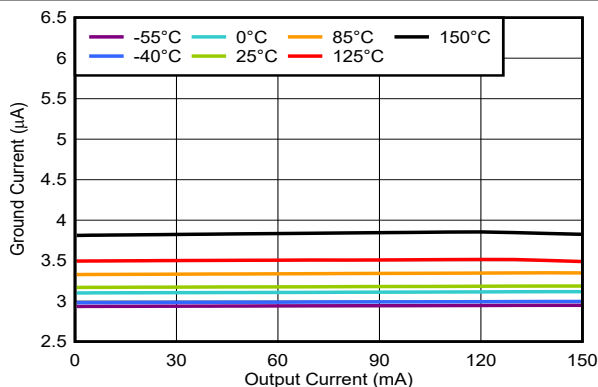
$V_{IN} = 4.3\text{V}$, $V_{OUT} = 3.3\text{V}$, $I_{OUT} = 0\text{mA}$, $C_{OUT} = 1\mu\text{F}$

图 5-7. 接地电流与温度间的关系



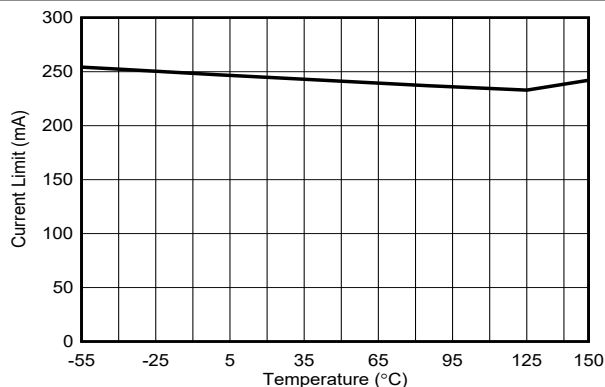
$V_{OUT} = 3.3\text{V}$, $I_{OUT} = 0\text{mA}$, $C_{OUT} = 1\mu\text{F}$

图 5-8. 接地电流与 V_{IN} 间的关系



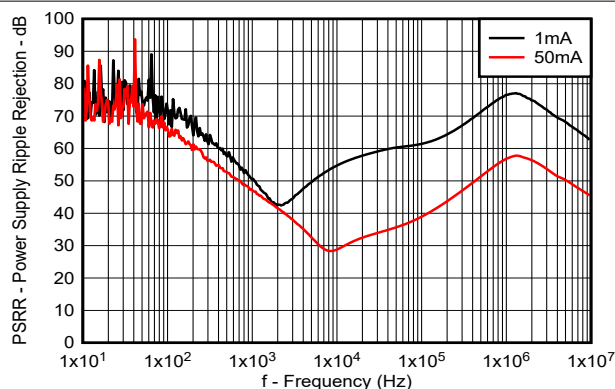
$V_{IN} = 4.3\text{V}$, $V_{OUT} = 3.3\text{V}$, $C_{OUT} = 1\mu\text{F}$

图 5-9. 接地电流与 I_{OUT} 间的关系



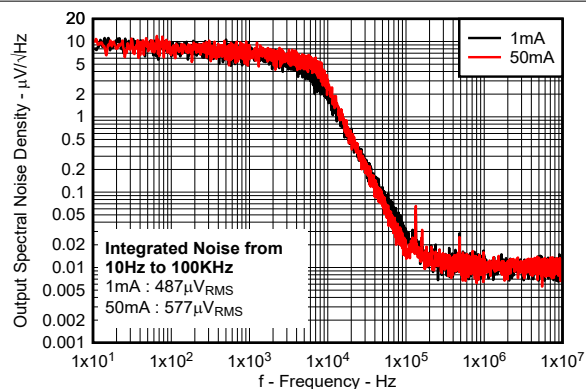
$V_{IN} = 4.8\text{V}$, $V_{OUT} = 3.3\text{V}$

图 5-10. I_{CL} 与温度间的关系



$V_{IN} = 4.3\text{V}$, $V_{OUT} = 3.3\text{V}$, $C_{OUT} = 10\mu\text{F}$

图 5-11. PSRR 与频率间的关系

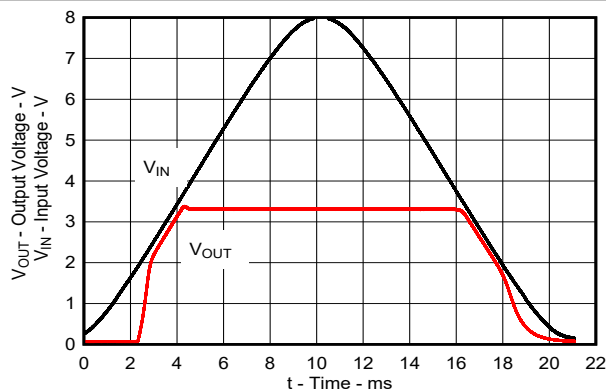
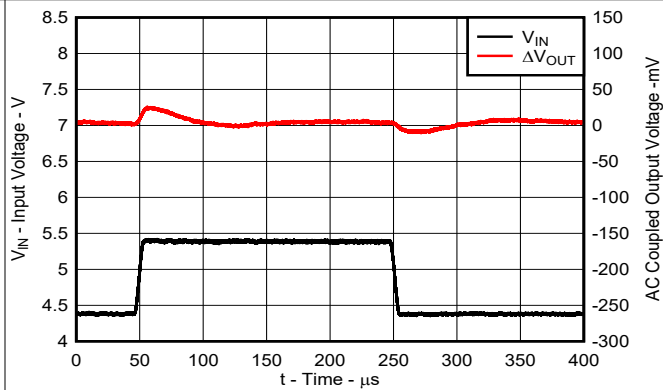
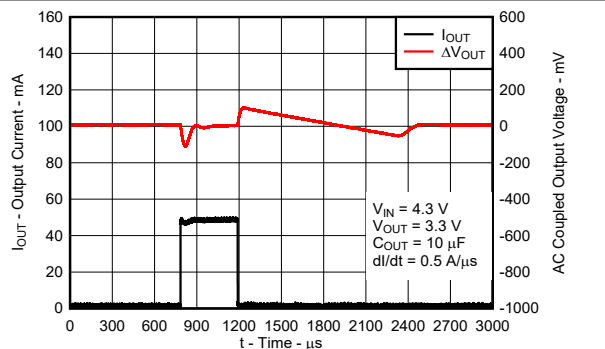
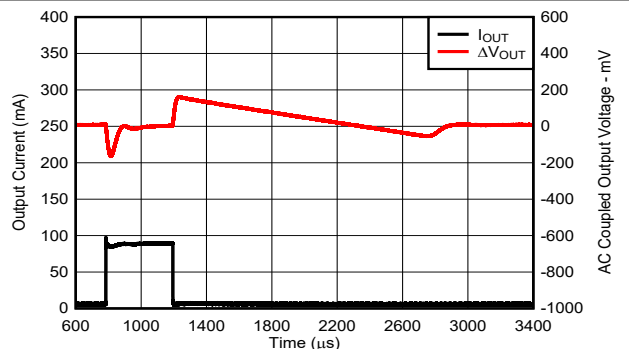
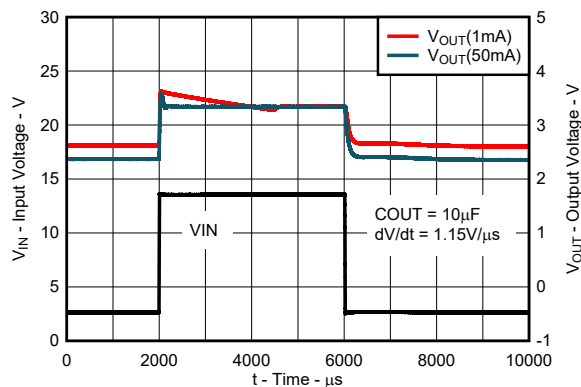
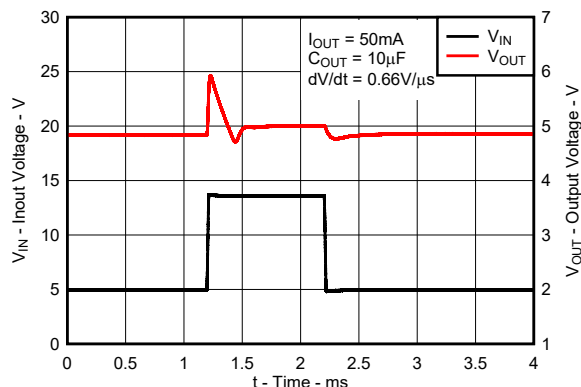


$V_{IN} = 4.3\text{V}$, $V_{OUT} = 3.3\text{V}$, $C_{OUT} = 10\mu\text{F}$

图 5-12. 输出噪声 (V_N) 与频率间的关系

5.6 典型特性 (续)

在工作温度 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ 或 2.5V (以较大者为准)、 V_{OUT} (典型值) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 且 $C_{OUT} = 1\mu\text{F}$ 条件下 (除非另有说明)

图 5-13. 通过 V_{IN} 斜升加电和断电图 5-14. V_{IN} 线路瞬态响应 (4.3V 至 5.3V)图 5-15. I_{OUT} 从 1mA 到 50mA 的瞬变图 5-16. I_{OUT} 从 1mA 到 80mA 的瞬变图 5-17. 压降退出线路瞬态
($V_{OUT} = 5\text{V}$ 时为 2.5V 至 14V)图 5-18. V_{IN} 线路瞬态 ($V_{OUT} = 5\text{V}$ 时为 5V 至 14V)

6 详细说明

6.1 概述

TLV709 低压降稳压器 (LDO) 在整个输出电流范围内仅消耗 $3.2\ \mu\text{A}$ (典型值) 的静态电流。该器件采用小型封装, 可提供宽输入电压范围和低压降电压。该器件在 2.5V 至 30V 的输入范围内工作, 它可使用任何电容大于或等于 $1\ \mu\text{F}$ 的输出电容器实现稳定运行。TLV709 在整个负载电流范围内具有低静态电流, 非常适合为电池供电型应用供电。TLV709 具有内部软启动功能, 可控制流入输出电容器的浪涌电流。该 LDO 还在输出端的负载短路或故障情况下提供过流保护。

6.2 功能方框图

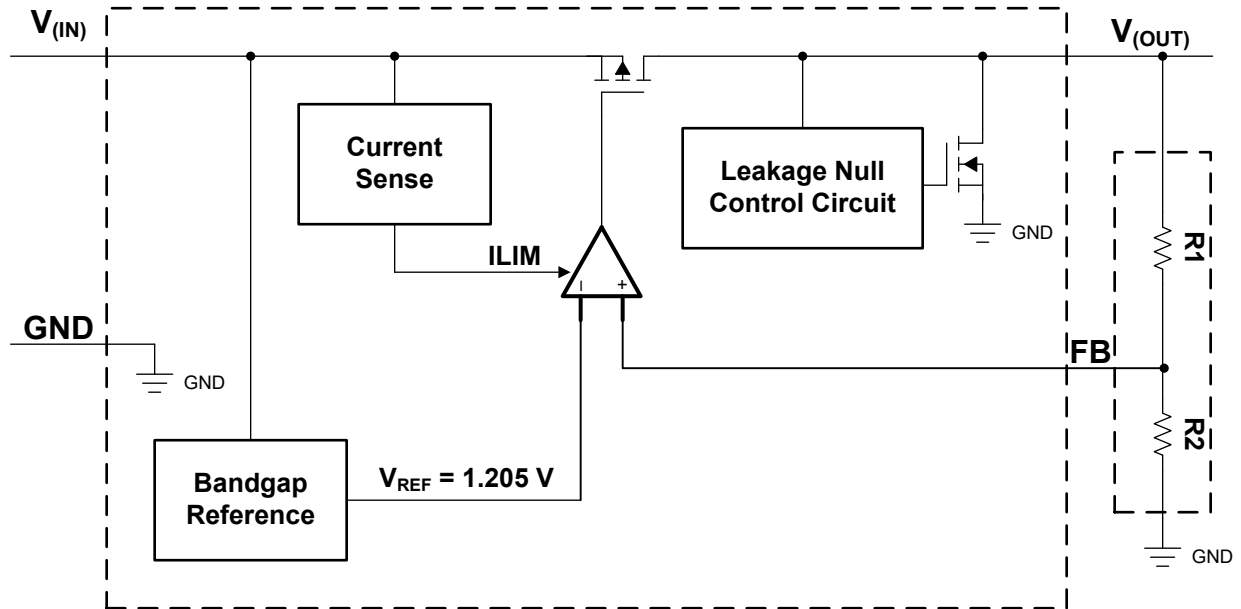


图 6-1. 功能方框图：可调节版本

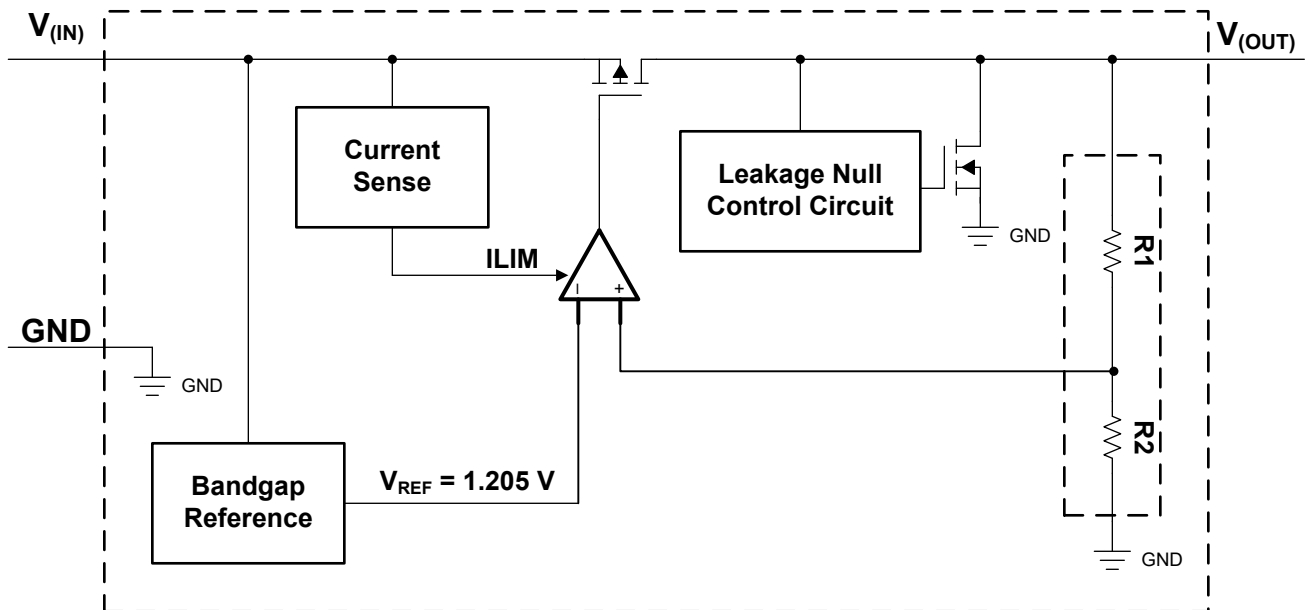


图 6-2. 功能方框图：固定版本

6.3 特性说明

6.3.1 宽电源电压

该器件的工作输入电源电压范围为 2.5V 至 30V，适用于各种应用。这种宽电源电压范围专为具有较大瞬变或高直流电压电源的应用而设计。

6.3.2 低静态电流

在整个负载电流范围 (0mA 至 150mA) 内，该器件只需要 3.2 μ A (典型值) 的静态电流。该要求在室温下测得，在 -40°C 至 +125°C 温度范围内，所需静态电流为 4.8 μ A (最大值)。

6.3.3 压降电压 (V_{DO})

压降电压 (V_{DO}) 在额定输出电流 (I_{RATED}) 下被定义为 $V_{IN} - V_{OUT}$ ，在这种情形下，导通晶体管完全导通。 V_{IN} 是输入电压、 V_{OUT} 是输出电压、 I_{RATED} 是 [建议运行条件](#) 表中列出的最大 I_{OUT} 。器件在压降模式下运行时，导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于维持输出调节所需的值，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的电流小于额定电流，该电流的压降电压会相应地变化。使用 [方程式 1](#) 计算器件的 $R_{DS(ON)}$ 。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.4 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。 [电气特性](#) 表中列出了 I_{CL} 。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ 。更多有关电流限制的信息，请参阅 [了解限制应用手册](#)。

图 6-3 显示了电流限制图。

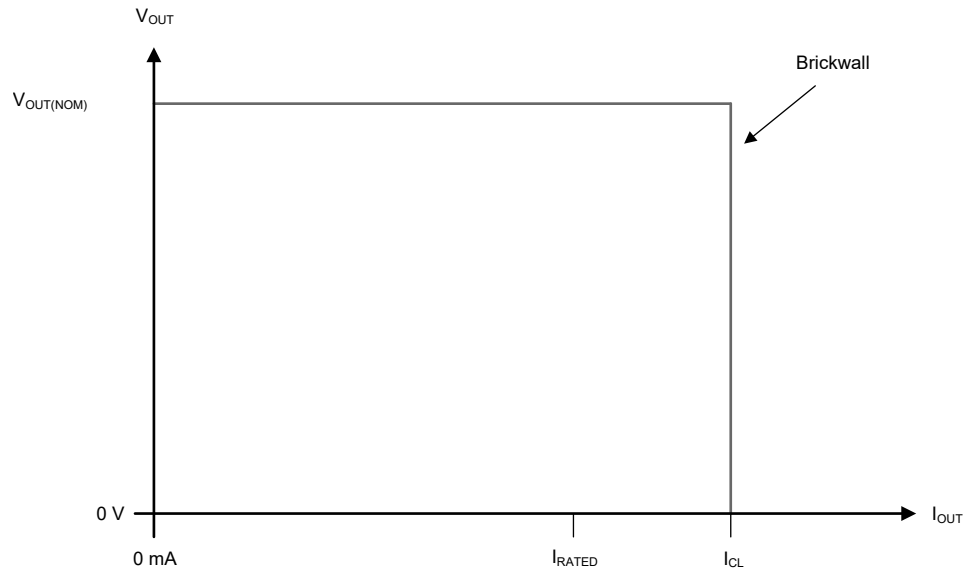


图 6-3. 电流限值

6.3.5 零泄漏控制电路

该器件具有内置的零泄漏控制电路。在高温下，导通晶体管漏电流会增加，并开始在空载 ($I_{OUT} = 0\text{mA}$) 条件下影响 V_{OUT} 精度。随着 LDO 两端余量 ($V_{IN} - V_{OUT}$) 的增加，这种泄漏变得更加严重。TLV709 有一个内置的零泄漏控制电路，此电路可检测导通晶体管泄漏并为泄漏提供一个接地放电路径。该电路有助于 TLV709 在宽 V_{IN} 和温度范围 (-40°C 至 $+125^{\circ}\text{C}$) 内保持更严格的 V_{OUT} 精度。

6.4 器件功能模式

表 6-1 提供了正常运行模式和压降运行模式之间的快速比较。

表 6-1. 器件功能模式比较

工作模式	参数	
	V_{IN}	I_{OUT}
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$
压降	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$

6.4.1 正常工作模式

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温大于 -40°C 且小于 $+125^{\circ}\text{C}$

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。但是，确保满足正常运行所需的所有其他条件。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。导通晶体管处于欧姆区域或三极管区域并充当开关。压降过程中的线路或负载瞬态会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管被驱动进入欧姆或三极管区域。此状态定义为器件在正常稳压状态后直接处于压降状态，但在启动期间不处于此状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当输入电压返回值 $\geq V_{OUT(NOM)} + V_{DO}$ 时，输出电压会在短时间内过冲。 $V_{OUT(NOM)}$ 是标称输出电压， V_{DO} 是压降电压。在此期间，该器件将导通晶体管拉回线性区域。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV709 LDO 稳压器非常适合用于电池供电应用。此器件在整个负载电流范围内具有低 I_Q 性能，是低功耗微控制器（例如 [MSP430](#)）的理想电源。TLV709 具有超低电源电流，可更大限度地提高轻负载条件下的效率。该器件在可调配置和固定输出电平下提供高输入电压范围和灵活的输出电压选择。这些特性使得该器件非常适合用作楼宇自动化和电动工具的电源。

7.2 典型应用

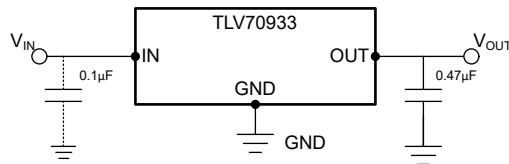


图 7-1. 典型应用电路（固定电压版本）

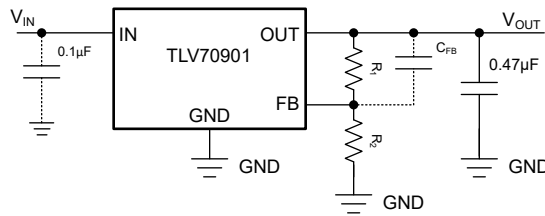


图 7-2. TLV70901 可调节 LDO 稳压器编程

注：虚线表示可选的输入电容器。请参阅 [建议运行条件](#) 表和 [输入和输出电容器要求](#) 部分。

表 7-1. 电阻器 R1 和 R2 的可调节输出电压

输出电压 (V)	R1 (M Ω)	R2 (M Ω)
1.8	0.499	1
2.8	1.33	1
5.0	3.16	1

7.2.1 设计要求

表 7-2 总结了图 7-1 的设计要求。

表 7-2. 设计参数

参数	设计要求
输入电压	12V
输出电压	3.3V
输出电流	100mA

7.2.2 详细设计过程

7.2.2.1 为 TLV70901 可调节 LDO 设置 V_{OUT}

如图 7-2 所示，TLV709 包含一个可调节版本 (TLV70901)，此版本使用一个外部电阻分压器设定输出电压。输出电压工作范围为 1.2V 至 28V，可使用以下公式进行计算：

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R1}{R2}\right) \quad (2)$$

其中：

- $V_{REF} = 1.205V$ (典型值)

选择电阻器 R1 和 R2 以允许大约 $1.5 \mu A$ 的电流流过电阻分压器。较低值的电阻器可提高噪声性能，但会消耗更多功率。避免使用较高的电阻值。R1/R2 上进出 FB 的漏电流会产生一个与 V_{OUT} 除以 V_{REF} 成比例的失调电压。推荐的设计过程是选择 $R2 = 1M\Omega$ 来将分压器电流设置为 $1.5 \mu A$ ，然后使用方程式 3 计算 R1：

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R2 \quad (3)$$

图 7-2 展示了该配置。

7.2.2.2 外部电容器要求

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但要结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是，由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。[建议运行条件](#) 表中列出的输入和输出电容器的有效电容大约为标称值的 50%。

7.2.2.3 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5Ω ，请使用输入电容器。如果预计会有较大且快速的上升时间负载或线路瞬变，请使用更高容值的电容。此外，如果器件距离输入电源几英寸，请使用容值更高的电容器。

通过使用更大的输出电容器来提升动态器件性能。TLV709 需要一个 $1 \mu F$ 或更大的输出电容器 ($0.47 \mu F$ 或更大电容) 来实现稳定性，并需要一个介于 0.001Ω 和 1Ω 之间的等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为确保稳定性，请在[建议运行条件](#)表中指定的范围内使用输出电容器。

7.2.2.4 反向电流

反向电流过大可能会损坏此器件。反向电流流经 PMOS 导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN} + 0.3V$ 的绝对最大额定值。这些条件包括：

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置至输入电源之上

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。如果无法避免反向电流，则将反向电流限制为器件额定输出电流的 5% 或更低。

图 7-3 显示了保护器件的一种方法。

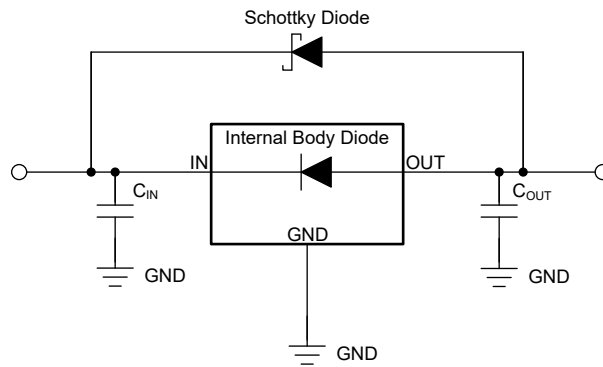


图 7-3. 使用肖特基二极管的反向电流保护示例电路

7.2.2.5 前馈电容器 (C_{FF})

对于可调节电压版本器件，将前馈电容器 (C_{FF}) 从 OUT 引脚连接到 FB 引脚。 C_{FF} 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。[建议运行条件](#) 表中列出了建议的 C_{FF} 值。使用更高的电容 C_{FF} 会导致启动时间增加。有关 C_{FF} 权衡的详细说明，请参阅[使用前馈电容器和低压降稳压器的优缺点应用手册](#)。

C_{FF} 和 R_1 在频率 f_Z 处的环路增益中形成一个零点。 C_{FF} 、 R_1 和 R_2 在频率 f_P 处的环路增益中形成一个极点。 C_{FF} 零点和极点频率通过以下公式计算：

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (4)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (5)$$

如果反馈分压器电流小于 $5 \mu A$ ，则需要 $C_{FF} \geq 10pF$ 才能保持稳定。[方程式 6](#) 用于计算反馈分压器电流。

$$I_{FB_Divider} = V_{OUT} / (R_1 + R_2) \quad (6)$$

为避免 C_{FF} 导致启动时间增加，请将产品 $C_{FF} \times R_1$ 限制为 $< 50\mu s$ 。

对于 FB 引脚连接至 OUT 引脚时的输出电压 1.205V，不使用 C_{FF} 。

7.2.2.6 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确保此焊盘区域包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。根据以下公式，功率耗散和结温通常与几个因素有关。这些因素与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A)。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (8)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此， $R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。[热性能信息](#) 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。热阻用作封装热性能的相对测量值。在 PCB 电路板布局布线经过优化的情况下，与[热性能信息](#) 表中的值相比， $R_{\theta JA}$ 提高了 35% 至 55%。有关更多详细信息，请参阅[电路板布局布线对 LDO 热性能影响的经验分析应用手册](#)。

7.2.2.7 估算结温

JEDEC 现在建议使用 psi (Ψ) 热指标。这些指标估算了在典型 PCB 电路板应用的电路中的线性稳压器结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。[热性能信息](#) 表列出了主要的热指标，即结至顶部特征参数 (Ψ_{JT}) 和结至电路板特征参数 (Ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (Ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (Ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \Psi_{JT} \times P_D \quad (9)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (10)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度
- 有关热指标及其使用方法的详细信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

7.3 优秀设计实践

将至少一个 0.47μF 陶瓷电容器放置得尽可能靠近稳压器的 OUT 和 GND 引脚。

请勿使用长而细的引线将输出电容器连接到稳压器。

将输入电容尽可能靠近稳压器的 IN 和 GND 引脚连接，以获得出色性能。

请勿超出绝对最大额定值。

7.4 电源相关建议

TLV709 设计为在 2.5V 至 30V 的输入电源电压范围内运行。输入电压范围为器件提供了足够的余量，以实现稳定的输出。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

7.5 布局

7.5.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在印刷电路板 (PCB) 的同一侧。确保这些元件放置在尽可能靠近各自 LDO 引脚连接的位置。使用元件侧的宽铜层，将输入和输出电容器的接地回路连接放置在尽可能靠近 GND 引脚的位置。请勿使用过孔和长迹线创建与输入电容器、输出电容器或电阻分压器的 LDO 电路连接，因为这种做法会对系统性能产生负面影响。这种接地和布局方案可更大限度地减少电感寄生效应，从而减少负载电流瞬变，更大限度地降低噪声并提高电路稳定性。使用嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。该基准平面提供输出电压的精度，并屏蔽 LDO 以使其免受噪声影响。

7.5.1.1 功率耗散

为了提供可靠运行，确保最坏情况下的结温不超过 125°C。该条件限制了稳压器在任何给定应用中可处理的功率耗散。为确保结温在可接受的限制范围内，应计算允许的最大耗散 $P_{D(max)}$ 和实际耗散 P_D 。确保 P_D 小于或等于 $P_{D(max)}$ 。

[方程式 11](#) 决定了最大功率耗散限制：

$$P_{D(max)} = \frac{T_{Jmax} - T_A}{R_{\theta JA}} \quad (11)$$

其中：

- T_{Jmax} 是允许的最大结温
- $R_{\theta JA}$ 是封装的结至环境热阻 (请参阅 [热性能信息](#) 表)
- T_A 是环境温度

[方程式 12](#) 用于计算稳压器耗散：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (12)$$

7.5.2 布局示例

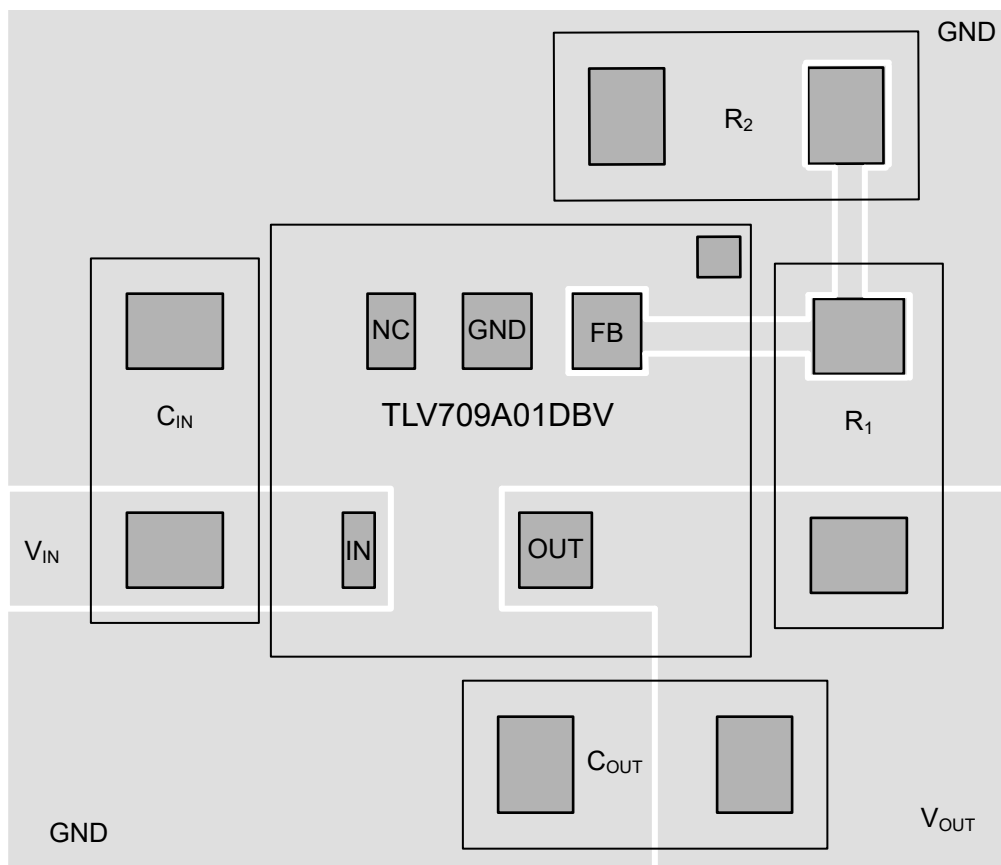


图 7-4. TLV709A01DBV 的示例布局

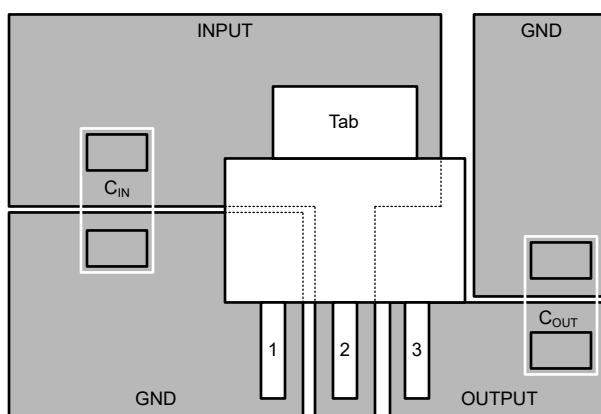


图 7-5. TLV709xxPK 的示例布局 (IN 选项卡)

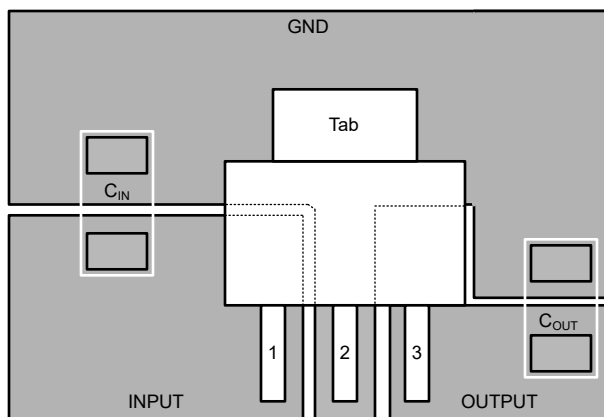


图 7-6. TLV709AxxPK 的示例布局 (GND 选项卡)

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

评估模块 (EVM) 可与 TLV709 配套使用，帮助评估初始电路性能。在 TI 网站上的产品文件夹中申请 [TPS71533EVM 评估模块](#) (和相关的[用户指南](#))，也可直接从 [TI 网上商店](#) 购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的 [工具与软件](#) 下获取 TLV709 的 SPICE 模型。

8.1.2 器件命名规则

表 8-1. 器件命名规则⁽¹⁾

产品	V _{OUT}
TLV709AxxDBVz	在 SOT-23 (DBV) 封装中： XX 为标称输出电压 (例如，33 = 3.3V、50 = 50V、01 = 可调节)。 Z 为封装数量。
TLV709xxPKz	在带有 IN 选项卡的 SOT-89 (PK) 封装中： XX 是标称输出电压 (例如，33 = 3.3V、50 = 50V)。 Z 为封装数量。
TLV709AxxPKz	在带有 GND 选项卡的 SOT-89 (PK) 封装中： XX 是标称输出电压 (例如，33 = 3.3V，50 = 50V)。 Z 为封装数量。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[TPS71533EVM LDO 稳压器评估模块用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (January 2024) to Revision E (April 2024)	Page
• 将内部基准的最小规格限制更正为 1.152V.....	6

Changes from Revision C (November 2023) to Revision D (January 2024)	Page
• 更新了非 A 版本器件的接地引脚电流参数.....	6

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV70933DBZR	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3QAF
TLV70933PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NS
TLV70933PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NS
TLV70950DBZR	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3QBF
TLV70950PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NV
TLV70950PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NV
TLV709A01DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V8F
TLV709A01DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V8F
TLV709A33DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V6F
TLV709A33DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V6F
TLV709A33PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NT
TLV709A33PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NT
TLV709A50DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V7F
TLV709A50DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V7F
TLV709A50PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NW
TLV709A50PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NW

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV70933DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
TLV70933PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV70950DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
TLV70950PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV709A01DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A33DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A33PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV709A50DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A50PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

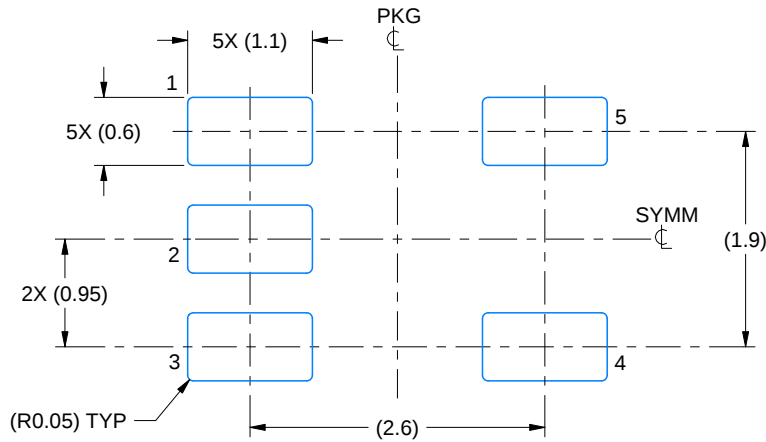
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV70933DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
TLV70933PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV70950DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
TLV70950PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV709A01DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A33DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A33PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV709A50DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A50PKR	SOT-89	PK	3	1000	190.0	190.0	30.0

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

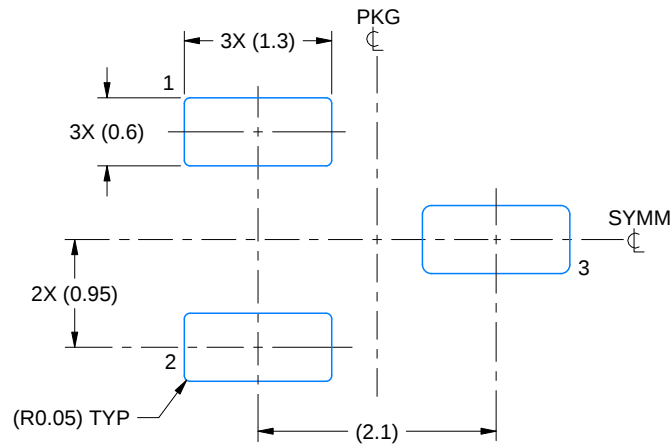
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

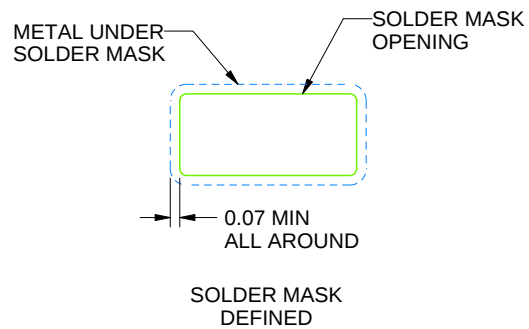
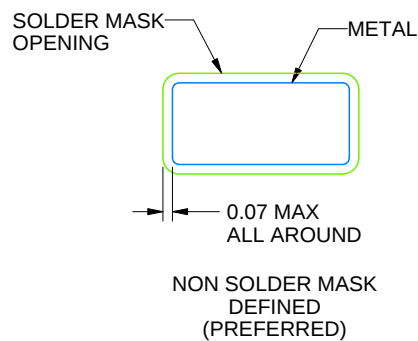
DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

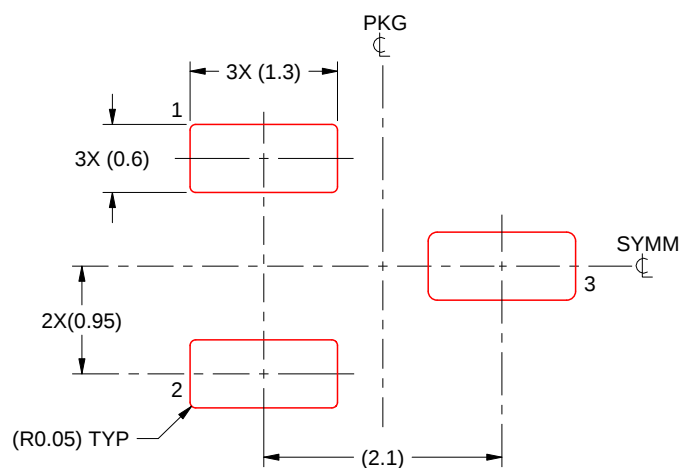
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

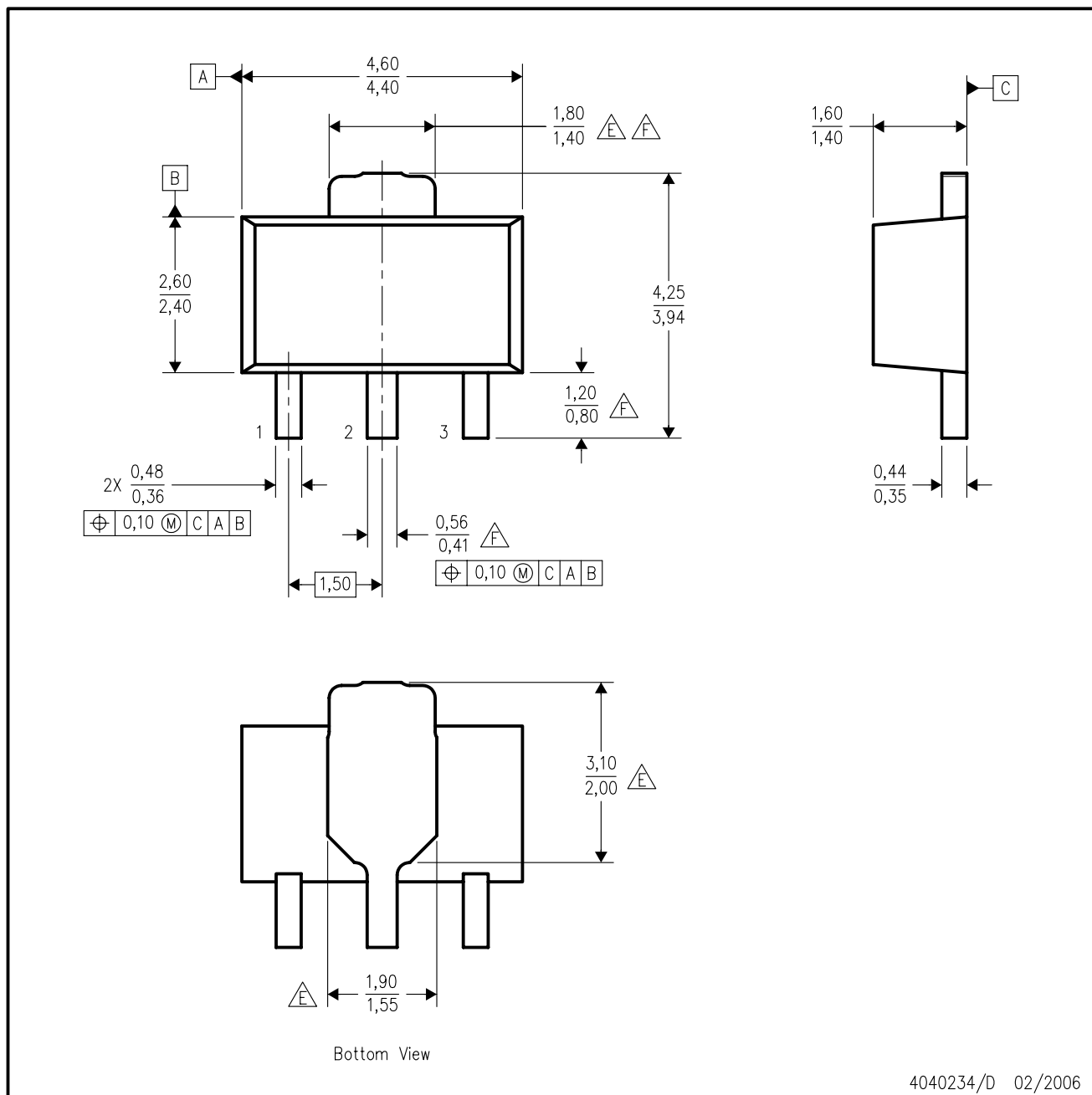
4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PK (R-PSSO-F3)

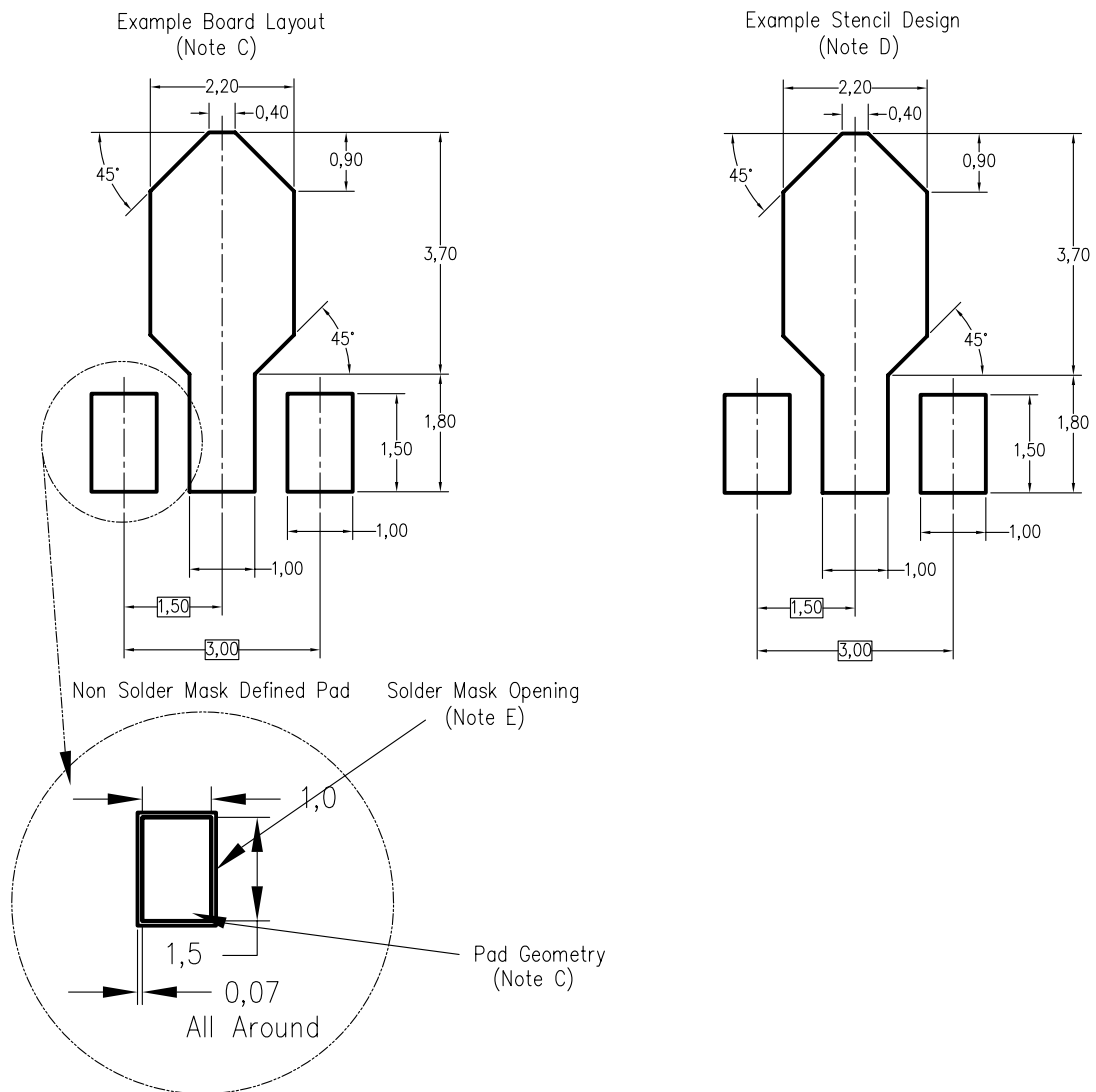
PLASTIC SINGLE-IN-LINE PACKAGE



4040234/D 02/2006

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - The center lead is in electrical contact with the tab.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion not to exceed 0.15 per side.
- (E) Thermal pad contour optional within these dimensions.
- (F) Falls within JEDEC TO-243 variation AA, except minimum lead length, pin 2 minimum lead width, minimum tab width.

PK (R-PDS0-G3)



4208221/A 09/06

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司