

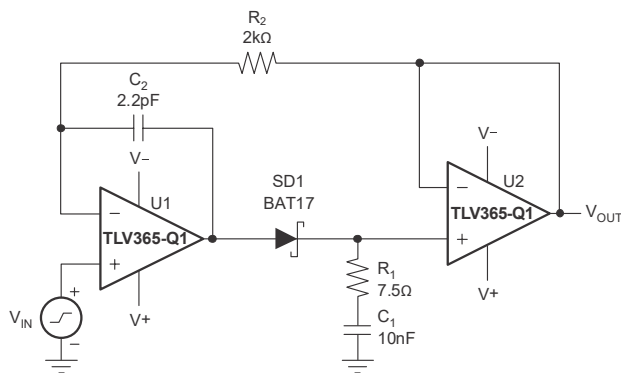
TLVx365-Q1 汽车级、50MHz、零交叉、低失真、高 CMRR、RRI/O、单电源运算放大器

1 特性

- 符合 AEC-Q100 标准
 - 温度等级 1: -40°C 至 $+125^{\circ}\text{C}$
- 增益带宽: 50MHz
- 零交叉失真拓扑:
 - CMRR: 115dB (典型值)
 - 轨到轨输入和输出
 - 输入超出电源轨 100mV
- 噪声: $4.5\text{nV}/\sqrt{\text{Hz}}$
- 压摆率: $27\text{V}/\mu\text{s}$
- 快速稳定: $0.2\mu\text{s}$ 更改为 0.01%
- 精度:
 - 失调电压温漂: $2.6\mu\text{V}/^{\circ}\text{C}$ (最大值)
 - 输入偏置电流: 20pA (最大值)
- 工作电压: 2.2V 至 5.5V

2 应用

- HEV/EV 直流/直流转换器
- 混合动力汽车/电动汽车逆变器和电机控制
- HEV/EV 车载充电器 (OBC) 和无线充电器
- 电动涡轮/增压器
- 汽车 HVAC 压缩机模块
- 手势识别



快速趋稳峰值检测器

3 说明

TLV365-Q1 和 TLV2365-Q1 (TLVx365-Q1) 器件是零交叉、轨到轨输入和输出 CMOS 运算放大器系列, 针对低电压和成本敏感型应用进行了优化。得益于低噪声 ($4.5\text{nV}/\sqrt{\text{Hz}}$) 和高速运行 (50MHz 增益带宽) 特性, 此类器件成为在低侧电流检测、音频、信号调节和传感器放大等应用中驱动采样模数转换器 (ADC) 的理想之选。

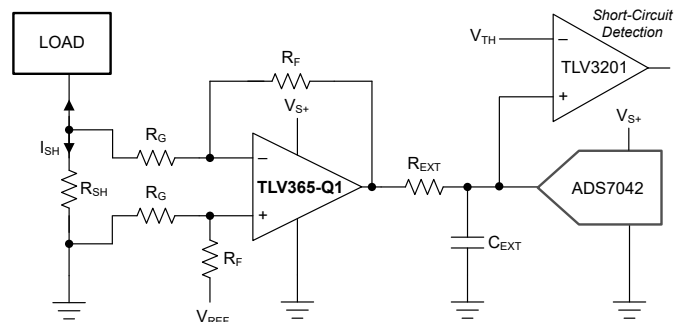
特殊功能包括出色的共模抑制比 (CMRR)、无输入级交叉失真、高输入阻抗和轨到轨输入和输出摆幅。输入共模范围同时包括正负电源。输出电压摆幅在电源轨的 12mV 以内。

TLVx365-Q1 的额定工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

器件信息

器件型号	通道数	封装 ⁽¹⁾
TLV365-Q1	单通道	DBV (SOT-23, 5)
TLV2365-Q1	双通道	D (SOIC, 8)
		DGK (VSSOP, 8)

(1) 有关更多信息, 请参阅节 11。



TLVx365-Q1 用于电流检测



内容

1 特性	1	7.4 器件功能模式	14
2 应用	1	8 应用和实施	15
3 说明	1	8.1 应用信息.....	15
4 器件比较表	2	8.2 典型应用.....	17
5 引脚配置和功能	3	8.3 电源相关建议.....	18
6 规格	4	8.4 布局.....	19
6.1 绝对最大额定值.....	4	9 器件和文档支持	20
6.2 ESD 等级.....	4	9.1 器件支持.....	20
6.3 建议运行条件.....	4	9.2 文档支持.....	21
6.4 热性能信息.....	4	9.3 接收文档更新通知.....	21
6.5 电气特性.....	5	9.4 支持资源.....	21
6.6 典型特性.....	6	9.5 商标.....	21
7 详细说明	11	9.6 静电放电警告.....	21
7.1 概述.....	11	9.7 术语表.....	21
7.2 功能方框图.....	11	10 修订历史记录	21
7.3 特性说明.....	12	11 机械、封装和可订购信息	22

4 器件比较表

器件	输入类型	温漂, 典型值 ($\mu\text{V}/^\circ\text{C}$)	最小稳定增益 (V/V)	I_Q /通道, 典型 值 (mA)	增益带宽 (MHz)	压摆率 (V/ μs)	电压噪声 (nV/ $\sqrt{\text{Hz}}$)
TLVx365-Q1	CMOS	0.5	1	4.6	50	27	4.5
OPAx607-Q1	CMOS	0.3	6	0.9	50	24	3.8
OPAx365-Q1	CMOS	1	1	4.6	50	25	4.5

5 引脚配置和功能

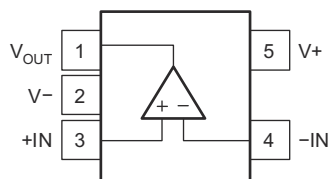


图 5-1. TLV365-Q1 DBV 封装，5 引脚 SOT-23 (顶视图)

表 5-1. 引脚功能：TLV365-Q1

引脚		类型	说明
名称	编号		
- IN	4	输入	负 (反相) 输入信号
+IN	3	输入	正 (同相) 输入信号
V -	2	—	负 (最低) 电源
V+	5	—	正 (最高) 电源
V _{OUT}	1	输出	输出

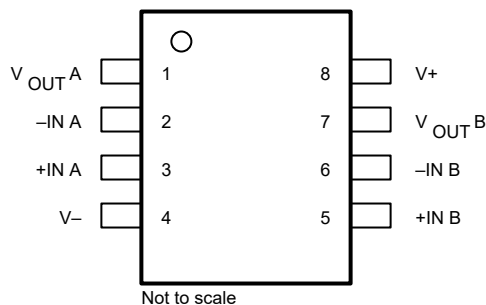


图 5-2. TLV2365-Q1 D 封装 8 引脚 SOIC 和 DGK 封装 8 引脚 VSSOP (顶视图)

表 5-2. 引脚功能：TLV2365-Q1

引脚		类型	说明
名称	编号		
- IN A	2	输入	负 (反相) 输入信号, 通道 A
- IN B	6	输入	负 (反相) 输入信号, 通道 B
+IN A	3	输入	正 (同相) 输入信号, 通道 A
+IN B	5	输入	正 (同相) 输入信号, 通道 B
V -	4	—	负 (最低) 电源
V+	8	—	正 (最高) 电源
V _{OUT} A	1	输出	输出, 通道 A
V _{OUT} B	7	输出	输出, 通道 B

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_S	电源电压, $V_S = (V+) - (V-)$		6	V
V_I	输入电压	$(V-) - 0.5$	$(V+) + 0.5$	V
V_{ID}	差分输入电压		± 5	V
I_I	连续输入电流 ⁽²⁾		± 10	mA
I_{SC}	输出短路 ⁽³⁾	持续		
T_A	工作温度	-40	125	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件能够在该等条件下或在任何超出建议运行条件的其他条件下正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 输入引脚被二极管钳制至电源轨。对于摆幅可能超过电源轨 0.5V 的输入信号，应将电流限制在 10mA 或者更低。
- (3) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	± 1000	

- (1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压, $V_S = (V+) - (V-)$	2.2		5.5	V
T_A	额定温度	-40	25	125	°C

6.4 热性能信息

热指标 ⁽¹⁾		TLV365-Q1	TLV2365-Q1		单位
		DBV (SOT-23)	D (SOIC)	DGK (VSSOP)	
		5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	179	140	179	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	78	89	71	°C/W
$R_{\theta JB}$	结至电路板热阻	46	80	101	°C/W
ψ_{JT}	结至顶部特征参数	19	28	13	°C/W
ψ_{JB}	结至电路板特征参数	46	80	100	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 电气特性

在 $V_S = 2.2V$ 至 $5.5V$ 、 $T_A = 25^\circ C$ 、 $R_L = 10\text{ k}\Omega$ 、 $V_{CM} = V_{OUT} = 1/2 V_S$ 和增益 = $1V/V$ 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V _{OS}	输入失调电压		±0.4	±1.9		mV
dV _{OS} /dT	输入偏移电压漂移	T _A = - 40°C 至 +125°C	±0.5	±2.6		µV/°C
PSRR	电源抑制比	V _S = 2.2V 至 5.5V, T _A = - 40°C 至 +125°C	100			dB
输入偏置电流						
I _B	输入偏置电流		±5	±20	pA	
		T _A = - 40°C 至 +125°C	参阅 图 6-5			
噪声						
	输入电压噪声 (峰峰值)	f = 0.1Hz 至 10Hz	5.4			µV _{PP}
e _N	输入电压噪声密度	f = 500kHz	4.5			nV/ √ Hz
i _n	输入电流噪声密度	f = 1kHz	5.8			fA/ √ Hz
输入电压						
V _{CM}	共模电压		(V -) - 0.1	(V+) + 0.1		V
CMRR	共模抑制比	(V -) - 100mV < V _{CM} < (V+) + 100mV	100	115	dB	
		T _A = -40°C 至 +125°C	110			
输入阻抗						
C _{IIN}	差分		5		pF	
	共模		1			
开环增益						
A _{OL}	开环电压增益	R _L = 10kΩ , (V -) + 0.1V < V _{OUT} < (V+) - 0.1V	100	120	dB	
		R _L = 10kΩ , T _A = - 40°C 至 +125°C		113		
		R _L = 600Ω , (V -) + 0.2V < V _{OUT} < (V+) - 0.2V	100	120		
		R _L = 600Ω , T _A = - 40°C 至 +125°C		110		
	相位裕度		56		°	
频率响应 (V _S = 5V)						
GBW	增益带宽积		50			MHz
SR	压摆率		27			V/µs
t _s	稳定时间	0.1% , 4V 阶跃	0.15		µs	
		0.01% , 4V 阶跃	0.2			
	过驱动恢复时间	V _{IN+} × 增益 > V _S	< 0.1		µs	
THD + N	总谐波失真 + 噪声 ⁽¹⁾	V _{OUT} = 4V _{PP} , f = 1kHz , R _L = 600Ω	0.00025			%
	通道间串扰 (仅限 TLV2365 - Q1)	V _{OUT} = 2V _{PP} , f = 100kHz	108			dBc
输出						
	相对于电源轨的输出电压摆幅			12	mV	
		TLV365-Q1 , T _A = - 40°C 至 +125°C		12		
		TLV2365-Q1 , T _A = - 40°C 至 +125°C		15		
I _{SC}	短路电流		±85		mA	
	容性负载驱动		参阅 图 6-16			
Z _O	开环输出阻抗	f = 1MHz , I _O = 0mA	40		Ω	
电源						
I _Q	每个放大器的静态电流	I _O = 0mA	4.6	5.8	mA	
		I _O = 0mA , T _A = - 40°C 至 +125°C		6.3		

(1) $f = 1\text{kHz}$ 时, 低通滤波器带宽为 20kHz 。

6.6 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ 和增益 = 1V/V 时测得 (除非另有说明)

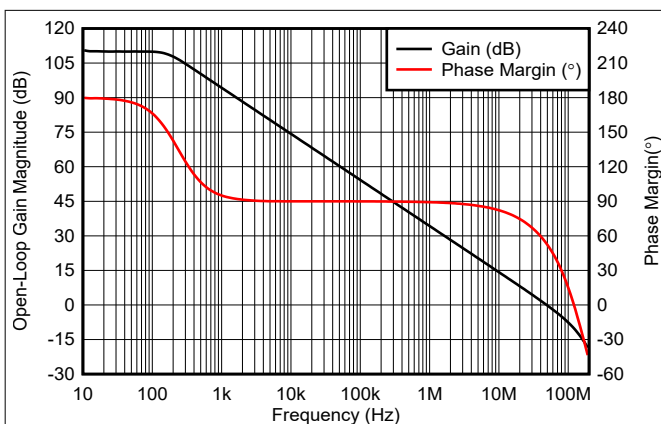


图 6-1. 开环增益和相位与频率间的关系

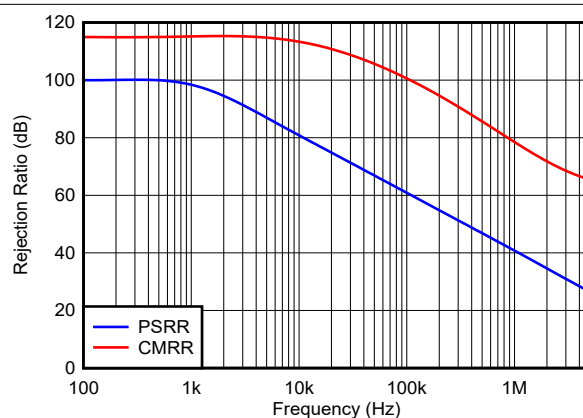
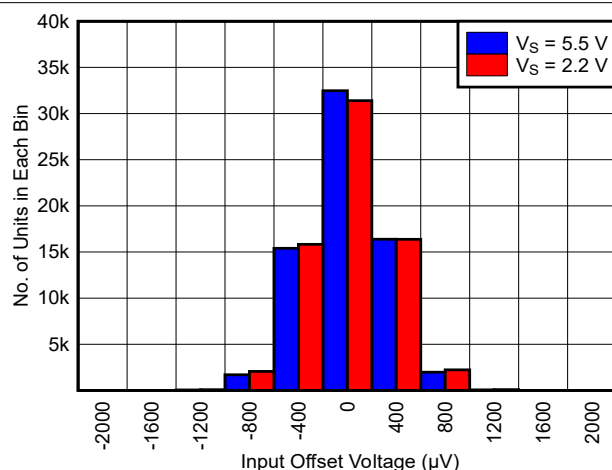
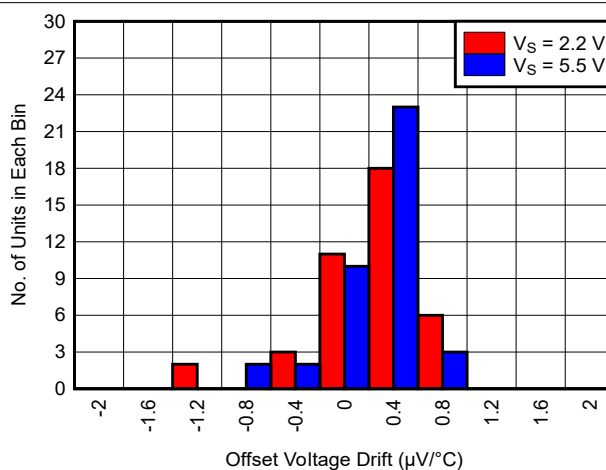


图 6-2. 电源和共模抑制比



70000 个单位, $\mu = 9.3\ \mu\text{V}$, $\sigma = 320\ \mu\text{V}$ 。

图 6-3. 失调电压产生分布



40 个单位, $\mu = 0.06\ \mu\text{V}/^\circ\text{C}$, $\sigma = 0.4\ \mu\text{V}/^\circ\text{C}$

图 6-4. 失调电压漂移分布

6.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ 和增益 = 1V/V 时测得 (除非另有说明)

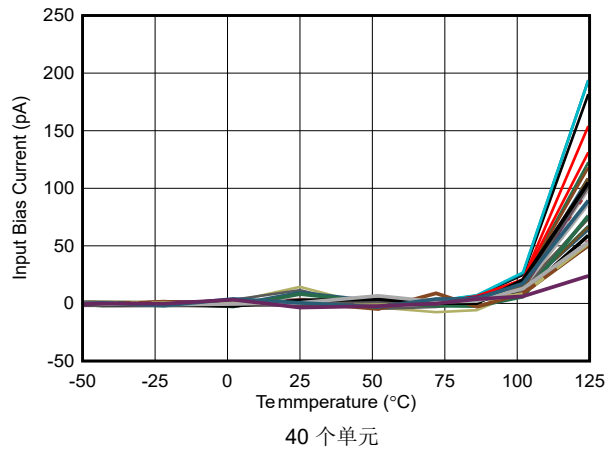


图 6-5. 输入偏置电流与温度间的关系

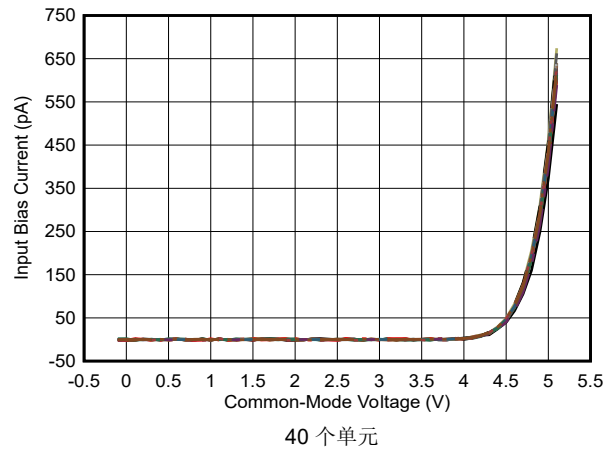


图 6-6. 输入偏置电流与共模电压间的关系

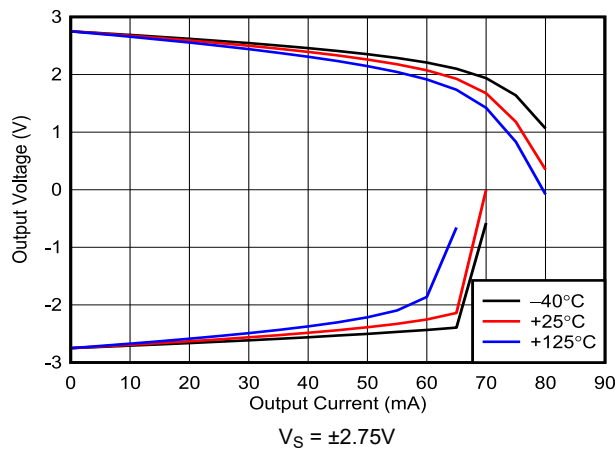


图 6-7. 输出电压与输出电流间的关系

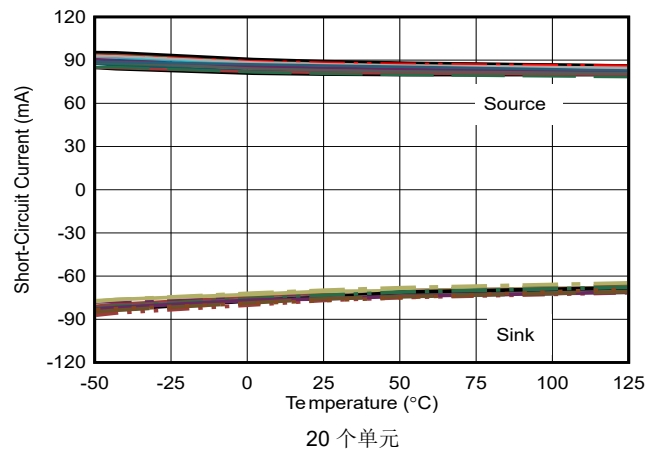


图 6-8. 短路电流与温度间的关系

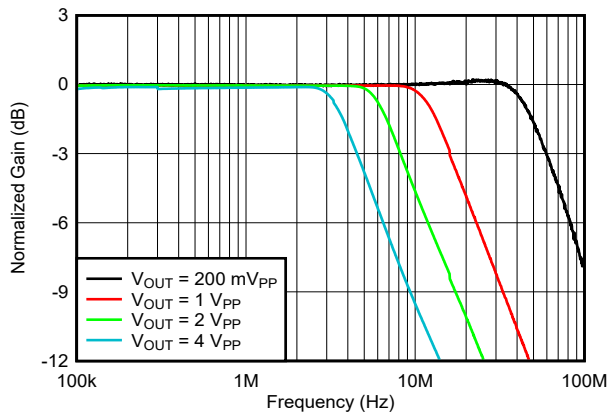


图 6-9. 频率响应与输出电压间的关系

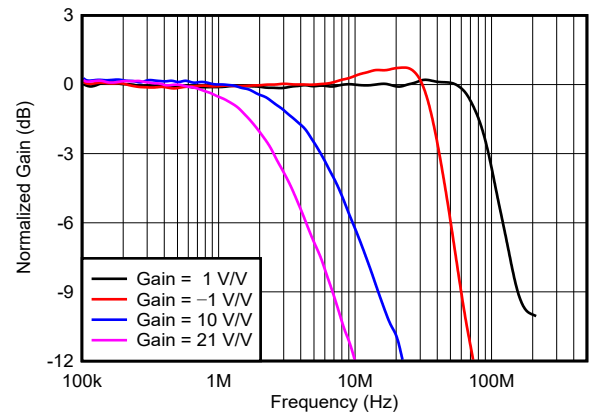


图 6-10. 小信号频率响应与增益间的关系

6.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ 和增益 = 1V/V 时测得 (除非另有说明)

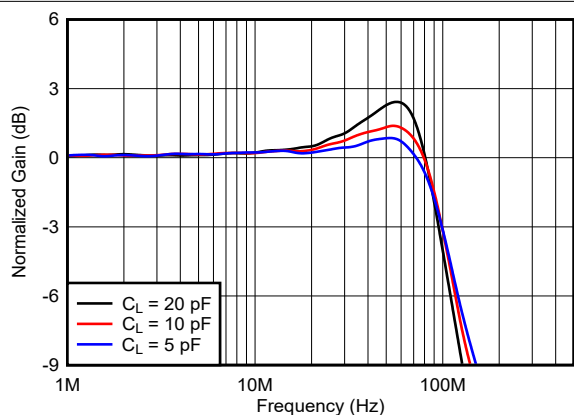


图 6-11. 小信号响应与容性负载间的关系

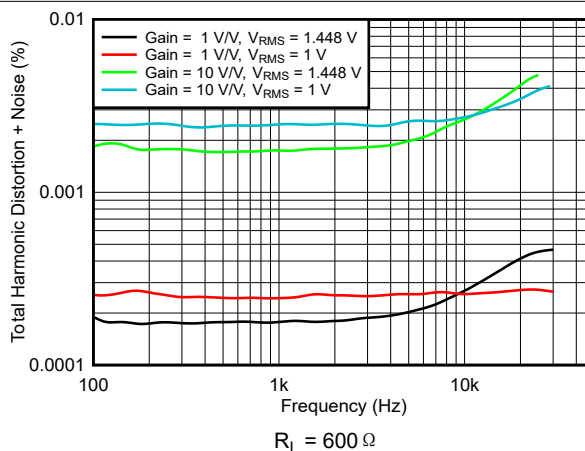


图 6-12. 总谐波失真 + 噪声与频率间的关系

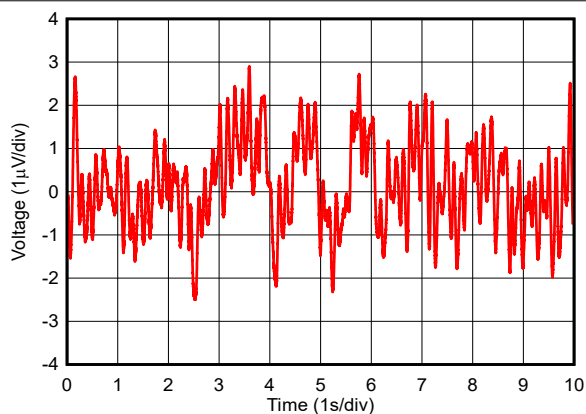


图 6-13. 0.1Hz 至 10Hz 输入电压噪声

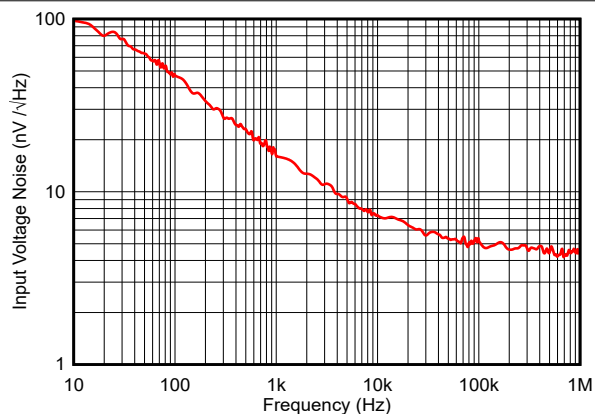


图 6-14. 输入电压噪声频谱密度

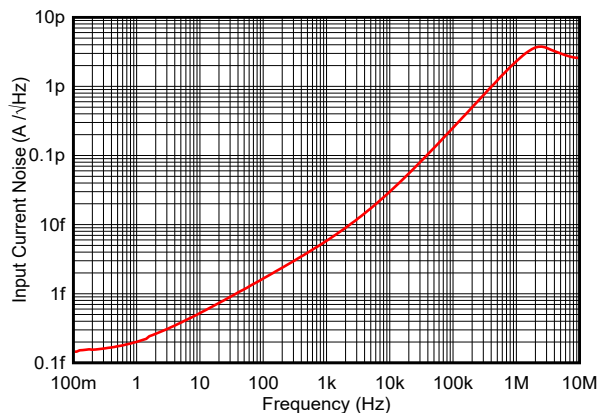


图 6-15. 输入电流噪声频谱密度

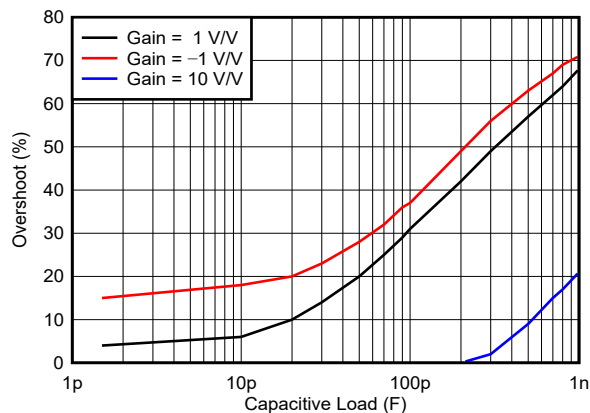


图 6-16. 过冲与容性负载间的关系

6.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ 和增益 = 1V/V 时测得 (除非另有说明)

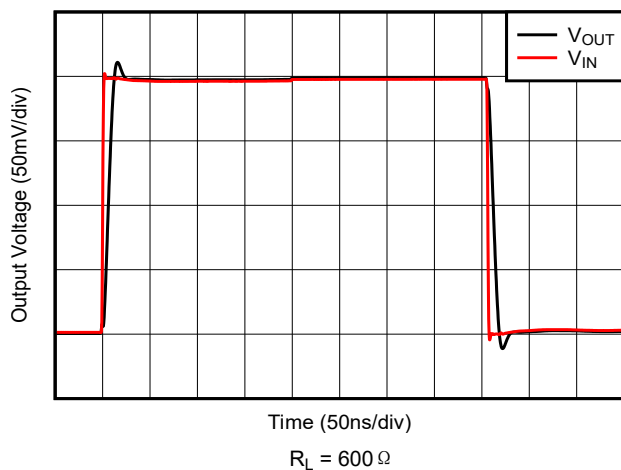


图 6-17. 小信号阶跃响应

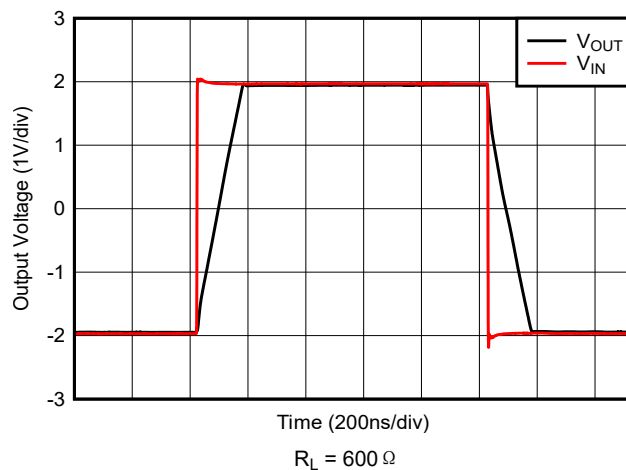


图 6-18. 大信号阶跃响应

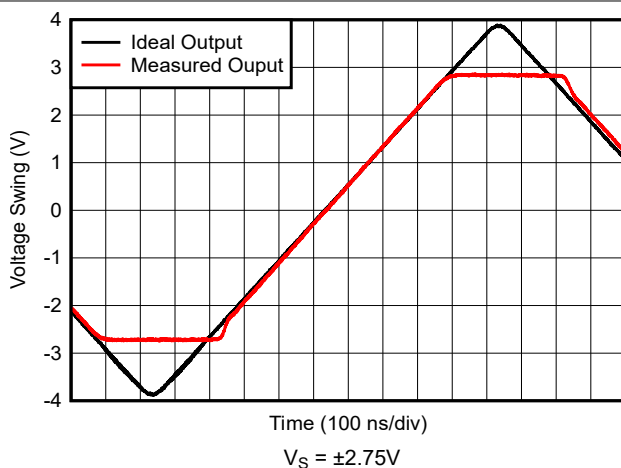


图 6-19. 过驱恢复

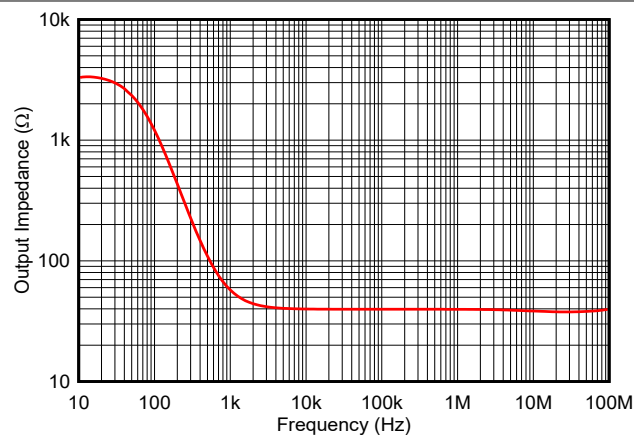


图 6-20. 开环输出阻抗

6.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_L = 10\text{k}\Omega$ 和增益 = 1V/V 时测得 (除非另有说明)

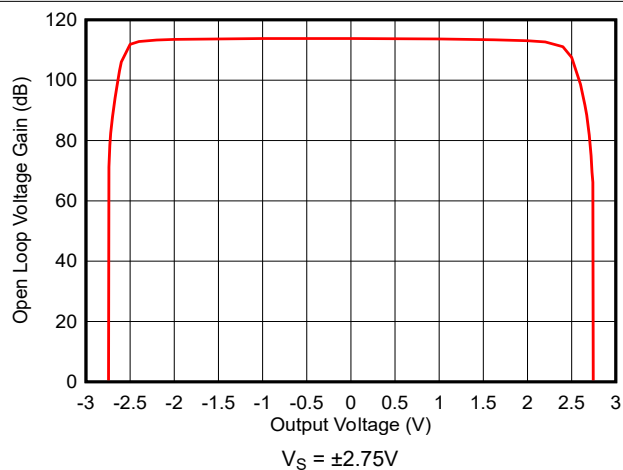


图 6-21. 开环电压增益与输出电压间的关系

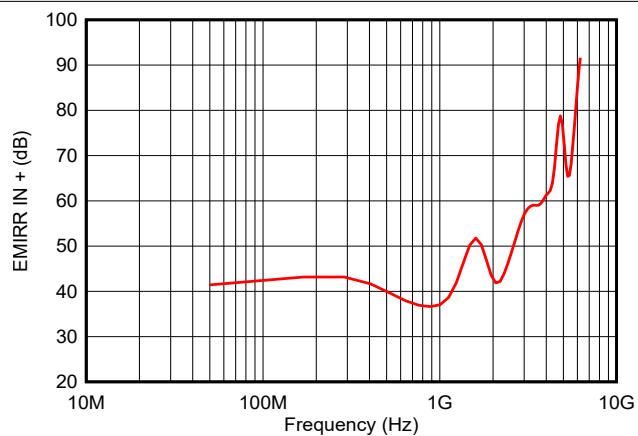


图 6-22. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

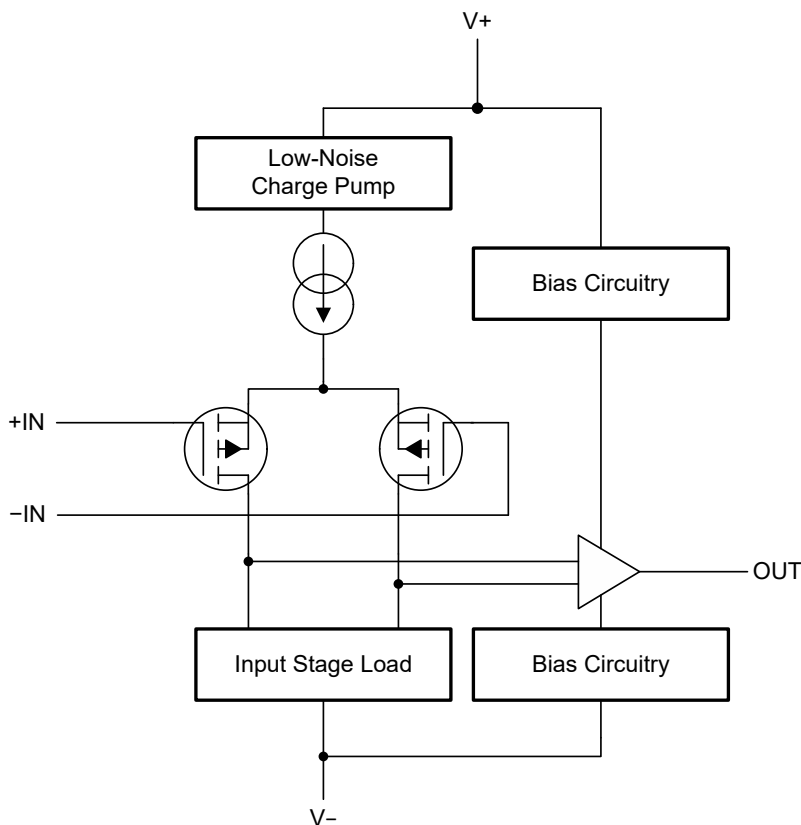
7 详细说明

7.1 概述

TLVx365-Q1 系列运算放大器具有轨到轨输入和输出，使得这些器件非常适合用于驱动 ADC。其他典型应用包括信号调节、低侧电流检测、信号缓冲和传感器放大。TLVx365-Q1 可以采用单电源或双电源运行。

而且，TLVx365-Q1 放大器参数的完全额定工作电压范围为 2.2V 至 5.5V。多种技术规格适用于 -40°C 至 +125°C 的温度范围。

7.2 功能方框图



7.3 特性说明

7.3.1 轨到轨输入

TLVx365-Q1 产品系列具有真正的轨到轨输入运行，电源电压低至 $\pm 1.1\text{V}$ (2.2V)。独特的零交叉输入拓扑消除了许多典型的轨到轨互补级运算放大器的输入失调电压转换区域。如图 7-1 所示，此拓扑还使得 TLVx365-Q1 能够在整个输入范围内 (扩展到超过两个电源轨 100mV) 提供出色的共模性能。当驱动 ADC 时，TLVx365-Q1 的高线性 V_{CM} 范围确保系统线性性能不会下降。有关轨到轨输入电路的简化版原理图，请参阅节 7.2。

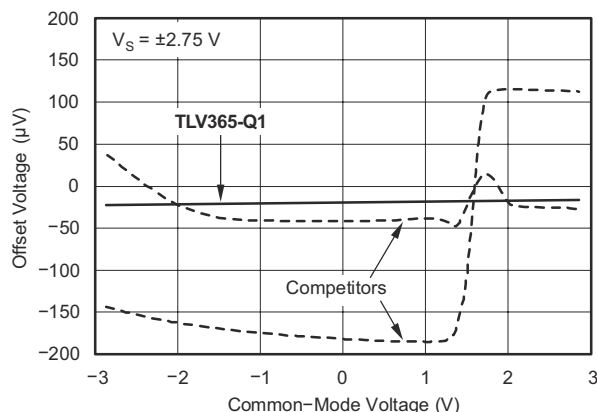


图 7-1. TLVx365-Q1 在整个共模范围内的线性失调电压

7.3.2 输入和 ESD 保护

图 7-2 显示，TLVx365-Q1 器件在所有引脚上均整合了内部静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入引脚和电源引脚之间连接的导流二极管。如果电流不超过 10mA，这些 ESD 保护二极管还能提供电路内输入过驱保护；另请参阅节 6.1。图 7-3 展示了如何通过串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，电阻器必须保持在最小值。

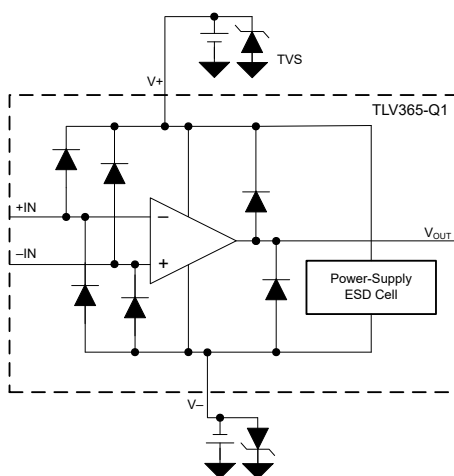


图 7-2. ESD 保护方案

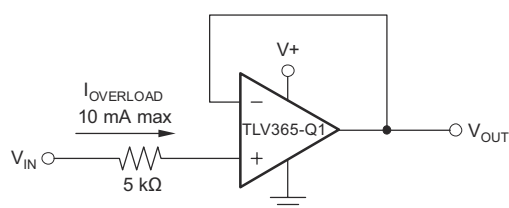


图 7-3. 输入电流保护

7.3.3 驱动容性负载

TLVx365-Q1 可用于需要驱动容性负载的应用。与在更高增益下工作的放大器相比，采用单位增益缓冲器配置驱动容性负载的运算放大器更容易出现不稳定的情况。容性负载与运算放大器输出阻抗相结合后，在反馈环路内产生一个使相位裕度降级的极点。相位裕度的减小随着负载电容的增加而增加。在图 6-16 中，随着容性负载增加，峰值也随之增加，因此出现了这种性能下降。

增强容性负载驱动能力 展示了放大器在单位增益下运行时增大容性负载驱动能力的一种方法，即插入一个小电阻器 R_{ISO} ，与输出串联。这个电阻器大大减少了与容性负载相关的过冲和振铃。

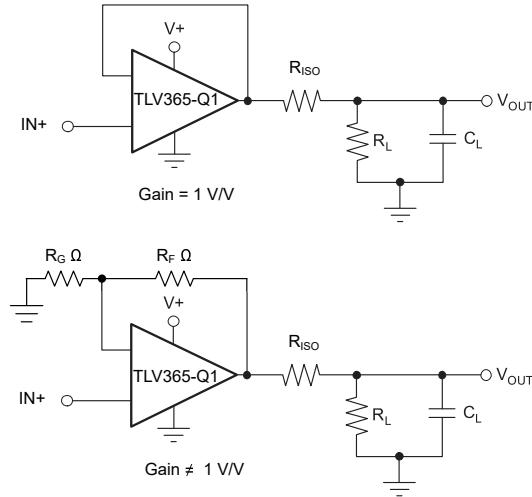
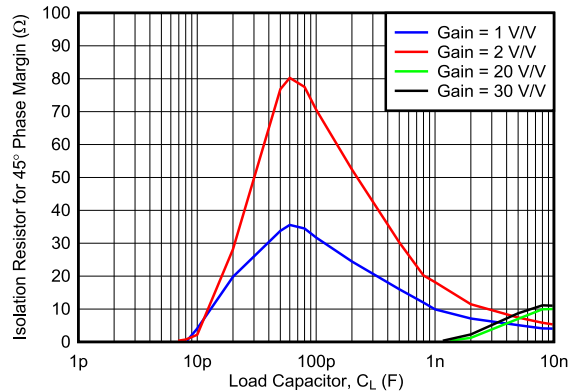


图 7-4. 增强容性负载驱动能力

但这个方法可能会带来一个缺点，即增加的串联电阻器 (R_{ISO}) 和任何与容性负载并联的电阻器 (R_L) 会构成一个分压器。此分压器会在输出端引入一个增益误差，该误差也会减少输出摆幅。分压器导致的误差不大。例如，负载电阻为 $R_L = 10k\Omega$ 和 $R_{ISO} = 20\Omega$ 时，增益误差仅为约 0.2%。

下图展示了针对不同的容性负载要在 TLVx365-Q1 的输出端连接的建议隔离电阻器 (R_{ISO})。TLVx365-Q1 可以在更高增益下驱动更高的容性负载，而无需隔离电阻器。



对于增益 $> 1V/V$ 的情况， $R_F = 1k\Omega$

对于增益 $= 1V/V$ 的情况， $R_F = 0\Omega$

图 7-5. 推荐的隔离电阻器与容性负载间的关系

7.3.4 有源滤波器

TLVx365-Q1 是需要宽带宽、快速转换率、低噪声、单电源运算放大器的有源滤波器应用的理想选择。图 7-6 展示了采用多反馈 (MFB) 拓扑的 500kHz 二阶低通滤波器。这些组件经过挑选，旨在提供最大平坦度的巴特沃斯型响应。超过截止频率时，具有每十倍频 -40dB 的下降率。巴特沃斯响应设计用于需要可预测增益特性的应用，例如在 ADC 前面使用的抗混叠滤波器。

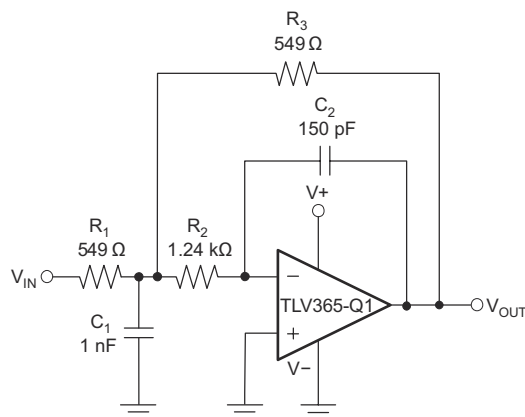


图 7-6. 二阶巴特沃斯 500kHz 低通滤波器

在考虑使用 MFB 滤波器时，输出相对于输入反相。如果不需要反相，可以通过下面的其中一种方法实现同相输出：

- 添加反相放大器
- 额外增加一个二阶 MFB 级
- 使用同相滤波器拓扑，如 Sallen-Key

图 7-7 展示了 Sallen-Key 拓扑。

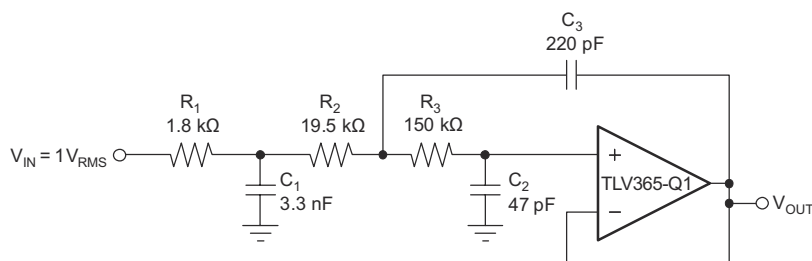


图 7-7. 配置为三级 20kHz Sallen-Key 滤波器

7.4 器件功能模式

TLVx365-Q1 仅支持一种工作模式。这些器件可配置为单极电源、分立且对称的双极电源（例如， $\pm 2.5\text{V}$ ）或分立且不对称的双极电源（例如， $+4\text{V}$ 和 -1V ）。TLVx365-Q1 没有断电或低功耗模式。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TLVx365-Q1 提供出色的直流和交流性能。这些器件采用高达 5.5V 的电源供电，提供超低输入偏置电流和 50MHz 带宽，具有真正的轨到轨输入能力。

8.1.1 过驱恢复性能

当将输出驱动至远超 $V+$ 或 $V-$ 电源时，TLVx365-Q1 系列具有出色的过驱恢复能力。当配置为低侧电流检测配置时（请参阅图 8-1），由于电源地处的地反弹或在分流电阻 R_{SH} 上测量的电流 $\leq 0A$ ，所以运算放大器 (TLVx365-Q1) 的输出通常驱动至地电位或小于地电位。TLVx365-Q1 能够在短于 100ns 的时间内从过驱事件中恢复。图 8-2 比较了 TLVx365-Q1 与同类别中其他常见运算放大器的过驱恢复性能。

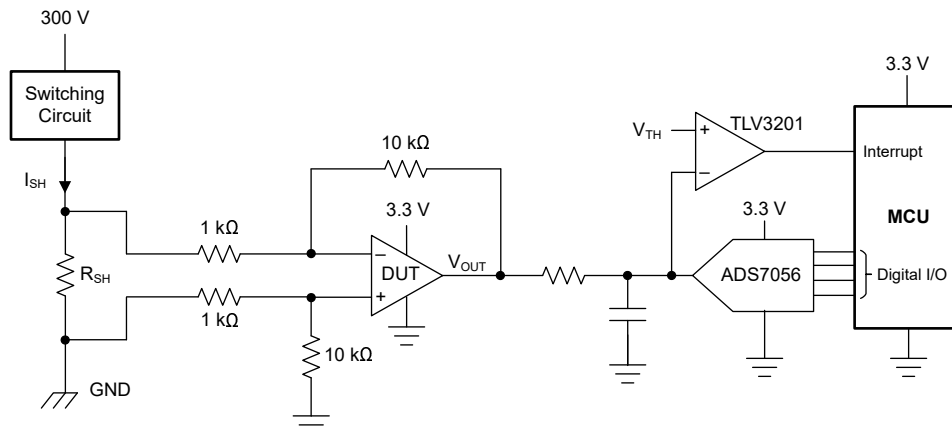
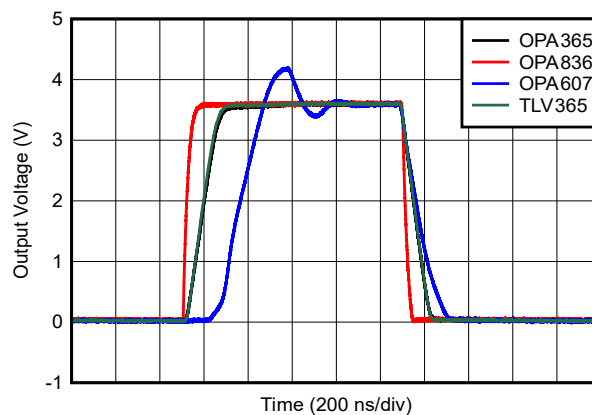


图 8-1. 低侧电流检测应用电路



增益 = 10V/V, V_{OUT} 驱动至 $(V-) - 1V$

图 8-2. TLV365-Q1 过驱恢复

8.1.2 达到零伏输出电平

某些单电源应用要求运算放大器输出的摆幅介于 0V 至正满标量程电压之间，而且需要出色的精度。一个示例是使用运算放大器驱动一个输入范围为 0V 至 3.3V 的单电源 ADC。具有极轻输出负载的轨至轨输出放大器可以达到非常接近于 0V（或在高端接近 V+）的输出电平，但不会完全等于 0V。而且，当需要的负载电流增加时，与 0V 之间的偏差也变得更大。偏离增加是受到 CMOS 输出级的限制所致。

在放大器输出和负电压源之间连接一个下拉电阻器时，TLVx365-Q1 可以实现 0V 的输出电平，甚至是比 0V 低数毫伏。图 8-3 显示了使用此技术的电路。

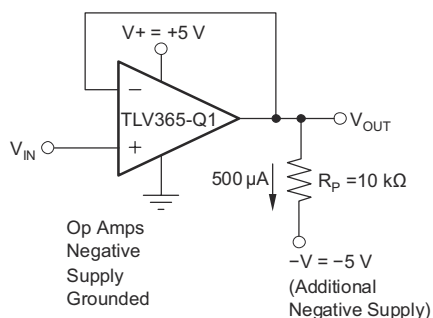


图 8-3. 摆动到接地

当 TLVx365-Q1 作为单位增益缓冲器连接时，需要大概 500 μA 的下拉电流。下拉电阻器 R_L 的计算方式是 $R_L = [(V_O - V_{\text{NEG}}) / (500\text{ } \mu\text{A})]$ 。

图 8-4 展示了失调电压与输出摆幅间的关系。

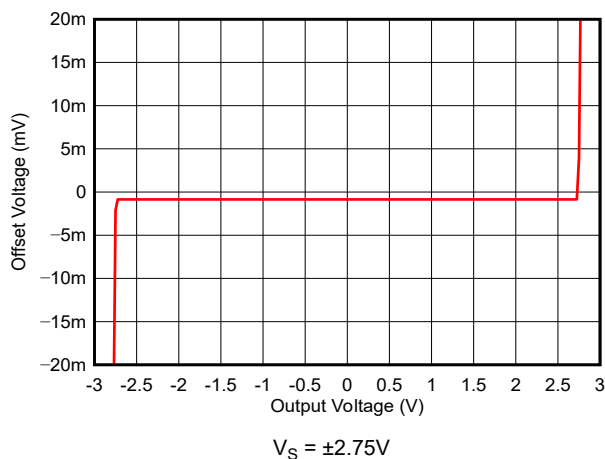


图 8-4. 失调电压与输出摆幅间的关系

8.2 典型应用

8.2.1 二阶低通滤波器

低通滤波器通常用于在信号处理应用中降低噪声并防止混叠。TLVx365-Q1 器件用于构建高速、高精度的有源滤波器。图 8-5 展示了信号处理应用中常见的二阶低通滤波器。

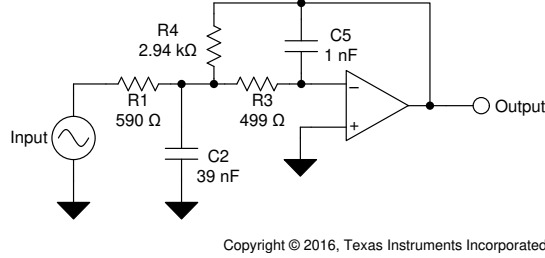


图 8-5. 二阶低通滤波器

8.2.1.1 设计要求

本设计示例使用以下参数：

- 增益 = 5V/V (反相增益)
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

8.2.1.2 详细设计过程

图 8-5 展示了实现低通网络功能的无限增益多反馈电路。使用方程式 1 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (1)$$

该电路将产生信号反转。对于该电路，使用方程式 2 来计算直流增益和低通截止频率。

$$\begin{aligned} \text{Gain} &= \frac{R_4}{R_1} \\ f_c &= \frac{1}{2\pi} \sqrt{1/R_3 R_4 C_2 C_5} \end{aligned} \quad (2)$$

8.2.1.3 应用曲线

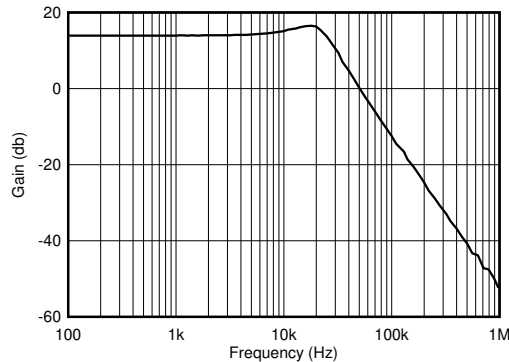


图 8-6. TLVx365-Q1 二阶 25kHz 切比雪夫低通滤波器

8.2.2 ADC 驱动器和基准缓冲器

图 8-7 展示了如何将 TLVx365-Q1 运算放大器用作 SAR ADC 输入和基准引脚驱动器。用于连接物理环境的传感器具有高输出阻抗，无法直接驱动 SAR ADC 输入。TLVx365-Q1 器件具有 20pA (最大值) 的超低输入偏置电流，因此不会加载这些高输出阻抗传感器。为了对 SAR ADC 输入端的开关电容器充电，并在给定的采集时间内快速稳定至所需的精度，需要使用连接到这些传感器输出端的宽 GBW 放大器。

在转换 (数字化) 阶段，ADC 内核从基准输入吸收瞬态电流，为了实现快速稳定并保持稳定的基准电压以实现出色的数字化性能，必须使用宽 GBW 放大器来驱动该基准输入。由于宽 GBW 放大器精度性能存在限制，在复合环路中将 TLVx365-Q1 基准缓冲器与 OPA378 精密放大器一起使用。精密放大器保持低失调电压输出，而 TLVx365-Q1 提供输出驱动和快速稳定性能。

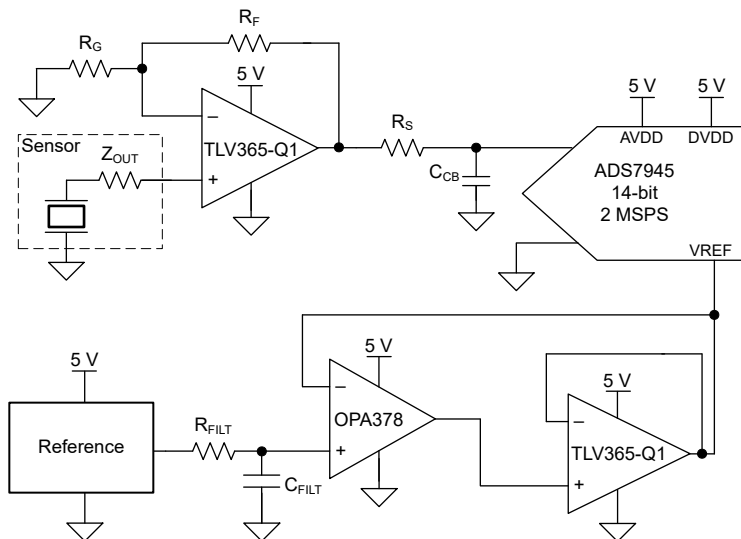


图 8-7. TLVx365-Q1 用作 SAR ADC 驱动器

8.3 电源相关建议

TLVx365-Q1 系列可配置为单极电源、分立且对称的双极电源 (例如, $\pm 2.5\text{V}$) 或分立且不对称的双极电源 (例如, $+4\text{V}$ 和 -1V)。允许的最大电压 V_S 为 6V 。

8.4 布局

8.4.1 布局指南

为了实现器件的卓越运行性能，请使用良好的印刷电路板 (PCB) 布局布线实践，包括以下指导原则：

- 噪声可通过整个电路的电源引脚或通过运算放大器传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
 - 在每个电源引脚和接地端之间接入低 ESR 0.1 μ F 陶瓷旁路电容，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
 - TLVx365-Q1 支持峰值输出电流 (超过 50mA)。具有低阻抗负载或容性负载以及快速瞬态信号的应用需要电源提供较大电流。较大的旁路电容器 (如 1 μ F 固体钽电容器) 可以提高这些应用中的动态性能。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。图 8-8 显示，使 R_F 和 R_G 接近反相输入可更大限度地减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

8.4.2 布局示例

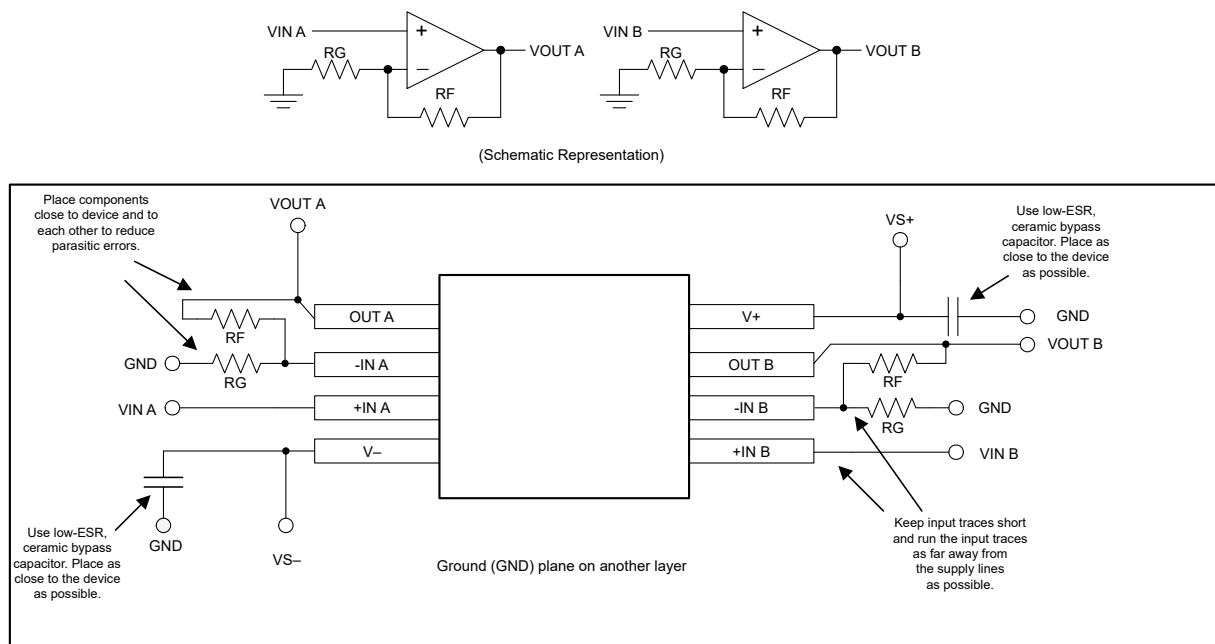


图 8-8. TLV2365-Q1 SOIC 封装的布局建议

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

9.1.1.2 TINA-TI™ 仿真软件 (免费下载)

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从[设计和仿真工具网页](#)免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 [TINA-TI™ 软件文件夹](#) 中下载免费的 TINA-TI 仿真软件。

9.1.1.3 DIP-Adapter-EVM

借助 [DIP-Adapter-EVM](#) 加快运算放大器的原型设计和测试，该 EVM 有助于快速轻松地连接小型表面贴装器件并且价格低廉。使用随附的 Samtec 端子板连接任何受支持的运算放大器，或者将这些端子板直接连接至现有电路。DIP-Adapter-EVM 套件支持以下业界通用封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5 和 SOT-23-3)、DCK (SC70-6 和 SC70-5) 和 DRL (SOT563-6)。

9.1.1.4 DIYAMP-EVM

[DIYAMP-EVM](#) 是一款独特的评估模块 (EVM)，可提供真实的放大器电路，使用户能够快速评估设计概念并验证仿真。此 EVM 采用 3 种业界通用封装选项 (SC70、SOT23 和 SOIC) 并提供 12 种流行的放大器配置，包括放大器、滤波器、稳定性补偿以及同时适用于单电源和双电源的比较器配置。

9.1.1.5 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 <https://www.ti.com/reference-designs>。

9.1.1.6 模拟滤波器设计器

[设计和仿真工具](#)网页以基于网络的工具形式提供[模拟滤波器设计器](#)，用户可以利用该设计器在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2 文档支持

9.2.1 相关文档

使用 TLVx365-Q1 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com.cn 上下载（除非另有说明）。

- 德州仪器 (TI)，[FilterPro™ 软件用户指南](#)
- 德州仪器 (TI)，[适用于 ADS8318 和 ADS8319 的低功耗输入和参考驱动器电路应用报告](#)
- 德州仪器 (TI)，[运算放大器性能分析应用简报](#)
- 德州仪器 (TI)，[运算放大器的单电源操作应用简报](#)
- 德州仪器 (TI)，[The Best of Baker's Best - 放大器电子书参考书](#)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

TINA-TI™, FilterPro™, and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (September 2024) to Revision C (March 2025)	Page
• 将 TLV2365-Q1 状态从“预告信息（预发布）”更改为“量产数据（正在供货）”	1

Changes from Revision A (December 2023) to Revision B (September 2024)	Page
• 将 TLV2365-Q1 器件状态从预发布更改为预告信息（样片预发布）	1
• 添加了 TLV2365-Q1 DGK 封装预告信息	1
• 添加了 DGK 封装的热性能信息	4

Changes from Revision * (June 2023) to Revision A (December 2023)**Page**

- 将数据表状态从预告信息混合更改为量产混合.....1
- 将采用 DBV 封装的 TLV365-Q1 的状态从预告信息 (预发布) 更改为量产数据 (正在供货)1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

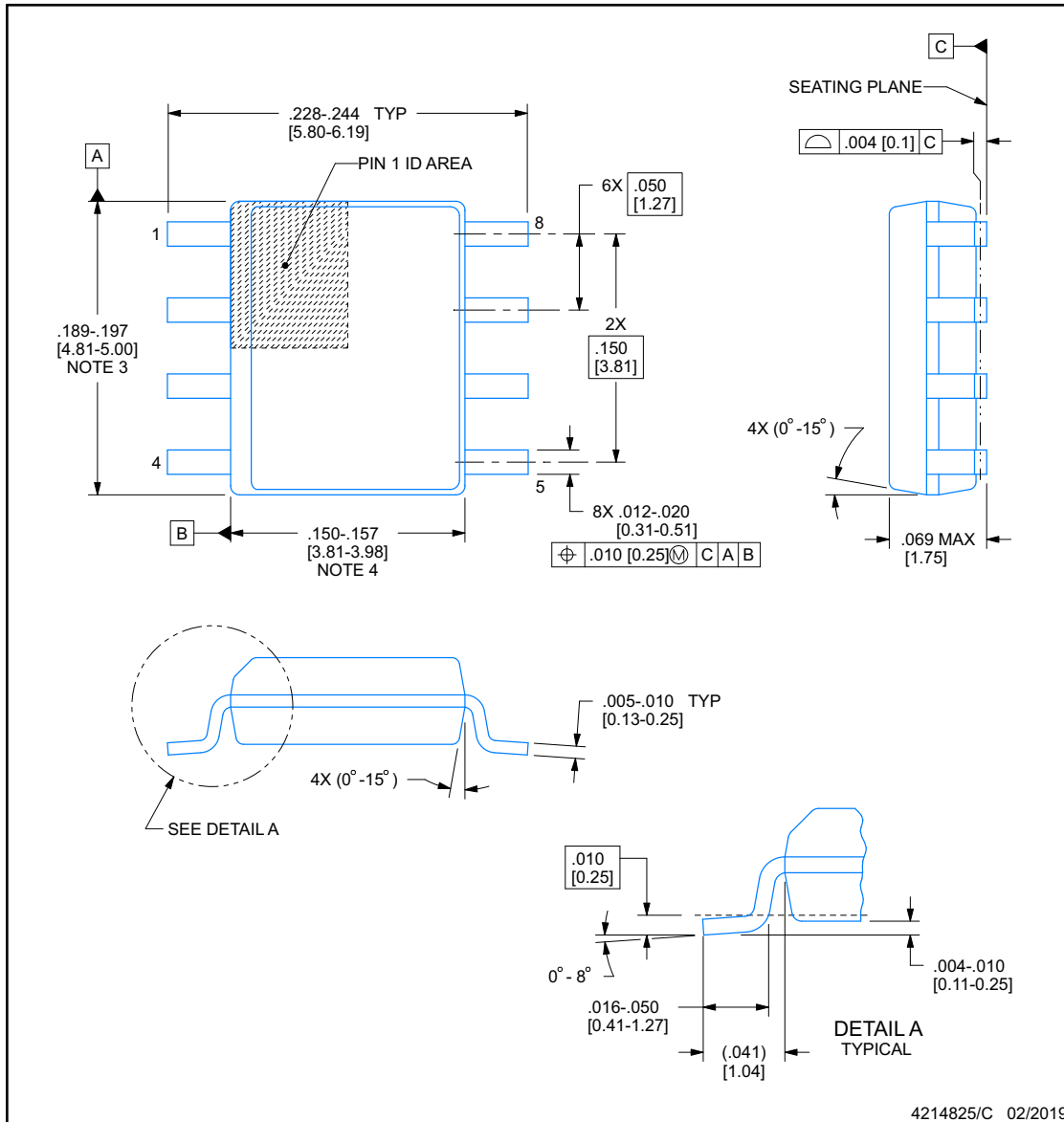


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

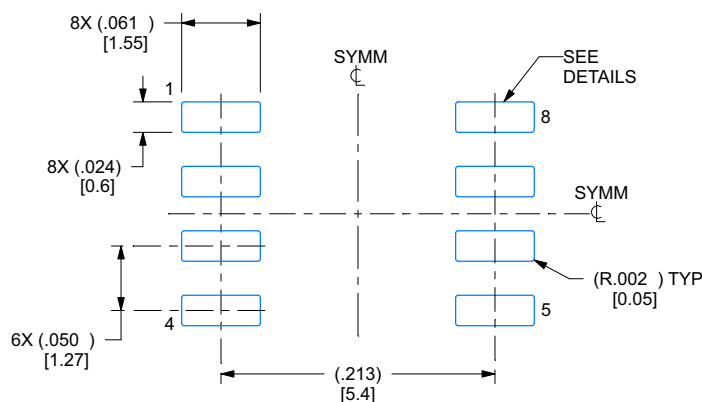


NOTES:

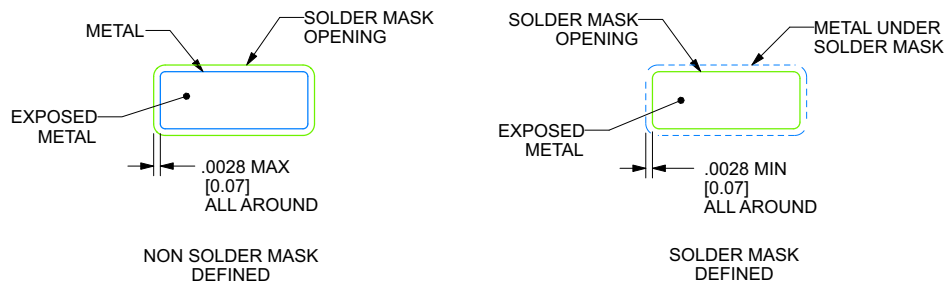
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT**D0008A****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

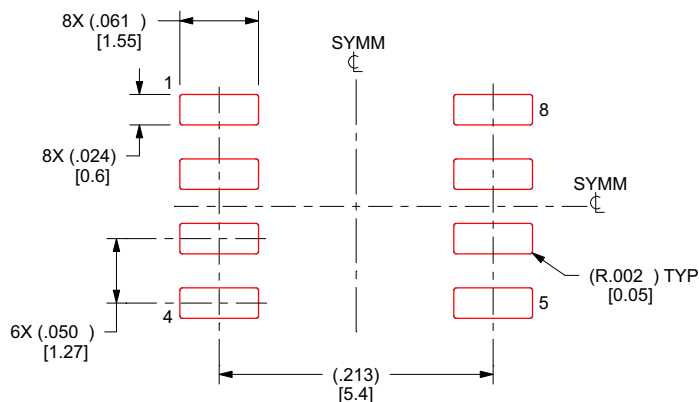
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2365QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2Q65
TLV2365QDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2Q65
TLV2365QDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T2365Q
TLV2365QDRQ1.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T2365Q
TLV365QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Q365
TLV365QDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Q365

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV2365-Q1, TLV365-Q1 :

- Catalog : [TLV2365](#), [TLV365](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2365QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2365QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV365QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2365QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV2365QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TLV365QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0



SOT-23 - 1.45 mm max height

PIN 1 INDEX AREA

1 5

2X 0.95

1.9

2 4

3

5X 0.5
0.3

3.0
2.6

1.75
1.45

B

A

3.05
2.75

1.9

(0.1)

(0.15)

NOTE 5

4X 0°-15°

0.15
0.00 TYP

1.1

1.45
0.90

0.25

E PLANE

4X 4°-15°

0.22
0.08 TYP

0.6
0.3 TYP

SEATING PLANE

⊕	0.2	Ⓜ	C	A	B
---	-----	---	---	---	---

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司