

具有关断功能的 TLV246xx-Q1 低功耗轨至轨输入/输出 运算放大器

1 特性

- 符合汽车类应用的要求
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度 1 级：-40°C 至 +125°C 的环境运行温度范围
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C6
- ESD 保护超过 2000V（根据 MIL-STD-883 方法 3015）；超过 200V（使用机器放电模型，C = 200pF，R = 0）
- 轨至轨输出摆幅
- 增益带宽积：6.4MHz
- 输出驱动能力：±80mA
- 电源电流：500μA/通道
- 输入噪声电压：11nV/√Hz
- 压摆率：1.6V/μs
- 微功耗关断模式（TLV2460-Q1 和 TLV2463-Q1）：0.3μA/通道
- 通用运算放大器 EVM
- 提供单通道、双通道和四通道版本

2 应用

- 仪表板
- 远程信息处理
- HEV/EV 和动力总成
- 直流/直流逆变器
- 助力转向
- 照明模块
- 电池管理系统

3 说明

TLV246x-Q1 低功耗轨至轨输入/输出运算放大器系列中的器件专为 HEV/EV 和动力总成中的蓄电池管理系统以及车身和照明应用中的照明和车顶模块系统而设计。这些器件的输入共模电压范围在电源轨基础上向外扩展，从而在低电压系统中实现最大动态范围。放大器输出具有轨至轨性能以及高输出驱动能力，克服了旧式轨至轨输入/输出运算放大器的局限性。这种轨至轨动态范围和高输出驱动能力使得 TLV246x-Q1 非常适合缓冲模数转换器。

此运算放大器具有 6.4MHz 的带宽和 1.6V/μs 的压摆率，且电源电流仅为 500μA，可在功耗极低的情况下提供良好的交流性能。器件具有可选的关断端子，通过此端子可将放大器置于超低电源电流模式（ $I_{DD} = 0.3\mu A/\text{通道}$ ）。关断时，运算放大器输出置于高阻抗状态。在直流应用经精心设计，具有 11nV/√Hz 的输入噪声电压和 100μV 的输入失调电压。

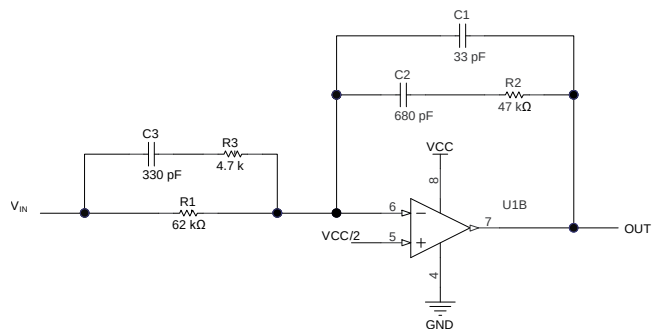
器件信息⁽¹⁾

器件型号	封装	封装尺寸（标称值）
TLV246x-Q1、 TLV246xA-Q1	TSSOP (8)	4.40mm × 3.00mm
TLV2462-Q1、 TLV2462A-Q1	SOIC (8)	3.91mm × 4.90mm
	TSSOP (8)	4.40mm × 3.00mm
	VSSOP (8)	3.00mm × 3.00mm
TLV246x-Q1、 TLV246xA-Q1	TSSOP (14)	4.40mm × 5.00mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

(2) 如需了解所有可用器件选项，请参阅 [机械](#)、[封装](#)和[可订购信息](#)。

典型应用



目录

1	特性	1	8	详细 说明	20
2	应用	1	8.1	概要	20
3	说明	1	8.2	功能框图	20
4	修订历史记录	2	8.3	特性 描述	20
5	引脚配置和功能	3	8.4	器件功能模式	23
6	规格	5	9	应用和实现	24
6.1	绝对最大额定值	5	9.1	应用信息	24
6.2	ESD 额定值	5	9.2	典型应用	26
6.3	建议运行条件	5	10	电源建议	28
6.4	热性能信息: TLV2460x-Q1	5	11	布局	29
6.5	热性能信息: TLV2461x-Q1	6	11.1	布局指南	29
6.6	热性能信息: TLV2462-Q1	6	11.2	布局示例	29
6.7	热性能信息: TLV2462A-Q1	6	12	器件和文档支持	30
6.8	热性能信息: TLV2463x-Q1	6	12.1	文档支持	30
6.9	电气特性: $V_{DD} = 3V$	7	12.2	相关链接	30
6.10	电气特性: $V_{DD} = 5V$	8	12.3	社区资源	30
6.11	工作特性: $V_{DD} = 3V$	9	12.4	商标	30
6.12	工作特性: $V_{DD} = 5V$	10	12.5	静电放电警告	30
6.13	典型特性	11	12.6	术语表	30
7	参数测量信息	20	13	机械、封装和可订购信息	30

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

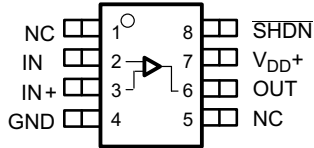
Changes from Revision F (December 2015) to Revision G	Page
• 根据最新的数据表标准和翻译标准更新数据表文本	1
• 已删除 “输入失调电压: 100 μV ”列表项 - 特性 部分	1
• 已删除 “通用运算放大器 EVM”列表项 - 特性 部分添加超低功耗模式的值	1
• 已删除 删除了文档中的 TLV2464 器件	1
• Deleted 器件比较 表	3
• 重新设置了热性能 表和表注的格式	5
• Changed 在电气特性: $V_{DD} = 3V$ 表	7
• Changed 在电气特性: $V_{DD} = 5V$ 表	8
• 重新编排了 相关文档 部分的文档参考	30

Changes from Revision E (October 2012) to Revision F	Page
• 已添加 AEC-Q100 列表项	1
• 添加了 ESD 额定值 表、特性 说明 部分、器件功能模式、应用和实现 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及机械、封装和可订购信息 部分	1
• 删除了 TLV2460-Q1、TLV2461-Q1、TLV2463-Q1 和 TLV2464A-Q1 中的 D 封装，在引脚图中增加了 TLV246xA-Q1 器件号	3
• Deleted 从绝对最大额定值 表中删除了表注 3 对 JESD 51-5 的引用	5

Changes from Revision D (September 2010) to Revision E	Page
• 通篇将器件名称从 TLV246xx 更改为 TLV246xx-Q1。	1
• 将 I_{DD} 的单位从 μA 改为 mA。	7
• 将 I_{DD} 的单位从 μA 改为 mA	8

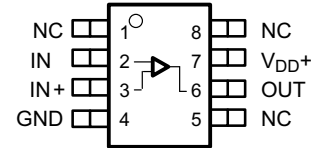
5 引脚配置和功能

**TLV2460-Q1、TLV2460A-Q1 PW 封装
8 引脚 TSSOP
俯视图**



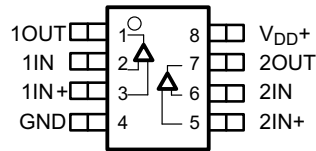
NC = 无内部连接

**TLV2461-Q1、TLV2461A-Q1 PW 封装
8 引脚 TSSOP
俯视图**



NC = 无内部连接

**TLV2462-Q1、TLV2462A-Q1 D、DGK 或 PW 封装
8 引脚 SOIC、TSSOP 或 VSSOP
俯视图**

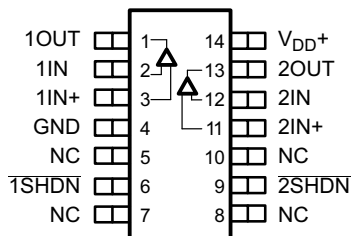


NC – 无内部连接

引脚功能

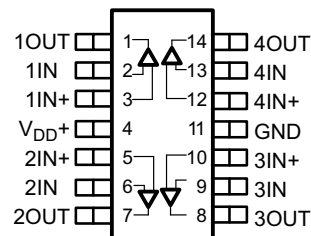
引脚				I/O	说明
名称	TLV2460-Q1、 TLV2460A-Q1	TLV2461-Q1、 TLV2461A-Q1	TLV2462-Q1、 TLV2462A-Q1		
1IN	—	—	2	I	反相输入，通道 1
1IN+	—	—	3	I	同相输入，通道 1
1OUT	—	—	1	O	输出，通道 1
2IN	—	—	6	I	反相输入，通道 2
2IN+	—	—	5	I	同相输入，通道 2
2OUT	—	—	7	O	输出，通道 2
IN	2	2	—	I	反相输入
IN+	3	3	—	I	同相输入
GND	4	4	4	—	负（最低）电源
NC	1, 5	1、5、8	—	—	无内部连接
OUT	6	6	—	O	输出
SHDN	8	—	—	I	关断
V _{DD} +	7	7	8	—	正（最高）电源

TLV2463-Q1、TLV2463A-Q1 PW 封装
 14 引脚 TSSOP
 俯视图



NC – 无内部连接

TLV2463-Q1、TLV2463A-Q1 PW 封装
 14 引脚 TSSOP
 俯视图



引脚功能

引脚			I/O	说明
名称	TLV2463-Q1、TLV2463A-Q1	TLV2464A-Q1		
1IN	2	2	I	反相输入，通道 1
1IN+	3	3	I	同相输入，通道 1
1OUT	1	1	O	输出，通道 1
1SHDN	6	—	I	通道 1 关断
2IN	12	6	I	反相输入，通道 2
2IN+	11	5	I	同相输入，通道 2
2OUT	13	7	O	输出，通道 2
2SHDN	9	—	I	通道 2 关断
3IN	—	9	I	反相输入，通道 3
3IN+	—	10	I	同相输入，通道 3
3OUT	—	8	O	输出，通道 3
4IN	—	13	I	反相输入，通道 4
4IN+	—	12	I	同相输入，通道 4
4OUT	—	14	O	输出，通道 4
IN	—	—	I	反相输入
IN+	—	—	I	同相输入
GND	4	11	—	负（最低）电源
NC	5、7、8、10	—	—	无内部连接
OUT	—	—	O	输出
SHDN	—	—	I	关断
V _{DD} +	14	4	—	正（最高）电源

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压 ⁽²⁾ , V_{DD}		6	V
差分输入电压, V_{ID}	-0.2	$V_{DD} + 0.2$	V
输入电流（任何输入）, I_I	-200	200	mA
输出电流, I_O	-175	175	mA
总输入电流（流入 V_{DD+} ）, I_I		175	mA
总输出电流（从 GND 流出）, I_O		175	mA
自然通风工作温度范围, T_A	-40	125	°C
最大结温, T_J		150	°C
10 秒内距离外壳 1.6mm (1/16 英寸) 的引线温度		260	°C
贮存温度, T_{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。在绝对最大额定值条件下长时间运行可能会影响器件可靠性。
- (2) 除差分电压外的所有电压值都是相对于 GND 而言的。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 AEC Q100-011	±1000	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

		最小值	最大值	单位
V_{DD} 电源电压	单电源	2.7	6	V
	双电源	±1.35	±3	
V_{ICR} 共模输入电压范围 ⁽¹⁾		-0.2	$V_{DD} + 0.2$	V
T_A 自然通风工作温度范围		-40	125	°C
开关电压电平关断 ⁽¹⁾	V_{IH}	2		V
	V_{IL}		0.7	

- (1) 相对于器件 GND 端的电压

6.4 热性能信息：TLV2460x-Q1

热指标 ⁽¹⁾		TLV2460x-Q1	单位
		PW (TSSOP)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	185.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	69	°C/W
$R_{\theta JB}$	结至电路板热阻	114.5	°C/W
Ψ_{JT}	结至顶部特征参数	9.6	°C/W
Ψ_{JB}	结至电路板特征参数	112.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

- (1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 热性能信息：TLV2461x-Q1

热指标 ⁽¹⁾	结至环境热阻	TLV2461x-Q1	单位
		PW (TSSOP)	
		8 引脚	
R _{θJA}	结至环境热阻	185.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	69	°C/W
R _{θJB}	结至电路板热阻	114.5	°C/W
ψ _{JT}	结至顶部特征参数	9.6	°C/W
ψ _{JB}	结至电路板特征参数	112.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.6 热性能信息：TLV2462-Q1

热指标 ⁽¹⁾	结至环境热阻	TLV2462-Q1			单位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 引脚	8 引脚	8 引脚	
R _{θJA}	结至环境热阻	120.1	179.3	183.6	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	68.3	71.1	67	°C/W
R _{θJB}	结至电路板热阻	60.4	100.4	112.3	°C/W
ψ _{JT}	结至顶部特征参数	20.6	10.7	9	°C/W
ψ _{JB}	结至电路板特征参数	59.9	98.8	110.6	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.7 热性能信息：TLV2462A-Q1

热指标 ⁽¹⁾	结至环境热阻	TLV2462A-Q1		单位
		D (SOIC)	PW (TSSOP)	
		8 引脚	8 引脚	
R _{θJA}	结至环境热阻	120.1	185.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	68.3	69	°C/W
R _{θJB}	结至电路板热阻	60.4	114.5	°C/W
ψ _{JT}	结至顶部特征参数	20.6	9.6	°C/W
ψ _{JB}	结至电路板特征参数	59.9	112.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.8 热性能信息：TLV2463x-Q1

热指标 ⁽¹⁾	结至环境热阻	TLV2463x-Q1	单位
		PW (TSSOP)	
		8 引脚	
R _{θJA}	结至环境热阻	185.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	69	°C/W
R _{θJB}	结至电路板热阻	114.5	°C/W
ψ _{JT}	结至顶部特征参数	9.6	°C/W
ψ _{JB}	结至电路板特征参数	112.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

中将 I_{IO} 和 I_{IB} 的单位从 pA 改为 nA

6.9 电气特性： $V_{DD} = 3V$

在指定自然通风温度下， $V_{DD} = 3V$ (除非另有说明)

参数	测试条件		最小值	典型值	最大值	单位
V_{IO} 输入失调电压	$V_{DD} = 3V$ $V_{IC} = 1.5V$ $V_O = 1.5V$ $R_S = 50\Omega$	TLV246x-Q1	$T_A = 25^\circ C$	100	2000	μV
			完整范围 ⁽¹⁾		2200	
		TLV246xA-Q1	$T_A = 25^\circ C$	150	1500	
			完整范围 ⁽¹⁾		1700	
α_{VIO} 输入失调电压的温度系数	$V_{DD} = 3V$ $V_{IC} = 1.5V$ $V_O = 1.5V$ $R_S = 50\Omega$			2		$\mu V/^\circ C$
I_{IO} 输入失调电流	$V_{DD} = 3V$ $V_{IC} = 1.5V$ $V_O = 1.5V$ $R_S = 50\Omega$	$T_A = 25^\circ C$		2.8	7	nA
		完整范围 ⁽¹⁾			75	
I_{IB} 输入偏置电流	$V_{IC} = 1.5V$ $V_O = 1.5V$ $R_S = 50\Omega$	$T_A = 25^\circ C$		4.4	14	nA
		完整范围 ⁽¹⁾			75	
V_{OH} 高电平输出电压	$I_O = -2.5mA$	$T_A = 25^\circ C$		2.9		V
		完整范围 ⁽¹⁾		2.8		
	$I_O = -10mA$	$T_A = 25^\circ C$		2.7		
		完整范围 ⁽¹⁾		2.5		
V_{OL} 低电平输出电压	$V_{IC} = 1.5V$ $I_{OL} = 2.5mA$	$T_A = 25^\circ C$		0.1		V
		完整范围 ⁽¹⁾			0.2	
	$V_{IC} = 1.5V$ $I_{OL} = 10mA$	$T_A = 25^\circ C$		0.3		
		完整范围 ⁽¹⁾			0.5	
I_{OS} 短路输出电流	拉电流	$T_A = 25^\circ C$		50		mA
		完整范围 ⁽¹⁾		20		
	灌电流	$T_A = 25^\circ C$		40		
		完整范围 ⁽¹⁾		20		
I_O 输出电流	从电源轨测得 1V	$T_A = 25^\circ C$		± 40		mA
A_{VD} 大信号差分电压放大	$R_L = 10k\Omega$	$T_A = 25^\circ C$		90	105	dB
		完整范围 ⁽¹⁾		89		
$r_{i(d)}$ 差分输入电阻		$T_A = 25^\circ C$		10^9		Ω
$C_{i(o)}$ 共模输入电容	$f = 10kHz$	$T_A = 25^\circ C$		7		pF
z_o 闭环输出阻抗	$f = 100kHz$ $A_V = 10$	$T_A = 25^\circ C$		33		Ω
CMRR 共模抑制比	$V_{ICR} = 0V$ 至 $3V$ $R_S = 50\Omega$	$T_A = 25^\circ C$		66	80	dB
		完整范围 ⁽¹⁾		60		
k_{SVR} 电源电压抑制比 ($\Delta V_{DD\pm} / \Delta V_{IO}$)	$V_{DD} = 2.7V$ 至 $6V$ $V_{IC} = V_{DD} / 2$; 空载	$T_A = 25^\circ C$		80	85	dB
		完整范围 ⁽¹⁾		75		
	$V_{DD} = 3V$ 至 $5V$ $V_{IC} = V_{DD} / 2$; 空载	$T_A = 25^\circ C$		85	95	
		完整范围 ⁽¹⁾		80		
I_{DD} 电源电流 (每个通道)	$V_O = 1.5V$; 空载	$T_A = 25^\circ C$		0.5	0.575	mA
		完整范围 ⁽¹⁾			0.9	
$I_{DD(SHDN)}$ 关断时电源电流 (TLV2460-Q1、 TLV2463-Q1)	关断时每通道 $\overline{SHDN} < 0.7V$	$T_A = 25^\circ C$		0.3		μA
		完整范围 ⁽¹⁾			2.5	

(1) 完整范围为 $-40^\circ C$ 至 $+125^\circ C$ 。

中将 I_{IO} 和 I_{IB} 的单位从 pA 改为 nA

6.10 电气特性：V_{DD} = 5V

在指定自然通风温度下，V_{DD} = 5V (除非另有说明)

参数		测试条件			最小值	典型值	最大值	单位	
V _{IO}	输入失调电压	V _{DD} = 5V V _{IC} = 2.5V V _O = 2.5V R _S = 50Ω	TLV246x-Q1	T _A = 25°C		150	2000	μV	
				完整范围 ⁽¹⁾			2200		
		TLV246xA-Q1	T _A = 25°C		150	1500			
			完整范围 ⁽¹⁾			1700			
α _{VIO}	输入失调电压的温度系数	V _{DD} = 5V V _{IC} = 2.5V V _O = 2.5V R _S = 50Ω				2		μV/°C	
I _{IO}	输入失调电流	V _{DD} = 5V V _{IC} = 2.5V V _O = 2.5V R _S = 50Ω		T _A = 25°C		0.3	7	nA	
				完整范围 ⁽¹⁾			60		
I _{IB}	输入偏置电流	V _{DD} = 5V V _{IC} = 2.5V V _O = 2.5V R _S = 50Ω		T _A = 25°C		1.3	14	nA	
				完整范围 ⁽¹⁾			60		
V _{OH}	高电平输出电压	I _O = -10mA	TLV246x-Q1、 TLV246xA-Q1	T _A = 25°C		4.9		V	
				完整范围 ⁽¹⁾		4.8			
			TLV2462QDGKRQ1	T _A = 25°C		4.8			
				完整范围 ⁽¹⁾		4.7			
				T _A = 25°C		4.8			
				完整范围 ⁽¹⁾		4.4			
V _{OL}	低电平输出电压	V _{IC} = 2.5V I _{OL} = 2.5mA V _{IC} = 2.5V I _{OL} = 10mA		T _A = 25°C		0.1		V	
				完整范围 ⁽¹⁾			0.2		
				T _A = 25°C		0.2			
				完整范围 ⁽¹⁾			0.3		
I _{OS}	短路输出电流	拉电流		T _A = 25°C		145		mA	
				完整范围 ⁽¹⁾		60			
		灌电流		T _A = 25°C		100			
				完整范围 ⁽¹⁾		60			
I _O	输出电流	从电源轨测得 1V			T _A = 25°C		±80		mA
A _{VD}	大信号差分电压放大	V _{IC} = 2.5V R _L = 10kΩ V _O = 1V 至 4V		T _A = 25°C		92	109	dB	
				完整范围 ⁽¹⁾		90			
r _{I(d)}	差分输入电阻				T _A = 25°C		10 ⁹		Ω
C _{i(o)}	共模输入电容	f = 10kHz			T _A = 25°C		7		pF
Z _o	闭环输出阻抗	f = 100kHz, A _V = 10			T _A = 25°C		29		Ω
CMRR	共模抑制比	V _{ICR} = 0V 至 5V R _S = 50Ω		T _A = 25°C		71	85	dB	
				完整范围 ⁽¹⁾		60			
k _{SVR}	电源电压抑制比 (ΔV _{DD±} / ΔV _{IO})	V _{DD} = 2.7V 至 6V V _{IC} = V _{DD} / 2 ; 空载		T _A = 25°C		80	85	dB	
				完整范围 ⁽¹⁾		75			
		V _{DD} = 3V 至 5V V _{IC} = V _{DD} / 2 ; 空载		T _A = 25°C		85	95		
				完整范围 ⁽¹⁾		80			
I _{DD}	电源电流 (每个通道)	V _O = 2.5V ; 空载		T _A = 25°C		0.55	0.65	mA	
				完整范围 ⁽¹⁾			1		
I _{DD(SHDN)}	关断时电源电流 (TLV2460-Q1、 TLV2463-Q1)	关断时每通道 $\overline{SHDN}$ < 0.7V		T _A = 25°C		1		μA	
				完整范围 ⁽¹⁾			3		

(1) 完整范围为 $-40^\circ C$ 至 $+125^\circ C$ 。

6.11 工作特性：V_{DD} = 3V

在指定自然通风温度下，V_{DD} = 3V (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
SR	单位增益下的压摆率	V _{O(PP)} = 2V C _L = 160pF R _L = 10kΩ		T _A = 25°C	1	1.6	V/μs
				完整范围 ⁽¹⁾	0.8		
V _n	等效输入噪声电压	f = 100Hz f = 1kHz		T _A = 25°C	16		nV/√Hz
					11		
I _n	等效输入噪声电流	f = 1kHz		T _A = 25°C	0.13		pA/√Hz
THD + N	总谐波失真加噪声	V _{O(PP)} = 2V R _L = 10kΩ , f = 1kHz	A _V = 1	T _A = 25°C	0.006%		
			A _V = 10		0.02%		
			A _V = 100		0.08%		
t _(on)	放大器导通时间	A _V = 1 R _L = 10kΩ	两个通道	T _A = 25°C	7.6		μs
			仅通道 1 , 通道 2 开启		7.65		
t _(off)	放大器关断时间	A _V = 1 R _L = 10kΩ	两个通道	T _A = 25°C	333		ns
			仅通道 1 , 通道 2 开启		328		
			仅通道 2 , 通道 1 开启		329		
增益带宽积		f = 10kHz C _L = 160pF R _L = 10kΩ		T _A = 25°C	5.2		MHz
t _s	建立时间	V _{(STEP)PP} = 2V A _V = -1 C _L = 10pF R _L = 10kΩ	0.1%	T _A = 25°C	1.47		μs
			0.01%		1.78		
		V _{(STEP)PP} = 2V A _V = -1 C _L = 56pF R _L = 10kΩ	0.1%		1.77		
			0.01%		1.98		
φ _m	单位增益下的相位裕度	R _L = 10kΩ C _L = 160pF		T _A = 25°C	44		°
增益裕量		R _L = 10kΩ C _L = 160pF		T _A = 25°C	7		dB

(1) 完整范围为 -40°C 至 +125°C。

6.12 工作特性：V_{DD} = 5V

在指定自然通风温度下，V_{DD} = 5V (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
SR	单位增益下的压摆率	V _{O(PP)} = 2V C _L = 160pF R _L = 10kΩ		T _A = 25°C	1	1.6	V/μs
				完整范围 ⁽¹⁾	0.8		
V _n	等效输入噪声电压	f = 100Hz f = 1kHz		T _A = 25°C	14		nV/√Hz
					11		
I _n	等效输入噪声电流	f = 100Hz		T _A = 25°C	0.13		pA/√Hz
THD + N	总谐波失真加噪声	V _{O(PP)} = 4V R _L = 10kΩ f = 10kHz	A _V = 1	T _A = 25°C	0.004%		
			A _V = 10		0.01%		
			A _V = 100		0.04%		
t _(on)	放大器导通时间	A _V = 1 R _L = 10kΩ	两个通道	T _A = 25°C	7.6		μs
			仅通道 1， 通道 2 开启		7.65		
			仅通道 2， 通道 1 开启		7.25		
t _(off)	放大器关断时间	A _V = 1 R _L = 10kΩ	两个通道	T _A = 25°C	333		ns
			仅通道 1， 通道 2 开启		328		
			仅通道 2， 通道 1 开启		329		
增益带宽积		f = 10kHz C _L = 160pF R _L = 10kΩ		T _A = 25°C	6.4		MHz
t _s	建立时间	V _{(STEP)PP} = 2V A _V = -1 C _L = 10pF R _L = 10kΩ	0.1%	T _A = 25°C	1.53		μs
			0.01%		1.83		
		V _{(STEP)PP} = 2V A _V = -1 C _L = 56pF R _L = 10kΩ	0.1%		3.13		
			0.01%		3.33		
φ _m	单位增益下的相位裕度	R _L = 10kΩ C _L = 160pF		T _A = 25°C	45		°
增益裕量		R _L = 10kΩ C _L = 160pF		T _A = 25°C	7		dB

(1) 完整范围为 -40°C 至 +125°C。

6.13 典型特性

条件说明待定

表 1. 图形表

图形标题		图表
V_{IO}	输入失调电压与共模输入电压间的关系	1, 2
I_{IB}	输入偏置电流与自然通风温度间的关系	3, 4
I_{IO}	输入失调电流与自然通风温度间的关系	3, 4
V_{OH}	高电平输出电压与高电平输出电流间的关系	5, 6
V_{OL}	低电平输出电压与低电平输出电流间的关系	7, 8
$V_{O(PP)}$	最大峰间输出电压与频率间的关系	9, 10
	开环增益与频率间的关系	11, 12
	相位与频率间的关系	11, 12
A_{VD}	差分电压放大与负载电阻间的关系	13
	容性负载与负载电阻间的关系	14
z_o	输出阻抗与频率间的关系	15, 16
CMRR	共模抑制比与频率间的关系	17
k_{SVR}	电源电压抑制比与频率间的关系	18, 19
I_{DD}	电源电流与电源电压间的关系	20
	电源电流与自然通风温度间的关系	21
	放大器导通特性	22
	放大器关断特性	23
	电源电流导通	24
	电源电流关断	25
	关断电源电流与自然通风温度间的关系	26
SR	压摆率与负载电容间的关系	27
V_n	等效输入噪声电压与频率间的关系	28, 29
	等效输入噪声电压与共模输入电压间的关系	30, 31
THD	总谐波失真与频率间的关系	32, 33
THD + N	总谐波失真加噪声与峰间信号振幅间的关系	34, 35
φ_m	相位裕度与频率间的关系	11, 12
	相位裕度与负载电容间的关系	36
	相位裕度与自然通风温度间的关系	37
	增益带宽积与电源电压间的关系	38
	增益带宽积与自然通风温度间的关系	39
	大信号跟随器	40, 41
	小信号跟随器	42, 43
	反相大信号	44, 45
	反相小信号	46, 47

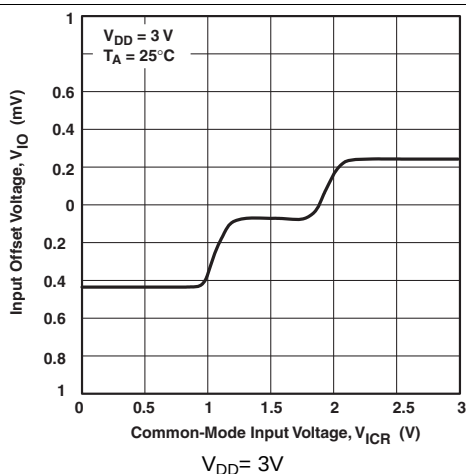


图 1. 输入失调电压与共模输入电压间的关系

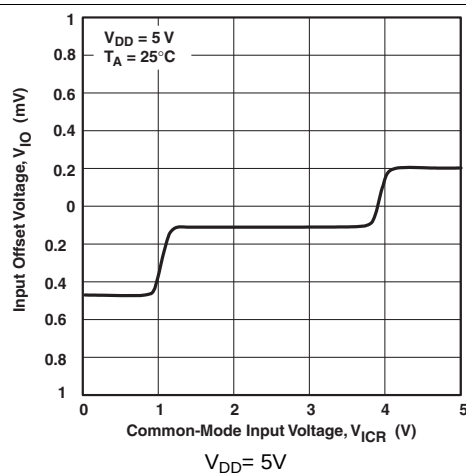


图 2. 输入失调电压与共模输入电压间的关系

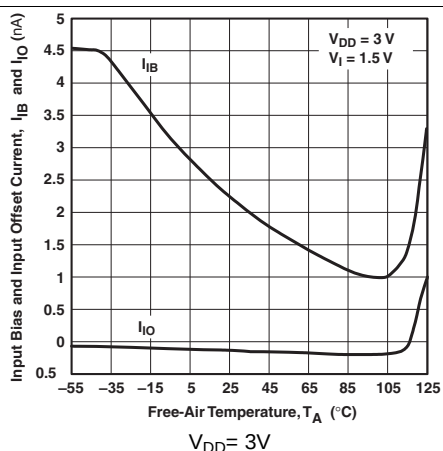


图 3. 输入偏置和输入失调电流与自然通风温度间的关系

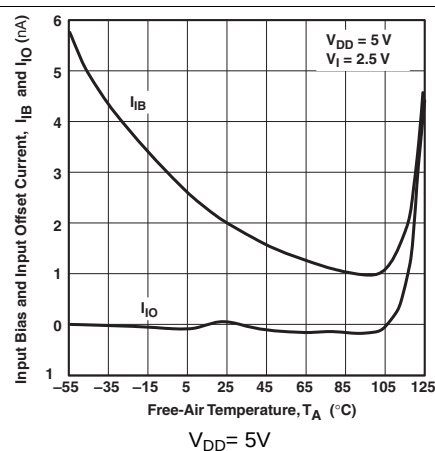


图 4. 输入偏置和输入失调电流与自然通风温度间的关系

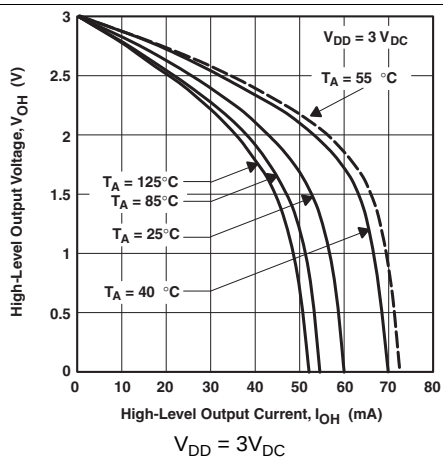


图 5. 高电平输出电压与高电平输出电流间的关系

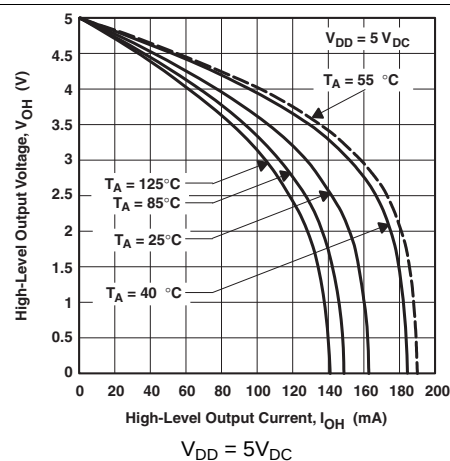


图 6. 高电平输出电压与高电平输出电流间的关系

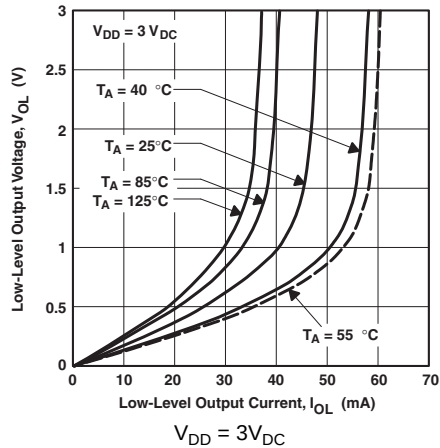


图 7. 低电平输出电压与低电平输出电流间的关系

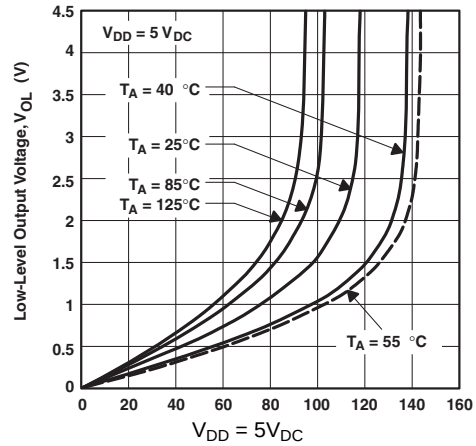


图 8. 低电平输出电压与低电平输出电流间的关系

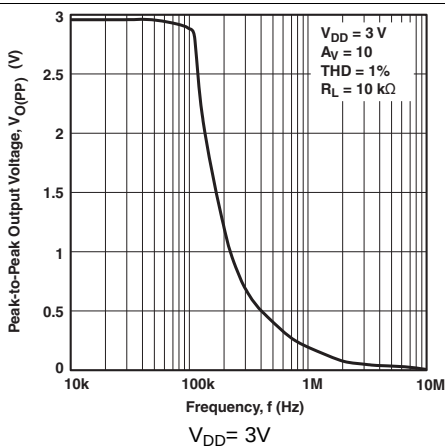


图 9. 峰间输出电压与频率间的关系

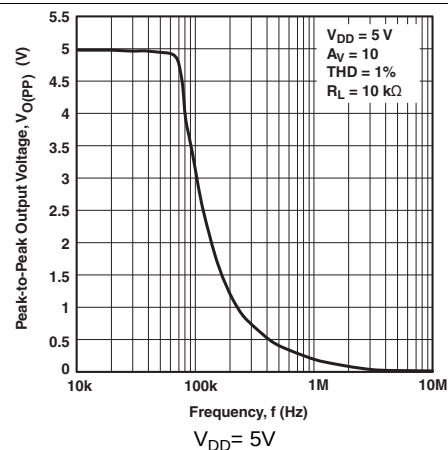


图 10. 峰间输出电压与频率间的关系

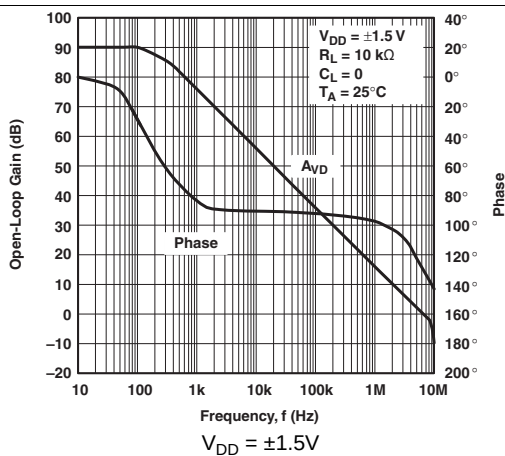


图 11. 开环增益和相位与频率间的关系

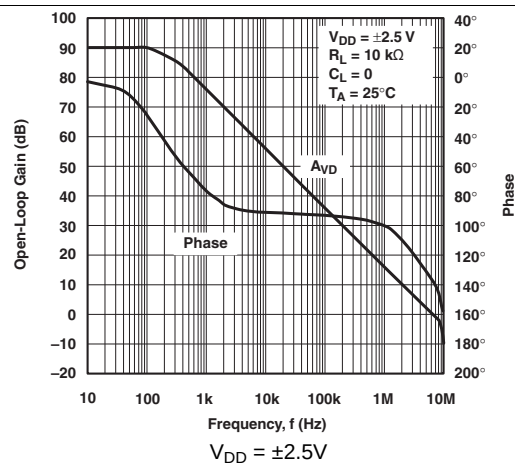


图 12. 开环增益和相位与频率间的关系

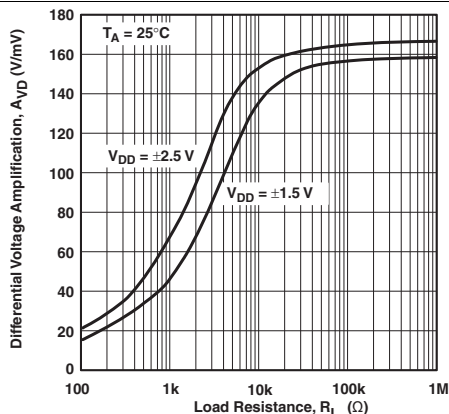


图 13. 差分电压放大与负载电阻间的关系

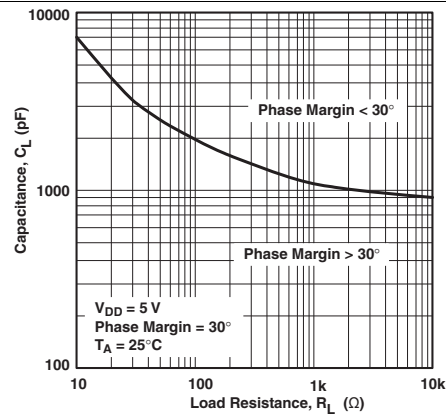


图 14. 容性负载与负载电阻间的关系

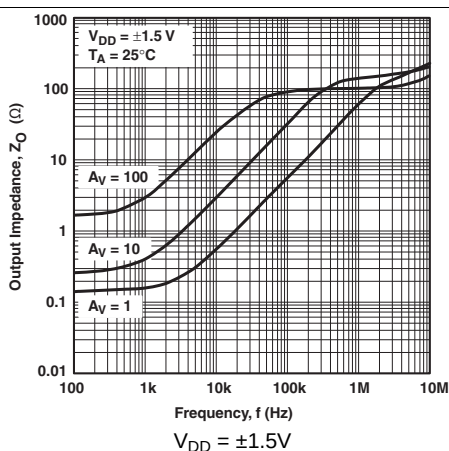


图 15. 输出阻抗与频率间的关系

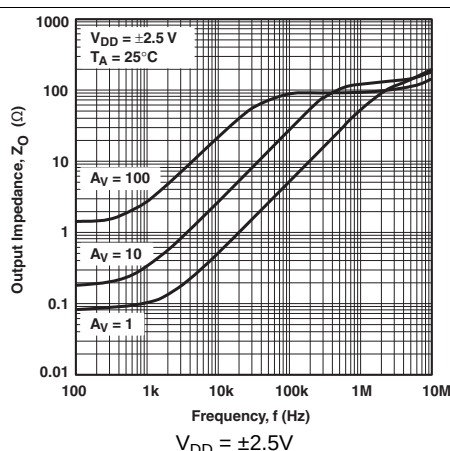


图 16. 输出阻抗与频率间的关系

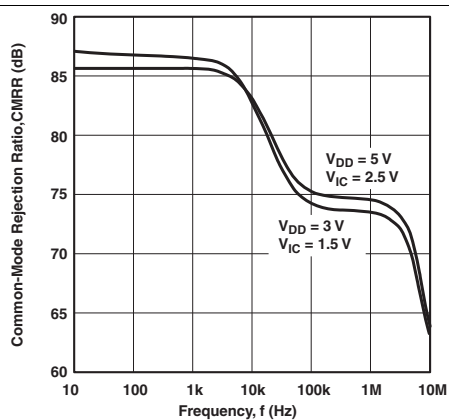


图 17. 共模抑制比与频率间的关系

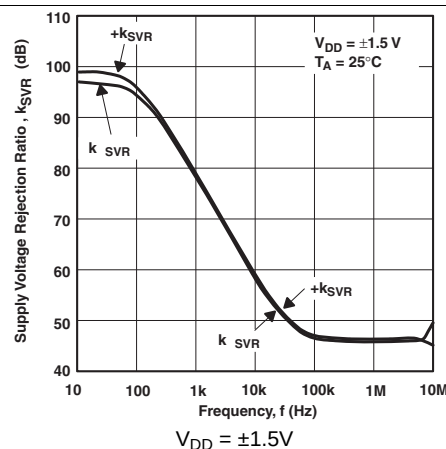


图 18. 电源电压抑制比与频率间的关系

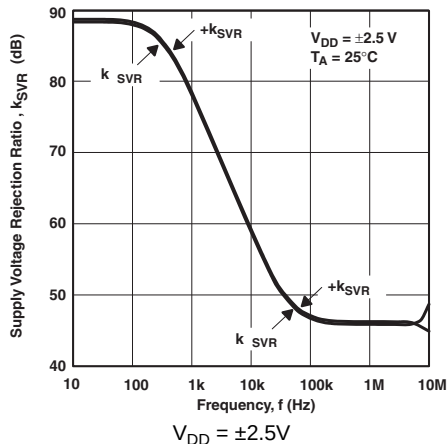


图 19. 电源电压抑制比与频率间的关系

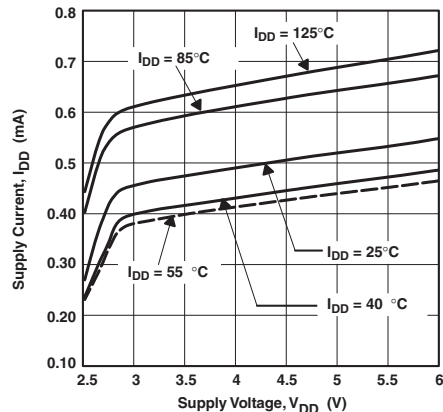


图 20. 电源电流与电源电压间的关系

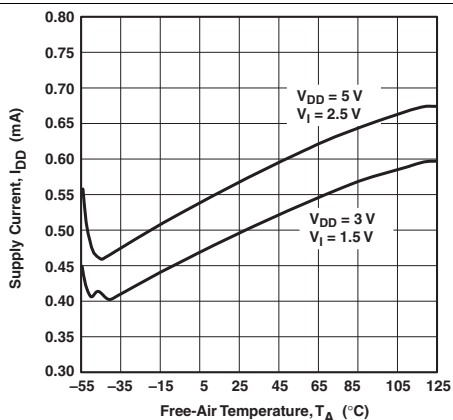


图 21. 电源电流与自然通风温度间的关系

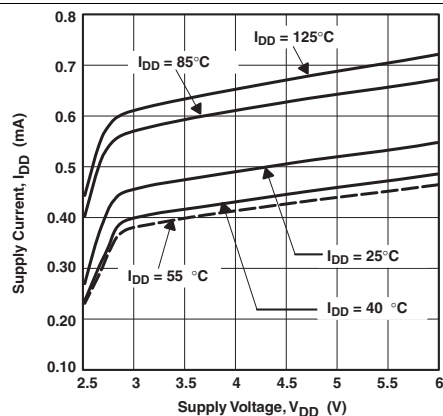


图 22. 放大器的关断脉冲开通特性

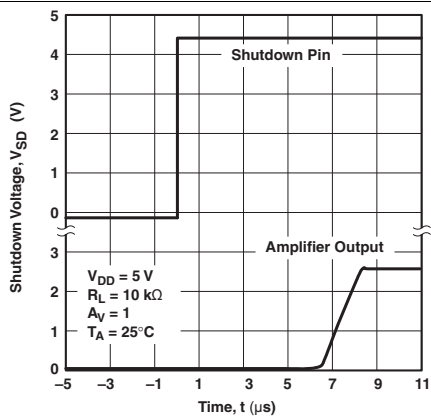


图 23. 放大器的关断脉冲关断特性

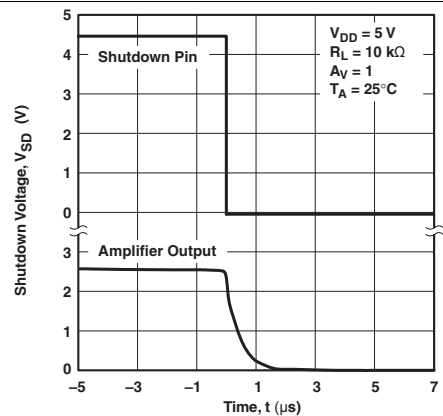


图 24. 关断脉冲开通的电源电流特性

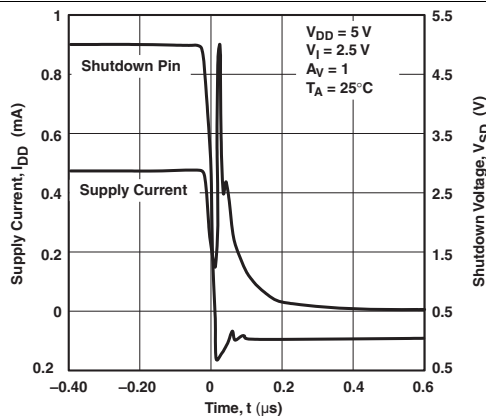


图 25. 关断电源电流与关断脉冲

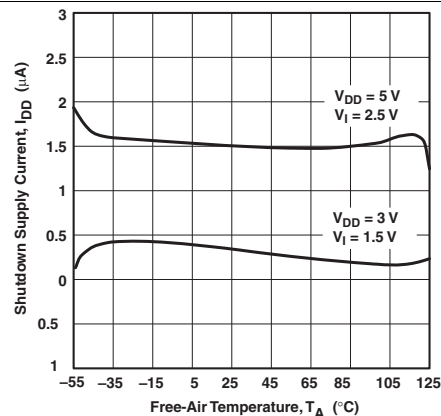


图 26. 关断电源电流与自然通风温度间的关系

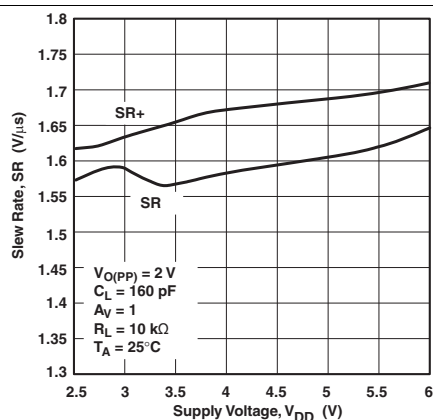


图 27. 压摆率与电源电压间的关系

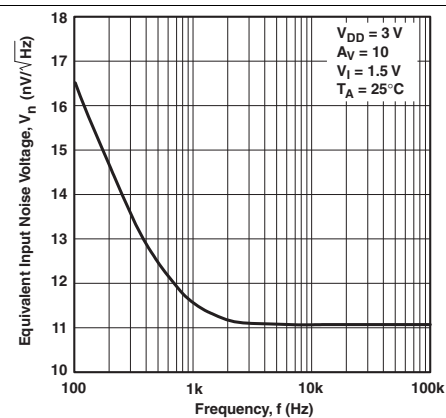


图 28. 等效输入噪声电压与频率间的关系

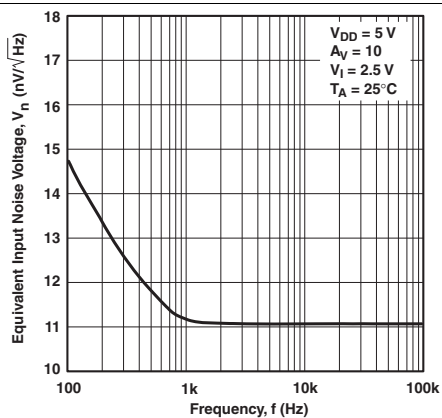


图 29. 等效输入噪声电压与频率间的关系

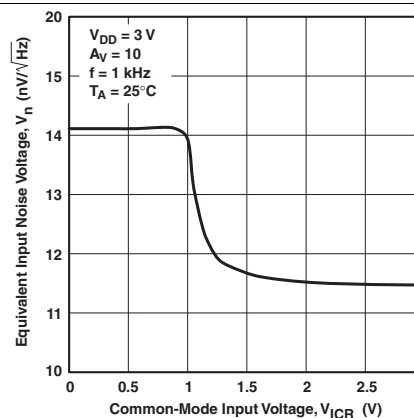


图 30. 等效输入噪声电压与共模输入电压间的关系

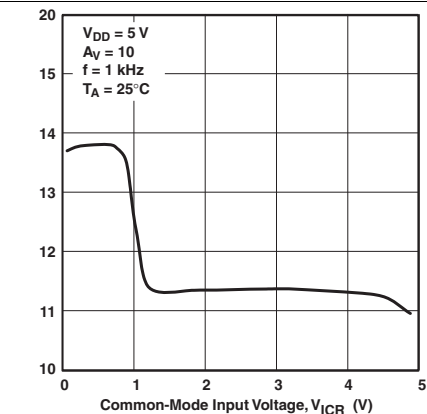


图 31. 等效输入噪声电压与共模输入电压间的关系

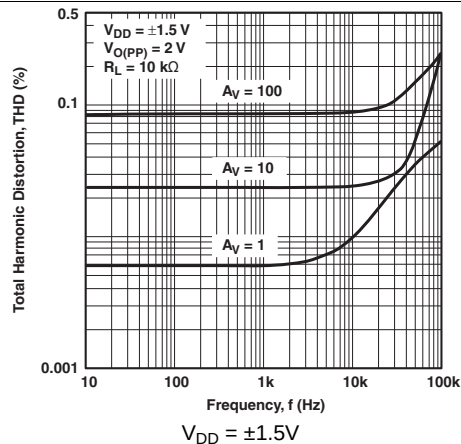


图 32. 总谐波失真与频率间的关系

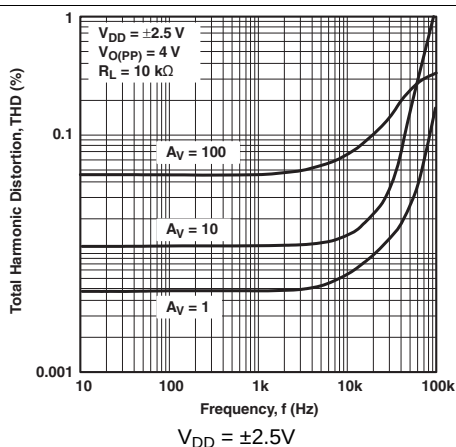


图 33. 总谐波失真与频率间的关系

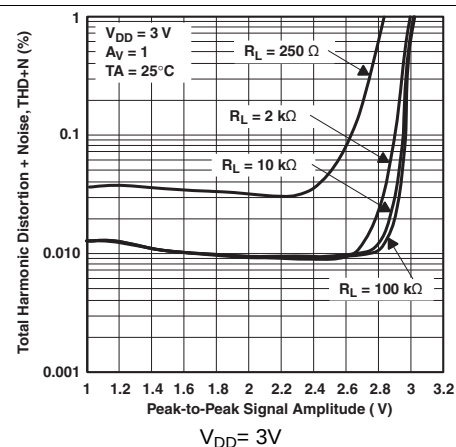


图 34. 总谐波失真加噪声与峰间信号振幅间的关系

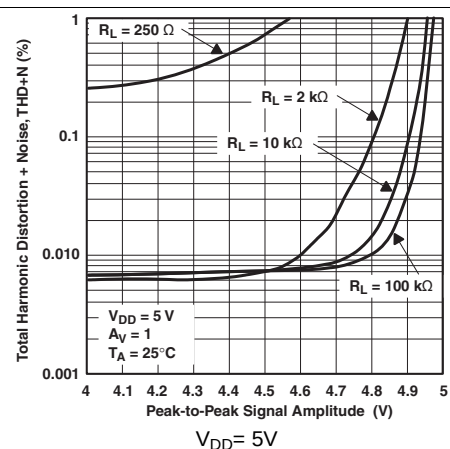


图 35. 总谐波失真加噪声与峰间信号振幅间的关系

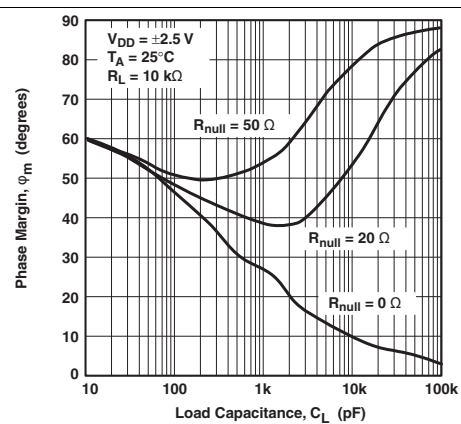


图 36. 相位裕度与负载电容间的关系

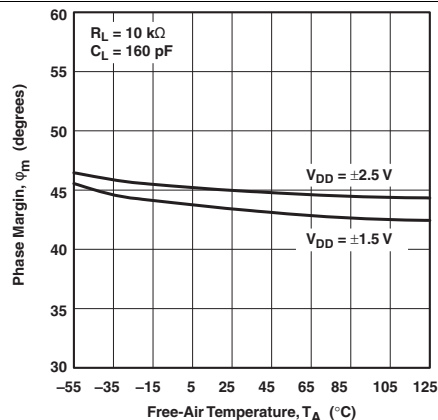


图 37. 相位裕度与自然通风温度间的关系

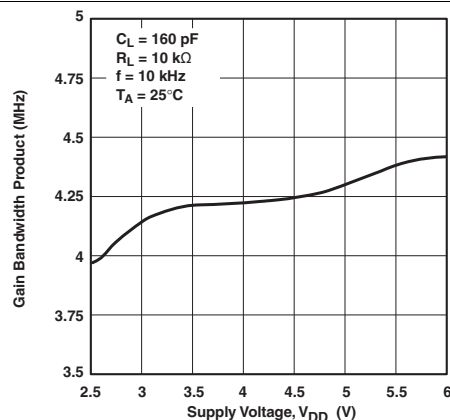


图 38. 增益带宽积与电源电压间的关系

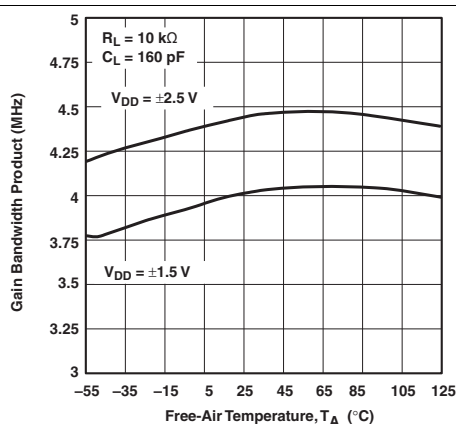


图 39. 增益带宽积与自然通风温度间的关系

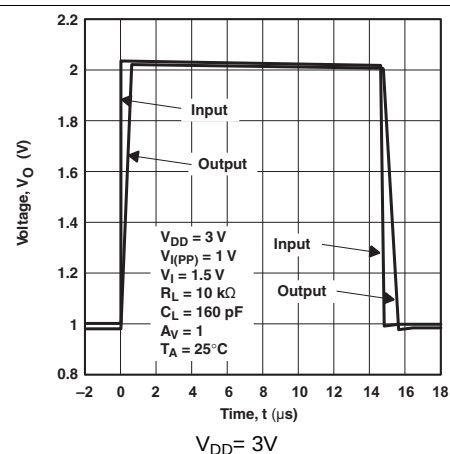


图 40. 大信号跟随器

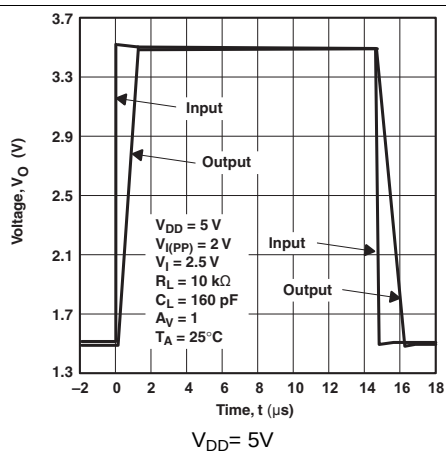


图 41. 大信号跟随器

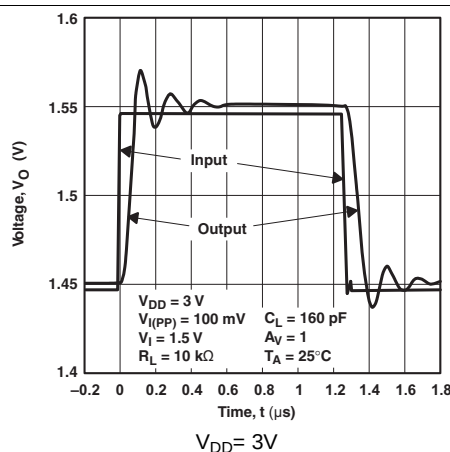


图 42. 小信号跟随器

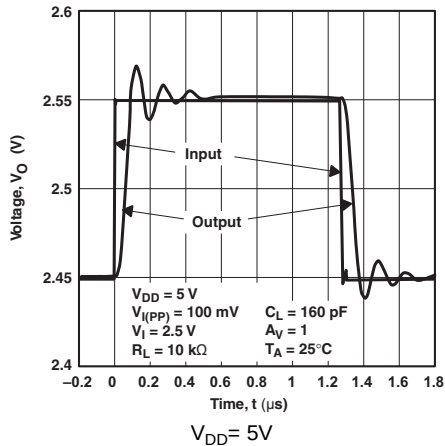


图 43. 小信号跟随器

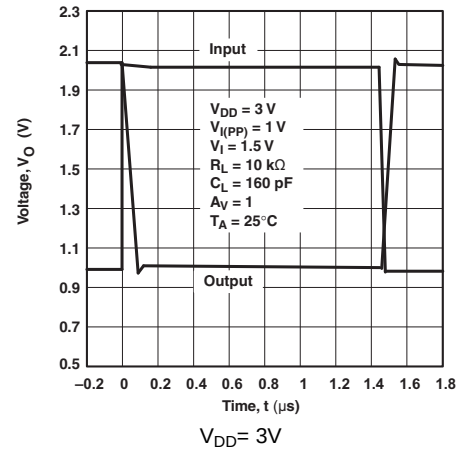


图 44. 反相大信号

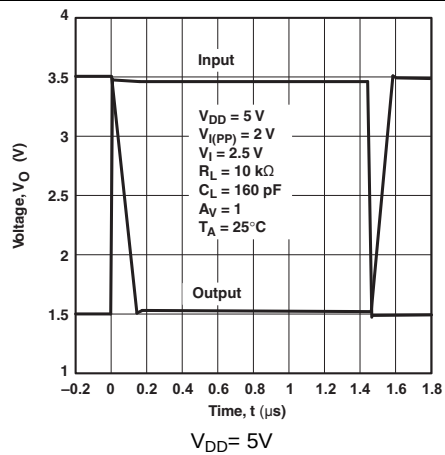


图 45. 反相大信号

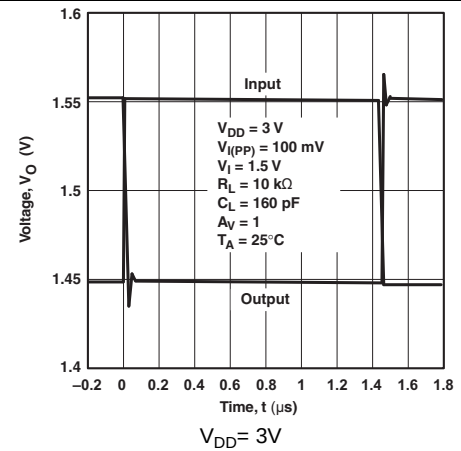


图 46. 反相小信号

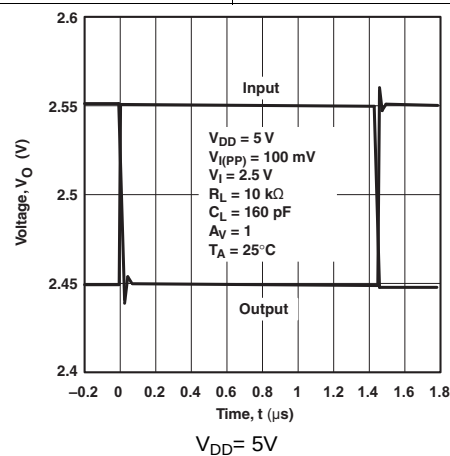


图 47. 反相小信号

7 参数测量信息

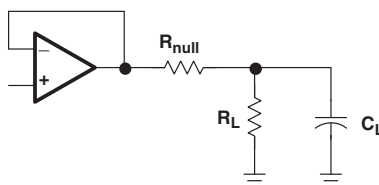


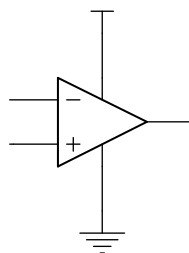
图 48. 容性负载驱动

8 详细 说明

8.1 概要

TLV246x-Q1 系列器件是低功耗、轨至轨输入和输出运算放大器。这些器件的输入共模电压范围在电源轨基础上向外扩展，从而在低电压系统中实现最大动态范围。放大器输出具有轨至轨性能以及高驱动能力，克服了旧式轨至轨输入和输出运算放大器的局限性。

8.2 功能框图



8.3 特性 描述

TLV246x-Q1 系列 具有 6.4MHz 带宽和 11 nV/√Hz 电压噪声，可在整个汽车工作温度范围内 (−40°C 至 +125°C)、在 2.7V 至 6V 额定电压下提供出色性能。此系列专为广泛的汽车 应用而设计。

8.3.1 驱动容性负载

当以这种方式配置放大器时，直接位于输出端的容性负载会降低器件的相位裕度，从而导致高频振铃或振荡。所以，对于大于 10pF 的容性负载，TI 建议将一个电阻器 (R_{NULL}) 与放大器输出端串联，请参阅图 49。20Ω 的最低值适用于大多数 应用。

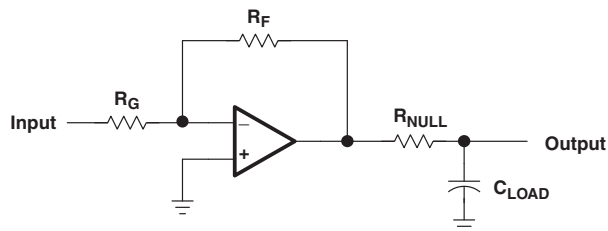
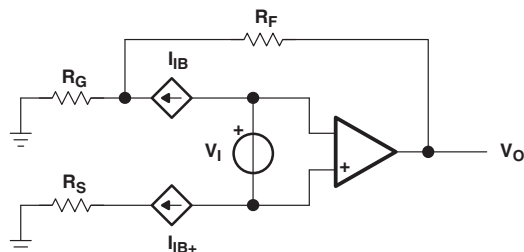


图 49. 驱动容性负载

8.3.2 失调电压

输出失调电压 (V_{OO}) 是输入失调电压 (V_{IO}) 和两个输入偏置电流 (I_{IB}) 乘以相应增益的总和。使用 图 50 中的原理图和公式计算输出失调电压。

特性 描述 (接下页)

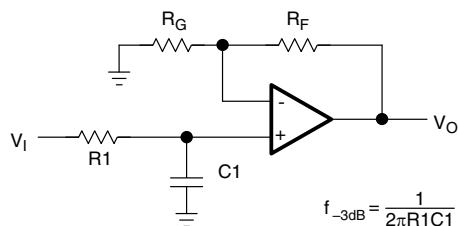


$$V_{OO} = V_{IO} \left(1 + \left(\frac{R_F}{R_G}\right)\right) \pm I_{IB} + R_S \left(1 + \left(\frac{R_F}{R_G}\right)\right) \pm I_{IB} - R_F$$

图 50. 输出失调电压模型

8.3.3 一般配置

当接收到低电平信号时，通常需要限制即将进入系统的信号的带宽。限制带宽的方法是在放大器的同相端子上放置一个 RC 滤波器（请参阅图 51）。

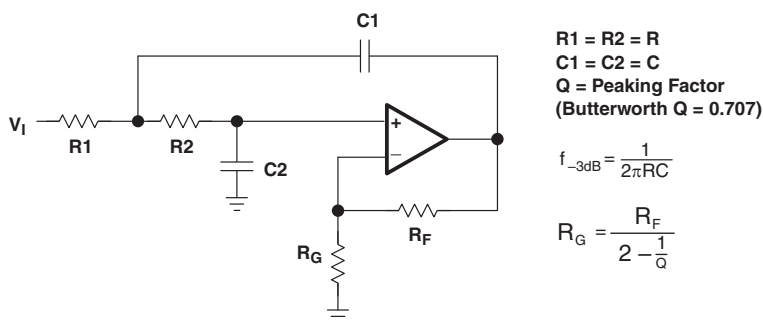


$$f_{-3dB} = \frac{1}{2\pi R_1 C_1}$$

$$\frac{V_O}{V_I} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1 C_1}\right)$$

图 51. 单极点低通滤波器

如果需要更多的衰减，则需要多极点滤波器。可使用 Sallen-Key 滤波器完成此项工作；请参阅图 52。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的八到十倍。不遵守此项要求可能导致放大器出现相移。



$R_1 = R_2 = R$
 $C_1 = C_2 = C$
 $Q = \text{Peaking Factor}$
(Butterworth $Q = 0.707$)

$$f_{-3dB} = \frac{1}{2\pi RC}$$

$$R_G = \frac{R_F}{2 - \frac{1}{Q}}$$

图 52. 二极低通 Sallen-Key 滤波器

特性 描述 (接下页)

8.3.4 一般功率损耗注意事项

对于给定 θ_{JA} 值，最大功率损耗如图 53 中所示，通过公式 1 计算：

$$P_D = \left(\frac{T_{MAX} - T_A}{\theta_{JA}} \right)$$

其中：

- P_D = TLV246x-Q1 的最大功率损耗 (瓦特)
- T_{MAX} = 最大结温绝对值 (150°C)
- T_A = 自然通风环境温度 (°C)
- $\theta_{JA} = \theta_{JC} + \theta_{CA}$
- θ_{JC} = 结至外壳的热系数
- θ_{CA} = 外壳至环境空气的热系数 (°C/W)

(1)

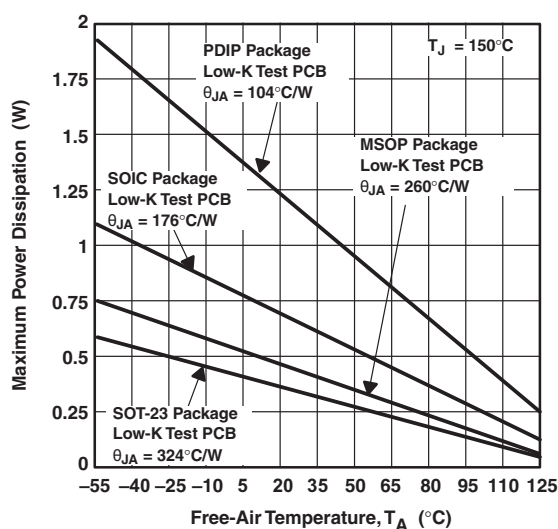


图 53. 最大功率损耗与自然通风温度间的关系

8.4 器件功能模式

TLV2461-Q1、TLV2462-Q1 和 TLV2464A-Q1 器件会在连接电源时通电。这些器件可根据应用情况通过单电源或双电源供电运行。这些器件在电源高于推荐值时可实现全面性能。TLV2460-Q1 和 TLV2463-Q1 器件具有关断模式，在关断模式下可将静态电流减小至 0.3μA。

8.4.1 关断功能

TLV246x-Q1 系列中的两个产品 (TLV2460-Q1 和 TLV2463-Q1) 具有一个关断端子，延长了便携式应用中的电池寿命。当关断端子被绑定为低电平时，电源电流降至 0.3μA/通道，放大器被禁用，输出置于高阻抗模式。要启用放大器，请将关断端子置于浮动状态，或将关断端子拉至高电平。当关断端子处于浮动状态时，应确保关断端子上的寄生泄漏电流不会无意中将运算放大器置于关断状态。关断端子阈值始终以 $V_{DD} / 2$ 为基准。因此，当器件采用双电源电压供电 (例如 $\pm 2.5V$) 时，关断端子的电平必须拉至 V_{DD-} (非 GND) 以禁用运算放大器。

具有关断脉冲的放大器输出如 图 22、图 23、图 24 和 图 25 中所示。每个放大器都采用 5V 单电源供电，并配置为增益为 5 的同相配置。放大器导通和关断时间从关断脉冲的 50% 点到输出波形的 50% 点测得。数据表中列出了单路、双路和四路的时间。

9 应用和实现

注

以下应用部分中的 信息 不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

大多数直流到直流转换器都使用具有极低等效串联电阻（ESR）的输出滤波器陶瓷电容器。这会导致在共振频率 $\frac{1}{2\pi\sqrt{LC}}$ 时出现双极。

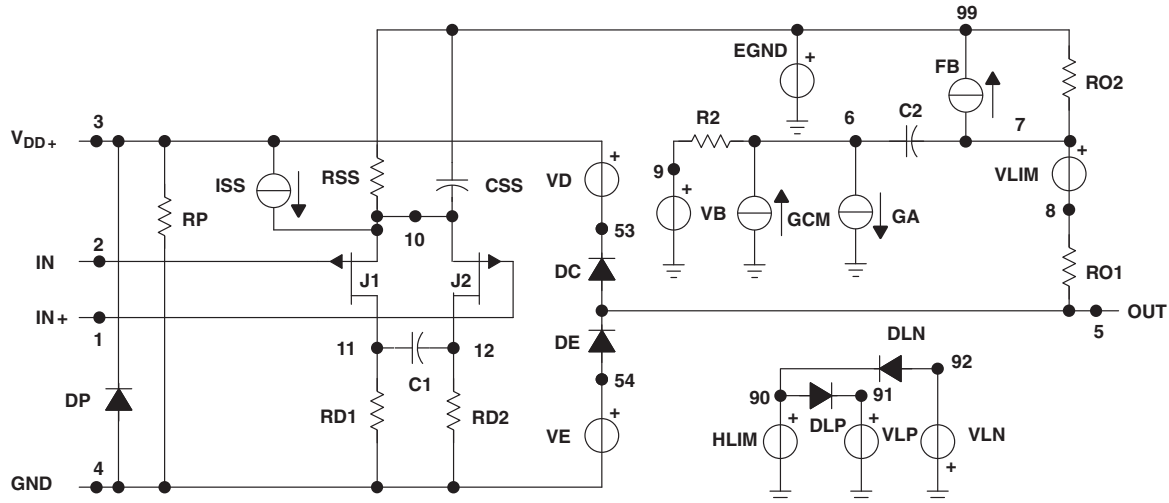
要为直流到直流转换器实现足够的带宽和相位裕度，器件需要在 $\frac{1}{2\pi\sqrt{LC}}$ 共振频率上下获得补偿。为此，将误差放大器配置为 3 类补偿。TLV2426x-Q1 系列 具有 6MHz 的宽带宽 UGBD 以及轨至轨输出，可实现更大的动态范围。这些 特性 专为采用任意 LC 滤波器的直流到直流环路补偿而设计。

9.1.1 精简模型信息

提供的精简模型信息通过使用 Microsim Parts™ 第 8 版（一款与 Microsim PSpice™ 一起使用的模型生成软件）推导而出。Boyle 精简模型⁽¹⁾和图 54 中的子电路通过利用 $T_A = 25^\circ\text{C}$ 时的 TLV246x-Q1 典型电气和工作特性产生。使用这些信息，可使以下关键参数的输出仿真达到 20% 容差（在大多数情况下）：

(1) G. R. Boyle、B. M. Cohn、D. O. Pederson 和 J. E. Solomon，“集成电路运算放大器的宏模型”，《IEEE 固态电路杂志》，SC-9，353（1974 年）。

- | | |
|---|---|
| <ul style="list-style-type: none"> • 最大正输出电压摆幅 • 最大负输出电压摆幅 • 压摆率 • 静态功率损耗 • 输入偏置电流 • 开环电压放大 | <ul style="list-style-type: none"> • 单位增益频率 • 共模抑制比 • 相位裕度 • 直流输出电阻 • 交流输出电阻 • 短路输出电流限制 |
|---|---|



```
.SUBCKT TLV246X 1 2 3 4 5
C1 11 12 2.46034E-12
C2 6 7 10.0000E-12
CSS 10 99 443.21E-15
DC 5 53 DY
DE 54 5 DY
DLP 90 91 DX
DLN 92 90 DX
DP 4 3 DX
EGND 99 0 POLY (2) (3,0) (4,0) 0 .5 .5
FB 7 99 POLY (5) VB VC VE VLP
+ VLN 0 21.600E6 - 1E3 1E3 22E6 - 22E6
GA 6 0 11 12 345.26E- 6
GCM 0 6 10 99 15.422E- 9
ISS 10 4 DC 18.850E- 6
HLIM 90 0 VLIM 1K
J1 11 2 10 JX1
J2 12 1 10 JX2
R2 6 9 100.00E3
```

```
RD1 3 11 2.8964E3
RD2 3 12 2.8964E3
RO1 8 5 5.6000
RO2 7 99 6.2000
RP 3 4 8.9127
RSS 10 99 10.610E6
VB 9 0 DC 0
VC 3 53 DC .7836
VE 54 4 DC .7436
VLIM 7 8 DC 0
VLP 91 0 DC 117
VLN 0 92 DC 117
.MODEL DX D (IS=800.00E-18)
.MODEL DY D (IS=800.00E-18 Rs = 1m Cjo=10p)
.MODEL JX1 NJF (IS=1.0000E-12 BETA=6.3239E-3
+ VTO=-1)
.MODEL JX2 NJF (IS=1.0000E-12 BETA=6.3239E-3
+ VTO=-1)
.ENDS
```

```
.subckt TLV_246Y 1 2 3 4 5 6
c1 11 12 2.4603E-12
c2 72 7 10.000E-12
css 10 99 443.21E-15
dc 70 53 dy
de 54 70 dy
dip 90 91 dx
din 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0
21.600E6 - 1E3 1E3 22E6 - 22E6
ga 72 0 11 12 345.26E- 6
gcm 0 72 10 99 15.422E- 9
iss 74 4 dc 18.850E- 6
hlim 90 0 vlum 1K
j1 11 2 10 jx1
j2 12 1 10 jx2
r2 72 9 100.00E3
rd1 3 11 2.8964E3
rd2 3 12 2.8964E3
ro1 8 70 5.6000
ro2 7 99 6.2000
```

```
rp 3 71 8.9127
rss 10 99 10.610E6
rs1 6 4 1G
rs2 6 4 1G
rs3 6 4 1G
rs4 6 4 1G
s1 71 4 6 4 s1x
s2 70 5 6 4 s1x
s3 10 74 6 4 s1x
s4 74 4 6 4 s2x
vb 9 0 dc 0
vc 3 53 dc .7836
ve 54 4 dc .7436
vlum 7 8 dc 0
vlp 91 0 dc 117
vln 0 92 dc 117
.model dx D(Is=800.00E-18)
.model dy D(Is=800.00E-18 Rs=1m Cjo=10p)
.model jx1 NJF(Is=1.0000E-12 Beta=6.3239E-3 Vto=-1)
.model jx2 NJF(Is=1.0000E-12 Beta=6.3239E-3 Vto=-1)
.model s1x VSWITCH(Roff=1E8 Ron=1.0 Voff=2.5 Von=0.0)
.model s2x VSWITCH(Roff=1E8 Ron=1.0 Voff=0 Von=2.5)
.ends
```

图 54. Boyle 精简模型和子电路

9.2 典型应用

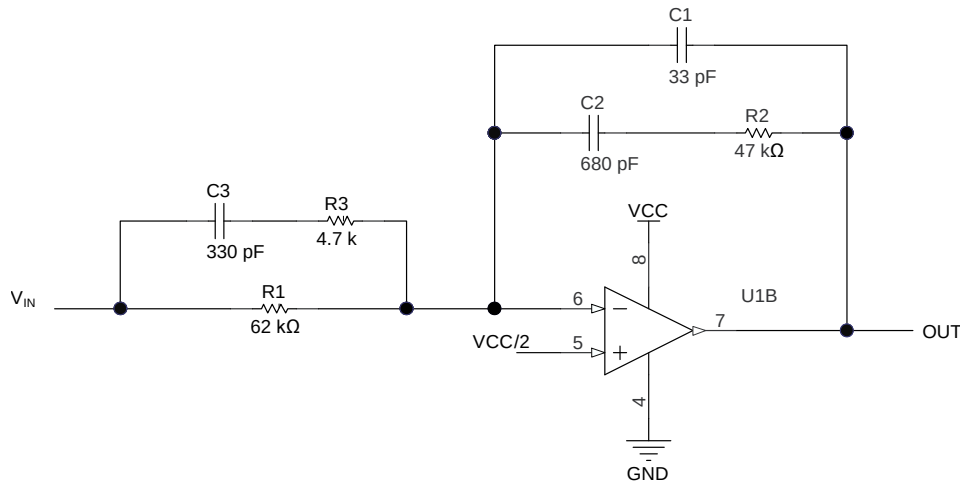


图 55. 典型运算放大器应用

9.2.1 设计要求

请参阅表 2 了解设计要求。

表 2. 建议的设计参数

参数	值
电源电压	5V
基准电压	2.5V
输入电压	2.5V 直流和最大纹波电压 40mV (峰间值)
电容器	优于 X5R
电阻器	优于 2% 容差

9.2.2 详细设计流程

以下部分显示了详细设计流程。请参阅公式 2 了解 3 类补偿增益。

$$\text{Type 3 Compensation Gain} = \frac{(1 + R2C2s)(1 + (R1 + R3)C3s)}{R1(C1 + C2)s(1 + R2 \frac{C1C2}{C1 + C2}s)(1 + R3Cs)} \quad (2)$$

3 类补偿极点和零点如首选渐近图所示；请参阅图 56。根据补偿要求更改电阻器和电容器的值，从而重新定位补偿极点和零点。由于放大器的开环增益和相位限制，运算放大器无法实现首选情况。

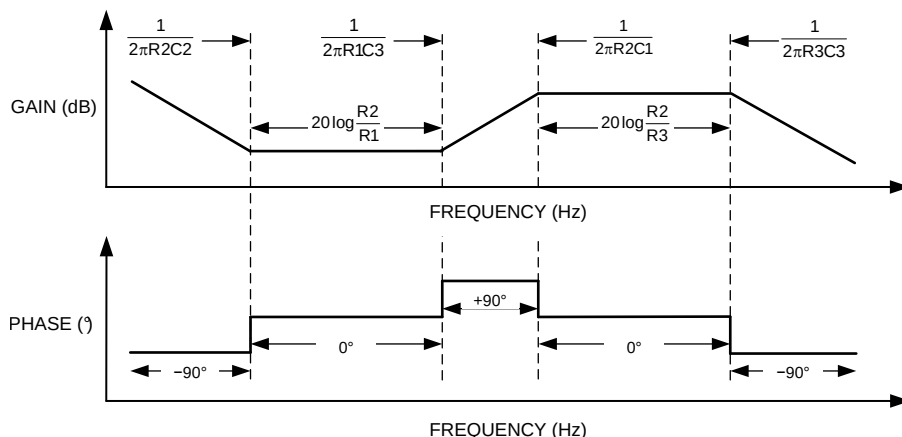


图 56. 首选渐进图

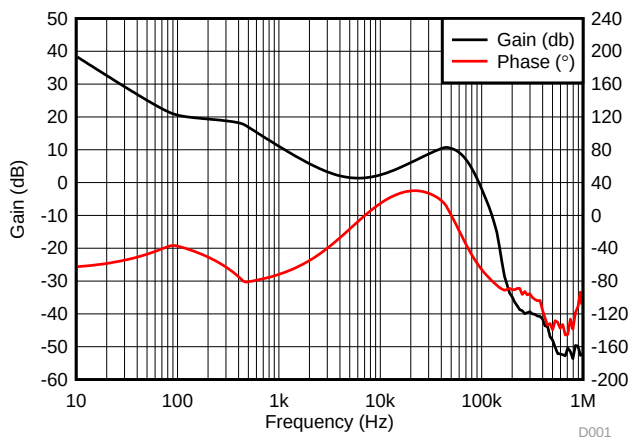
假设 $C_2 \gg C_1$ 且 $R_1 \gg R_3$ ，计算极点和零点。 C_1 和 R_3 组件设置了高频率，因此此假设正确。

TLV226x-Q1 器件 3 类补偿电路设计在 30KHz 共振频率上下提高了直流到直流转换器的增益和相位。对于输出滤波器，这相当于 $1\mu\text{H}$ 和 $22\mu\text{F}$ 。

通过省去 C_3 电容器，将运算放大器配置为 2 类补偿。2 类通过输出电容器与串联电阻器 ESR 来补偿直流到直流转换器；请参阅公式 3。

$$\text{Type 2 Compensation Gain} = \frac{(1 + R_2 C_2 s)}{R_1 (C_1 + C_2) s (1 + R_2 \frac{C_1 C_2}{C_1 + C_2} s)} \quad (3)$$

9.2.3 应用曲线



频率：10Hz 至 1MHz

增益提升 = 30KHz 左右时为 12dB

相位提升 = 30KHz 左右时为 30°

图 57. 增益和相位图

10 电源建议

TLV246X-Q1 系列器件的额定工作电压范围为 2.7V 至 6V (对于单电源) 和 $\pm 1.35\text{V}$ 至 $\pm 3\text{V}$ (对于双电源) 。

TI 建议将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，从而在从高噪声电源或高阻抗电源耦合的过程中减少误差。

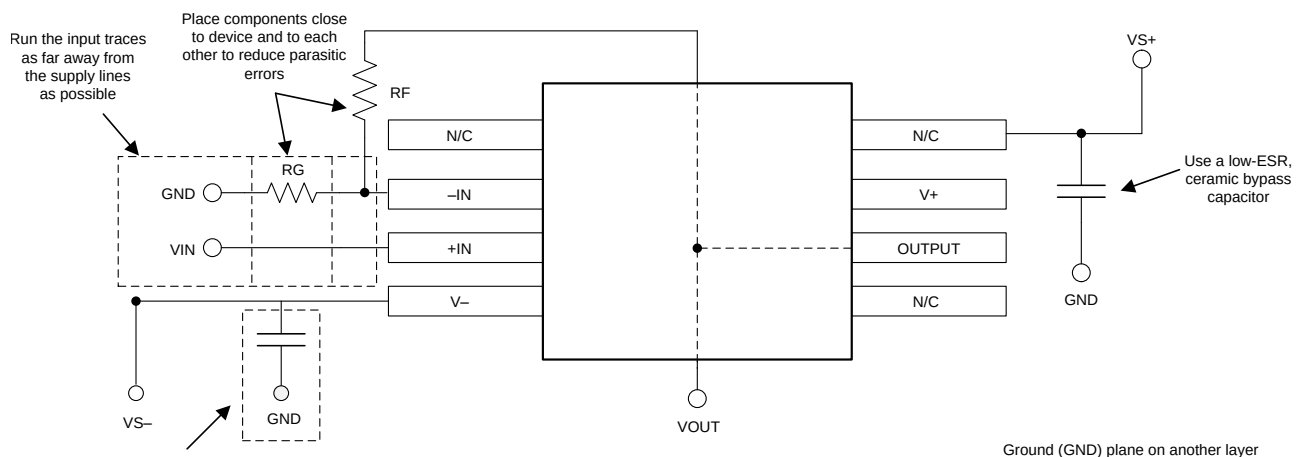
11 布局

11.1 布局指南

为了达到 TLV246x-Q1 的高性能水平，应遵循正确的印刷电路板设计方法。以下列表给出了一组通用的准则。

- TI 建议在电路板上使用接地平面来为所有组件提供低电感接地连接。但是，在放大器输入和输出区域，可移除接地平面以便最大程度地减小杂散电容。
- 在每个电源端子上用一个 6.8 μ F 钽电容器与一个 0.1 μ F 陶瓷电容器并联。根据应用情况，也许可以在若干放大器之间共享钽电容器，但每个放大器的电源端子上必须始终使用 0.1 μ F 陶瓷电容器。另外，0.1 μ F 电容器必须尽可能靠近电源端子。随着此距离增大，连接迹线中的电感会降低电容器效率。设计人员必须力求使器件电源端子和陶瓷电容器之间的距离小于 0.1 英寸。
- TI 不建议使用插槽。插座引脚中的额外引线电感常常会导致稳定性问题。将表面贴装式封装直接焊接到印刷电路板上是最好的实施方式。
- 当杂散串联电感最小时，即可实现最佳的性能。电路布局必须尽可能紧凑，进而最大程度地缩短所有迹线的长度。应注意放大器的反相输入端，应尽可能缩短其长度。这有助于最大限度减小放大器输入端的杂散电容。
- TI 建议对高性能放大器电路使用表面贴装无源组件。由于表面贴装组件的引线电感较低，因此减少了杂散串联电感问题。表面贴装组件的小尺寸特性会使布局更紧凑，进而最大程度地减小杂散电感和电容。如果使用引线式组件，TI 建议尽可能缩短引线长度。

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 58. 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), 《音频电路集合 (第 1 部分)》
- G. R. Boyle、B. M. Cohn、D. O. Pederson 和 J. E. Solomon, “集成电路运算放大器的宏模型”, 《IEEE 固态电路杂志》, SC-9, 353 (1974 年)。

12.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 3. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
TLV2460-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2461-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2462-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2463-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2460A-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2461A-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2462A-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2463A-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2464A-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 TI 的工程师对工程师 (E2E) 社区。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 TI 参考设计支持 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.4 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.5 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.6 术语表

SLYZ022 — TI 术语表。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2460AQPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2460AQ
TLV2460AQPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2460AQ
TLV2461AQPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2461AQ
TLV2461AQPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2461AQ
TLV2462AQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462AQPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462AQ
TLV2462QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	QVM
TLV2462QDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	QVM
TLV2462QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QDRG4Q1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2462QPWRG4Q1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2462Q1
TLV2463AQPWRG4Q1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2463AQ1
TLV2463AQPWRG4Q1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2463AQ1
TLV2463AQPWRG4Q1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2463AQ1
TLV2464AQPWRG4Q1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2464AQ
TLV2464AQPWRG4Q1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2464AQ
TLV2464AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2464AQ
TLV2464AQPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V2464AQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV2460A-Q1, TLV2461A-Q1, TLV2462-Q1, TLV2462A-Q1, TLV2463A-Q1, TLV2464A-Q1 :

- Catalog : [TLV2460A](#), [TLV2461A](#), [TLV2462](#), [TLV2462A](#), [TLV2463A](#), [TLV2464A](#)
- Enhanced Product : [TLV2462A-EP](#), [TLV2464A-EP](#)
- Military : [TLV2462M](#), [TLV2462AM](#), [TLV2463AM](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

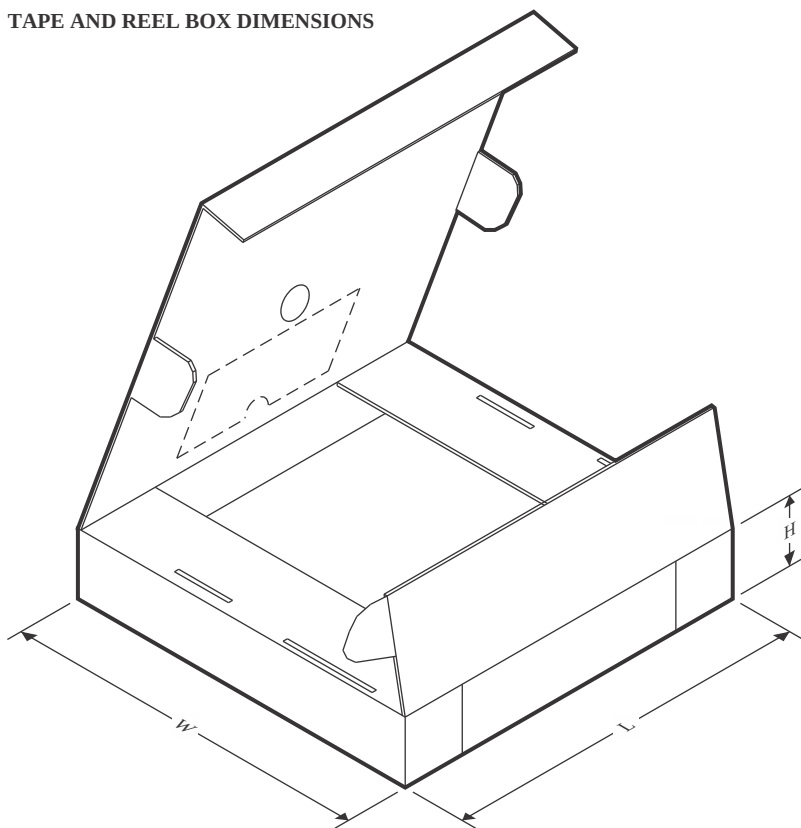
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2460AQPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2461AQPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2462AQPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2462AQPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2462QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2462QPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2463AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2464AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2460AQPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2461AQPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2462AQPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2462AQPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2462QDGKRQ1	VSSOP	DGK	8	2500	346.0	346.0	29.0
TLV2462QPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2463AQPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2464AQPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



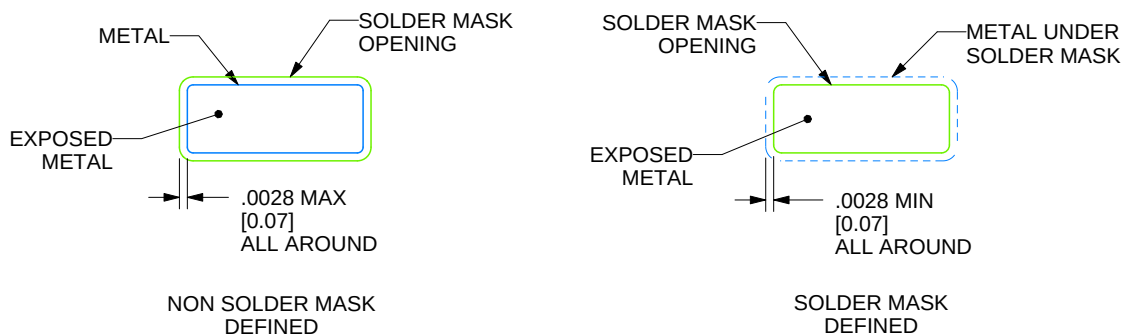
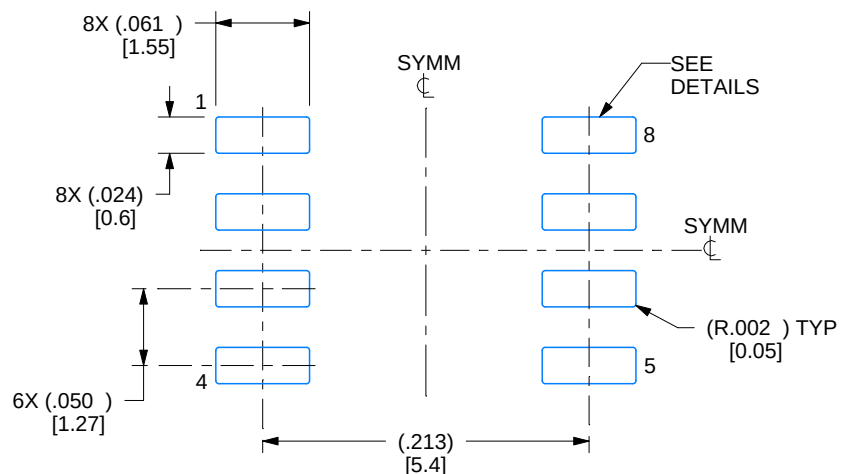
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

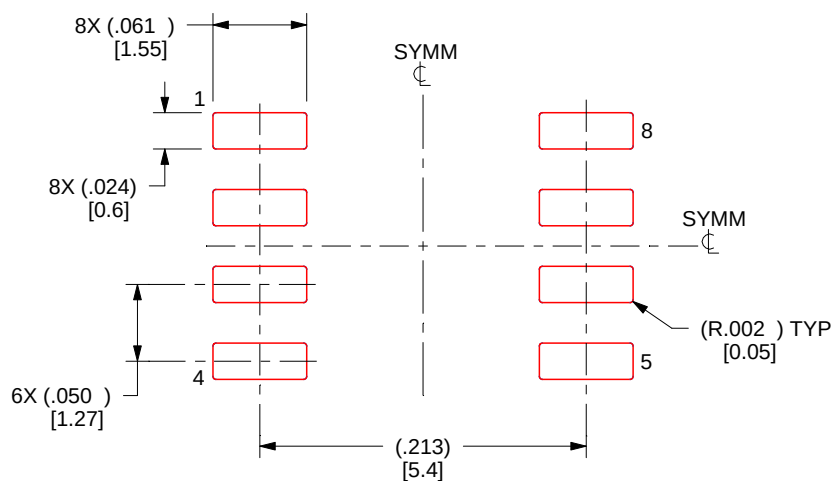
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

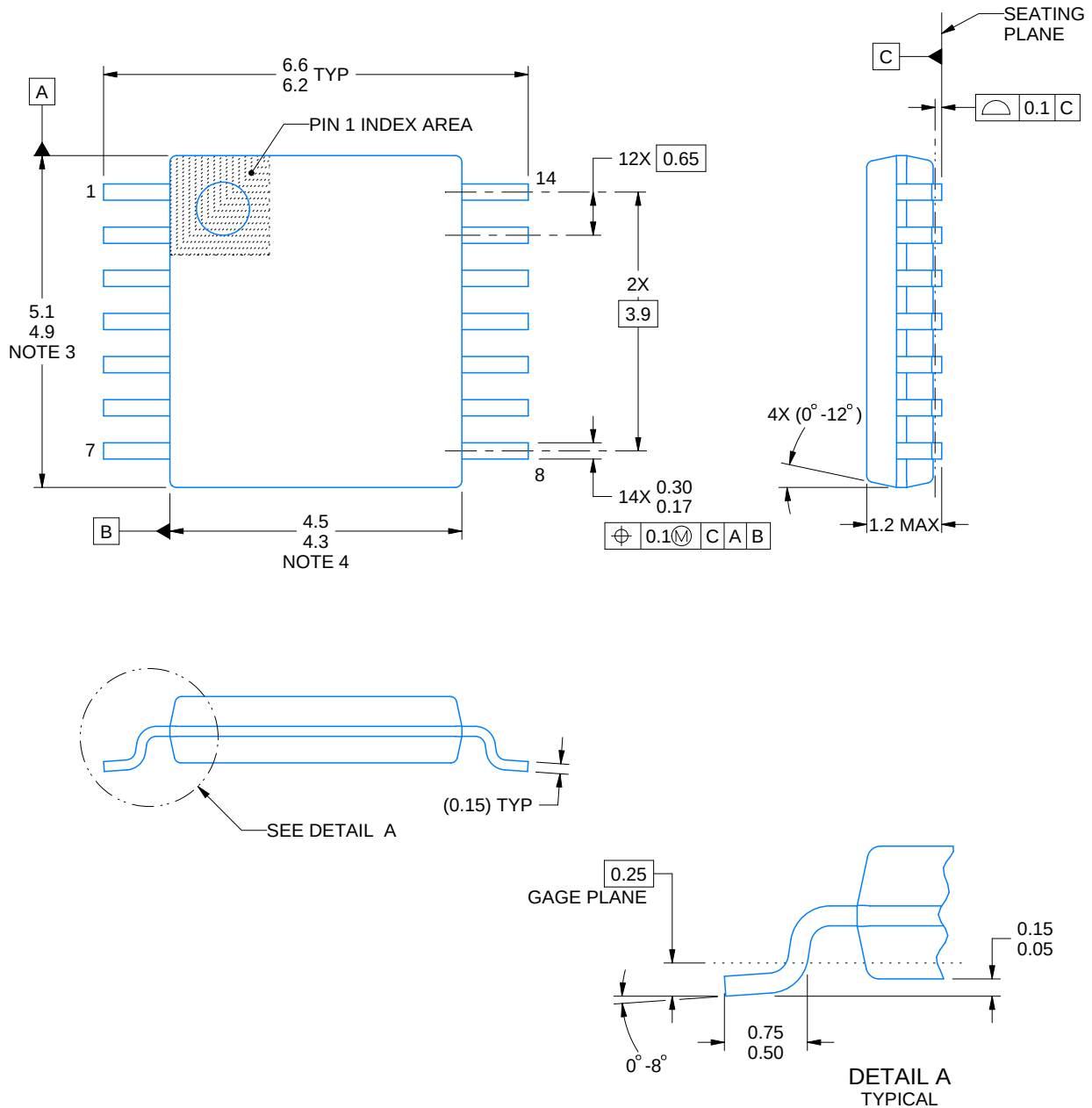
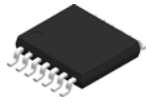


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

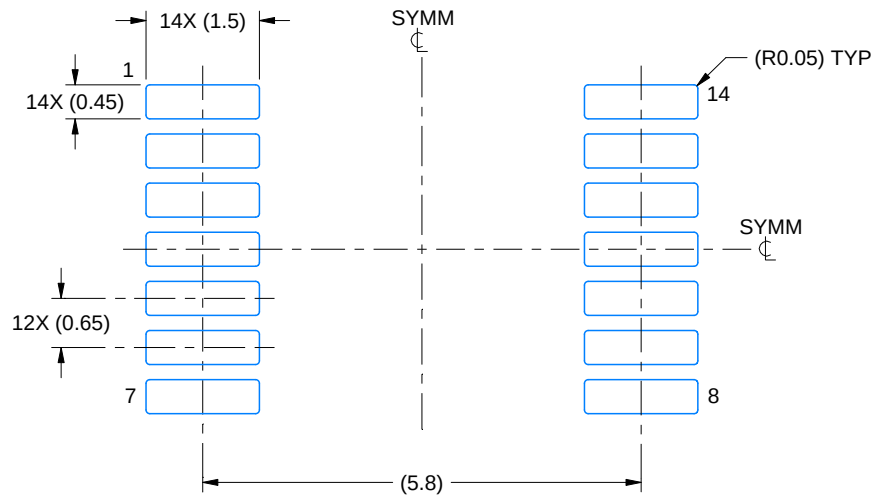
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

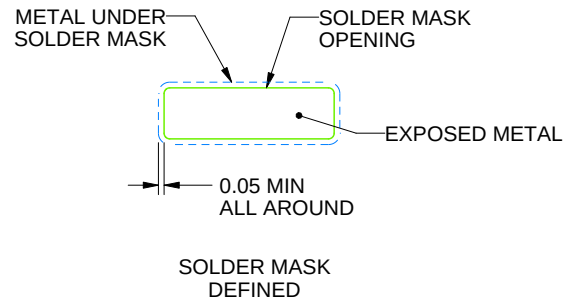
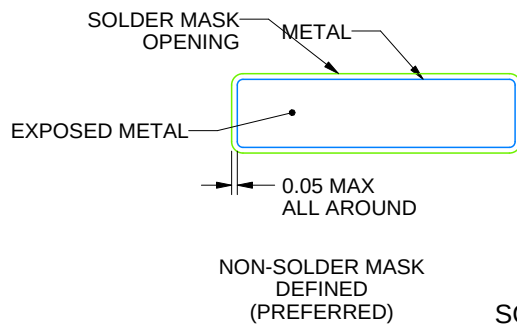
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

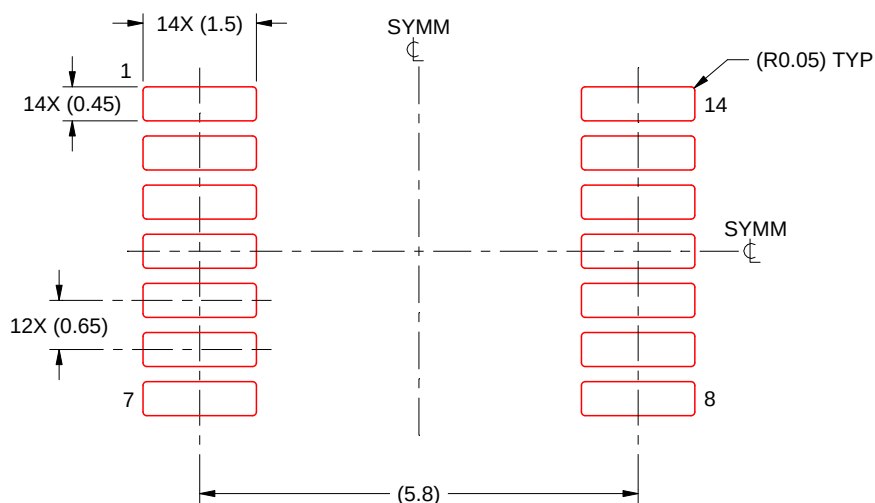
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

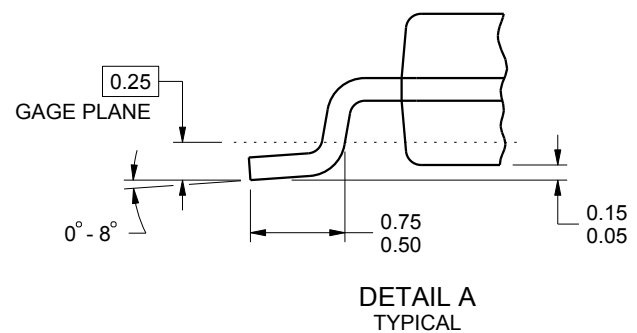
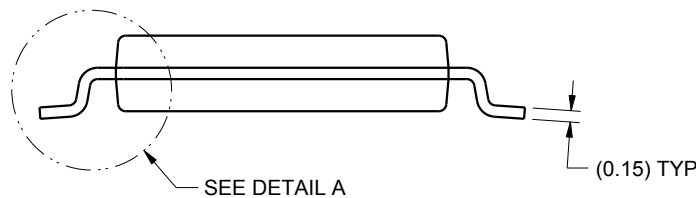
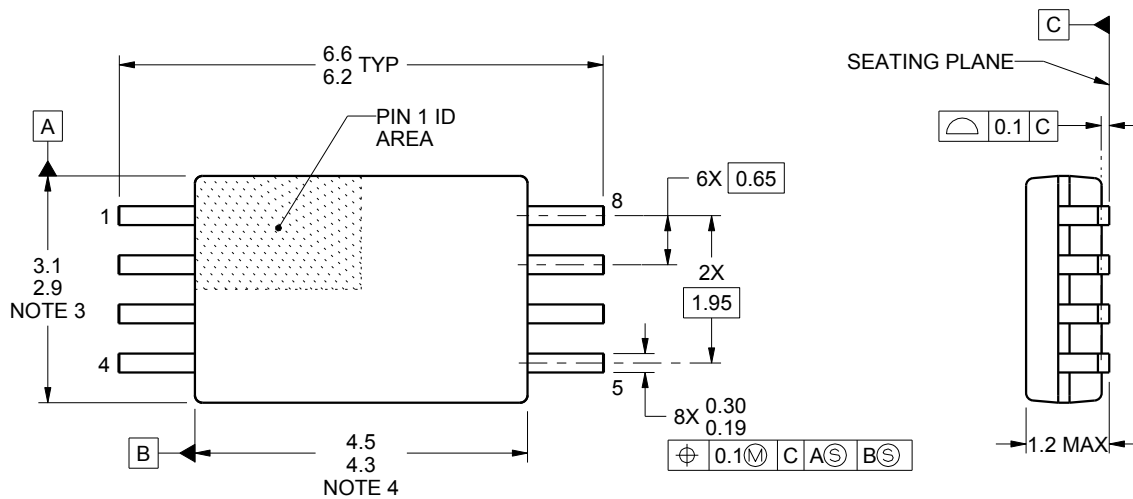
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

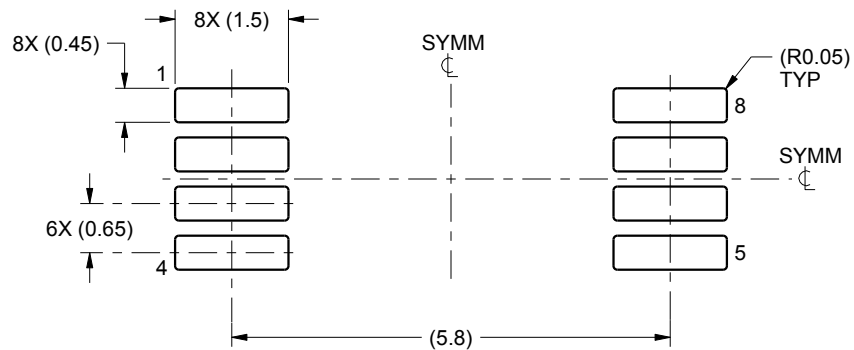
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

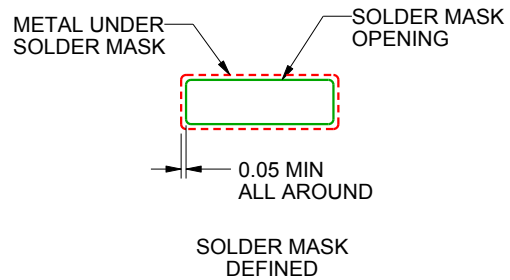
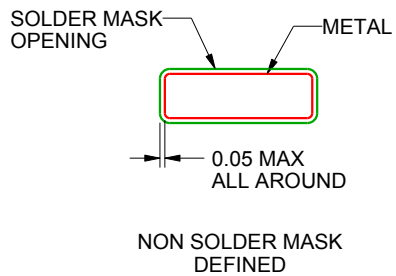
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

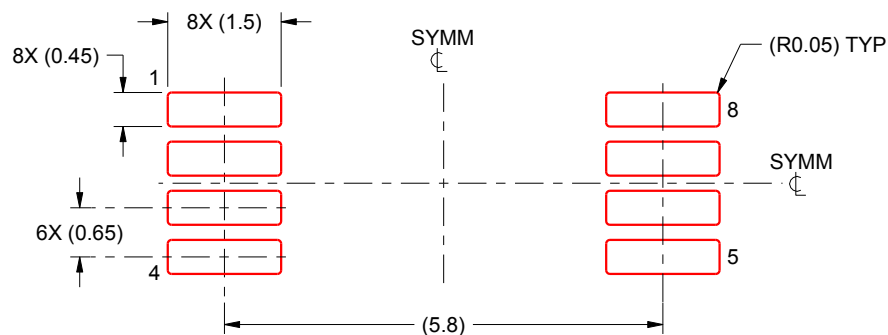
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

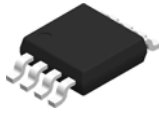


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

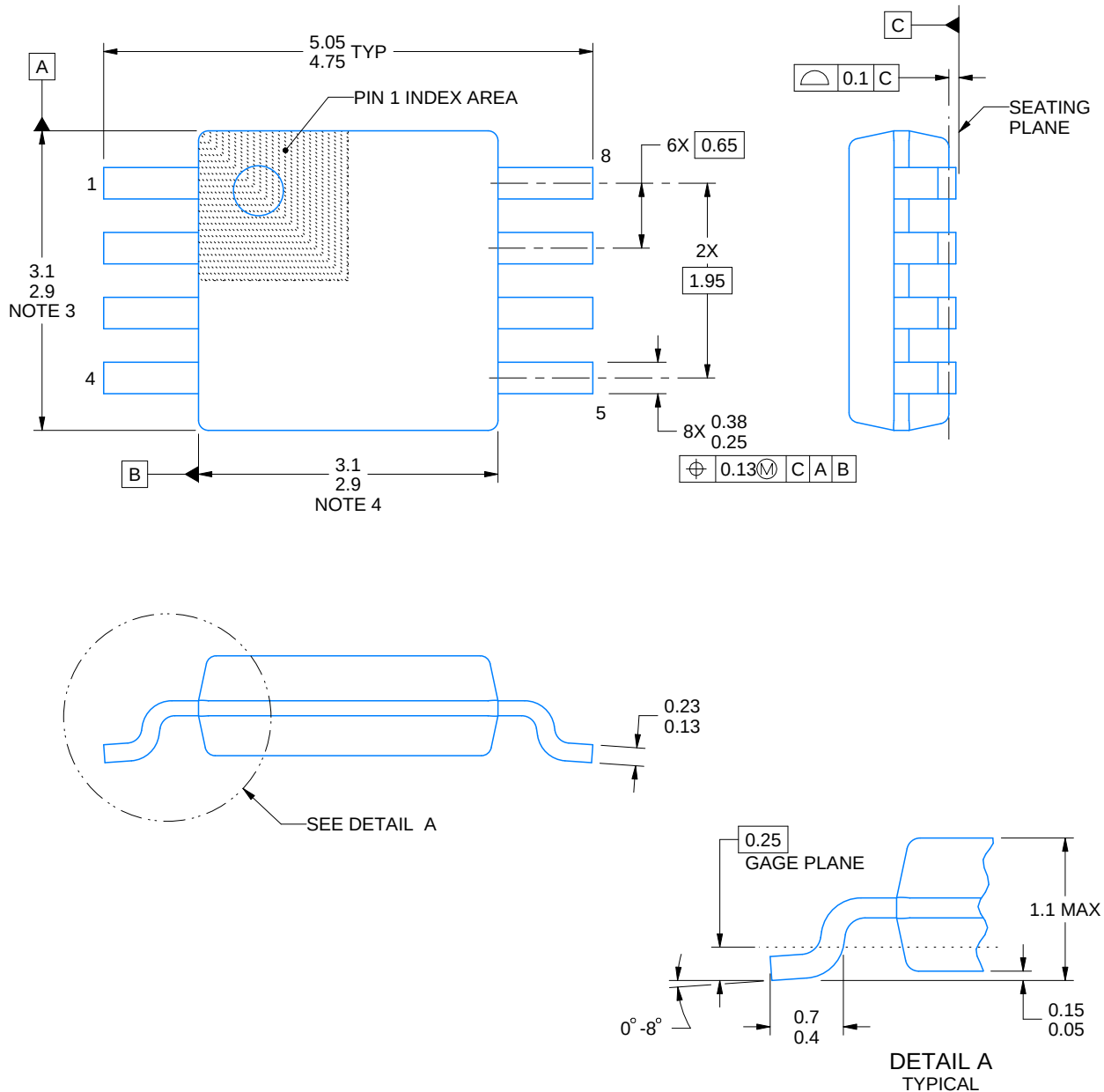
4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A**PACKAGE OUTLINE****VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

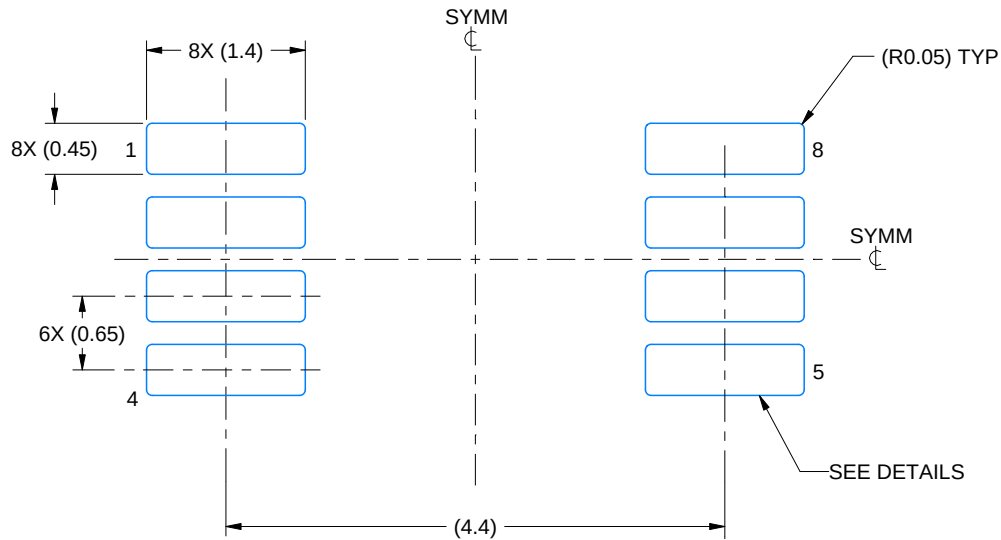
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

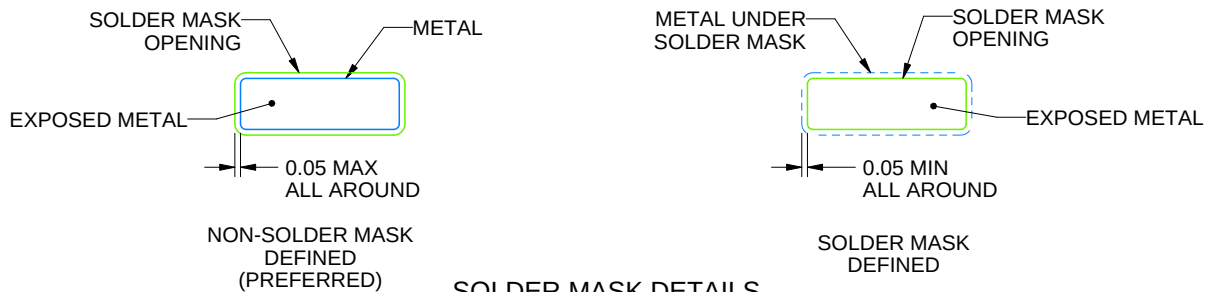
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

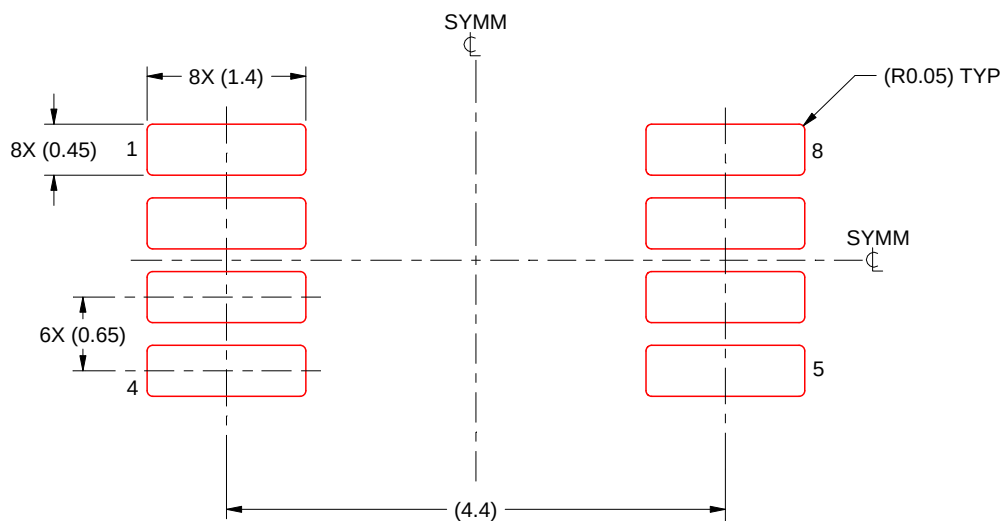
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司