

TLV243x-Q1 高级 LinCMOS™ 轨到轨输出、宽输入电压运算放大器

1 特性

- 符合汽车应用要求
- ESD 保护超过 2000V (根据 MIL-STD-883 方法 3015) ; 超过 200V (使用机器模型, $C = 200\text{pF}$, $R = 0$)
- 输出摆幅包括两个电源轨
- 扩宽的共模输入电压范围: 5V 单电源时为 0V 至 4.5V (最小值)
- 无相位反转
- 低噪声: $f = 1\text{kHz}$ 时为 $18\text{nV}/\sqrt{\text{Hz}}$ (典型值)
- 低输入失调电压: $T_A = 25^\circ\text{C}$ (TLV243xA-Q1) 时为 $950\text{ }\mu\text{V}$ (最大值)
- 低输入偏置电流: 1pA (典型值)
- 超低电源电流: 每通道 $125\text{ }\mu\text{A}$ (最大值)
- 600Ω 输出驱动
- 包括宏模型

2 应用

- 电池管理单元
- ADAS 域控制器
- 制动系统

3 说明

TLV243x 和 TLV243xA 是德州仪器 (TI) 的低电压运算放大器。每个器件的共模输入电压范围扩展到典型的 CMOS 放大器之上, 因此适用于各种应用。此外, 当共模输入被驱动到电源轨时, 这些器件不会发生相位反相。这可以满足大多数设计要求, 而无需对轨到轨输入性能支付额外费用。这些器件还在单电源或双电源应用中表现出优异的轨到轨输出性能, 能够进一步扩大动态范围。该系列在 3V 和 5V 电源下完成全面特性测试, 并针对低压操作进行了优化。TLV243x 每通道仅需要 $100\text{ }\mu\text{A}$ (典型值) 电源电流, 因此非常适合电池供电型应用。与以前的轨到轨运算放大器相比, TLV243x 还具有更高的输出驱动能力, 并可驱动电信应用中的 600Ω 负载。

TLV243x 系列的其他产品包括高功耗 TLV244x 和微功耗 TLV2422 版本。

TLV243x 具有高输入阻抗和低噪声特性, 是用于高阻抗源 (如压电式传感器) 小信号调节的理想选择。得益于微功耗水平与低工作电压的组合, 这些器件在手持监控和遥感应用中表现良好。此外, 该系列器件的单电源或双电源具有轨到轨输出特性, 是与模数转换器 (ADC) 连接的理想选择。对于精密应用, TLV243xA 的最大输入失调电压为 $950\text{ }\mu\text{V}$ 。

如果设计中需要单个运算放大器, 请参阅 TI TLV2211、TLV2221 或 TLV2231, 了解采用 SOT-23 封装的轨到轨输出运算放大器。TLV22xx 器件具有小尺寸和低功耗特性, 专为高密度电池供电设备而设计。

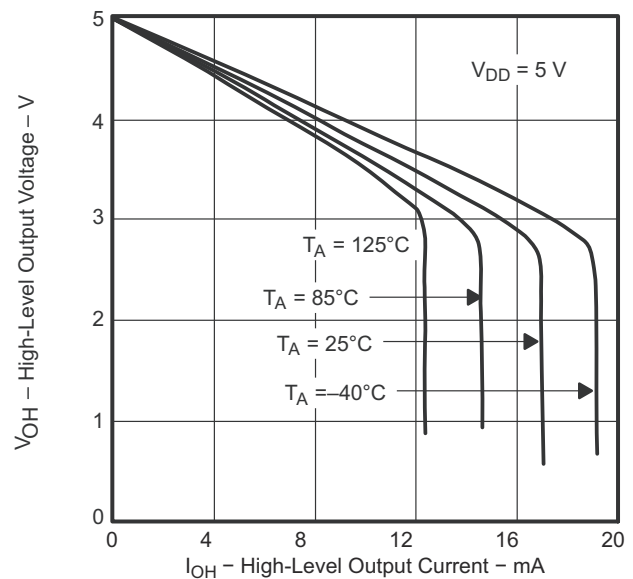
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLV2432-Q1、 TLV2432A-Q1	D (SOIC, 8)	4.9mm × 6mm
TLV2434A-Q1	D (SOIC, 8)	4.9mm × 6mm
	PW (TSSOP, 14)	5mm × 6.4mm

(1) 有关更多信息, 请参阅 节 9。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。

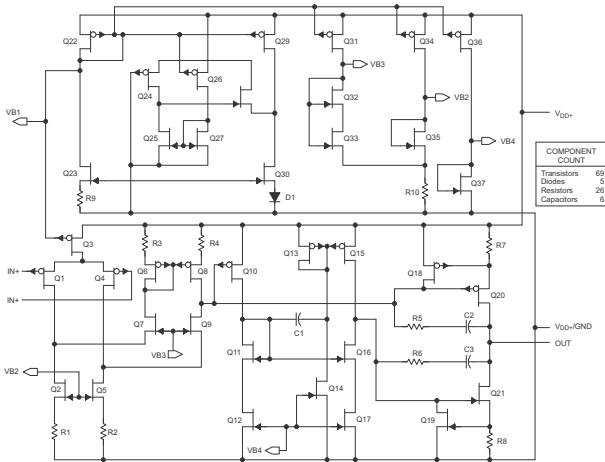
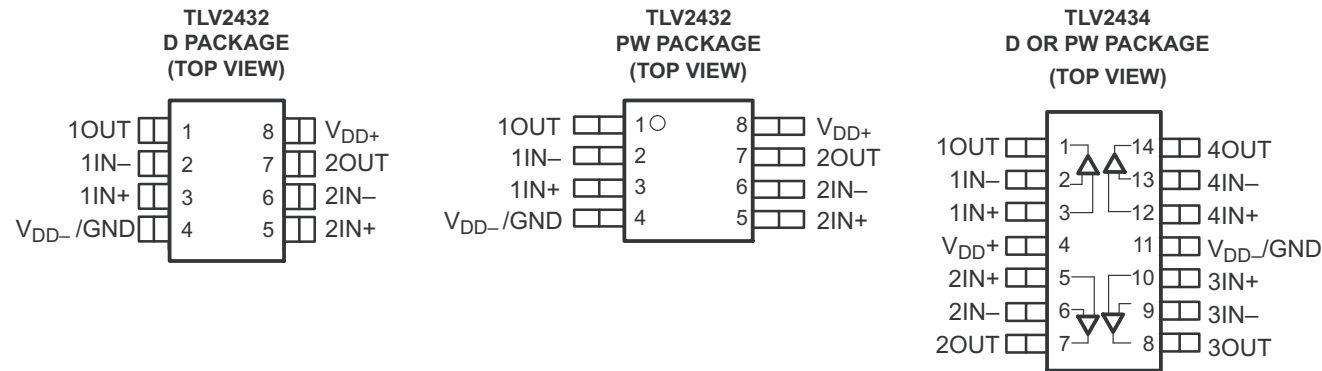
**HIGH-LEVEL OUTPUT VOLTAGE
vs
HIGH-LEVEL OUTPUT CURRENT**



4 订购信息

T _A	在 25°C 时的 V _{IO} 最大值	封装 ⁽²⁾		可订购器件型号 ⁽¹⁾	正面标识
-40°C 至 125°C	950 μ V	SOIC - D	卷带	TLV2432AQDRQ1	2432AQ
		TSSOP - PW	卷带	TLV2432AQPWRQ1	预发布
	2.5mV	SOIC - D	卷带	TLV2432QDRQ1	2432Q1
		TSSOP - PW	卷带	TLV2432QPWRQ1	预发布
	950 μ V	SOIC - D	卷带	TLV2434AQDRQ1	2434AQ
		TSSOP - PW	卷带	TLV2434AQPWRQ1	2434AQ

- (1) 有关最新的封装和订购信息，请参阅本文档结尾的“封装选项附录”，或访问 TI 网站：www.ti.com。
(2) 封装图、热数据和符号可登录 www.ti.com/packaging 获取。



等效原理图 (每个放大器)

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{DD}	电源电压 ⁽²⁾		12	V
V_{ID}	差分输入电压 ⁽³⁾		$\pm V_{DD}$	
I_I	输入电流（任何输入）		± 5	mA
I_O	输出电流		± 50	mA
	流入 V_{DD+} 的总电流		± 50	mA
	流出 V_{DD-} 的总电流		± 50	mA
	短路电流的持续时间（ $\leq 25^\circ\text{C}$ ） ⁽⁴⁾	无限		
	持续总功耗	请参阅功耗等级表		
T_A	自然通风条件下的工作温度范围：Q 后缀	-40	125°C	
T_{stg}	贮存温度范围	-65	150°C	
	10 秒内距离外壳 1.6mm（1/16 英寸）的引线温度		260°C	°C

- (1) 超出**最大绝对额定值**下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出**推荐的运行条件**下标明的任何其它条件下的操作，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分电压外的所有电压值均以 V_{DD+} 和 V_{DD-} 之间的中间点为参考基准。
- (3) 差分电压是相对于 $IN-$ 的 $IN+$ 上的值。如果输入低于 $V_{DD-} - 0.3\text{V}$ ，则会产生过大的电流。
- (4) 输出端可以短接到任一电源。必须限制温度和/或电源电压，以确保不超过最大额定功耗。

5.2 功耗额定值

封装	$T_A \leq 25^\circ\text{C}$ 额定功率	降额因子 高于 $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ 额定功率	$T_A = 85^\circ\text{C}$ 额定功率	$T_A = 125^\circ\text{C}$ 额定功率
D (8)	725mW	5.8mW/°C	464mW	377mW	145mW
D (14)	1022mW	7.6mW/°C	900mW	777mW	450mW
PW (8)	525mW	4.2mW/°C	336mW	273mW	105mW
PW (14)	720mW	5.6mW/°C	634mW	547mW	317mW

5.3 建议运行条件

		最小值	最大值	单位
V_{DD}	电源电压	2.7	10	V
V_I	输入电压	V_{DD-}	$V_{DD+} - 0.8$	V
V_{IC}	共模输入电压	V_{DD-}	$V_{DD+} - 0.5$	V
T_A	自然通风条件下的工作温度	-40	125	°C

5.4 电气特性：V_{DD} = 3V

在指定自然通风温度下，V_{DD} = 3V (除非另有说明)

参数		测试条件		T _A ⁽¹⁾	最小值	典型值	最大值	单位
V _{IO}	输入失调电压	V _{IC} = 0 , V _O = 0 , V _{DD±} = ±1.5V , R _S = 50Ω	TLV243x	25°C		300	2000	μ V
				完整范围		2500		
			TLV243xA	25°C		300	950	
				完整范围		1600		
α _{VIO}	输入失调电压的温度系数	V _{IC} = 0 , V _O = 0 , V _{DD±} = ±1.5V , R _S = 50Ω		25°C 至 70°C		2		μ V/°C
	输入失调电压长期漂移 ⁽³⁾			25°C		0.003		μ V/mo
I _{IO}	输入失调电流			25°C		0.5		pA
				完整范围		150		
I _{IB}	输入偏置电流			25°C		1		pA
				完整范围		300		
V _{ICR}	共模输入电压范围	V _{IO} ≤ 5mV , R _S = 50Ω		25°C	0 至 2.5	-0.25 至 2.75		V
				完整范围	0.2 至 2.2			
V _{OH}	高电平输出电压	I _O = - 100 μ A		25°C		2.98		V
		I _O = -3mA		25°C		2.5		
				完整范围		2.25		
V _{OL}	低电平输出电压	V _{IC} = 1.5V	I _{OL} =100 μ A	25°C		0.02		V
			I _{OL} = 3mA	25°C		0.83		
				完整范围		1		
A _{VD}	大信号差分电压放大	V _{IC} = 2.5V , V _O = 1V 至 2V	R _L = 2kΩ ⁽²⁾	25°C	1.5	2.5		V/mV
				完整范围	0.5			
			R _L = 1MΩ ⁽²⁾	25°C		750		
r _{id}	差分输入电阻			25°C		1000		GΩ
r _i	共模输入电阻			25°C		1000		GΩ
C _i	共模输入电容	f = 10kHz		25°C		8		pF
Z _o	闭环输出阻抗	f = 100kHz , A _V = 10		25°C		130		Ω
CMRR	共模抑制比	V _{IC} = V _{ICR} 最小值 , R _S = 50Ω V _O = 1.5V ,		25°C	63	83		dB
				完整范围	63			
K _{SVR}	电源电压抑制比 (Δ V _{DD±} / Δ V _{IO})	V _{DD} = 2.7V 至 8V , V _{IC} = V _{DD} /2 , 无负载		25°C	80	95		dB
				完整范围	80			
I _{DD}	电源电流 (每通道)	V _O = 1.5V , 无负载		25°C		115	150	μ A
				完整范围		175		

(1) 完整范围为 -40°C 至 125°C。

(2) 以 2.5V 为基准。

(3) 典型值基于通过 168 小时工作寿命测试 (T_A = 150°C 外推至 T_A = 25°C) 观察到的输入失调电压漂移，使用阿仑尼乌斯方程并假设活化能为 0.96eV。

5.5 工作特性：V_{DD} = 3V

在指定自然通风温度下，V_{DD} = 3V (除非另有说明)

参数	测试条件	T _A ⁽¹⁾	最小值	典型值	最大值	单位
SR 单位增益下的压摆率	V _O = 1V 至 2V，R _L = 2kΩ ⁽²⁾ ， C _L = 100pF ⁽²⁾	25°C	0.15	0.25		V/μs
		完整范围	0.1			
V _n 等效输入噪声电压	f = 10Hz	25°C		120		nV/√Hz
	f = 1kHz			22		
V _{n(PP)} 峰值间等效输入噪声电压	f = 0.1Hz 至 1Hz	25°C		2.7		μV
	f = 0.1Hz 至 10Hz			4		
I _n 等效输入噪声电流		25°C		0.6		fA/√Hz
THD+N 总谐波失真 + 噪声	V _O = 0.5V 至 2.5V， R _L = 2kΩ ⁽²⁾ ，f = 1kHz	25°C	A _V = 1		0.65%	
			A _V = 10		0.5%	
增益带宽积	f = 10kHz，R _L = 2kΩ，C _L = 100pF ⁽²⁾	25°C		0.5		MHz
B _{OM} 最大输出摆幅带宽	V _{O(PP)} = 1V，R _L = 2kΩ，A _V = 1， C _L = 100pF ⁽²⁾	25°C		220		kHz
t _s 稳定时间	A _V = -1，阶跃 = 0.5V 至 2.5V， R _L = 2kΩ ⁽²⁾ ， C _L = 100pF ⁽²⁾	25°C	达 0.1%		1.5	μs
			达 0.01%		3.2	
φ _m 单位增益下的相位裕度	R _L = 2kΩ ⁽²⁾ ，C _L = 100pF ⁽²⁾	25°C		62°		
增益裕度	R _L = 2kΩ ⁽²⁾ ，C _L = 100pF ⁽²⁾	25°C		11		dB

(1) 完整范围为 -40°C 至 125°C。

(2) 以 2.5V 为基准

5.6 电气特性：V_{DD} = 5V

在指定自然通风温度下，V_{DD} = 5V (除非另有说明)

参数		测试条件		T _A ⁽¹⁾	最小值	典型值	最大值	单位	
V _{IO}	输入失调电压	V _{IC} = 0 , V _O = 0 , V _{DD±} = ±2.5V , R _S = 50Ω	TLV243x	25°C	300		2000	μ V	
				完整范围	2500				
			TLV243xA	25°C	300		950		
				完整范围	2000				
α _{VIO}	输入失调电压的温度系数	V _{IC} = 0 , V _O = 0 , V _{DD±} = ±1.5V , R _S = 50Ω		25°C 至 70°C	2			μ V/°C	
	输入失调电压长期漂移 ⁽³⁾			25°C	0.003			μ V/mo	
I _{IO}	输入失调电流			25°C	0.5			pA	
				完整范围	150				
I _{IB}	输入偏置电流			25°C	1			pA	
				完整范围	300				
V _{ICR}	共模输入电压范围		V _{IO} ≤ 5mV , R _S = 50Ω		25°C	0 至 4.5 ^{-0.25 至 4.75}			V
					完整范围	0 至 4.2			
V _{OH}	高电平输出电压		I _{OH} = - 100 μ A		25°C	4.97			V
			I _{OH} = -5mA		25°C	4	4.35		
				完整范围	4				
V _{OL}	低电平输出电压	V _{IC} = 2.5V	I _{OL} =100 μ A	25°C	0.01			V	
			I _{OL} = 5mA	25°C	0.8				
					完整范围	1.25			
A _{VD}	大信号差分电压放大	V _{IC} = 2.5V , V _O = 1V 至 4V	R _L = 2kΩ ⁽²⁾	25°C	2.5	3.8		V/mV	
				完整范围	0.5				
			R _L = 1MΩ ⁽²⁾	25°C	950				
r _{id}	差分输入电阻			25°C	1000			GΩ	
r _i	共模输入电阻			25°C	1000			GΩ	
C _i	共模输入电容	f = 10MHz		25°C	8			pF	
Z _o	闭环输出阻抗	f = 100kHz , A _V = 10		25°C	130			Ω	
CMRR	共模抑制比	V _{IC} = V _{ICR} 最小值 , V _O = 2.5V , R _S = 50Ω		25°C	63	90		dB	
				完整范围	63				
k _{SVR}	电源电压抑制比 (Δ V _{DD} / Δ V _{IO})	V _{DD} = 4.4V 至 8V , V _{IC} = V _{DD} /2 , 无负载		25°C	80	95		dB	
				完整范围	80				
I _{DD}	电源电流 (每通道)	V _O = 2.5V , 无负载		25°C	115	150		μ A	
				完整范围	175				

(1) 完整范围为 - 40°C 至 125°C。

(2) 以 2.5V 为基准

(3) 典型值基于通过 168 小时工作寿命测试 (T_A = 150°C 外推至 T_A = 25°C) 观察到的输入失调电压漂移，使用阿伦尼乌斯方程并假设活化能为 0.96eV。

5.7 工作特性：V_{DD} = 5V

在指定自然通风温度下，V_{DD} = 5V (除非另有说明)

参数	测试条件	T _A ⁽¹⁾	最小值	典型值	最大值	单位
SR 单位增益下的压摆率	V _O = 1.5V 至 3.5V，R _L = 2kΩ ⁽²⁾ ， C _L = 100pF ⁽²⁾	25°C	0.15	0.25		V/μs
		完整范围	0.1			
V _n 等效输入噪声电压	f = 10Hz	25°C		100		nV/√Hz
	f = 1kHz			18		
V _{n(PP)} 峰值间等效输入噪声电压	f = 0.1Hz 至 1Hz	25°C		1.9		μV
	f = 0.1Hz 至 10Hz			2.8		
I _n 等效输入噪声电流		25°C		0.6		fA/√Hz
THD+N 总谐波失真 + 噪声	V _O = 1.5V 至 3.5V， f = 1kHz，R _L = 600Ω ⁽²⁾	25°C	A _V = 1		0.045%	
			A _V = 10		0.4%	
增益带宽积	f = 10kHz，R _L = 600Ω ⁽²⁾ ，C _L = 100pF ⁽²⁾	25°C		0.55		MHz
B _{OM} 最大输出摆幅带宽	V _{O(PP)} = 2V，A _V = 1，R _L = 2kΩ ⁽²⁾ ， C _L = 100pF ⁽²⁾	25°C		100		kHz
t _s 稳定时间	A _V = -1，阶跃 = 1.5V 至 3.5V， R _L = 2kΩ ⁽²⁾ ， C _L = 100pF ⁽²⁾	25°C	达 0.1%		6.4	μs
			达 0.01%		13.1	
φ _m 单位增益下的相位裕度	R _L = 2kΩ ⁽²⁾ ，C _L = 100pF ⁽²⁾	25°C		66°		
增益裕度	R _L = 2kΩ ⁽²⁾ ，C _L = 100pF ⁽²⁾	25°C		11		dB

(1) 完整范围为 -40°C 至 125°C。

(2) 以 2.5V 为基准

5.8 典型特性

图形表

			图表
V_{IO}	输入失调电压	经销商	3,4
		与共模输入电压间的关系	5,6
α_{VIO}	输入失调电压温度系数	经销商	7,8
I_B/I_{IO}	输入偏置电流和输入失调电流	与自然通风温度间的关系	9
V_{OH}	高电平输出电压	与高电平输出电流间的关系	10,11
V_{OL}	低电平输出电压	与低电平输出电流间的关系	12,13
$V_{O(PP)}$	最大峰值间输出电压	与频率间的关系	14
I_{OS}	短路输出电流	与电源电压之间的关系	15
		与自然通风温度间的关系	16
V_{ID}	差分输入电压	与输出电压之间的关系	17、18
	差分增益	与负载电阻之间的关系	19
A_{VD}	大信号差分电压放大	与频率间的关系	20、21
	放大差分电压	与自然通风温度间的关系	22、23
Z_o	输出阻抗	与频率间的关系	24、25
CMRR	共模抑制比	与频率间的关系	26
		与自然通风温度间的关系	27
k_{SVR}	电源电压抑制比	与频率间的关系	28、29
		与自然通风温度间的关系	30
I_{DD}	电源电流	与电源电压之间的关系	31
SR	压摆率	与负载电容间的关系	32
		与自然通风温度间的关系	33
V_O	反相大信号脉冲响应		34、35
	电压输出器大信号脉冲响应		36、37
	反相小信号脉冲响应		38、39
	电压输出器小信号脉冲响应		40、41
V_n	等效输入噪声电压	与频率间的关系	42、43
	噪声电压 (以输入为基准)	在 10 秒周期内	44
THD + N	总谐波失真 + 噪声	与频率间的关系	45、46
	增益带宽积	与自然通风温度间的关系	47
		与电源电压之间的关系	48
ϕ_m	相位裕度	与频率间的关系	20、21
		与负载电容间的关系	49
	增益裕度	与负载电容间的关系	50
B_1	单位增益带宽	与负载电容间的关系	51

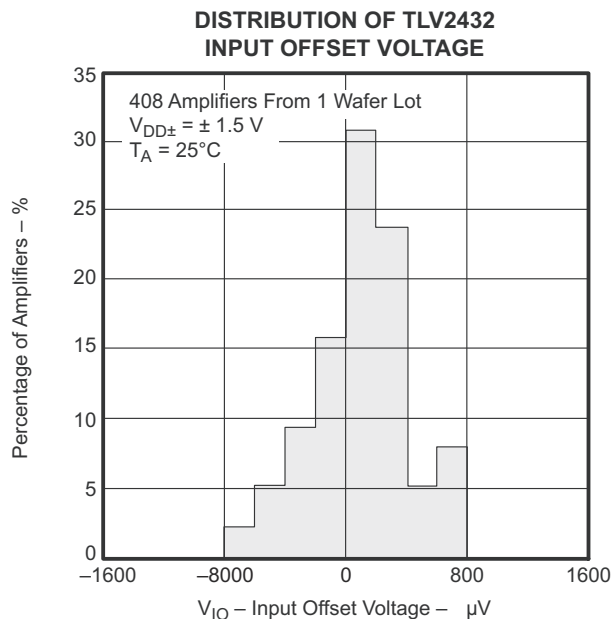


图 5-1.

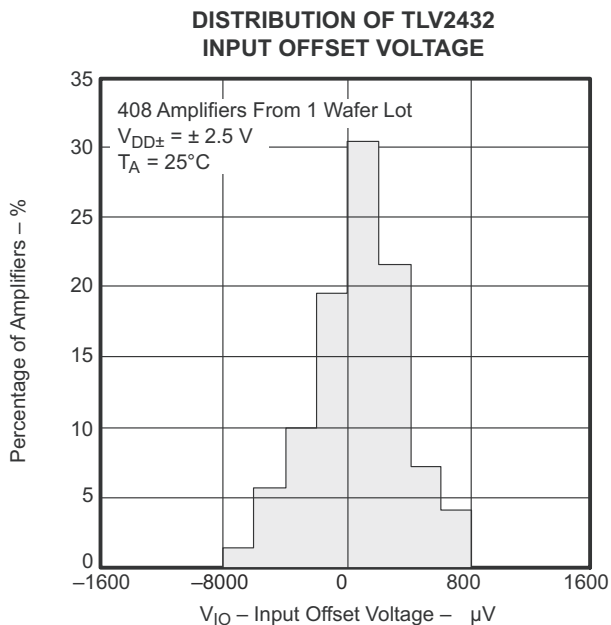


图 5-2.

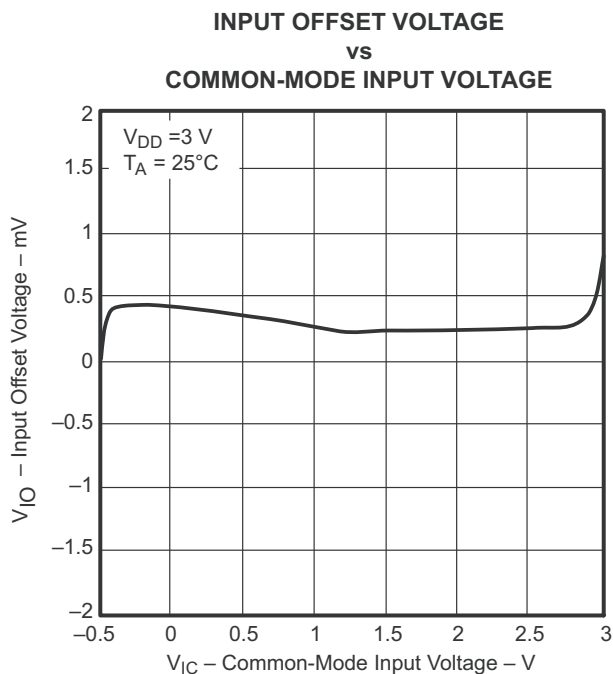


图 5-3.

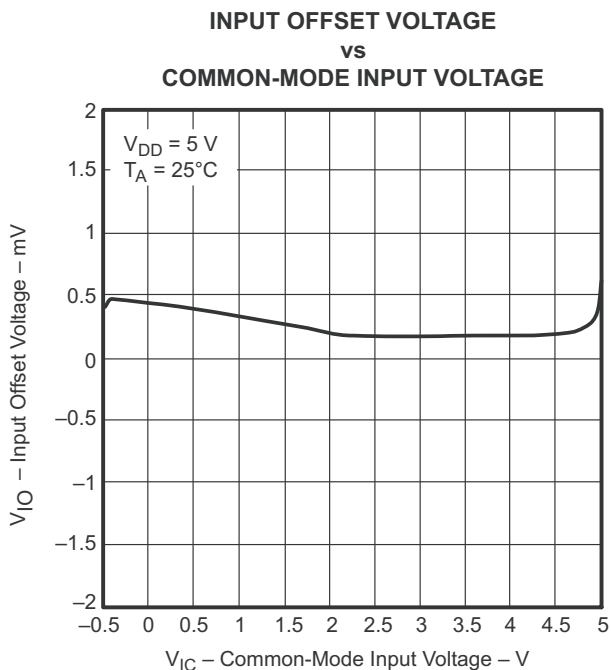


图 5-4.

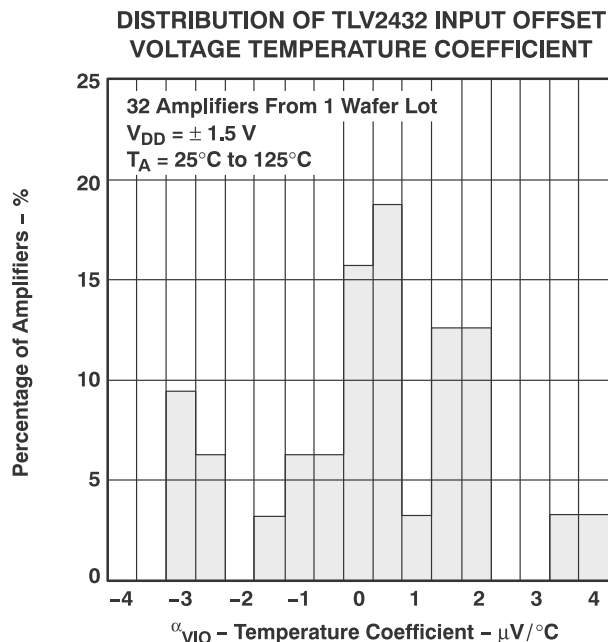


图 5-5.

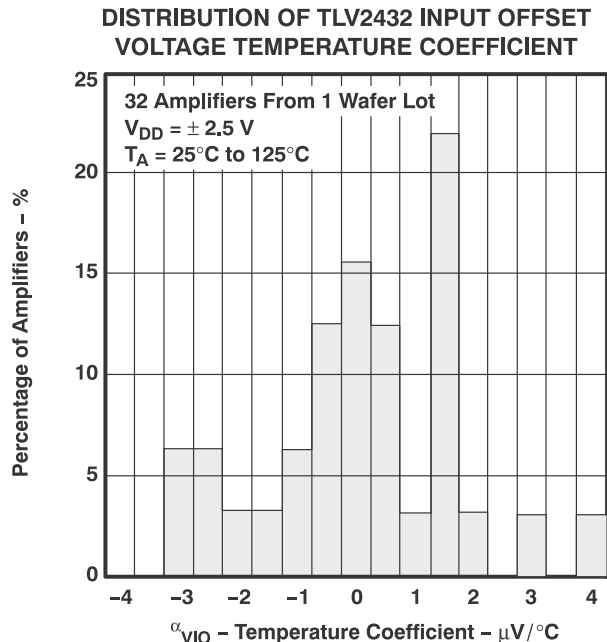


图 5-6.

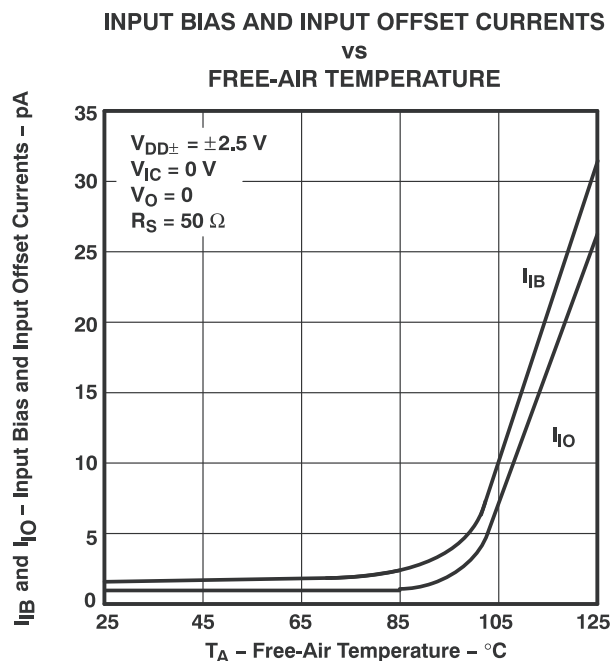


图 5-7.

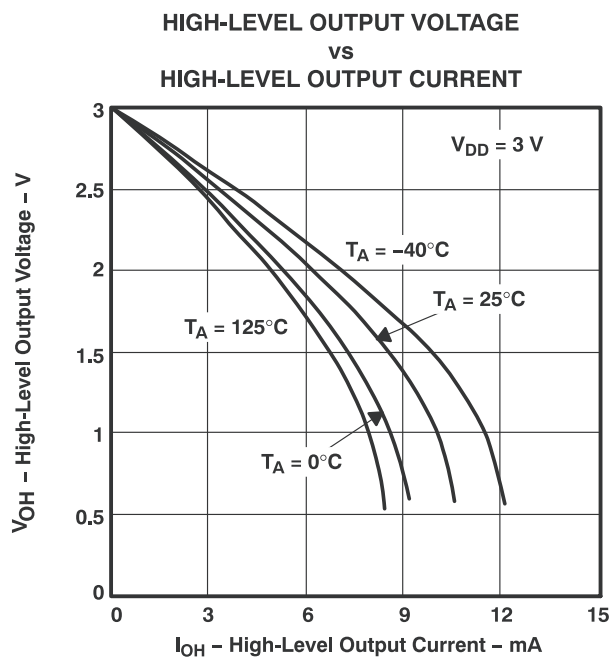


图 5-8.

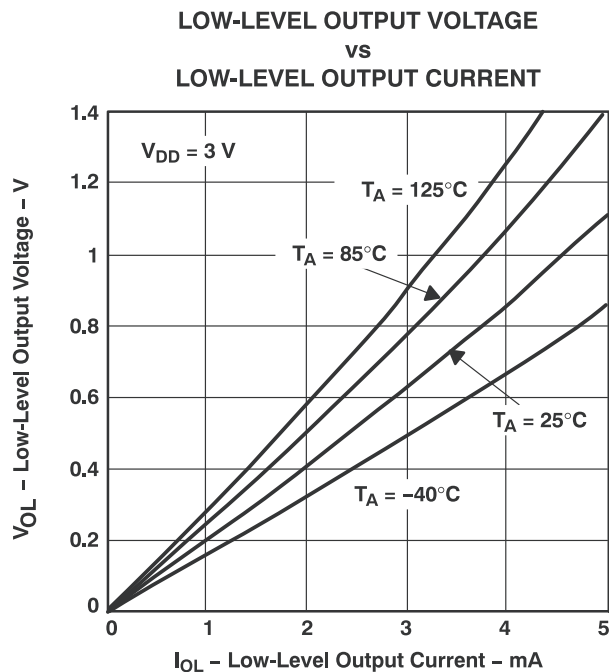


图 5-9.

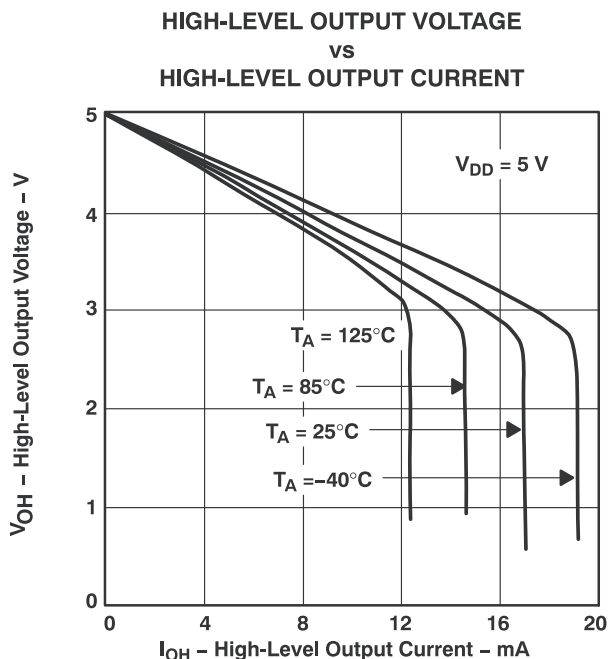


图 5-10.

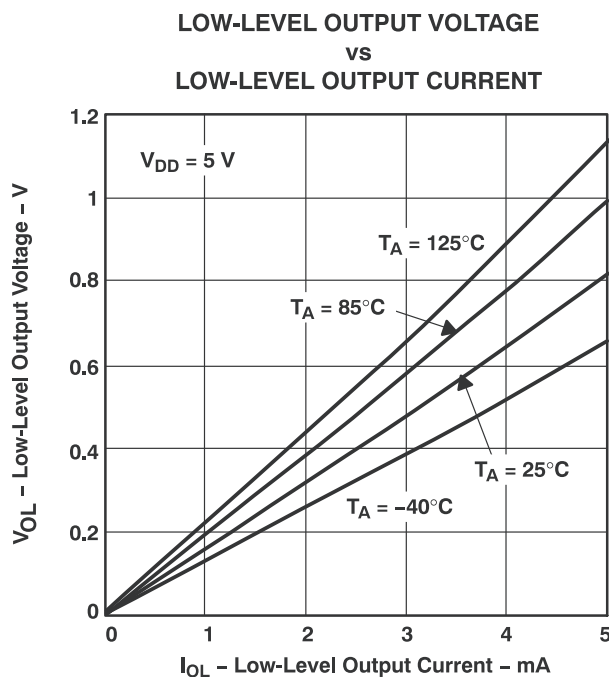


图 5-11.

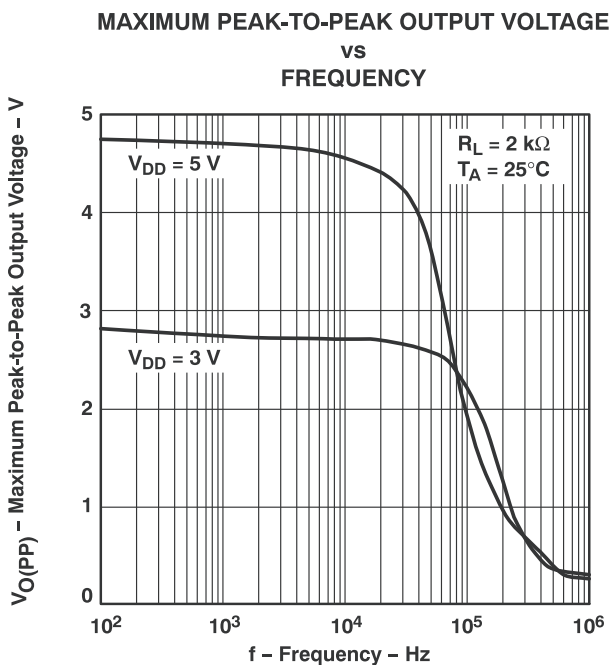


图 5-12.

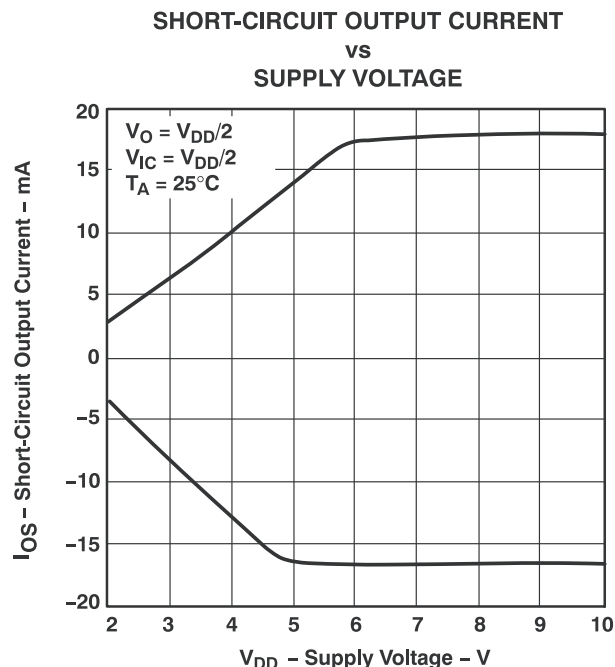


图 5-13.

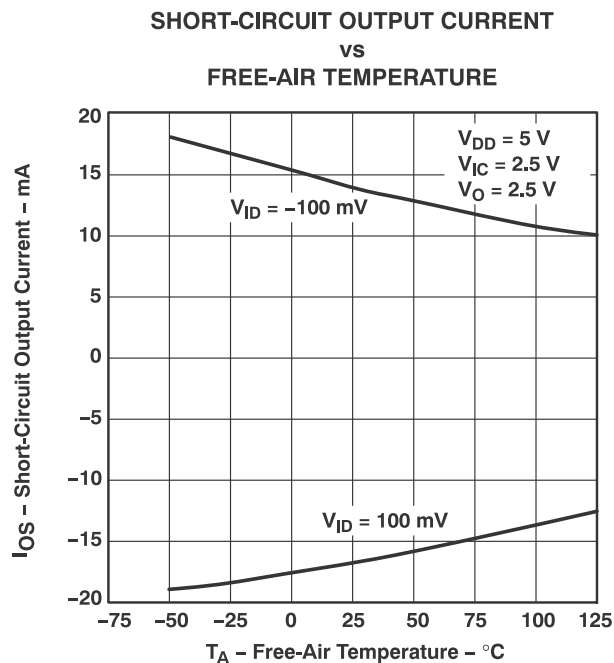


图 5-14.

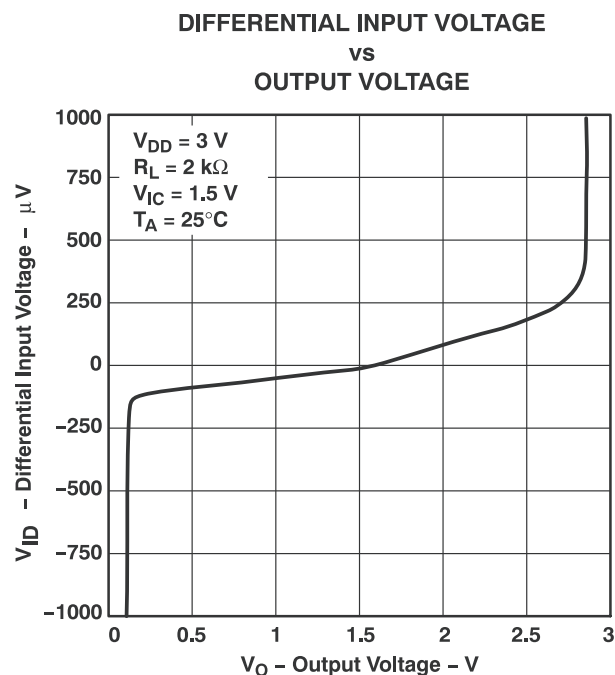


图 5-15.

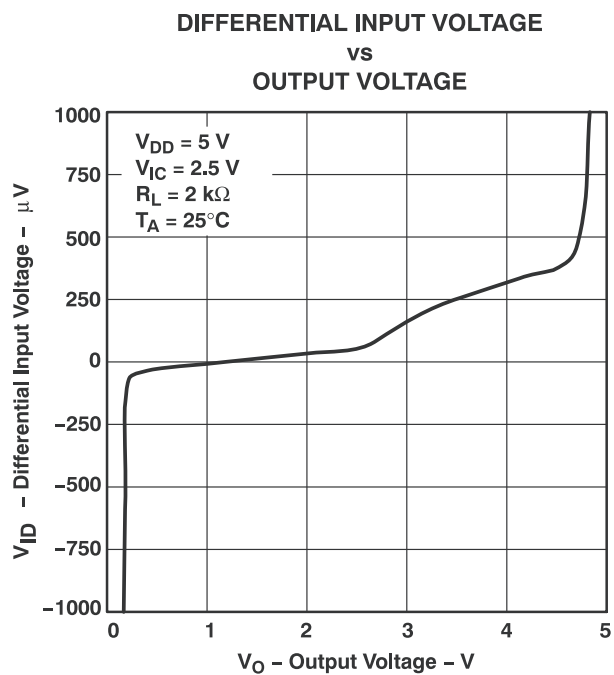
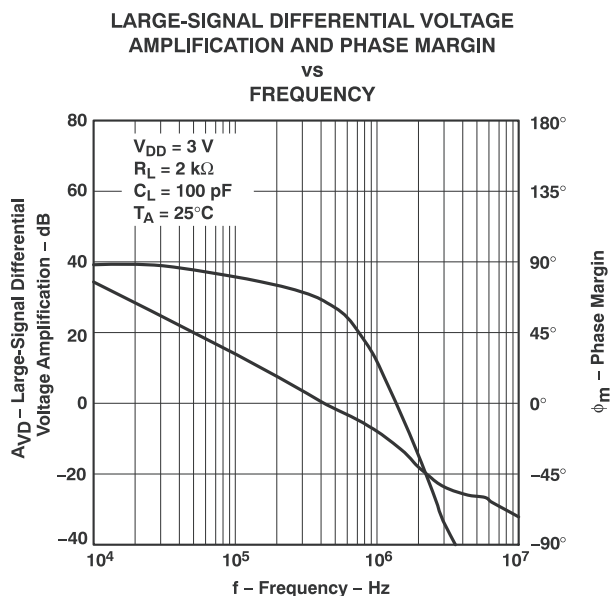
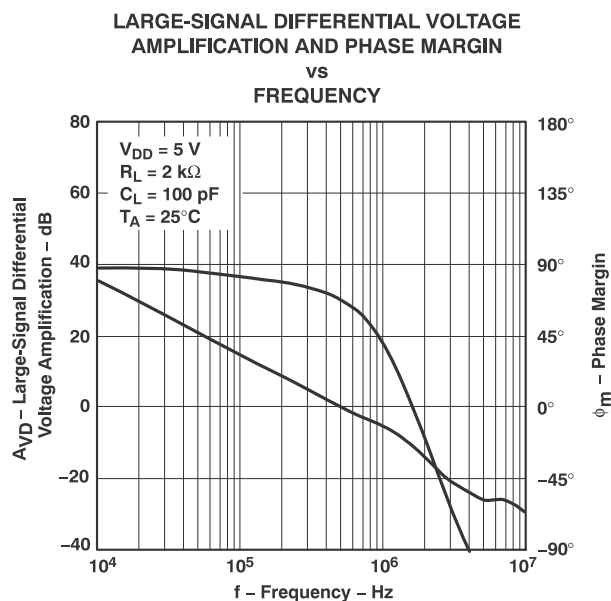
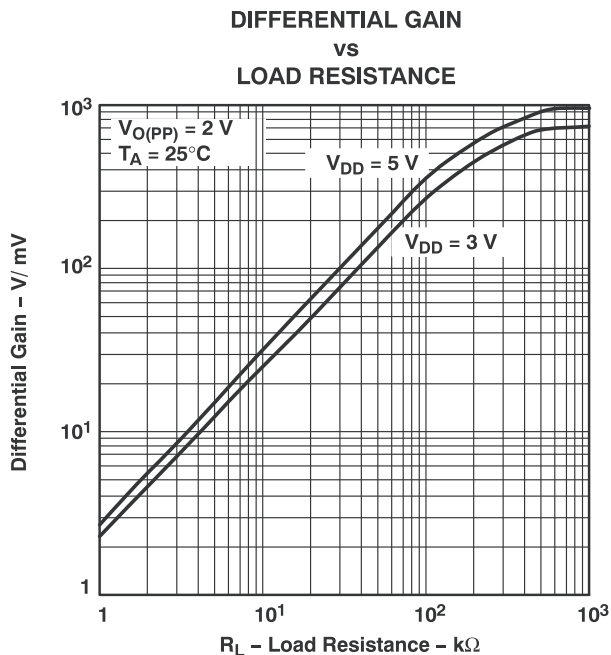


图 5-16.



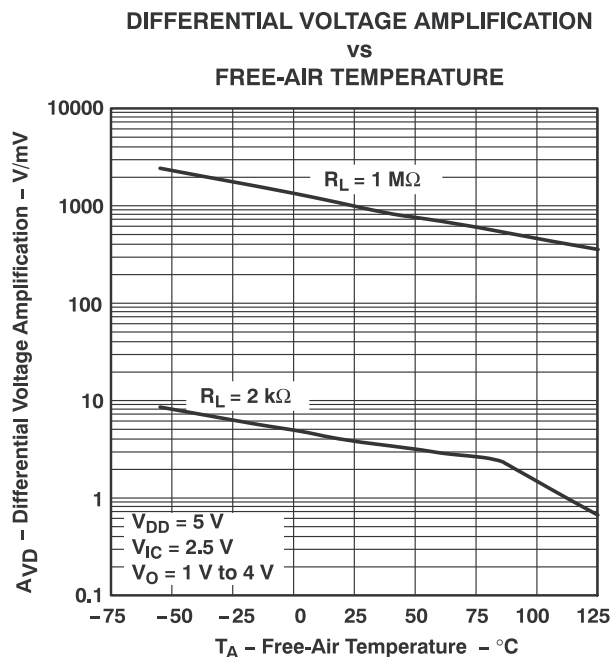


图 5-20.

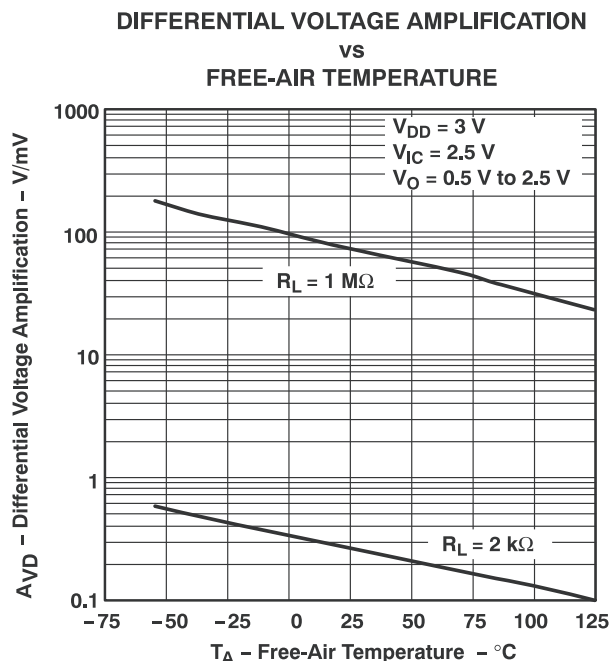


图 5-21.

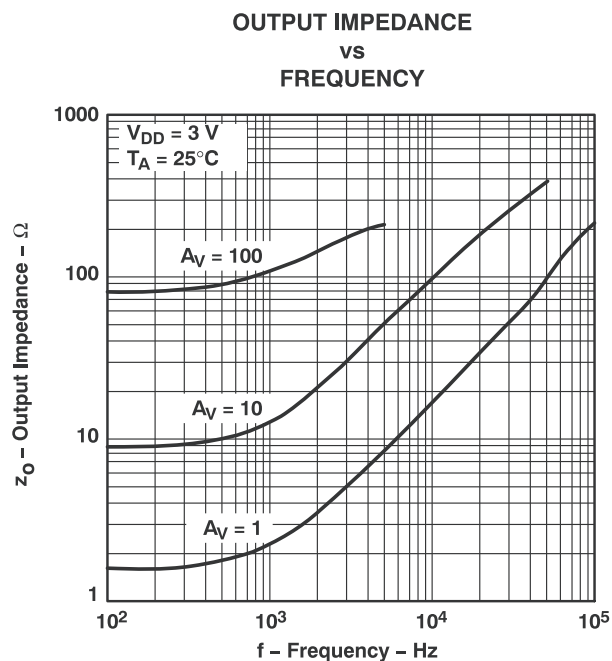


图 5-22.

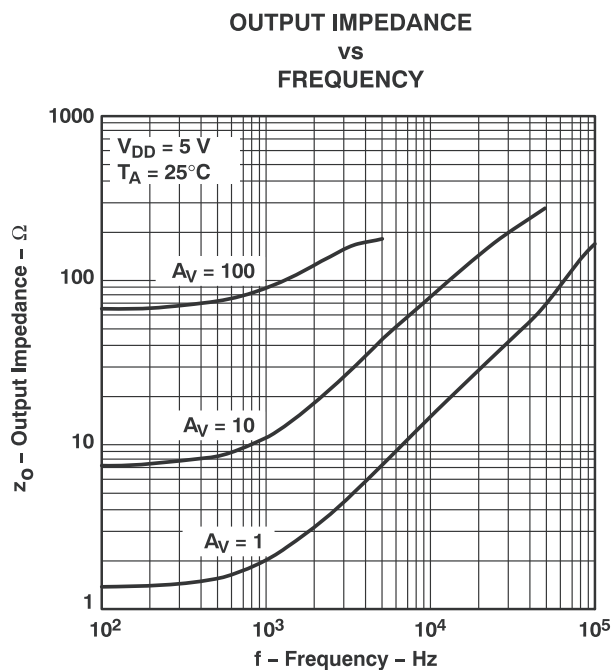


图 5-23.

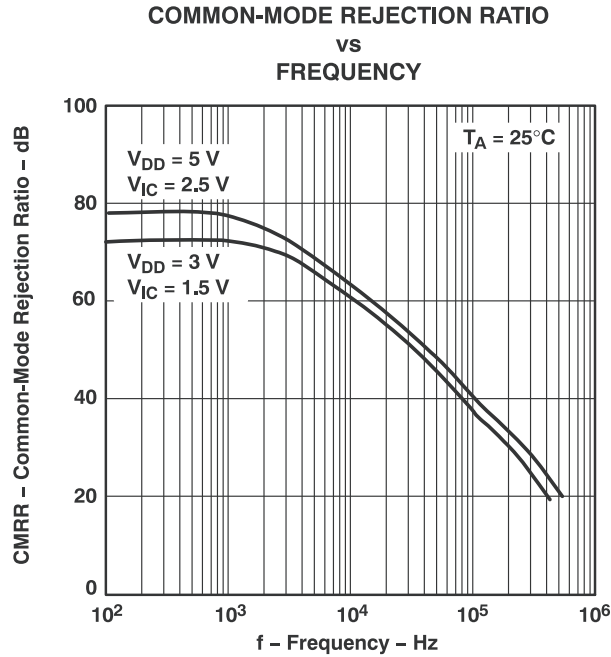


图 5-24.

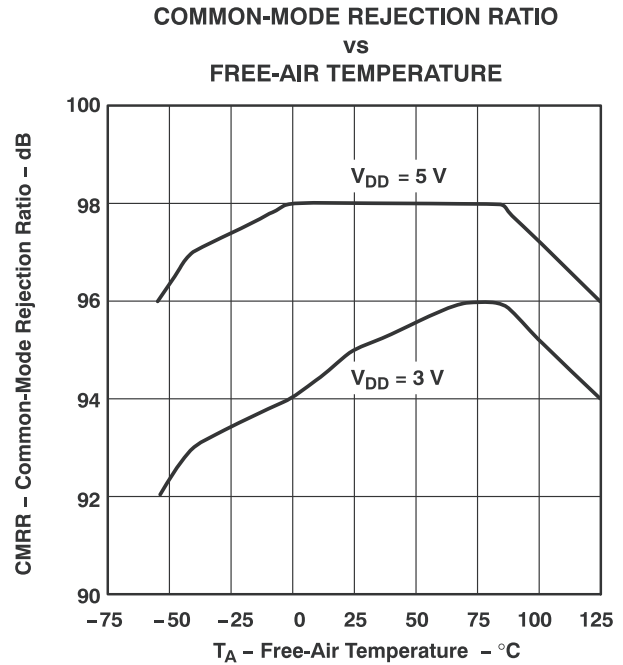


图 5-25.

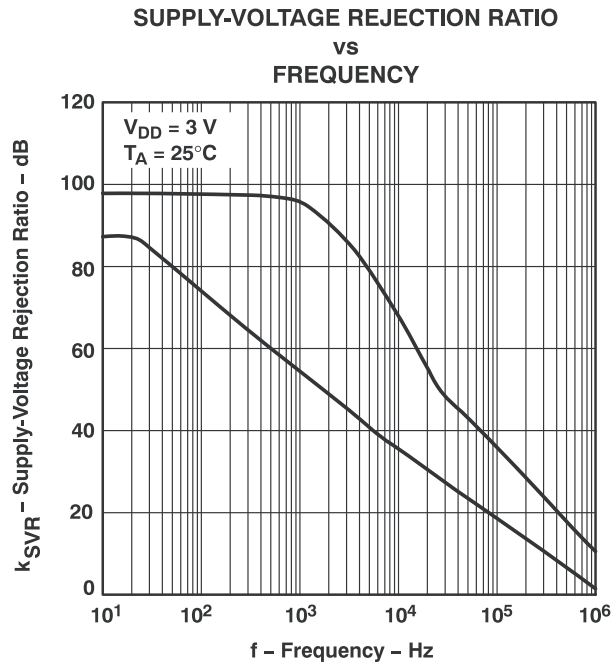


图 5-26.

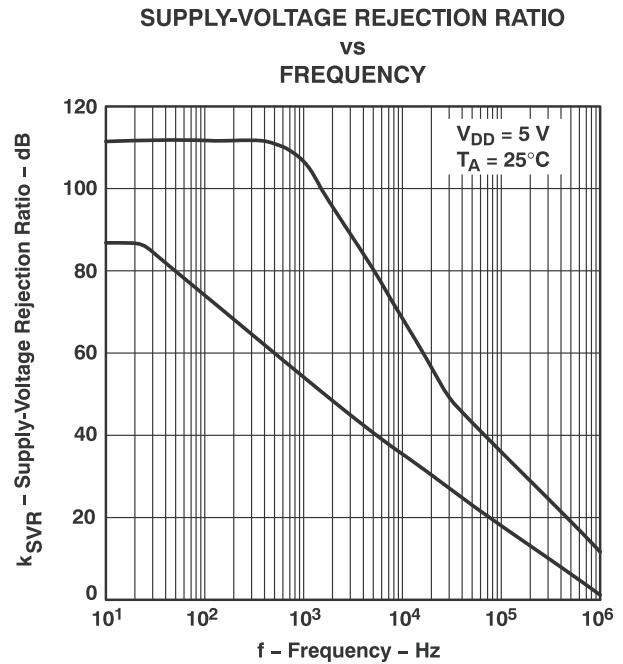


图 5-27.

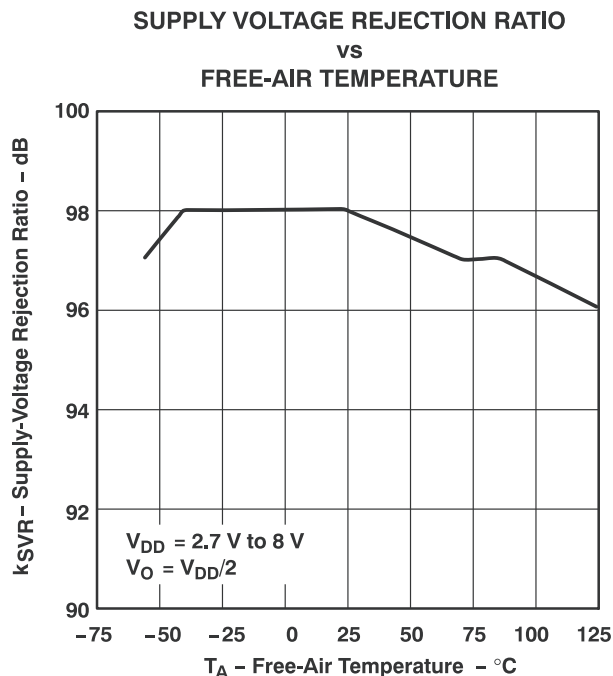


图 5-28.

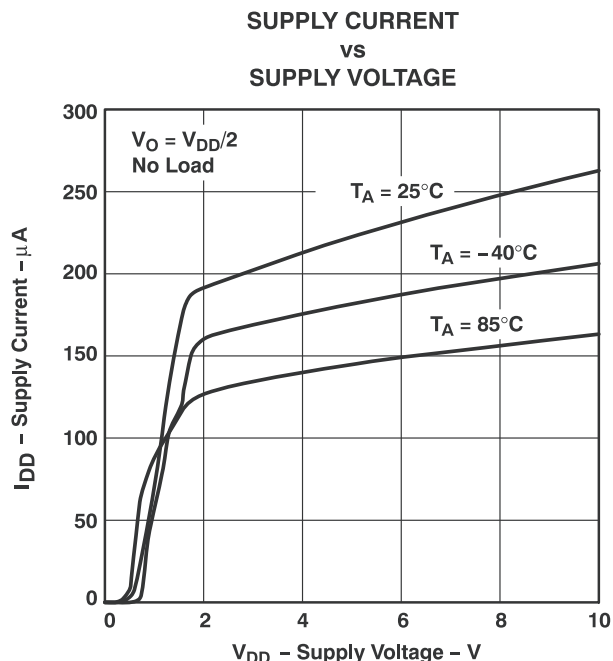


图 5-29.

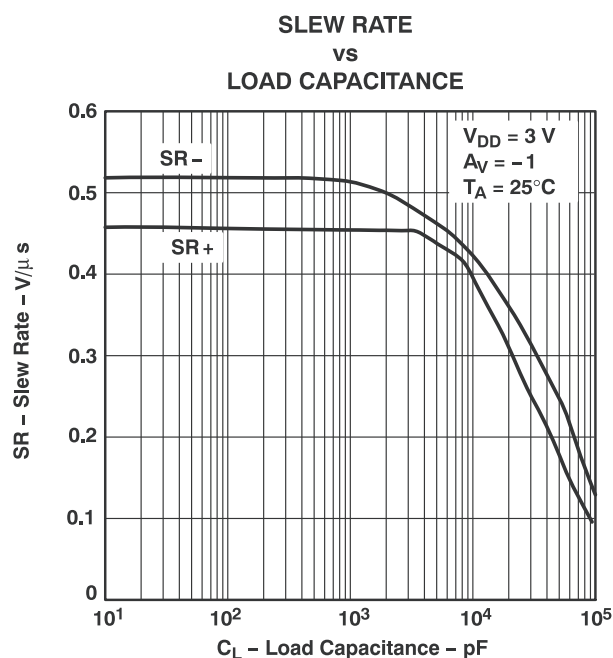


图 5-30.

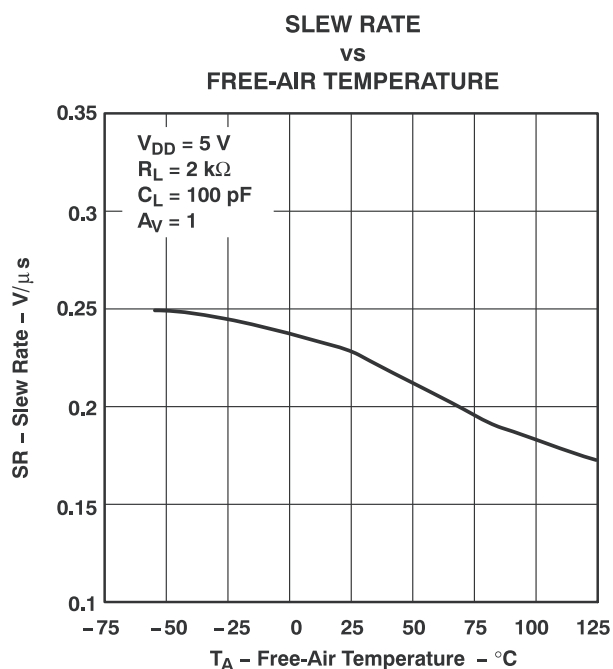


图 5-31.

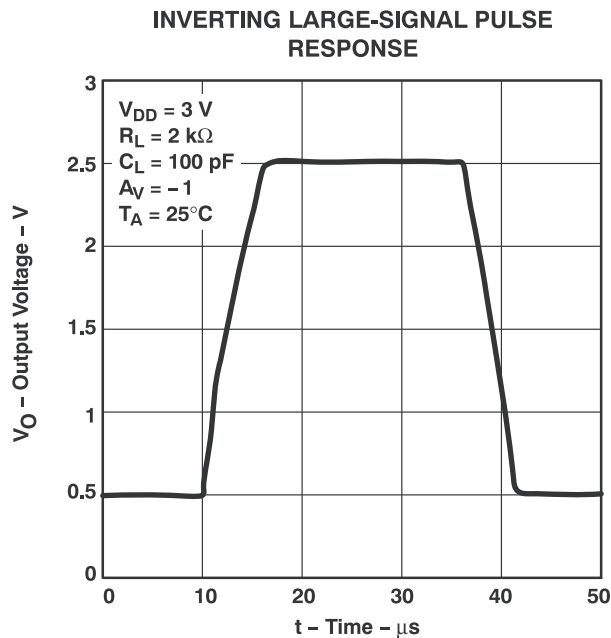


图 5-32.

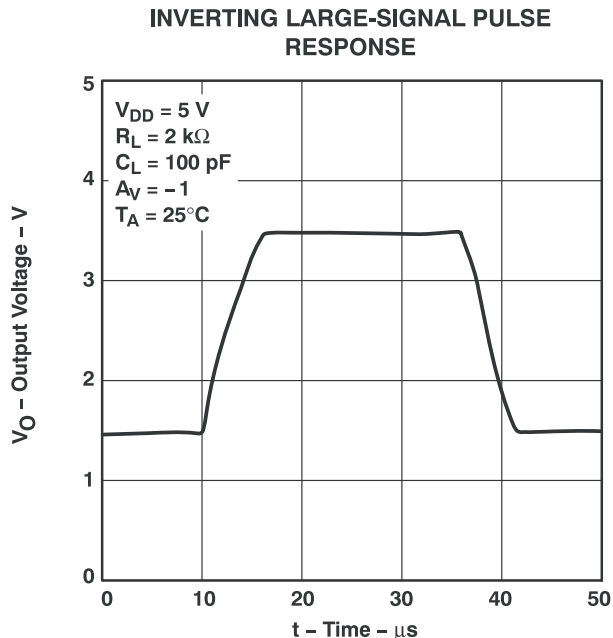


图 5-33.

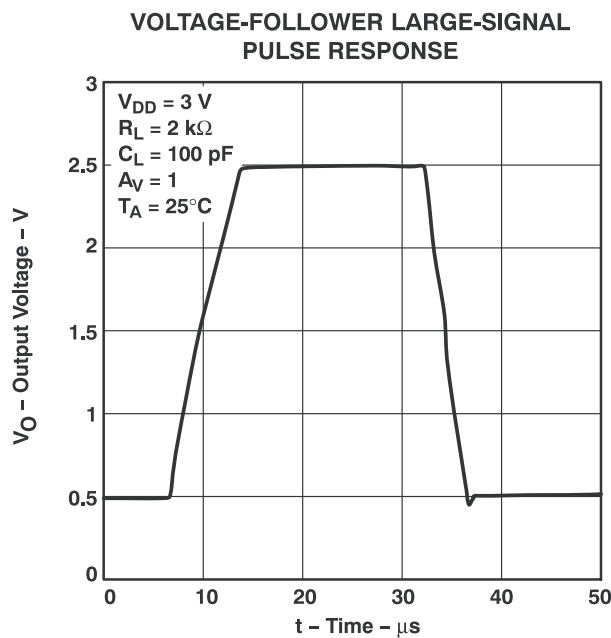


图 5-34.

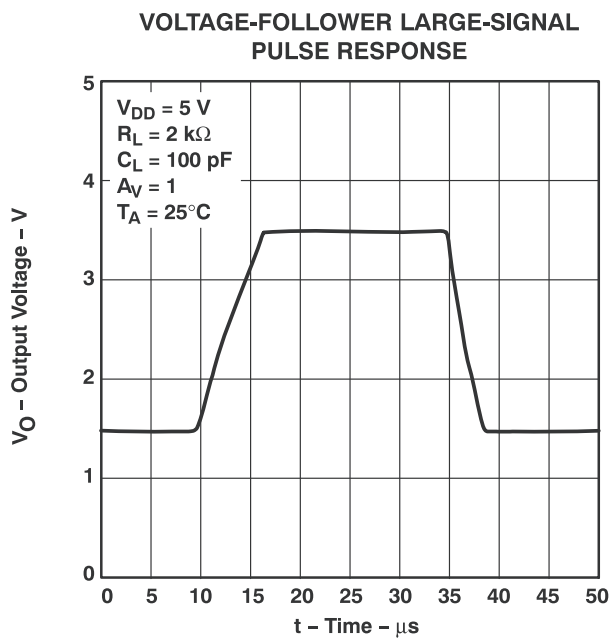


图 5-35.

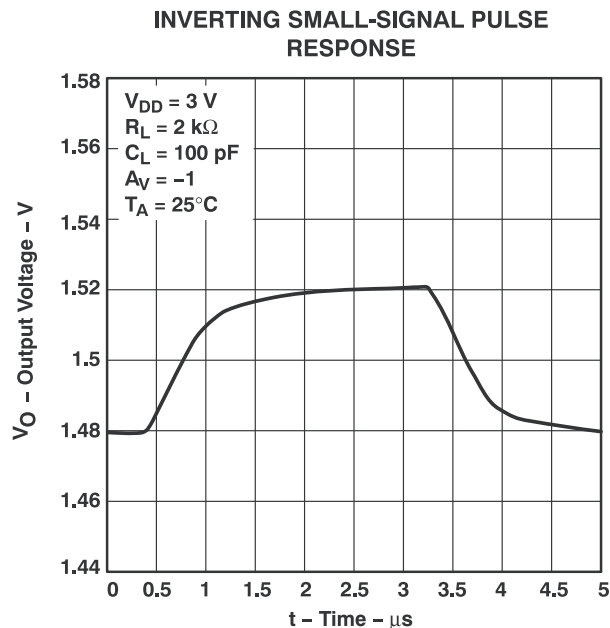


图 5-36.

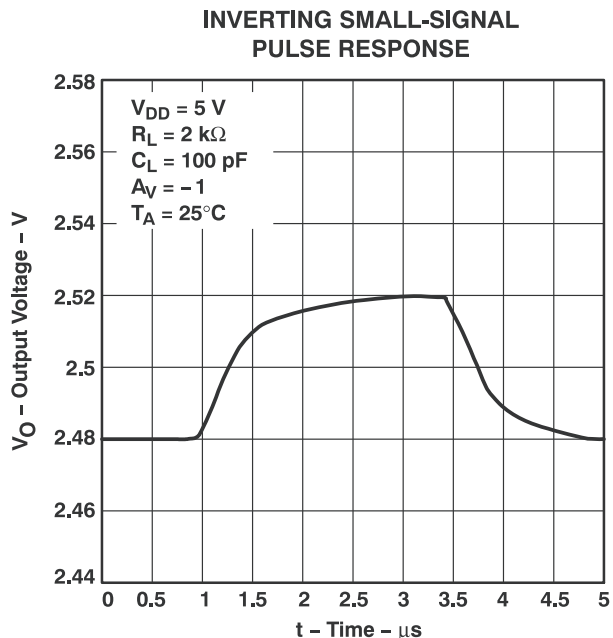


图 5-37.

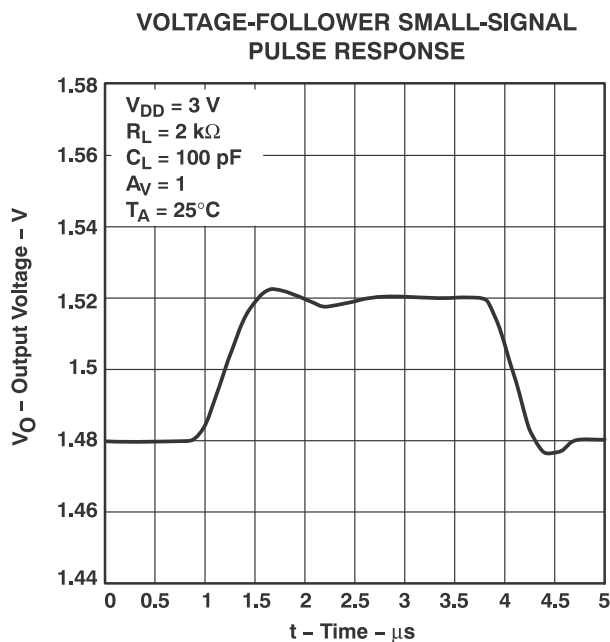


图 5-38.

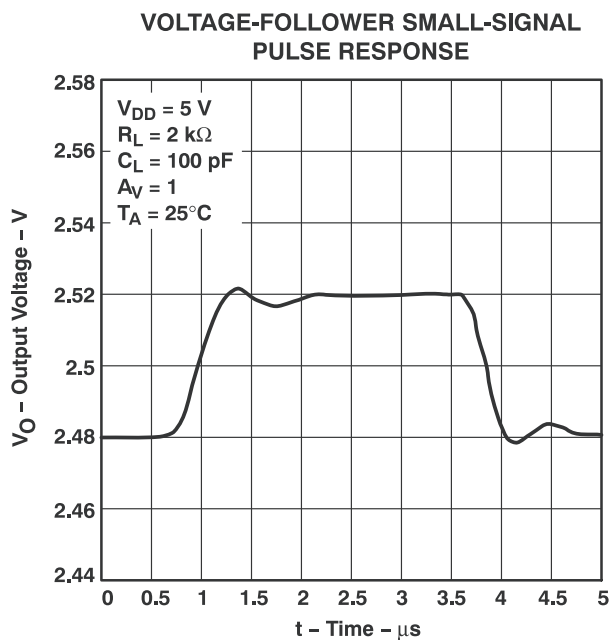


图 5-39.

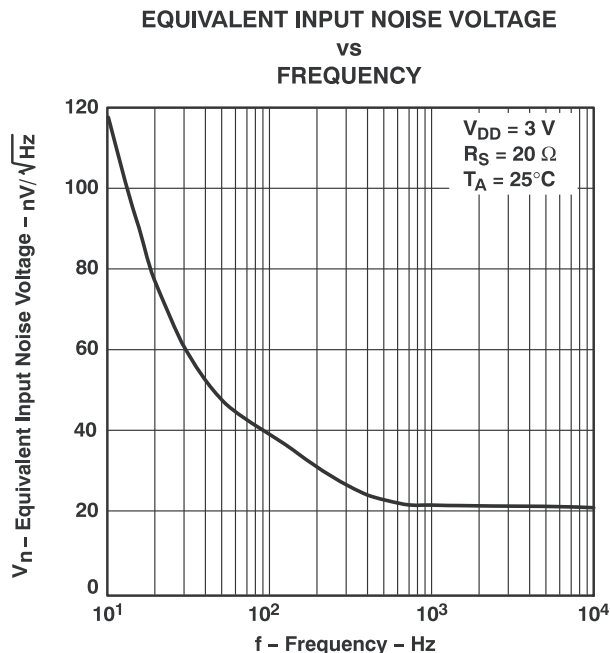


图 5-40.

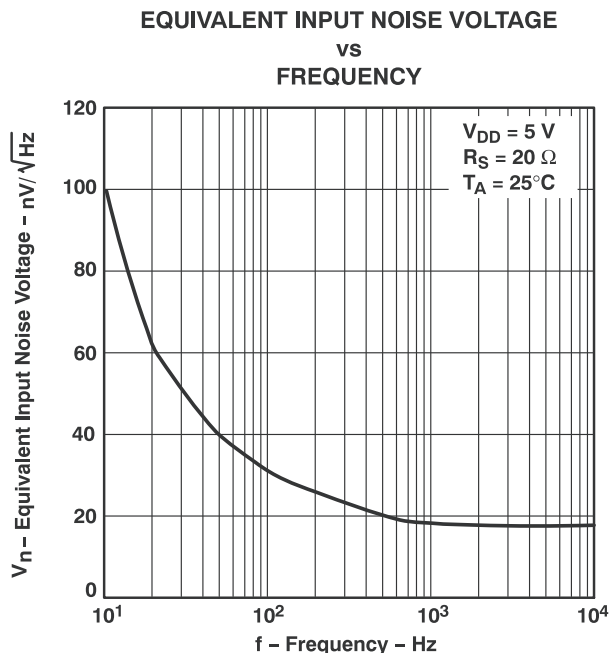


图 5-41.

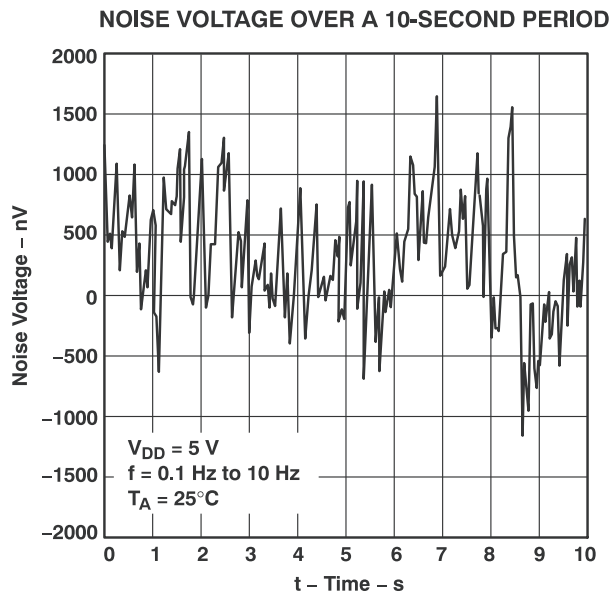


图 5-42.

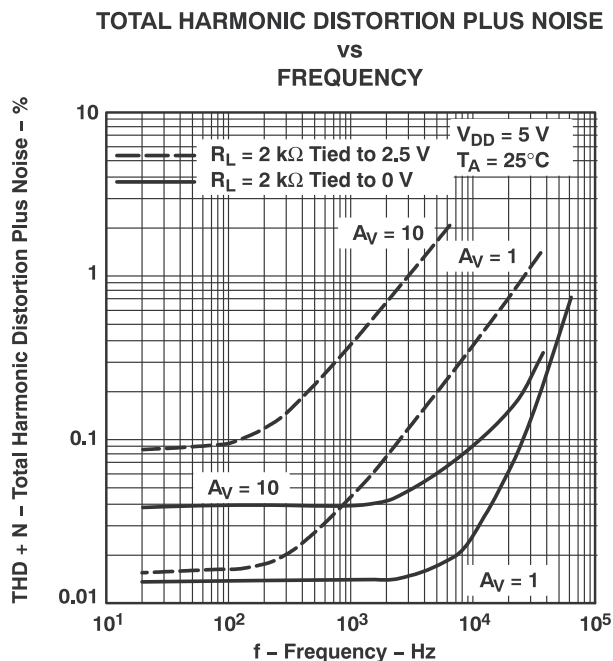


图 5-43.

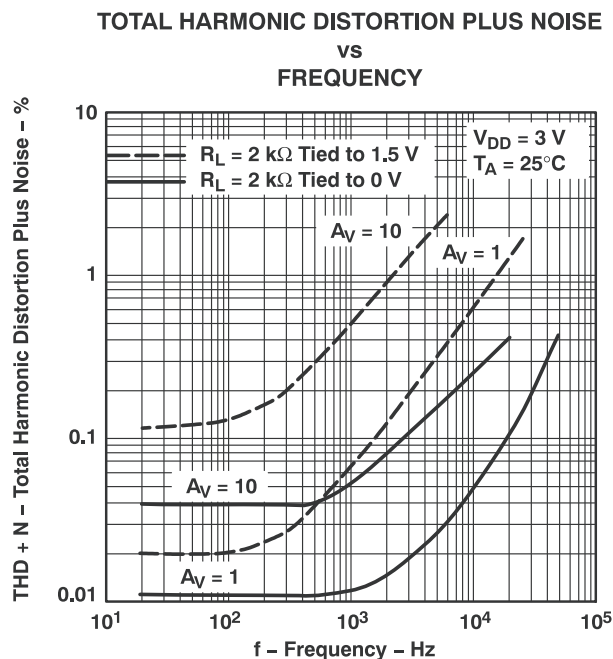


图 5-44.

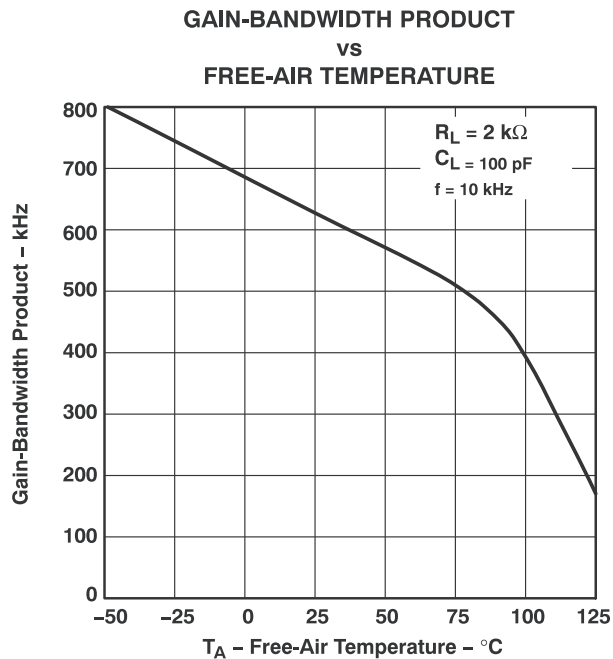


图 5-45.

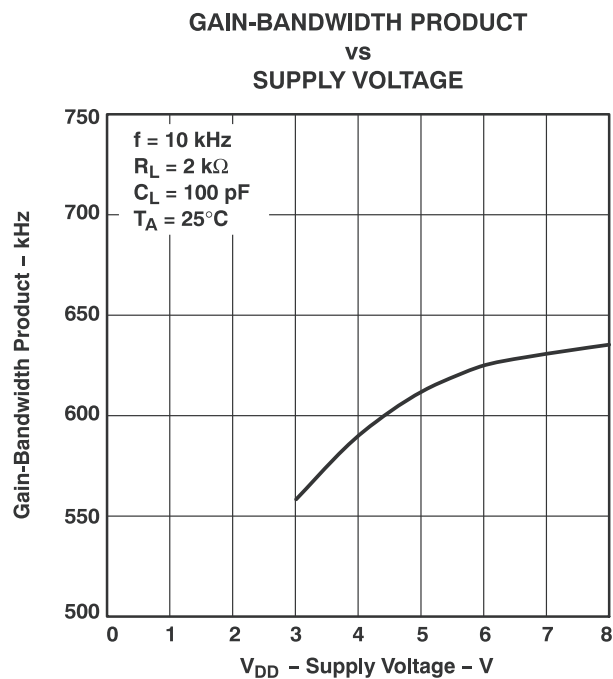


图 5-46.

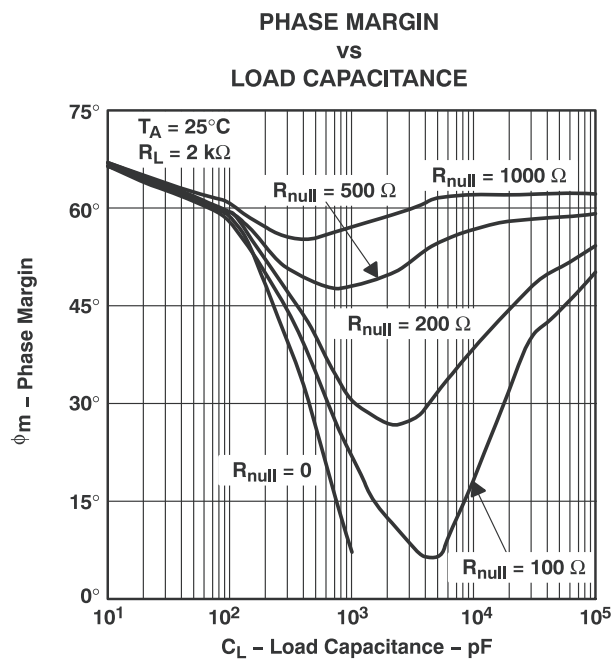


图 5-47.

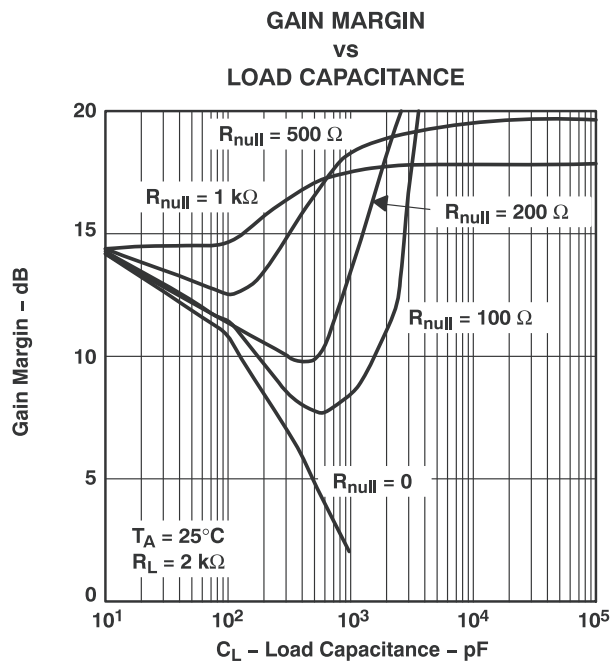


图 5-48.

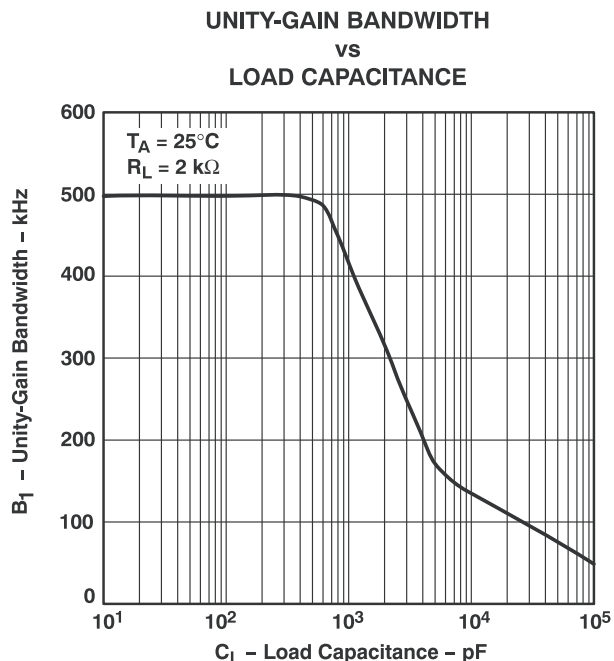


图 5-49.

6 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

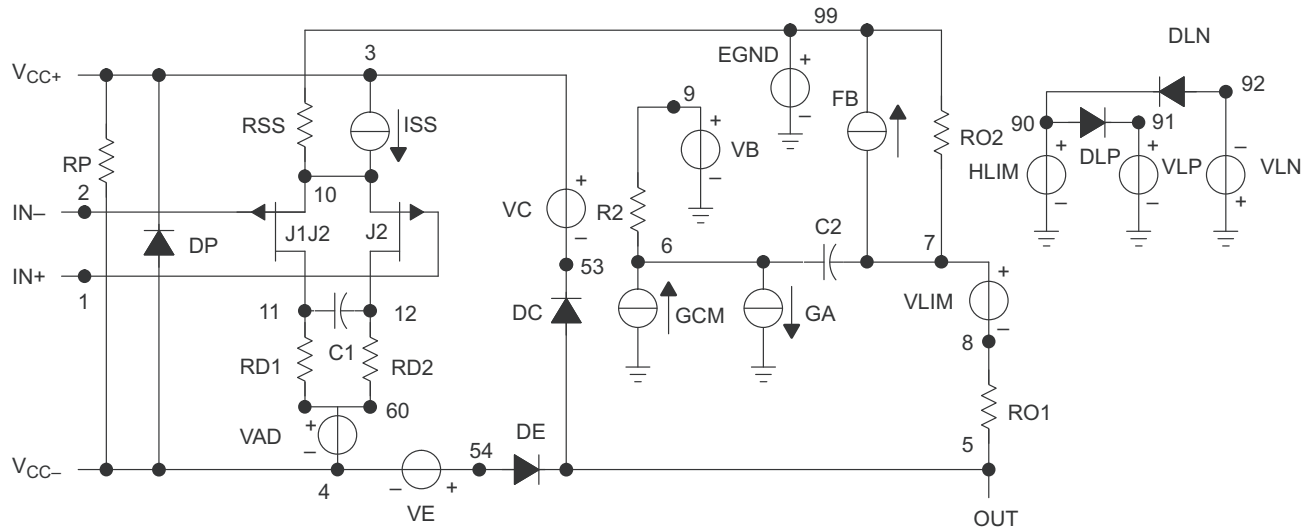
6.1 应用信息

6.1.1 宏模型信息

提供的宏模型信息是使用 Microsim Parts™ (与 Microsim PSpice™ 配合使用的模型生成软件) 推导得出。Boyle 宏模型¹和图 6-1 中的子电路是使用 TLV243x 典型电气和工作特性 ($T_A = 25^\circ\text{C}$) 生成。利用此信息，可以生成具有 20% 容差的以下关键参数输出仿真 (在大多数情况下)：

- 最大正极输出电压摆幅
- 最大负极输出电压摆幅
- 压摆率
- 静态功率耗散
- 输入偏置电流
- 开环电压放大
- 单位增益频率
- 共模抑制比
- 相位裕度
- 直流输出电阻
- 交流输出电阻
- 短路输出电流限制

¹ G. R. Boyle, B. M. Cohn, D. O. Pederson, and J. E. Solomon, “Macromodeling of Integrated Circuit Operational Amplifiers,” *IEEE Journal of Solid-State Circuits*, SC-9, 353 (1974).



.SUBCKT TLV2432 1 2 3 4 5

C1	11	12	3.560E-12
C2	6	7	15.00E-12
DC	5	53	DX
DE	54	5	DX
DLP	90	91	DX
DLN	92	90	DX
DP	4	3	DX
EGND	99	0	POLY (2) (3,0) (4,0) 0 .5 .5
FB	7	99	POLY (5) VB VC VE VLP
+ VLN 0 21.04E6 -30E6 30E6 30E6 -30E6			
GA	6	0	11 12 47.12E-6
GCM	0	6	10 99 4.9E-9
ISS	3	10	DC 8.250E-6
HLIM	90	0	VLIM 1K
J1	11	2	10 JX
J2	12	1	10 JX
R2	6	9	100.0E3

RD1	60	11	21.22E3
RD2	60	12	21.22E3
R01	8	5	120
R02	7	99	120
RP	3	4	26.04E3
RSS	10	99	24.24E6
VAD	60	4	-.6
VB	9	0	DC 0
VC	3	53	DC .65
VE	54	4	DC .65
VLIM	7	8	DC 0
VLP	91	0	DC 1.4
VLN	0	92	DC 9.4
.MODEL DX D (IS=800.0E-18)			
.MODEL JX PJF (IS=500.0E-15 BETA=281E-6			
+ VTO=-.065)			
.ENDS			

图 6-1. Boyle 宏模型和子电路

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.3 商标

高级 LinCMOS™ and TI E2E™ are trademarks of Texas Instruments.

Microsim Parts™ is a trademark of MicroSim.

所有商标均为其各自所有者的财产。

7.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (January 2011) to Revision C (July 2025)	Page
• 更新了整个文档中的编号、格式、表格、图和交叉参考，以反映现代数据表标准.....	1
• 从 订购信息 中删除了 TLV2434-Q1 预发布器件.....	2
• 更改了 电气特性 ：V _{DD} = 3V 共模抑制比最小值从 70dB 更改为：63dB.....	4
• 更改了 电气特性 ：V _{DD} = 3V 电源电流（每通道）25°C 的典型值从 98μA 更改为：115μA.....	4
• 更改了 电气特性 ：V _{DD} = 3V 电源电流（每通道）25°C 的最大值从 125μA 更改为：150μA.....	4
• 更改了 电气特性 ：V _{DD} = 3V 电源电流（每通道）整个温度范围的最大值从 130μA 更改为：175μA.....	4
• 更改了 电气特性 ：V _{DD} = 5V 共模抑制比最小值从 70dB 更改为：63dB.....	6
• 更改了 电气特性 ：V _{DD} = 5V 电源电流（每通道）25°C 的典型值从 100μA 更改为：115μA.....	6
• 更改了 电气特性 ：V _{DD} = 5V 电源电流（每通道）25°C 的最大值从 125μA 更改为：150μA.....	6
• 更改了 电气特性 ：V _{DD} = 5V 电源电流（每通道）整个温度范围的最大值从 135μA 更改为：175μA.....	6

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2432AQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432AQ
TLV2432AQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432AQ
TLV2432QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432Q1
TLV2432QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432Q1
TLV2434AQDRQ1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2434AQ
TLV2434AQDRQ1.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2434AQ
TLV2434AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2434AQ
TLV2434AQPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2434AQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

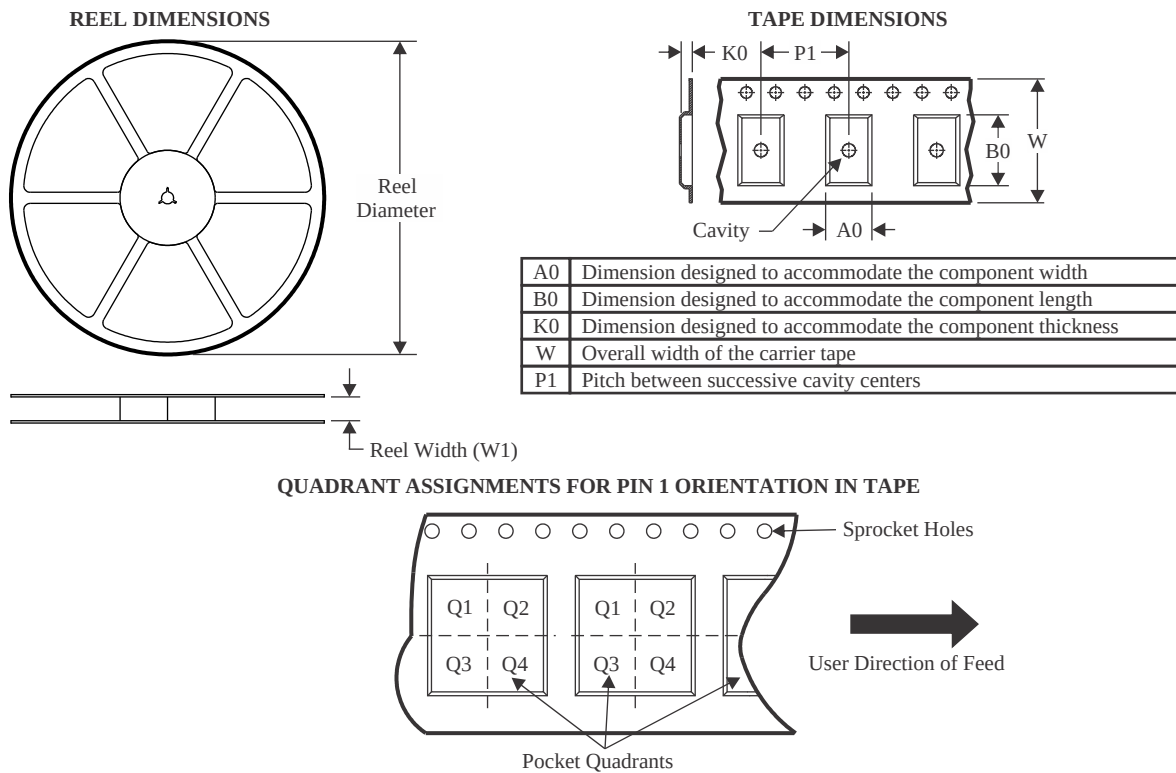
OTHER QUALIFIED VERSIONS OF TLV2432-Q1, TLV2432A-Q1, TLV2434A-Q1 :

- Catalog : [TLV2432](#), [TLV2432A](#), [TLV2434A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

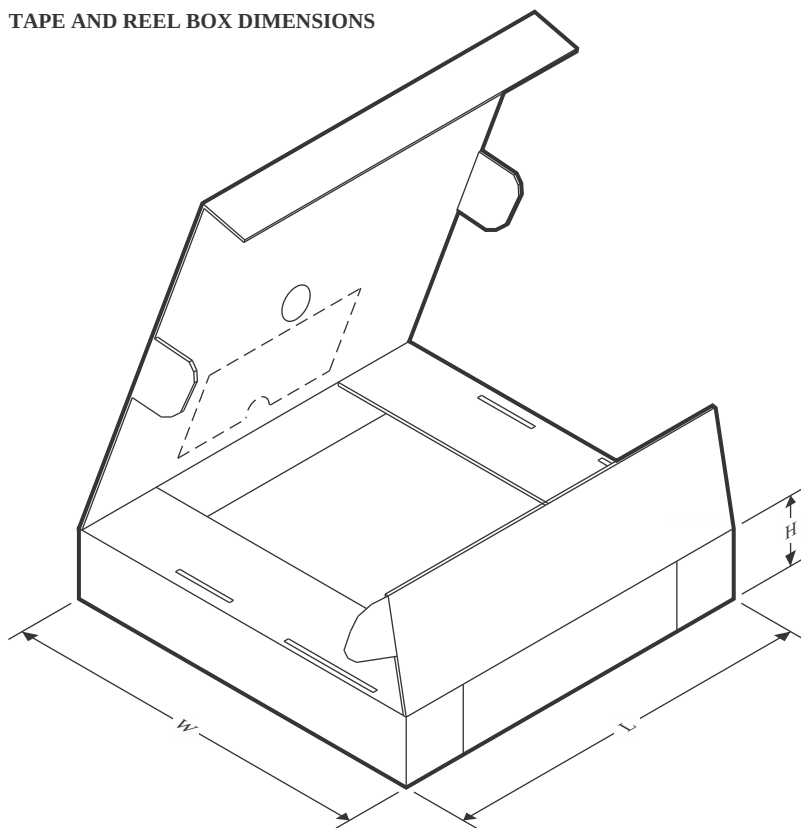
TAPE AND REEL INFORMATION



*All dimensions are nominal

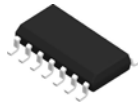
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2434AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

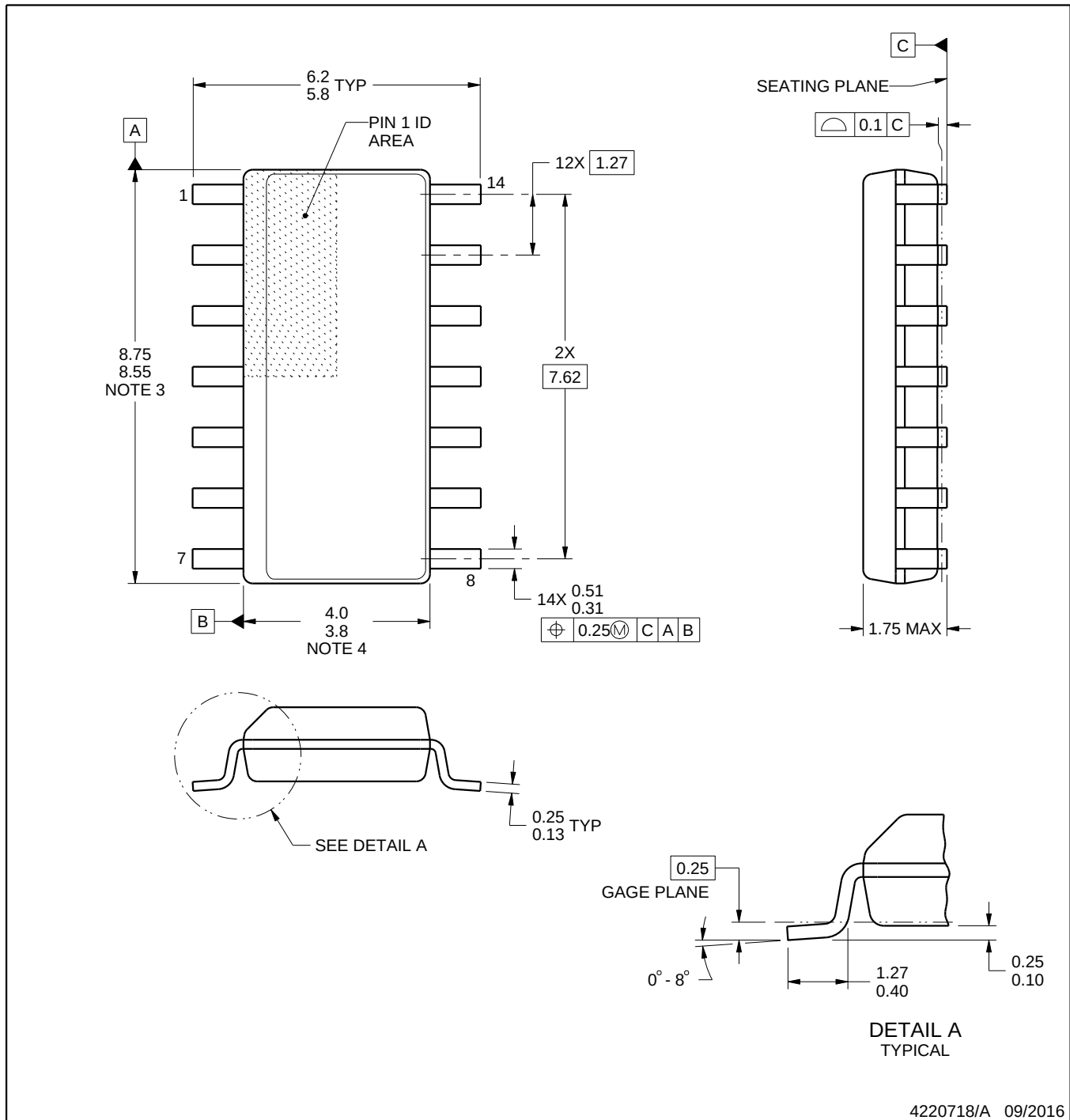


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2434AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

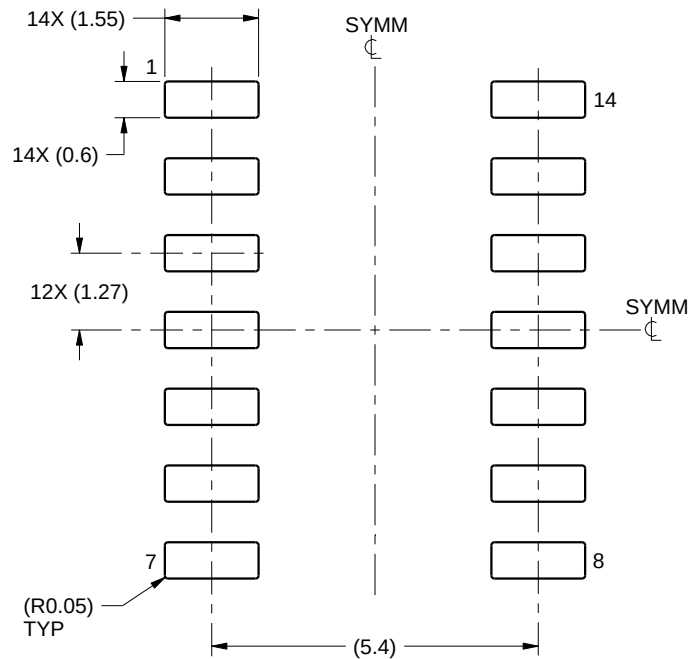
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

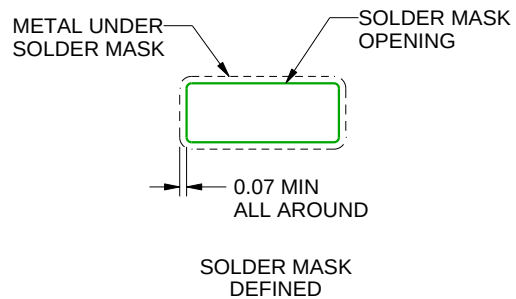
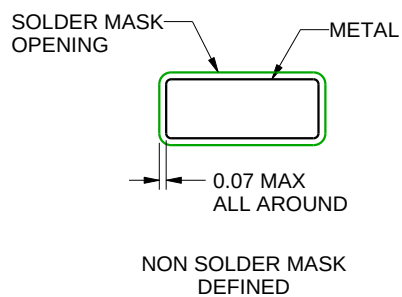
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

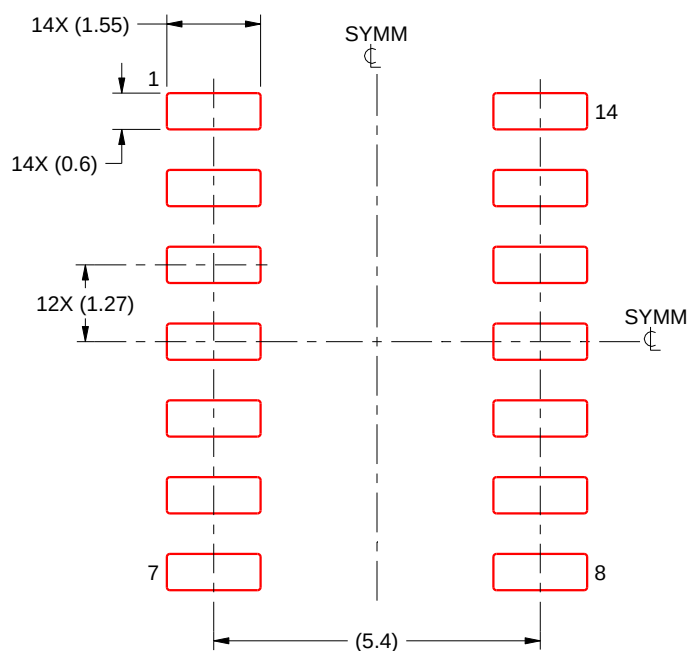
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



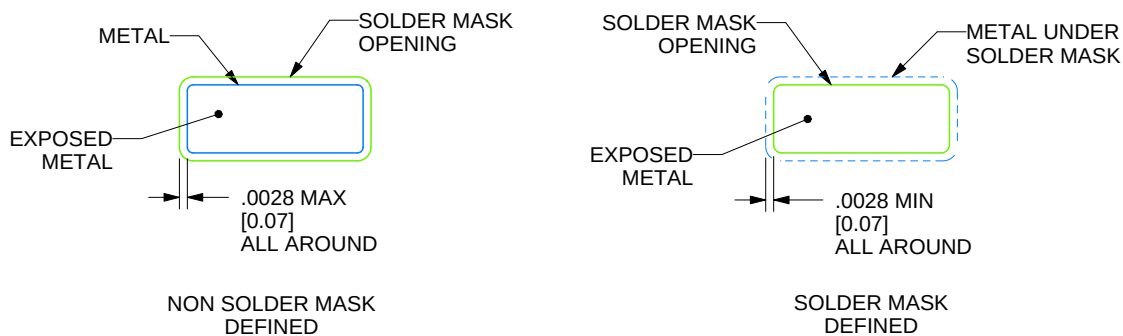
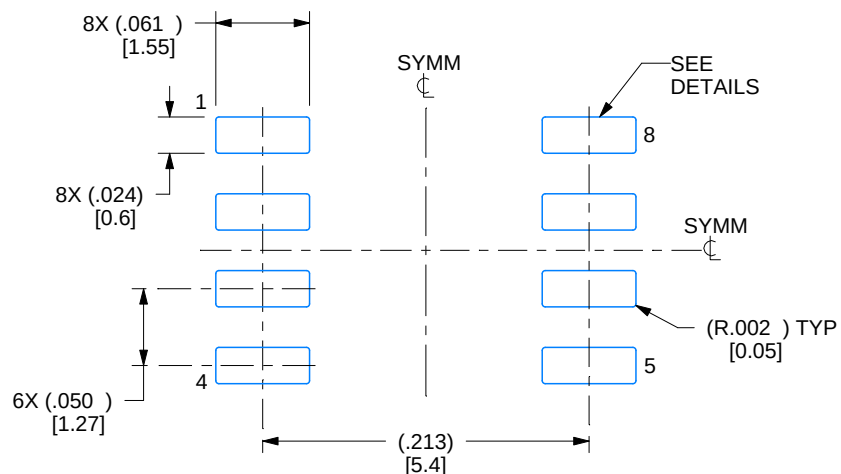
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

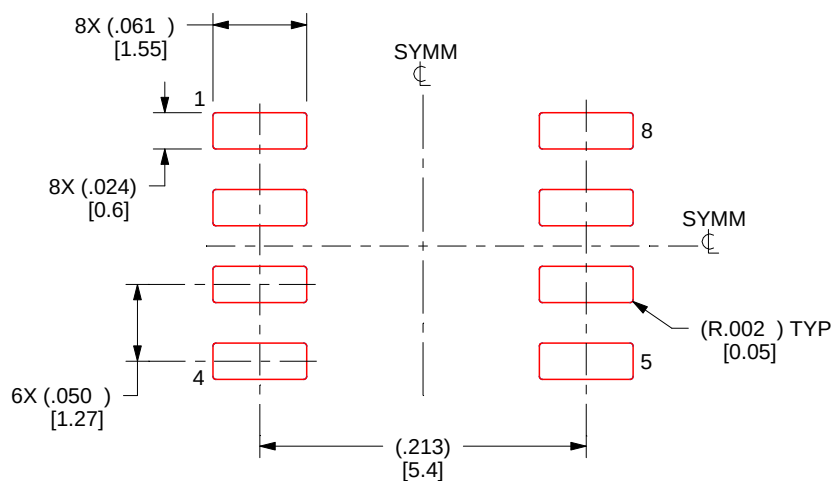
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

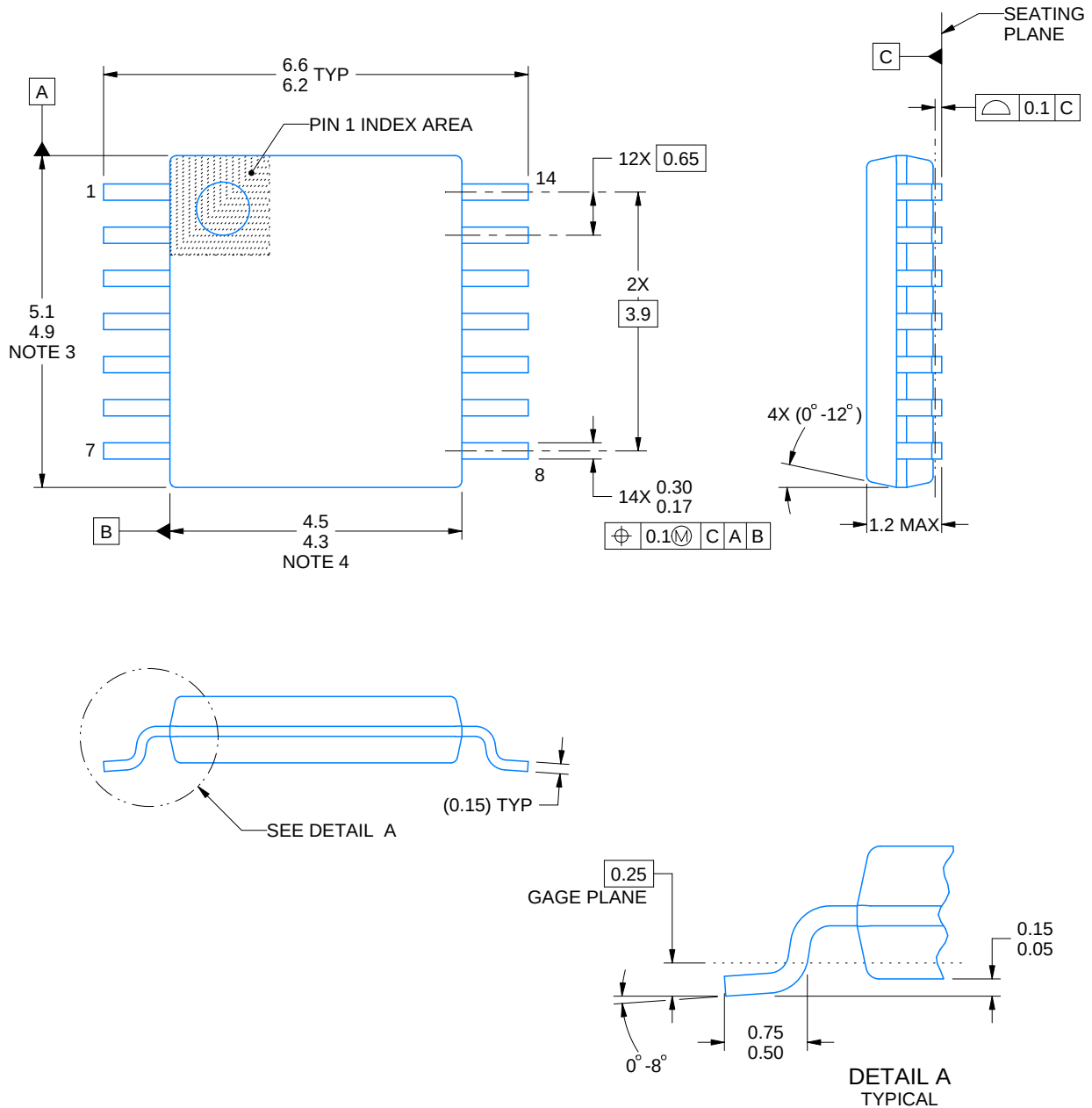
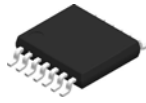


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

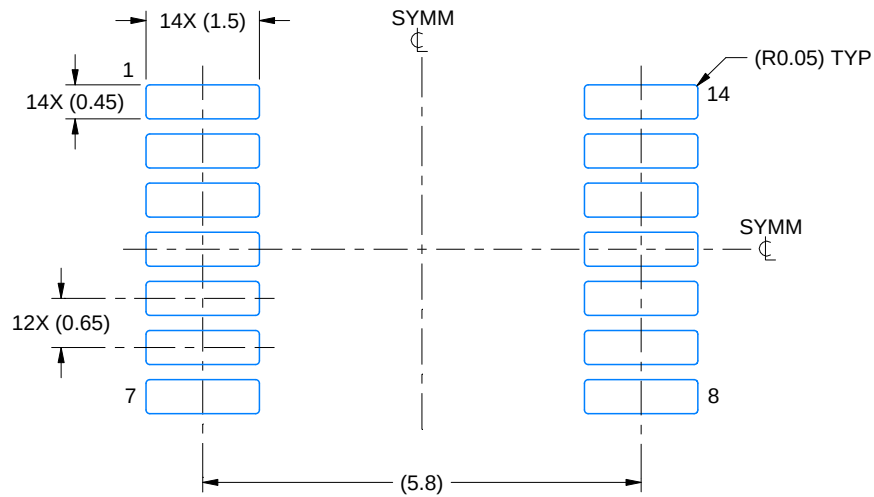
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

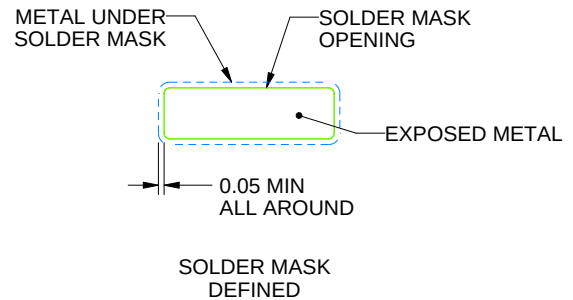
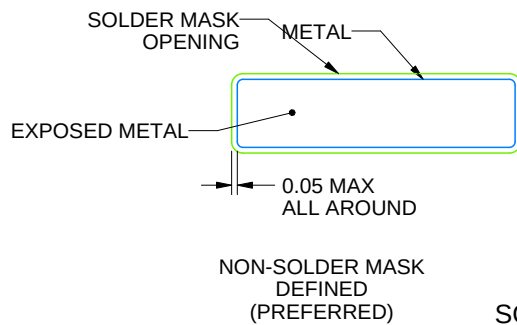
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

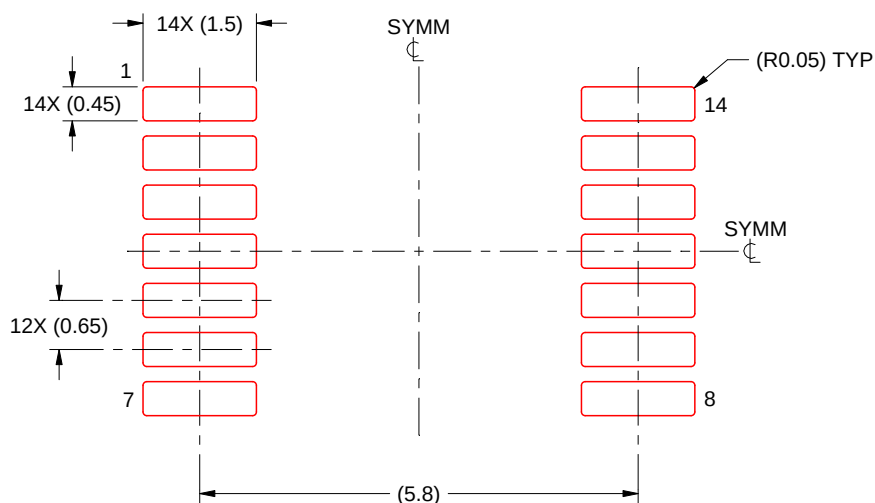
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司