

具有集成 2.5V 电压基准的 TLV192x 系列 65V 比较器

1 特性

- 宽电源电压范围：3.3V 至 65V
- 高达 65V 的失效防护输入
- 高达 65V 的开漏输出
- 2.5V、1.5%、100ppm 最大电压基准
- 参考输出可驱动高达 1mA 的电流
- 3mV 输入失调电压
- 900ns 传播延迟
- 上电复位可提供已知的启动条件
- 低电源电流：每通道 8 μ A
- 引脚间距满足 IPC2221A 爬电要求 (SOIC)。
- 温度范围：-40°C 至 +125°C

2 应用

- 电机驱动器
- 电器
- 电网基础设施
- 工厂自动化和控制
- 牵引逆变器

3 说明

TLV1921 和 TLV1922 是单通道和双通道 65V 比较器系列，具有外部可访问的集成 2.5V 电压基准。输入具有失效防护功能，可耐受高达 65V 的电源电压。这使

得这些比较器非常适合要求工作电压符合 65V 的 12V 和 24V 工业系统。同样，失效防护输入消除了电源时序问题。

单通道和双通道选项具有外部可用的 2.5V 参考输出和非专用比较器输入，允许采用反相和同相配置。双通道比较器还具有外部可用的 2.5V 参考输出，该输出在内部连接到第一个比较器的同相输入。双通道配置可实现窗口比较器应用或双通道过压检测。

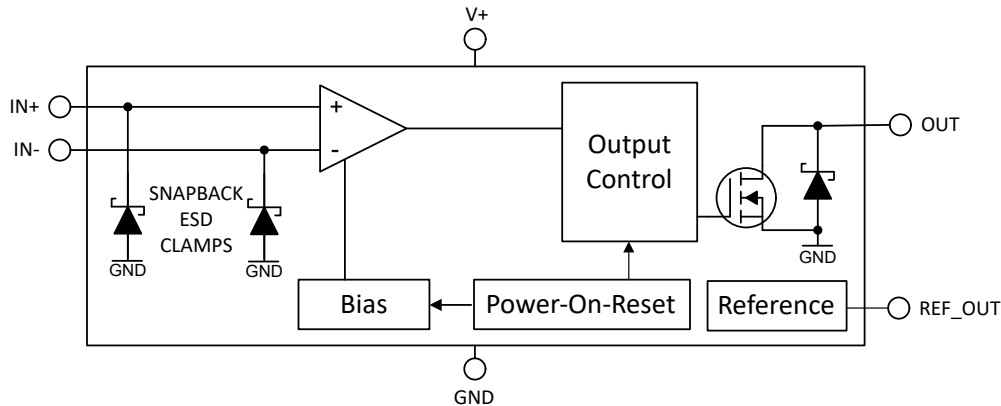
所有器件均具有上电复位 (POR) 特性，这可将输出设置为已知状态，直到达到最小电源电压，且输出对输入做出响应，从而防止系统上电和断电期间出现错误输出。

该系列的比较器具有符合 65V 标准的开漏输出级。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值) ⁽²⁾
TLV1921	SOIC (8) (预发布)	3.91mm × 4.90mm
	SC-70 (6) (预发布)	2.00mm × 1.25mm
TLV1922	SOIC (8) (预发布)	3.91mm × 4.90mm
	WSO8 (8)	2.00mm × 2.00mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图

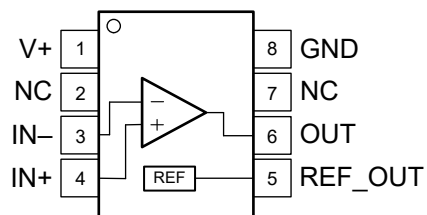


内容

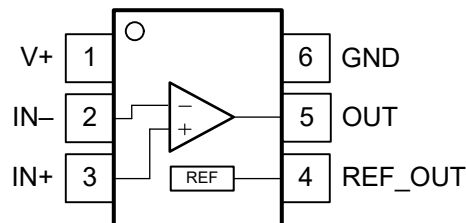
1 特性	1	6.2 功能方框图	12
2 应用	1	6.3 特性说明	12
3 说明	1	6.4 器件功能模式	12
4 引脚配置和功能	3	7 应用和实施	15
引脚配置：TLV1921.....	3	7.1 应用信息.....	15
引脚配置：TLV1922.....	4	7.2 典型应用.....	16
5 规格	5	7.3 电源相关建议.....	18
5.1 绝对最大额定值.....	5	7.4 布局.....	18
5.2 ESD 等级.....	5	8 器件和文档支持	20
5.3 热性能信息 - 单通道.....	5	8.1 文档支持.....	20
5.4 热性能信息 - 双通道.....	6	8.2 接收文档更新通知.....	20
5.5 建议运行条件.....	6	8.3 支持资源.....	20
5.6 电气特性.....	7	8.4 商标.....	20
5.7 开关特性.....	8	8.5 静电放电警告.....	20
5.8 典型特性.....	9	8.6 术语表.....	20
6 详细说明	12	9 修订历史记录	20
6.1 概述.....	12	10 机械、封装和可订购信息	20

4 引脚配置和功能

引脚配置：TLV1921



D 封装
8 引脚 SOIC
 顶视图

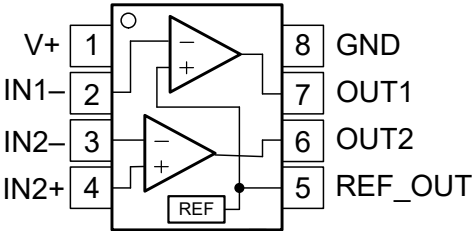


DCK 封装
6 引脚 SC-70
 顶视图

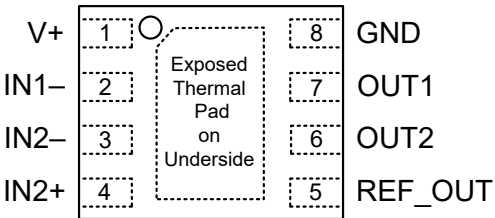
表 4-1. 引脚功能：TLV1921

名称	引脚		I/O	说明
	SC-70	SOIC		
V+	1	1	–	正电源电压
NC	–	2	–	无连接
IN –	2	3	I	反相 (–) 输入
IN+	3	4	I	同相 (+) 输入
REF_OUT	4	5	O	基准输出
OUT	5	6	O	比较器输出
NC	–	7	–	无连接
GND	6	8	–	负电源电压

引脚配置：TLV1922



D 封装
8 引脚 SOIC
顶视图



DSG 封装
8 引脚 WSON
俯视图

表 4-2. 引脚功能：TLV1922

引脚		I/O	说明
名称	编号		
V+	1	—	正电源电压
IN1 -	2	I	比较器 1 的反相输入引脚
IN2 -	3	I	比较器 2 的反相输入引脚
IN2+	4	I	比较器 2 的同相输入引脚
REF_OUT	5	O	基准输出
OUT2	6	O	比较器 2 的输出引脚
OUT1	7	O	比较器 1 的输出引脚
GND	8	—	负电源电压

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
电源电压: $V_S = (V+) - GND$	-0.3	70	V
GND 的输入引脚: (IN+, IN-) ⁽²⁾	-0.3	65	V
进入输入引脚的电流: (IN+, IN-) ⁽²⁾	-10	10	mA
GND 的比较器输出电压: (OUT) ⁽³⁾	-0.3	65	V
比较器输出短路电流 ⁽⁴⁾		10	mA
结温, T_J		150	°C
贮存温度, T_{stg}	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 输入引脚被二极管钳制至 GND。只要在 -0.3V 至 65V 范围内, 输入 (IN+, IN-) 就可以大于 (V+)。低于 -0.3V 的输入必须被限制在少于 -10mA 的电流, 而超过 +65V 的输入必须被外部钳位电压。
- (3) 只要在 -0.3V 至 65V 范围内, 开漏输出 (OUT) 就可以大于 (V+) 和输入 (IN+, IN-)。
- (4) 对 +5V 短路。持续输出短路会导致过热并超过允许的最大结温, 导致器件损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 热性能信息 - 单通道

热指标 ⁽¹⁾		TLV1921		单位
		D (SOIC-8)	DCK (SC-70)	
		8 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	-	-	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	-	-	°C/W
$R_{\theta JB}$	结至电路板热阻	-	-	°C/W
Ψ_{JT}	结至顶部特征参数	-	-	°C/W
Ψ_{JB}	结至电路板特征参数	-	-	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	-	-	°C/W

- (1) 更多有关新旧热指标的信息, 请参阅 [半导体和 IC 封装热指标](#) 报告。

5.4 热性能信息 - 双通道

热指标 ⁽¹⁾		TLV1922		单位
		D (SOIC-8)	DSG (WSON-8)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	–	78.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	–	99.8	°C/W
$R_{\theta JB}$	结至电路板热阻	–	44.4	°C/W
ψ_{JT}	结至顶部特征参数	–	5.0	°C/W
ψ_{JB}	结至电路板特征参数	–	44.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	–	19.5	°C/W

(1) 更多有关新旧热指标的信息，请参阅[半导体](#)和[IC 封装热指标](#)报告。

5.5 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	最大值	单位
电源电压： $V_S = (V+) - GND$	3.3	65	V
GND 的输入电压范围	-0.2	65	V
GND 的输入电压范围	-0.2	65	V
环境温度， T_A	-40	125	°C

5.6 电气特性

$T_A = 25^\circ\text{C}$ 时, V_S (总电源电压) = $(V+) - (V-) = 24\text{V}$, $V_{CM} = V_{2.5V}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压		-3	± 0.5	3	mV
V_{OS}	输入失调电压	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-4		4	mV
dV_{IO}/dT	输入失调电压温漂	$V_{CM} = \pm 2.5\text{V}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 1.2		$\mu\text{V}/^\circ\text{C}$
V_{HYS}	输入迟滞电压		1.2	3	5	mV
V_{HYS}	输入迟滞电压	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	1		6	mV
输入共模范围						
$V_{CM-Range}$	共模电压范围	$V_S = 3.3\text{V}$ 至 65V	$(V-) - 0.2$		$(V+) - 1.5$	V
$V_{CM-Range}$	共模电压范围	$V_S = 3.3\text{V}$ 至 65V $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	$(V-) - 0.2$		$(V+) - 2$	V
C_{IC}	输入共模电容			2		pF
电压基准						
V_{OUT}	基准电压		2.462	2.5	2.538	V
	精度			$\pm 0.2\%$	$\pm 1.5\%$	
	精度	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			$\pm 1.75\%$	
dV_{OUT}/dT	温漂	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		40	100	ppm/ $^\circ\text{C}$
dV_{OUT}/dI_{LOAD}	负载调节, 拉电流	$0\text{mA} < I_{SOURCE} \leq 0.5\text{mA}$		4		mV/mA
	负载调节, 灌电流	$0\text{mA} < I_{SINK} \leq 0.5\text{mA}$		4		mV/mA
I_{LOAD}	输出电流			1		mA
dV_{OUT}/dV_S	线性调整率	$3.3\text{V} \leq V_S \leq 65\text{V}$		10	100	$\mu\text{V}/\text{V}$
V_{noise}	噪声	$f = 0.1\text{Hz}$ 至 10Hz		0.2		mV _{PP}
输入偏置电流						
I_B	输入偏置电流			± 2		pA
I_B	输入偏置电流	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-1.2		1.2	nA
I_{OS}	输入失调电流			± 20		pA
输入阻抗						
C_{ID}	输入差分模式电容			8		pF
输出						
V_{OL}	$(V-)$ 的电压摆幅	$V_{PU} = 5\text{V}$, $R_{PU} = 10\text{k}$ $I_{SINK} = 5\text{mA}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		150	300	mV
I_{OL}	短路电流	5V 时的灌电流 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		35		mA
电源						
I_Q	静态电流 (每个比较器)	输出为逻辑高电平, $V_{PU} = 5\text{V}$, $R_{PU} = 10\text{k}$		8	11	μA
I_Q	静态电流 (每个比较器)	输出为逻辑高电平, $V_{PU} = 5\text{V}$, $R_{PU} = 10\text{k}$ $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			13	μA
V_{POR}	上电复位电压			2.45		V
t_{ON}	上电时间			2		ms

5.7 开关特性

$T_A = 25^\circ\text{C}$ 时, V_S (总电源电压) = $(V+) - (V-) = 24\text{V}$ 且 $V_{PU} = 3.3\text{V}$, $V_{CM} = 2.5\text{V}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出						
T_{PD-LH}	传播延迟时间, 从低电平到高电平	$V_{OD} = 100\text{ mV}$, $V_{UD} = 100\text{ mV}$ $C_L = 15\text{pF}$, $T_A = 25^\circ\text{C}$, $V_{CM} = V_{REF}$		1.2		μs
T_{PD-HL}	传播延迟时间, 高电平到低电平	$V_{OD} = 100\text{ mV}$, $V_{UD} = 100\text{ mV}$ $C_L = 15\text{pF}$, $T_A = 25^\circ\text{C}$, $V_{CM} = V_{REF}$		0.9		μs
T_{FALL}	输出下降时间, 80% 至 20%	$C_L = 15\text{pF}$, $V_{OD} = 100\text{mV}$, $V_{UD} = 100\text{mV}$, $R_{PU} = 5.1\text{k}$		10		ns

5.8 典型特性

$T_A = 25^\circ\text{C}$ 时, $V_S = 24\text{V}$, $V_{CM} = 2.5\text{V}$, $R_P = 5.1\text{k}\Omega$, $C_L = 15\text{pF}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$, 除非另有说明。

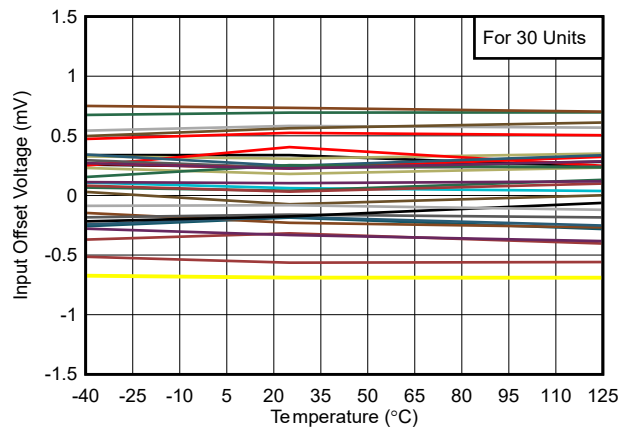


图 5-1. 失调电压与温度间的关系

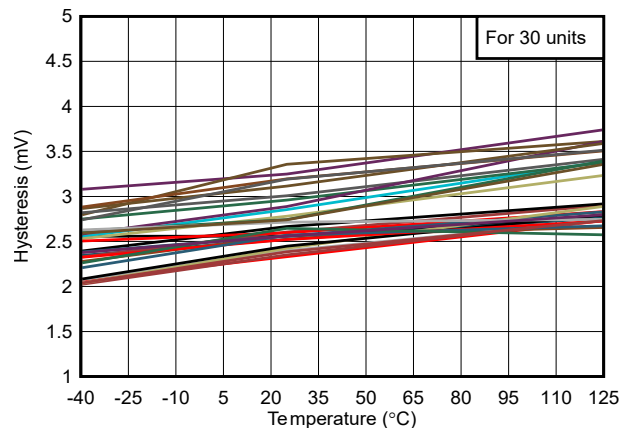


图 5-2. 迟滞与温度之间的关系

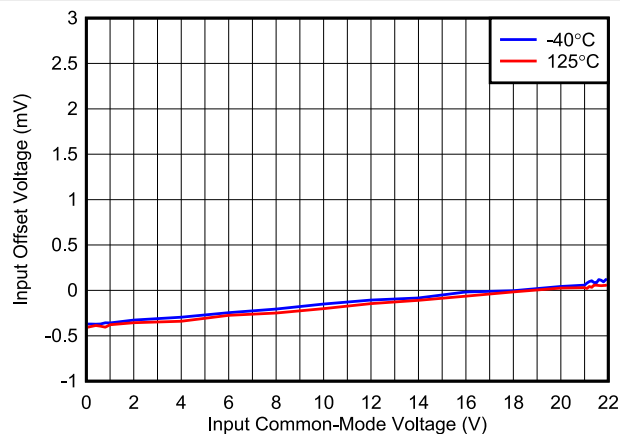


图 5-3. 失调电压与共模电压间的关系, 24V

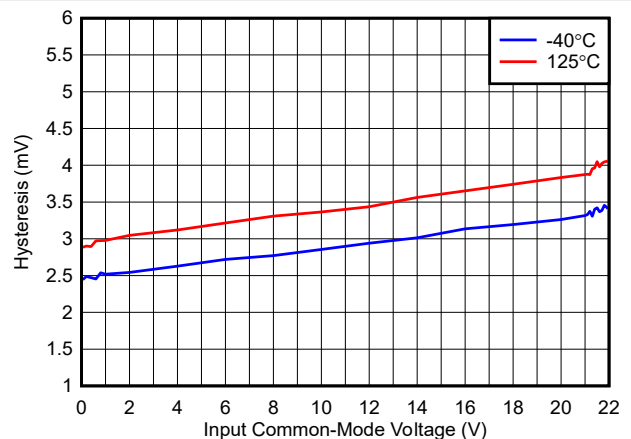


图 5-4. 迟滞与共模电压间的关系, 24V

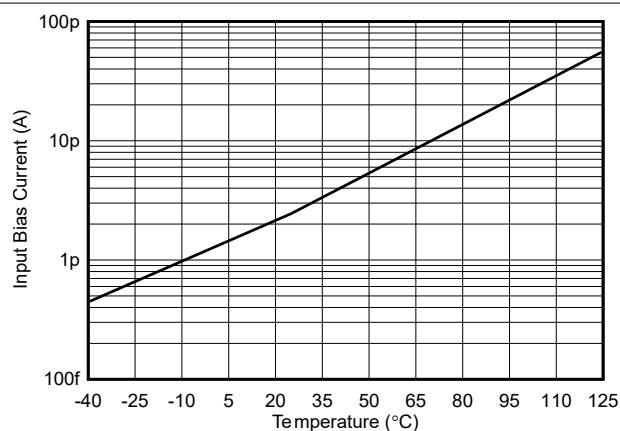


图 5-5. 偏置电流与温度间的关系, 24V

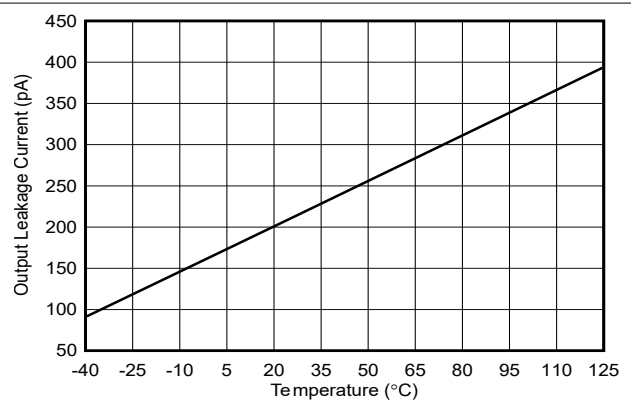


图 5-6. 输出泄漏电流与温度间的关系

5.8 典型特性 (续)

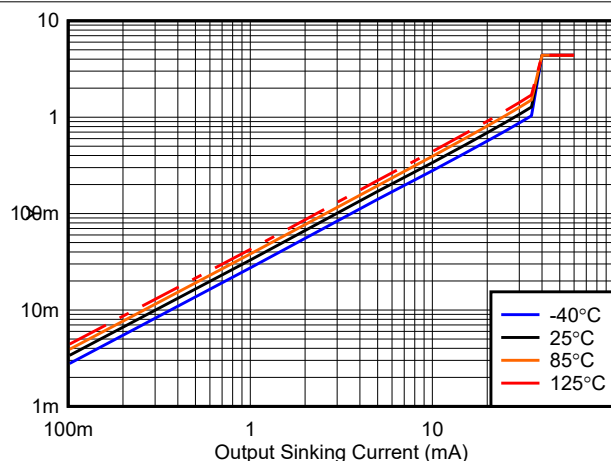


图 5-7. 输出电压与输出灌电流间的关系, 4.5V

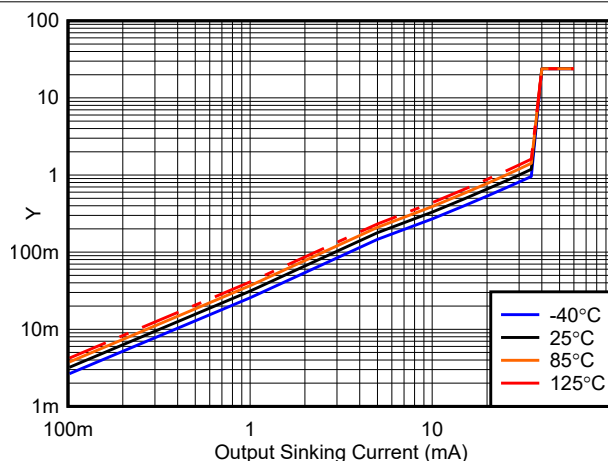


图 5-8. 输出电压与输出灌电流间的关系, 24V

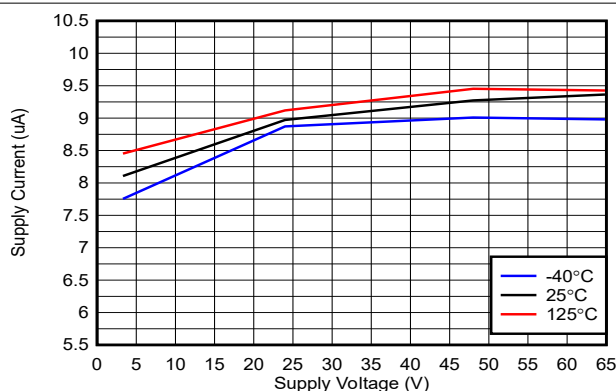


图 5-9. 电源电流与电源电压间的关系 (输出低电平)

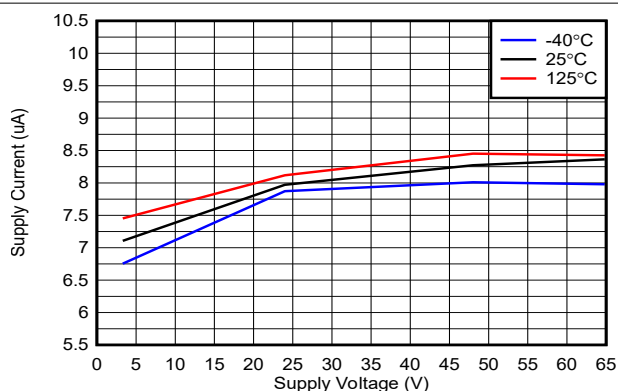


图 5-10. 电源电流与电源电压间的关系 (输出高电平)

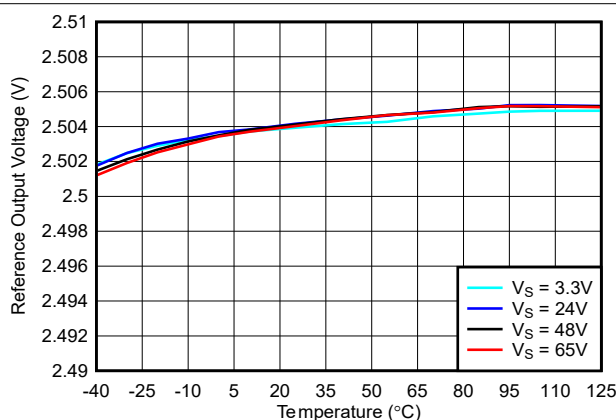


图 5-11. 基准电压与温度间的关系

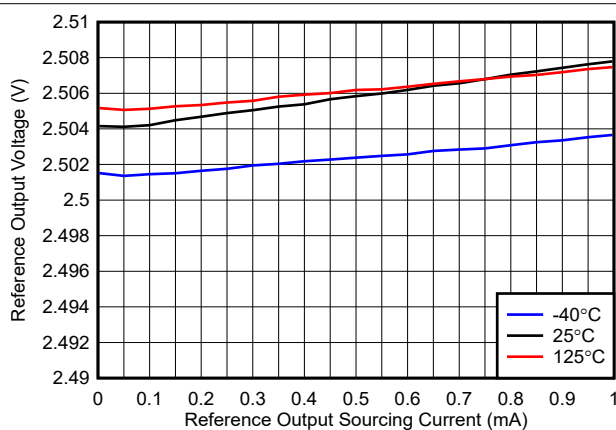


图 5-12. 基准电压与基准输出拉电流间的关系

5.8 典型特性 (续)

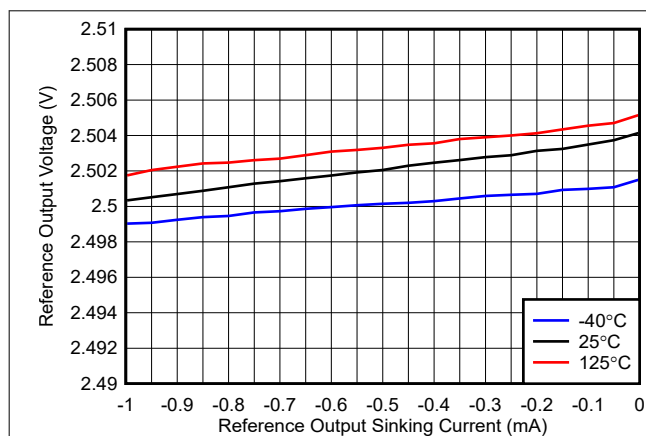


图 5-13. 基准电压与基准输出灌电流间的关系

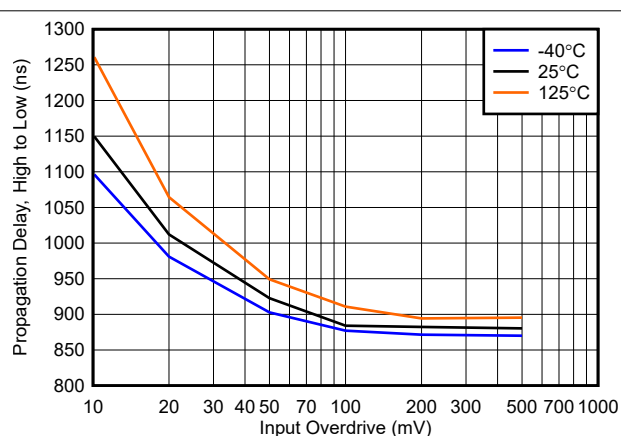


图 5-14. 传播延迟, 从高电平到低电平, 24V

6 详细说明

6.1 概述

TLV192x 是一个比较器系列，具有 3.3V 至 65V 的宽电源电压范围和一个由外部可用的集成式 2.5V 电压，该电压支持高达 1mA 的灌电流和拉电流。

单通道比较器具有独立的参考输出和非专用比较器输入。

双通道比较器的参考输出也在内部连接到第一个比较器的同相输入。第二个比较器具有可连接到参考输出或外部基准的非专用输入，从而实现最大的配置灵活性。

输入具有高达 65V 的失效防护功能。这使得这些比较器非常适合高电压系统，而不会在故障或瞬变期间造成损坏。独特的引脚排列将高压输入和电源引脚与低电压输出和 GND 引脚分开，可简化布局以满足爬电要求。

此系列具有上电复位 (POR) 功能，可确保在达到最小电源电压前输出处于已知状态，然后输出才对输入做出响应，从而防止系统上电和下电期间出现错误输出。

输出为开漏型，能够独立于比较器电源被上拉至 65V。

6.2 功能方框图

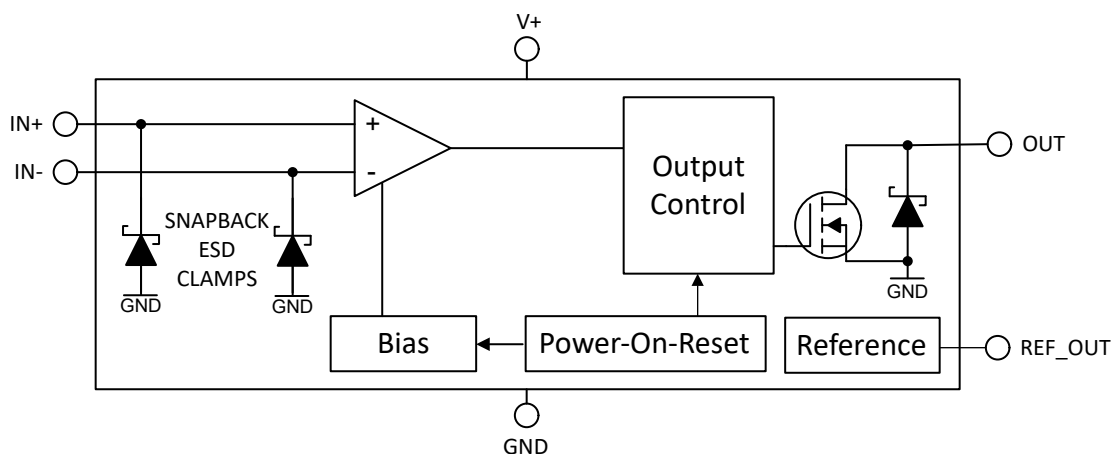


图 6-1. 方框图

6.3 特性说明

TLV192x 是一个 65V 比较器系列，具有 3.3V 至 65V 的电源电压范围、一个外部可用的 2.5V 电压基准、上电复位 (POR) 功能、高达 65V 的失效防护输入以及一个开漏输出 (能够独立于比较器电源被上拉至 65V)。后续章节会详细说明这些特性。

6.4 器件功能模式

6.4.1 输入

6.4.1.1 输入电压和共模电压范围

TLV192x 的输入电压范围为 -0.2V 至 65V，共模 (开关阈值) 范围为 -0.2V 至 (V+) - 2V。共模电压 (称为开关阈值) 是比较器从一个输出状态转换到另一个输出状态的点。

TLV192x 具有一项“特性”，即如果其中一个输入引脚保持在共模电压范围 (-0.2V 至 (V+) - 2V) 内，电源电压有效且不处于 POR 状态，则输出状态正确。

以下是输入电压范围条件及其输出的汇总：

1. 当 IN- 和 IN+ 都在共模电压范围内时：

- a. 如果 IN^- 大于 IN^+ 和偏移电压，则输出为低电平。
 - b. 如果 IN^- 小于 IN^+ 和偏移电压，则输出为高电平。
 - c. 如果 IN^- 等于 IN^+ ，则输出状态在技术上是不确定的，输出状态由内部偏移电压的随机极性决定。
2. 当 IN^- 高于共模电压范围，而 IN^+ 在共模电压范围内时，输出为低电平。
 3. 当 IN^+ 高于共模电压范围，而 IN^- 在指定的输入电压范围内时，输出为高电平
 4. 当 IN^- 和 IN^+ 均不在共模电压范围内时，无论哪个输入更大，输出均为低电平。

不在共模范围内运行可能会导致规格发生变化（如传播延迟和输入偏置电流）。同样，当重新进入共模电压范围时，还有一段恢复时间。

6.4.1.2 失效防护输入

失效防护定义为当 V^+ 未上电或在建议的工作范围内且未损坏时保持相同的高输入阻抗。TLV192x 输入与 V^+ 无关，可容错高达 65V。

失效防护输入电压可以是相对于 GND 在 0V 至 65V 之间的任意值，即使在 V^+ 为零或上升/下降时也是如此。只要输入电压范围和电源电压在指定范围内，该特性就能够避免电源时序问题。

失效防护输入在每个引脚到 GND 之间具有快速复位 ESD 保护功能，从而允许这些引脚超过高达 65V 的电源电压 (V^+)。如果输入电压超过 65V，则需要一个外部钳位。同样，输入端的负电压会通过 ESD 钳位到 GND，需要限制在 -0.2V 以内。

如果输入端要连接到低阻抗源（例如电源或缓冲参考线），请添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何瞬态电流。需要将电流限制在 10mA 或以下。该串联电阻可以是任何电阻输入分压器或网络的一部分。

6.4.1.3 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低失调电压，将输入端直接连接在一起会导致高频振荡，因为器件会触发其自身的内部宽带噪声。相反，应将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，将一个输入接地，将另一个输入连接到基准电压，甚至连接到 (V^+)。

6.4.2 开漏输出

TLV192x 具有一个仅灌入的开漏（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至一个外部电压（0V 至 65V），而不受比较器电源电压 (V^+) 的影响。该开漏输出还允许对多个开漏输出进行逻辑或运算和逻辑电平转换。TI 建议将上拉电阻器电流设置为小于 100 μ A，以优化 V_{OL} 逻辑电平。较低的上拉电阻值有助于增加上升时间，但代价是增加 V_{OL} 和功耗。上升时间取决于总上拉电阻和总负载电容的时间常数。大阻值上拉电阻 (>1M Ω) 由于输出 RC 时间常数而产生指数上升沿，并增加上升时间。

直接将输出短接至上拉电压可导致热失控，并最终在高上拉电压 (>65V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。将输出短接至 V^+ 最终会损坏器件。

未使用的开漏输出可保持悬空，如果不允许使用悬空引脚，则可以连接到 GND 引脚。

开漏输出 ESD 保护电路包括输出和 GND 之间的快速复位 ESD 钳位。

6.4.3 基准输出

集成的 2.5V 电压基准在一个单独的输出引脚上提供 100ppm/ $^{\circ}$ C（最大值）的低温漂，此引脚允许使用外部分压器或者为其他外部电路提供基准电压。该基准与高达 10nF 的容性负载搭配使用时可保持稳定，并且可灌入/拉出高达 500 μ A（典型值）的输出电流。

6.4.4 上电复位 (POR)

TLV192x 具有用于启动或断电条件已知的内部上电复位 (POR) 电路。当电源 (V^+) 上升或下降时，POR 电路将在超过最小电源电压阈值 (V_{POR}) 且参考输出稳定后激活长达 4ms。当电源电压降至 V_{POR} 以下时，输出立即变为高阻态。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

POR 电路会在 POR 期间 (t_{on}) 使输出保持高阻态 (HI-Z)。

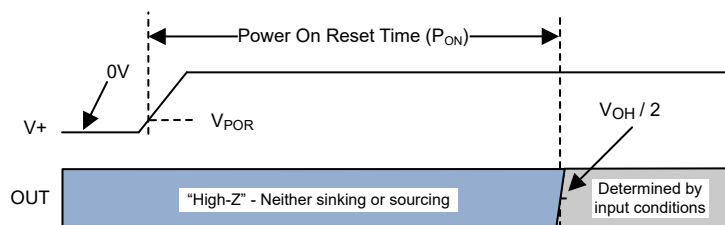


图 6-2. 上电复位时序图

6.4.5 内部迟滞

TLV192x 包含高达 5mV 的内部迟滞。有关迟滞以及如何通过添加外部迟滞来增加系统迟滞的信息，请参阅 [迟滞](#) 部分。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 运行

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 小于 V_{REF} ，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF} ，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 7-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

如果 $IN-$ 等于 $IN+$ ，则输出状态在技术上是未知的，输出状态由内部偏移电压的随机极性决定。当在零并联负载电流下将输入端直接跨接在低阻值的并联电阻器两端时，这种情况很常见。

表 7-1. 输出条件

输入条件	输出
$IN+ > IN-$	高 (V_{OH})
$IN+ = IN-$	不确定 (抖动 - 请参阅 迟滞)
$IN+ < IN-$	低 (V_{OL})

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。如 图 7-1 中的 t_{pLH} 和 t_{pHL} 所示，从输入的中点到输出的中点进行测量。

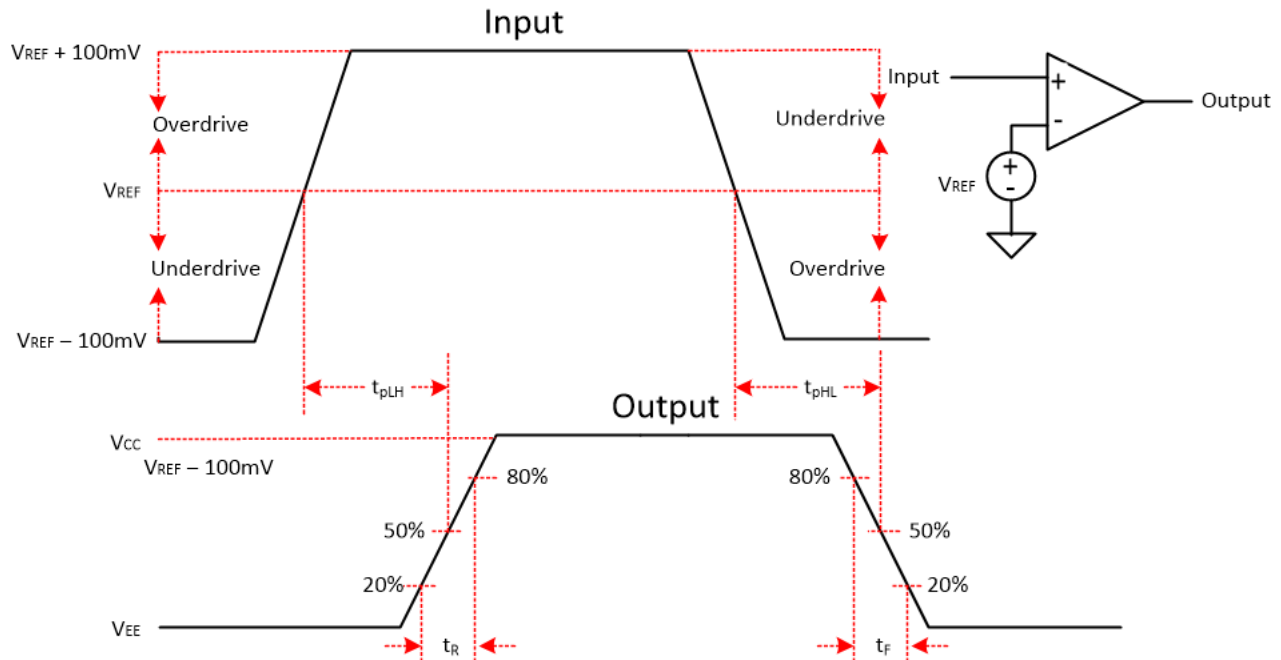


图 7-1. 比较器时序图

7.1.1.3 过驱电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰峰值电压）。如 图 7-1 示例所示，过驱电压为 100mV。过驱电压会影响传播延迟 (t_p)。过驱电压越小，传播延迟越长，尤其在 $< 100\text{mV}$ 时。如果需要非常快的速度，TI 建议使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.1.2 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置会产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。向比较器添加外部迟滞可防止出现这个问题。

由于 TLV192x 器件仅具有 5mV 的超小内部迟滞，因此可以通过正反馈环路形式施加外部迟滞，从而根据电流输出状态调整比较器的跳变点。

下面的 图 7-2 展示了 迟滞传递曲线。该曲线是一个涉及三个分量的函数： V_{TH} 、 V_{OS} 和 V_{HYST} ：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

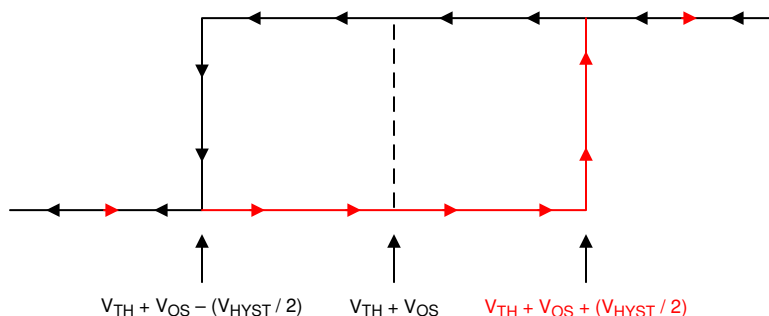


图 7-2. 迟滞传递曲线

更多相关信息，请参阅“[具有/不具有迟滞功能的比较器电路 - SBOA219](#)”。

7.1.2.1 使用开漏输出的反相和同相迟滞

计算中还必须考虑 TLV192x 输出上拉电阻。当输出为高电平时，可以看到上拉电阻器与反馈电阻器串联。因此，反馈电阻器实际上可视为 $R_2 + R_{PULLUP}$ 。TI 建议上拉电阻器阻值至少是反馈电阻器的十分之一。

7.2 典型应用

7.2.1 窗口比较器

窗口比较器通常用于检测欠压和过压情况。下图显示了一个用于监视 24V PLC 电源的简单窗口比较器电路。如果输出端直接连接在一起，则窗口比较器需要开漏输出。

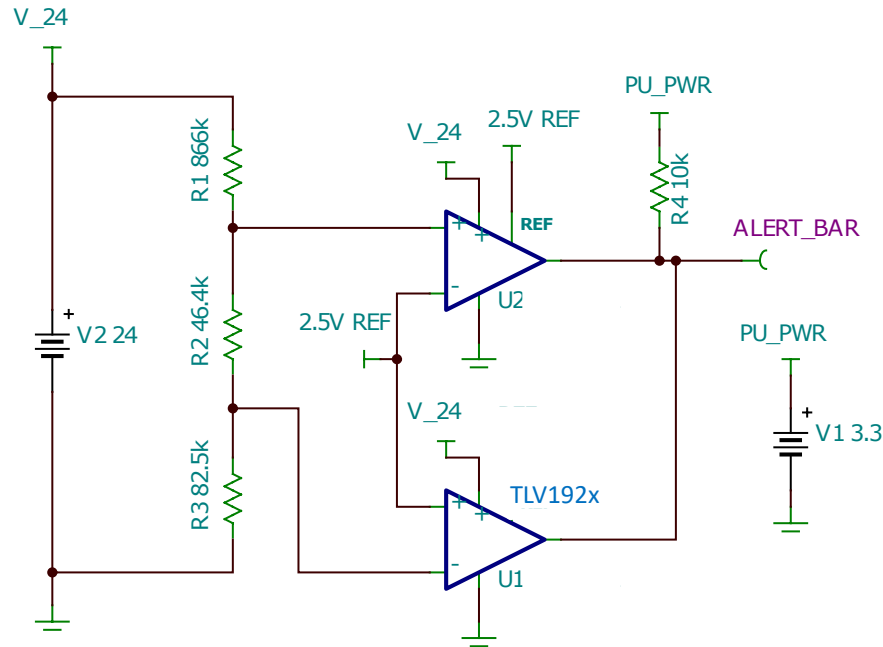


图 7-3. 窗口比较器

7.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当 24V 电源低于 19.2V 时 ALERT_BAR 输出为逻辑低电平
- 当 24V 电源高于 30V 时 ALERT_BAR 输出为逻辑低电平
- 电阻器串中消耗的电流为 30uA
- 比较器通过受监测的 24V 电源供电

7.2.1.2 详细设计过程

如上面的电路所示配置电路，其中 TLV192x 的 2.5V REF 用作参考电压，R1、R2 和 R3 的电阻器串用于定义 24V PLC 电源的阈值电压上限和下限。当比较器检测到 24V 电源已超过 30V 的最大电压或降至 19.2V 的最小电压以下时，LERT_BAR 被拉至逻辑低电平状态。

第一步是使用 30uA 的耗散限值来确定电阻器串 (R1、R2、R3) 的总电阻。在最高工作电压为 30V 的情况下，如果 $R1+R2+R3$ 的总电阻为 1Mohm，则电阻器串的电消耗为 30uA。

第二步是设置 R3 的值，以便下限比较器在 24V 电源达到 30V 时将输出状态从高电平更改为低电平。当 R2 和 R3 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 30V 的电压下会有 30uA 通过电阻器串，因此 R3 可以根据 $2.5V/30uA$ 计算得出，约为 83.3kΩ。

第三步是设置 R2 的值，以便上限比较器在 24V 电源达到 19.2V 时将输出状态从高电平更改为低电平。当 R1 和 R2 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 19.2V 的电压下会有 19.2uA 通过电阻器串，因此 R2 可以根据 $(2.5V/19.2uA) - R3$ 计算得出，约为 46.9kΩ。

最后，R1 的值根据 $1Mohm - (R2 + R3)$ 计算得出，约为 870kΩ。请注意，为电路选择了标准的 1% 电阻器值。

当 24V PLC 电源小于 19.2V 或大于 30V 时，相应的比较器输出 (ALERT_BAR) 为低电平。同样，当 24V 电源在 19.2V 至 30V 范围内 (在“窗口”内) 时，相应的比较器输出为高电平，如下所示。

7.2.1.3 应用曲线

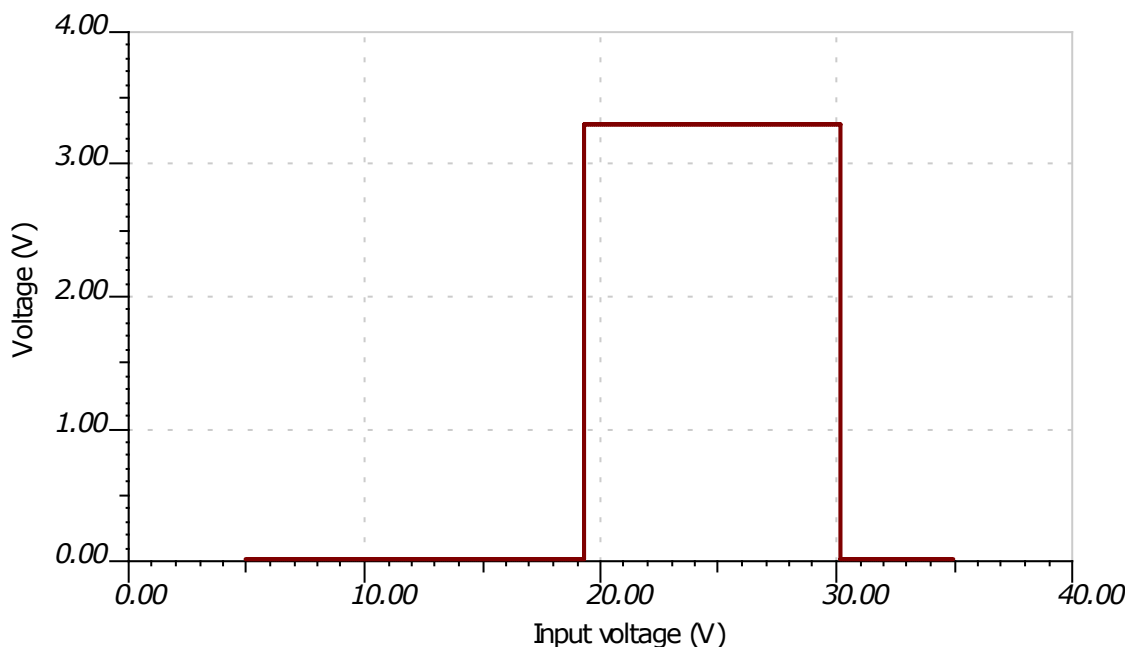


图 7-4. 窗口比较器结果

更多相关信息，请参阅应用手册 SBOA221 “窗口比较器电路”。

7.3 电源相关建议

对于 3.3V 的最小工作电压，直接使用内部 2.5V 基准会导致超出输入共模电压范围 $(V+) - 2V$ 。如果需要在 3.3V 下运行，则需要在外部分对 2.5V 基准进行分压，使电压小于 $(V+) - 2V$ （在本例中为 1.3V）。对于在内部连接 2.5V 基准的双路比较器，输出仍在已知的工作状态下运行，但不会反映两个输入都超出共模范围时的差分输入条件。

此外，由于存在快速输出边沿速率，务必在电源引脚上安装适当的旁路电容器，以防止电源发生振铃和误触发以及振荡。在 $(V+)$ 引脚和接地引脚之间直接放一个低 ESR 0.1 μ F 陶瓷旁路电容器，直接在每个器件上实现电源旁路。输出转换期间会汲取窄峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源（ $(V+)$ 和 $(V-)$ ）或“单”电源（ $(V+)$ 和 GND，GND 连接 $(V-)$ 引脚）供电。对于任一类型，输入信号必须保持在建议的输入范围内。请注意，使用“双”电源时，输出可以将“低电平” (V_{OL}) 摆动到 $(V-)$ 电位而不是摆动到 GND。

7.4 布局

7.4.1 布局指南

对于精确比较器应用，保持电源稳定，并将噪声和干扰降至最低至关重要。输出上升和下降时间为几十纳秒，需要被视为高速逻辑器件。旁路电容器需尽可能靠近电源引脚放置并连接到实心接地层，直接放在 $(V+)$ 引脚与 GND 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 $(V+)$ 或 GND 布线，否则请勿并行布置输出和输入布线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。在输出端串联了一个低阻值（<100 欧姆）电阻器，用于抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边沿形状，在进行长距离布线时使用带有反向终端的受控阻抗迹线。

7.4.2 布局示例

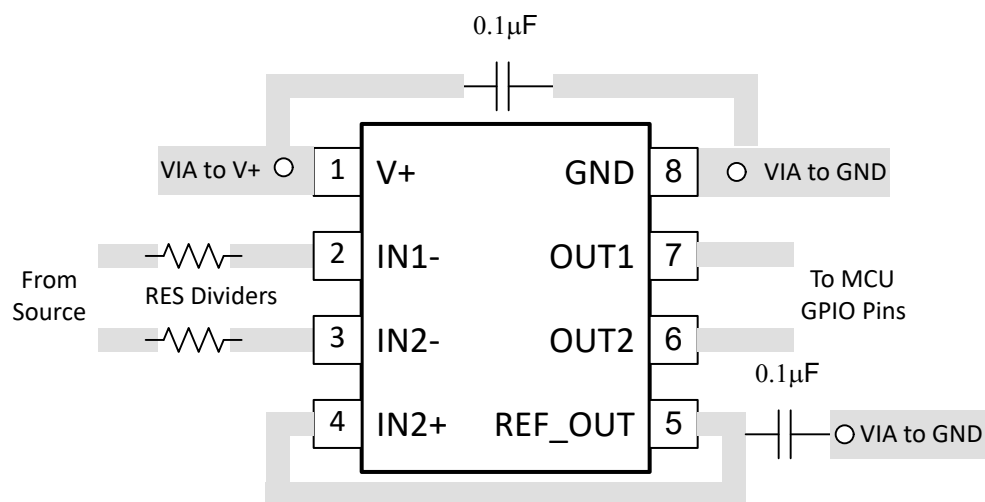


图 7-5. 双通道布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

[模拟工程师电路设计指导手册：放大器 \(请参阅 “比较器” 一节 \) - SLYY137](#)

[精密设计，具有迟滞功能的比较器参考设计 - TIDU020](#)

[窗口比较器电路 - SBOA221](#)

[参考设计，窗口比较器参考设计 - TIPD178](#)

[具有/不具有迟滞功能的比较器电路 - SBOA219](#)

[具有迟滞功能的反相比较器电路 - SNOA997](#)

[具有迟滞功能的同相比较器电路 - SBOA313](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1922DSGR	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1922
TLV1922DSGR.A	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1922

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

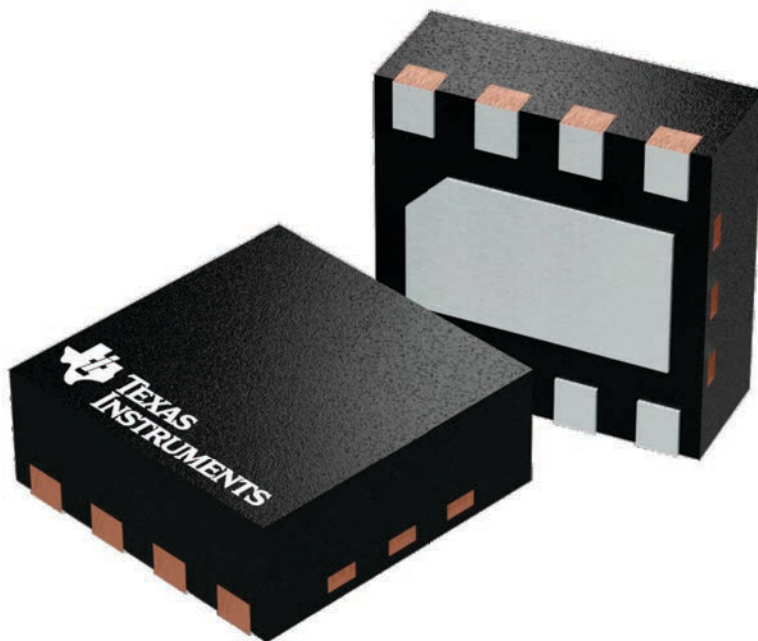
DSG 8

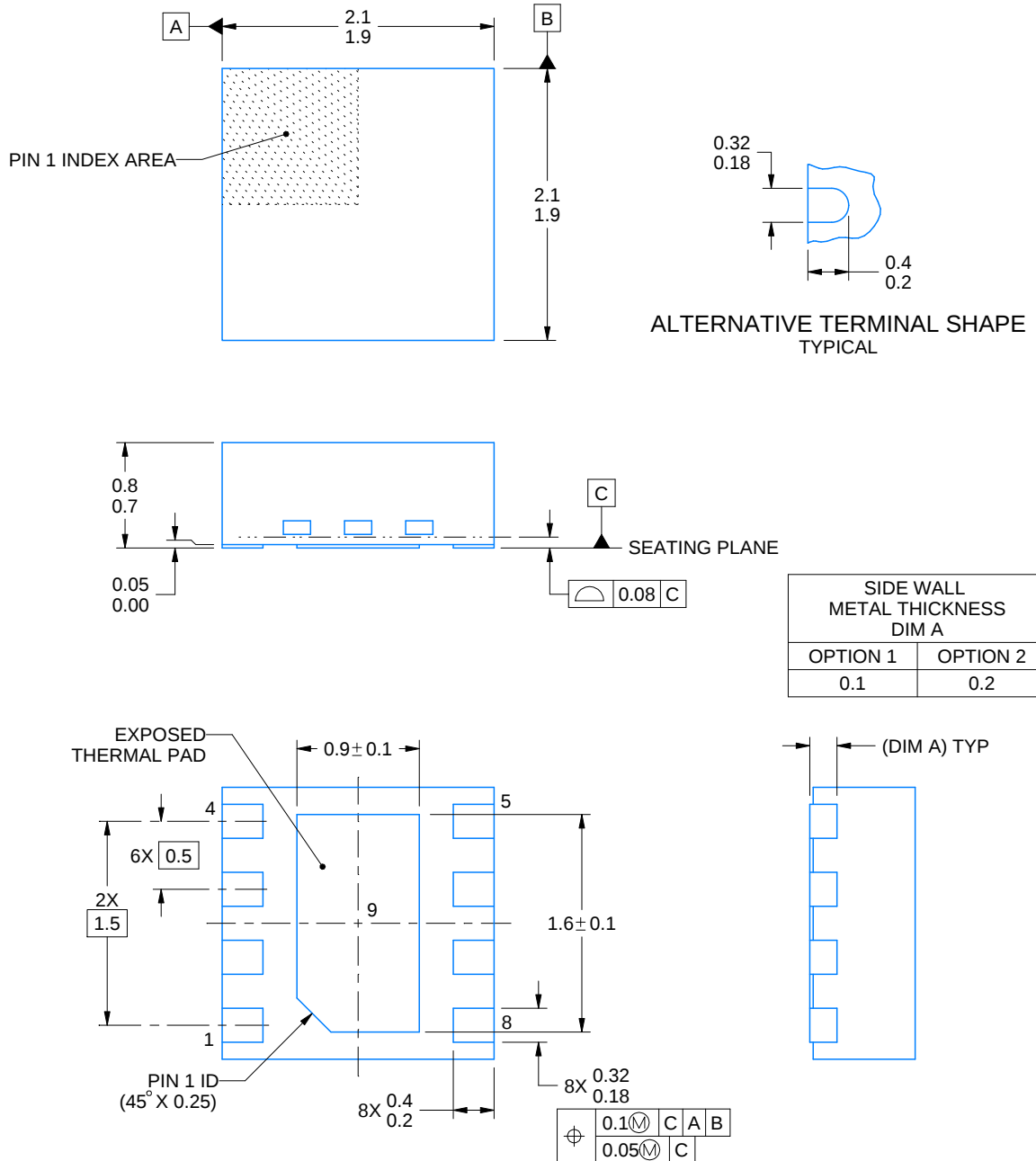
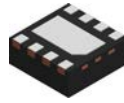
WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4218900/E 08/2022

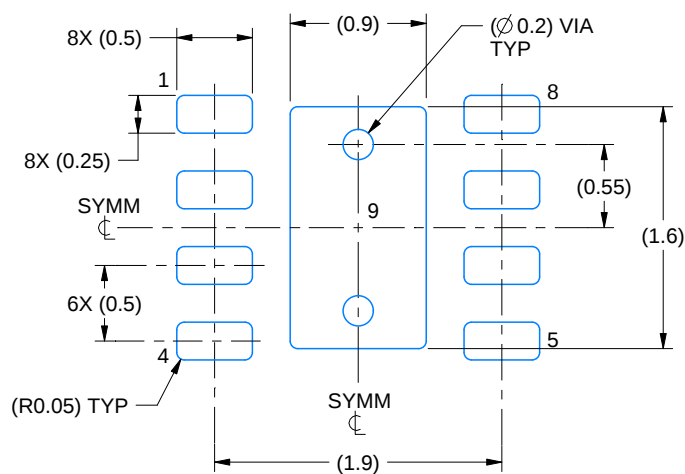
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

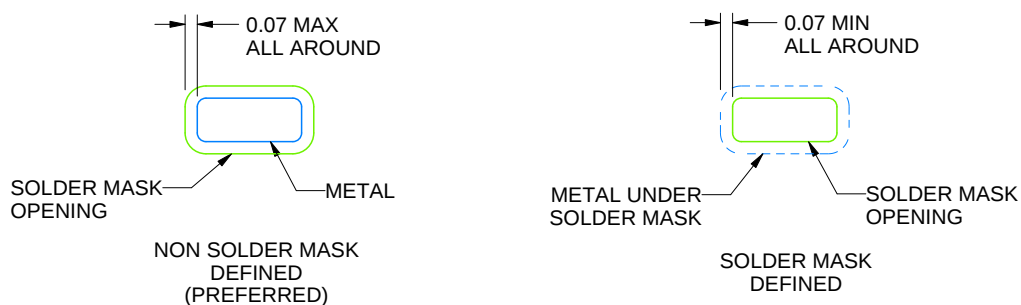
DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

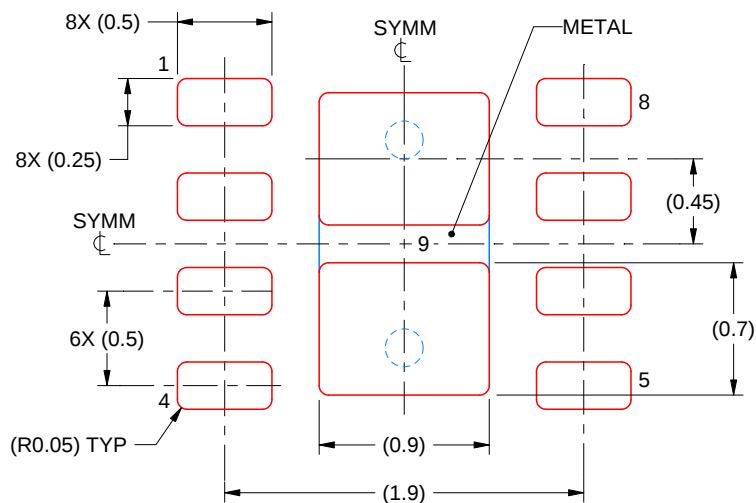
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司