TIOL221 具有集成 LDO 和 SPI 接口的双通道 IO-Link 器件 PHY

1 特性

- 7V 至 36V 的电源电压
- 具有辅助数字输出 (DO) 和数字输入 (DI) 通道的 IO-Link 可配置 CQ 输出
- 可通过引脚控制或 SPI 接口进行配置
- CQ 和 DO 通道均可配置为在 IO-Link 主站模块中使用
- PNP、NPN 或 IO-Link 可配置 CQ 输出
  - IEC 61131-9 COM1、COM2 和 COM3 数据速率支持
- 具有低功耗和高可配置性的输出驱动器
  - 低 R_{DSON} 2.5Ω（典型值）
  - 提供驱动器电流限制能力
  - 可配置驱动器过流限制：50mA 至 500mA
  - 在 LP、CQ 和 DO 上提供高达 65V 的主动反极性保护
  - 电感性负载的安全快速消磁功能
- 集成保护特性，使系统更加稳健
  - 过流、过热和 UVLO 的故障指示灯
  - 工作环境温度：-40°C 至 125°C
  - ±8kV IEC 61000-4-2 ESD 接触放电
  - ±4kV IEC 61000-4-4 电气快速瞬变
  - ±1.2kV、500Ω IEC 61000-4-5 浪涌
- 大电容和电感负载驱动能力
- 集成式 LDO 提供高达 20mA 的电流
- 可选外部稳压器输入 (5V)，可降低 LDO 中的内部功耗
- 节省空间的小型封装选项
  - 4mm x 4mm VQFN 封装
  - 2.7mm x 2.7mm DSBGA 封装

2 应用

- 现场发送器和执行器
- 工厂自动化
- 过程自动化
- 远程 IO 中的 IO-Link PHY

3 说明

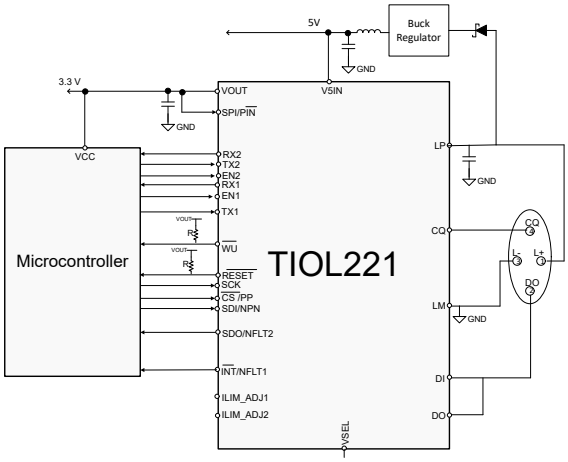
TIOL221 收发器集成了具有主动反极性保护功能的两个低功耗输出驱动器。当此器件通过一个三线制接口连接至一个 IO-Link 控制器时，控制器能够发起通信并与远程节点交换数据，而此时 TIOL221 则作为通信的完整物理层运行。该器件还集成了一个辅助 DI 通道。

该器件能够承受高达 1.2kV (500Ω) 的 IEC 61000-4-5 浪涌，并具有集成式的反极性保护功能。除了用于实现可配置性和扩展诊断能力的 SPI 接口，还有一个简单的引脚可编程接口，可以方便地与控制器电路连接。可以使用外部电阻器或通过 SPI 接口按配置的限制来配置输出电流限制。TIOL221 可配置为生成唤醒脉冲并用于 IO-link 控制器应用。提供了故障报告和内部保护功能，可应对欠压、过流和过热条件。

封装信息

器件型号	封装(1)	封装尺寸(2)
TIOL221	VQFN (24)	4mm x 4mm
	DSBGA (25) (3)	2.7mm x 2.7mm

(1) 有关更多信息，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 产品预发布



典型应用图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 ESD 等级 - IEC 规格.... 5
5.4 建议运行条件.... 5
5.5 热性能信息.... 7
5.6 电气特性.... 7
5.7 开关特性.... 10
5.8 典型特性.... 13
6 参数测量信息.... 14
7 详细说明.... 18
7.1 概述.... 18
7.2 功能方框图.... 19
7.3 特性说明.... 19
7.4 器件功能模式.... 27
7.5 SPI 编程.... 28
8 应用和实施.... 31
8.1 应用信息.... 31
8.2 典型应用.... 31
8.3 电源相关建议.... 34
8.4 布局.... 34
9 TIOL221 寄存器.... 36
10 器件和文档支持.... 47
10.1 接收文档更新通知.... 47
10.2 支持资源.... 47
10.3 商标.... 47
10.4 静电放电警告.... 47
10.5 术语表.... 47
11 修订历史记录.... 47
12 机械、封装和可订购信息.... 47
12.1 机械数据.... 48

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

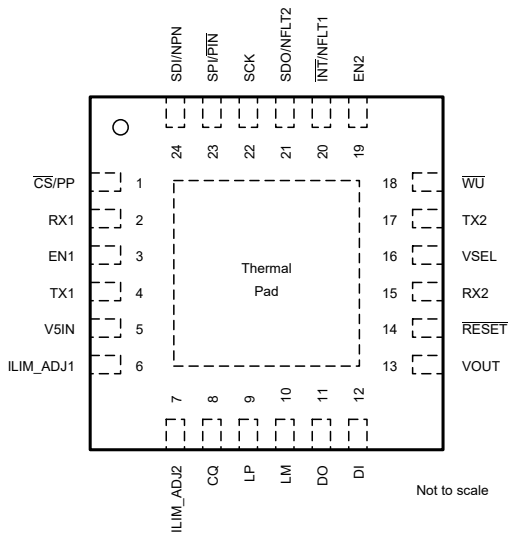


图 4-1. RGE (VQFN)，24 引脚
（顶视图）

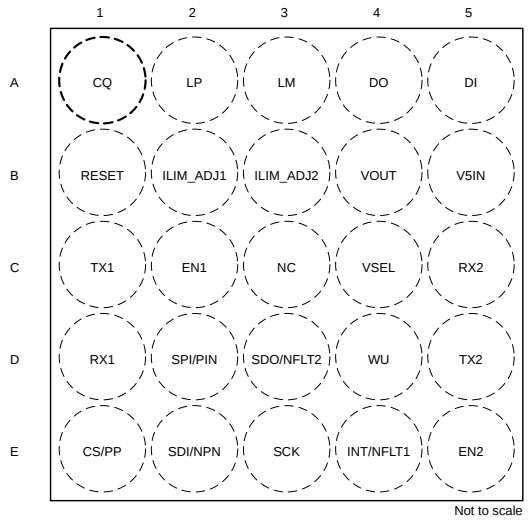


图 4-2. YAH (DSBGA)，25 引脚
（顶视图，焊锡凸点在下方）

表 4-1. 引脚功能

引脚名称	引脚编号		I/O	类型	说明
	VQFN	DSBGA			
CQ	8	A1	I/O	高压	IO-Link 信号数据引脚。
$\overline{CS}$/PP	1	E1	I	数字	SPI 模式下的片选输入引脚。 引脚模式下的推挽模式选择输入
DI	12	A5	I	高压	DI 接收器输入。可在 RX2 引脚监控 DI 接收器输出。
DO	11	A4	O	高压	DO 驱动器输出。DO 是 TX2 引脚上输入的反向逻辑电平。
EN1	3	C2	I	低压数字	来自本地控制器的 CQ 驱动器使能输入信号。逻辑低电平将 CQ 输出设置为高阻态。弱内部下拉。
EN2	19	E5	I	低压数字	来自本地控制器的 DO 驱动器使能输入信号。逻辑低电平将 DO 输出设置为高阻态。弱内部下拉。
ILIM_ADJ1	6	B2	I	低压模拟	CQ 驱动器电流限制调整的输入。在 ILIM_ADJ1 和 LM 之间连接电阻器 RSET1。
ILIM_ADJ2	7	B3	I	低压模拟	DO 驱动器电流限制调整的输入。在 ILIM_ADJ2 和 LM 之间连接电阻器 RSET2。
$\overline{INT}$/NFLT1	20	E4	O	低压数字	CQ 通道的中断输出、推挽（SPI 模式）或故障指示器，开漏（引脚模式）
LM	10	A3	G	接地	地。
LP	9	A2	PI	高压	器件的电源输入（典型值 24V）。将 1μF 电容器连接到 LM（接地），尽可能靠近器件。
NC	--	C3	NC	无连接	内部未连接。
RX1	2	D1	O	低压数字	C/Q 接收器逻辑输出。RX2 是 CQ 输入信号的反向逻辑电平。
RX2	15	C5	O	低压数字	DI 接收器逻辑输出。RX2 是 DI 输入信号的反向逻辑电平。
SCK	22	E3	I	低压数字	SPI 时钟输入
SDI/NPN	24	E2	I	低压数字	SPI 串行数据输入（SPI 模式） 或 NPN 模式选择器（引脚模式）
SDO/NFLT2	21	D3	O	低压数字	DO 通道的 SPI：串行数据输出、推挽（SPI 模式）或故障指示器，开漏（引脚模式）

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚名称	引脚编号		I/O	类型	说明
	VQFN	DSBGA			
SPI/$\overline{PIN}$	23	D2	I	低压数字	SPI 或引脚模式选择输入。将此引脚驱动为低电平以实现引脚模式运行。将此引脚驱动为高电平以进行 SPI 模式控制。
TX1	4	C1	I	低压数字	来自本地微控制器的 CQ 驱动器输入数据。弱内部上拉。
TX2	17	D5	I	低压数字	来自本地微控制器的 DO 驱动器输入数据。弱内部上拉。
VOUT	13	B4	PO	低压	LDO 稳压器输出。输出电平由 VSEL 引脚确定
VSEL	16	C4	I	低压	• 对于以 LP 作为 LDO 输入电源的 3.3V LDO 输出，连接至 GND • 对于以 LP 作为 LDO 输入电源的 5V LDO 输出，连接至 VOUT • 对于以 V5IN 作为 LDO 输入电源的 3.3V LDO 输出，使引脚悬空
$\overline{RESET}$	14	B1	O	低压	复位输出引脚，开漏，低电平有效。该引脚用作复位引脚来指示 LP 或 VOUT 上的 UV。
V5IN	5	B5	PI	低压	（可选）将此引脚从外部稳压器连接至 5V 电源输入，以便降低内部稳压器的功率耗散。如果未使用，将引脚保持悬空。
$\overline{WU}$	18	D4	O	低压数字	向本地微控制器提供的唤醒指示。开漏输出，通过上拉电阻器将此引脚连接至 VCOUT。
散热焊盘	散热焊盘	不适用	G	接地	将外露散热焊盘接地 (LM) 以实现出色的热性能和电气性能

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
LP、CQ、DO、DI	LP、CQ、DO 和 DI 的稳态电压	-65	65	V
	LP、CQ、DO 和 DI 的瞬态脉冲宽度 < 100µs	-70	70	V
$\lvert V_{(LP)} - V_{(CQ)}\rvert$、$\lvert V_{(LP)} - V_{(DO)}\rvert$、$\lvert V_{(LP)} - V_{(DI)}\rvert$、$\lvert V_{(CQ)} - V_{(DO)}\rvert$、$\lvert V_{(CQ)} - V_{(DI)}\rvert$、$\lvert V_{(DO)} - V_{(DI)}\rvert$	总线引脚之间的压降		65	V
V_{OUT}	稳压器输出电压	-0.3	6	V
TX1、TX2、EN1、EN2、VSEL、RX1、RX2、$\overline{CS}$/PP、SDI/NPN、SDO/NFLT2、SCK、$\overline{INT}$/NFLT1、$\overline{WU}$、ILIM_ADJ1、ILIM_ADJ2、SPI/$\overline{PIN}$	逻辑引脚电压	-0.3	min(V_{OUT}+0.3 , 6)	V
输出电流	RX1、RX2、$\overline{WU}$、$\overline{INT}$/NFLT1、SDO/NFLT2、	-5	5	mA
贮存温度，T_{stg}		-55	170	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。除非另有说明，否则所有电压都是相对于 L- 引脚的测量值。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	所有引脚	±4000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	所有引脚	±750	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 ESD 等级 - IEC 规格

			值	单位
$V_{(ESD)}$	静电放电	IEC 61000-4-2 ESD（接触放电），LP、CQ、DO、DI 和 LM [(1) (2)]	±8,000	V
	静电放电	IEC 61000-4-5，1.2µs/50µs 浪涌，串联 500Ω，LP、CQ、DO、DI 和 LM [(1)]	±1,200	
	静电放电	IEC 61000-4-4 EFT（快速瞬变或突发），LP、CQ、DO、DI 和 LM [(1)]	±4,000	

(1) LP 和 LM 之间需要连接最小为 100nF 的电容器。VOUT 和 LM 之间需要连接最小为 1µF 的电容器。
(2) 器件的 CQ/DO 驱动器输出和 LM 之间需要连接最小为 1nF 的电容器，以便通过 ±8000V。在不具有最小 1nF 电容器的情况下通过电平为 ±4000V

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
$V_{(LP)}$	24V 输入电源电压		7	24	36	V
$V_{(V5IN)}$	5V 输入电源电压	5V 输入电源电压	4.5	5	5.5	V
$V_{(I)}$	TX1、TX2、EN1、EN2、$\overline{CS}$/PP、SDI/NPN、SCK、SPI/$\overline{PIN}$ 上的逻辑电平输入电压	3.3V 配置	3	3.3	3.6	
		5V 配置	4.5	5	5.5	V
$1/t_{BIT}$	数据速率（通信模式）				250	kbps
$I_{(VOUT)}$	LDO 输出电流				20	mA
T_A	工作环境温度		-40		125	°C

5.4 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T_J	结温	-40		150	°C

Copyright © 2025 Texas Instruments Incorporated

5.5 热性能信息

热指标[1]		TIOL221		单位
		RGE（24 引脚）	YAH（25 引脚）	
$R_{\theta JA}$	结至环境热阻	32.2	58.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	27.2	0.2	°C/W
$R_{\theta JB}$	结至电路板热阻	11.4	14.5	°C/W
ψ_{JT}	结至顶部特征参数	0.3	0.1	°C/W
ψ_{JB}	结至电路板特征参数	11.4	14.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.7	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.6 电气特性

在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件		最小值	典型值	最大值	单位
电源 (LP)							
$I_{(LP-SHDN)}$	关断模式下的电源静态电流	禁用 CQ TX 和 RX、DO 和 DI。VOUT 上无负载。仅 SPI 模式			1.2	2.1	mA
$I_{(LP-RX-ONLY)}$	仅启用输入时的电源电流	启用 CQ 和 DO。启用 CQ RX 和 DI。VOUT 上无负载。R_{SETx} >= 10kΩ（电流限制 < 500mA），EN1=EN2=L	启用 CQ 和 DO。启用 CQ RX 和 DI。VOUT 上无负载		1.4	2.5	mA
$I_{(LP-CQ-DO)}$	启用 CQ 和 DO 时的静态电源电流。V5IN 从外部供电	R_{SETx} >= 10kΩ。TX1=TX2=H，CQ 或 DO 上无负载，仅推挽或 NPN 模式			4.5	5.5	mA
$I_{(LP-CQ-DO)}$		R_{SETx} >= 10kΩ。TX1=TX2=L，CQ 或 DO 上无负载			3.6	4.5	mA
$V_{(LP-UVLO)}$	LP 欠压锁定	LP 下降；在 $\overline{RESET}$ 引脚变为低电平时指示为 UVLO		6	6.3		V
$V_{(LP-UVLO)}$	LP 欠压锁定	LP 上升；UVLO 恢复在 $\overline{RESET}$ 引脚变为高电平时指示			6.5	6.8	V
$V_{(LP-UVLO,HYS)}$	LP 欠压迟滞	上升至下降阈值		150	250		mV
$V_{(LPW)}$	LP 欠压警告	LP 下降		14	16	18	V
$V_{(LPW-HYS)}$	LP 欠压警告迟滞				530		mV
V5IN							
V5IN(UVLO, F)	V5IN 的 UVLO 下降电平	V5IN 下降		3.4	3.5	3.6	V
V5IN(UVLO, R)	V5IN 的 UVLO 上升电平	V5IN 上升		3.7	3.8	4.0	V
V5IN(UVLO, HYS)	V5IN UVLO 迟滞				0.3		V
I5_IN	5VIN 的输入电源电流	禁用 CQ 和 DO，VOUT 上无负载			0.15	1	mA
线性稳压器 (VOUT)							
$V_{(VOUT)}$	电压稳压器输出	VOUT 设置为 5V		4.75	5	5.25	V
		VOUT 设置为 3.3V		3.13	3.3	3.46	V
$LINEREG_{VOUT}$	线路调整 ($dV_{(VOUT)}/dV(LP)$)	$I_{(VCC_OUT)}$ = 1mA $V_{(LP)}$ = 7V 至 36V (VOUT = 5V) $V_{(LP)}$ = 7V 至 36V 或 V5IN = 4.5V 至 5.5V (VOUT = 3.3V)				1.7	mV/V
$LOADREG_{VOUT}$	负载调整 ($dV_{(VOUT)}/V_{(OUT)}$)	VOUT=5V 时 $V_{(LP)}$ = 24V VOUT=3.3V 时 $V_{(LP)}$ = 24V 或 V5IN= 5V $I_{(VCC_OUT)}$ = 100μA 至 20mA				1	%
UV_{VOUT5F}	VOUT 上的 UV 下降阈值（5V 设置）	VSEL 连接至 VOUT，VOUT 下降		3.4	3.6	3.8	V

5.6 电气特性（续）

在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件		最小值	典型值	最大值	单位
UV_{VOUT5R}	VOUT 上的 UV 上升阈值（5V 设置）	VSEL 连接至 VOUT，VOUT 上升		3.6	3.8	4.0	V
UV_{VOUT3F}	VOUT 上的 UV 下降阈值（3.3V 设置）	VSEL 连接至 GND 或悬空（V5IN 供电），VOUT 下降		2.5	2.7	2.9	V
UV_{VOUT3R}	VOUT 上的 UV 上升阈值（3.3V 设置）	VSEL 连接至 GND 或悬空（V5IN 供电），VOUT 上升		2.6	2.8	3.0	V
PSSR	电源抑制比	100kHz，$I_{(VCC_OUT)}$ = 20mA			40		dB
驱动器输出（CQ、DO）							
$R_{DSON-HS}$	高侧驱动器导通电阻	I_{LOAD} = 200mA，电流限制 = 300mA			2.5	4.5	Ω
$R_{DSON-LS}$	低侧驱动器导通电阻	I_{LOAD} = 200mA，电流限制 = 300mA			2.5	4.5	Ω
$I_{O(LIM)}$	驱动器输出电流限制	SPI/$\overline{PIN}$ = 低电平 $V_{(DRIVER)}$= (V_{LP} - 3)V 或 3V，	R_{SETx} = 110kΩ	35	55	70	mA
			R_{SETx} = 10kΩ	300	350	400	mA
			R_{SETx} = 0Ω 至 5kΩ	500			mA
			R_{SETx} = 开路	260	330	415	mA
$I_{O(LIM)}$	驱动器输出电流限制	SPI/$\overline{PIN}$ = 高电平， $V_{(DRIVER)}$= (V_{LP} - 3)V 或 3V，	3h[7:6]= 0h	35	60	75	mA
			3h[7:6]= 1h	50	75	95	mA
			3h[7:6]= 2h	100	140	175	mA
			3h[7:6]= 3h	150	190	260	mA
			3h[7:6]= 4h	200	230	330	mA
			3h[7:6] = 5h	250	290	410	mA
			3h[7:6] = 6h	300	350	485	mA
			3h[7:6]= 7h	500	700		mA
$I_{OZ(CQ)}$	CQ 漏电流	EN1 = 低电平，0 ≤ $V_{(CQ)}$ ≤ ($V_{(LP)}$ - 0.1V)		-2		2	μA
$I_{LLM(CQ)}$	CQ 负载放电电流	EN1 = 低电平，R_{SET1} = 0Ω 至 5kΩ [(1)]，$V_{(CQ)}$ >= 5V		5	8.5	15	mA
$I_{LLM(DO)}$	DO 负载放电电流	EN2 = 低电平，R_{SET2} = 0Ω 至 5kΩ；$V_{(DO)}$ >= 5V		5	8.5	15	mA
I_{PU-DO}	DO 驱动器弱上拉电流	SPI/$\overline{PIN}$=高电平，EN2=低电平，TX2=高电平，RSET2：10kΩ 至 110kΩ，启用弱上拉电阻（仅限 SPI 模式）	0 ≤ V(DO) ≤ (V(LP) - 2V)	40	50	80	μA
I_{PD-DO}	DO 驱动器弱下拉电流	(SPI/$\overline{PIN}$=高电平，EN2=低电平，TX2=低电平，RSET2：10kΩ 至 110kΩ ，启用弱上拉电阻（仅限 SPI 模式）	2 ≤ V(DO) ≤ V(LP)	40	50	80	μA
I_{PU-CQ}	CQ 驱动器弱上拉电流	禁用驱动器，启用弱上拉电阻（SPI 模式）	0 ≤ V(CQ) ≤ (V(LP) - 2V)	40	50	80	μA
I_{PD-CQ}	CQ 驱动器弱下拉电流	禁用驱动器，启用弱下拉电阻（SPI 模式）	2 ≤ V(CQ) ≤ V(LP)	40	50	80	μA
接收器输入（CQ、DI）							
$V_{(THH)}$	输入阈值“H”	$V_{(LP)}$ > 18V；EN = 低电平		10.5		13	V
$V_{(THL)}$	输入阈值“L”			8		11.5	V
$V_{(HYS)}$	接收器迟滞 ($V_{(THH)}$ - $V_{(THL)}$)				0.75		V
$V_{(THH)}$	输入阈值“H”	$V_{(LP)}$ < 18V，EN = 低电平		请参阅注释[(2)]		请参阅注释[(3)]	V

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件		最小值	典型值	最大值	单位
$V_{(THL)}$	输入阈值“L”	$V_{(LP)}$ < 18V，EN = 低电平		请参阅注释(4)		请参阅注释(5)	V
$V_{(HYS)}$	接收器迟滞 ($V_{(THH)}$ - $V_{(THL)}$)				0.75		V
C_{IN-CQ}	CQ 输入电容	禁用 CQ 驱动器，禁用弱上拉/下拉，f = 100kHz			150		pF
C_{IN-DI}	DI 输入电容	f = 100kHz			100		pF
I_{PU-DI}	DI 弱上拉电流	SPI 模式，在 DI 引脚上启用弱上拉	0 ≤ V(DI) ≤ (V(LP) - 2V)	40	50	80	μA
I_{PD-DI}	DI 弱下拉电流	SPI 模式，在 DI 引脚上启用弱下拉	2 ≤ V(DI) ≤ V(LP)	40	50	80	μA
逻辑电平输入（$\overline{CS}$/PP、SCK、SDI/NPN、SPI/$\overline{PIN}$、EN1、EN2、TX1、TX2、VSEL）							
V_{IL}	输入逻辑低电平电压					0.3*VOUT	V
V_{IH}	输入逻辑高电平电压			0.7*VOUT			V
R_{PD}	EN1、EN2、SDI/NPN、SCK 处的下拉电阻				100		kΩ
R_{PU}	TX1、TX2、$\overline{CS}$/PP、SPI/$\overline{PIN}$ 处的上拉电阻				100		kΩ
R_{PU}	VSEL 的上拉电阻				500		kΩ
逻辑电平输出（$\overline{WU}$、SDO/NFLT2、$\overline{INT}$/NFLT1、RX1、RX2、$\overline{RESET}$）							
V_{OH}	输出逻辑高电压 RX1、RX2、SDO、$\overline{INT}$	I_O = 4mA	I_O = 4mA	VOUT-0.5			V
V_{OL}	输出逻辑低电平电压	I_O = 4mA				0.4	V
I_{OZ}	NFLT1、NFLT2、$\overline{WU}$、$\overline{RESET}$ 上的输出高阻抗漏电流	高阻态下的输出，V_O = 0V 或 VCC_IN/OUT		-1		1	μA
保护电路							
$T_{(WRN)}$	热警告	内核温度 T_J		125			°C
$T_{(SDN)}$	热关断			150	160		°C
$T_{(HYS)}$	用于关断的热迟滞				14		°C
$T_{(WRN)}$	用于警告的热迟滞	内核温度 T_J	内核温度 T_J		14		°C
I_{REV}	反极性下的 CQ、DO、DI 漏电流 (驱动器禁用)	EN1/2=低电平、TX1/2=x；LP= 24 V $V_{(CQ/ DO/ DI)}$ = ($V_{(LP)}$ -36V) 或 $V_{(CQ/ DO/ DI)}$ = ($V_{(LP)}$ +36V)				60	μA
		EN1/2=低电平、TX1/2=x；LP= 24 V $V_{(CQ/ DO/DI)}$ = ($V_{(LP)}$ -65V) 或 $V_{(CQ/ DO/ DI)}$ = 65V				110	μA
	CQ、DO（启用驱动器）	EN1/2 = 高电平，TX1/2 = 低电平；$V_{(CQ/DO\ to\ LP)}$ = 3 V，R_{SET}>= 10 kΩ				650	μA
		EN1/2 = 高电平、TX1/2 = 高电平；$V_{(CQ/DO\ to\ LM)}$ = -3 V				10	μA

(1) 电流故障指示和电流故障自动恢复功能将停用。
(2) V_{THH} (min) = 5V + (11/18) [$V_{(LP)}$ - 8V]
(3) V_{THH} (max) = 6.5V + (13/18) [$V_{(LP)}$ - 8V]
(4) V_{THL} (min) = 4V + (8/18) [$V_{(LP)}$ - 8V]
(5) V_{THL} (max) = 6V + (11/18) [$V_{(LP)}$ - 8V]

5.7 开关特性

在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件	测试条件	测试条件	最小值	典型值	最大值	单位
CQ、DO 驱动器								
t_{PLH}	驱动器传播延迟，低电平到高电平转换	请参阅驱动器输出测量的测试电路和驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 推挽和 PNP 配置 R_{SET} = 10kΩ				600	1200	ns
t_{PHL}	驱动器传播延迟，高电平到低电平转换	请参阅驱动器输出测量的测试电路和驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 推挽和 NPN 配置 R_{SET} = 10kΩ				600	1200	ns
$t_{P(skew)}$	驱动器传播延迟偏斜。$\lvert t_{PLH} - t_{PHL} \rvert$	请参阅驱动器输出测量的测试电路 请参阅驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 推挽配置 R_{SET} = 10kΩ				120		ns
t_{PZH}	驱动器启用延迟高电平	请参阅驱动器输出测量的测试电路和 驱动器启用/禁用时序图 R_L = 2kΩ C_L = 5nF 仅推挽和 PNP 配置 R_{SET} = 10kΩ					4	μs
t_{PZL}	驱动器启用延迟低电平	请参阅驱动器输出测量的测试电路和 驱动器启用/禁用时序图 R_L = 2kΩ C_L = 5nF 仅推挽和 NPN 配置 R_{SET} = 10kΩ					4	μs
t_{PHZ}	驱动器禁用延迟高电平	请参阅驱动器输出测量的测试电路和 驱动器启用/禁用时序图 R_L = 2kΩ C_L = 5nF 仅推挽和 PNP 配置 R_{SET} = 10kΩ					4	μs
t_{PLZ}	驱动器禁用延迟低电平	请参阅驱动器输出测量的测试电路和 驱动器启用/禁用时序图 R_L = 2kΩ C_L = 5nF 仅推挽和 NPN 配置 R_{SET} = 10kΩ					4	μs
t_r	驱动器输出上升时间	请参阅驱动器输出测量的测试电路和驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 推挽和 PNP 配置 R_{SET} = 10kΩ			200	530	900	ns
t_f	驱动器输出下降时间	请参阅驱动器输出测量的测试电路和驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 推挽和 NPN 配置 R_{SET} = 10kΩ			200	480	900	ns

Copyright © 2025 Texas Instruments Incorporated

5.7 开关特性（续）

在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件	测试条件	测试条件	最小值	典型值	最大值	单位
$\lvert t_r - t_f \rvert$	上升时间和下降时间的差异	请参阅驱动器输出测量的测试电路和驱动器输出开关波形 R_L = 2kΩ C_L = 5nF 仅推挽配置 R_{SET} = 10kΩ				60		ns
t_{WU1}	唤醒识别开始	请参阅唤醒识别时序图			45	60	75	µs
t_{WU2}	唤醒识别结束				85	100	145	µs
t_{pWAKE}	唤醒输出延迟						150	µs
t_{WUL}	唤醒检测时的唤醒输出脉冲持续时间				175	225	285	µs
t_{SC}	电流故障消隐时间	请参阅唤醒识别时序图	（SPI/$\overline{PIN}$ = 低电平且 10kΩ <= RSETx <= 110kΩ）或 SPI/$\overline{PIN}$= 高电平且 CQ_BL_TIME[1:0]=00b (CQ) 或 DO_BL_TIME[1:0]=00b (DO)		0.175	0.2		ms
			SPI/$\overline{PIN}$ = 高电平且 CQ_BL_TIME[1:0]=01b (CQ) 或 DO_BL_TIME[1:0]=01b (DO)		0.25	0.5		ms
			SPI/$\overline{PIN}$ = 高电平且 CQ_BL_TIME[1:0]=10b (CQ) 或 DO_BL_TIME[1:0]=10b (DO)			5		ms
			（SPI/$\overline{PIN}$ = 低电平且 ILIM_ADJ 悬空）或 SPI/$\overline{PIN}$ = 高电平且 CQ_BL_TIME[1:0]=11b (CQ) 或 DO_BL_TIME[1:0]=11b (DO)		0.5	2	4	µs
t_{AR}	电流故障后的自动重试时间	电流故障后的自动重试时间	SPI/$\overline{PIN}$ = L 或 SPI/$\overline{PIN}$ = H 且 CQ_RETRY_TIME=00b			50		ms
			SPI/$\overline{PIN}$ = H 且 CQ_RETRY_TIME=01b			100		ms
			SPI/$\overline{PIN}$ = H 且 CQ_RETRY_TIME=10b			200		ms
			SPI/$\overline{PIN}$ = H 且 CQ_RETRY_TIME=11b			500		ms
$t_{(UVLO)}$	LP UVLO 后的 CQ 和 DO 重新启用延迟(1)	UVLO 后的 CQ 和 DO 重新启用延迟(1)	SPI/$\overline{PIN}$ = L 或 SPI/$\overline{PIN}$ = H 且 T_UVLO=1b0		0.05	0.25	0.5	ms
$t_{(UVLO)}$	LP UVLO 后的 CQ 和 DO 重新启用延迟(1)	UVLO 后的 CQ 和 DO 重新启用延迟(1)	SPI/PIN = L 或 SPI/PIN = H 且 T_UVLO=1b1		10	30	50	ms
CQ、DI 接收器								
t_{PLH_CQ}，t_{PHL_CQ}	CQ 接收器传播延迟	请参阅接收器测试电路图和接收器时序图 C_L = 15pF	SPI/PIN=L 或 SPI/PIN=H 且 CQ_RX_FILTER=1b0			0.2	0.36	µs
			SPI/PIN=H 且 CQ_RX_FILTER=1b1			1.15	1.6	µs
t_{PLH_DI}，t_{PHL_DI}	DI 接收器传播延迟		SPI/PIN=L 或 SPI/PIN=H 且 DI_RX_FILTER=1b0			1	1.5	µs
			SPI/PIN=H 且 DI_RX_FILTER=1b1			1.8	2.7	µs
SPI 时序（$\overline{CS}$、SCK、SDI、SDO/CUR_OK2）								
t_{INT_TOG}	INT 引脚高电平/低电平时间（切换时）	C_{OUT}= 10pF				100		µs

5.7 开关特性（续）

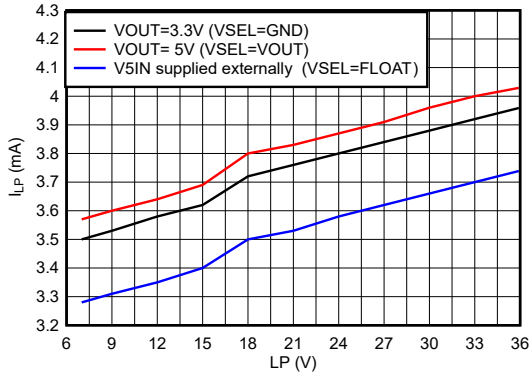
在建议的工作条件和建议的自然通风温度范围内测得（除非另有说明）。典型值是在 LP = 24V、V_{VOUT} = 3.3V 和 T_A = 25°C 条件下测得（除非另有规定）。

参数		测试条件	测试条件	测试条件	最小值	典型值	最大值	单位
f_{SCK_BURST}	最大 SPI 时钟频率	突发模式					10	MHz
t_{SCK}	SCK 周期				100			ns
t_{SCKH}	SCK 脉冲宽度高电平				50			ns
t_{SCKL}	SCK 脉冲宽度低电平				50			ns
f_{SCK}	最大 SPI 时钟频率	非突发模式					12.5	MHz
t_{SCK}	SCK 周期				80			ns
t_{SCKH}	SCK 脉冲宽度高电平				40			ns
t_{SCKL}	SCK 脉冲宽度低电平				40			ns
t_{CSS}	$\overline{CS}$ 下降沿至 SCK 上升时间				20			ns
t_{CSH}	$\overline{SCK}$ 上升至 CS 上升保持时间				40			ns
t_{DH}	SDI 保持时间				10			ns
t_{DS}	SDI 设置时间						25	ns
t_{DO}	SDO 数据传播延迟	C_{OUT}= 10pF					20	ns
t_{DORF}	SDO 上升和下降时间	C_{OUT}= 10pF					20	ns
t_{CSPW}	最小 $\overline{CS}$ 脉冲宽度（SPI 事务之间的空闲时间）				10			ns

(1) 此时 CQ/DO 输出保持高阻态

Copyright © 2025 Texas Instruments Incorporated

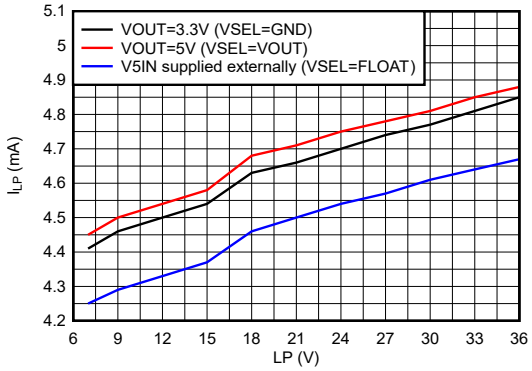
5.8 典型特性



CQ、DO 启用但空载，推挽模式

RSETx = 10kΩ　　T_A = 25°C

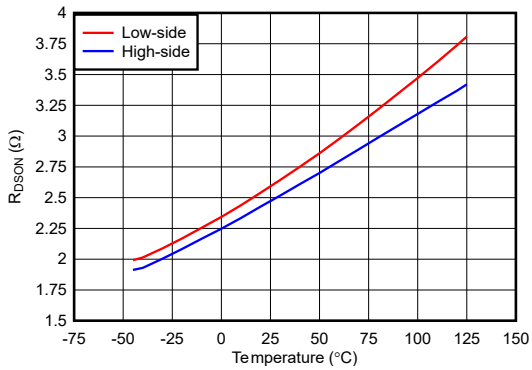
图 5-1. 电源电流与电源电压间的关系 (TX1=TX2=GND)



CQ、DO 启用但空载，推挽模式

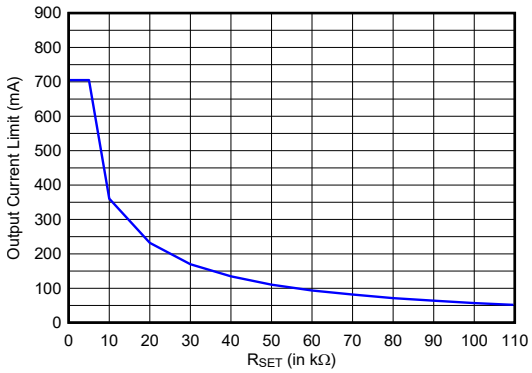
RSETx = 10kΩ　　T_A = 25°C

图 5-2. 电源电流与电源电压间的关系 (TX1=TX2=VOUT)



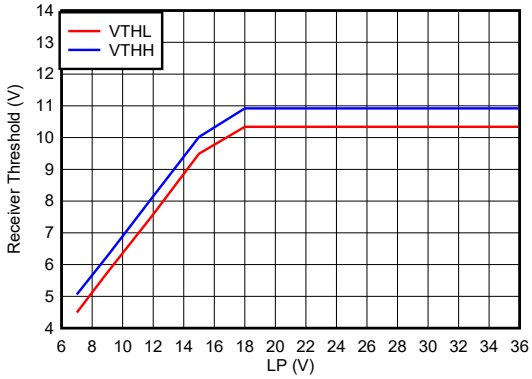
LP = 24V　　负载 = 200mA　　R_{SETx} = 10kΩ

图 5-3. CQ、DO R_{DSON} 与温度间的关系



LP = 24V　　T_A = 25°C

图 5-4. CQ、DO 电流限值与 0-5kΩ 范围内的 R_{SETx} [1]



T_A = 25°C

图 5-5. CQ、DI 接收器阈值边界

[1] （用于 R_{SET} 中）之间的关系。TIOL221 可以拉出/灌入 IO-link 应用中生成唤醒脉冲所需的 500mA 电流。针对 0-5kΩ 范围内的 R_{SET}，TIOL221 在禁用驱动器时还会激活下拉电流源 (I_{LLM})。

6 参数测量信息

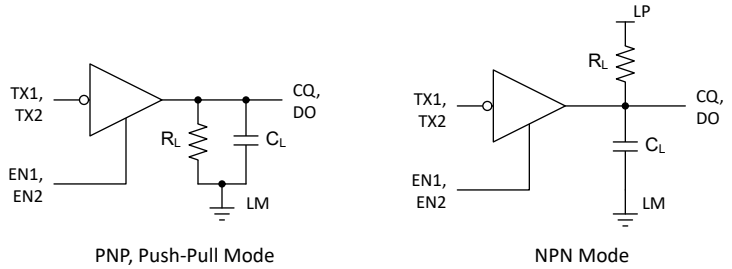


图 6-1. 驱动器开关的测试电路

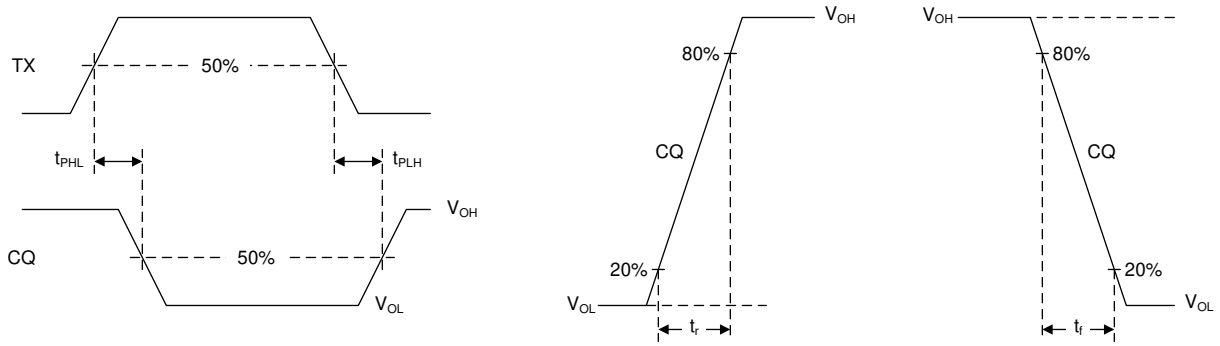


图 6-2. 驱动器输出开关测量的波形

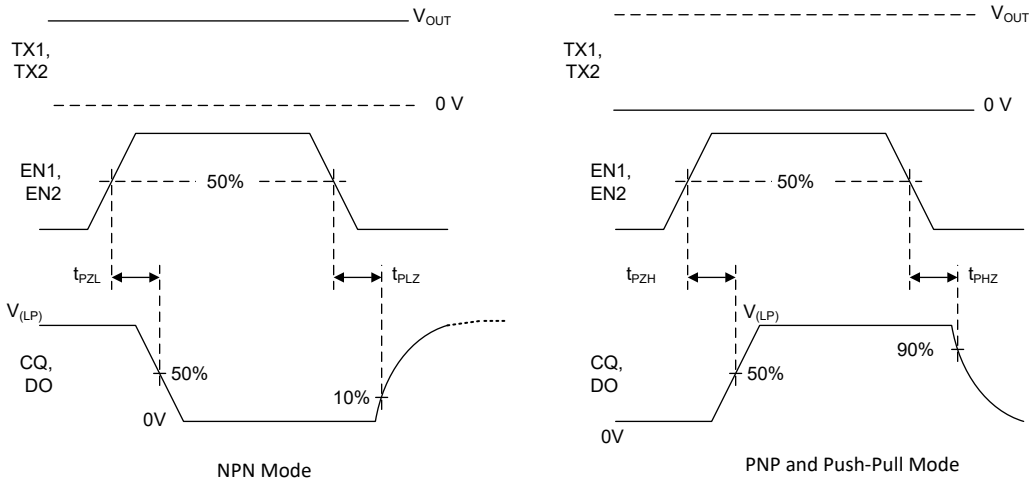


图 6-3. 驱动器启用或禁用时间测量的波形

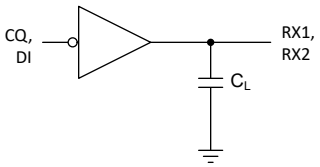


图 6-4. 接收器开关的测试电路

Copyright © 2025 Texas Instruments Incorporated

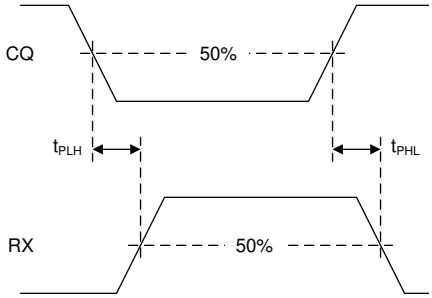
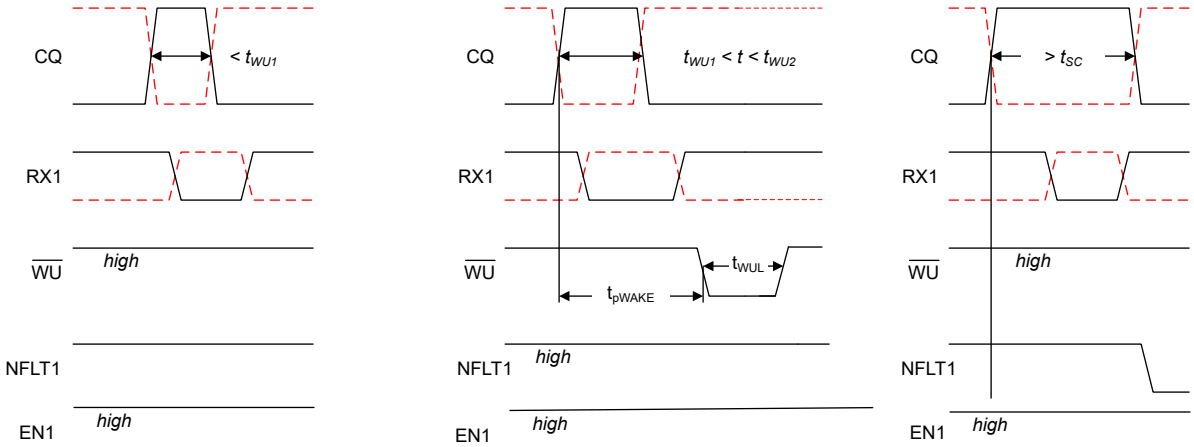
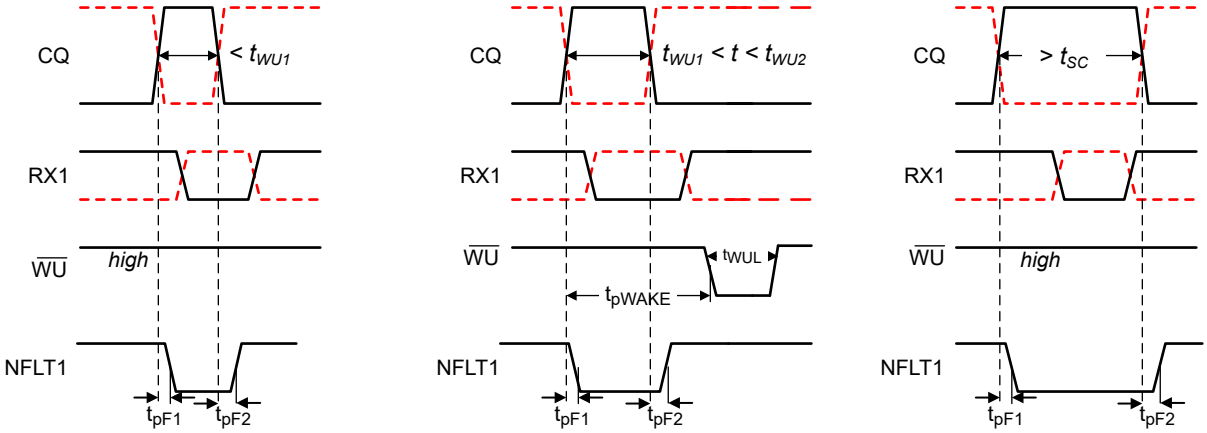


图 6-5. 接收器开关测量



a) Over-current due to transient　　b) Valid Wake-up pulse　　c) Over-current due to fault condition

图 6-6. EN = H 且 ILIM_ADJ = 10kΩ 至 110kΩ、
TX = H（实线）以及 TX = L（红色虚线）时的过流和唤醒条件



a) Over-current due to transient　　b) Valid Wake-up pulse　　c) Over-current due to fault condition

图 6-7. EN = H 且 ILIM_ADJ 悬空、TX = H（实线）以及 TX = L（红色虚线）时的过流和唤醒条件

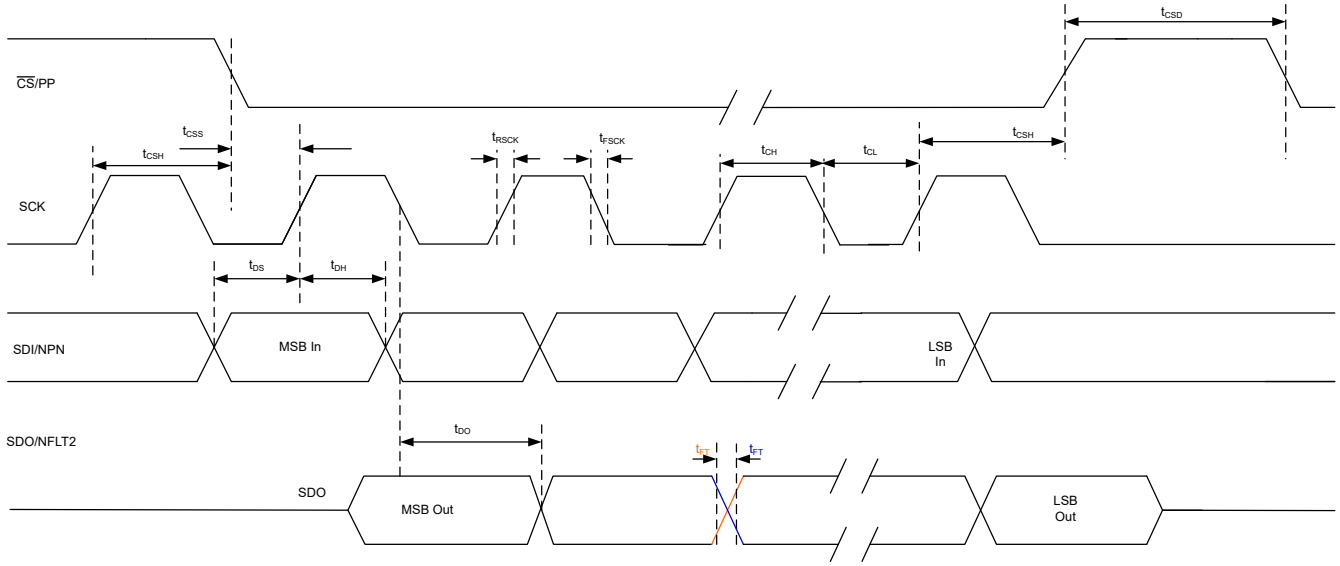


图 6-8. SPI 读/写时序特性

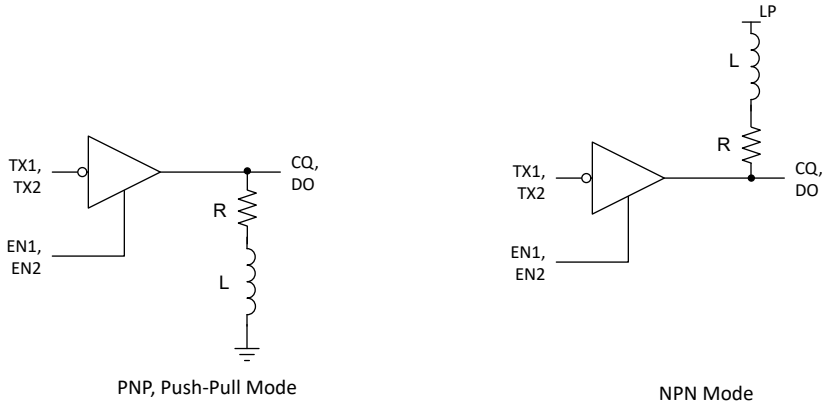


图 6-9. 驱动电感负载

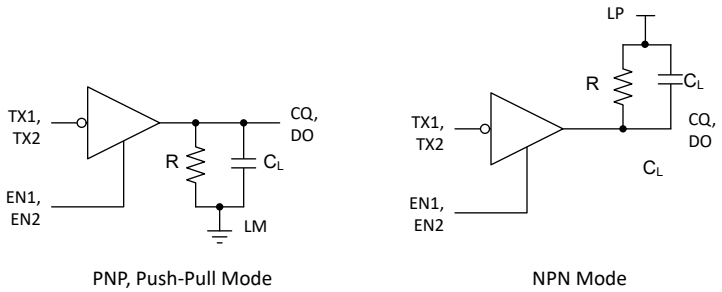


图 6-10. 驱动容性负载

Copyright © 2025 Texas Instruments Incorporated

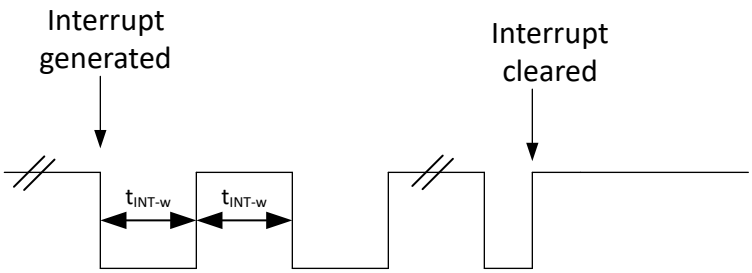


图 **6-11.** 中断引脚切换行为（**SPI** 模式；INT_TOG **= 1b**）

7 详细说明

7.1 概述

图 7-1 展示了 TIOL221 的功能方框图。该器件有一个 IO-Link 兼容通道 (Cq)、一个数字输出驱动器 (DO) 和一个数字输入 (DI) 接口。可在引脚模式下使用 $\overline{CS}$/PP 和 SDI/NPN 引脚或通过串行外设接口 (SPI)，在推挽式、高侧驱动器 (PNP) 或低侧驱动器 (NPN) 配置中使用 CQ 和 DO 处的驱动器。CQ 线路上的内部接收器将 24V 信号转换为接收器数据输出引脚 RX1 上的标准逻辑电平。同样，DI 线路上的内部接收器将 24V 信号转换为接收器数据输出引脚 RX2 上的标准逻辑电平。使用一个简单的并行接口在器件与本地控制器之间接收/发送数据以及状态信息。

可通过在引脚模式下使用引脚（当 SPI/$\overline{PIN}$ 设置为低电平时）或使用 SPI 接口（当 SPI/$\overline{PIN}$ 设置为高电平时）来配置器件。通过使用 SPI 接口，微控制器可以读取额外的诊断和状态信息以及配置器件。

器件集成了 IEC 61000-4-4/5 EFT 和浪涌保护。此外，如果应用需要更高级别的保护，该器件可耐受 ±70V 瞬态，从而能够灵活地从更广泛的 TVS 二极管中进行选择。这些集成的稳健性功能通过减少外部保护电路来简化系统级设计。

TIOL221 收发器实现了针对过流、过压和过热情况的保护功能。这些器件还使用外部电阻器提供驱动器输出电流的限流设置。

这些器件通过内部线性稳压器从 IO-Link LP 电压（标称值 24V）获得低压电源，为本地控制器和传感器电路供电。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

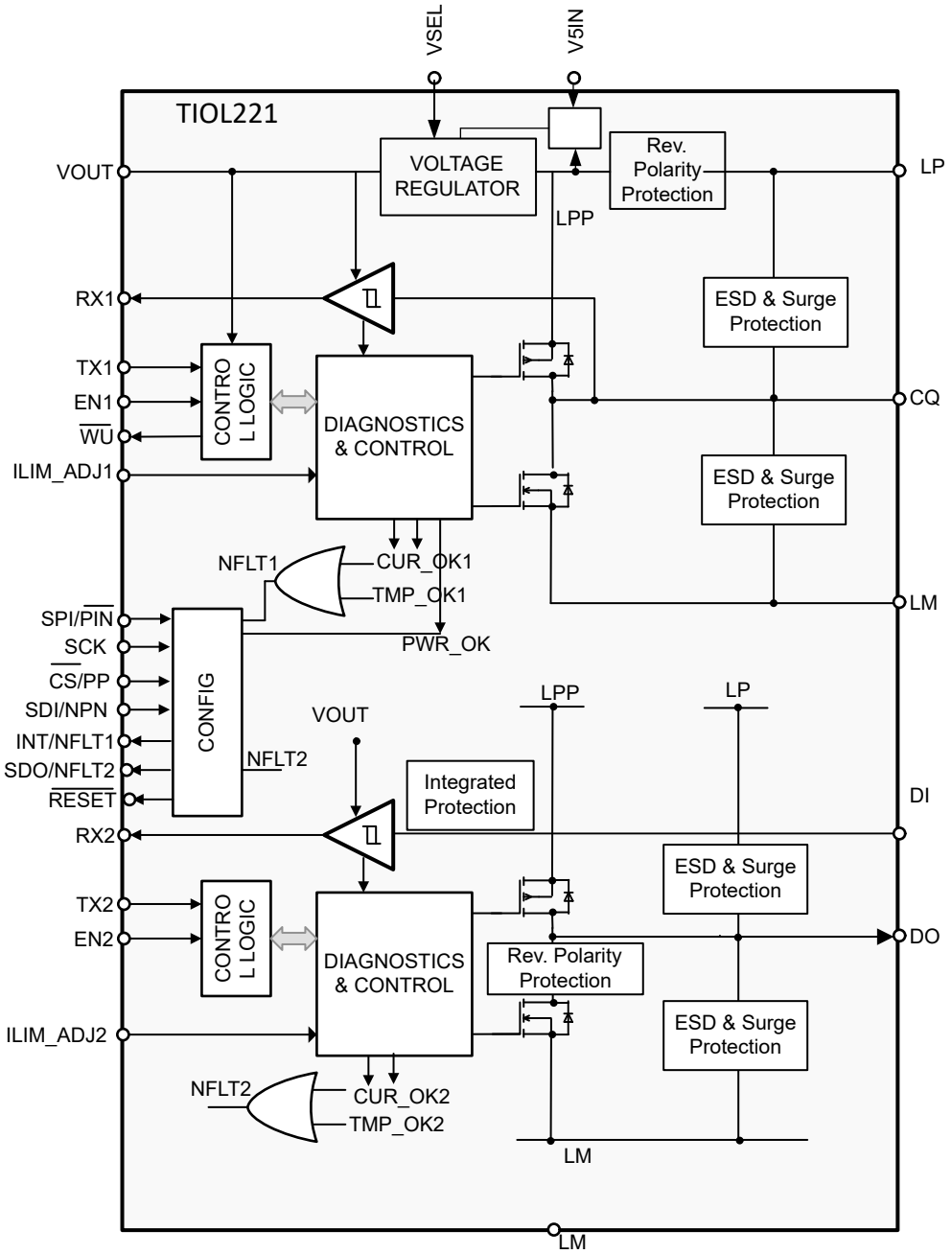


图 7-1. 方框图

7.3 特性说明

7.3.1 唤醒检测

TIOL221 的 CQ 通道可在 IO-Link 模式或标准输入/输出 (SIO) 模式下运行。如果 CQ 通道处于 SIO 模式，且 IO-Link 控制器节点希望发起与器件节点的通信，则控制器会将 CQ 线路驱动为与当前状态相反的状态。根据 IO-Link 规范中的 CQ 逻辑电平，器件会在唤醒期间（通常为 80 µs）灌入或拉取电流 (≥ 500mA)。TIOL221 检测唤醒条件并通过在 t_{WUL} 持续时间内将 $\overline{WU}$ 引脚置为低电平来与本地微控制器通信。IO-Link 通信规范要求器件节点在接收唤醒信号后的 500 µs 内切换为接收模式。

表 7-1. 唤醒功能 (t_{WU1} < t < t_{WU2})

EN1	TX1	CQ 电流	WAKE	注释
L/开路	X	X	在 t_{WUL} 时间内置为低电平	如果在 t_{WU1} < t < t_{WU2} 时 RX 输出从高电平变为低电平或从低电平变为高电平，则器件在 t_{WUL} 时间内置为低电平
H	H/开路	$\lvert I_{(CQ)} \rvert \geq I_{O(LIM)}$ mA	在 t_{WUL} 时间内置为低电平	器件通过 IO-Link 总线接收高电平唤醒请求
H	L	$\lvert I_{(CQ)} \rvert \geq I_{O(LIM)}$ mA	在 t_{WUL} 时间内置为低电平	器件通过 IO-Link 总线接收低电平唤醒请求

对于短于或长于有效唤醒脉冲的过流情况，WAKE 引脚保持高阻抗（非活动）状态。图 6-6 对此进行了说明。

在 SPI 模式下，除了 $\overline{WU}$ 置为低电平之外，还会设置 WU_INT 位。通过将 DEVICE_CONFIG 寄存器中的 WU_DIS 位设置为 1b，可以在 SPI 模式下禁用唤醒信号。在引脚模式下无法禁用唤醒检测。

TIOL221 的 DO 通道无法识别唤醒脉冲。DO 引脚提供过流限制和检测功能。

7.3.2 电流限制配置

可以在引脚模式和 SPI 模式下单独配置 CQ 和 DO 引脚的输出电流。

7.3.2.1 引脚模式下的电流限制配置

在引脚模式下，可以分别使用 ILIM_ADJ1 和 ILIM_ADJ2 引脚上的外部电阻器来配置 CQ 和 DO 的电流限制。使用 10kΩ 外部电阻器来设置最高电流限制时，可在工作温度和电压范围内提供最小 300mA 的电流。请参阅表 7-2，了解 CQ 和 DO 驱动器的引脚模式配置。

由电流故障和电流故障自动恢复功能导致的输出禁用可通过悬空 ILIM_ADJ1/2 引脚来禁用。但是，在此配置中，电流故障指示仍处于活跃状态。在驱动大电容时，这个功能十分有用。

当 ILIM_ADJ1/2 引脚短接至地时，CQ 和 DO 驱动器可配置为处于 IO-link 控制器模式。在此模式下，驱动器可以拉出或灌入最小 500mA 以生成唤醒请求。此外，驱动器在驱动器输出引脚启用 5mA（最小值）的小灌电流。在此模式下，禁用电流故障指示、输出禁用和自动恢复功能。

表 7-2. 引脚模式下的电流限制配置

ILIM_ADJ1/2 引脚条件	CQ/DO 电流限制（最小值）	由电流引起的 NFLT1/2 指示故障	电流故障消隐时间 (t_{SC})	输出禁用和自动恢复
R_{SET} 电阻器至 L-（10kΩ 至 110kΩ）	变量（35mA 至 300mA）	是	200µs（典型值）	是
连接至 L-（R_{SET} 0Ω 至 5kΩ）	500mA	否	不适用	否
断开	260mA	是	无（即时故障指示）	否

7.3.2.2 SPI 模式下的电流限制配置

在 SPI 模式下，可通过 SPI 配置 CQ 和 DO 驱动器电流限制。可通过 CQ_CURLIM 寄存器配置 CQ 驱动器。CQ_CURLIM[7:5] 寄存器可用于配置电流限制。

同样，DO_CURLIM[7:5] 寄存器可用于配置 DO 驱动器的电流限制。

7.3.3 CQ 电流故障检测、指示和自动恢复

如果 CQ 上的输出电流超过内部设置的电流限值 $I_{O(LIM)}$，且持续时间长于电流消隐时间 t_{SC}，则器件会将该状况检测为过流故障。

在引脚模式下，$\overline{INT}$/NFLT1 引脚驱动为逻辑低电平以指示故障状况。输出可以设置为关闭（自动恢复模式）或继续提供电流，直至器件进入热关断状态。该行为取决于 ILIM_ADJ1 引脚的连接方式。请参阅表 7-2。在自动恢复模式下，驱动器会定期重试以检查输出是否仍处于过流状态。在此模式下，输出在 t_{SC} 时打开，间隔为 t_{AR}。可通

Copyright © 2025 Texas Instruments Incorporated

过设置 ILIM_ADJ1 = OPEN 或 GND 来禁用电流故障自动重试模式。当 ILIM_ADJ1=OPEN 时，电流故障消隐时间为零。有关详细信息，请参阅电流限值指示器功能 ($t > t_{sc}$)。

在 SPI 模式下，CQ_CURLIM 寄存器设置可用于配置 CQ 驱动器行为。CQ_CUR_LIM 位设置电流限值，而 CQ_BL_TIME 和 CQ_RETRY_TIME 分别设置电流故障消隐时间和自动恢复时间。CQ_AUTO_RETRY_EN 控制自动恢复行为。

当禁用驱动器时，电流限值指示器处于非活动状态。

7.3.4 DO 电流故障检测、指示和自动恢复

如果 DO 上的输出电流超过内部设置的电流限值 $I_{O(LIM)}$，且持续时间长于电流消隐时间 t_{SC}，则器件会将该状况检测为过流故障。

在引脚模式下，SDO/NFLT2 引脚驱动为逻辑低电平以指示故障状况。输出可以设置为关闭（自动恢复模式）或继续提供电流，直至器件进入热关断状态。该行为取决于 ILIM_ADJ2 引脚的连接方式。请参阅表 7-2。在自动恢复模式下，驱动器会定期重试以检查输出是否仍处于过流状态。在此模式下，输出在 t_{SC} 时打开，间隔为 t_{AR}。可通过设置 ILIM_ADJ2 = OPEN 或 GND 来禁用电流故障自动重试模式。当 ILIM_ADJ2=OPEN 时，电流故障消隐时间为零。

在 SPI 模式下，DO_CURLIM 寄存器设置可用于配置 DO 驱动器行为。DO_CUR_LIM 位设置电流限制，而 DO_BL_TIME 和 DO_RETRY_TIME 分别设置电流故障消隐时间和自动恢复时间。DO_RETRY_EN 控制自动恢复行为。

当禁用驱动器时，电流限值指示器处于非活动状态。

7.3.5 CQ 和 DI 接收器

RX1 是 CQ 接收器的输出。接收器输出是 CQ 输入的反向逻辑，在 表 7-3 中总结了接收器的功能。在引脚模式下，CQ 接收器始终开启。在 SPI 模式下，除了 RX1 输出外，STATUS 寄存器中的 CQ_RX_LEVEL 位还反映 CQ 总线输入电平的逻辑电平。在 SPI 模式下，可以通过设置 CQ_CONFIG 寄存器中的 RX_DIS 位来禁用接收器。当禁用接收器时，RX1 输出处于高阻抗状态，状态寄存器中的 CQ_RX_LEVEL 位无效。

表 7-3. CQ 接收器功能

SPI/$\overline{PIN}$	CQ 电压	RX1	CQ_RX_LEVEL 位	注释
L 或 (H && RX_DIS =0)	$V_{(CQ)} < V_{(THL)}$	H	L	正常接收模式，输入低电平
	$V_{(THL)} < V_{(CQ)} < V_{(THH)}$	?	?	不确定的输出，可以是高电平或低电平
	$V_{(THH)} < V_{(CQ)}$	L	H	正常接收模式，输入高电平
	开路	?	?	不确定的输出，可以是高电平或低电平
H && RX_DIS =1	X	Z	Z	输出为高阻态

RX2 是 DI 接收器的输出。接收器输出是 DI 输入的反向逻辑，在 表 7-3 中总结了接收器功能。在引脚模式下，DI 接收器始终开启。在 SPI 模式下，除了 RX2 输出外，STATUS 寄存器中的 DI_LEVEL 位还反映 DI 输入的逻辑电平。在 SPI 模式下，可以通过设置 DI_CONFIG 寄存器中的 DI_DIS 位来禁用接收器。当禁用接收器时，RX2 输出处于高阻抗状态，状态寄存器中的 DI_LEVEL 位无效。

表 7-4. DI 接收器功能

DI 电压	RX2	DI_LEVEL 位	注释
$V_{(DI)} < V_{(THL)}$	H	L	正常接收模式，输入低电平
$V_{(THL)} < V_{(DI)} < V_{(THH)}$	?	?	不确定的输出，可以是高电平或低电平
$V_{(THH)} < V_{(DI)}$	L	H	正常接收模式，输入高电平
开路	?	?	不确定的输出，可以是高电平或低电平

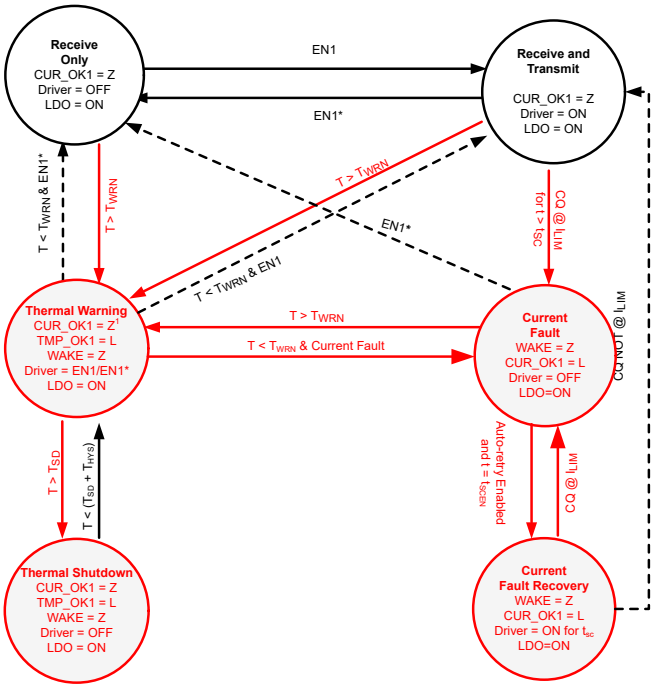
7.3.6 故障报告

在引脚模式下，如果 CQ 驱动器进入过流状况，或者 CQ 驱动器温度传感器超过 $T_{(WRN)}$，则 NFLT1 引脚驱动为低电平。清除这两个故障状况后，NFLT1 会立即返回高阻抗状态。

同样，如果 DO 驱动器进入过流状况，或者 DO 驱动器温度传感器超过 $T_{(WRN)}$，则 NFLT2 引脚驱动为低电平。清除这两个故障状况后，NFLT2 会立即返回高阻抗状态。

如果 LP 电源或 VOUT 电源降至低于其 UVLO 阈值，则 $\overline{RESET}$ 引脚会变为低电平。LP 和 VOUT 均上升至高于其 UVLO 阈值后，$\overline{RESET}$ 引脚变为高电平。

Copyright © 2025 Texas Instruments Incorporated



注意：NFLT1 = [CUR_OK1 && TMP_OK1]。LDO 配有一个热传感器。如果传感器温度达到 $T_{(SDN)}$，LDO 可以关断，且能同时关断 CQ 和 DO 驱动器。

图 7-2. CQ 驱动器状态图

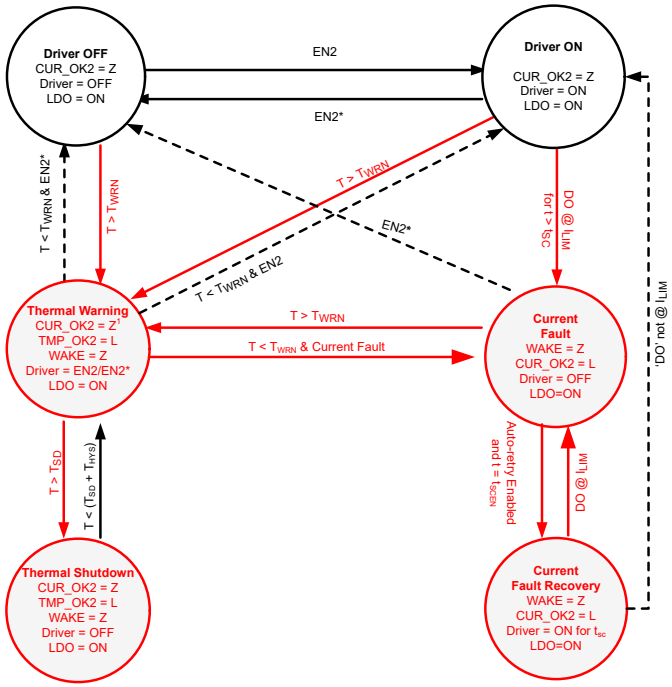


图 7-3. DO 驱动器状态图

备注

注意：NFLT2 = [CUR_OK2 && TMP_OK2]。LDO 配有一个热传感器。如果传感器温度达到 $T_{(SDN)}$，LDO 可以关断，且能同时关断 CQ 和 DO 驱动器。

7.3.6.1 热警告、热关断

TIOL221 具有三个独立的热传感器：每个驱动器各有一个传感器，另一个传感器用于 LDO。

如果 CQ 驱动器周围的芯片温度超过 $T_{(WRN)}$，则 NFLT1 标志将保持低电平，指示可能存在过热问题。当 T_J 超过 $T_{(SDN)}$ 时，禁用 CQ 驱动器。只要相应的热传感器不超过 $T_{(SDN)}$，LDO 和 DO 驱动器就会保持运行。一旦温度下降至低于温度阈值（且在 $T_{(HYS)}$ 之后），内部电路将重新启用驱动器，具体取决于 EN1 和 TX1 引脚的状态。

如果 DO 驱动器周围的芯片温度超过 $T_{(WRN)}$，则 NFLT2 标志将保持低电平，指示可能存在过热问题。当 T_J 超过 $T_{(SDN)}$ 时，禁用 DO 驱动器。只要相应的热传感器不超过 $T_{(SDN)}$，LDO 和 CQ 驱动器就会保持运行。一旦温度下降至低于温度阈值（且在 $T_{(HYS)}$ 之后），内部电路将重新启用驱动器，具体取决于 EN2 和 TX2 引脚的状态。

LDO 附近的热传感器检测超过 $T_{(SDN)}$ 的温度。LDO 和两个驱动器均关闭，$\overline{RESET}$ 保持低电平。一旦温度下降至低于温度阈值（且在 $T_{(HYS)}$ 之后），内部电路将重新启用 LDO，并且在 VOUT 高于 UVLO 阈值之后释放驱动器和 $\overline{RESET}$。

7.3.7 集成的电压稳压器 (LDO)

TIOL221 具有可为外部元件供电的集成式线性稳压器 (LDO)。该 LDO 能够提供最高 20mA 的电流。LDO 输出电平可通过 VSEL 引脚来配置。当 VSEL 连接到 GND 时，VOUT 配置为提供 3.3V 输出，并以 LP 作为输入电源。当 VSEL 保持悬空时，VOUT 以 V5IN 作为电源输入来提供 3.3V 输出，从而降低器件中的功耗。当 VSEL 连接到 VOUT 时，VOUT 设置为 5V。在上电时检测 VSEL 引脚状态，并确定和锁存 VOUT 输出电平，直至执行下一个上电周期。

表 7-5. 通过 VSEL 引脚实现 LDO 输出配置

VSEL 引脚连接	VOUT
连接到 LM	3.3V（由 LP 供电）
悬空	3.3V（由 V5IN 供电）
连接到 VOUT	5V

当配置为 5V 输出时，电压稳压器相对于 LM 以 7V 至 36V 范围内的输入电压 LP 进行工作。当配置为 3.3V 输出时，稳压器可以使用 V5IN 电源（当 VSEL 悬空时）或 LP 电源（当 VSEL 连接到 VOUT 时）工作。

选择 V5IN 作为 VOUT 上 3.3V 输出的电源输入，有助于降低片上功率耗散。当 VSEL 设置为悬空时，如果 V5IN 电源不存在或低于 V5IN_UVLO 阈值，VOUT 稳压器会关断且 $\overline{RESET}$ 输出处于活动状态。

LDO 在与输出端的电容量值为 1μF 或更大的标准陶瓷电容器搭配使用时可保持稳定。X5R 和 X7R 类型的电容器更好，因为这些电容器的电容量值和 ESR 随温度变化而发生的变化最小。最大 ESR 必须小于 1Ω。在存在容差和直流偏置效应的情况下，确保输出稳定性的最小电容为 1μF。

电压稳压器内部电流限制为 35mA，可防止因去耦电容器较大和意外短路情况而产生初始启动浪涌电流。

7.3.8 反极性保护

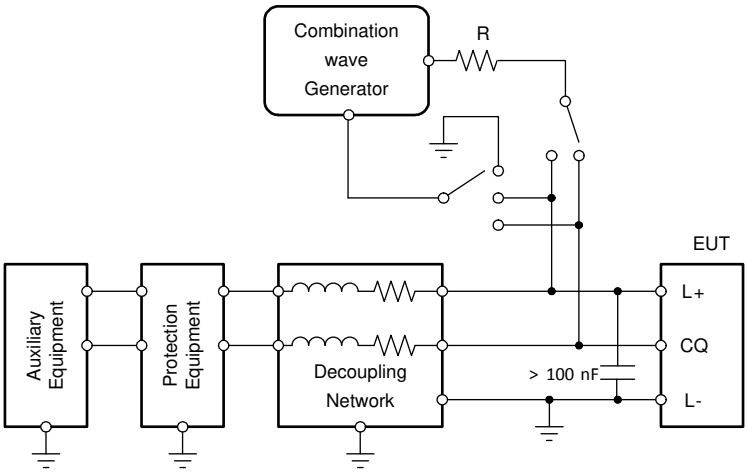
反极性保护电路可保护器件，防止器件意外地与 LP、CQ、DO、DI 和 LM 引脚进行反极性连接。这些引脚的任意组合都可以连接到高达 65V（最大值）的直流电压。在任何时候，任意引脚之间的最大电压都不应超过 65V 直流电压。

Copyright © 2025 Texas Instruments Incorporated

7.3.9 集成浪涌保护和瞬态波形容差

该器件的 LP、CQ、DO 和 DI 引脚能够耐受高达 1.2kV 的 1.2/50 – 8/20μs IEC 61000-4-5 浪涌，且源阻抗为 500Ω。应在 LP 和 LM 之间使用最小 100nF 电源去耦电容器并在 VOUT 和 LM 之间使用 1μF 电容器的情况下执行浪涌测试。

可能需要外部 TVS 二极管，以便实现更高的瞬态保护等级。系统设计人员必须确保在所需电流电平下，外部二极管的最大钳位电压低于 65V。该器件能够承受高达 ±70V 的瞬态脉冲，承受时间必须短于 100μs。



1.2/50 – 8/20μs CWG
R = 500Ω

图 7-4. 浪涌测试设置

7.3.10 欠压闭锁 (UVLO)

如果 LP 电压或 VOUT 电源电压降至低于各自的 UVLO 阈值，则器件进入 UVLO。一旦电源电压降至低于 UVLO 阈值，就会将 $\overline{\text{RESET}}$ 拉至低电平，并禁用驱动器（CQ 和 DO）（高阻态）。在此模式下未指定接收器性能。

当电源电压上升至高于其上升阈值时，$\overline{\text{RESET}}$ 引脚变为高电平。驱动器输出在 $t_{(UVLO)}$ 延迟后打开。

7.3.11 中断功能

在 SPI 模式下，中断用于通过 $\overline{\text{INT}}$ 引脚将一些关键事件发送给微控制器。在 SPI 模式下，$\overline{\text{INT}}$ 引脚是推挽式输出级。发生中断生成事件时，$\overline{\text{INT}}$ 引脚会拉至低电平。

以下事件会生成中断，并在中断寄存器中设置相应的位：

- 热关断 (TSD_INT)
- 在 CQ 上接收到有效唤醒脉冲 (WU_INT)
- DO 输出过流故障 (DO_FAULT_INT)
- CQ 输出过流故障 (CQ_FAULT_INT)
- LP 降至低于警告阈值 (LPW_INT)
- V5IN 降至低于 UVLO 阈值 (UV_V5_INT)
- 达到的温度高于热警告阈值 (TEMP_WARN)

各个中断事件可以通过 INT_MASK 寄存器进行屏蔽。屏蔽中断后，该特定事件不会激活 INT 引脚。但如果出现会生成事件的中断，则设置中断位。

当生成事件的中断不再存在时，不会自动清除中断位。中断位需要由微控制器显式清除。当 MCU 清除所有中断位（读取时清除）且该事件不会持续存在时，INT 引脚变为高电平。如果屏蔽了所有中断位，则 INT 引脚也会变为高电平。如果取消屏蔽了中断位且仍然设置了任何中断位，则 INT 引脚会再次变为低电平。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

这些器件可以在两种模式下运行：引脚模式或 SPI 模式。当 $\overline{\text{SPI/PIN}}$ 引脚为低电平时，器件在引脚模式下运行。当 $\overline{\text{SPI/PIN}}$ 引脚为高电平时，器件在 SPI 模式下运行。

表 7-6 中说明了任一模式下的 CQ 驱动器控制。表 7-7 中说明了 DO 驱动器控制。此外，如果使用 SPI 模式，可以将 CQ 和 DO 驱动器连接在一起来驱动更高的负载电流。表 7-8 和 *CQ 和 DO 跟踪模式*说明了此配置的设置。建议在更改驱动器配置设置（包括驱动器模式、电流限制和过流消隐时间）之前，将驱动器置于禁用状态。

表 7-6. CQ 控制寄存器

SPI/$\overline{\text{PIN}}$	EN1	TX1	CQ_TX_MODE = 11（禁用 CQ）	CQ_Q	NPN 模式	PNP 模式	推挽模式
L	L/开路	L	X	X	Z	Z	Z
		H	X	X	Z	Z	Z
	H	L	X	X	Z	H	H
		H	X	X	L	Z	L
H	L	L	0	0	Z	Z	Z
		H			Z	Z	Z
		L		1	Z	H	H
		H			Z	H	H
	H	L		0	Z	H	H
		H			L	Z	L
		L		1	Z	H	H
		H			Z	H	H
	X	X	1	X	Z	Z	Z

表 7-7. DO 控制寄存器

当 DO 和 CQ 设置为跟踪（DO_CQ_TRACK 设置为 1b）时，请参阅表 7-8。

SPI/$\overline{\text{PIN}}$	EN2	TX2	DO_MODE=11（禁用 DO）	DO_Q	NPN 模式	PNP 模式	推挽模式
L	L/开路	L	X	X	Z	Z	Z
		H	X	X	Z	Z	Z
	H	L	X	X	Z	H	H
		H	X	X	L	Z	L
H	L	L	0	0	Z	Z	Z
		H			Z	Z	Z
		L		1	Z	H	H
		H			Z	H	H
	H	L		0	Z	H	H
		H			L	Z	L
		L		1	Z	H	H
		H			Z	H	H
	X	X	1	X	Z	Z	Z

表 7-8. DO 控制（当 DO_CQ_TRACK = 1b 时）

当 DO 和 CQ 设置为跟踪（DO_CQ_TRACK 设置为 1b）时，DO 驱动器遵循 CQ 配置并忽略 DO 配置，包括驱动器模式、电流限制和驱动器设置。

SPI/$\overline{PIN}$	DO_CQ_TRACK=1b	EN2/TX2/DO_MODE/DO_CQ	EN1	TX1	CQ_TX_MODE=11（禁用 CQ）	CQ_Q	NPN 模式（依据 CQ 配置）	PNP 模式（依据 CQ 配置）	推挽模式（依据 CQ 配置）
H	1b	X	L	L	0	0	Z	Z	Z
				H			Z	Z	Z
				L		1	Z	H	H
				H			Z	H	H
			H	L		0	Z	H	H
				H			L	Z	L
				L		1	Z	H	H
				H			Z	H	H
			X	X	1	X	Z	Z	Z

表 7-9. 引脚模式下的 NPN、PNP 和推挽模式选择

SPI/$\overline{PIN}$	$\overline{CS}$/PP	SDI/NPN	CQ 和 DO 驱动器模式
L	L	L	PNP
	L	H	NPN
	H	X	推挽
H	X	X	通过 SPI 接口选择 CQ 和 DO 驱动器模式

7.4.1 CQ 和 DO 跟踪模式

在 SPI 模式下，使用 DO_CQ_TRACK 位设置，可以仅使用 TX1 作为输入并将 EN1 作为使能引脚，将 CQ 和 DO 输出驱动器设置为彼此同步。当启用此位时，两个驱动器都将 TX1 作为输入并由 EN1 使能引脚控制。当设置 DO_CQ_TRACK 位时，以下配置将生效：

- 忽略 DO 配置设置，使用 CQ 配置设置（过流、消隐时间、自动重试、CQ_Q 影响两个驱动器）
- 忽略 TX2 和 EN2 输入引脚
- 如果其中一个驱动器出现过流或热故障，则两个驱动器都会关闭。
  - 仅设置进入故障状态的驱动器的中断和状态位

7.5 SPI 编程

当 SPI/PIN 设置为高电平时，TIOL221 处于 SPI 模式。SPI 通信使用标准 SPI。具体而言，数字接口引脚为 $\overline{CS}$/PP（片选低电平有效）、SDI/NPN（SPI 数据输入）、SDO/NFLT2（SPI 数据输出）和 SCK（SPI 时钟）。每个 SPI 事务都由一个带有 R/W 位的七位地址发起。针对事务在 SDO 引脚上移出的数据始终从状态寄存器 8'h01[7:0] 开始。此寄存器提供有关器件的高级状态信息。接下来移出地址“应答”的数据字节和 R/W 字节。有关非突发模式的 SPI 读取和写入帧图，请参阅图 7-5 和图 7-6。有关突发模式的 SPI 读取和写入帧图，请参阅图 7-7 和图 7-8。

SPI 控制器必须在 SPI MODE0 中生成时钟和数据信号（时钟极性 CPOL = 0 且时钟相位 CPHA = 0），然后才能与 TIOL221 通信。SDI 上的 SPI 输入数据会在 SCK 的从低到高边沿上采样。SDO 上的 SPI 输出数据会在 SCK 的从高到低边沿上改变。

Copyright © 2025 Texas Instruments Incorporated

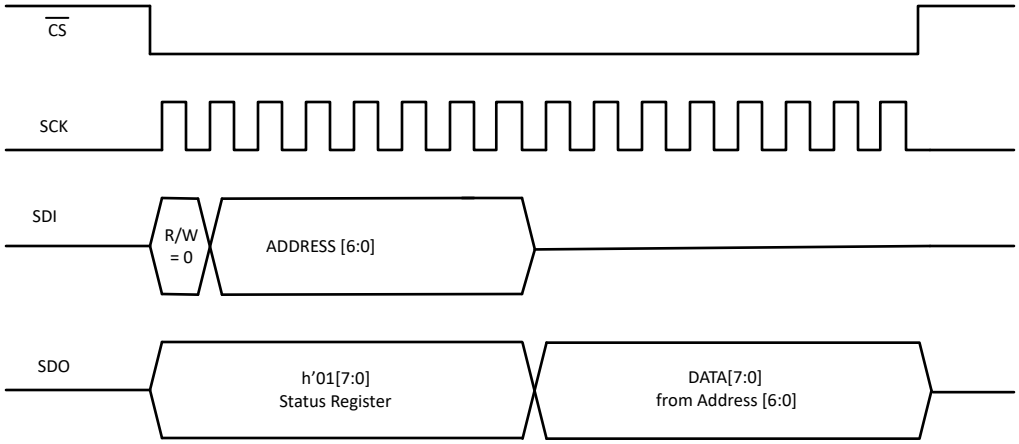


图 7-5. SPI 读取（单字节）

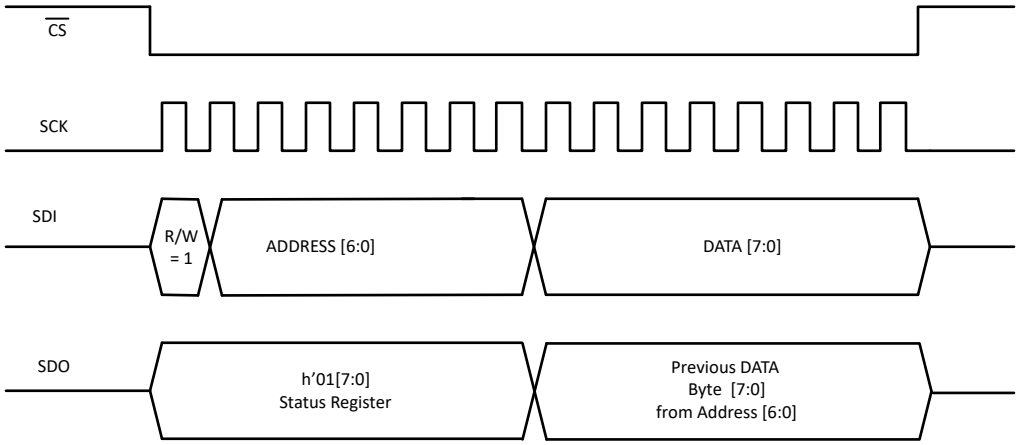


图 7-6. SPI 写入（单字节）

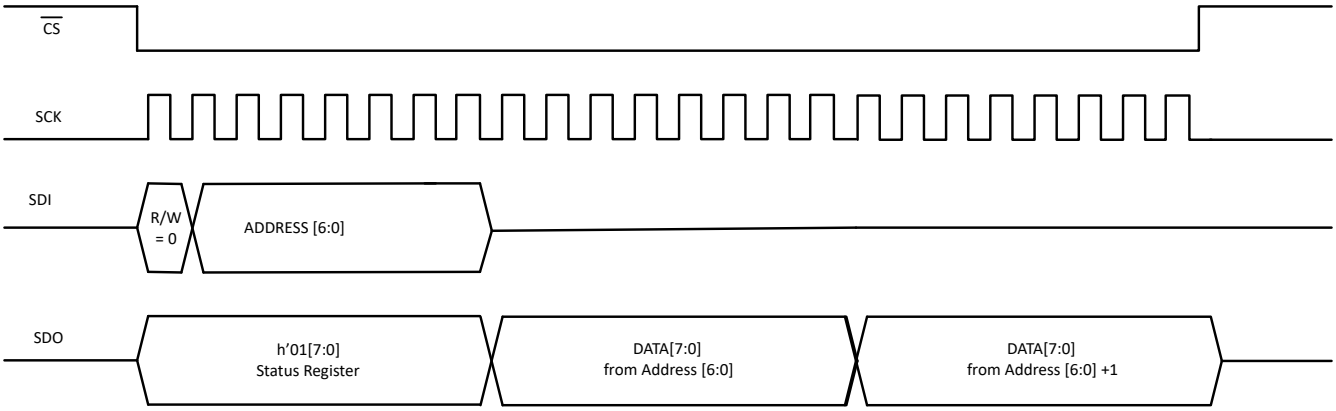


图 7-7. SPI 读取（突发模式）

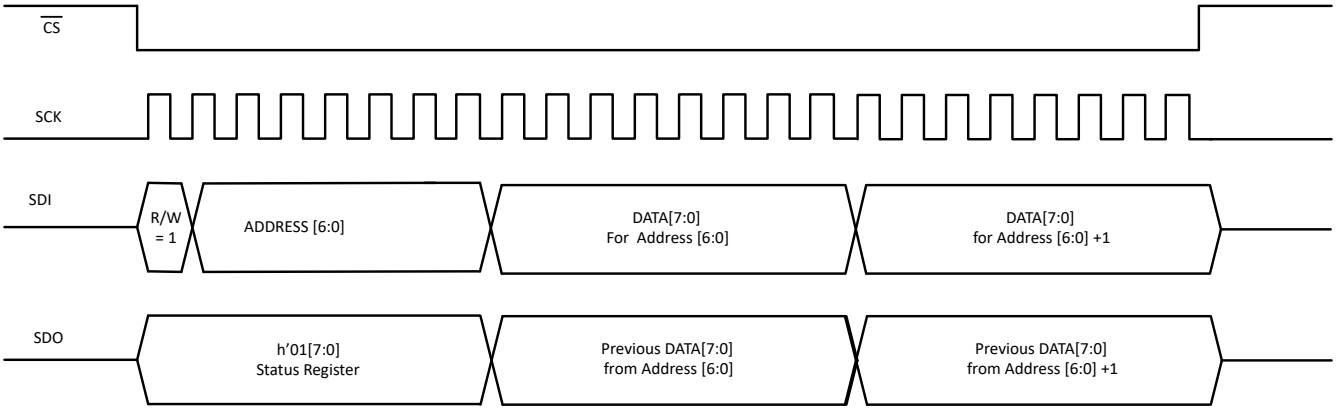


图 7-8. SPI 写入（突发模式）

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

当 TIOL221 通过三线制或四线制接口（图 8-1）连接至 IO-Link 控制器时，控制器能够发起通信并与远程节点交换数据，而此时 TIOL221 IO-Link 收发器则用作一个完整的通信物理层。

8.2 典型应用

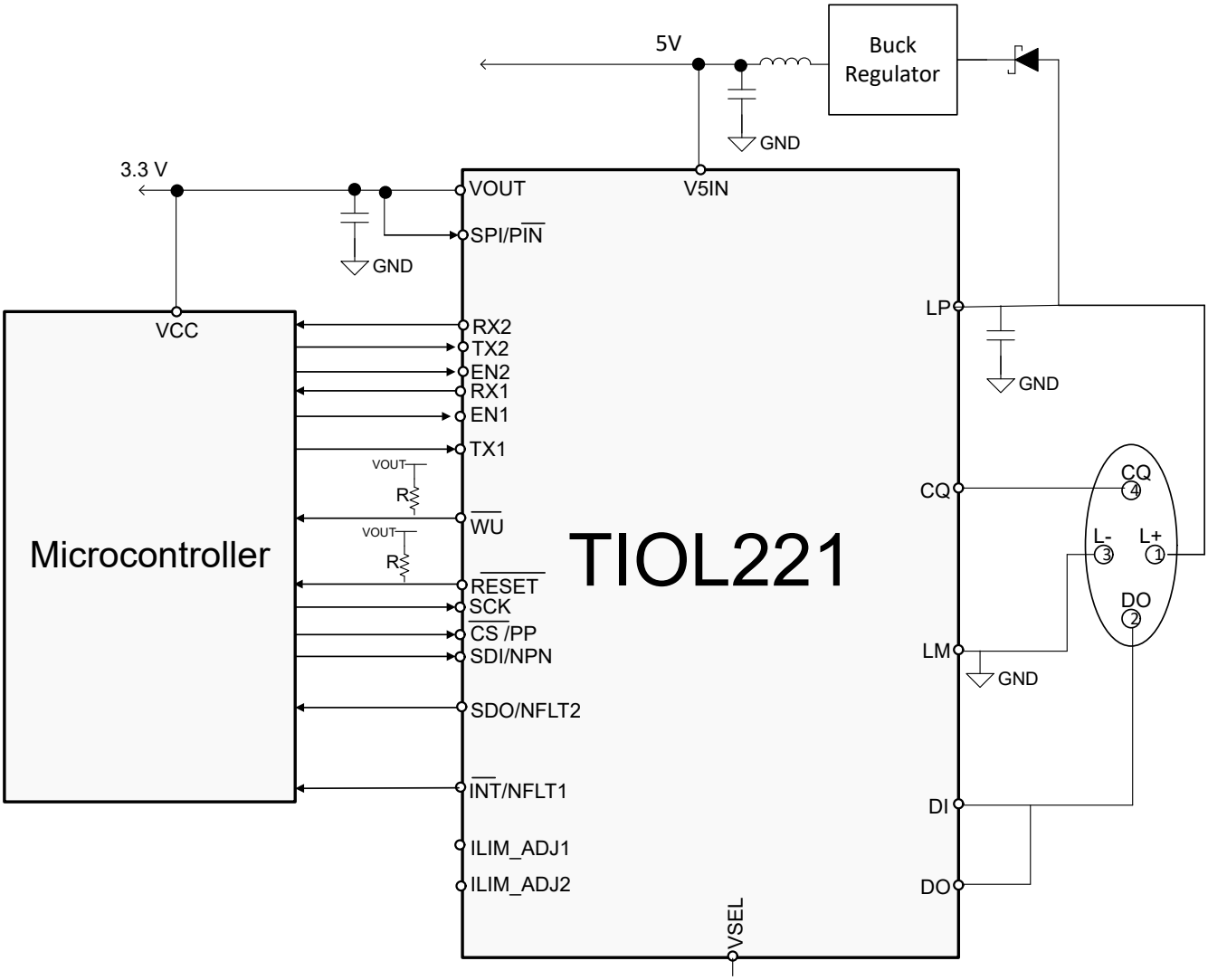


图 8-1. 典型应用原理图（SPI 模式）

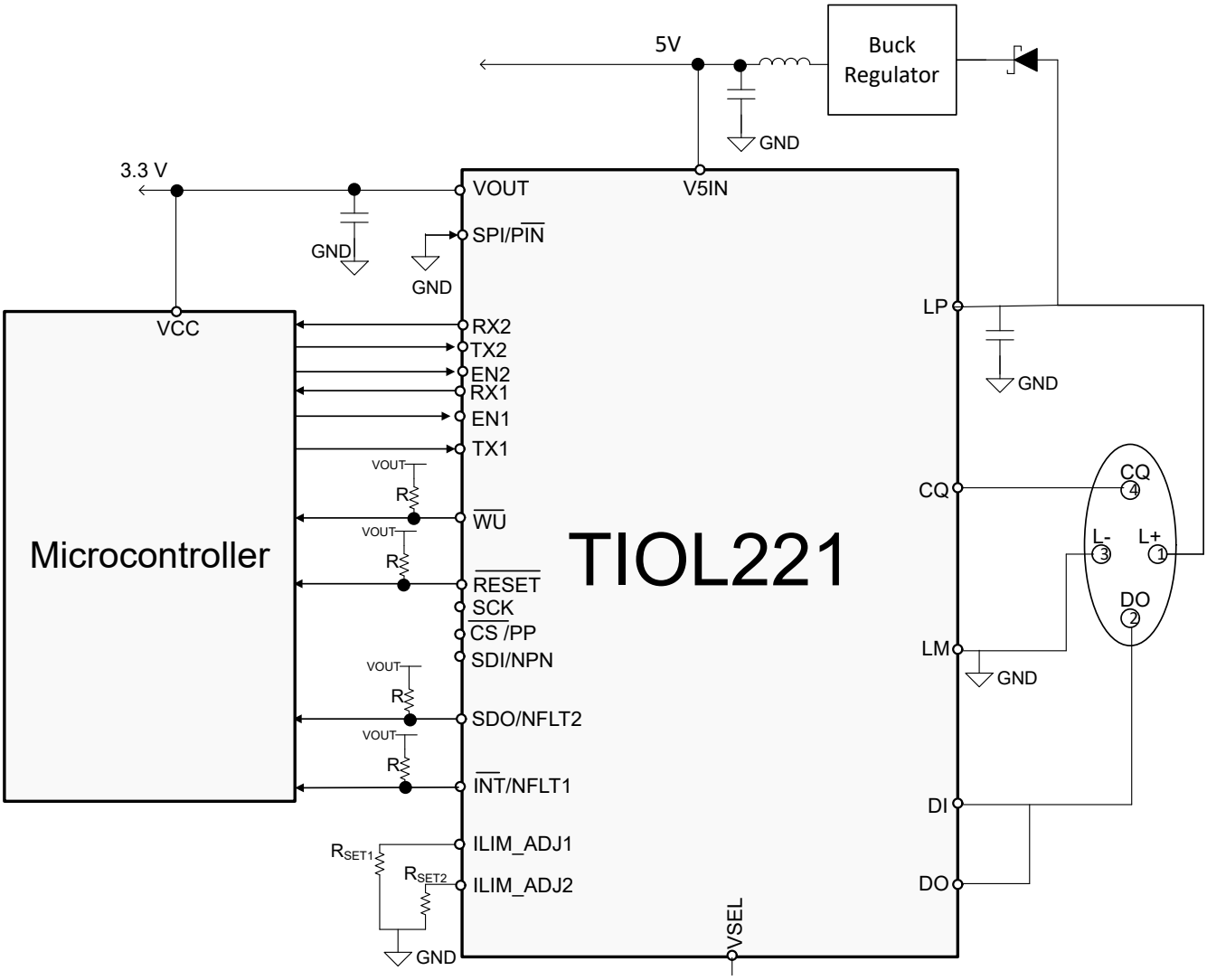


图 8-2. TIOL221 应用原理图（引脚模式）

8.2.1 设计要求

TIOL221 IO-Link 收发器可用于使用 IO-Link 协议进行通信，也可用作标准数字输出来检测或驱动各种传感器和负载。表 8-1 展示了典型系统设计的建议元件。

表 8-1. 设计参数

参数	设计要求	TIOL221 规格
输入电压范围（LP）	24V（典型值）、30V（最大值）	7V 至 36V
输出电流 (CQ)	200mA	在 R_{SET1} = 15kΩ 时选择 250mA 限值
LDO 输出电压	5V	VOUT = 5V 通过连接 VSEL=VOUT
LDO 输出电流	5mA	$I_{(VOUT)}$: 高达 20mA
用于 NFLT1、NFLT2 和 $\overline{WU}$ 的上拉电阻器	10kΩ	10kΩ
LP 去耦电容器	0.1μF/100V	0.1μF/100V
VOUT 输出电容器	1μF/10V	1μF/10V

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 设计参数（续）

参数	设计要求	TIOL221 规格
最高环境温度，T_A	105°C	如果 $T_J < T_{(SDN)}$，则 TIOL221 可以支持高达 125°C 的 T_A

8.2.2 详细设计过程

8.2.2.1 驱动容性负载

这些器件能够驱动 CQ 和 DO 上的容性负载。假设纯容性负载没有串联/并联电阻，则在不触发电流故障的情况下可充电的最大电容的计算公式为：

$$C_{LOAD} = \frac{[I_{O(LIM)} \times t_{SC}]}{V_{(L+)}} \tag{1}$$

为了驱动更高的容性负载，并避免因过流状况而禁用驱动器，建议将相应的 ILIM_ADJx 引脚保持悬空。当 ILIM_ADJx 引脚悬空时，TIOL221 指示无消隐延时时间 (t_{SC}) 的过流故障，但不会禁用驱动器。另一种方法是通过 CQ 输出和负载之间的串联电阻器来驱动高容性负载，从而避免出现过流状况。容性负载可连接至 LM 或 LP。

8.2.2.2 驱动感性负载

TIOL221 能够对大型电感负载进行磁化和退磁。这些器件包含的内部电路在配置为 P 开关或 N 开关模式时可实现快速安全的退磁。

在 P 开关配置中，当驱动器（CQ 或 DO）输出驱动为高电平时，负载电感器 L 会磁化。当 PNP 关断时，驱动器输出引脚上存在大量负电感反冲。此电压在内部安全地箝位在大约 −15V。

同样，在 N 开关配置中，当驱动器输出驱动为低电平时，负载电感器 L 会磁化。当 NPN 关断时，驱动器输出引脚上存在大量正电感反冲。此电压在内部安全地箝位在大约 15V。

图 8-3 和图 8-4 展示了等效保护电路。可以使用以下公式计算电阻负载 R 的最小值：

$$R = \frac{V_{(L+)}}{I_{O(LIM)}} \tag{2}$$

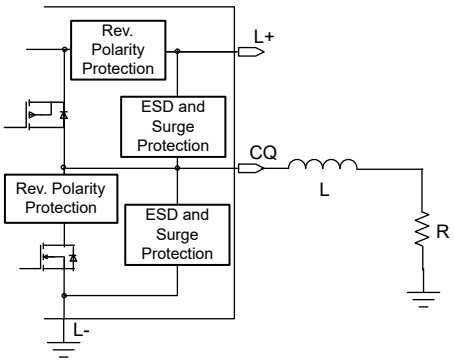


图 8-3. P 开关模式

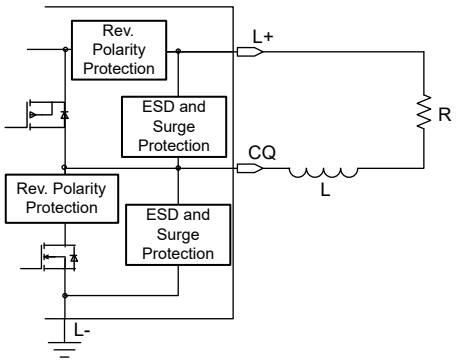
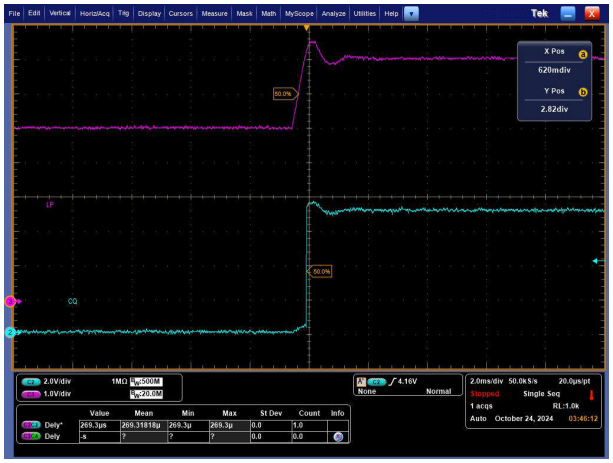


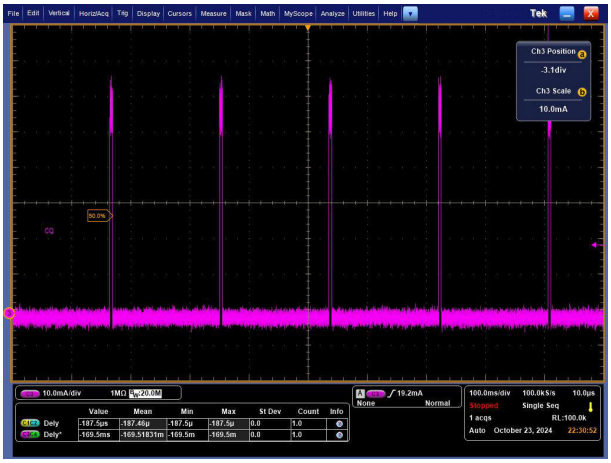
图 8-4. N 开关模式

8.2.3 应用曲线



LP 从低于 UVLO 阈值上升到高于 UVLO 阈值　　T_A = 25°C

图 8-5. CQ 上电延迟、$t_{(UVLO)}$（引脚模式或 SPI 模式下的默认 00b 设置）



t_{SC} = 5ms　　t_{AR}= 200ms　　$I_{O(LIM)}$ = 35mA (min)

图 8-6. 电流故障下的 CQ 自动恢复

L = 1.5H，I_{LOAD} = 100mA　　LP = 36V　　TA - 25°C

图 8-7. 电感负载消磁（PNP 模式）

8.3 电源相关建议

TIOL221 收发器设计为在 LP 以 24V 标称电源运行，该电源相对于标称值上下浮动 +12V 和 -17V，从而保持在 7V 至 36V 的器件建议电源电压范围内。该电源应使用至少为 100nF/100V 的电容器进行缓冲。

8.4 布局

8.4.1 布局指南

- 建议使用 4 层电路板以实现良好的热传导。对控制信号使用第 1 层（顶层），对 LM 使用第 2 层作为电源接地层，对 24V 电源平面 (LP) 使用第 3 层，对稳压输出电源 (VOUT) 使用第 4 层。
- 使用最大数量的散热过孔将散热焊盘连接到 LM，以便实现更好的热性能。
- 为 LP、VOUT 和 LM 使用整个平面，以便尽可能减小电感。

Copyright © 2025 Texas Instruments Incorporated

- 必须使用低 ESR 陶瓷去耦电容器将 LP 端子去耦接地。建议的最小电容值为 100nF。电容器必须具有最小 50V 的电压额定值（可以使用 100V，取决于最大传感器电源故障额定值）和 X5R 或 X7R 电介质。
- 理想情况下，将电容器放置在尽可能靠近收发器 LP 和 LM 端子的位置，以便减少大电源电流负载期间的电源压降。有关 PCB 布局示例，请参阅图 8-8。
- 通过 10kΩ 上拉电阻将所有开漏控制输出连接到 VOUT 平面，以便在输出为高阻抗时为系统控制器输入提供确定的电压电位。
- 如果使用引脚模式，则根据需要在 ILIM_ADJ1/2 和 LM 之间连接 R_{SET} 电阻器
- 使用大于等于 1μF 的低 ESR 陶瓷去耦电容器将 VOUT 处的稳压输出电压去耦至接地端。电容器应具有最小值为 10V 的额定电压和 X5R 或 X7R 电介质。

8.4.2 布局示例

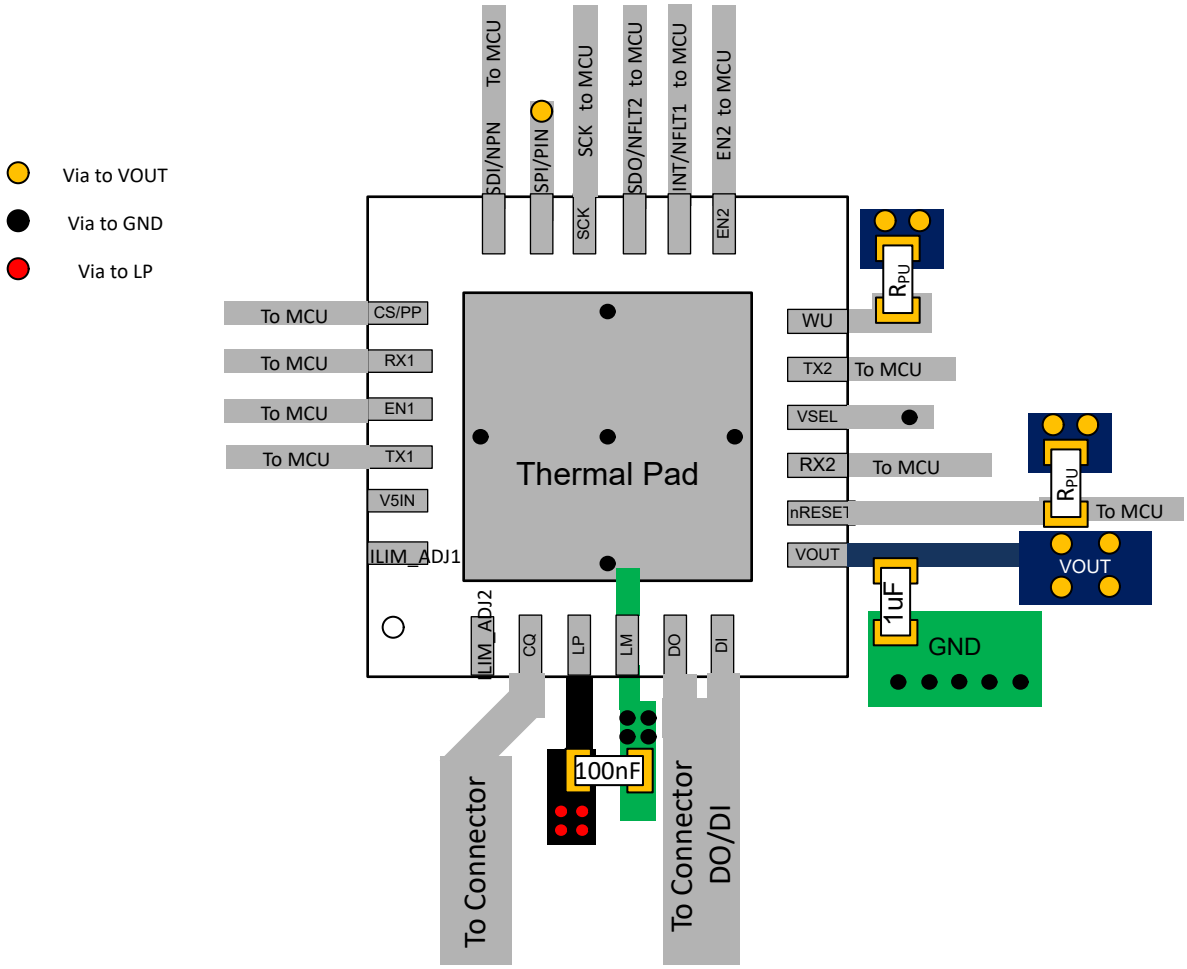


图 8-8. 布局示例（显示的是 SPI 模式）

9 TIOL221 寄存器

表 9-1 列出了 TIOL221 寄存器的存储器映射寄存器。表 9-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 9-1. TIOL221 寄存器

地址	首字母缩写词	寄存器名称	部分
0h	INT	中断	转到
1h	状态	状态	转到
2h	DEVICE_CONFIG	器件配置	转到
3h	CQ_CURLIM	CQ 驱动器电流限制	转到
4h	CQ_CONFIG	CQ 配置	转到
5h	DIO_CONFIG	DIO 配置	转到
6h	DO_CURLIM	DO 驱动器电流限制	转到
7h	DEVICE_ID	器件 ID	转到
8h	INT_MASK	中断屏蔽	转到
9h	RESET_CONFIG	复位引脚配置寄存器	转到

复杂的位访问类型经过编码可适应小型表单元。表 9-2 展示了适用于此部分中访问类型的代码。

表 9-2. TIOL221 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2025 Texas Instruments Incorporated

9.1 INT 寄存器（地址 = 0h）[复位 = 00h]

图 9-1 展示了 INT，表 9-3 中对此进行了介绍。

返回到汇总表。

中断寄存器反映各种故障条件的当前状态。清除故障后，不会自动清除中断寄存器。如果故障条件不再存在，则在读取时清除

图 9-1. INT 寄存器

7	6	5	4	3	2	1	0
TSD_INT	WU_INT	DO_FAULT_INT	CQ_FAULT_INT	LPW_INT	RESERVED	UV_V5_INT	TEMP_WARN
RC-0b	RC-0b	RC-0b	RC-0b	RC-0b	R-0b	RC-0b	RC-0b

表 9-3. INT 寄存器字段说明

位	字段	类型	复位	说明
7	TSD_INT	RC	0b	热关断中断位。清除故障后，不会自动清除此位。如果故障不再存在，则在读取时清除该位 0b = 器件处于热关断状态 1b = 器件进入热关断状态
6	WU_INT	RC	0b	当在 CQ 上检测到 IO-Link 唤醒条件时会设置此位。 0b = 未检测到唤醒 1b = 检测到唤醒
5	DO_FAULT_INT	RC	0b	当发生 DO 驱动器故障（过流或热故障）时会设置该位 0b = DO 驱动器上无故障 1b =发生了 DO 驱动器故障
4	CQ_FAULT_INT	RC	0b	当发生 CQ 驱动器故障（过流或热故障）时会设置该位 0b = CQ 驱动器上无故障 1b =发生了 CQ 驱动器故障
3	LPW_INT	RC	0b	当 LP 低于警告阈值时会设置该位 0b = LP 高于警告阈值 1b = LP 已降至警告阈值以下
2	RESERVED	R	0b	保留
1	UV_V5_INT	RC	0b	V5IN 电源输入端发生欠压（仅当 VSEL 引脚悬空且 V5IN 是 LDO 输入时有效） 0b = V5IN 上无 UV 故障 1b = V5IN 上的 UV 故障
0	TEMP_WARN	RC	0b	热警告中断 0b = 无热警告 1b =达到热警告限值

9.2 STATUS 寄存器（地址 = 1h）[复位 = 00h]

图 9-2 展示了 STATUS，表 9-4 中对此进行了介绍。

返回到汇总表。

状态寄存器反映各种故障情况的当前状态。这些寄存器是只读的，并在清除故障后自动清除。注意：软复位不会复位 STATUS 寄存器位，因为它们反映了故障的当前状态。建议在读取 STATUS 寄存器时读取 MSB 字节，因为 POR 恢复位在 LSB 字节传输到数据输出时清除

图 9-2. STATUS 寄存器

7	6	5	4	3	2	1	0
POR_RECOVERY	TSD	DI_LEVEL	DO_FAULT	CQ_FAULT	UV_V5	CQ_RX_LEVEL	TEMP_WARN
RC-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 9-4. 状态寄存器字段说明

位	字段	类型	复位	说明
7	POR_RECOVERY	RC	0b	当器件从 POR 事件中恢复时，设置此位。读取时该位被清除 0b = 器件正常运行 1b =器件已从 POR 事件中恢复
6	TSD	R	0b	该位反映了热关断的状态。当温度低于热关断阈值时，自动清除该位 0b = 无热关断 1b = 器件处于热关断状态
5	DI_LEVEL	R	0b	当 DI 电压为逻辑高电平时设置此位，当 DI 电压为逻辑低电平时清除此位。注意：如果 DI_DIS 位设置为 1，则此位无效。 0b = 0x0 1b = 0x1
4	DO_FAULT	R	0b	该位显示 DO 驱动故障状态 0b = DO 引脚无故障 1b = DO 引脚处存在故障
3	CQ_FAULT	R	0b	该位显示 CQ 驱动器的故障状态 0b = CQ 引脚无故障 1b = CQ 引脚处存在故障
2	UV_V5	R	0b	该位显示 V5IN 引脚上的 UV 条件状态 0b = V5IN 电压高于 UVLO 阈值 1b = V5IN 低于 UVLO 阈值
1	CQ_RX_LEVEL	R	0b	当 CQ 电压为逻辑高电平时设置此位，当 CQ 电压为逻辑低电平时清除此位。注意：如果 CQ_RX_DIS 位设置为 1，则此位无效。 0b = 0x0 1b = 0x1
0	TEMP_WARN	R	0b	显示器件温度高于或低于温度警告阈值 0b = 无温警告 1b =器件温度高于警告阈值

Copyright © 2025 Texas Instruments Incorporated

9.3 DEVICE_CONFIG 寄存器（地址 = 2h）[复位 = 00h]

图 9-3 展示了 DEVICE_CONFIG，表 9-5 中对此进行了介绍。

返回到汇总表。

器件级配置寄存器

图 9-3. DEVICE_CONFIG 寄存器

7	6	5	4	3	2	1	0
SOFT_RESET	WU_DIS	DO_CQ_TRACK	IOLINK_5MA_PD	DI_RX_FILTER	CQ_RX_FILTER	T_UVLO	INT_TOG
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 9-5. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0b	将所有寄存器复位为默认值。 注意：根据相应的故障状态，仍可能会设置状态和中断位。 0b = 无复位 1b = 器件配置的 1b 接口
6	WU_DIS	R/W	0b	0b = CQ 可以识别唤醒脉冲 1b = CQ 忽略唤醒脉冲
5	DO_CQ_TRACK	R/W	0b	如果设置了该位，DO 和 CQ 驱动器会根据 TX 输入和 CQ_CONFIG 设置同步工作。 0b = DO 和 CQ 驱动器是独立的 1b = DO 和 CQ 驱动器作为 TX 输入的函数进行跟踪
4	IOLINK_5MA_PD	R/W	0b	当禁用相应的驱动器时，在 CQ 和 DO 驱动器上启用 5mA 下拉电流 ILLM。注意：CQ_CUR_LIM 和 DO_CUR_LIM 限值需要设置为 500mA，以便分别在 CQ 和 DO 处启用此设置。 0b =禁用 5mA（最小）下拉电流 1b = 禁用相应的驱动器时启用 5mA 的（最小）下拉电流
3	DI_RX_FILTER	R/W	0b	打开或关闭 DI 线路上的 RX 干扰滤波器 0b = 禁用 DI 干扰滤波器 1b = 启用 DI 干扰滤波器
2	CQ_RX_FILTER	R/W	0b	打开或关闭 CQ 线路上的 RX 干扰滤波器 0b =禁用 CQ RX 干扰滤波器 1b =启用 CQ RX 干扰滤波器
1	T_UVLO	R/W	0b	从 LP UVLO 恢复后，CQ，DO 重新启用延迟 t (UVLO) 0b = 0.5ms (典型值) 1b = 30ms (典型值)
0	INT_TOG	R/W	0b	启用中断引脚切换 0b = 中断引脚设置为有效的低电平 1b =中断引脚设置为切换 200us 周期和 50% 工作周期

9.4 CQ_CURLIM 寄存器（地址 = 3h）[复位 = 20h]

图 9-4 展示了 CQ_CURLIM，表 9-6 中对此进行了介绍。

返回到汇总表。

CQ 驱动器电流限制和自动重试配置

图 9-4. CQ_CURLIM 寄存器

7	6	5	4	3	2	1	0
CQ_CUR_LIM			CQ_BL_TIME		CQ_RETRY_TIME		CQ_AUTO_RETRY_EN
R/W-001b			R/W-00b		R/W-00b		R/W-0b

表 9-6. CQ_CURLIM 寄存器字段说明

位	字段	类型	复位	说明
7-5	CQ_CUR_LIM	R/W	001b	设置电流限值 000b = 35 mA（最小） 001b = 50 mA（最小） 010b = 100 mA（最小） 011b = 150 mA（最小） 100b = 200 mA（最小） 101b = 250 mA（最小） 110b = 300 mA（最小） 111b = 500 mA（最小）
4-3	CQ_BL_TIME	R/W	00b	设置电流消隐时间 00b = 200µs (典型值) 01b = 500µs (典型值) 10b = 5ms (典型值) 11b = 0s (无消隐时间）
2-1	CQ_RETRY_TIME	R/W	00b	设置自动重试时间 00b = 50ms (典型值) 01b = 100ms (典型值) 10b = 200ms (典型值) 11b = 500ms (典型值)
0	CQ_AUTO_RETRY_EN	R/W	0b	启用自动重试。启用时，会在消隐时间后禁用驱动器，并在重试时间后重新启用驱动器。禁用自动重试时，驱动器会保持启用状态并仅在热关断后关闭。注意：当消隐时间配置为 2b11（无消隐时间）时，不建议启用自动重试。 0b = 禁用 1b = 启用

Copyright © 2025 Texas Instruments Incorporated

9.5 CQ_CONFIG 寄存器（地址 = 4h）[复位 = 0Ch]

图 9-5 展示了 CQ_CONFIG，表 9-7 中对此进行了介绍。

返回到汇总表。

用于 PNP/NPN 模式和弱上拉/下拉的 CQ 配置寄存器

图 9-5. CQ_CONFIG 寄存器

7	6	5	4	3	2	1	0
RESERVED		CQ_WEAK_PD_EN	CQ_WEAK_PU_EN	CQ_TX_MODE		CQ_Q	RX_DIS
R-0b		R/W-0b	R/W-0b	R/W-11b		R/W-0b	R/W-0b

表 9-7. CQ_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留
5	CQ_WEAK_PD_EN	R/W	0b	当驱动器被禁用时，配置 CQ 上的弱下拉 0b = 禁用弱下拉 1b = 启用弱下拉
4	CQ_WEAK_PU_EN	R/W	0b	当驱动器被禁用时，配置 CQ 上的弱上拉 0b = 禁用弱上拉 1b = 启用弱上拉
3-2	CQ_TX_MODE	R/W	11b	配置驱动器传输模式 00b = PNP 模式 01b = 推挽模式 10b = NPN 模式 11b =驱动器被禁用
1	CQ_Q	R/W	0b	CQ 驱动器输出逻辑 0b =当 EN1 为低电平（或 CQ_DIS 为低电平时）时，CQ 处于高阻抗状态 1b = CQ 驱动器在推挽或 PNP 模式输出逻辑高电平，在 NPN 模式下关断 CQ 驱动器
0	RX_DIS	R/W	0b	配置 CQ 线路的 RX 0b = 启用 RX 1b = 禁用 RX

Copyright © 2025 Texas Instruments Incorporated

9.6 DIO_CONFIG 寄存器（地址 = 5h）[复位 = 0Ch]

图 9-6 展示了 DIO_CONFIG，表 9-8 中对此进行了介绍。

返回到汇总表。

图 9-6. DIO_CONFIG 寄存器

7	6	5	4	3	2	1	0
DI_WEAK_PD_EN	DI_WEAK_PU_EN	DO_WEAK_PD_EN	DO_WEAK_PU_EN	DO_MODE		DO_Q	DI_DIS
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b		R/W-0b	R/W-0b

表 9-8. DIO_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7	DI_WEAK_PD_EN	R/W	0b	配置 DI 的弱下拉 0b = 禁用弱下拉 1b = 启用弱下拉
6	DI_WEAK_PU_EN	R/W	0b	配置 DI 上的弱上拉 0b = 禁用弱上拉 1b = 启用弱上拉
5	DO_WEAK_PD_EN	R/W	0b	当驱动器被禁用时，配置 DO 上的弱下拉 0b = 禁用弱下拉 1b = 启用弱下拉
4	DO_WEAK_PU_EN	R/W	0b	当驱动器被禁用时，配置 DO 上的弱上拉 0b = 禁用弱上拉 1b = 启用弱上拉
3-2	DO_MODE	R/W	11b	配置 DO 驱动器传输模式 00b = PNP 模式 01b = 推挽模式 10b = NPN 模式 11b =驱动器被禁用
1	DO_Q	R/W	0b	DO 驱动器输出逻辑 0b =当 EN2 为低电平（或 DO_DIS 为低电平时），DO 处于高阻抗状态 1b = DO 驱动器在推挽或 PNP 模式输出逻辑高电平，在 NPN 模式下关断 CQ 驱动器
0	DI_DIS	R/W	0b	配置 DI 接收器 0b = 启用 DI 1b = 禁用 DI

Copyright © 2025 Texas Instruments Incorporated

9.7 DO_CURLIM 寄存器（地址 = 6h）[复位 = 20h]

图 9-7 展示了 DO_CURLIM，表 9-9 中对此进行了介绍。

返回到汇总表。

DO 驱动器电流限制和自动重试配置

图 9-7. DO_CURLIM 寄存器

7	6	5	4	3	2	1	0
DO_CUR_LIM			DO_BL_TIME		DO_RETRY_TIME		DO_RETRY_EN
R/W-001b			R/W-00b		R/W-00b		R/W-0b

表 9-9. DO_CURLIM 寄存器字段说明

位	字段	类型	复位	说明
7-5	DO_CUR_LIM	R/W	001b	设置电流限值 000b = 35 mA（最小） 001b = 50 mA（最小） 010b = 100 mA（最小） 011b = 150 mA（最小） 100b = 200 mA（最小） 101b = 250 mA（最小） 110b = 300 mA（最小） 111b = 500 mA（最小）
4-3	DO_BL_TIME	R/W	00b	设置电流消隐时间。注意：启用自动重试后，不建议配置 0b11（无消隐时间）。 00b = 200µs (典型值) 01b = 500µs (典型值) 10b = 5ms (典型值) 11b = 0s (无消隐时间）
2-1	DO_RETRY_TIME	R/W	00b	设置自动重试时间。注意：当消隐时间配置为 2b11（无消隐时间）时，不建议启用自动重试。 00b = 50ms (典型值) 01b = 100ms (典型值) 10b = 200ms (典型值) 11b = 500ms (典型值)
0	DO_RETRY_EN	R/W	0b	启用自动重试 0b = 禁用 1b = 启用

9.8 DEVICE_ID 寄存器（地址 = 7h）[复位 = 01h]

图 9-8 展示了 DEVICE_ID，表 9-10 中对此进行了介绍。

返回到汇总表。

图 9-8. DEVICE_ID 寄存器

7	6	5	4	3	2	1	0
RESERVED					修订 ID		
R-0b					R-001b		

表 9-10. DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0b	保留
2-0	修订 ID	R	001b	指示器件修订版本号 001b = 1st revision

Copyright © 2025 Texas Instruments Incorporated

9.9 INT_MASK 寄存器（地址 = 8h）[复位 = 00h]

图 9-9 展示了 INT_MASK，表 9-11 中对此进行了介绍。

返回到汇总表。

中断屏蔽寄存器。当屏蔽中断时，中断引脚不指示中断，但中断寄存器仍会更新以指示中断。

图 9-9. INT_MASK 寄存器

7	6	5	4	3	2	1	0
TSD_INT_MASK	WU_INT_MASK	DO_FAULT_INT_MASK	CQ_FAULT_INT_MASK	LPW_INT_MASK	RESERVED	UV_V5_INT_MASK	TEMP_WARN_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b

表 9-11. INT_MASK 寄存器字段说明

位	字段	类型	复位	说明
7	TSD_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
6	WU_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
5	DO_FAULT_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
4	CQ_FAULT_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
3	LPW_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
2	RESERVED	R	0b	保留
1	UV_V5_INT_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽
0	TEMP_WARN_MASK	R/W	0b	0b =中断激活 1b = 中断已被屏蔽

9.10 RESET_CONFIG 寄存器（地址 = 9h）[复位 = 00h]

图 9-10 展示了 RESET_CONFIG，表 9-12 中对此进行了介绍。

返回到汇总表。

配置 RESET 引脚的行为

图 9-10. RESET_CONFIG 寄存器

7	6	5	4	3	2	1	0
RESET_SEL		RESET_POL	RESERVED				
R/W-00b		R-0b	R-0b				

表 9-12. RESET_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESET_SEL	R/W	00b	选择哪些事件将激活复位输出 00b = UVLP 和 UVOUT 01b = UVLP 10b = UVOUT 11b = 保留
5	RESET_POL	R	0b	在复位输出时，选择配置为低电平有效还是高电平有效 0b =引脚输出低电平（低电平有效） 1b =引脚输出高电平（高电平有效）
4-0	RESERVED	R	0b	保留

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

Changes from Revision * (September 2024) to Revision A (December 2024)	Page
• 将文档状态从“预告信息”更改为*量产数据*	1

12 机械、封装和可订购信息

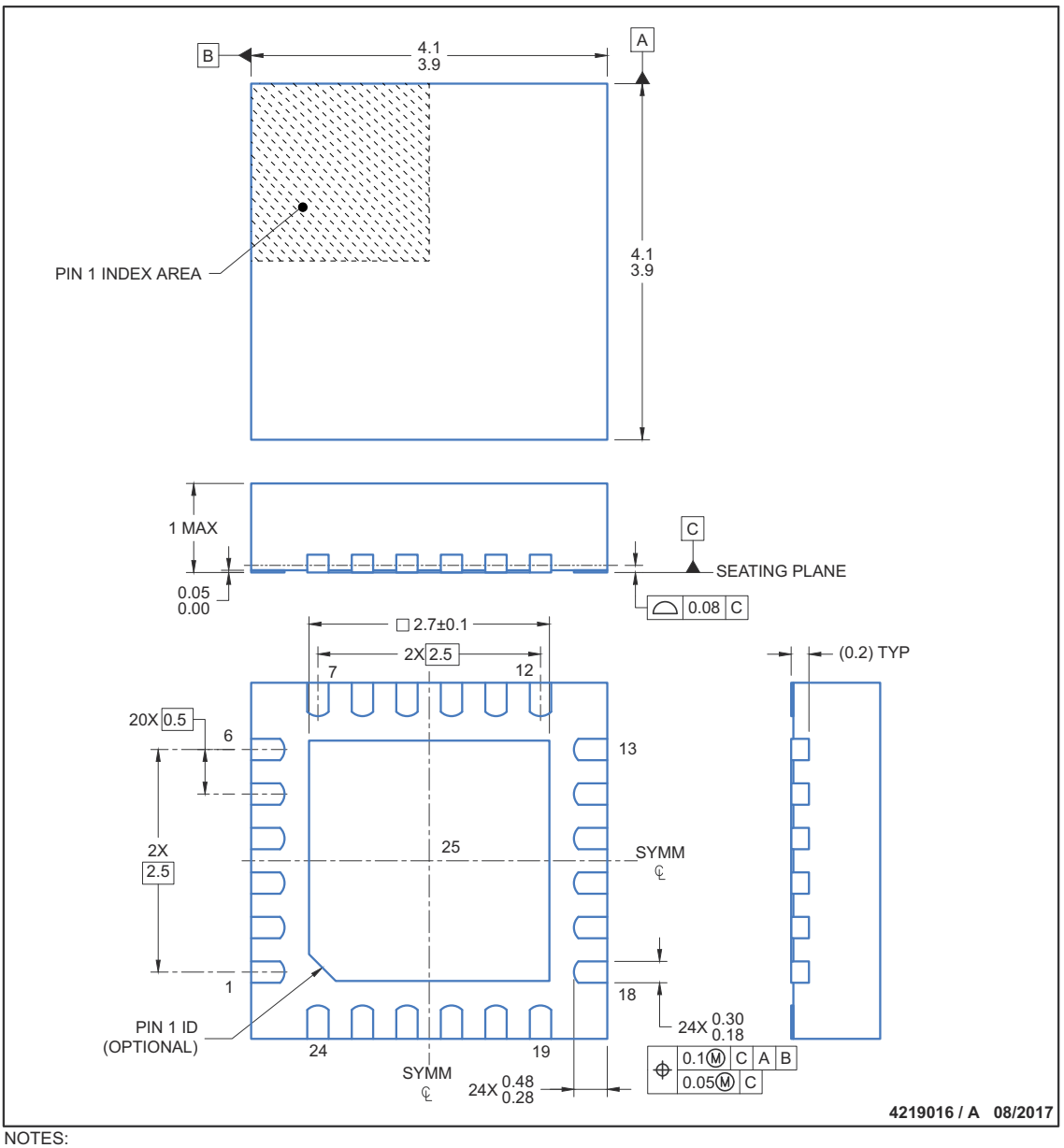
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 机械数据

PACKAGE OUTLINE

RGE0024H **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

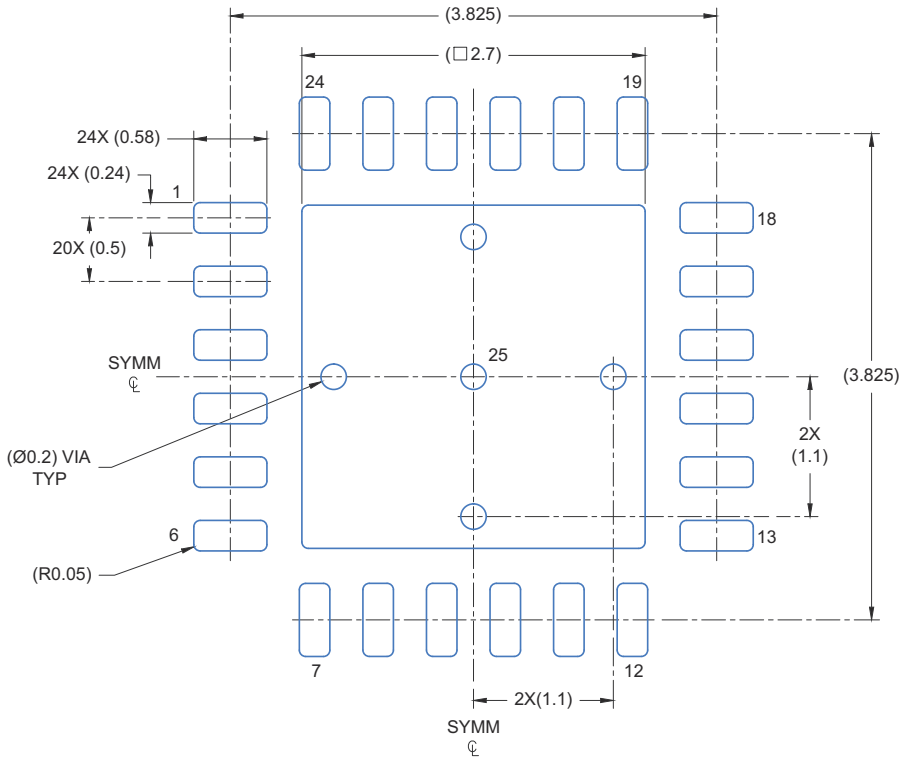
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

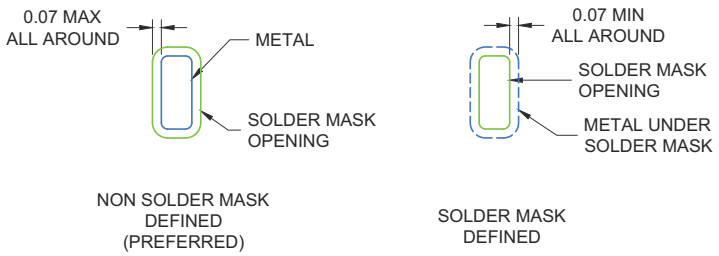
RGE0024H

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE
SCALE: 20X



SOLDER MASK DETAILS

4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

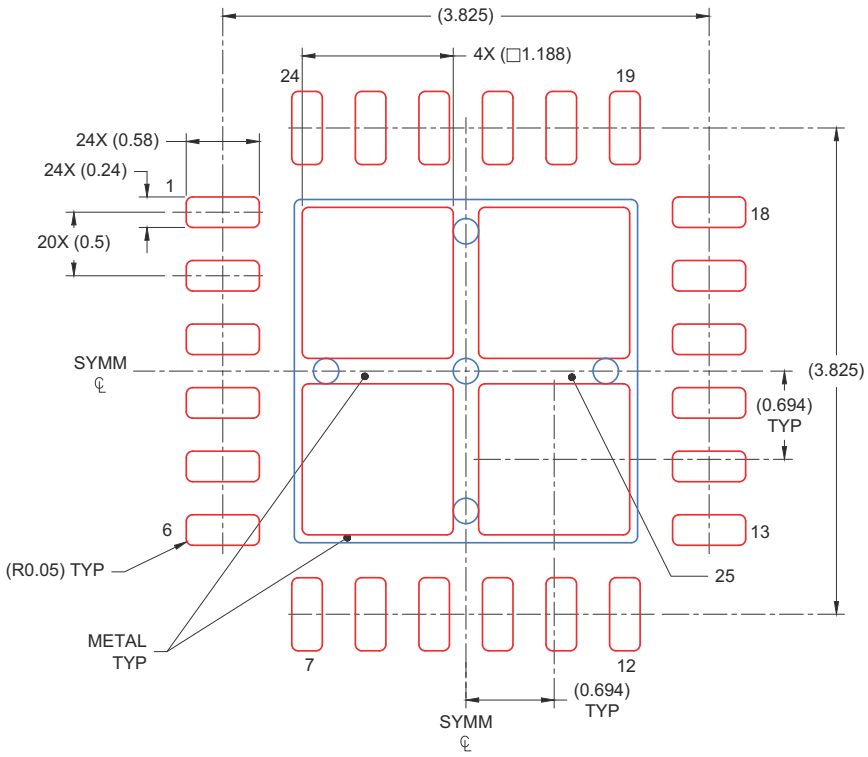
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024H

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

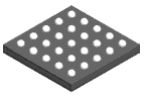
4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

Copyright © 2025 Texas Instruments Incorporated

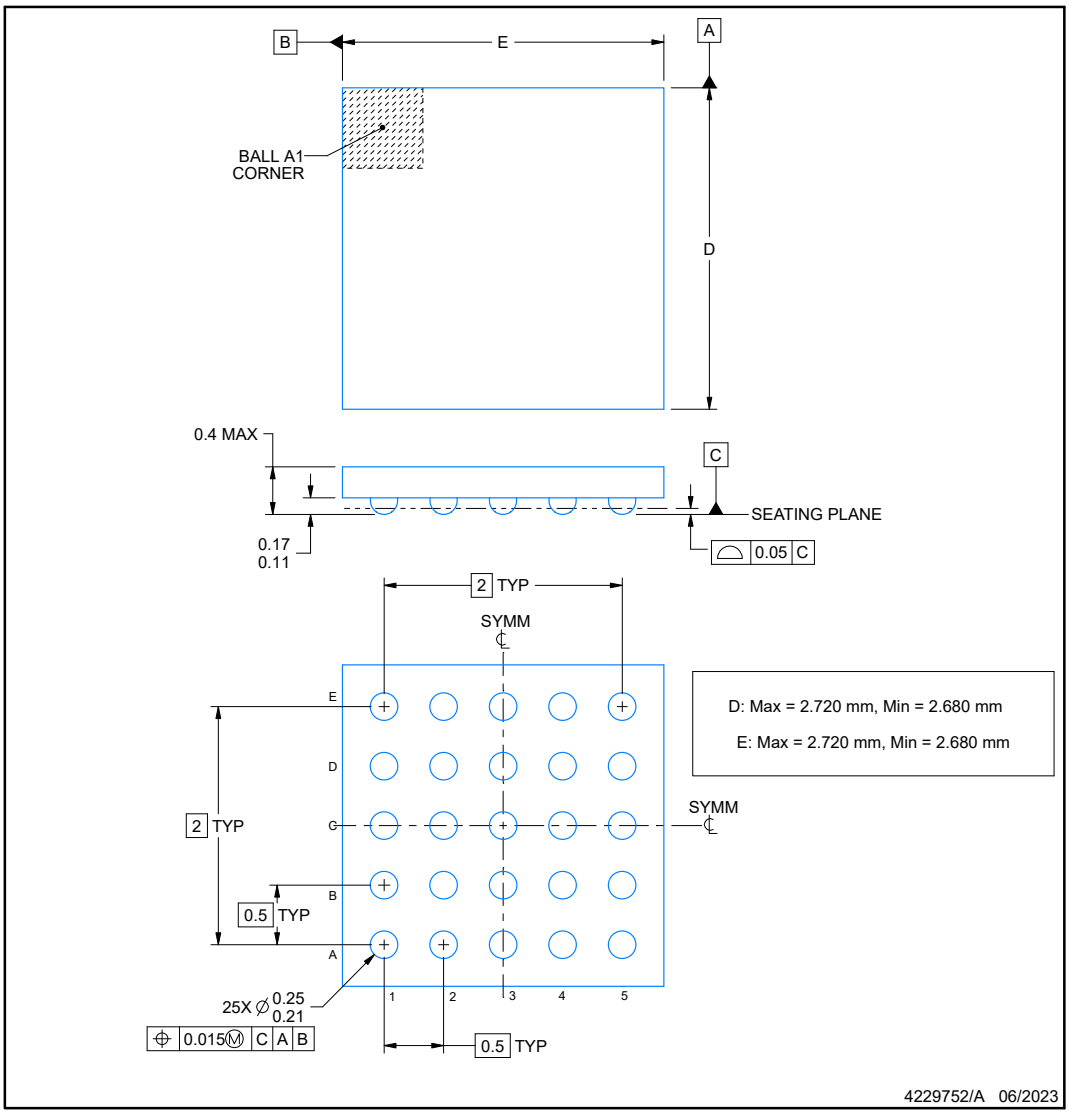
YAH0025-C01



PACKAGE OUTLINE

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

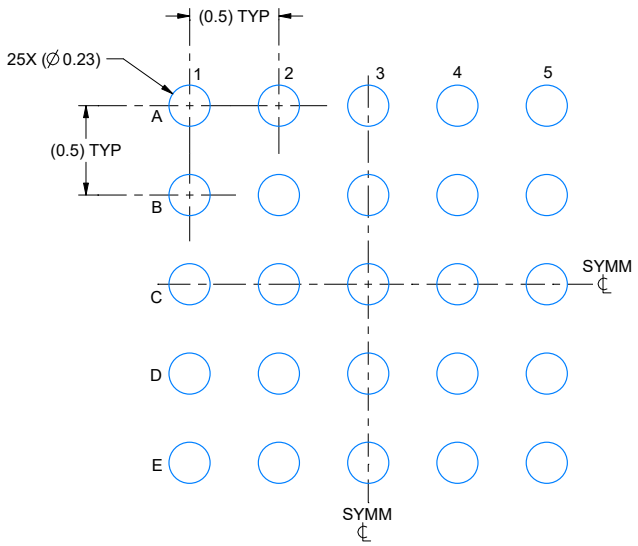
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2025 Texas Instruments Incorporated

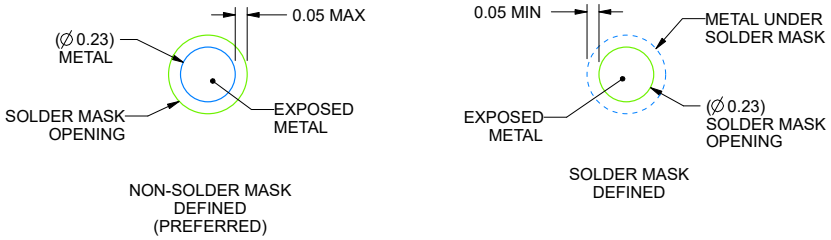
EXAMPLE BOARD LAYOUT

YAH0025-C01 **DSBGA - 0.4 mm max height**

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS
NOT TO SCALE

4229752/A 06/2023

NOTES: (continued)

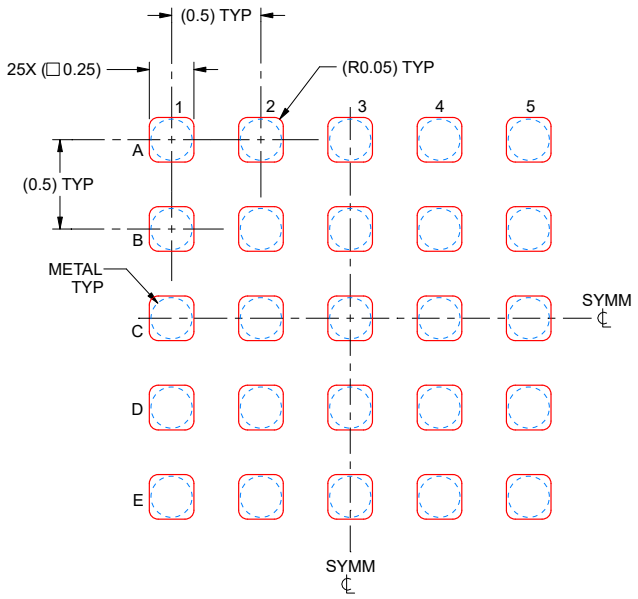
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YAH0025-C01 **DSBGA - 0.4 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 30X

4229752/A 06/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TIOL221RGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TIOL 221
TIOL221RGER.A	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TIOL 221

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

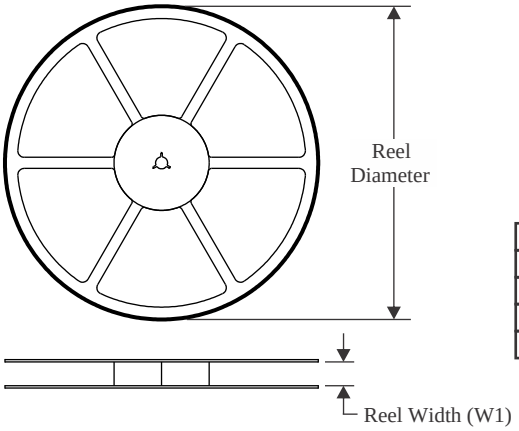
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

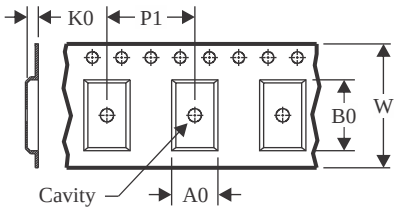
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

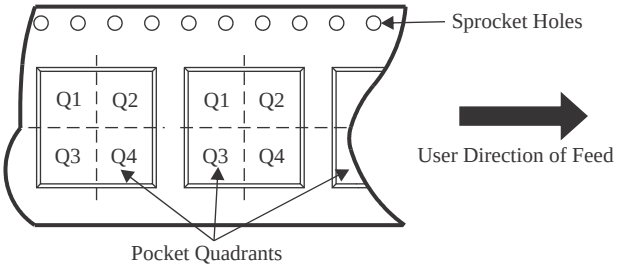


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

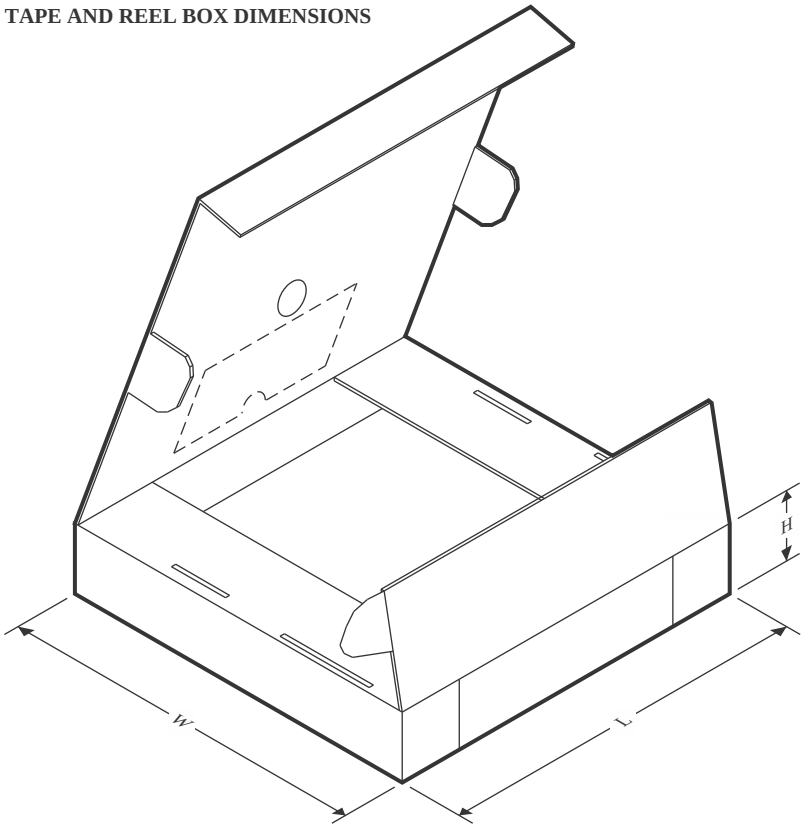
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TIOL221RGER	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TIOL221RGER	VQFN	RGE	24	5000	367.0	367.0	35.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司