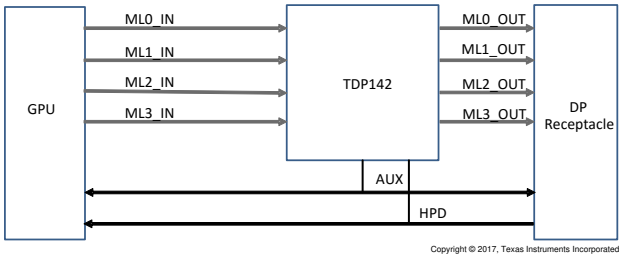
TDP142-Q1 DisplayPort™ 8.1Gbps 线性转接驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度：–40°C 至 105°C，T_A
- DisplayPort™ 1.4 高达 8.1Gbps (HBR3)
- 超低功耗架构
- 在 4.05GHz 时具有高达 12dB 均衡的线性转接驱动器
- 对 DisplayPort™ 链路训练透明
- 可通过 GPIO 或 I^2C 进行配置
- 支持热插拔
- 支持 DisplayPort™ 双模标准版本 1.1（交流耦合 HDMI®）
- 采用 7mm × 5mm、0.5mm 间距 VQFN 封装

2 应用

- 后座娱乐系统
- 汽车音响主机
- 汽车信息娱乐系统与仪表组
- 有源电缆



简化版原理图

3 说明

TDP142-Q1 是一款能够监测 AUX 和 HPD 信号的 DisplayPort™ (DP) 线性转接驱动器。该器件符合 VESA® DisplayPort™ 标准版本 1.4，支持 1-4 通道主链路接口，以符合 HBR3 标准的速率（每个通道 8.1 Gbps）发送信号。此外，该器件不受安装位置影响。TDP142-Q1 可置于源端、电缆或接收端内，从而为总体链路预算有效提供负损耗分量。

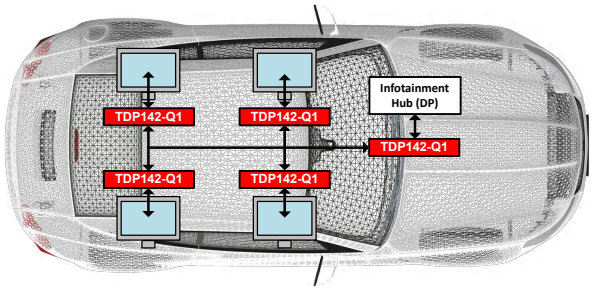
TDP142-Q1 提供有多个接收线性均衡级别，用于补偿电缆或电路板布线中因码间串扰 (ISI) 而产生的损耗。TDP142-Q1 由 3.3V 单电源供电运行，支持车规 2 级温度范围。

封装信息

器件型号	封装 (1)	封装尺寸(2)
TDP142-Q1	RGF（VQFN，40）	7mm × 5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



应用用例

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电源特性 6
5.6 控制 I/O 直流电气特性 6
5.7 DP 电气特性 7
5.8 开关特性 8
5.9 典型特性 9
6 详细说明 12
6.1 概述 12
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式 14
6.5 编程 16
7 寄存器映射 18
7.1 TDP142-Q1 寄存器 18
8 应用和实施 22
8.1 应用信息 22
8.2 典型应用 24
8.3 电源相关建议 27
8.4 布局 28
9 器件和文档支持 30
9.1 接收文档更新通知 30
9.2 支持资源 30
9.3 商标 30
9.4 静电放电警告 30
9.5 术语表 30
10 修订历史记录 30
11 机械、封装和可订购信息 30

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

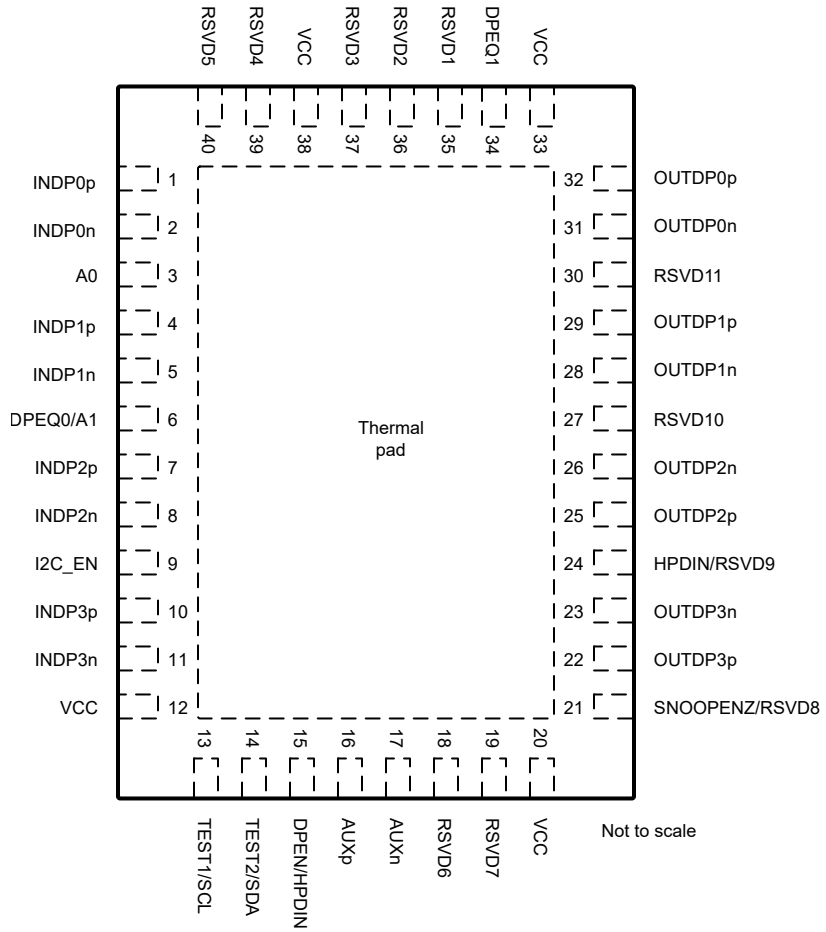


图 4-1. RGF 封装 40 引脚 (VQFN) 顶视图

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
INDP0p	1	I	DisplayPort 通道 0 的 DP 差分正输入。
INDP0n	2	I	DisplayPort 通道 0 的 DP 差分负输入。
A0	3	四电平输入	当 I2C_EN = 0 时，将该引脚保持未连接状态。当 I2C_EN ≠ 0 时，该引脚还设置 TDP142-Q1 I²C 地址。参阅 表 6-4。如果 I2C_EN = “F”，则必须将该引脚设置为 “F” 或 “0”。
INDP1p	4	差分输入	DisplayPort 通道 1 的 DP 差分正输入。
INDP1n	5	差分输入	DisplayPort 通道 1 的 DP 差分负输入。
DPEQ0/A1	6	四电平输入	DisplayPort 接收器 EQ 控制。同时 DPEQ1 选择 DisplayPort 接收器均衡增益。请参阅表 6-2，了解均衡设置。当 I2C_EN ≠ 0 时，该引脚还设置 TDP142-Q1 I²C 地址。参阅 表 6-4。
INDP2p	7	差分输入	DisplayPort 通道 2 的 DP 差分正输入。
INDP2n	8	差分输入	DisplayPort 通道 2 的 DP 差分负输入。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		I/O	说明
名称	编号		
I2C_EN	9	四电平输入	I^2C 编程模式或 GPIO 编程选择。仅当此引脚为 0 时，才禁用 I^2C。 0 = GPIO 模式（禁用 I^2C）。 R = TI 测试模式（I^2C 在 3.3V 时启用）。 当 RSVD11 = 0 且 RSVD10 = 0 时，F = I^2C 在 1.8V 时启用。否则，GPIO 模式（禁用 I^2C） 1 = I^2C 在 3.3V 时启用。
INDP3p	10	差分输入	DisplayPort 通道 3 的 DP 差分正输入。
INDP3n	11	差分输入	DisplayPort 通道 3 的 DP 差分负输入。
VCC	12、20、33、38	P	3.3V 电源。
TEST1/SCL	13	两电平输入	当 I2C_EN = 0 时，使用 10kΩ 下拉电阻器或直接接地。否则，此引脚为 I^2C 时钟。当用于 I^2C 时钟时，上拉此引脚至 I^2C 控制器上的 VCC I^2C 电源。
TEST2/SDA	14	两电平输入	当 I2C_EN = 0 时，使用 10kΩ 下拉电阻器或直接接地。否则，此引脚为 I^2C 数据。当用于 I^2C 数据时，上拉此引脚至 I^2C 控制器上的 VCC I^2C 电源。
DPEN/HPDIN	15	两电平输入（失效防护）(PD)	DP 使能引脚。当 I2C_EN = 0 时，此引脚可以启用或禁用 DisplayPort 功能。否则，当 I2C_EN 不为“0”时，通过 I^2C 寄存器启用和禁用 DisplayPort 功能。 L = DisplayPort 已禁用。（使用 10kΩ 电阻器下拉） H = DisplayPort 已启用。（使用 10kΩ 电阻器上拉） 当 I2C_EN ≠ 0 时，该引脚是从 DisplayPort 接收端接收的热插拔检测 (HPD) 输入。当此 HPDIN 处于低电平的时间超过 2ms 时，会禁用所有 DisplayPort 通道。
AUXp	16	I/O，CMOS	此引脚与 AUXN 一起由 TDP142-Q1 用于 AUX 监测。更多详细信息，请参阅*应用和实施*部分。
AUXn	17	I/O，CMOS	此引脚与 AUXP 一起由 TDP142-Q1 用于 AUX 监测。更多详细信息，请参阅*应用和实施*部分。
RSVD6	18	I/O，CMOS	保留。(1)
RSVD7	19	I/O，CMOS	保留。(1)
SNOOPENZ/RSVD8	21(2)	I/O (PD)	当 I2C_EN ! = 0 时，此引脚被保留。当 I2C_EN = 0 时，此引脚为 SNOOPENZ（L = AUX 监测已启用、H = AUX 监测已禁用且所有通道均处于活动状态）。
OUTDP3p	22	差分输出	DisplayPort 通道 3 的 DP 差分正输出。
OUTDP3n	23	差分输出	DisplayPort 通道 3 的 DP 差分负输出。
HPDIN/RSVD9	24(2)	I/O (PD)	当 I2C_EN ! = 0 时，此引脚被保留。当 I2C_EN = 0 时，此引脚是从 DisplayPort 接收端接收的热插拔检测输入。当 HPDIN 处于低电平的时间超过 2ms 时，所有 DisplayPort 通道都被禁用。
OUTDP2p	25	差分输出	DisplayPort 通道 2 的 DP 差分正输出。
OUTDP2n	26	差分输出	DisplayPort 通道 2 的 DP 差分负输出。
RSVD10	27	I	保留。使用 1.8V I^2C 时连接至 GND，否则将引脚悬空。
OUTDP1n	28	差分输出	DisplayPort 通道 1 的 DP 差分负输出。
OUTDP1p	29	差分输出	DisplayPort 通道 1 的 DP 差分正输出。
RSVD11	30	I	保留。使用 1.8V I^2C 时连接至 GND，否则将引脚悬空。
OUTDP0n	31	差分输出	DisplayPort 通道 0 的 DP 差分负输出。
OUTDP0p	32	差分输出	DisplayPort 通道 0 的 DP 差分正输出。
DPEQ1	34	四电平输入	DisplayPort 接收器 EQ 控制。同时 DPEQ0 选择 DisplayPort 接收器均衡增益。请参阅表 6-2，了解均衡设置。
RSVD1	35	I	保留。(1)
RSVD2	36	O	保留。(1)
RSVD3	37	O	保留。(1)
RSVD4	39	I	保留。(1)
RSVD5	40	I	保留。(1)

(1) 在 PCB 上保持未连接。
(2) 不是失效防护 I/O。在移除 VCC 时主动将引脚驱动为高电平会导致 VCC 引脚上出现漏电压。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压范围	V_{CC}	-0.3	4	V
任一输入或输出引脚上的电压范围	正负输入之间的差分电压	-2.5	2.5	V
	差分输入的电压	-0.5	4	V
	CMOS 输入	-0.5	4	V
最大结温，T_J		-40	125	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)，所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011，所有引脚	±1500	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	主电源	3.0	3.3	3.6	V
	主电源斜坡要求	0.1		50	ms
$V_{(I2C)}$	在 SDA 和 SCL 上将外部电阻拉升到的电源	1.7		3.6	V
$V_{(PSN)}$	V_{CC} 引脚上的电源噪声（小于 4MHz）			100	mV
T_A	自然通风条件下的工作温度范围	-40		105	°C
T_{PCB}	PCB 温度（距离器件 1mm）	-40		112	°C

5.4 热性能信息

热指标(1)		器件 RGF (VQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	29.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	18.9	°C/W
$R_{\theta JB}$	结至电路板热阻	11.0	°C/W
ψ_{JT}	结至顶部特征参数	0.3	°C/W
ψ_{JB}	结至电路板特征参数	10.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电源特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$P_{CC(ACTIVE--4DP)}$	平均有功功率 仅 4 通道 DP	四个以 8.1Gbps 运行的活动 DP 通道； PRBS7 码型； DPEN = H；LINR_L3；		500		mW
$P_{CC(HPDLOW--4DP)}$	当 HPDIN = L 时仅 4 通道 DP 模式的功率	DPEN = H；HPDIN = L；		0.475		mW
$P_{CC(DISABLED-I2C)}$	I^2C 模式下器件禁用功率	I2C_EN != 0；HPDIN = L；CTLSEL = 0x0；		0.122		mW
$P_{CC(DISABLED)}$	器件禁用功率	DPEN = L；I2C_EN = 0；HPDIN = L；		0.110		mW

5.6 控制 I/O 直流电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
4 电平输入						
I_{IH}	高电平输入电流	V_{CC} = 3.6V；V_{IN} = 3.6V	20		60	μA
I_{IL}	低电平输入电流	V_{CC} = 3.6V；V_{IN} = 0V	-100		-40	μA
四电平 V_{TH}	阈值 0/R	V_{CC} = 3.3V		0.55		V
四电平 V_{TH}	阈值 R/悬空	V_{CC} = 3.3V		1.65		V
四电平 V_{TH}	阈值悬空/1	V_{CC} = 3.3V		2.7		V
R_{PU}	内部上拉电阻			48		kΩ
R_{PD}	内部下拉电阻			98		kΩ
2 态 CMOS 输入						
V_{IH}	高电平输入电压	V_{CC} = 3.0V	2		3.6	V
V_{IL}	低电平输入电压	V_{CC} = 3.6V	0		0.8	V
R_{PD}	HPDIN、CADSNK 的内部下拉电阻		300	500	600	kΩ
R_{PD}	DPEN 的内部下拉电阻		300	500	600	kΩ
I_{IH_DPEN}	DPEN 的高电平输入电流	V_{IN} = 3.6V	-12		12	μA
I_{IL_DPEN}	DPEN 的低电平输入电流	V_{IN} = GND，V_{CC} = 3.6V	-1		1	μA
$I_{IH_HPD_CAD}$	HPDIN、CADSNK 的高电平输入电流	V_{IN} = 3.6V	-11		11	μA
$I_{IL_HPD_CAD}$	HPDIN、CADSNK 的低电平输入电流	V_{IN} = GND，V_{CC} = 3.6V	-1		1	μA
I^2C 控制引脚（SCL、SDA）						
V_{IH_3p3V}	配置为 3.3V I^2C 电平时的高电平输入电压	I2C_EN = 1	2.0		3.6	V
V_{IL_3p3V}	配置为 3.3V I^2C 电平时的低电平输入电压	I2C_EN = 1	0		0.8	V
V_{IH_1p8V}	配置为 1.8V I^2C 电平时的高电平输入电压	I2C_EN = F	1.2			V
V_{IL_1p8V}	配置为 1.8V I^2C 电平时的低电平输入电压	I2C_EN = F	0		0.6	V
V_{OL}	低电平输出电压	I2C_EN = 0；I_{OL} = 6mA	0		0.4	V
I_{OL}	低电平输出电流	I2C_EN = 0；V_{OL} = 0.4V	20			mA
$I_{I(I2C)}$	输入电流	0.1 × $V_{(I2C)}$ < 输入电压 < 3.3V	-1		1	μA
$C_{I(I2C)}$	输入电容				10	pF
$C_{(I2C_FM+_BUS)}$	FM+ (1MHz) 的 I^2C 总线电容				150	pF
$C_{(I2C_FM_BUS)}$	FM (400kHz) 的 I^2C 总线电容				150	pF
$R_{(EXT_I2C_FM+)}$	在 FM+ (1MHz) 下运行时 SDA 和 SCL 二者之上的外部电阻	$C_{(I2C_FM+_BUS)}$ = 150pF	620	820	910	Ω
$R_{(EXT_I2C_FM)}$	在 FM (400kHz) 下运行时 SDA 和 SCL 二者之上的外部电阻	$C_{(I2C_FM_BUS)}$ = 150pF	620	1500	2200	Ω

Copyright © 2025 Texas Instruments Incorporated

5.7 DP 电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
交流特性						
$CP_{LF-LINRL0}$	LINR_L0 设置下的低频 –1dB 压缩点。	在 100MHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		750		mVppd
$CP_{HF-LINRL0}$	LINR_L0 设置下的高频 –1dB 压缩点。	在 5GHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		675		mVppd
$CP_{LF-LINRL1}$	LINR_L1 设置下的低频 –1dB 压缩点。	在 100MHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		850		mVppd
$CP_{HF-LINRL1}$	LINR_L1 设置下的高频 –1dB 压缩点。	在 5GHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		740		mVppd
$CP_{LF-LINRL2}$	LINR_L2 设置下的低频 –1dB 压缩点。	在 100MHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		975		mVppd
$CP_{HF-LINRL2}$	LINR_L2 设置下的高频 –1dB 压缩点。	在 5GHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		800		mVppd
$CP_{LF-LINRL3}$	LINR_L3 设置下的低频 –1dB 压缩点。	在 100MHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		1050		mVppd
$CP_{HF-LINRL3}$	LINR_L3 设置下的高频 –1dB 压缩点。	在 5GHz 下，200mVpp < V_{ID} < 1200mVpp，EQ = 0		775		mVppd
t_{TX_DJ}	TX 输出确定性残留抖动	VID = 0.8Vppd；最优 EQ 设置；12 英寸前置沟道（5GHz 下 SDD21 = –8.2dB）；1.6 英寸后置沟道（5GHz 下 SDD21 = –1.8dB）；PRBS7；8.1Gbps 下 DP		0.06		UI
DisplayPort 接收器						
$V_{ID(PP)}$	峰峰值输入差分动态电压范围			1400		V
V_{IC}	输入共模电压		0.8	1.75	2	V
$V_{RX_CM-INST}$	以下工作状态下的最大瞬时 RX 直流共模电压变化： 关断切换至导通、禁用切换至 4DP 低功耗、4DP 运行切换有效至禁用。(1)	在 200kΩ 负载下交流耦合电容器的非转接驱动器侧单端测量。	-1200		1000	mV
$V_{RX_CM-INST}$	以下工作状态下的最大瞬时 RX 直流共模电压变化： 禁用切换至 4DP 运行 (D0)、D0 切换至 D3、D3 切换至 D0。	在 50Ω 负载下交流耦合电容器的非转接驱动器侧单端测量。	-500		1000	mV
d_R	数据速率				8.1	Gbps
$R_{(ti)}$	输入终端电阻		72	90	110	Ω
$C_{(AC)}$	外部必要交流耦合电容器		75		265	nF
E_{Q_DP0}	100MHz 下 DP0 接收器均衡	DP0EQ_SEL = 0；		-0.2		dB
E_{Q_DP15}	100MHz 下 DP0 接收器均衡	DP0EQ_SEL = 15；		2.3		dB
E_{Q_DP0}	4.05GHz 下 DP0 接收器均衡	DP0EQ_SEL = 0；		0.6		dB
E_{Q_DP15}	4.05GHz 下 DP0 接收器均衡	DP0EQ_SEL = 15；		14.5		dB
DisplayPort 变送器						
$V_{TX-CM-INST}$	以下工作状态下的最大瞬时 TX 直流共模电压变化：禁用切换至 4DP 运行 (D0)、D0 切换至 D3、D3 切换至 D0。	在 50Ω 负载下交流耦合电容器的非转接驱动器侧测量。	-500		1000	mV
$V_{TX-CM-INST}$	以下工作状态下的最大瞬时 TX 直流共模电压变化：禁用切换至 4DP 低功耗、4DP 运行切换至禁用	在 200kΩ 负载下交流耦合电容器的非转接驱动器侧测量。	-1000		1000	mV
$V_{TX(DC-CM)}$	发送器中的共模电压偏置（直流）		0.6		1	V
$R_{TX(DIFF)}$	驱动器的差分阻抗		72	90	120	Ω

(1) 通过在禁用 DPTX 终端之前禁用转接驱动器，可以最大限度地减少 GPU (DPTX) 观测到的瞬时共模偏移。

Copyright © 2025 Texas Instruments Incorporated

5.8 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
HPDIN						
$t_{HPDIN_DEBOUNCE}$	从 H 转换到 L 时的 DPEN 和 HPDIN 去抖时间。		2		10	ms
I²C						
f_{SCL}	I²C 时钟频率				1	MHz
t_{BUF}	启动条件和停止条件之间的总线空闲时间	请参阅 图 6-1	0.5			µs
t_{HDSTA}	重复启动条件后的保持时间。在这段时间后，第一个时钟脉冲被生成。	请参阅 图 6-1	0.26			µs
t_{LOW}	I²C 时钟的低电平周期	请参阅 图 6-1	0.5			µs
t_{HIGH}	I²C 时钟的高电平周期	请参阅 图 6-1	0.26			µs
t_{SUSTA}	重复 START 条件的建立时间	请参阅 图 6-1	0.26			µs
t_{HDDAT}	数据保持时间	请参阅 图 6-1	0.008			µs
t_{SUDAT}	数据建立时间	请参阅 图 6-1	50			ns
t_R	SDA 和 SCL 信号的上升时间	请参阅 图 6-1			120	ns
t_F	SDA 和 SCL 信号的下降时间	请参阅 图 6-1	1.2		120	ns
t_{SUSTO}	STOP 条件的建立时间	请参阅 图 6-1	0.26			µs
C_b	每个总线的容性负载				150	pF

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性

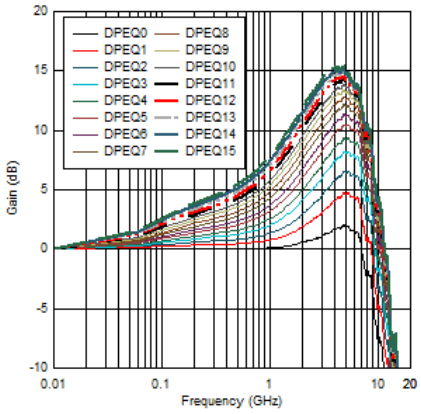


图 5-1. DisplayPort EQ 设置曲线

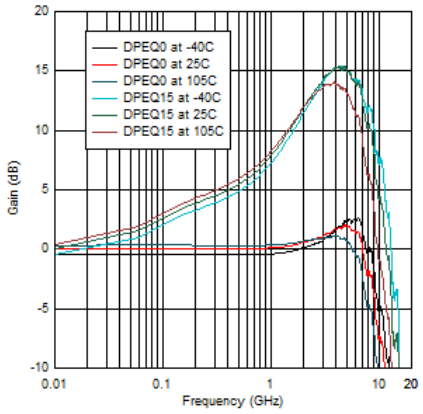


图 5-2. 温度范围内的 DisplayPort EQ 设置曲线

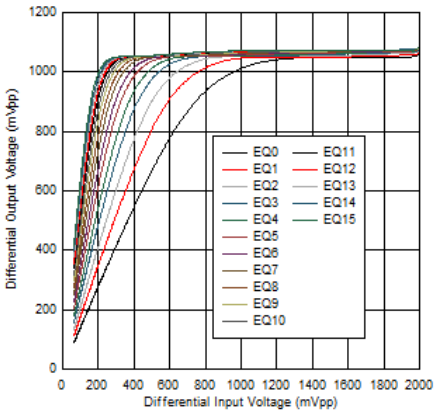


图 5-3. 4.05GHz 时的 DisplayPort 线性曲线

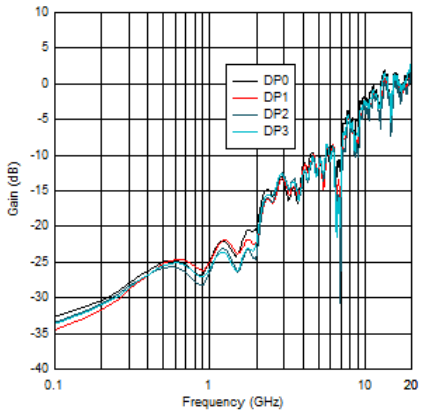


图 5-4. DisplayPort 输入回波损耗性能

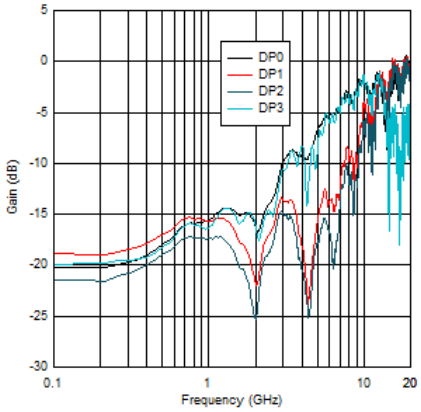


图 5-5. DisplayPort 输出回波损耗性能

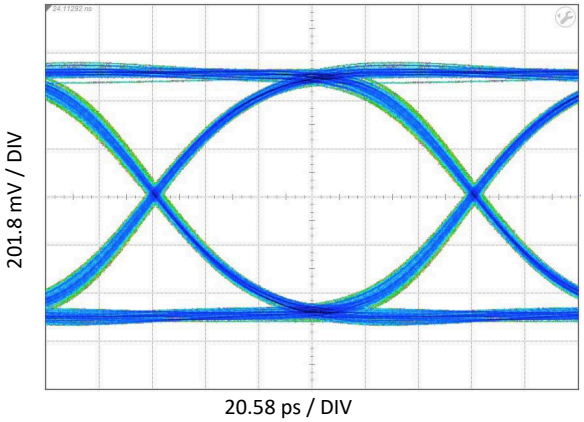


图 5-6. 8.1Gbps 下具有 12 英寸输入 PCB 布线的 DisplayPort HBR3 眼图性能

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

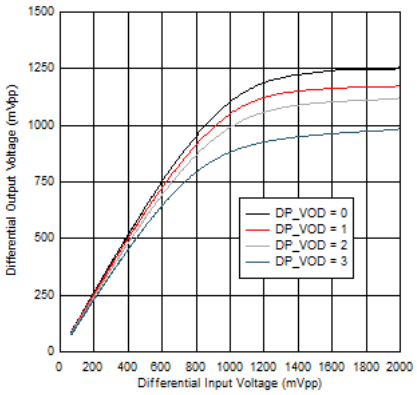


图 5-7. 100MHz 下的 DP VOD 线性设置

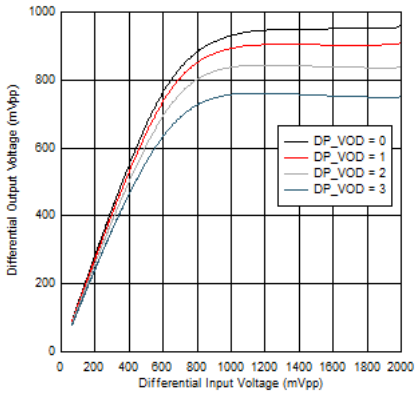


图 5-8. 5GHz 下的 DP VOD 线性设置

Copyright © 2025 Texas Instruments Incorporated

参数测量信息

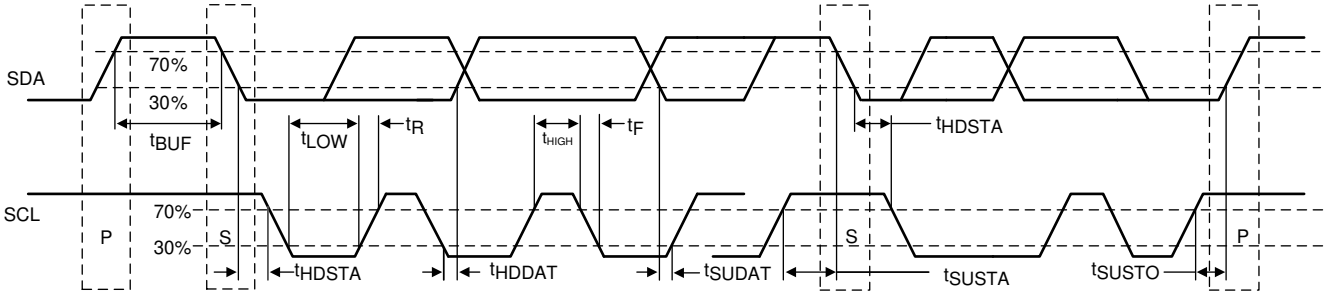


图 6-1. I²C 时序图定义

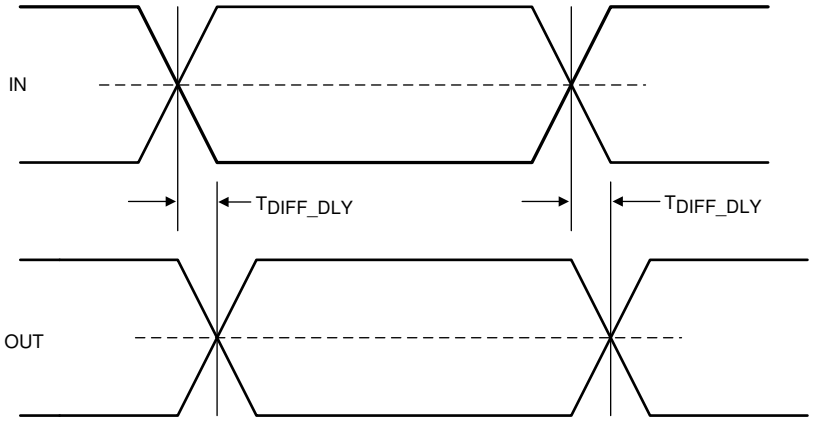


图 6-2. 传播延迟

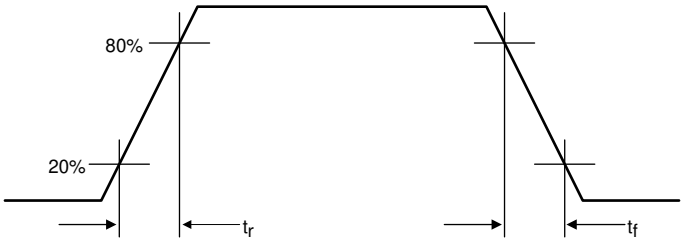


图 6-3. 输出上升和下降时间

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

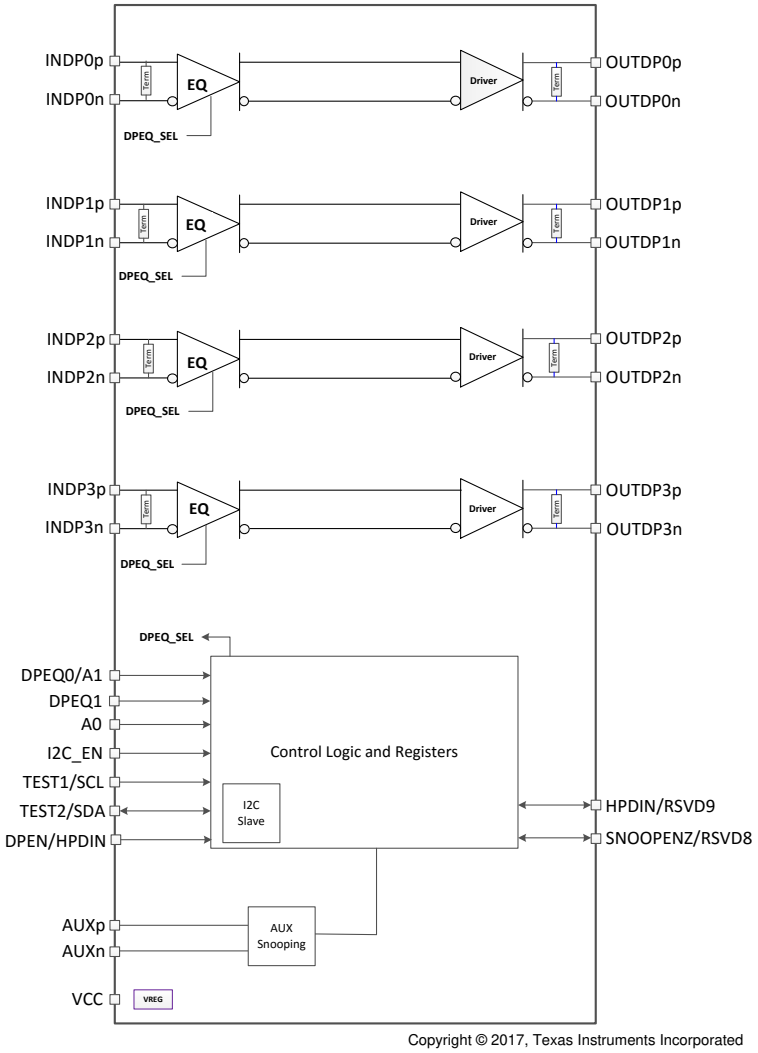
6.1 概述

TDP142-Q1 是一款 DisplayPort 线性转接驱动器，支持每通道高达 8.1Gbps 的速率。此外，器件对于 DP 链路训练过程具有透明性，因此 TDP142-Q1 是一个与位置无关的器件，适用于源端、接收端或线缆的应用。

TDP142-Q1 帮助系统满足 DisplayPort 1.4 HBR3 版本中发送端和接收端的合规性要求。转接驱动器通过采用补偿通道损耗的均衡来恢复传入的数据，并且使用一个高差分电压来向外驱动信号。每个通道有一个具有可选增益设置的接收器均衡器。可根据 TDP142-Q1 信号接收前的插入损耗情况来设置合适的均衡度。可以通过 DPEQ[1:0] 引脚或 I^2C 寄存器来调节均衡控制。

该器件采用超低功耗架构，在 3.3V 电源下运行，可实现增强的性能。此外，TDP142-Q1 支持商业级温度范围和工业级温度范围，可满足不同环境需求。

6.2 功能方框图



Copyright © 2017, Texas Instruments Incorporated

6.3 特性说明

6.3.1 DisplayPort

TDP142-Q1 支持多达四个数据速率高达 8.1 Gbps (HBR3) 的 DisplayPort 通道。当 TDP142-Q1 在 DisplayPort 发送端和 DisplayPort 接收端之间来回传递信号时，器件会监控本机 AUX 流量。为了降低功耗，TDP142-Q1 会根据 AUX 事务的内容来管理活动 DisplayPort 通道的数量。TDP142-Q1 监测本机 AUX 写入 DisplayPort 接收端的 DPCD 寄存器 0x00101 (LANE_COUNT_SET) 和 0x00600 (SET_POWER_STATE)。TDP142-Q1 会根据写入 LANE_COUNT_SET 的值禁用或启用各通道。当 SET_POWER_STATE 位于 D3 中时，TDP142-Q1 会禁用所有通道。否则，活动通道基于 LANE_COUNT_SET 的值。

默认情况下，DisplayPort AUX 监测处于启用状态，但可以通过更改 AUX_SNOOP_DISABLE 寄存器来禁用。禁用 AUX 监测后，可通过各种配置寄存器控制对 TDP142-Q1 DisplayPort 通道的管理。当为 GPIO 模式 (I2C_EN = 0) 启用 TDP142-Q1 时，SNOOPENZ 引脚可用于禁用 AUX 监测。当 SNOOPENZ 引脚为高电平时、AUX 侦听功能将禁用、并且所有四个 DisplayPort 通道均处于活动状态。

6.3.2 配置跳线电平

TDP142-Q1 EVM 具有四电平输入引脚（I2C_EN、A0 和 DPEQ[1:0]），用于控制均衡增益并将 TDP142-Q1 置于不同的工作模式。这些四电平输入使用电阻分压器来帮助设置四个有效电平并提供更广泛的控制设置。内部上拉和下拉电阻器可以与外部电阻器连接结合使用，以实现所需的电压电平

表 6-1. 四电平配置跳线设置

等级	设置
低电平	将 1kΩ 5% 连接至 GND。
R	将 20kΩ 5% 连接至 GND。
F	悬空（使引脚保持开路状态）
高	将 1kΩ 5% 连接至 V_{CC}。

备注

在内部复位的上升沿上，锁存所有四电平输入。在 t_{cfg_hd} 之后，隔离内部上拉和下拉电阻以降低功耗。

6.3.3 接收器线性均衡

接收器均衡旨在补偿通道插入损耗和由此在 TDP142-Q1 输入之前系统内的符号间干扰。接收器通过相对于高频分量来衰减信号的低频分量，从而克服上述损耗。选择适当的增益设置以匹配在 TDP142-Q1 接收器输入之前的通道插入损耗。两个四电平输入引脚可实现多达 16 个可能的均衡设置。TDP142-Q1 还提供通过 I^2C 寄存器调整设置的灵活性。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 GPIO 模式下的器件配置

当 I2C_EN = “0” 时，TDP142-Q1 处于 GPIO 配置。DPEN 引脚用于控制是否启用 DisplayPort，SNOOPENZ 引脚用于控制是否启用 AUX 监测模式。

6.4.2 I²C 模式中的器件配置

当 I2C_EN 不等于 0 时，TDP142-Q1 处于 I²C 模式。在 GPIO 模式中定义的相同配置也可以在 I²C 模式中使用。TDP142-Q1DisplayPort 配置根据*编程*部分进行编程。

6.4.3 线性 EQ 配置

接收器均衡增益值可通过 I²C 寄存器或通过 GPIO 进行控制。表 6-2 详细说明了 TDP142-Q1 在 GPIO 模式下时每个可用组合的增益值。通过更新寄存器 DP0EQ_SEL、DP1EQ_SEL、DP2EQ_SEL 和 DP3EQ_SEL，I²C 模式可以执行相同的选项，甚至是单独的通道 EQ 设置。

表 6-2. TDP142-Q1 接收器均衡控制

寄存器：DP0EQ_SEL、DP1EQ_SEL、DP2EQ_SEL 或 DP3EQ_SEL 均衡设置编号	DPEQ1 引脚电平	DPEQ0 引脚电平	2.7/4.05/5GHz 时的 EQ 增益减去 100MHz 时的增益 (dB)
0	0	0	0.4/0.8/0.83
1	0	R	2.0/3.1/3.4
2	0	F	3.0/4.6/5.0
3	0	1	4.2/6.0/6.5
4	R	0	5.0/7.0/7.5
5	R	R	6.0/8.0/8.4
6	R	F	6.5/8.7/9.1
7	R	1	7.2/9.4/9.8
8	F	0	7.8/10.0/10.3
9	F	R	8.3/10.4/10.7
10	F	F	8.7/10.7/10.9
11	F	1	9.1/11.1/11.2
12	1	0	9.4/11.3/11.3
13	1	R	9.7/11.5/11.5
14	1	F	10.0/11.7/11.6
15	1	1	10.2/11.8/11.7

Copyright © 2025 Texas Instruments Incorporated

6.4.4 运行时序 — 上电

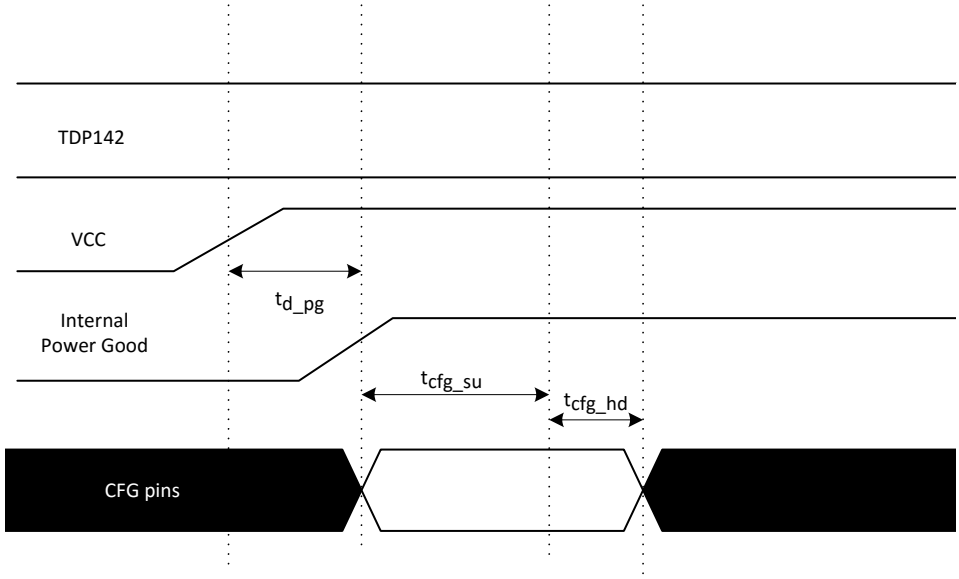


图 6-1. 上电时序

表 6-3. 上电时序 (1) (2)

参数		最小值	最大值	单位
t_{d_pg}	V_{CC}（最小值）至内部电源正常状态置为高电平有效		500	µs
t_{cfg_su}	CFG(1) 引脚建立(2)	50		µs
t_{cfg_hd}	CFG(1) 引脚保持	10		µs
t_{VCC_RAMP}	VCC 电源斜坡要求		100	ms

(1) 以下引脚包括 CFG 引脚：I2C_EN、DPEQ[1:0]。
(2) 当 V_{CC} 为最小值时，建议使 CFG 引脚保持稳定。

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

为了实现进一步的可编程性，可使用 I²C 来控制 TDP142-Q1。当 I2C_EN ≠ 0 时，SCL 和 SDA 引脚分别用于 I²C 时钟和 I²C 数据。

表 6-4. TDP142-Q1 I²C 目标地址

DPEQ0/A1 引脚电平	A0 引脚电平	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (W/R)
0	0	1	0	0	0	1	0	0	0/1
0	R	1	0	0	0	1	0	1	0/1
0	F	1	0	0	0	1	1	0	0/1
0	1	1	0	0	0	1	1	1	0/1
R	0	0	1	0	0	0	0	0	0/1
R	R	0	1	0	0	0	0	1	0/1
R	F	0	1	0	0	0	1	0	0/1
R	1	0	1	0	0	0	1	1	0/1
F	0	0	0	1	0	0	0	0	0/1
F	R	0	0	1	0	0	0	1	0/1
F	F	0	0	1	0	0	1	0	0/1
F	1	0	0	1	0	0	1	1	0/1
1	0	0	0	0	1	1	0	0	0/1
1	R	0	0	0	1	1	0	1	0/1
1	F	0	0	0	1	1	1	0	0/1
1	1	0	0	0	1	1	1	1	0/1

请按照以下程序写入 TDP142-Q1 I²C 寄存器：

1. 控制器通过生成启动条件 (S) 以及 TDP142-Q1 7 位地址和一个用以指示写入周期的零值“W/R”位来启动写入操作。
2. TDP142-Q1 确认地址周期。
3. 控制器提供要写入的子地址（TDP142-Q1 中的 I²C 寄存器），其中包含一个字节的数据，MSB 在前。
4. TDP142-Q1 确认子地址周期。
5. 控制器提供要写入 I²C 寄存器的数据的第一个字节。
6. TDP142-Q1 确认字节传输。
7. 控制器可以继续提供要写入的额外字节的数据，每个字节传输都在 TDP142-Q1 发出确认后完成。
8. 控制器通过生成停止条件 (P) 来终止写入操作。

请按照以下程序读取 TDP142-Q1I²C 寄存器：

1. 控制器通过生成启动条件 (S) 以及 TDP142-Q1 7 位地址和一个用以指示读取周期的 1 值“W/R”位来启动读取操作。
2. TDP142-Q1 确认地址周期。
3. TDP142-Q1 从寄存器 00h 或上次读取的子地址 +1 处开始传输存储器寄存器的内容，MSB 优先。如果写入 I²C 寄存器发生在读取之前，则 TDP142-Q1 从写入中指定的子地址开始。
4. 在每次字节传输后，TDP142-Q1 会等待控制器发出确认 (ACK) 或不确认 (NACK)；I²C 控制器确认接收到传输的每个数据字节。
5. 如果接收到 ACK，TDP142-Q1 将传输下一个字节的数据。
6. 控制器通过生成停止条件 (P) 来终止读取操作。

Copyright © 2025 Texas Instruments Incorporated

按照以下程序为 I²C 读取设置起始子地址：

1. 控制器通过生成启动条件 (S) 以及 TDP142-Q1 7 位地址和一个用以指示写入周期的零值“W/R”位来启动写入操作。
2. TDP142-Q1 确认地址周期。
3. 控制器提供要写入的子地址（TDP142-Q1 中的 I²C 寄存器），其中包含一个字节的数据，MSB 在前。
4. TDP142-Q1 确认子地址周期。
5. 控制器通过生成停止条件 (P) 来终止写入操作。

备注

如果读取过程不包含子寻址，则读取操作从寄存器偏移 00h 开始并逐字节继续，直到 I²C 控制器终止读取操作为止。如果 I²C 地址写入发生在读取之前，则读取操作从地址写入指定的子地址开始。

表 6-5. 寄存器说明

访问标签	名称	含义
R	读取	此字段可由软件读取
W	写入	此字段可由软件写入
S	置位	可通过写 1 来设置此字段。对此字段写零不起作用。
C	清除	可通过写 1 来清除此字段。对此字段写零不起作用。
U	更新	硬件可以自主更新该字段。
不适用	无访问权限	不可访问或不适用

Copyright © 2025 Texas Instruments Incorporated

7 寄存器映射

7.1 TDP142-Q1 寄存器

表 7-1 列出了 TDP142-Q1 寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. TDP142-Q1 寄存器

偏移	首字母缩写词	寄存器名称	部分
0xA	General_1	通用寄存器	转到
0x10	DP01EQ_SEL	DisplayPort 通道 0 和 1 EQ 控制	转到
0x11	DP23EQ_SEL	DisplayPort 通道 2 和 3 EQ 控制	转到
0x12	DisplayPort_1	AUX 监测状态	转到
0x13	DisplayPort_2	DP 通道启用/禁用控制	转到
0x32	VOD_CTRL	VOD 线性度	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. TDP142-Q1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RH	R H	读取 由硬件置位或清零
写入类型		
W	W	写入
W1S	W 1S	写入 1 以进行设置
WS	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 General_1 寄存器（偏移 = 0xA）[复位 = 0x1]

表 7-3 展示了 General_1。

返回到汇总表。

该寄存器用于在禁用模式和 DisplayPort 模式之间进行选择。软件可以设置 EQ_OVERRIDE 位，使用 EQ 寄存器，不使用引脚。

表 7-3. General_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0x0	保留
6	RESERVED	R	0x0	保留
5	SWAP_HPDIN	R/W	0x0	控制从哪个引脚 HPDIN 中获取。 0x0 = HPDIN 处于默认位置 0x1 = 交换 HPDIN 位置（引脚 23 连接到引脚 32，或引脚 32 连接到引脚 23）。

Copyright © 2025 Texas Instruments Incorporated

表 7-3. General_1 寄存器字段说明（续）

位	字段	类型	复位	说明
4	EQ_OVERRIDE	R/W	0x0	设置此字段允许软件使用寄存器中的 EQ 设置，而不是引脚的采样值。 0x0 = 基于 EQ 引脚的采样状态的 EQ 设置。 0x1 = 基于每个 EQ 寄存器的编程值的 EQ 设置。
3	HPDIN_OVERRIDE	R/W	0x0	覆盖 HPDIN 引脚状态。 0x0 = 基于 HPD_IN 引脚的 HPD_IN。 0x1 = HPD_IN 高电平。
2	RESERVED	R/W	0x0	RESERVED
1-0	CTLSEL	R/W	0x1	上电时，软件必须写入 0x2 才能启用 DisplayPort 功能。如果不需要 DisplayPort 功能，则软件必须写入 0x0 以禁用 DisplayPort 0x0 = 禁用。DP 已禁用且处于最低功耗状态 0x1 = DP 已禁用，但不是最低功耗状态。 0x2 = DisplayPort 已启用。 0x3 = 保留

7.1.2 DP01EQ_SEL 寄存器（偏移 = 0x10）[复位 = 0x0]

表 7-4 展示了 DP01EQ_SEL。

返回到汇总表。

该寄存器控制 DisplayPort 接收器 0 和 1 的接收器均衡设置。

表 7-4. DP01EQ_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	DP1EQ_SEL	RH/W	0x0	此字段选择 DP 通道 1 引脚的 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DPEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DP 通道 1 的 EQ 设置。
3-0	DP0EQ_SEL	RH/W	0x0	此字段选择 DP 通道 0 引脚的 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DPEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DP 通道 0 的 EQ 设置。

7.1.3 DP23EQ_SEL 寄存器（偏移 = 0x11）[复位 = 0x0]

表 7-5 展示了 DP23EQ_SEL。

返回到汇总表。

该寄存器控制 DisplayPort 接收器 2 和 3 的接收器均衡设置。

表 7-5. DP23EQ_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	DP3EQ_SEL	RH/W	0x0	此字段选择 DP 通道 3 引脚的 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DPEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DP 通道 3 的 EQ 设置。

Copyright © 2025 Texas Instruments Incorporated

表 7-5. DP23EQ_SEL 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	DP2EQ_SEL	RH/W	0x0	此字段选择 DP 通道 2 引脚的 EQ。当 EQ_OVERRIDE = 0b 时，此字段反映 DPEQ[1:0] 引脚的采样状态。当 EQ_OVERRIDE = 1b 时，软件可以基于写入此字段的值来更改 DP 通道 2 的 EQ 设置。

7.1.4 DisplayPort_1 寄存器（偏移 = 0x12）[复位 = 0x0]

表 7-6 展示了 DisplayPort_1。

返回到汇总表。

启用 AUX 监测时，该寄存器提供 AUX 监测的状态。

表 7-6. DisplayPort_1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0x0	保留
6-5	SET_POWER_STATE	RH	0x0	此字段表示 AUX 写入 DPCD 地址 0x00600 的监测值。当 AUX_SNOOP_DISABLE = 0b 时，会根据监测值启用或禁用 DP 通道。当 AUX_SNOOP_DISABLE = 1b 时，DP 通道启用/禁用由 DPx_DISABLE 寄存器的状态决定，其中 x = 0、1、2 或 3。当 CTLSEL1 从 1b 变为 0b 时，通过硬件复位将此字段复位为 0h。
4-0	LANE_COUNT_SET	RH	0x0	此字段代表 AUX 写入 DPCD 地址 0x00101 寄存器的监测值。当 AUX_SNOOP_DISABLE = 0b 时，会启用由监测值指定的 DP 通道。禁用未使用的 DP 通道以降低功耗。当 AUX_SNOOP_DISABLE = 1b 时，DP 通道启用/禁用由 DPx_DISABLE 寄存器决定，其中 x = 0、1、2 或 3。当 CTLSEL1 从 1b 变为 0b 时，通过硬件复位将此字段复位为 0h。

7.1.5 DisplayPort_2 寄存器（偏移 = 0x13）[复位 = 0x0]

表 7-7 展示了 DisplayPort_2。

返回到汇总表。

该寄存器提供对启用和禁用 AUX 监测和单个 DP 通道的控制。

表 7-7. DisplayPort_2 寄存器字段说明

位	字段	类型	复位	说明
7	AUX_SNOOP_DISABLE	R/W	0x0	根据 AUX 监测值或寄存器控制是否启用 DP 通道。 0x0 = AUX 监测已启用。 0x1 = AUX 监测已禁用。DP 通道由寄存器控制。
6	RESERVED	R	0x0	保留
5-4	RESERVED	R/W	0x0	保留
3	DP3_DISABLE	R/W	0x0	当 AUX_SNOOP_DISABLE = 1b 时，此字段可用于启用或禁用 DP 通道 3。当 AUX_SNOOP_DISABLE = 0b 时，对此字段的更改对通道 3 功能没有影响。 0x0 = DP 通道 3 已启用。 0x1 = DP 通道 3 已禁用。

Copyright © 2025 Texas Instruments Incorporated

表 7-7. DisplayPort_2 寄存器字段说明（续）

位	字段	类型	复位	说明
2	DP2_DISABLE	R/W	0x0	当 AUX_SNOOP_DISABLE = 1b 时，此字段可用于启用或禁用 DP 通道 2。当 AUX_SNOOP_DISABLE = 0b 时，对此字段的更改对通道 2 功能没有影响。 0x0 = DP 通道 2 已启用。 0x1 = DP 通道 2 已禁用。
1	DP1_DISABLE	R/W	0x0	当 AUX_SNOOP_DISABLE = 1b 时，此字段可用于启用或禁用 DP 通道 1。当 AUX_SNOOP_DISABLE = 0b 时，对此字段的更改对通道 1 功能没有影响。 0x0 = DP 通道 1 已启用。 0x1 = DP 通道 1 已禁用。
0	DP0_DISABLE	R/W	0x0	当 AUX_SNOOP_DISABLE = 1b 时，此字段可用于启用或禁用 DP 通道 0。当 AUX_SNOOP_DISABLE = 0b 时，对此字段的更改对通道 0 功能没有影响。 0x0 = DP 通道 0 已启用。 0x1 = DP 通道 0 已禁用。

7.1.6 VOD_CTRL 寄存器（偏移 = 0x32）[复位 = 0x40]

表 7-8 展示了 VOD_CTRL。

返回到汇总表。

该寄存器控制发送器输出线性范围。

表 7-8. VOD_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	0x1	保留
5-4	DP_VOD	R/W	0x0	DP 路径的 VOD 线性控制。 0x0 = LINR_L3（最高） 0x1 = LINR_L2 0x2 = LINR_L1 0x3 = LINR_L0（最低）
3-0	保留	R/W	0x0	保留

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TDP142-Q1 是一款线性转接驱动器，专门用于补偿因 PCB 布线和线缆等无源介质导致的信号衰减而引起的符号间干扰 (ISI) 抖动。该器件可用于源端、接收端和电缆应用，在此类应用中，该器件对链路训练过程透明。为了便于说明，本节展示了源端应用和接收端应用的实现方案。图 8-1 和 图 8-2 分别展示了 DisplayPort 源端和接收端应用的简要框图，其中，TDP142-Q1 能够监听 AUX 信号通道和 HPD 信号通道。

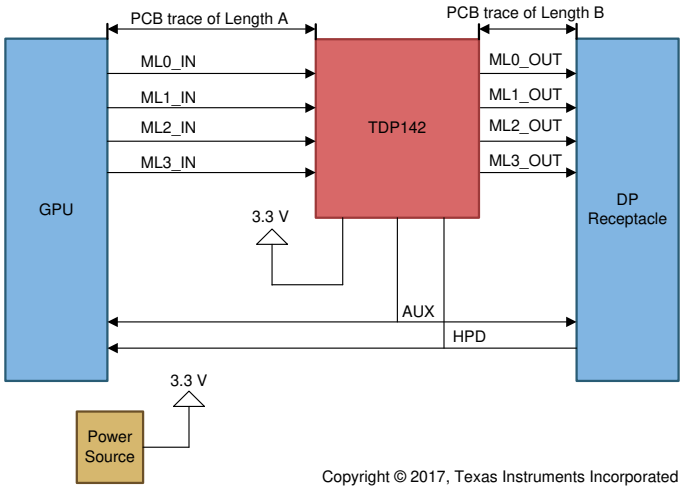


图 8-1. TDP142-Q1 的源端应用

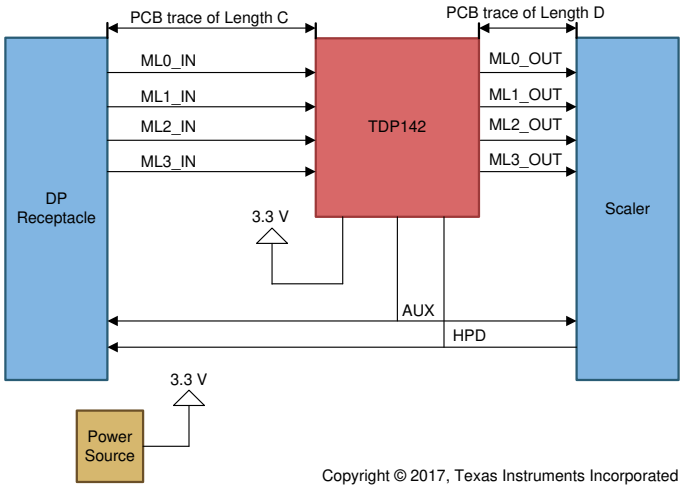


图 8-2. TDP142-Q1 的接收端应用

8.1.1 ESD 保护

可能需要整合 ESD 元件以保护 TDP142-Q1 免受静电放电 (ESD) 的影响。TI 建议遵循表 8-1 中列出的 ESD 保护建议。大于表 8-1 中规定值的钳位电压可能要求在每个差分引脚上设置 R_{ESD}。将 ESD 元件布置在 USB 连接器附近。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. ESD 二极管推荐特性

参数	建议
击穿电压	DP 输入引脚下 ≥3.5V 非 DP 输入引脚下 ≥1.5V
I/O 线电容	数据速率 ≤ 5Gbps：≤ 0.50pF
	数据速率 > 5Gbps：≤ 0.35pF
任何 P 和 N I/O 引脚之间的电容差值	≤ 0.07pF
8A I_{PP} IO 至 GND 时的钳位电压 (1)	≤ 4.5V
典型动态电阻	≤ 30mΩ

(1) 符合 IEC 61000-4-5（8/20μs 电流波形）

表 8-2. 推荐的 ESD 保护元件

制造商	器件型号	R_{ESD} 支持 ±8kV 的 IEC 61000-4-2 接触放电
Nexperia	PUSB3FR4	1Ω
Nexperia	PESD2V8Y1BSF	1Ω
德州仪器 (TI)	TPD1E04U04DPLR	2Ω
德州仪器 (TI)	TPD4E02B04DQAR	2Ω

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

8.2.1 源端应用实现

图 8-3 展示了源端应用的原理图。TDP142-Q1 放置在 DisplayPort 图形处理器单元 (GPU) 和 DisplayPort 插座之间。当 SNOOPENZ 为低电平时，TDP142-Q1 监测 AUX 流量以进行电源管理。

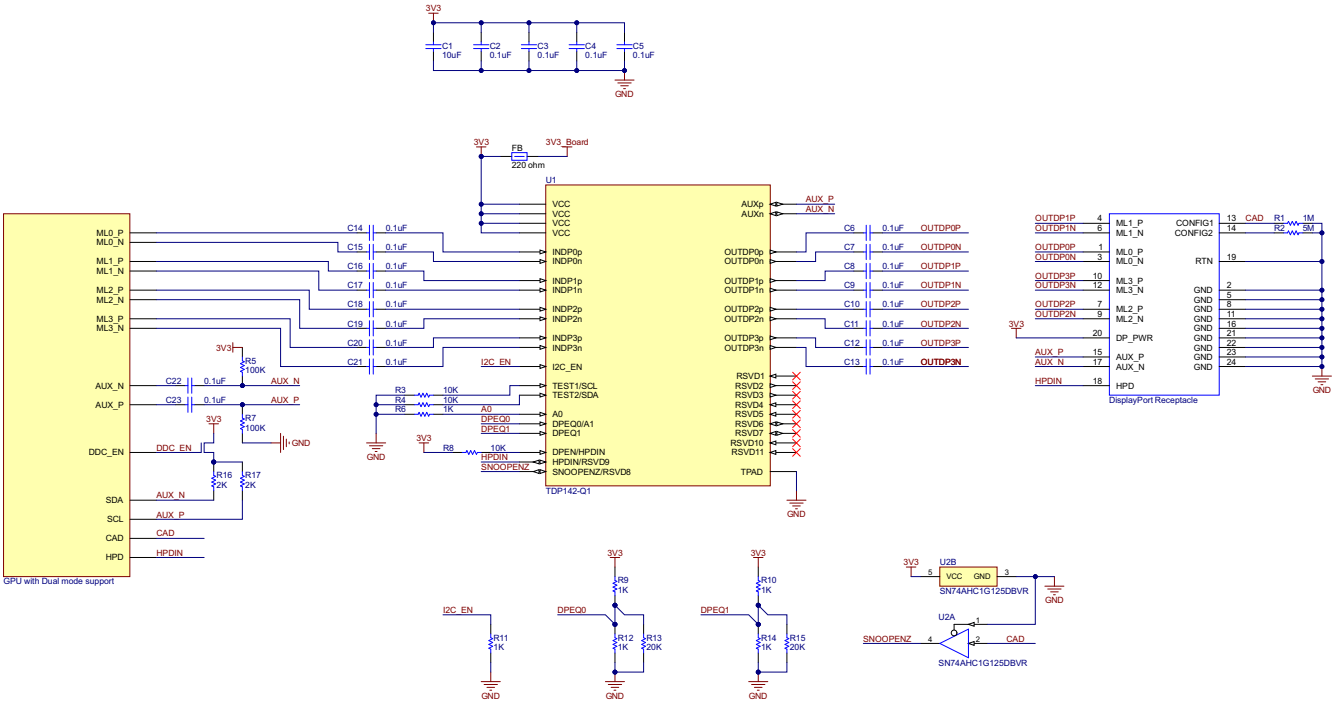


图 8-3. DisplayPort 源端应用的框图

8.2.1.1 设计要求

TDP142-Q1 可用于多种类型的应用。所有应用都对系统正常工作有一定的要求。例如，源端应用在 HPD 通道和 AUX 通道上使用的硬件配置与接收端应用不同。该器件可以使用 I²C 命令来配置。但是，由于并非所有情况都支持 I²C，因此也提供 GPIO 配置选项。此外，由于不同的源端可能使用不同的命名约定，需通过 TDP142-Q1 确认源端和插座连接器之间的映射关系是否正确。

表 8-3. 设计参数

参数	值
最大工作数据速率 （RBR、HBR、HBR2 或 HBR3）	HBR3 (8.1Gbps)
电源电压	3.3V
A 的布线长度/宽度	12 英寸/6 mil
B 的布线长度/宽度	2 英寸/6 mil
主链路交流去耦电容器 （75nF 至 265nF）	建议 100nF
控制模式（I²C 或 GPIO）	GPIO (I2C_EN = 0)
双模 DisplayPort 支持（是/否）	是。SNOOPENZ 必须通过缓冲器连接到 CONFIG1。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 详细设计流程

在 TDP142-Q1 中进行设计需要满足以下条件：

- 确定 DisplayPort 输入 (A) 和输出 (B) 通道的损耗曲线。有关 6mil 布线插入损耗，请参阅图 8-5。
- 根据损耗曲线，确定 TDP142-Q1 的最佳配置，从而通过电气合规性测试。DPEQ[1:0] 必须设置为适当的值。在这种情况下，12 英寸 FR4 布线在 4.05GHz 下的损耗约等于 8dB。因此，将 DPEQ1 20kΩ 接地，将 DPEQ0 1kΩ 接地。
- 有关在 VCC 引脚与地之间使用交流耦合电容器、控制引脚电阻器和推荐去耦电容器的源端应用的信息，请参阅图 8-3。
  - AUX：确保 AUXP 具有 100kΩ 下拉电阻，而 AUXN 具有 100kΩ 上拉电阻。这些 100kΩ 电阻器必须位于 100nF 电容器的 TDP142-Q1 侧。
  - HPDIN 用于启用或禁用 DisplayPort 功能以节省功耗。根据 GPIO/I²C 模式将 HPD 信号路由到引脚 23 或引脚 32。

表 8-4. HPD GPIO/I²C 选择

模式	HPD
GPIO (I2C_EN = 0)	引脚 32
I²C (I2C_EN ≠ 0)	引脚 23

  - 对于支持双模 DisplayPort 的应用：SNOOPENZ 引脚必须通过 SN74AHC125 等缓冲器连接到 DisplayPort 插座上的 CONFIG1。需要使用缓冲器的原因是，当双模适配器插入 DisplayPort 插座时，SNOOPENZ 引脚上的内部下拉电阻太强，无法寄存有效的 VIH。
- 使用 GPIO 端子或 I²C 接口配置 TDP142-Q1：
  - GPIO – 使用端子 DPEQ0 和 DPEQ1。
  - I²C – 有关详细的配置过程，请参阅 *I2C 寄存器映射* 和*编程* 部分。
- 散热焊盘必须连接到地。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 接收端应用实现

图 8-4 是接收端应用的原理图。TDP142-Q1 的左侧连接到 DisplayPort 插座，TDP142-Q1 的右侧连接到 Scaler 或 DisplayPort 接收端。

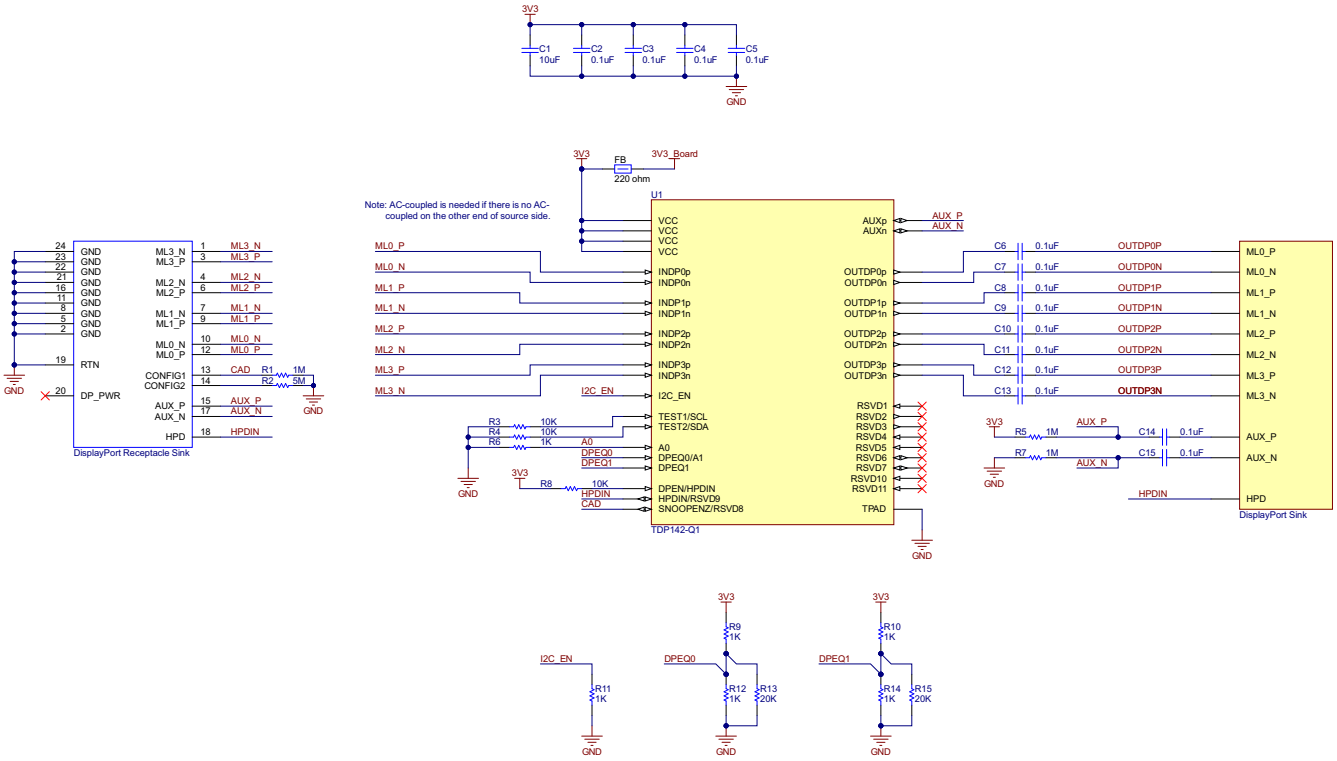


图 8-4. DisplayPort 接收端应用的框图

8.2.2.1 设计要求

对于这个设计示例，请使用表 8-5 中列出的参数。

表 8-5. 设计参数

参数	值
最大工作数据速率 （RBR、HBR、HBR2 或 HBR3）	HBR3 (8.1Gbps)
电源电压	3.3V
C 布线的长度/宽度	12 英寸/6 mil
D 布线的长度/宽度	2 英寸/6 mil
主链路交流去耦电容器 （75nF 至 265nF）	建议 100nF
控制模式（I^2C 或 GPIO）	GPIO (I2C_EN = 0)

Copyright © 2025 Texas Instruments Incorporated

8.2.2.2 详细设计过程

接收端应用的设计过程如下所示：

- 确定 DP 输入 (C) 和输出 (D) 通道和电缆上的损耗曲线。有关 6mil 布线插入损耗，请参阅图 8-5。
- 根据损耗曲线，确定 TDP142 的理想配置，从而通过电气合规性测试。
- 有关在 VCC 引脚与地之间使用交流耦合电容器、控制引脚电阻器和推荐去耦电容器的源端应用的信息，请参阅图 8-4。
  - AUX：请确保 AUXP 有一个 1MΩ 上拉电阻器，而 AUXN 有一个 1MΩ 下拉电阻器。1MΩ 电阻器必须位于 100nF 电容器的 TDP142-Q1 侧。
  - HPDIN：根据 GPIO/I2C 模式将 HPD 信号路由到引脚 23 或引脚 32。借助此设置，TDP142-Q1 能够在未连接电源时节省能源。

表 8-6. HPD GPIO/I2C 选择

模式	HPD
GPIO (I2C_EN = 0)	引脚 32
I2C (I2C_EN ≠ 0)	引脚 23

- 使用 GPIO 端子或 I²C 接口配置 TDP142-Q1：
  - GPIO – 使用端子 DPEQ0 和 DPEQ1。
  - TI 建议首先启动更高的均衡值（如 13dB 和 15dB），并在必要时调整该值。
  - I²C – 有关详细的配置过程，请参阅 *I2C 寄存器映射* 和*编程* 部分。
- 散热焊盘必须连接到地。

8.2.3 应用曲线

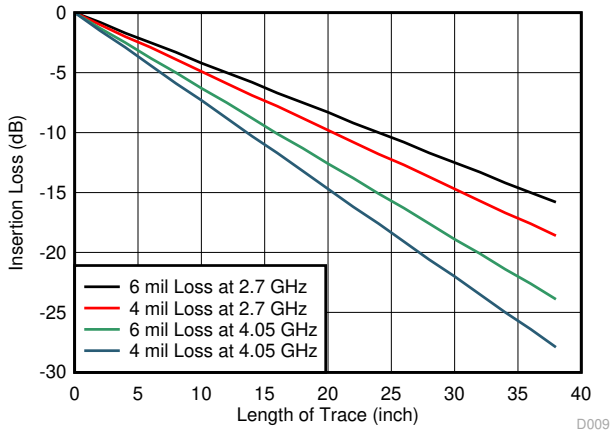


图 8-5. FR4 PCB 布线的插入损耗

8.3 电源相关建议

TDP142-Q1 旨在使用 3.3V 电源来运行。高于*绝对最大额定值* 表中所列值的电平不应使用。如果应用具有更高电压的系统电源，请使用稳压器将电压降至 3.3V。使用去耦电容器来降低噪声并提高电源完整性。在每个电源引脚上使用 0.1µF 电容器。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

1. 使用受控 100Ω 差分阻抗 (±10%) 布线 INDP[3:0]P/N 和 OUTDP[3:0]P/N 对。
2. 远离其他高速信号。
3. 将对内布线保持在 5mil 以内。
4. 根据 *DisaplyPort 设计指南*，将差分对之间的延迟保持在 2 UI 范围内
5. 确保长度匹配位于不匹配位置附近。
6. 每对应至少间隔信号布线宽度的 3 倍。
7. 尽量减少使用弯曲的差分布线。使用弯曲时，务必确保左右弯曲数量尽可能相等，弯曲角度 ≥ 135 度。这更大程度地减少了由弯曲引起的任何长度不匹配，因此更大程度地减少了弯曲对 EMI 的影响。
8. 在同一层布线所有差分对。
9. 尽量减少 VIAS 数量。TI 建议将 VIAS 数量保持在 2 个或更少。
10. 由于器件输出引脚和连接器之间的接线不匹配，布局可能会在 OUTDP2 和 OUTDP3 上出现信号交叉（参阅图 8-7）。一个选项是当 GPU 采用 BGA 封装时，在器件的输入端进行极性交换，以减少所使用的 VIAS 的数量。
11. 在靠近接地平面的层上保留布线。
12. 请勿在任何平面分割点布线差分对。
13. 请记住，添加测试点可能导致阻抗不连续，从而对信号性能产生负面影响。如果使用测试点，应将测试点串联并对称放置。测试点的放置方式不得使差分对上产生残桩。

8.4.2 布局示例

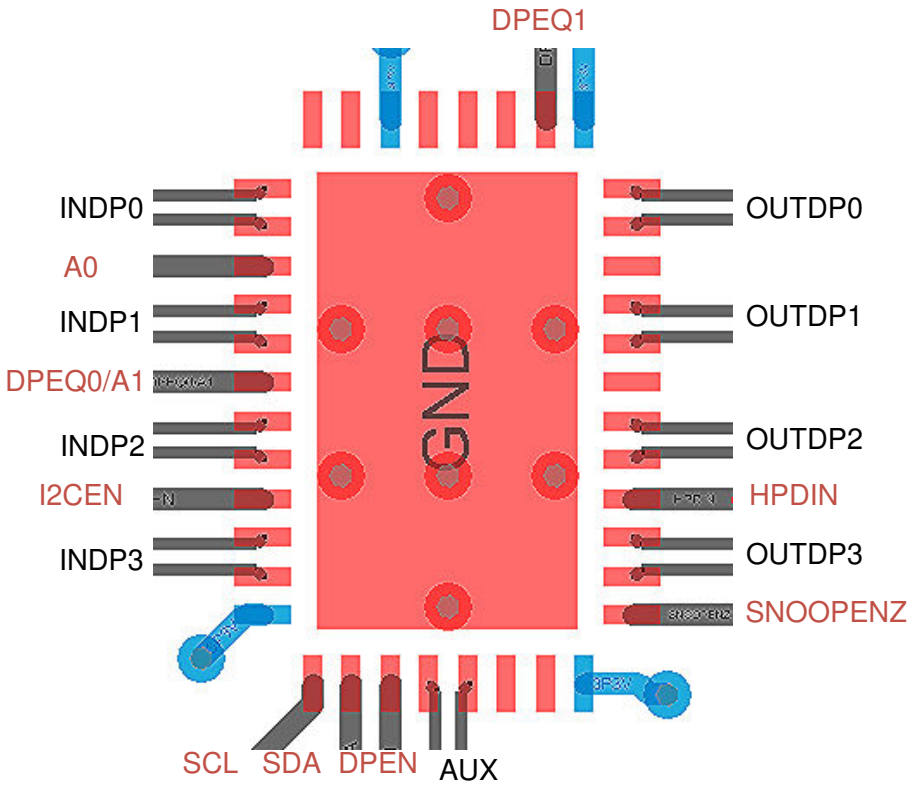


图 8-6. 布局示例

Copyright © 2025 Texas Instruments Incorporated

下图展示了调整器件输出与 DisplayPort 连接器之间在采用 BGA 封装的源端上接线不匹配的方法。图 8-7 展示了 TDP142-Q1 和连接器之间的交叉部分。通常会应用过孔来避免交叉，但使用过孔会影响信号完整性。因此，TDP142-Q1 的输入端可以实现极性互换。图 8-8 显示，通过极性互换，TDP142-Q1 与连接器之间不再有交叉部分，从而最大程度减少过孔的使用。请注意，该选项仅对采用 BGA 封装的源端有用。

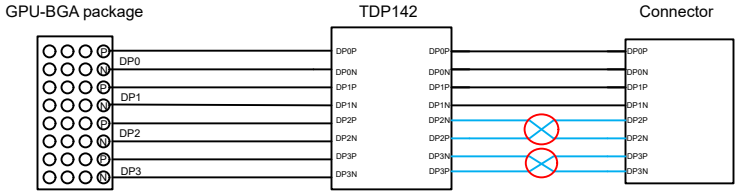


图 8-7. 布局示例：输出上的信号交叉处理

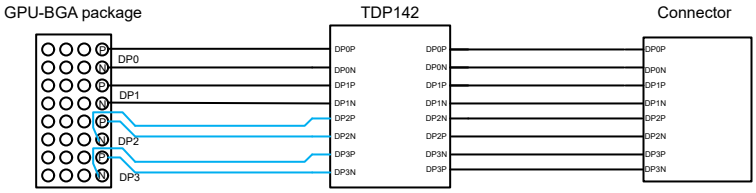


图 8-8. 布局示例：INDP2 和 INDP3 极性交换

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

DisplayPort™ is a trademark of VESA.
TI E2E™ is a trademark of Texas Instruments.
HDMI® is a registered trademark of HDMI Licensing LLC.
VESA® is a registered trademark of Video Electronics Standards Association.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2024) to Revision A (February 2025)	Page
• 将数据表状态从“预告信息”更改为：量产数据	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP142RGFRQ1	Active	Production	VQFN (RGF) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	TDB461
TDP142RGFRQ1.B	Active	Production	VQFN (RGF) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	TDB461
TDP142RGFTQ1	Active	Production	VQFN (RGF) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	TDB461
TDP142RGFTQ1.B	Active	Production	VQFN (RGF) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	TDB461

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TDP142-Q1 :

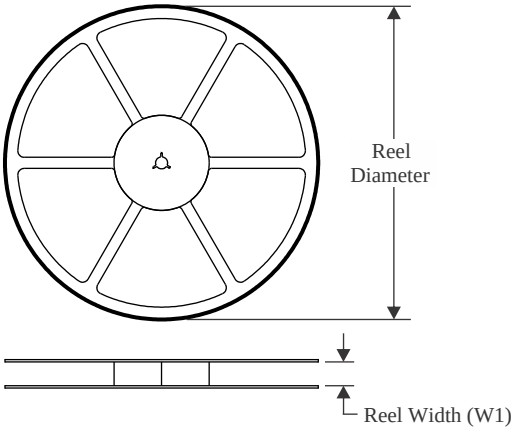
- Catalog : TDP142

NOTE: Qualified Version Definitions:

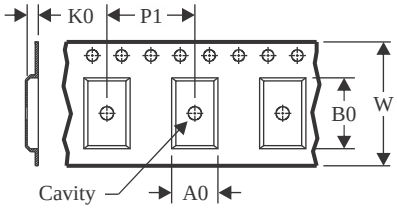
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

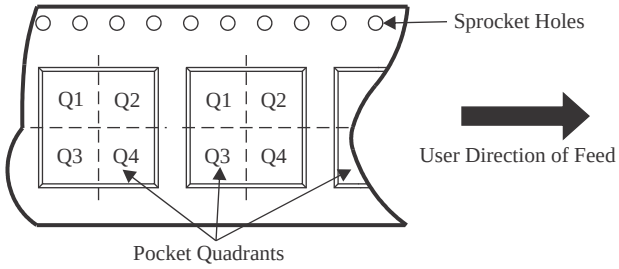


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

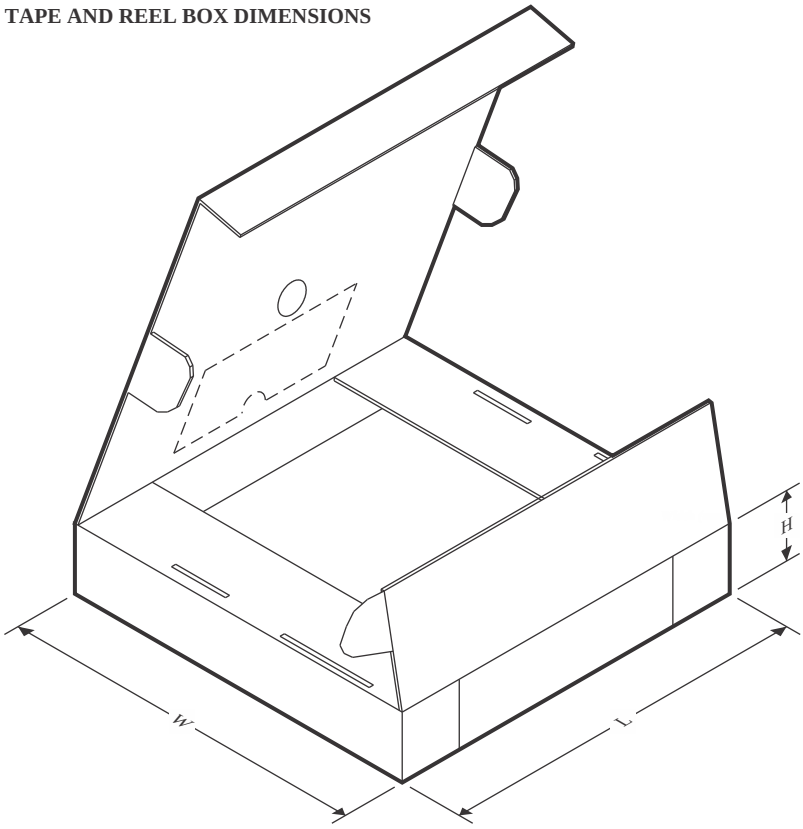
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP142RGFRQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1
TDP142RGFTQ1	VQFN	RGF	40	250	180.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP142RGFRQ1	VQFN	RGF	40	3000	367.0	367.0	35.0
TDP142RGFTQ1	VQFN	RGF	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

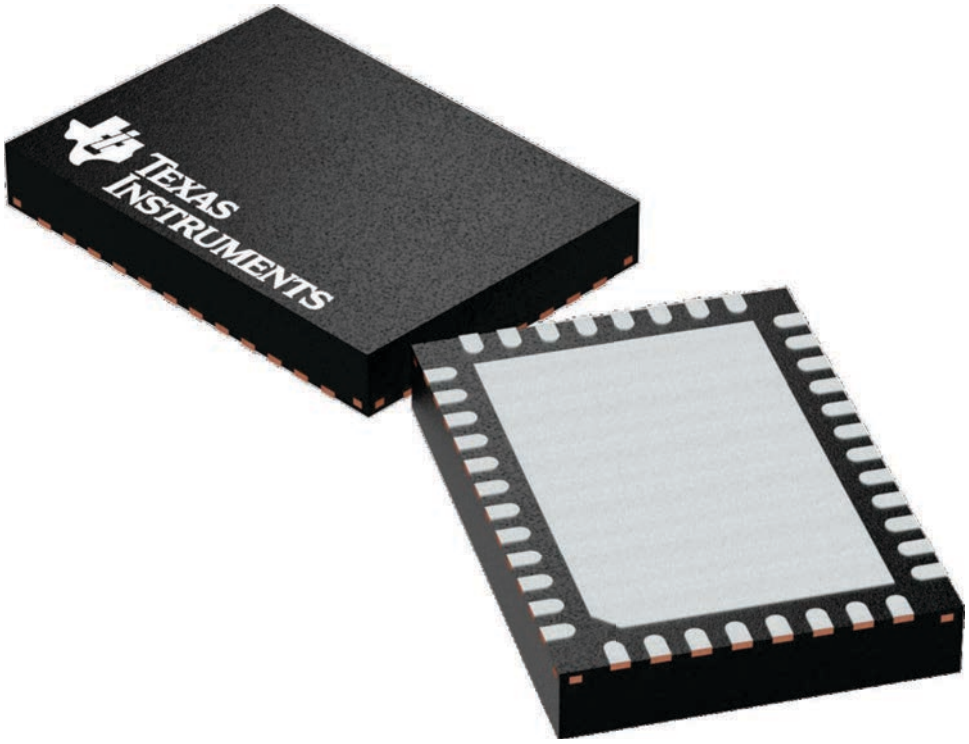
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

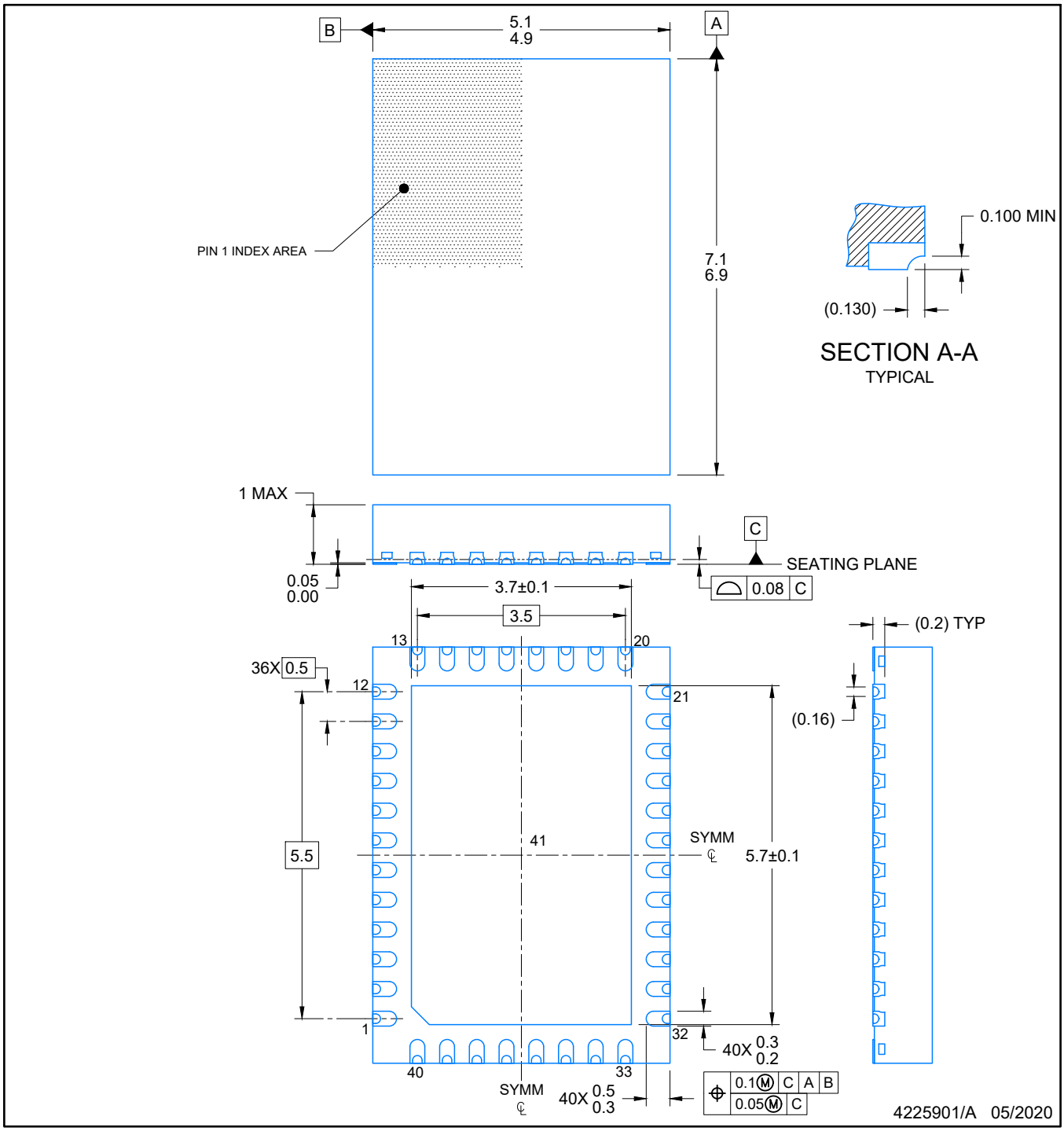
PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



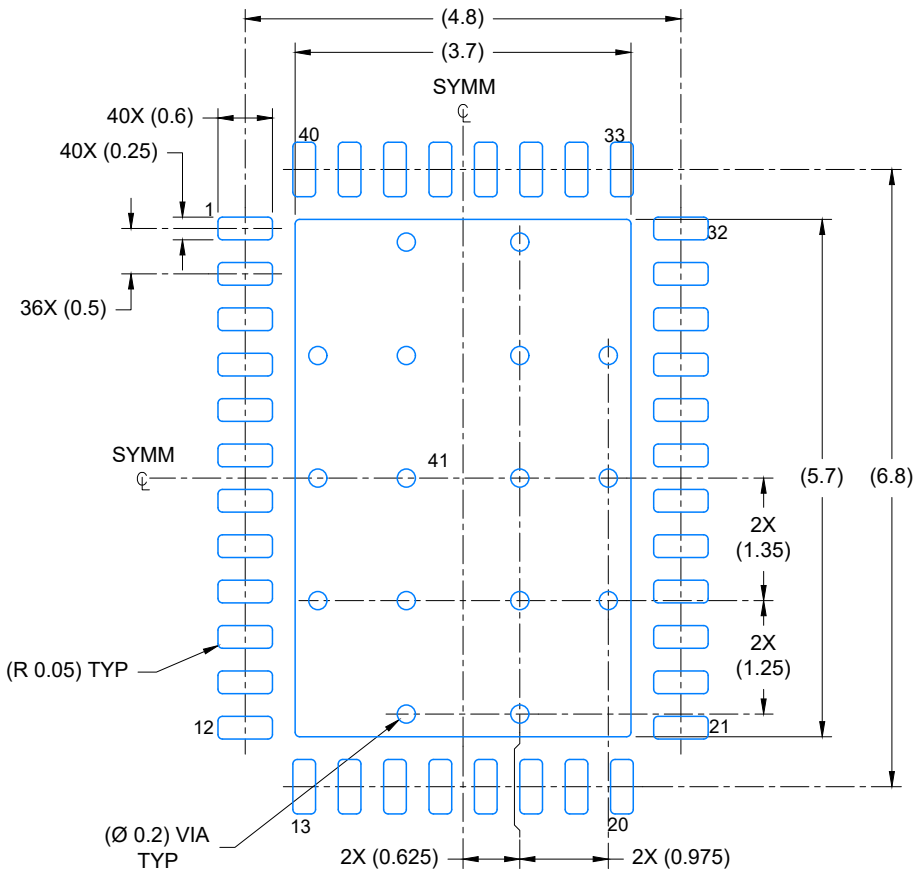
4225115/A

PLASTIC QUAD FLATPACK- NO LEAD

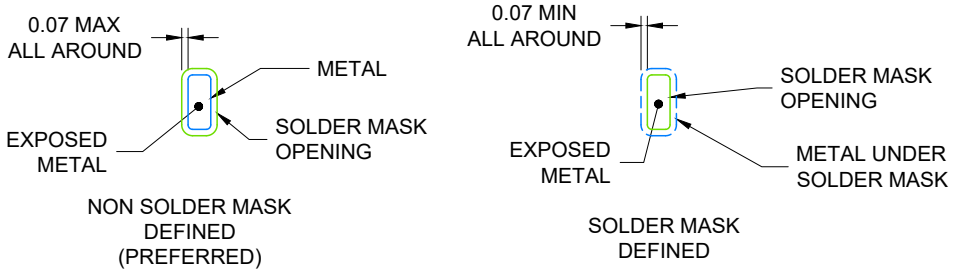


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

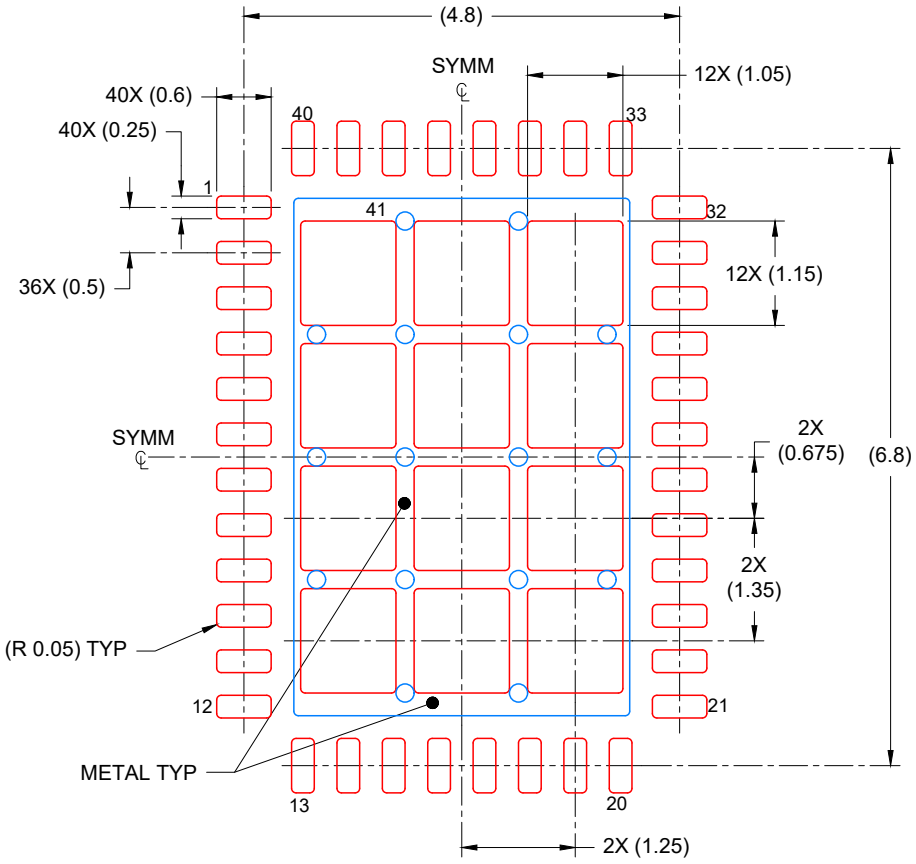


SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司