TDA4VPE-Q1、TDA4APE-Q1 Jacinto™ 汽车级处理器

1 特性

处理器内核：

- 多达三个 C7x 浮点、矢量 DSP，性能高达 1.0GHz、240GFLOPS、768GOPS
- 多达两个深度学习矩阵乘法加速器 (MMAv2)，性能高达 16TOPS (8b)（频率为 1.0GHz）
- 最多两个具有图像信号处理器 (ISP) 和多个视觉辅助加速器的视觉处理加速器 (VPAC)
- 深度和运动处理加速器 (DMPAC)
- 四核 Arm® Cortex®-A72 微处理器子系统，性能高达 2.0GHz
  - 每个四核 Cortex®-A72 集群具有 2MB L2 共享缓存
  - 每个 Cortex®-A72 内核具有 32KB L1 数据缓存和 48KB L1 指令缓存
- 八个 Arm® Cortex®-R5F MCU，性能高达 1.0GHz
  - 16K 指令高速缓存，16K 数据高速缓存，64K L2 TCM
  - 隔离 MCU 子系统中有两个 Arm® Cortex®-R5F MCU
  - 通用计算分区中有六个 Arm® Cortex®-R5F MCU
- GPU IMG BXS-4-64，256kB 缓存，性能高达 800MHz，50GFLOPS，4GTexels/s (**TDA4VPE**)
- 定制设计的互联结构，支持接近于最高的处理能力

存储器子系统：

- 高达 8MB 的片上 L3 RAM（具有 ECC 和一致性）
  - ECC 错误保护
  - 共享一致性高速缓存
  - 支持内部 DMA 引擎
- 多达两个具有 ECC 的外部存储器接口 (EMIF) 模块
  - 支持 LPDDR4 存储器类型
  - 支持高达 4266MT/s 的速度
  - 多达 2 个具有内联 ECC 的 32 位总线，速率高达 34GB/s
- 通用存储器控制器 (GPMC)
- MAIN 域中有 3 个 512KB 片上 SRAM，受 ECC 保护

功能安全：

- 以符合功能安全标准为目标（部分器件型号）
  - 专为功能安全应用开发
  - 可提供使 ISO 26262 功能安全系统设计满足 ASIL-D/SIL-3 要求的文档
  - 系统功能符合 ASIL-D/SIL-3 要求
  - 对于 MCU 域，硬件完整性符合 ASIL-D/SIL-3 要求
  - 对于 MAIN 域，硬件完整性符合 ASIL-B/SIL-2 要求
  - 对于 MAIN 域的扩展 MCU (EMCU) 部分，硬件完整性符合 ASIL-D/SIL-3 要求
  - 安全相关认证
    - 计划通过 的 ISO 26262 认证
- 符合 AEC-Q100 标准（以 Q1 结尾的器件型号）

器件安全（在部分器件型号上）：

- 安全启动，提供安全运行时支持
- 客户可编程的根密钥，级别高达 RSA-4K 或 ECC-512
- 嵌入式硬件安全模块
- 加密硬件加速器 - 带 ECC 的 PKA、AES、SHA、RNG、DES 和 3DES

高速串行接口：

- 集成以太网交换机，支持 4 个外部端口
  - 两个端口支持 5Gb、10Gb USXGMII/XFI
  - 所有端口均支持 1Gb、2.5Gb SGMII
  - 所有端口均可支持 QSGMII。最多可启用 1 个 QSGMII 并使用全部 4 个内部通道
- 多达 2x2L/1x4L PCI-Express® (PCIe) 第 3 代控制器
  - 第 1 代 (2.5GT/s)、第 2 代 (5.0GT/s) 和第 3 代 (8.0GT/s) 运行，具有自动协商功能
- 一个 USB 3.0 双重角色设备 (DRD) 子系统
  - 增强型超高速第一代端口
  - 支持 Type-C 开关
  - 可独立配置为 USB 主机、USB 外设或 USB DRD
- 三个 CSI2.0 4L 摄像头串行接口 RX (CSI-RX) 以及两个具有 DPHY 的 CSI2.0 4L TX (CSI-TX)
  - 符合 MIPI CSI 1.3 标准 + MIPI-DPHY 1.2
  - CSI-RX 支持 1、2、3 或 4 数据通道模式，每通道速率高达 2.5Gbps
  - CSI-TX 支持 1、2 或 4 数据通道模式，每通道速率高达 2.5Gbps

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

以太网：

- 两个 RGMII/RMII 接口

汽车接口：

- 20 个模块化控制器局域网 (MCAN) 模块，具有完整 CAN-FD 支持

显示子系统：

- 两个 DSI 4L TX（高达 2.5k）
- 1 个 eDP/DP 接口，具有多显示器支持 (MST)
- 一个 DPI

音频接口：

- 5 个多通道音频串行端口 (MCASP) 模块

视频加速：

- H.264/H.265 编码/解码，高达 960MP/s

闪存接口：

- 嵌入式多媒体卡接口 (eMMC™ 5.1)
- 一个安全数字® 3.0/安全数字输入输出 3.0 接口 (SD3.0/SDIO3.0)
- 具有 2 个通道的通用闪存 (UFS 2.1) 接口
- 两个独立闪存接口，配置为
  - 一个 OSPI 或 HyperBus™ 或 QSPI 闪存接口，以及
  - 一个 QSPI 闪存接口

片上系统 (SoC) 架构：

- 16nm FinFET 技术
- 27mm × 27mm、0.8mm 间距、1063 引脚 FCBGA (AND)，可实现 IPC 3 级 PCB 布线

TPS6594-Q1 配套电源管理 IC (PMIC)：

- 等级高达 ASIL-D 的功能安全支持
- 灵活的映射，可支持不同的用例

2 应用

- 汽车：
- 高级环视和泊车辅助系统
- 自主传感器融合/感知系统，包括摄像头、雷达和激光雷达传感器
- 单传感器和多传感器前置摄像头系统
- 下一代电子后视镜系统
- 非公路用车控制
- ADAS 域控制器

Copyright © 2025 Texas Instruments Incorporated

3 说明

TDA4VPE-Q1/TDA4APE-Q1 处理器系列基于不断发展的 Jacinto™ 7 架构，面向 ADAS 和自动驾驶车辆 (AV) 应用，基于 TI 在 ADAS 处理器市场上十多年的先进地位所积累的广泛市场知识而构建。在以符合功能安全标准为目标的架构中，独特的高性能计算、深度学习引擎、信号和图像处理专用加速器的组合使 TDA4VPE-Q1/TDA4APE-Q1 器件非常适合多种成像、视觉、雷达、传感器融合和 AI 应用，例如：机器人、移动机械、非公路用车控制器、机器视觉、AI 盒、网关、零售自动化、医疗成像等。TDA4VPE-Q1/TDA4APE-Q1 以业界卓越的功耗/性能比为传统和深度学习算法提供高性能计算，并具有很高的系统集成度，从而使支持集中式 ECU 或独立传感器中多种传感器模式的高级汽车平台实现可扩展性和更低的成本。关键内核包括具有标量和矢量内核的下一代 DSP、专用深度学习和传统算法加速器、用于通用计算的最新 Arm 和 GPU 处理器、集成式下一代成像子系统 (ISP)、视频编解码器、以太网集线器以及隔离式 MCU 岛。所有这些都由汽车级安全硬件加速器提供保护。

主要高性能内核概述

“C7x”下一代 DSP 将 TI 业界先进的 DSP 和 EVE 内核整合到单个性能更高的内核中，并增加了浮点矢量计算功能，从而实现了对旧代码的向后兼容性，同时简化了软件编程。在典型的汽车最高结温 125°C 下运行时，新型“MMAv2”深度学习加速器的单个实例可在业界超低的功率范围内实现高达 8TOPS 的性能。专用的 ADAS/AV 硬件加速器可提供视觉预处理以及距离和运动处理，而不会影响系统性能。

通用计算内核和集成概述

对 Arm® Cortex®-A72 的独立四核集群配置有助于实现多操作系统应用，而且对软件管理程序的需求非常低。四个 Arm® Cortex®-R5F 子系统能够管理低级的时序关键型处理任务，使 Arm® Cortex®-A72 内核不受应用的影响。集成的 IMG BXS-4-64 GPU 可提供高达 50GFLOPS 的性能，从而为增强视觉应用实现动态 3D 渲染。TI 的第 7 代 ISP 以现有出色的 ISP 为基础，能够灵活地处理更广泛的传感器套件，支持更高的位深度，并且具有面向分析应用的特性。集成的诊断和安全功能可支持高达 ASIL-D/SIL-3 级别的操作，同时集成的安全功能可保护数据免受现代攻击。为了实现需要大量数据带宽的系统，提供了 PCIe 集线器和千兆位以太网交换机以及 CSI-2 端口，以支持众多传感器输入的吞吐量。为了进一步集成，TDA4VPE-Q1/TDA4APE-Q1 系列还包含一个 MCU 岛，从而无需使用外部系统微控制器。

封装信息

器件型号	封装(1)	封装尺寸(2)
TDA4VPE-Q1	AND（FCBGA，1063）	27mm x 27mm
TDA4APE-Q1	AND（FCBGA，1063）	27mm x 27mm
XJ742S2	AND（FCBGA，1063）	27mm x 27mm

(1) 如需更多信息，请参阅节 10，*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

3.1 功能方框图

图 3-1 是器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 TDA4VH 软件构建表 (PROCESSOR-SDK-J742S2)。

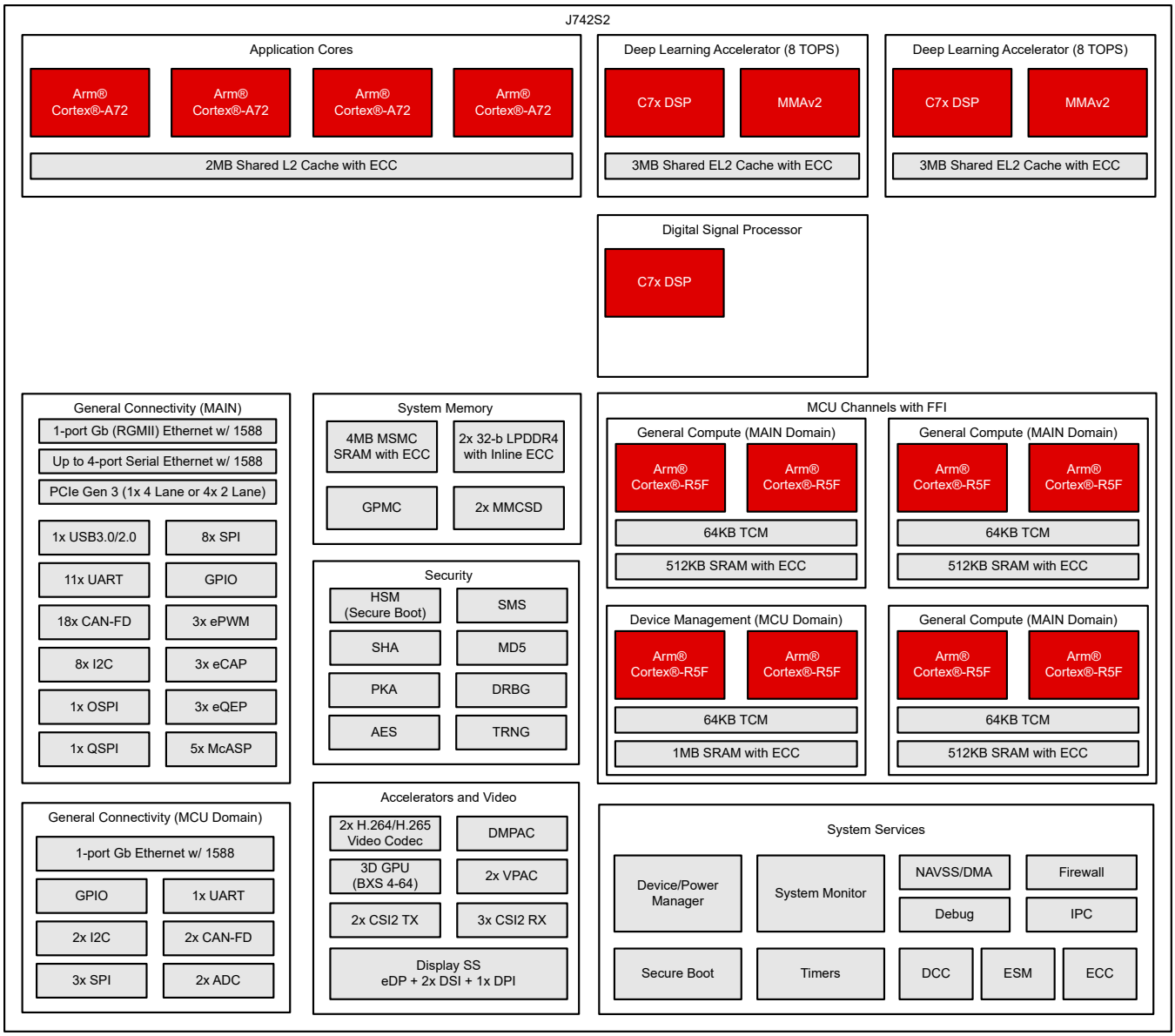


图 3-1. 功能方框图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性.... 1
2 应用.... 2
3 说明.... 3
3.1 功能方框图.... 4
4 器件比较.... 6
5 端子配置和功能.... 9
5.1 引脚图.... 9
5.2 引脚属性.... 10
5.3 信号说明.... 74
5.4 引脚连接要求.... 119
6 规格.... 123
6.1 绝对最大额定值.... 123
6.2 ESD 等级.... 124
6.3 通电时间 (POH) 限制.... 124
6.4 建议运行条件.... 125
6.5 运行性能点.... 127
6.6 电气特性.... 128
6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格.... 134
6.8 热阻特性.... 135
6.9 温度传感器特性.... 136
6.10 时序和开关特性.... 137
7 应用、实施和布局.... 257
7.1 器件连接和布局基本准则.... 257
7.2 外设和接口的相关设计信息.... 257
8 器件和文档支持.... 263
8.1 器件命名规则.... 263
8.2 工具与软件.... 266
8.3 支持资源.... 266
8.4 商标.... 266
8.5 静电放电警告.... 266
8.6 术语表.... 266
9 修订历史记录.... 266
10 机械、封装和可订购信息.... 269
10.1 封装信息.... 269

4 器件比较

表 4-1 展示了 SoC 的特性。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 TDA4VH 软件构建表 (PROCESSOR-SDK-J742S2)。

表 4-1. 器件比较

特性[9]	参考名称	TDA4VPE6	TDA4APE6	TDA4VPE4	TDA4APE4
特性					
处理器和加速器					
速度等级		T	T	T	T
Arm Cortex-A72 微处理器子系统	Arm A72	四核[12]			
Arm Cortex-R5F	Arm R5F	八核			
	锁步	可选[1]			
安全管理	SMS	是			
安全加速器	SA	是			
C7x 浮点，矢量 DSP	C7x DSP	三核			
深度学习加速器	MMA	双核			
图形加速器 IMG BXS-4-64	GPU	是	否	是	否
深度和运动处理加速器	DMPAC	是			
视觉处理加速器	VPAC	2		1	
视频编码器/解码器	VENC/VDEC	编码/解码 960MP/s		编码/解码 480MP/s	
安全与安防					
以符合安全标准为目标	安全	可选[1]		可选[1]	
器件安全性	安全性	可选[2]		可选[2]	
符合 AEC-Q100 标准	Q1	可选[3]		可选[3]	
程序和数据存储					
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	3x512KB SRAM		3x512KB SRAM	
MCU 域中的片上共享存储器 (RAM)	MCU_MSRAM	1MB SRAM		1MB SRAM	
多核共享存储器控制器	MSMC	8MB（带 ECC 的片上 SRAM）		4MB（带 ECC 的片上 SRAM）	
LPDDR4 DDR 子系统	DDRSS0[5]	32b，具有内联 ECC		32b，具有内联 ECC	
	DDRSS1[5]	32b，具有内联 ECC		32b，具有内联 ECC	
	DDRSS2[4] [5]	否			
	DDRSS3[4] [5]	否			
	SECDED	7 位			
通用存储器控制器	GPMC	是			
外设					
显示子系统	DSS	是		是	
	DSI 4L TX	2		2	
	eDP 4L	1		1	
	DPI	1		1	
模块化控制器区域网接口，具有完整 CAN-FD 支持	MCAN	20		20	
通用 I/O	GPIO	155		155	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[9]	参考名称	TDA4VPE6	TDA4APE6	TDA4VPE4	TDA4APE4
内部集成电路接口	I2C	10		10	
改进了内部集成电路接口	I3C	1		1	
模数转换器	ADC	2		2	
带摄像头串行接口的捕获子系统 (CSI2)	CSI2.0 4L RX	3		3	
	CSI2.0 4L TX	2		2	
多通道串行外设接口	MCSPI	11		11	
多通道音频串行端口	MCASP0	16 个串行器		16 个串行器	
	MCASP1	5 个串行器		5 个串行器	
	MCASP2	5 个串行器		5 个串行器	
	MCASP3	3 个串行器		3 个串行器	
	MCASP4	5 个串行器		5 个串行器	
多媒体卡/安全数字接口	MMCSD0	eMMC（8 位）		eMMC（8 位）	
	MMCSD1	SD/SDIO（4 位）		SD/SDIO（4 位）	
通用闪存存储	UFS 2L	是		是	
闪存子系统 (FSS)	OSPI0	8 位[8]		8 位[8]	
	OSPI1[10]	4 位		4 位	
	HyperBus	是[8]		是[8]	
4 个具有集成型 PHY 的 PCI Express 端口	PCIE	*1x4L 或 2x2L* [6] [11]		*1x4L 或 2x2L* [6] [11]	
以太网接口	MCU CPSW2G	RMII 或 RGMII		RMII 或 RGMII	
	MAIN CPSW2G	RMII 或 RGMII		RMII 或 RGMII	
	CPSW9G	4 端口串行器/解串器[6] [7]		4 端口串行器/解串器[6] [7]	
通用计时器	计时器	30		30	
增强型高分辨率脉宽调制器模块	eHRPWM	6		6	
增强型捕获模块	eCAP	3		3	
增强型正交编码器脉冲模块	eQEP	3		3	
通用异步接收器/发送器	UART	12		12	
具有 SS PHY 的通用串行总线 (USB3.1) 超高速双角色设备 (DRD) 端口	USB0	是[6]		是[6]	

(1) 包括 R5F 锁步和 SIL/ASIL 等级在内的安全特性仅适用于命名规则说明表中的器件类型 (Y) 标识符所示的部分器件型号变体。
(2) 器件安全特性（包括安全启动和客户可编程密钥）适用于命名规则说明表中的器件类型 (Y) 标识符所示的部分器件型号变体。
(3) AEC-Q100 鉴定适用于如命名规则说明表中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
(4) 此 SoC 的 27mm 封装型号不提供 DDRSS2 和 DDRSS3。如果希望与使用 27mm 封装的系统具有软件兼容性，则不应使用 DDR2/DDR3
(5) 必须始终按递增顺序使用 DDRSS0 和 DDRSS1。例如，使用单个 LPDDR 元件时，该元件必须连接到 DDR0_* 接口。当使用两个 LPDDR 元件时，它们必须连接到 DDR0_* 和 DDR1_* 接口。
(6) DP、SGMII、USB3.0 和 PCIE 共用总共 8 个或 12 个串行器/解串器通道：
- TDA4xPE6 不支持 SERDES2 通道
- TDA4xPE4 不支持 SERDES0 和 SERDES2 通道
- TDA4xPE4 对可用 SERDES 通道上的 PCIe 和 SGMII 具有额外的多路复用限制。引脚属性表“VPE4 APE4”列中显示了串行器/解串器和多路复用器限制。

(7) **TDA4xPE** CPSW 最多支持 4 个端口。
- 与 TDA4xPE4 相比，TDA4xPE6 支持更高的引脚多路复用灵活性
- 利用 TDA4xPE6，系统设计人员可以根据任何可用端口进行选择，但必须将使用的端口总数限制为四个或更少
- TDA4xPE4 降低了引脚属性表“VPE4 APE4”列中所示的引脚多路复用可用性

以下实例、信号和运行模式适用于 8 个端口：

- PORT1 **信号**：SGMII1，**模式**：*5Gb*、*10Gb USXGMII/XFI*、2.5Gb SGMII/XAUI、1Gb SGMII、5Gb QSGMII 之一
- PORT2 **信号**：SGMII2，**模式**：*5Gb*、*10Gb USXGMII/XFI*、2.5Gb SGMII/XAUI、1Gb SGMII、5Gb QSGMII 之一
- PORTn（n=3 至 8）**信号**：SGMIIn，**模式**：2.5Gb SGMII/XAUI、1Gb SGMII、5Gb QSGMII 之一

如果 QSGMII 用于 SGMII 端口 1 至 4 中的任一个，则 SGMII1/2/3/4 不能用于以太网功能，因为所有 4 个内部 CPSW 端口都映射到选定的 QSGMII SERDES 端口。
如果 QSGMII 用在 SGMII 端口 5 至 8 中的任一个上，则 SGMII5/6/7/8 不能用于以太网功能，因为所有 4 个内部 CPSW 端口都映射到选定的 QSGMII SERDES 端口。

(8) 2 个同步闪存接口，配置为 OSPI0 和 OSPI1 或 HyperBus 和 OSPI1。
(9) XJ742S2 是超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。
(10) OSPI1 模块仅对 4 个引脚进行引脚分配，在一些上下文中被称为 QSPI。
(11) **TDA4xPE** PCIe 支持 1x4L 或 2x2L 选项。
- 与 TDA4xPE4 器件相比，TDA4xPE6 支持更高的引脚多路复用灵活性
- 利用 TDA4xPE6，系统设计人员可以选择任何可用的 PCIe 实例或可用端口，但必须限制为最大 1x4L 或 2x2L
- TDA4xPE4 降低了引脚属性表“VPE4 APE4”列中所示的引脚多路复用可用性

(12) A72SS 四核型号提供一个四核集群，即 A72SS0_CORE[3:0]。

Copyright © 2025 Texas Instruments Incorporated

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 1063 球倒装晶片球栅阵列 (FCBGA) 封装的焊球位置，用以快速找到信号名称和球栅编号。该图应与表 5-1 至表 5-118（*引脚属性* 表和所有*信号说明* 表，包括*引脚连接要求* 表）配合使用。

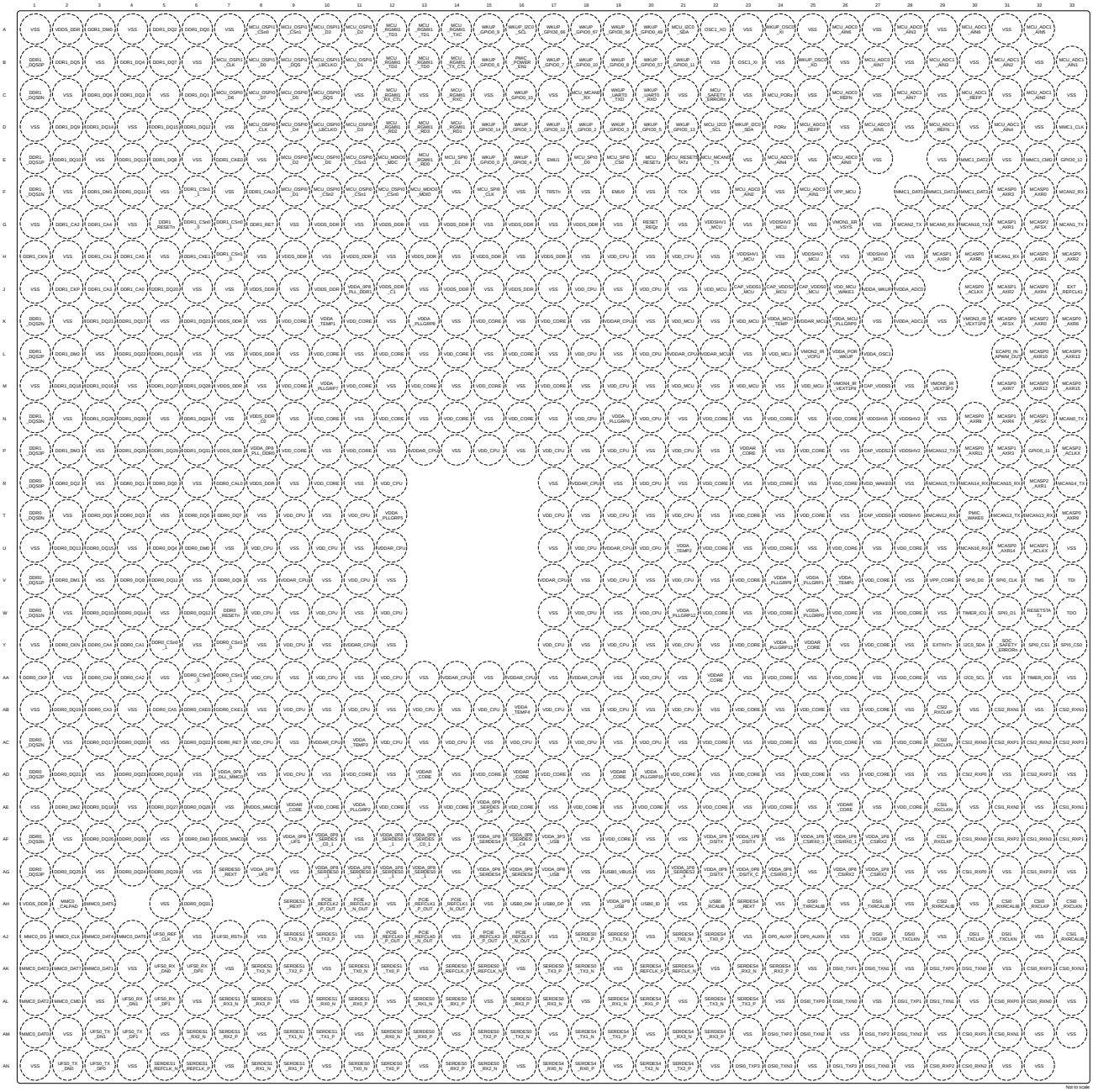


图 5-1. AND FCBGA-N1063 引脚图（顶视图）

5.2 引脚属性

以下列表介绍了表 5-1 *引脚属性（AND 封装）*表中每一列的内容：

1. **焊球编号：**分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称：**分配给 Ball Grid Array 封装每个端子的焊球名称（该名称通常取自主 MUXMODE 0 信号功能）。
3. **信号名称：**与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 *引脚属性（AND 封装）*表仅定义了引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

---

4. **多路复用模式：**与每个引脚多路复用信号功能相关的 MUXMODE 值：
   a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

   备注

   “复位之后的多路复用模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

   ---

   b. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
   c. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
   d. 空框表示不适用。

   备注

   为了使器件正常运行，必须避免以下 MUXMODE 配置。
   - 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
   - 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。

   ---

5. **VPE4 APE4：**表示 **TDA4VPE4**、**TDA4APE4** 器件支持的 MUXMODE。“否”表示不支持该 MUXMODE。空框表示支持。
6. **类型：**信号类型和方向：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器。

Copyright © 2025 Texas Instruments Incorporated

7. **DSIS：**未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态（逻辑“0”、逻辑“1”或“焊盘”电平）。
   - 0：逻辑 0 被驱动至子系统输入。
   - 1：逻辑 1 被驱动至子系统输入。
   - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
   - 空框表示不适用。
8. **复位期间的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被**禁用**。
     - 亮：输入缓冲器被**启用**。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被**禁用**。
     - 低电平：输出缓冲器被**启用**并驱动 V_{OL}。
     - 高电平：输出缓冲器被**启用**并驱动 V_{OH}。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉电阻器被关闭。
     - 上拉：内部**上拉**电阻器被开启。
     - 下拉：内部**下拉**电阻器被开启。
     - 不适用：不适用。
   - 空框表示不适用。
9. **复位之后的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被**禁用**。
     - 亮：输入缓冲器被**启用**。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被**禁用**。
     - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉电阻器被关闭。
     - 上拉：内部**上拉**电阻器被开启。
     - 下拉：内部**下拉**电阻器被开启。
     - 不适用：不适用。
   - 空框、不适用或“-”表示不适用。
10. **复位之后的多路复用模式：**该列中的值定义了 MCU_PORz 被置为无效后的**默认**引脚多路复用信号功能。

    空框、不适用或“-”表示不适用。
11. **I/O 电压值**：该列介绍了相应电源的 I/O 工作电压选项（如果适用）。

    空框表示不适用。

    有关更多信息，请参阅节 6.4 *建议运行条件* 中为每个电源定义的有效工作电压范围。
12. **电源：**相关 I/O 的电源（如果适用）。

    空框表示不适用。
13. **HYS：**指示与该 I/O 关联的输入缓冲器是否具有迟滞：
    - 是：具有迟滞
    - 否：不具有迟滞

- 空框表示不适用。

有关更多信息，请参阅节 6.6 *电气特性* 中的迟滞值。

14. **缓冲器类型：**该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。

    空框表示不适用。

    有关电气特性，请参阅节 6.6 *电气特性* 中相应的缓冲器类型表。

15. **上拉/下拉类型：**指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
    - PU：内部上拉
    - PD：内部下拉
    - PU/PD：内部上拉和下拉
    - 空框表示无内部拉动。

备注

不支持将两个引脚配置为同一引脚多路复用信号功能，因为这可能会产生意外结果。适当的软件配置可以轻松防止这种情况发生。

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。必须避免这种情况。

16. **PADCONFIG 寄存器：**与焊球关联的 IO 焊盘配置寄存器的名称。
17. **PADCONFIG 地址：**与焊球关联的 IO 焊盘配置寄存器的物理地址。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
T27	CAP_VDDS0	CAP_VDDS0			CAP									
J25	CAP_VDDS0_MCU	CAP_VDDS0_MCU			CAP									
J23	CAP_VDDS1_MCU	CAP_VDDS1_MCU			CAP									
P27	CAP_VDDS2	CAP_VDDS2			CAP									
J24	CAP_VDDS2_MCU	CAP_VDDS2_MCU			CAP									
M27	CAP_VDDS5	CAP_VDDS5			CAP									
AH33	CSI0_RXCLKN	CSI0_RXCLKN			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AH32	CSI0_RXCLKP	CSI0_RXCLKP			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AH31	CSI0_RXRCALIB	CSI0_RXRCALIB			A					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AE29	CSI1_RXCLKN	CSI1_RXCLKN			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AF29	CSI1_RXCLKP	CSI1_RXCLKP			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AJ33	CSI1_RXRCALIB	CSI1_RXRCALIB			A					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AC29	CSI2_RXCLKN	CSI2_RXCLKN			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AB29	CSI2_RXCLKP	CSI2_RXCLKP			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AH29	CSI2_RXRCALIB	CSI2_RXRCALIB			A					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AL32	CSI0_RXN0	CSI0_RXN0			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AM31	CSI0_RXN1	CSI0_RXN1			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AN30	CSI0_RXN2	CSI0_RXN2			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AK33	CSI0_RXN3	CSI0_RXN3			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AL31	CSI0_RXP0	CSI0_RXP0			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AM30	CSI0_RXP1	CSI0_RXP1			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AN29	CSI0_RXP2	CSI0_RXP2			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AK32	CSI0_RXP3	CSI0_RXP3			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AF30	CSI1_RXN0	CSI1_RXN0			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AE33	CSI1_RXN1	CSI1_RXN1			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AE31	CSI1_RXN2	CSI1_RXN2			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AF32	CSI1_RXN3	CSI1_RXN3			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AG30	CSI1_RXP0	CSI1_RXP0			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AF33	CSI1_RXP1	CSI1_RXP1			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AF31	CSI1_RXP2	CSI1_RXP2			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AG32	CSI1_RXP3	CSI1_RXP3			I					1.8V	VDDA_0P8_CSIRX0_1/ VDDA_1P8_CSIRX0_1		D-PHY	
AC30	CSI2_RXN0	CSI2_RXN0			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AB31	CSI2_RXN1	CSI2_RXN1			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AC32	CSI2_RXN2	CSI2_RXN2			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AB33	CSI2_RXN3	CSI2_RXN3			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AD30	CSI2_RXP0	CSI2_RXP0			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AC31	CSI2_RXP1	CSI2_RXP1			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AD32	CSI2_RXP2	CSI2_RXP2			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
AC33	CSI2_RXP3	CSI2_RXP3			I					1.8V	VDDA_0P8_CSIRX2/ VDDA_1P8_CSIRX2		D-PHY	
Y2	DDR0_CKN	DDR0_CKN			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AA1	DDR0_CKP	DDR0_CKP			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
W7	DDR0_RESETn	DDR0_RESETn			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AC7	DDR0_RET	DDR0_RET			I					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
H1	DDR1_CKN	DDR1_CKN			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
J2	DDR1_CKP	DDR1_CKP			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G5	DDR1_RESETn	DDR1_RESETn			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G8	DDR1_RET	DDR1_RET			I					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
AA3	DDR0_CA0	DDR0_CA0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
Y4	DDR0_CA1	DDR0_CA1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AA4	DDR0_CA2	DDR0_CA2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AB3	DDR0_CA3	DDR0_CA3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
Y3	DDR0_CA4	DDR0_CA4			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AB5	DDR0_CA5	DDR0_CA5			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
R7	DDR0_CAL0	DDR0_CAL0			A					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AB6	DDR0_CKE0	DDR0_CKE0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AB7	DDR0_CKE1	DDR0_CKE1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AA6	DDR0_CSn0_0	DDR0_CSn0_0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
Y5	DDR0_CSn0_1	DDR0_CSn0_1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
Y7	DDR0_CSn1_0	DDR0_CSn1_0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AA7	DDR0_CSn1_1	DDR0_CSn1_1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
U6	DDR0_DM0	DDR0_DM0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
V2	DDR0_DM1	DDR0_DM1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AE2	DDR0_DM2	DDR0_DM2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AF6	DDR0_DM3	DDR0_DM3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
R5	DDR0_DQ0	DDR0_DQ0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
R4	DDR0_DQ1	DDR0_DQ1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
R2	DDR0_DQ2	DDR0_DQ2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
T4	DDR0_DQ3	DDR0_DQ3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
U5	DDR0_DQ4	DDR0_DQ4			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
T3	DDR0_DQ5	DDR0_DQ5			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
T6	DDR0_DQ6	DDR0_DQ6			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
T7	DDR0_DQ7	DDR0_DQ7			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
V4	DDR0_DQ8	DDR0_DQ8			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
V7	DDR0_DQ9	DDR0_DQ9			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
W3	DDR0_DQ10	DDR0_DQ10			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
V5	DDR0_DQ11	DDR0_DQ11			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
W6	DDR0_DQ12	DDR0_DQ12			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
U2	DDR0_DQ13	DDR0_DQ13			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
W4	DDR0_DQ14	DDR0_DQ14			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
U3	DDR0_DQ15	DDR0_DQ15			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AD5	DDR0_DQ16	DDR0_DQ16			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AC3	DDR0_DQ17	DDR0_DQ17			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AE3	DDR0_DQ18	DDR0_DQ18			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AB2	DDR0_DQ19	DDR0_DQ19			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AC4	DDR0_DQ20	DDR0_DQ20			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AD2	DDR0_DQ21	DDR0_DQ21			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AC6	DDR0_DQ22	DDR0_DQ22			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AD4	DDR0_DQ23	DDR0_DQ23			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AG4	DDR0_DQ24	DDR0_DQ24			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AG2	DDR0_DQ25	DDR0_DQ25			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AF3	DDR0_DQ26	DDR0_DQ26			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AE5	DDR0_DQ27	DDR0_DQ27			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AE6	DDR0_DQ28	DDR0_DQ28			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AG5	DDR0_DQ29	DDR0_DQ29			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AF4	DDR0_DQ30	DDR0_DQ30			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AH6	DDR0_DQ31	DDR0_DQ31			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
T1	DDR0_DQS0N	DDR0_DQS0N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
R1	DDR0_DQS0P	DDR0_DQS0P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
W1	DDR0_DQS1N	DDR0_DQS1N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
V1	DDR0_DQS1P	DDR0_DQS1P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AC1	DDR0_DQS2N	DDR0_DQS2N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AD1	DDR0_DQS2P	DDR0_DQS2P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AF1	DDR0_DQS3N	DDR0_DQS3N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
AG1	DDR0_DQS3P	DDR0_DQS3P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C0		DDR	
J4	DDR1_CA0	DDR1_CA0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
H3	DDR1_CA1	DDR1_CA1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G2	DDR1_CA2	DDR1_CA2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
J3	DDR1_CA3	DDR1_CA3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G3	DDR1_CA4	DDR1_CA4			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
H4	DDR1_CA5	DDR1_CA5			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
F8	DDR1_CAL0	DDR1_CAL0			A					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
E7	DDR1_CKE0	DDR1_CKE0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
H6	DDR1_CKE1	DDR1_CKE1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G6	DDR1_CSn0_0	DDR1_CSn0_0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
G7	DDR1_CSn0_1	DDR1_CSn0_1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
H7	DDR1_CSn1_0	DDR1_CSn1_0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
F6	DDR1_CSn1_1	DDR1_CSn1_1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
A3	DDR1_DM0	DDR1_DM0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
F3	DDR1_DM1	DDR1_DM1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
L2	DDR1_DM2	DDR1_DM2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
P2	DDR1_DM3	DDR1_DM3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
A6	DDR1_DQ0	DDR1_DQ0			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
C6	DDR1_DQ1	DDR1_DQ1			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
A5	DDR1_DQ2	DDR1_DQ2			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
C4	DDR1_DQ3	DDR1_DQ3			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
B4	DDR1_DQ4	DDR1_DQ4			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
B2	DDR1_DQ5	DDR1_DQ5			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
C3	DDR1_DQ6	DDR1_DQ6			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
B5	DDR1_DQ7	DDR1_DQ7			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
E5	DDR1_DQ8	DDR1_DQ8			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
D2	DDR1_DQ9	DDR1_DQ9			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
E2	DDR1_DQ10	DDR1_DQ10			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
F4	DDR1_DQ11	DDR1_DQ11			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
D6	DDR1_DQ12	DDR1_DQ12			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
E4	DDR1_DQ13	DDR1_DQ13			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
D3	DDR1_DQ14	DDR1_DQ14			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
D5	DDR1_DQ15	DDR1_DQ15			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
M3	DDR1_DQ16	DDR1_DQ16			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
K4	DDR1_DQ17	DDR1_DQ17			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
M2	DDR1_DQ18	DDR1_DQ18			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
L5	DDR1_DQ19	DDR1_DQ19			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
J5	DDR1_DQ20	DDR1_DQ20			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
K3	DDR1_DQ21	DDR1_DQ21			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
L4	DDR1_DQ22	DDR1_DQ22			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
K6	DDR1_DQ23	DDR1_DQ23			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
N6	DDR1_DQ24	DDR1_DQ24			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
P4	DDR1_DQ25	DDR1_DQ25			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
N3	DDR1_DQ26	DDR1_DQ26			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
M5	DDR1_DQ27	DDR1_DQ27			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
M6	DDR1_DQ28	DDR1_DQ28			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
P5	DDR1_DQ29	DDR1_DQ29			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
N4	DDR1_DQ30	DDR1_DQ30			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
P6	DDR1_DQ31	DDR1_DQ31			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
C1	DDR1_DQS0N	DDR1_DQS0N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
B1	DDR1_DQS0P	DDR1_DQS0P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
F1	DDR1_DQS1N	DDR1_DQS1N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
E1	DDR1_DQS1P	DDR1_DQS1P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
K1	DDR1_DQS2N	DDR1_DQS2N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
L1	DDR1_DQS2P	DDR1_DQS2P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
N1	DDR1_DQS3N	DDR1_DQS3N			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
P1	DDR1_DQS3P	DDR1_DQS3P			IO					1.1V	VDDS_DDR/ VDDS_DDR_C1		DDR	
AJ25	DP0_AUXN	DP0_AUXN			IO					1.8V	VDDA_1P8_SERDES 2_4		AUX-PHY	
AJ24	DP0_AUXP	DP0_AUXP			IO					1.8V	VDDA_1P8_SERDES 2_4		AUX-PHY	
AJ28	DSI0_TXCLKN	DSI0_TXCLKN			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI0_TXCLKN			O									
AJ27	DSI0_TXCLKP	CSI0_TXCLKP			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI0_TXCLKP			O									
AH25	DSI0_TXRCALIB	DSI0_TXRCALIB			A					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
AJ31	DSI1_TXCLKN	CSI1_TXCLKN			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXCLKN			O									
AJ30	DSI1_TXCLKP	DSI1_TXCLKP			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI1_TXCLKP			O									
AH27	DSI1_TXRCALIB	DSI1_TXRCALIB			A					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
AL26	DSI0_TXN0	CSI0_TXN0			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI0_TXN0			IO									
AK27	DSI0_TXN1	CSI0_TXN1			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI0_TXN1			O									
AM25	DSI0_TXN2	DSI0_TXN2			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI0_TXN2			O									
AN24	DSI0_TXN3	DSI0_TXN3			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI0_TXN3			O									
AL25	DSI0_TXP0	CSI0_TXP0			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI0_TXP0			IO									
AK26	DSI0_TXP1	DSI0_TXP1			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI0_TXP1			O									
AM24	DSI0_TXP2	DSI0_TXP2			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI0_TXP2			O									
AN23	DSI0_TXP3	CSI0_TXP3			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI0_TXP3			O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AK30	DSI1_TXN0	CSI1_TXN0			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXN0			IO									
AL29	DSI1_TXN1	DSI1_TXN1			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI1_TXN1			O									
AM28	DSI1_TXN2	CSI1_TXN2			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXN2			O									
AN27	DSI1_TXN3	CSI1_TXN3			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXN3			O									
AK29	DSI1_TXP0	CSI1_TXP0			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXP0			IO									
AL28	DSI1_TXP1	CSI1_TXP1			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXP1			O									
AM27	DSI1_TXP2	CSI1_TXP2			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		DSI1_TXP2			O									
AN26	DSI1_TXP3	DSI1_TXP3			O					1.8V	VDDA_0P8_DSITX/ VDDA_0P8_DSITX_C /VDDA_1P8_DSITX		D-PHY	
		CSI1_TXP3			O									
L31	ECAP0_IN_APWM_OUT PADCONFIG PADCONFIG_49 0x0011C0C4	ECAP0_IN_APWM_OUT	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_AXR2	1		IO	0								
		CPTS0_RFT_CLK	2		I	0								
		MCAN12_TX	4		O									
		VOUT0_DATA23	5		O									
		GPMC0_AD5	6		IO	0								
		GPIO0_49	7		IO	焊盘								
		SPI6_D0	8		IO	0								
		SYNC0_OUT	9		O									
		TRC_DATA1	10		O									
		UART2_CTSn	11		I	1								
		CPTS0_HW1TSPUSH	12		I	0								
		I2C1_SCL	13		IOD	1								
		UART3_RXD	14		I	1								
F19	EMU0 PADCONFIG WKUP_PADCONFIG_75 0x4301C12C	EMU0	0		IO		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
E17	EMU1 PADCONFIG WKUP_PADCONFIG_76 0x4301C130	EMU1	0		IO		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
Y29	EXTINTn PADCONFIG PADCONFIG_0 0x0011C000	EXTINTn	0		I	1	关闭/关闭/不适用	关闭/SS/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C 开漏	
		GPIO0_0	7		IO	焊盘								
J33	EXT_REFCLK1 PADCONFIG PADCONFIG_50 0x0011C0C8	EXT_REFCLK1	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_ACLKX	1		IO	0								
		VOUT0_DATA16	2		O									
		MCAN1_RX	4		I	1								
		GPMC0_AD6	6		IO	0								
		GPIO0_50	7		IO	焊盘								
		SYNC1_OUT	9		O									
		TRC_CLK	10		O									
		UART2_RTSn	11		O									
		CPTS0_HW2TSPUSH	12		I	0								
		I2C1_SDA	13		IOD	1								
		UART3_TXD	14		O									
P32	GPIO0_11 PADCONFIG PADCONFIG_11 0x0011C02C	MCAN17_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA18	2		O									
		GPMC0_A14	6		OZ									
		GPIO0_11	7		IO	焊盘								
		SPI7_CS3	8		IO	1								
		TRC_DATA25	10		O									
		GPMC0_CSn2	12		O									
		UART7_RXD	13		I	1								
		USB0_DRVVBUS	14		O									

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
E33	GPIO0_12 PADCONFIG PADCONFIG_12 0x0011C030	MCAN12_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA17	2		O									
		VOUT0_DATA22	5		O									
		GPMC0_AD4	6		IO	0								
		GPIO0_12	7		IO	焊盘								
		SPI6_CLK	8		IO	0								
		EQEP1_I	9		IO	0								
		TRC_DATA2	10		O									
		UART9_CTSn	11		I	1								
		UART6_RXD	12		I	1								
AA30	I2C0_SCL PADCONFIG PADCONFIG_56 0x0011C0E0	I2C0_SCL	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C 开漏	
		GPIO0_56	7		IO	焊盘								
Y30	I2C0_SDA PADCONFIG PADCONFIG_57 0x0011C0E4	I2C0_SDA	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C 开漏	
		GPIO0_57	7		IO	焊盘								
G29	MCAN0_RX PADCONFIG PADCONFIG_26 0x0011C068	MCAN0_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_AXR1	1		IO	0								
		VOUT0_DATA3	2		O									
		GPMC0_AD15	6		IO	0								
		GPIO0_26	7		IO	焊盘								
		SPI5_CS0	8		IO	1								
		EHRPWM0_A	9		IO	0								
		TRC_DATA16	10		O									
		UART2_TXD	11		O									
		UART6_RTSn	12		O									
		SPI7_D0	13		IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
N33	MCAN0_TX PADCONFIG PADCONFIG_25 0x0011C064	MCAN0_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AXR2	1		IO	0								
		VOUT0_DATA4	2		O									
		GPMC0_AD14	6		IO	0								
		GPIO0_25	7		IO	焊盘								
		SPI5_CS1	8		IO	1								
		EHRPWM0_B	9		IO	0								
		TRC_DATA11	10		O									
		UART2_RXD	11		I	1								
		UART6_CTSn	12		I	1								
		I2C3_SCL	13		IOD	1								
H31	MCAN1_RX PADCONFIG PADCONFIG_28 0x0011C070	MCAN1_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_AXR3	1		IO	0								
		VOUT0_DATA1	2		O									
		VOUT0_DATA19	5		O									
		GPMC0_BE0n_CLE	6		O									
		GPIO0_28	7		IO	焊盘								
		SPI5_D0	8		IO	0								
		EHRPWM0_SYNCI	9		I	0								
		TRC_DATA5	10		O									
		UART3_RTSn	11		O									
G33	MCAN1_TX PADCONFIG PADCONFIG_27 0x0011C06C	MCAN1_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_AFSX	1		IO	0								
		VOUT0_EXTPCLKIN	2		I	0								
		DSS_FSYNC0	4		O									
		GPMC0_AD7	6		IO	0								
		GPIO0_27	7		IO	焊盘								
		EHRPWM_TZn_IN5	9		I	0								
		TRC_CTL	10		O									
		UART6_TXD	11		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
F33	MCAN2_RX PADCONFIG PADCONFIG_30 0x0011C078	MCAN2_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	1		IO	0								
		VOUT0_PCLK	2		O									
		GPMC0_CSn1	6		O									
		GPIO0_30	7		IO	焊盘								
		SPI6_CS1	8		IO	1								
		EHRPWM4_B	9		IO	0								
		TRC_DATA17	10		O									
		UART3_TXD	11		O									
		GPMC0_DIR	12		O									
		I2C5_SDA	13		IOD	1								
G28	MCAN2_TX PADCONFIG PADCONFIG_29 0x0011C074	MCAN2_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AXR3	1		IO	0								
		VOUT0_DATA0	2		O									
		VOUT0_DATA18	5		O									
		GPMC0_WAIT0	6		I	0								
		GPIO0_29	7		IO	焊盘								
		SPI6_D1	8		IO	0								
		EHRPWM1_B	9		IO	0								
		TRC_DATA3	10		O									
		UART3_RXD	11		I	1								
		GPMC0_DIR	12		O									
		I2C5_SCL	13		IOD	1								
T29	MCAN12_RX PADCONFIG PADCONFIG_2 0x0011C008	MCAN12_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		UART0_DCDn	1		I	1								
		DSS_FSYNC1	3		O									
		GPMC0_A23	6		OZ									
		GPIO0_2	7		IO	焊盘								
		TRC_CTL	10		O									
		UART5_RXD	11		I	1								
		GPMC0_CSn3	12		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
P29	MCAN12_TX PADCONFIG PADCONFIG_1 0x0011C004	MCAN12_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		DSS_FSYNC0	3		O									
		GPMC0_A24	6		OZ									
		GPIO0_1	7		IO	焊盘								
		TRC_CLK	10		O									
		UART5_TXD	11		O									
		GPMC0_CLK	12		IO	0								
T32	MCAN13_RX PADCONFIG PADCONFIG_4 0x0011C010	MCAN13_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		UART0_DTRn	1		O									
		DSS_FSYNC3	3		O									
		GPMC0_A21	6		OZ									
		GPIO0_4	7		IO	焊盘								
		I2C4_SDA	8		IOD	1								
		TRC_DATA1	10		O									
		UART6_TXD	11		O									
T31	MCAN13_TX PADCONFIG PADCONFIG_3 0x0011C00C	MCAN13_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		UART0_DSRn	1		I	1								
		DSS_FSYNC2	3		O									
		GPMC0_A22	6		OZ									
		GPIO0_3	7		IO	焊盘								
		TRC_DATA0	10		O									
		UART4_TXD	11		O									
		GPMC0_WAIT2	12		I	0								
R30	MCAN14_RX PADCONFIG PADCONFIG_6 0x0011C018	MCAN14_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA23	2		O									
		GPMC0_A19	6		OZ									
		GPIO0_6	7		IO	焊盘								
		I2C5_SDA	8		IOD	1								
		TRC_DATA3	10		O									
		UART9_TXD	11		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
R33	MCAN14_TX PADCONFIG PADCONFIG_5 0x0011C014	MCAN14_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		UART0_RIn	1		I	1								
		GPMC0_A20	6		OZ									
		GPIO0_5	7		IO	焊盘								
		I2C4_SCL	8		IOD	1								
		TRC_DATA2	10		O									
		UART6_RXD	11		I	1								
		DP0_HPD	13		I	0								
R31	MCAN15_RX PADCONFIG PADCONFIG_8 0x0011C020	MCAN15_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA21	2		O									
		GPMC0_A17	6		OZ									
		GPIO0_8	7		IO	焊盘								
		SPI0_CS2	8		IO	1								
		TRC_DATA22	10		O									
		I2C1_SCL	12		IOD	1								
R29	MCAN15_TX PADCONFIG PADCONFIG_7 0x0011C01C	MCAN15_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA22	2		O									
		GPMC0_A18	6		OZ									
		GPIO0_7	7		IO	焊盘								
		I2C5_SCL	8		IOD	1								
		TRC_DATA21	10		O									
		UART9_RXD	11		I	1								
U30	MCAN16_RX PADCONFIG PADCONFIG_10 0x0011C028	MCAN16_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA19	2		O									
		GPMC0_A15	6		OZ									
		GPIO0_10	7		IO	焊盘								
		SPI0_CS3	8		IO	1								
		TRC_DATA24	10		O									
		GPMC0_WAIT1	12		I	0								
G30	MCAN16_TX PADCONFIG PADCONFIG_9 0x0011C024	MCAN16_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		VOUT0_DATA20	2		O									
		GPMC0_A16	6		OZ									
		GPIO0_9	7		IO	焊盘								
		SPI1_CS3	8		IO	1								
		TRC_DATA23	10		O									
		I2C1_SDA	12		IOD	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
J30	MCASP0_ACLKX PADCONFIG PADCONFIG_14 0x0011C038	MCAN5_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_ACLKX	1		IO	0								
		VOUT0_DATA15	2		O									
		GPMC0_AD0	6		IO	0								
		GPIO0_14	7		IO	焊盘								
		EHRPWM_TZn_IN2	9		I	0								
		UART8_RXD	11		I	1								
K31	MCASP0_AFSX PADCONFIG PADCONFIG_15 0x0011C03C	MCAN5_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AFSX	1		IO	0								
		VOUT0_DATA14	2		O									
		GPMC0_AD1	6		IO	0								
		GPIO0_15	7		IO	焊盘								
		EHRPWM2_B	9		IO	0								
		UART8_TXD	11		O									
U32	MCASP1_ACLKX PADCONFIG PADCONFIG_46 0x0011C0B8	MCAN10_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_ACLKX	1		IO	0								
		DP0_HPD	3		I	0								
		PCIE0_CLKREQn	4		IO	0								
		GPMC0_A11	5		OZ									
		RGMII1_RD0	6		I	0								
		GPIO0_46	7		IO	焊盘								
		EQEP0_S	9		IO	0								
		UART4_RTSn	11		O									
		SPI3_CS3	12		IO	1								
		UART9_RTSn	13		O									
N32	MCASP1_AFSX PADCONFIG PADCONFIG_47 0x0011C0BC	MCAN11_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AFSX	1		IO	0								
		GPMC0_A12	5		OZ									
		MDIO0_MDIO	6		IO	0								
		GPIO0_47	7		IO	焊盘								
		SPI3_CS0	8		IO	1								
		EQEP0_I	9		IO	0								
		UART0_RXD	11		I	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
P33	MCASP2_ACLKX PADCONFIG PADCONFIG_21 0x0011C054	MCAN8_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_ACLKX	1		IO	0								
		VOUT0_DATA8	2		O									
		VOUT0_DATA20	5		O									
		GPMC0_AD10	6		IO	0								
		GPIO0_21	7		IO	焊盘								
		SPI5_CS2	8		IO	1								
		EQEP2_S	9		IO	0								
		TRC_DATA4	10		O									
		UART1_RXD	11		I	1								
		SPI7_CS1	13		IO	1								
		SYNC3_OUT	14		O									
G32	MCASP2_AFSX PADCONFIG PADCONFIG_22 0x0011C058	MCAN9_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AFSX	1		IO	0								
		VOUT0_DATA7	2		O									
		MDIO1_MDC	4		O									
		GPMC0_AD11	6		IO	0								
		GPIO0_22	7		IO	焊盘								
		SPI5_CS3	8		IO	1								
		EHRPWM_SOCA	9		O									
		TRC_DATA9	10		O									
		UART1_TXD	11		O									
		SPI7_CS2	13		IO	1								
F32	MCASP0_AXR0 PADCONFIG PADCONFIG_16 0x0011C040	MCAN6_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR0	1		IO	0								
		VOUT0_DATA13	2		O									
		GPMC0_AD2	6		IO	0								
		GPIO0_16	7		IO	焊盘								
		SPI2_CS2	8		IO	1								
		EHRPWM2_A	9		IO	0								
		TRC_DATA14	10		O									
		UART4_RXD	11		I	1								
		SPI7_CLK	13		IO	0								
		UART8_CTSn	14		I	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
H32	MCASP0_AXR1 PADCONFIG PADCONFIG_17 0x0011C044	MCAN6_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR1	1		IO	0								
		VOUT0_DATA12	2		O									
		OBSCLK1	4		O									
		GPMC0_AD3	6		IO	0								
		GPIO0_17	7		IO	焊盘								
		SPI2_CS3	8		IO	1								
		EHRPWM0_SYNCO	9		O									
		TRC_DATA12	10		O									
		UART4_TXD	11		O									
		SPI7_CS0	13		IO	1								
		UART8_RTSn	14		O									
H33	MCASP0_AXR2 PADCONFIG PADCONFIG_18 0x0011C048	MCAN7_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR2	1		IO	0								
		VOUT0_DATA11	2		O									
		GPMC0_ADVn_ALE	6		O									
		GPIO0_18	7		IO	焊盘								
		EQEP2_A	9		I	0								
		TRC_DATA10	10		O									
		UART4_CTSn	11		I	1								
		GPMC0_WPn	12		O									
		UART9_CTSn	13		I	1								
F31	MCASP0_AXR3 PADCONFIG PADCONFIG_31 0x0011C07C	MCAN3_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR3	1		IO	0								
		VOUT0_DATA2	2		O									
		GPMC0_BE1n	6		O									
		GPIO0_31	7		IO	焊盘								
		SPI5_CLK	8		IO	0								
		EHRPWM_TZn_IN0	9		I	0								
		TRC_DATA7	10		O									
		UART3_CTSn	11		I	1								
		SPI3_CS1	12		IO	1								
		SPI7_D1	13		IO	0								

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
J32	MCASP0_AXR4 PADCONFIG PADCONFIG_32 0x0011C080	MCAN3_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR4	1		IO	0								
		VOUT0_HSYNC	2		O									
		VOUT0_VP0_HSYNC	4		O									
		VOUT0_VP2_HSYNC	5		O									
		GPMC0_OEn_REn	6		O									
		GPIO0_32	7		IO	焊盘								
		SPI6_CS2	8		IO	1								
		EHRPWM5_B	9		IO	0								
		TRC_DATA18	10		O									
		I2C4_SDA	13		IOD	1								
H30	MCASP0_AXR5 PADCONFIG PADCONFIG_33 0x0011C084	MCAN4_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR5	1		IO	0								
		VOUT0_DE	2		O									
		MCASP1_ACLKR	3		IO	0								
		VOUT0_VP0_DE	4		O									
		VOUT0_VP2_DE	5		O									
		GPMC0_CSn0	6		O									
		GPIO0_33	7		IO	焊盘								
		SPI6_CS3	8		IO	1								
		EHRPWM5_A	9		IO	0								
		TRC_DATA19	10		O									
		I2C4_SCL	13		IOD	1								
K33	MCASP0_AXR6 PADCONFIG PADCONFIG_34 0x0011C088	MCAN4_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR6	1		IO	0								
		VOUT0_VSYNC	2		O									
		MCASP1_AFSR	3		IO	0								
		VOUT0_VP0_VSYNC	4		O									
		VOUT0_VP2_VSYNC	5		O									
		GPMC0_CLKOUT	6		O									
		GPIO0_34	7		IO	焊盘								
		SPI3_CS2	8		IO	1								
		EHRPWM_TZn_IN4	9		I	0								
		TRC_DATA20	10		O									
		SPI5_D1	11		IO	0								
		GPMC0_FCLK_MUX	12		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
M31	MCASP0_AXR7 PADCONFIG PADCONFIG_35 0x0011C08C	MCAN5_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR7	1		IO	0								
		MCASP4_ACLKR	3		IO	0								
		GPMC0_A0	5		OZ									
		RGMII1_TD0	6		O									
		GPIO0_35	7		IO	焊盘								
		GPMC0_A14	8		OZ									
		EHRPWM3_A	9		IO	0								
		UART4_RXD	11		I	1								
		GPMC0_CSn2	12		O									
		USB0_DRVVBUS	14		O									
N30	MCASP0_AXR8 PADCONFIG PADCONFIG_36 0x0011C090	MCAN5_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR8	1		IO	0								
		MCASP4_AFSR	3		IO	0								
		GPMC0_A1	5		OZ									
		RGMII1_TD1	6		O									
		GPIO0_36	7		IO	焊盘								
		RMII1_RXD0	8		I	0								
		EHRPWM_TZn_IN3	9		I	0								
		UART4_TXD	11		O									
T33	MCASP0_AXR9 PADCONFIG PADCONFIG_37 0x0011C094	MCAN6_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR9	1		IO	0								
		MCASP4_AXR4	2		IO	0								
		GPMC0_A2	5		OZ									
		RGMII1_TD2	6		O									
		GPIO0_37	7		IO	焊盘								
		RMII1_RXD1	8		I	0								
		EHRPWM3_SYNCO	9		O									
		UART4_CTSn	11		I	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
L32	MCASP0_AXR10 PADCONFIG PADCONFIG_38 0x0011C098	MCAN6_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR10	1		IO	0								
		GPMC0_A3	5		OZ									
		RGMII1_TD3	6		O									
		GPIO0_38	7		IO	焊盘								
		RMII1_CRS_DV	8		I	0								
		EHRPWM3_SYNCI	9		I	0								
		UART4_RTSn	11		O									
P30	MCASP0_AXR11 PADCONFIG PADCONFIG_39 0x0011C09C	MCAN7_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR11	1		IO	0								
		DSS_FSYNC2	4		O									
		GPMC0_A4	5		OZ									
		RGMII1_TX_CTL	6		O									
		GPIO0_39	7		IO	焊盘								
		RMII1_RX_ER	8		I	0								
		EHRPWM3_B	9		IO	0								
		SPI2_CS1	10		IO	1								
		UART5_RXD	11		I	1								
M32	MCASP0_AXR12 PADCONFIG PADCONFIG_40 0x0011C0A0	MCAN7_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR12	1		IO	0								
		MCASP2_ACLKR	3		IO	0								
		DSS_FSYNC3	4		O									
		GPMC0_A5	5		OZ									
		RGMII1_RD1	6		I	0								
		GPIO0_40	7		IO	焊盘								
		RMII1_TXD0	8		O									
		EHRPWM_SOCB	9		O									
		SPI2_CLK	10		IO	0								
		UART5_TXD	11		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
L33	MCASP0_AXR13 PADCONFIG PADCONFIG_41 0x0011C0A4	MCAN8_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR13	1		IO	0								
		MCASP2_AFSR	3		IO	0								
		GPMC0_A6	5		OZ									
		RGMII1_RD2	6		I	0								
		GPIO0_41	7		IO	焊盘								
		RMII_REF_CLK	8		I	0								
		EHRPWM4_A	9		IO	0								
		SPI2_CS0	10		IO	1								
		UART5_CTSn	11		I	1								
		UART7_RXD	13		I	1								
U31	MCASP0_AXR14 PADCONFIG PADCONFIG_42 0x0011C0A8	MCAN8_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR14	1		IO	0								
		MCASP2_AXR4	2		IO	0								
		MCASP0_ACLKR	3		IO	0								
		GPMC0_A7	5		OZ									
		RGMII1_RD3	6		I	0								
		GPIO0_42	7		IO	焊盘								
		CLKOUT	8		IO	0								
		EQEP0_A	9		I	0								
		SPI2_D0	10		IO	0								
		UART5_RTSn	11		O									
		UART7_TXD	13		O									
M33	MCASP0_AXR15 PADCONFIG PADCONFIG_43 0x0011C0AC	MCAN9_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP0_AXR15	1		IO	0								
		MCASP0_AFSR	3		IO	0								
		GPMC0_A8	5		OZ									
		RGMII1_RX_CTL	6		I	0								
		GPIO0_43	7		IO	焊盘								
		RMII1_TX_EN	8		O									
		EQEP0_B	9		I	0								
		SPI2_D1	10		IO	0								
		UART8_RXD	11		I	1								
		I2C1_SCL	13		IOD	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
H29	MCASP1_AXR0 PADCONFIG PADCONFIG_48 0x0011C0C0	MCAN11_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AXR0	1		IO	0								
		GPMC0_A13	5		OZ									
		MDIO0_MDC	6		O									
		GPIO0_48	7		IO	焊盘								
		SPI3_CLK	8		IO	0								
		EQEP1_S	9		IO	0								
		UART0_TXD	11		O									
		GPMC0_WAIT3	12		I	0								
		SYNC2_OUT	14		O									
G31	MCASP1_AXR1 PADCONFIG PADCONFIG_19 0x0011C04C	MCAN7_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AXR1	1		IO	0								
		VOUT0_DATA10	2		O									
		GPMC0_AD8	6		IO	0								
		GPIO0_19	7		IO	焊盘								
		SPI3_D0	8		IO	0								
		EHRPWM_TZn_IN1	9		I	0								
		TRC_DATA8	10		O									
		UART0_CTSn	11		I	1								
		UART9_RXD	12		I	1								
		I2C2_SCL	13		IOD	1								
J31	MCASP1_AXR2 PADCONFIG PADCONFIG_20 0x0011C050	MCAN8_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AXR2	1		IO	0								
		VOUT0_DATA9	2		O									
		VOUT0_DATA21	5		O									
		GPMC0_AD9	6		IO	0								
		GPIO0_20	7		IO	焊盘								
		SPI3_D1	8		IO	0								
		EQEP2_B	9		I	0								
		TRC_DATA6	10		O									
		UART0_RTSn	11		O									
		UART9_TXD	12		O									
		I2C2_SDA	13		IOD	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
P31	MCASP1_AXR3 PADCONFIG PADCONFIG_44 0x0011C0B0	MCAN9_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AXR3	1		IO	0								
		PCIE2_CLKREQn	4	否	IO	0								
		GPMC0_A9	5		OZ									
		RGMII1_RXC	6		I	0								
		GPIO0_44	7		IO	焊盘								
		RMII1_TXD1	8		O									
		EQEP1_A	9		I	0								
		UART8_TXD	11		O									
		I2C1_SDA	13		IOD	1								
N31	MCASP1_AXR4 PADCONFIG PADCONFIG_45 0x0011C0B4	MCAN10_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP1_AXR4	1		IO	0								
		PCIE3_CLKREQn	4	否	IO	0								
		GPMC0_A10	5		OZ									
		RGMII1_TXC	6		O									
		GPIO0_45	7		IO	焊盘								
		EQEP1_B	9		I	0								
		UART4_RXD	11		I	1								
K32	MCASP2_AXR0 PADCONFIG PADCONFIG_23 0x0011C05C	MCAN9_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AXR0	1		IO	0								
		VOUT0_DATA6	2		O									
		MDIO1_MDIO	4		IO	0								
		GPMC0_AD12	6		IO	0								
		GPIO0_23	7		IO	焊盘								
		EQEP2_I	9		IO	0								
		TRC_DATA15	10		O									
		UART1_CTSn	11		I	1								
		UART6_RXD	12		I	1								

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
R32	MCASP2_AXR1 PADCONFIG PADCONFIG_24 0x0011C060	MCAN17_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP2_AXR1	1		IO	0								
		VOUT0_DATA5	2		O									
		GPMC0_AD13	6		IO	0								
		GPIO0_24	7		IO	焊盘								
		EHRPWM1_A	9		IO	0								
		TRC_DATA13	10		O									
		UART1_RTSn	11		O									
		UART6_TXD	12		O									
		I2C3_SDA	13		IOD	1								
C26	MCU_ADC0_REFN	MCU_ADC0_REFN			A					1.8V	VDDA_ADC0		ADC12B	
D25	MCU_ADC0_REFP	MCU_ADC0_REFP			A					1.8V	VDDA_ADC0		ADC12B	
D29	MCU_ADC1_REFN	MCU_ADC1_REFN			A					1.8V	VDDA_ADC1		ADC12B	
C30	MCU_ADC1_REFP	MCU_ADC1_REFP			A					1.8V	VDDA_ADC1		ADC12B	
E26	MCU_ADC0_AIN0 PADCONFIG WKUP_PADCONFIG_77 0x4301C134	MCU_ADC0_AIN0	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_71	7 (1)		I	焊盘								
F25	MCU_ADC0_AIN1 PADCONFIG WKUP_PADCONFIG_78 0x4301C138	MCU_ADC0_AIN1	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_72	7 (1)		I	焊盘								
F23	MCU_ADC0_AIN2 PADCONFIG WKUP_PADCONFIG_79 0x4301C13C	MCU_ADC0_AIN2	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_73	7 (1)		I	焊盘								
A28	MCU_ADC0_AIN3 PADCONFIG WKUP_PADCONFIG_80 0x4301C140	MCU_ADC0_AIN3	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_74	7 (1)		I	焊盘								
E24	MCU_ADC0_AIN4 PADCONFIG WKUP_PADCONFIG_81 0x4301C144	MCU_ADC0_AIN4	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_75	7 (1)		I	焊盘								
D27	MCU_ADC0_AIN5 PADCONFIG WKUP_PADCONFIG_82 0x4301C148	MCU_ADC0_AIN5	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_76	7 (1)		I	焊盘								
A26	MCU_ADC0_AIN6 PADCONFIG WKUP_PADCONFIG_83 0x4301C14C	MCU_ADC0_AIN6	0		A				0	1.8V	VDDA_ADC0		ADC12B	
		WKUP_GPIO0_77	7 (1)		I	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
B27	MCU_ADC0_AIN7	MCU_ADC0_AIN7	0		A				0	1.8V	VDDA_ADC0		ADC12B	
	PADCONFIG WKUP_PADCONFIG_84 0x4301C150	WKUP_GPIO0_78	7 (1)		I	焊盘								
C32	MCU_ADC1_AIN0	MCU_ADC1_AIN0	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_85 0x4301C154	WKUP_GPIO0_79	7 (1)		I	焊盘								
B33	MCU_ADC1_AIN1	MCU_ADC1_AIN1	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_86 0x4301C158	WKUP_GPIO0_80	7 (1)		I	焊盘								
B31	MCU_ADC1_AIN2	MCU_ADC1_AIN2	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_87 0x4301C15C	WKUP_GPIO0_81	7 (1)		I	焊盘								
B29	MCU_ADC1_AIN3	MCU_ADC1_AIN3	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_88 0x4301C160	WKUP_GPIO0_82	7 (1)		I	焊盘								
D31	MCU_ADC1_AIN4	MCU_ADC1_AIN4	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_89 0x4301C164	WKUP_GPIO0_83	7 (1)		I	焊盘								
A32	MCU_ADC1_AIN5	MCU_ADC1_AIN5	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_90 0x4301C168	WKUP_GPIO0_84	7 (1)		I	焊盘								
A30	MCU_ADC1_AIN6	MCU_ADC1_AIN6	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_91 0x4301C16C	WKUP_GPIO0_85	7 (1)		I	焊盘								
C28	MCU_ADC1_AIN7	MCU_ADC1_AIN7	0		A				0	1.8V	VDDA_ADC1		ADC12B	
	PADCONFIG WKUP_PADCONFIG_92 0x4301C170	WKUP_GPIO0_86	7 (1)		I	焊盘								
D22	MCU_I2C0_SCL	MCU_I2C0_SCL	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C 开漏	
	PADCONFIG WKUP_PADCONFIG_66 0x4301C108	WKUP_GPIO0_65	7		IO	焊盘								
A21	MCU_I2C0_SDA	MCU_I2C0_SDA	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C 开漏	
	PADCONFIG WKUP_PADCONFIG_67 0x4301C10C	WKUP_GPIO0_87	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
C18	MCU_MCAN0_RX PADCONFIG WKUP_PADCONFIG_47 0x4301C0BC	MCU_MCAN0_RX	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_61	7		IO	焊盘								
E22	MCU_MCAN0_TX PADCONFIG WKUP_PADCONFIG_46 0x4301C0B8	MCU_MCAN0_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_60	7		IO	焊盘								
E12	MCU_MDIO0_MDC PADCONFIG WKUP_PADCONFIG_39 0x4301C09C	MCU_MDIO0_MDC	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_53	7		IO	焊盘								
F13	MCU_MDIO0_MDIO PADCONFIG WKUP_PADCONFIG_38 0x4301C098	MCU_MDIO0_MDIO	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_52	7		IO	焊盘								
D8	MCU_OSPI0_CLK PADCONFIG WKUP_PADCONFIG_0 0x4301C000	MCU_OSPI0_CLK	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_CK	1		O									
		WKUP_GPIO0_16	7		IO	焊盘								
C10	MCU_OSPI0_DQS PADCONFIG WKUP_PADCONFIG_2 0x4301C008	MCU_OSPI0_DQS	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_RWDS	1		IO	0								
		WKUP_GPIO0_18	7		IO	焊盘								
D10	MCU_OSPI0_LBCLKO PADCONFIG WKUP_PADCONFIG_1 0x4301C004	MCU_OSPI0_LBCLKO	0		IO	0	关闭/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_CKn	1		O									
		WKUP_GPIO0_17	7		IO	焊盘								
B7	MCU_OSPI1_CLK PADCONFIG WKUP_PADCONFIG_16 0x4301C040	MCU_OSPI1_CLK	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_31	7		IO	焊盘								
B9	MCU_OSPI1_DQS PADCONFIG WKUP_PADCONFIG_18 0x4301C048	MCU_OSPI1_DQS	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_OSPI0_CSn3	1		O									
		MCU_HYPERBUS0_INTn	2		I	1								
		MCU_OSPI0_ECC_FAIL	6		I	1								
		WKUP_GPIO0_33	7		IO	焊盘								
B10	MCU_OSPI1_LBCLKO PADCONFIG WKUP_PADCONFIG_17 0x4301C044	MCU_OSPI1_LBCLKO	0		IO	0	关闭/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_OSPI0_CSn2	1		O									
		MCU_HYPERBUS0_RESETOn	2		I	1								
		MCU_OSPI0_RESET_OUT0	6		O									
		WKUP_GPIO0_32	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
F12	MCU_OSPI0_CSn0 PADCONFIG WKUP_PADCONFIG_11 0x4301C02C	MCU_OSPI0_CSn0	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_CSn0	1		O									
		WKUP_GPIO0_27	7		IO	焊盘								
F11	MCU_OSPI0_CSn1 PADCONFIG WKUP_PADCONFIG_12 0x4301C030	MCU_OSPI0_CSn1	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_RESETn	1		O									
		WKUP_GPIO0_28	7		IO	焊盘								
F10	MCU_OSPI0_CSn2 PADCONFIG WKUP_PADCONFIG_14 0x4301C038	MCU_OSPI0_CSn2	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_OSPI0_CSn2	1		O									
		MCU_HYPERBUS0_RESETOn	2		I	1								
		MCU_HYPERBUS0_WPn	3		O									
		MCU_HYPERBUS0_CSn1	4		O									
		MCU_OSPI0_RESET_OUT0	6		O									
		WKUP_GPIO0_29	7		IO	焊盘								
E11	MCU_OSPI0_CSn3 PADCONFIG WKUP_PADCONFIG_15 0x4301C03C	MCU_OSPI0_CSn3	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_OSPI0_CSn3	1		O									
		MCU_HYPERBUS0_INTn	2		I	1								
		MCU_HYPERBUS0_WPn	3		O									
		MCU_OSPI0_RESET_OUT1	5		O									
		MCU_OSPI0_ECC_FAIL	6		I	1								
		WKUP_GPIO0_30	7		IO	焊盘								
E10	MCU_OSPI0_D0 PADCONFIG WKUP_PADCONFIG_3 0x4301C00C	MCU_OSPI0_D0	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ0	1		IO	0								
		WKUP_GPIO0_19	7		IO	焊盘								
		BOOTMODE00	自举		I									
F9	MCU_OSPI0_D1 PADCONFIG WKUP_PADCONFIG_4 0x4301C010	MCU_OSPI0_D1	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ1	1		IO	0								
		WKUP_GPIO0_20	7		IO	焊盘								
		BOOTMODE01	自举		I									
E9	MCU_OSPI0_D2 PADCONFIG WKUP_PADCONFIG_5 0x4301C014	MCU_OSPI0_D2	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ2	1		IO	0								
		WKUP_GPIO0_21	7		IO	焊盘								
D11	MCU_OSPI0_D3 PADCONFIG WKUP_PADCONFIG_6 0x4301C018	MCU_OSPI0_D3	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ3	1		IO	0								
		WKUP_GPIO0_22	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
D9	MCU_OSPI0_D4 PADCONFIG WKUP_PADCONFIG_7 0x4301C01C	MCU_OSPI0_D4	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ4	1		IO	0								
		WKUP_GPIO0_23	7		IO	焊盘								
		BOOTMODE02	自举		I									
C9	MCU_OSPI0_D5 PADCONFIG WKUP_PADCONFIG_8 0x4301C020	MCU_OSPI0_D5	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ5	1		IO	0								
		WKUP_GPIO0_24	7		IO	焊盘								
		BOOTMODE03	自举		I									
C7	MCU_OSPI0_D6 PADCONFIG WKUP_PADCONFIG_9 0x4301C024	MCU_OSPI0_D6	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ6	1		IO	0								
		WKUP_GPIO0_25	7		IO	焊盘								
C8	MCU_OSPI0_D7 PADCONFIG WKUP_PADCONFIG_10 0x4301C028	MCU_OSPI0_D7	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_DQ7	1		IO	0								
		WKUP_GPIO0_26	7		IO	焊盘								
A8	MCU_OSPI1_CSn0 PADCONFIG WKUP_PADCONFIG_23 0x4301C05C	MCU_OSPI1_CSn0	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_38	7		IO	焊盘								
A9	MCU_OSPI1_CSn1 PADCONFIG WKUP_PADCONFIG_24 0x4301C060	MCU_OSPI1_CSn1	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_HYPERBUS0_WPn	1		O									
		MCU_TIMER_IO0	2		IO	0								
		MCU_HYPERBUS0_CSn1	3		O									
		MCU_UART0_RTSn	4		O									
		MCU_SPI0_CS2	5		IO	1								
		MCU_OSPI0_RESET_OUT1	6		O									
		WKUP_GPIO0_39	7		IO	焊盘								
B8	MCU_OSPI1_D0 PADCONFIG WKUP_PADCONFIG_19 0x4301C04C	MCU_OSPI1_D0	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_34	7		IO	焊盘								
B11	MCU_OSPI1_D1 PADCONFIG WKUP_PADCONFIG_20 0x4301C050	MCU_OSPI1_D1	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_UART0_RXD	4		I	1								
		MCU_SPI1_CS1	5		IO	1								
		WKUP_GPIO0_35	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
A11	MCU_OSPI1_D2 PADCONFIG WKUP_PADCONFIG_21 0x4301C054	MCU_OSPI1_D2	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_UART0_TXD	4		O									
		MCU_SPI1_CS2	5		IO	1								
		WKUP_GPIO0_36	7		IO	焊盘								
A10	MCU_OSPI1_D3 PADCONFIG WKUP_PADCONFIG_22 0x4301C058	MCU_OSPI1_D3	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1_MCU	是	LVCMOS	PU/PD
		MCU_UART0_CTSn	4		I	1								
		MCU_SPI0_CS1	5		IO	1								
		WKUP_GPIO0_37	7		IO	焊盘								
C24	MCU_PORz	MCU_PORz			I					1.8V	VDDA_WKUP	是	FS_RESET	
E21	MCU_RESETSTATz PADCONFIG WKUP_PADCONFIG_71 0x4301C11C	MCU_RESETSTATz	0		O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_68	7		IO	焊盘								
E20	MCU_RESETz PADCONFIG WKUP_PADCONFIG_70 0x4301C118	MCU_RESETz	0		I		开启/NA/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
C14	MCU_RGMII1_RXC PADCONFIG WKUP_PADCONFIG_33 0x4301C084	MCU_RGMII1_RXC	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_REF_CLK	1		I	0								
		WKUP_GPIO0_47	7		IO	焊盘								
C12	MCU_RGMII1_RX_CTL PADCONFIG WKUP_PADCONFIG_27 0x4301C06C	MCU_RGMII1_RX_CTL	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_RX_ER	1		I	0								
		WKUP_GPIO0_41	7		IO	焊盘								
A14	MCU_RGMII1_TXC PADCONFIG WKUP_PADCONFIG_32 0x4301C080	MCU_RGMII1_TXC	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_TX_EN	1		O									
		WKUP_GPIO0_46	7		IO	焊盘								
B14	MCU_RGMII1_TX_CTL PADCONFIG WKUP_PADCONFIG_26 0x4301C068	MCU_RGMII1_TX_CTL	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_CRS_DV	1		I	0								
		WKUP_GPIO0_40	7		IO	焊盘								
E13	MCU_RGMII1_RD0 PADCONFIG WKUP_PADCONFIG_37 0x4301C094	MCU_RGMII1_RD0	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_RXD0	1		I	0								
		WKUP_GPIO0_51	7		IO	焊盘								
D14	MCU_RGMII1_RD1 PADCONFIG WKUP_PADCONFIG_36 0x4301C090	MCU_RGMII1_RD1	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_RXD1	1		I	0								
		WKUP_GPIO0_50	7		IO	焊盘								

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
D12	MCU_RGMII1_RD2 PADCONFIG WKUP_PADCONFIG_35 0x4301C08C	MCU_RGMII1_RD2	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO5	1		IO	0								
		WKUP_GPIO0_62	7		IO	焊盘								
D13	MCU_RGMII1_RD3 PADCONFIG WKUP_PADCONFIG_34 0x4301C088	MCU_RGMII1_RD3	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO4	1		IO	0								
		WKUP_GPIO0_48	7		IO	焊盘								
B13	MCU_RGMII1_TD0 PADCONFIG WKUP_PADCONFIG_31 0x4301C07C	MCU_RGMII1_TD0	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_TXD0	1		O									
		WKUP_GPIO0_45	7		IO	焊盘								
A13	MCU_RGMII1_TD1 PADCONFIG WKUP_PADCONFIG_30 0x4301C078	MCU_RGMII1_TD1	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_RMII1_TXD1	1		O									
		WKUP_GPIO0_44	7		IO	焊盘								
B12	MCU_RGMII1_TD2 PADCONFIG WKUP_PADCONFIG_29 0x4301C074	MCU_RGMII1_TD2	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO3	1		IO	0								
		MCU_ADC_EXT_TRIGGER1	3		I	0								
		WKUP_GPIO0_43	7		IO	焊盘								
A12	MCU_RGMII1_TD3 PADCONFIG WKUP_PADCONFIG_28 0x4301C070	MCU_RGMII1_TD3	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO2	1		IO	0								
		MCU_ADC_EXT_TRIGGER0	3		I	0								
		WKUP_GPIO0_42	7		IO	焊盘								
C22	MCU_SAFETY_ERRORn PADCONFIG WKUP_PADCONFIG_69 0x4301C114	MCU_SAFETY_ERRORn	0		IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V	VDDA_WKUP	是	LVCMOS	PU/PD
F15	MCU_SPI0_CLK PADCONFIG WKUP_PADCONFIG_40 0x4301C0A0	MCU_SPI0_CLK	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_54	7		IO	焊盘								
		MCU_BOOTMODE00	自举		I									
E19	MCU_SPI0_CS0 PADCONFIG WKUP_PADCONFIG_43 0x4301C0AC	MCU_SPI0_CS0	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO1	4		IO	0								
		WKUP_GPIO0_70	7		IO	焊盘								
E18	MCU_SPI0_D0 PADCONFIG WKUP_PADCONFIG_41 0x4301C0A4	MCU_SPI0_D0	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_55	7		IO	焊盘								
		MCU_BOOTMODE01	自举		I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
E14	MCU_SPI0_D1 PADCONFIG WKUP_PADCONFIG_42 0x4301C0A8	MCU_SPI0_D1	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	4		IO	0								
		WKUP_GPIO0_69	7		IO	焊盘								
		MCU_BOOTMODE02	自举		I									
AH2	MMC0_CALPAD	MMC0_CALPAD			A					1.8V	VDDS_MMC0		eMMCPHY	
AJ2	MMC0_CLK	MMC0_CLK			O		开启/低电平/关闭	开启/SS/关闭		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AL2	MMC0_CMD	MMC0_CMD			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AJ1	MMC0_DS	MMC0_DS			IO	1	开启/关闭/下拉	开启/关闭/下拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
D33	MMC1_CLK PADCONFIG PADCONFIG_65 0x0011C104	MMC1_CLK	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART8_RXD	1		I	1								
		TIMER_IO6	3		IO	0								
		EHRPWM2_B	4		IO	0								
		UART4_CTSn	5		I	1								
		EHRPWM5_A	6		IO	0								
		GPIO0_64	7		IO	焊盘								
		SPI1_CLK	8		IO	0								
		UART0_RTSn	9		O									
		I2C6_SDA	10		IOD	1								
		MCAN15_TX	11		O									
		PCIE2_CLKREQn	12	否	IO	0								
E32	MMC1_CMD PADCONFIG PADCONFIG_66 0x0011C108	MMC1_CMD	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART8_TXD	1		O									
		TIMER_IO7	3		IO	0								
		EHRPWM2_A	4		IO	0								
		UART4_RTSn	5		O									
		GPIO0_65	7		IO	焊盘								
		SPI1_D1	8		IO	0								
		I2C6_SCL	10		IOD	1								
		MCAN15_RX	11		I	1								
		PCIE3_CLKREQn	12	否	IO	0								
AM1	MMC0_DAT0	MMC0_DAT0			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AK3	MMC0_DAT1	MMC0_DAT1			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AL1	MMC0_DAT2	MMC0_DAT2			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AK1	MMC0_DAT3	MMC0_DAT3			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AJ3	MMC0_DAT4	MMC0_DAT4			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AH3	MMC0_DAT5	MMC0_DAT5			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AJ4	MMC0_DAT6	MMC0_DAT6			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
AK2	MMC0_DAT7	MMC0_DAT7			IO	1	开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
F28	MMC1_DAT0 PADCONFIG PADCONFIG_63 0x0011C0FC	MMC1_DAT0	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART7_RTSn	1		O									
		ECAP1_IN_APWM_OUT	2		IO	0								
		TIMER_IO5	3		IO	0								
		EHRPWM1_A	4		IO	0								
		UART4_TXD	5		O									
		GPIO0_63	7		IO	焊盘								
		SPI1_D0	8		IO	0								
		UART5_RTSn	9		O									
		I2C4_SCL	10		IOD	1								
		UART2_TXD	11		O									
F29	MMC1_DAT1 PADCONFIG PADCONFIG_62 0x0011C0F8	MMC1_DAT1	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART7_CTSn	1		I	1								
		ECAP0_IN_APWM_OUT	2		IO	0								
		TIMER_IO4	3		IO	0								
		EHRPWM1_B	4		IO	0								
		UART4_RXD	5		I	1								
		EHRPWM4_A	6		IO	0								
		GPIO0_62	7		IO	焊盘								
		SPI1_CS2	8		IO	1								
		UART5_CTSn	9		I	1								
		I2C4_SDA	10		IOD	1								
		UART2_RXD	11		I	1								
E30	MMC1_DAT2 PADCONFIG PADCONFIG_61 0x0011C0F4	MMC1_DAT2	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART7_TXD	1		O									
		TIMER_IO3	3		IO	0								
		EHRPWM0_A	4		IO	0								
		GPIO0_61	7		IO	焊盘								
		SPI1_CS1	8		IO	1								
		CPTS0_TS_SYNC	9		O									
		I2C3_SDA	10		IOD	1								
		UART5_TXD	11		O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
F30	MMC1_DAT3 PADCONFIG PADCONFIG_60 0x0011C0F0	MMC1_DAT3	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART7_RXD	1		I	1								
		PCIE1_CLKREQn	2		IO	0								
		TIMER_IO2	3		IO	0								
		EHRPWM0_B	4		IO	0								
		EHRPWM3_A	6		IO	0								
		GPIO0_60	7		IO	焊盘								
		SPI1_CS0	8		IO	1								
		UART0_CTSn	9		I	1								
		I2C3_SCL	10		IOD	1								
		UART5_RXD	11		I	1								
B23	OSC1_XI	OSC1_XI			I					1.8V	VDDA_OSC1	是	HFXOSC	
A22	OSC1_XO	OSC1_XO			O					1.8V	VDDA_OSC1	是	HFXOSC	
AJ13	PCIE_REFCLK0_N_OUT	PCIE_REFCLK0_N_OUT			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AJ12	PCIE_REFCLK0_P_OUT	PCIE_REFCLK0_P_OUT			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AH14	PCIE_REFCLK1_N_OUT	PCIE_REFCLK1_N_OUT			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AH13	PCIE_REFCLK1_P_OUT	PCIE_REFCLK1_P_OUT			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AH11	PCIE_REFCLK2_N_OUT	PCIE_REFCLK2_N_OUT		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AH10	PCIE_REFCLK2_P_OUT	PCIE_REFCLK2_P_OUT		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AJ16	PCIE_REFCLK3_N_OUT	PCIE_REFCLK3_N_OUT		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AJ15	PCIE_REFCLK3_P_OUT	PCIE_REFCLK3_P_OUT		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
B16	PMIC_POWER_EN1 PADCONFIG WKUP_PADCONFIG_68 0x4301C110	PMIC_POWER_EN1	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_I3C0_SDAPULLEN	5		OD									
		WKUP_GPIO0_88	7		IO	焊盘								
T30	PMIC_WAKE0 PADCONFIG PADCONFIG_13 0x0011C034	PMIC_WAKE0	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MCASP4_AXR0	1		IO	0								
		DSS_FSYNC1	4		O									
		MCAN17_RX	5		I	1								
		GPMC0_WEn	6		O									
		GPIO0_13	7		IO	焊盘								
		SPI6_CS0	8		IO	1								
		TRC_DATA0	10		O									
		UART9_RTSn	11		O									
		UART7_TXD	13		O									
		AUDIO_EXT_REFCLK0	14		IO	0								
D24	PORz PADCONFIG WKUP_PADCONFIG_94 0x4301C178	PORz	0		I				0	1.8V	VDDA_WKUP	是	FS_RESET	
W32	RESETSTATz PADCONFIG PADCONFIG_67 0x0011C10C	RESETSTATz	0		O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
G20	RESET_REQz PADCONFIG WKUP_PADCONFIG_93 0x4301C174	RESET_REQz	0		I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AK15	SERDES0_REFCLK_N	SERDES0_REFCLK_N		否	IO					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AK14	SERDES0_REFCLK_P	SERDES0_REFCLK_P		否	IO					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AG7	SERDES0_REXT	SERDES0_REXT		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AN5	SERDES1_REFCLK_N	SERDES1_REFCLK_N			IO					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AN6	SERDES1_REFCLK_P	SERDES1_REFCLK_P			IO					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AH9	SERDES1_REXT	SERDES1_REXT			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AK21	SERDES4_REFCLK_N	SERDES4_REFCLK_N			IO					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AK20	SERDES4_REFCLK_P	SERDES4_REFCLK_P			IO					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AH23	SERDES4_REXT	SERDES4_REXT			IO					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AM12	SERDES0_RX0_N	PCIE1_RXN0		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AM13	SERDES0_RX0_P	PCIE1_RXP0		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AL13	SERDES0_RX1_N	PCIE1_RXN1		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AL14	SERDES0_RX1_P	PCIE1_RXP1		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AN15	SERDES0_RX2_N	USB0_SSRX1N		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE1_RXN2		否	I									
		PCIE3_RXN0		否	I									
AN14	SERDES0_RX2_P	USB0_SSRX1P		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE1_RXP2		否	I									
		PCIE3_RXP0		否	I									
AL17	SERDES0_RX3_N	USB0_SSRX2N		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE3_RXN1		否	I									
		PCIE1_RXN3		否	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AL16	SERDES0_RX3_P	USB0_SSRX2P		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE3_RXP1		否	I									
		PCIE1_RXP3		否	I									
AN11	SERDES0_TX0_N	PCIE1_TXN0		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AN12	SERDES0_TX0_P	PCIE1_TXP0		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AJ19	SERDES0_TX1_N	PCIE1_TXN1		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AJ18	SERDES0_TX1_P	PCIE1_TXP1		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
AM16	SERDES0_TX2_N	PCIE1_TXN2		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		USB0_SSTX1N		否	O									
		PCIE3_TXN0		否	O									
AM15	SERDES0_TX2_P	USB0_SSTX1P		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE3_TXP0		否	O									
		PCIE1_TXP2		否	O									
AK18	SERDES0_TX3_N	PCIE3_TXN1		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		USB0_SSTX2N		否	O									
		PCIE1_TXN3		否	O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AK17	SERDES0_TX3_P	USB0_SSTX2P		否	O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE1_TXP3		否	O									
		PCIE3_TXP1		否	O									
AL10	SERDES1_RX0_N	SGMII3_RXN0			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXN0			I									
AL11	SERDES1_RX0_P	SGMII3_RXP0			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXP0			I									
AN8	SERDES1_RX1_N	SGMII4_RXN0			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXN1			I									
AN9	SERDES1_RX1_P	SGMII4_RXP0			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXP1			I									
AM6	SERDES1_RX2_N	PCIE2_RXN0		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXN2			I									
		SGMII1_RXN0			I									
AM7	SERDES1_RX2_P	PCIE2_RXP0		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_RXP2			I									
		SGMII1_RXP0			I									
AL7	SERDES1_RX3_N	PCIE2_RXN1		否	I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		SGMII2_RXN0			I									
		PCIE0_RXN3			I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AL8	SERDES1_RX3_P	SGMII2_RXP0			I					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE2_RXP1		否	I									
		PCIE0_RXP3			I									
AK11	SERDES1_TX0_N	PCIE0_TXN0			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		SGMII3_TXN0			O									
AK12	SERDES1_TX0_P	PCIE0_TXP0			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		SGMII3_TXP0			O									
AM9	SERDES1_TX1_N	PCIE0_TXN1			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		SGMII4_TXN0			O									
AM10	SERDES1_TX1_P	SGMII4_TXP0			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_TXP1			O									
AK8	SERDES1_TX2_N	PCIE0_TXN2			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE2_TXN0		否	O									
		SGMII1_TXN0			O									
AK9	SERDES1_TX2_P	PCIE0_TXP2			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE2_TXP0		否	O									
		SGMII1_TXP0			O									
AJ9	SERDES1_TX3_N	SGMII2_TXN0			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE2_TXN1		否	O									
		PCIE0_TXN3			O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AJ10	SERDES1_TX3_P	SGMII2_TXP0			O					1.8V	VDDA_0P8_SERDES0_1/ VDDA_0P8_SERDES_C0_1/ VDDA_1P8_SERDES0_1		4L_PHY	
		PCIE0_TXP3			O									
		PCIE2_TXP1		否	O									
AN17	SERDES4_RX0_N	SGMII5_RXN0		否	I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AN18	SERDES4_RX0_P	SGMII5_RXP0		否	I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AL19	SERDES4_RX1_N	SGMII6_RXN0		否	I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AL20	SERDES4_RX1_P	SGMII6_RXP0		否	I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
AK23	SERDES4_RX2_N	USB0_SSRX1N			I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		SGMII7_RXN0		否	I									
AK24	SERDES4_RX2_P	USB0_SSRX1P			I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		SGMII7_RXP0		否	I									
AM21	SERDES4_RX3_N	USB0_SSRX2N			I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		SGMII8_RXN0		否	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AM22	SERDES4_RX3_P	SGMII8_RXP0		否	I					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		USB0_SSRX2P			I									
AJ21	SERDES4_TX0_N	SGMII5_TXN0		否	O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		DP0_TXN0			O									
AJ22	SERDES4_TX0_P	SGMII5_TXP0		否	O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		DP0_TXP0			O									
AM18	SERDES4_TX1_N	SGMII6_TXN0		否	O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		DP0_TXN1			O									
AM19	SERDES4_TX1_P	DP0_TXP1			O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		SGMII6_TXP0		否	O									
AN20	SERDES4_TX2_N	DP0_TXN2			O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		SGMII7_TXN0		否	O									
		USB0_SSTX1N			O									
AN21	SERDES4_TX2_P	SGMII7_TXP0		否	O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		USB0_SSTX1P			O									
		DP0_TXP2			O									
AL22	SERDES4_TX3_N	SGMII8_TXN0		否	O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		USB0_SSTX2N			O									
		DP0_TXN3			O									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AL23	SERDES4_TX3_P	USB0_SSTX2P			O					1.8V	VDDA_0P8_SERDES4/ VDDA_0P8_SERDES_C4/ VDDA_1P8_SERDES4		4L_PHY	
		DP0_TXP3			O									
		SGMII8_TXP0		否	O									
Y31	SOC_SAFETY_ERRORn PADCONFIG PADCONFIG_68 0x0011C110	SOC_SAFETY_ERRORn	0		IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
V31	SPI0_CLK PADCONFIG PADCONFIG_53 0x0011C0D4	SPI0_CLK	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_CTSn	1		I	1								
		I2C2_SCL	2		IOD	1								
		MCASP3_AXR0	3		IO	0								
		EHRPWM2_A	5		IO	0								
		GPIO0_53	7		IO	焊盘								
		UART8_TXD	11		O									
Y33	SPI0_CS0 PADCONFIG PADCONFIG_51 0x0011C0CC	SPI0_CS0	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MCASP3_ACLKX	3		IO	0								
		MCASP3_ACLKR	4		IO	0								
		EHRPWM0_A	5		IO	0								
		GPIO0_51	7		IO	焊盘								
		MCAN14_TX	9		O									
		DP0_HPD	12		I	0								
Y32	SPI0_CS1 PADCONFIG PADCONFIG_52 0x0011C0D0	SPI0_CS1	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_TS_COMP	1		O									
		UART0_RTSn	2		O									
		MCASP3_AFSX	3		IO	0								
		MCASP3_AFSR	4		IO	0								
		EHRPWM1_A	5		IO	0								
		GPIO0_52	7		IO	焊盘								
		MCAN14_RX	9		I	1								
		UART8_RXD	11		I	1								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
V30	SPI0_D0 PADCONFIG PADCONFIG_54 0x0011C0D8	SPI0_D0	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART1_RTSn	1		O									
		I2C2_SDA	2		IOD	1								
		MCASP3_AXR1	3		IO	0								
		EHRPWM3_A	5		IO	0								
		GPIO0_54	7		IO	焊盘								
		UART2_RXD	11		I	1								
W31	SPI0_D1 PADCONFIG PADCONFIG_55 0x0011C0DC	SPI0_D1	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MCASP3_AXR2	3		IO	0								
		EHRPWM4_A	5		IO	0								
		GPIO0_55	7		IO	焊盘								
		UART2_TXD	11		O									
F21	TCK PADCONFIG WKUP_PADCONFIG_73 0x4301C124	TCK	0		I		开启/NA/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
V33	TDI PADCONFIG PADCONFIG_69 0x0011C114	TDI	0		I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
W33	TDO PADCONFIG PADCONFIG_70 0x0011C118	TDO	0		OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
AA32	TIMER_IO0 PADCONFIG PADCONFIG_58 0x0011C0E8	TIMER_IO0	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1		IO	0								
		SYSCLKOUT0	2		O									
		UART3_RXD	5		I	1								
		PCIE1_CLKREQn	6		IO	0								
		GPIO0_58	7		IO	焊盘								
		MMC1_SDCD	8		I	1								
		MCAN13_TX	9		O									
		I2C6_SDA	13		IOD	1								

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
W30	TIMER_IO1 PADCONFIG PADCONFIG_59 0x0011C0EC	TIMER_IO1	0		IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1		IO	0								
		UART3_TXD	5		O									
		USB0_DRVVBUS	6		O									
		GPIO0_59	7		IO	焊盘								
		MMC1_SDWP	8		I	1								
		MCAN13_RX	9		I	1								
		I2C6_SCL	13		IOD	1								
V32	TMS PADCONFIG PADCONFIG_71 0x0011C11C	TMS	0		I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
F17	TRSTn PADCONFIG WKUP_PADCONFIG_74 0x4301C128	TRSTn	0		I		开启/NA/下拉	开启/关闭/下拉	0	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
AJ5	UFS0_REF_CLK	UFS0_REF_CLK			O					1.2V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AJ7	UFS0_RSTn	UFS0_RSTn			O					1.2V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AK5	UFS0_RX_DN0	UFS0_RX_DN0			I					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AL4	UFS0_RX_DN1	UFS0_RX_DN1			I					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AK6	UFS0_RX_DP0	UFS0_RX_DP0			I					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AL5	UFS0_RX_DP1	UFS0_RX_DP1			I					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AN2	UFS0_TX_DN0	UFS0_TX_DN0			O					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AM3	UFS0_TX_DN1	UFS0_TX_DN1			O					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AN3	UFS0_TX_DP0	UFS0_TX_DP0			O					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AM4	UFS0_TX_DP1	UFS0_TX_DP1			O					1.8V	VDDA_0P8_UFS/ VDDA_1P8_UFS		M-PHY	
AH16	USB0_DM	USB0_DM			IO					3.3V	VDDA_0P8_USB/ VDDA_1P8_USB/ VDDA_3P3_USB		USB2PHY	
AH17	USB0_DP	USB0_DP			IO					3.3V	VDDA_0P8_USB/ VDDA_1P8_USB/ VDDA_3P3_USB		USB2PHY	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AH20	USB0_ID	USB0_ID			A					3.3V	VDDA_0P8_USB/ VDDA_1P8_USB/ VDDA_3P3_USB		USB2PHY	
AH22	USB0_RCALIB	USB0_RCALIB			A					3.3V	VDDA_0P8_USB/ VDDA_1P8_USB/ VDDA_3P3_USB		USB2PHY	
AG19	USB0_VBUS	USB0_VBUS			A					5.0V	VDDA_0P8_USB/ VDDA_1P8_USB/ VDDA_3P3_USB		DDR	
AA22、AD13、AD16、AD19、AE26、AE9、P23、Y25	VDDAR_CORE	VDDAR_CORE			PWR									
AA14、AA16、AA18、AC10、K19、L21、P13、R18、U12、U19、V17、V9、Y11	VDDAR_CPU	VDDAR_CPU			PWR									
K25、L22	VDDAR_MCU	VDDAR_MCU			PWR									
AG22	VDDA_0P8_DSITX	VDDA_0P8_DSITX			PWR									
AG23	VDDA_0P8_DSITX_C	VDDA_0P8_DSITX_C			PWR									
AF9	VDDA_0P8_UFS	VDDA_0P8_UFS			PWR									
AG17	VDDA_0P8_USB	VDDA_0P8_USB			PWR									
AG26	VDDA_0P8_CSIRX2	VDDA_0P8_CSIRX2			PWR									
AG24	VDDA_0P8_CSIRX0_1	VDDA_0P8_CSIRX0_1			PWR									
AD7	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0			PWR									
P8	VDDA_0P8_PLL_DDR0	VDDA_0P8_PLL_DDR0			PWR									
J11	VDDA_0P8_PLL_DDR1	VDDA_0P8_PLL_DDR1			PWR									
AG15、AG16	VDDA_0P8_SERDES4	VDDA_0P8_SERDES4			PWR									
AF12、AG10、AG13	VDDA_0P8_SERDES0_1	VDDA_0P8_SERDES0_1			PWR									
AE15、AF16	VDDA_0P8_SERDES_C4	VDDA_0P8_SERDES_C4			PWR									
AF10、AF13	VDDA_0P8_SERDES_C0_1	VDDA_0P8_SERDES_C0_1			PWR									
AF22、AF23	VDDA_1P8_DSITX	VDDA_1P8_DSITX			PWR									
AG8	VDDA_1P8_UFS	VDDA_1P8_UFS			PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AH19	VDDA_1P8_USB	VDDA_1P8_USB			PWR									
AF27、AG27	VDDA_1P8_CSIRX2	VDDA_1P8_CSIRX2			PWR									
AF25、AF26	VDDA_1P8_CSIRX0_1	VDDA_1P8_CSIRX0_1			PWR									
AF15	VDDA_1P8_SERDES4	VDDA_1P8_SERDES4			PWR									
AG11、AG12	VDDA_1P8_SERDES0_1	VDDA_1P8_SERDES0_1			PWR									
AG21	VDDA_1P8_SERDES2_4	VDDA_1P8_SERDES2_4			PWR									
AF17	VDDA_3P3_USB	VDDA_3P3_USB			PWR									
J28	VDDA_ADC0	VDDA_ADC0			PWR									
K28	VDDA_ADC1	VDDA_ADC1			PWR									
K26	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0			PWR									
K24	VDDA_MCU_TEMP	VDDA_MCU_TEMP			PWR									
L27	VDDA_OSC1	VDDA_OSC1			PWR									
W25	VDDA_PLLGRP0	VDDA_PLLGRP0			PWR									
V25	VDDA_PLLGRP1	VDDA_PLLGRP1			PWR									
AE11	VDDA_PLLGRP2	VDDA_PLLGRP2			PWR									
T12	VDDA_PLLGRP5	VDDA_PLLGRP5			PWR									
N19	VDDA_PLLGRP6	VDDA_PLLGRP6			PWR									
M10	VDDA_PLLGRP7	VDDA_PLLGRP7			PWR									
K13	VDDA_PLLGRP8	VDDA_PLLGRP8			PWR									
V24	VDDA_PLLGRP9	VDDA_PLLGRP9			PWR									
AD20	VDDA_PLLGRP10	VDDA_PLLGRP10			PWR									
W21	VDDA_PLLGRP12	VDDA_PLLGRP12			PWR									
Y24	VDDA_PLLGRP13	VDDA_PLLGRP13			PWR									
L26	VDDA_POR_WKUP	VDDA_POR_WKUP			PWR									
V26	VDDA_TEMP0	VDDA_TEMP0			PWR									
K10	VDDA_TEMP1	VDDA_TEMP1			PWR									
U21	VDDA_TEMP2	VDDA_TEMP2			PWR									
AC11	VDDA_TEMP3	VDDA_TEMP3			PWR									
AB16	VDDA_TEMP4	VDDA_TEMP4			PWR									
J27	VDDA_WKUP	VDDA_WKUP			PWR									
T28	VDDSHV0	VDDSHV0			PWR									
H27	VDDSHV0_MCU	VDDSHV0_MCU			PWR									
G22、H23	VDDSHV1_MCU	VDDSHV1_MCU			PWR									
N28、P28	VDDSHV2	VDDSHV2			PWR									
G24、H25	VDDSHV2_MCU	VDDSHV2_MCU			PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
N27	VDDSHV5	VDDSHV5			PWR									
A2、AH1、G10、G12、G14、G16、G18、H11、H13、H15、H17、H9、J10、J14、J16、J8、K7、L8、M7、P7、R8	VDDS_DDR	VDDS_DDR			PWR									
N8	VDDS_DDR_C0	VDDS_DDR_C0			PWR									
J12	VDDS_DDR_C1	VDDS_DDR_C1			PWR									
AE8、AF7	VDDS_MMC0	VDDS_MMC0			PWR									

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AA24、AA26、AA28、AB23、AB25、AB27、AC22、AC24、AC26、AC28、AD11、AD15、AD17、AD21、AD23、AD25、AD27、AE10、AE12、AE14、AE16、AE18、AE20、AE22、AE24、AE28、AF19、K11、K15、K17、K9、L10、L12、L14、L16、M11、M13、M15、M17、M9、N10、N12、N14、N16、N22、N24、N26、P11、P25、P9、R10、R22、R24、R26、T23、T25、U22、U24、U26、U28、V23、V27、W22、W24、W26、W28、Y23、Y27	VDD_CORE	VDD_CORE			PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AA10、AA12、AA20、AA8、AB11、AB13、AB15、AB17、AB19、AB21、AB9、AC12、AC14、AC16、AC18、AC20、AC8、AD9、H19、H21、J18、J20、L18、L20、M19、N18、N20、P15、P17、P19、P21、R12、R20、T11、T17、T19、T21、T9、U10、U18、U20、U8、V11、V19、V21、W10、W12、W18、W20、W8、Y17、Y19、Y21、Y9	VDD_CPU	VDD_CPU			PWR									
J22、K21、K23、L24、M21、M23、M25	VDD_MCU	VDD_MCU			PWR									
J26	VDD_MCU_WAKE1	VDD_MCU_WAKE1			PWR									
R27	VDD_WAKE0	VDD_WAKE0			PWR									
G26	VMON1_ER_VSYS	VMON1_ER_VSYS			A									
L25	VMON2_IR_VCPU	VMON2_IR_VCPU			A									
K30	VMON3_IR_VEXT1P8	VMON3_IR_VEXT1P8			A									
M26	VMON4_IR_VEXT1P8	VMON4_IR_VEXT1P8			A									
M29	VMON5_IR_VEXT3P3	VMON5_IR_VEXT3P3			A									
V29	VPP_CORE	VPP_CORE			PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
F26	VPP_MCU	VPP_MCU			PWR									
E15	WKUP_GPIO0_0 PADCONFIG WKUP_PADCONFIG_48 0x4301C0C0	MCU_SPI1_CLK	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_CLK	1		IO	0								
		WKUP_GPIO0_0	7		IO	焊盘								
		MCU_BOOTMODE03	自举		I									
D16	WKUP_GPIO0_1 PADCONFIG WKUP_PADCONFIG_49 0x4301C0C4	MCU_SPI1_D0	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_D0	1		IO	0								
		WKUP_GPIO0_1	7		IO	焊盘								
		MCU_BOOTMODE04	自举		I									
D18	WKUP_GPIO0_2 PADCONFIG WKUP_PADCONFIG_50 0x4301C0C8	MCU_SPI1_D1	0		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_D1	1		IO	0								
		WKUP_GPIO0_2	7		IO	焊盘								
		MCU_BOOTMODE05	自举		I									
D19	WKUP_GPIO0_3 PADCONFIG WKUP_PADCONFIG_51 0x4301C0CC	MCU_SPI1_CS0	0		IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_CS0	1		IO	1								
		WKUP_GPIO0_3	7		IO	焊盘								
E16	WKUP_GPIO0_4 PADCONFIG WKUP_PADCONFIG_52 0x4301C0D0	MCU_MCAN1_TX	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_MCAN1_TX	1		O									
		MCU_SPI0_CS3	2		IO	1								
		MCU_ADC_EXT_TRIGGER0	3		I	焊盘								
		WKUP_GPIO0_4	7		IO	焊盘								
D20	WKUP_GPIO0_5 PADCONFIG WKUP_PADCONFIG_53 0x4301C0D4	MCU_MCAN1_RX	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_MCAN1_RX	1		I	1								
		MCU_SPI1_CS3	2		IO	1								
		MCU_ADC_EXT_TRIGGER1	3		I	焊盘								
		WKUP_GPIO0_5	7		IO	焊盘								
B15	WKUP_GPIO0_6 PADCONFIG WKUP_PADCONFIG_54 0x4301C0D8	WKUP_UART0_CTSn	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_UART0_CTSn	1		I	1								
		MCU_CPTS0_HW1TSPUSH	2		I	0								
		MCU_I2C1_SCL	3		IOD	1								
		WKUP_GPIO0_6	7		IO	焊盘								
B17	WKUP_GPIO0_7 PADCONFIG WKUP_PADCONFIG_55 0x4301C0DC	WKUP_UART0_RTSn	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_UART0_RTSn	1		O									
		MCU_CPTS0_HW2TSPUSH	2		I	0								
		MCU_I2C1_SDA	3		IOD	1								
		WKUP_GPIO0_7	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
B19	WKUP_GPIO0_8 PADCONFIG WKUP_PADCONFIG_56 0x4301C0E0	MCU_I2C1_SCL	0		IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_I2C1_SCL	1		IOD	1								
		MCU_CPTS0_TS_SYNC	2		O									
		MCU_I3C0_SCL	3		IO	1								
		MCU_TIMER_IO6	4		IO	0								
		WKUP_GPIO0_8	7		IO	焊盘								
A15	WKUP_GPIO0_9 PADCONFIG WKUP_PADCONFIG_57 0x4301C0E4	MCU_I2C1_SDA	0		IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_I2C1_SDA	1		IOD	1								
		MCU_CPTS0_TS_COMP	2		O									
		MCU_I3C0_SDA	3		IO	1								
		MCU_TIMER_IO7	4		IO	0								
		WKUP_GPIO0_9	7		IO	焊盘								
B18	WKUP_GPIO0_10 PADCONFIG WKUP_PADCONFIG_58 0x4301C0E8	MCU_EXT_REFCLK0	0		I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_EXT_REFCLK0	1		I	0								
		MCU_UART0_TXD	2		O									
		MCU_ADC_EXT_TRIGGER0	3		I	0								
		MCU_CPTS0_RFT_CLK	4		I	0								
		MCU_SYSCLKOUT0	5		O									
		WKUP_GPIO0_10	7		IO	焊盘								
B21	WKUP_GPIO0_11 PADCONFIG WKUP_PADCONFIG_59 0x4301C0EC	MCU_OBSCLK0	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_OBSCLK0	1		O									
		MCU_UART0_RXD	2		I	1								
		MCU_ADC_EXT_TRIGGER1	3		I	0								
		MCU_TIMER_IO1	4		IO	0								
		MCU_I3C0_SDAPULLEN	5		OD									
		MCU_CLKOUT0	6		OZ									
		WKUP_GPIO0_11	7		IO	焊盘								
D17	WKUP_GPIO0_12 PADCONFIG WKUP_PADCONFIG_60 0x4301C0F0	MCU_UART0_TXD	0		O		开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI0_CS1	1		IO	1								
		WKUP_GPIO0_12	7		IO	焊盘								
		MCU_BOOTMODE08	自举		I									
D21	WKUP_GPIO0_13 PADCONFIG WKUP_PADCONFIG_61 0x4301C0F4	MCU_UART0_RXD	0		I	1	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_CS1	1		IO	1								
		WKUP_GPIO0_13	7		IO	焊盘								
		MCU_BOOTMODE09	自举		I									

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
D15	WKUP_GPIO0_14 PADCONFIG WKUP_PADCONFIG_62 0x4301C0F8	MCU_UART0_CTSn	0		I	1	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI0_CS2	1		IO	1								
		MCU_TIMER_IO8	4		IO	0								
		WKUP_GPIO0_14	7		IO	焊盘								
		MCU_BOOTMODE06	自举		I									
C16	WKUP_GPIO0_15 PADCONFIG WKUP_PADCONFIG_63 0x4301C0FC	MCU_UART0_RTSn	0		O		开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_SPI1_CS2	1		IO	1								
		MCU_TIMER_IO9	4		IO	0								
		WKUP_GPIO0_15	7		IO	焊盘								
		MCU_BOOTMODE07	自举		I									
A20	WKUP_GPIO0_49 PADCONFIG WKUP_PADCONFIG_100 0x4301C190	PMIC_WAKE1	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		MCU_EXT_REFCLK0	1		I	0								
		MCU_CPTS0_RFT_CLK	2		I	0								
		WKUP_GPIO0_49	7		IO	焊盘								
A19	WKUP_GPIO0_56 PADCONFIG WKUP_PADCONFIG_72 0x4301C120	MCU_TIMER_IO6	4		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_56	7		IO	焊盘								
		BOOTMODE04	自举		I									
B20	WKUP_GPIO0_57 PADCONFIG WKUP_PADCONFIG_95 0x4301C17C	MCU_TIMER_IO7	4		IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_57	7		IO	焊盘								
		BOOTMODE05	自举		I									
A17	WKUP_GPIO0_66 PADCONFIG WKUP_PADCONFIG_96 0x4301C180	WKUP_GPIO0_66	7		IO	焊盘	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		BOOTMODE06	自举		I									
A18	WKUP_GPIO0_67 PADCONFIG WKUP_PADCONFIG_97 0x4301C184	WKUP_LF_CLKIN	1		I	焊盘	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_67	7		IO	焊盘								
		BOOTMODE07	自举		I									
A16	WKUP_I2C0_SCL PADCONFIG WKUP_PADCONFIG_64 0x4301C100	WKUP_I2C0_SCL	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C 开漏	
		WKUP_GPIO0_63	7		IO	焊盘								
D23	WKUP_I2C0_SDA PADCONFIG WKUP_PADCONFIG_65 0x4301C104	WKUP_I2C0_SDA	0		IOD	1	关闭/关闭/不适用	开启/SS/不适用	0	1.8V/3.3V	VDDSHV0_MCU	是	I2C 开漏	
		WKUP_GPIO0_64	7		IO	焊盘								
A24	WKUP_OSC0_XI	WKUP_OSC0_XI			I					1.8V	VDDA_WKUP	是	HFXOSC	
B25	WKUP_OSC0_XO	WKUP_OSC0_XO			O					1.8V	VDDA_WKUP	是	HFXOSC	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
C20	WKUP_UART0_RXD PADCONFIG WKUP_PADCONFIG_44 0x4301C0B0	WKUP_UART0_RXD	0		I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_58	7		IO	焊盘								
C19	WKUP_UART0_TXD PADCONFIG WKUP_PADCONFIG_45 0x4301C0B4	WKUP_UART0_TXD	0		O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0_MCU	是	LVCMOS	PU/PD
		WKUP_GPIO0_59	7		IO	焊盘								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
A1、A23、A25、A27、A29、A31、A4、A7、AA11、AA13、AA15、AA17、AA19、AA2、AA21、AA23、AA25、AA27、AA29、AA31、AA33、AA5、AA9、AB1、AB10、AB12、AB14、AB18、AB20、AB22、AB24、AB26、AB28、AB30、AB32、AB4、AB8、AC13、AC15、AC17、AC19、AC2、AC21、AC23、AC25、AC27、AC5、AC9、AD10、AD12、AD14、AD18、AD22、AD24、AD26、AD28、AD29、AD3、AD31、AD33、	VSS	VSS			GND									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AD6、AD8、AE1、AE13、AE17、AE19、AE21、AE23、AE25、AE27、AE30、AE32、AE4、AE7、AF11、AF14、AF18、AF2、AF20、AF21、AF24、AF28、AF5、AF8、AG14、AG18、AG20、AG25、AG28、AG29、AG3、AG31、AG33、AG6、AG9、AH12、AH15、AH18、AH21、AH24、AH26、AH28、AH30、AH5、AJ11、AJ14、AJ17、AJ20、AJ23、AJ26、AJ29、AJ32、AJ6、AJ8、AK10、AK13、AK16、														

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AK19、AK22、AK25、AK28、AK31、AK4、AK7、AL12、AL15、AL18、AL21、AL24、AL27、AL3、AL30、AL33、AL6、AL9、AM11、AM14、AM17、AM2、AM20、AM23、AM26、AM29、AM32、AM33、AM5、AM8、AN1、AN10、AN13、AN16														

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
AN19、AN22、AN25、AN28、AN31、AN32、AN4、AN7、B22、B24、B26、B28、B3、B30、B32、B6、C11、C13、C15、C17、C2、C21、C23、C25、C27、C29、C31、C33、C5、D1、D26、D28、D30、D32、D4、D7、E23、E25、E27、E29、E3、E31、E6、E8、F14、F16、F18、F2、F20、F22、F24、F5、F7、G1、G11、G13、G15、G17、G19、G21、G23、G25、G27、G4、G9、H10、H12、H14、H16、H18、H2、H20、H22、H24、H26、H28、H5、H8、J1、J13、J15、J17、J19、J21、J6、J7、J9、K12、K14、K16、K18、K2、K20、K22、K27、K29、K5、K8、L11、L13、	VSS（续）	VSS			GND									

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
L15、L17、L19、L23、L3、L6、L7、L9、M1、M12、M14、M16、M18、M20、M22、M24、M28、M4、M8、N11、N13、N15、N17、N2、N21、N23、N25、N29、N5、N7、N9、P10、P12、P14、P16、P18、P20、P22、P24、P26、P3、R11、R17、R19、R21、R23、R25、R28、R3、R6														

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（AND 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [16] PADCONFIG 地址 [17]	信号名称 [3]	多路复用模式 [4]	VPE4 APE4 [5]	类型 [6]	DSIS [7]	复位期间的焊球状态（RX/TX/拉动）[8]	复位之后的焊球状态（RX/TX/拉动）[9]	复位之后的多路复用模式 [10]	I/O 工作电压 [11]	电源 [12]	HYS [13]	缓冲器类型 [14]	上拉/下拉类型 [15]
R9、T10、T18、T2、T20、T22、T24、T26、T5、T8、U1、U11、U17、U23、U25、U27、U29、U33、U4、U7、U9、V10、V12、V18、V20、V22、V28、V3、V6、V8、W11、W17、W19、W2、W23、W27、W29、W5、W9、Y1、Y10、Y12、Y18、Y20、Y22、Y26、Y28、Y6、Y8	VSS（续）	VSS			GND									

(1) “多路复用模式”字段不用于为该引脚选择多路复用信号功能。有关更多信息，请参阅器件 TRM 的*器件配置*一章中的 *ADC 集成详细信息*一节。

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称：**通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。器件子系统可以提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **引脚类型：**信号方向和类型：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器
3. **说明：**信号说明
4. **焊球：**与信号相关的焊球编号

5.3.1 ADC

5.3.1.1 MCU 域

表 5-2. MCU_ADC 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_ADC_EXT_TRIGGER0	I	ADC 触发输入	A12、B18、E16
MCU_ADC_EXT_TRIGGER1	I	ADC 触发输入	B12、B21、D20

表 5-3. MCU_ADC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_ADC0_REFN	A	ADC 基准（负）	C26
MCU_ADC0_REFP	A	ADC 基准（正）	D25
MCU_ADC0_AIN0	A	ADC 输入 0	E26
MCU_ADC0_AIN1	A	ADC 输入 1	F25
MCU_ADC0_AIN2	A	ADC 输入 2	F23
MCU_ADC0_AIN3	A	ADC 输入 3	A28
MCU_ADC0_AIN4	A	ADC 输入 4	E24
MCU_ADC0_AIN5	A	ADC 输入 5	D27
MCU_ADC0_AIN6	A	ADC 输入 6	A26

Copyright © 2025 Texas Instruments Incorporated

表 5-3. MCU_ADC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_ADC0_AIN7	A	ADC 输入 7	B27

表 5-4. MCU_ADC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_ADC1_REFN	A	ADC 基准（负）	D29
MCU_ADC1_REFP	A	ADC 基准（正）	C30
MCU_ADC1_AIN0	A	ADC 输入 0	C32
MCU_ADC1_AIN1	A	ADC 输入 1	B33
MCU_ADC1_AIN2	A	ADC 输入 2	B31
MCU_ADC1_AIN3	A	ADC 输入 3	B29
MCU_ADC1_AIN4	A	ADC 输入 4	D31
MCU_ADC1_AIN5	A	ADC 输入 5	A32
MCU_ADC1_AIN6	A	ADC 输入 6	A30
MCU_ADC1_AIN7	A	ADC 输入 7	C28

5.3.2 CPSW2G

5.3.2.1 MAIN 域

表 5-5. CPSW2G0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CLKOUT	IO	RMII 时钟输出	U31
RGMII1_RXC	I	RGMII 接收时钟	P31
RGMII1_RX_CTL	I	RGMII 接收控制	M33
RGMII1_TXC	O	RGMII 发送时钟	N31
RGMII1_TX_CTL	O	RGMII 发送控制	P30
RGMII1_RD0	I	RGMII 接收数据 0	U32
RGMII1_RD1	I	RGMII 接收数据 1	M32
RGMII1_RD2	I	RGMII 接收数据 2	L33
RGMII1_RD3	I	RGMII 接收数据 3	U31
RGMII1_TD0	O	RGMII 发送数据 0	M31
RGMII1_TD1	O	RGMII 发送数据 1	N30
RGMII1_TD2	O	RGMII 发送数据 2	T33
RGMII1_TD3	O	RGMII 发送数据 3	L32
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	L32
RMII1_RX_ER	I	RMII 接收数据错误	P30
RMII1_TX_EN	O	RMII 发送使能	M33
RMII1_RXD0	I	RMII 接收数据 0	N30
RMII1_RXD1	I	RMII 接收数据 1	T33
RMII1_TXD0	O	RMII 发送数据 0	M32
RMII1_TXD1	O	RMII 发送数据 1	P31
RMII_REF_CLK	I	RMII 基准时钟	L33

Copyright © 2025 Texas Instruments Incorporated

5.3.2.2 MCU 域

表 5-6. MCU_CPSW2G0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_RGMII1_RXC	I	RGMII 接收时钟	C14
MCU_RGMII1_RX_CTL	I	RGMII 接收控制	C12
MCU_RGMII1_TXC	O	RGMII 发送时钟	A14
MCU_RGMII1_TX_CTL	O	RGMII 发送控制	B14
MCU_RGMII1_RD0	I	RGMII 接收数据 0	E13
MCU_RGMII1_RD1	I	RGMII 接收数据 1	D14
MCU_RGMII1_RD2	I	RGMII 接收数据 2	D12
MCU_RGMII1_RD3	I	RGMII 接收数据 3	D13
MCU_RGMII1_TD0	O	RGMII 发送数据 0	B13
MCU_RGMII1_TD1	O	RGMII 发送数据 1	A13
MCU_RGMII1_TD2	O	RGMII 发送数据 2	B12
MCU_RGMII1_TD3	O	RGMII 发送数据 3	A12
MCU_RMII1_CRS_DV	I	RMII 载波侦听/数据有效	B14
MCU_RMII1_REF_CLK	I	RMII 基准时钟	C14
MCU_RMII1_RX_ER	I	RMII 接收数据错误	C12
MCU_RMII1_TX_EN	O	RMII 发送使能	A14
MCU_RMII1_RXD0	I	RMII 接收数据 0	E13
MCU_RMII1_RXD1	I	RMII 接收数据 1	D14
MCU_RMII1_TXD0	O	RMII 发送数据 0	B13
MCU_RMII1_TXD1	O	RMII 发送数据 1	A13

5.3.3 CPTS

5.3.3.1 MAIN 域

表 5-7. CPTS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CPTS0_RFT_CLK	I	CPTS 基准时钟	L31
CPTS0_TS_COMP	O	CPTS 时间戳计数器比较	Y32
CPTS0_TS_SYNC	O	CPTS 时间戳计数器位	E30
CPTS0_HW1TSPUSH	I	CPTS 硬件时间戳推送 1	L31
CPTS0_HW2TSPUSH	I	CPTS 硬件时间戳推送 2	J33

5.3.3.2 MCU 域

表 5-8. MCU_CPTS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_CPTS0_RFT_CLK	I	CPTS 基准时钟	A20、B18
MCU_CPTS0_TS_COMP	O	CPTS 时间戳计数器比较	A15
MCU_CPTS0_TS_SYNC	O	CPTS 时间戳计数器位	B19
MCU_CPTS0_HW1TSPUSH	I	CPTS 硬件时间戳推送 1	B15
MCU_CPTS0_HW2TSPUSH	I	CPTS 硬件时间戳推送 2	B17

Copyright © 2025 Texas Instruments Incorporated

5.3.4 CSI

5.3.4.1 MAIN 域

表 5-9. CSI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI0_RXCLKN	I	CSI 差分接收时钟输入（负）	AH33
CSI0_RXCLKP	I	CSI 差分接收时钟输入（正）	AH32
CSI0_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器，用于片上电阻器校准	AH31
CSI0_RXN0	I	CSI 差分接收输入（负）	AL32
CSI0_RXN1	I	CSI 差分接收输入（负）	AM31
CSI0_RXN2	I	CSI 差分接收输入（负）	AN30
CSI0_RXN3	I	CSI 差分接收输入（负）	AK33
CSI0_RXP0	I	CSI 差分接收输入（正）	AL31
CSI0_RXP1	I	CSI 差分接收输入（正）	AM30
CSI0_RXP2	I	CSI 差分接收输入（正）	AN29
CSI0_RXP3	I	CSI 差分接收输入（正）	AK32

(1) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

表 5-10. CSI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI1_RXCLKN	I	CSI 差分接收时钟输入（负）	AE29
CSI1_RXCLKP	I	CSI 差分接收时钟输入（正）	AF29
CSI1_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器，用于片上电阻器校准	AJ33
CSI1_RXN0	I	CSI 差分接收输入（负）	AF30
CSI1_RXN1	I	CSI 差分接收输入（负）	AE33
CSI1_RXN2	I	CSI 差分接收输入（负）	AE31
CSI1_RXN3	I	CSI 差分接收输入（负）	AF32
CSI1_RXP0	I	CSI 差分接收输入（正）	AG30
CSI1_RXP1	I	CSI 差分接收输入（正）	AF33
CSI1_RXP2	I	CSI 差分接收输入（正）	AF31
CSI1_RXP3	I	CSI 差分接收输入（正）	AG32

(1) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

表 5-11. CSI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI2_RXCLKN	I	CSI 差分接收时钟输入（负）	AC29
CSI2_RXCLKP	I	CSI 差分接收时钟输入（正）	AB29
CSI2_RXRCALIB (1)	A	CSI 引脚连接到外部电阻器，用于片上电阻器校准	AH29
CSI2_RXN0	I	CSI 差分接收输入（负）	AC30
CSI2_RXN1	I	CSI 差分接收输入（负）	AB31
CSI2_RXN2	I	CSI 差分接收输入（负）	AC32
CSI2_RXN3	I	CSI 差分接收输入（负）	AB33
CSI2_RXP0	I	CSI 差分接收输入（正）	AD30
CSI2_RXP1	I	CSI 差分接收输入（正）	AC31

表 5-11. CSI2 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI2_RXP2	I	CSI 差分接收输入（正）	AD32
CSI2_RXP3	I	CSI 差分接收输入（正）	AC33

(1) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

5.3.5 DDRSS

5.3.5.1 MAIN 域

表 5-12. DDRSS0 信号说明

信号名称 [1] ([2])	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DDR0_CKN	IO	DDRSS 差分时钟（负）	Y2
DDR0_CKP	IO	DDRSS 差分时钟（正）	AA1
DDR0_RESETn	IO	DDRSS 复位	W7
DDR0_RET	I	DDR 保持使能	AC7
DDR0_CA0	IO	DDRSS 命令地址	AA3
DDR0_CA1	IO	DDRSS 命令地址	Y4
DDR0_CA2	IO	DDRSS 命令地址	AA4
DDR0_CA3	IO	DDRSS 命令地址	AB3
DDR0_CA4	IO	DDRSS 命令地址	Y3
DDR0_CA5	IO	DDRSS 命令地址	AB5
DDR0_CAL0 (1)	A	IO 焊盘校准电阻	R7
DDR0_CKE0	IO	DDRSS 时钟使能	AB6
DDR0_CKE1	IO	DDRSS 时钟使能	AB7
DDR0_CSn0_0	IO	DDRSS 片选	AA6
DDR0_CSn0_1	IO	DDRSS 片选	Y5
DDR0_CSn1_0	IO	DDRSS 片选	Y7
DDR0_CSn1_1	IO	DDRSS 片选	AA7
DDR0_DM0	IO	DDRSS 数据掩码	U6
DDR0_DM1	IO	DDRSS 数据掩码	V2
DDR0_DM2	IO	DDRSS 数据掩码	AE2
DDR0_DM3	IO	DDRSS 数据掩码	AF6
DDR0_DQ0	IO	DDRSS 数据	R5
DDR0_DQ1	IO	DDRSS 数据	R4
DDR0_DQ2	IO	DDRSS 数据	R2
DDR0_DQ3	IO	DDRSS 数据	T4
DDR0_DQ4	IO	DDRSS 数据	U5
DDR0_DQ5	IO	DDRSS 数据	T3
DDR0_DQ6	IO	DDRSS 数据	T6
DDR0_DQ7	IO	DDRSS 数据	T7
DDR0_DQ8	IO	DDRSS 数据	V4
DDR0_DQ9	IO	DDRSS 数据	V7
DDR0_DQ10	IO	DDRSS 数据	W3
DDR0_DQ11	IO	DDRSS 数据	V5

Copyright © 2025 Texas Instruments Incorporated

表 5-12. DDRSS0 信号说明（续）

信号名称 [1] ([2])	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DDR0_DQ12	IO	DDRSS 数据	W6
DDR0_DQ13	IO	DDRSS 数据	U2
DDR0_DQ14	IO	DDRSS 数据	W4
DDR0_DQ15	IO	DDRSS 数据	U3
DDR0_DQ16	IO	DDRSS 数据	AD5
DDR0_DQ17	IO	DDRSS 数据	AC3
DDR0_DQ18	IO	DDRSS 数据	AE3
DDR0_DQ19	IO	DDRSS 数据	AB2
DDR0_DQ20	IO	DDRSS 数据	AC4
DDR0_DQ21	IO	DDRSS 数据	AD2
DDR0_DQ22	IO	DDRSS 数据	AC6
DDR0_DQ23	IO	DDRSS 数据	AD4
DDR0_DQ24	IO	DDRSS 数据	AG4
DDR0_DQ25	IO	DDRSS 数据	AG2
DDR0_DQ26	IO	DDRSS 数据	AF3
DDR0_DQ27	IO	DDRSS 数据	AE5
DDR0_DQ28	IO	DDRSS 数据	AE6
DDR0_DQ29	IO	DDRSS 数据	AG5
DDR0_DQ30	IO	DDRSS 数据	AF4
DDR0_DQ31	IO	DDRSS 数据	AH6
DDR0_DQS0N	IO	DDRSS 互补数据选通	T1
DDR0_DQS0P	IO	DDRSS 数据选通	R1
DDR0_DQS1N	IO	DDRSS 互补数据选通	W1
DDR0_DQS1P	IO	DDRSS 数据选通	V1
DDR0_DQS2N	IO	DDRSS 互补数据选通	AC1
DDR0_DQS2P	IO	DDRSS 数据选通	AD1
DDR0_DQS3N	IO	DDRSS 互补数据选通	AF1
DDR0_DQS3P	IO	DDRSS 数据选通	AG1

(1) 必须在该引脚和 VSS 之间连接一个外部 240Ω ±1% 电阻器。不应向该引脚施加外部电压。
(2) 必须始终按递增顺序使用 DDRSS0 和 DDRSS1。例如，使用单个 LPDDR 元件时，该元件必须连接到 DDR0_* 接口。当使用两个 LPDDR 元件时，它们必须连接到 DDR0_* 和 DDR1_* 接口。

表 5-13. DDRSS1 信号说明

信号名称 [1] ([2])	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DDR1_CKN	IO	DDRSS 差分时钟（负）	H1
DDR1_CKP	IO	DDRSS 差分时钟（正）	J2
DDR1_RESETn	IO	DDRSS 复位	G5
DDR1_RET	I	DDR 保持使能	G8
DDR1_CA0	IO	DDRSS 命令地址	J4
DDR1_CA1	IO	DDRSS 命令地址	H3
DDR1_CA2	IO	DDRSS 命令地址	G2
DDR1_CA3	IO	DDRSS 命令地址	J3

表 5-13. DDRSS1 信号说明（续）

信号名称 [1] ([2])	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DDR1_CA4	IO	DDRSS 命令地址	G3
DDR1_CA5	IO	DDRSS 命令地址	H4
DDR1_CAL0 (1)	A	IO 焊盘校准电阻	F8
DDR1_CKE0	IO	DDRSS 时钟使能	E7
DDR1_CKE1	IO	DDRSS 时钟使能	H6
DDR1_CSn0_0	IO	DDRSS 片选	G6
DDR1_CSn0_1	IO	DDRSS 片选	G7
DDR1_CSn1_0	IO	DDRSS 片选	H7
DDR1_CSn1_1	IO	DDRSS 片选	F6
DDR1_DM0	IO	DDRSS 数据掩码	A3
DDR1_DM1	IO	DDRSS 数据掩码	F3
DDR1_DM2	IO	DDRSS 数据掩码	L2
DDR1_DM3	IO	DDRSS 数据掩码	P2
DDR1_DQ0	IO	DDRSS 数据	A6
DDR1_DQ1	IO	DDRSS 数据	C6
DDR1_DQ2	IO	DDRSS 数据	A5
DDR1_DQ3	IO	DDRSS 数据	C4
DDR1_DQ4	IO	DDRSS 数据	B4
DDR1_DQ5	IO	DDRSS 数据	B2
DDR1_DQ6	IO	DDRSS 数据	C3
DDR1_DQ7	IO	DDRSS 数据	B5
DDR1_DQ8	IO	DDRSS 数据	E5
DDR1_DQ9	IO	DDRSS 数据	D2
DDR1_DQ10	IO	DDRSS 数据	E2
DDR1_DQ11	IO	DDRSS 数据	F4
DDR1_DQ12	IO	DDRSS 数据	D6
DDR1_DQ13	IO	DDRSS 数据	E4
DDR1_DQ14	IO	DDRSS 数据	D3
DDR1_DQ15	IO	DDRSS 数据	D5
DDR1_DQ16	IO	DDRSS 数据	M3
DDR1_DQ17	IO	DDRSS 数据	K4
DDR1_DQ18	IO	DDRSS 数据	M2
DDR1_DQ19	IO	DDRSS 数据	L5
DDR1_DQ20	IO	DDRSS 数据	J5
DDR1_DQ21	IO	DDRSS 数据	K3
DDR1_DQ22	IO	DDRSS 数据	L4
DDR1_DQ23	IO	DDRSS 数据	K6
DDR1_DQ24	IO	DDRSS 数据	N6
DDR1_DQ25	IO	DDRSS 数据	P4
DDR1_DQ26	IO	DDRSS 数据	N3
DDR1_DQ27	IO	DDRSS 数据	M5
DDR1_DQ28	IO	DDRSS 数据	M6

Copyright © 2025 Texas Instruments Incorporated

表 5-13. DDRSS1 信号说明（续）

信号名称 [1] ([2])	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DDR1_DQ29	IO	DDRSS 数据	P5
DDR1_DQ30	IO	DDRSS 数据	N4
DDR1_DQ31	IO	DDRSS 数据	P6
DDR1_DQS0N	IO	DDRSS 互补数据选通	C1
DDR1_DQS0P	IO	DDRSS 数据选通	B1
DDR1_DQS1N	IO	DDRSS 互补数据选通	F1
DDR1_DQS1P	IO	DDRSS 数据选通	E1
DDR1_DQS2N	IO	DDRSS 互补数据选通	K1
DDR1_DQS2P	IO	DDRSS 数据选通	L1
DDR1_DQS3N	IO	DDRSS 互补数据选通	N1
DDR1_DQS3P	IO	DDRSS 数据选通	P1

(1) 必须在该引脚和 VSS 之间连接一个外部 240Ω ±1% 电阻器。不应向该引脚施加外部电压。
(2) 必须始终按递增顺序使用 DDRSS0 和 DDRSS1。例如，使用单个 LPDDR 元件时，该元件必须连接到 DDR0_* 接口。当使用两个 LPDDR 元件时，它们必须连接到 DDR0_* 和 DDR1_* 接口。

5.3.6 显示端口

5.3.6.1 MAIN 域

表 5-14. DP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DP0_AUXN	IO	显示端口差分辅助数据（负）	AJ25
DP0_AUXP	IO	显示端口差分辅助数据（正）	AJ24
DP0_HPD	I	显示端口热插拔检测	R33、U32、Y33
DP0_TXN0	O	显示端口差分传输（负）	AJ21
DP0_TXN1	O	显示端口差分传输（负）	AM18
DP0_TXN2	O	显示端口差分传输（负）	AN20
DP0_TXN3	O	显示端口差分传输（负）	AL22
DP0_TXP0	O	显示端口差分传输（正）	AJ22
DP0_TXP1	O	显示端口差分传输（正）	AM19
DP0_TXP2	O	显示端口差分传输（正）	AN21
DP0_TXP3	O	显示端口差分传输（正）	AL23

5.3.7 DMTIMER

5.3.7.1 MAIN 域

表 5-15. DMTIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
TIMER_IO0	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	AA32
TIMER_IO1	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	W30
TIMER_IO2	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	F30
TIMER_IO3	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	E30

表 5-15. DMTIMER 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
TIMER_IO4	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	F29
TIMER_IO5	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	F28
TIMER_IO6	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	D33
TIMER_IO7	IO	计时器输入和输出（可与任何 MAIN 域计时器实例配合使用）	E32

5.3.7.2 MCU 域

表 5-16. MCU_DMTIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_TIMER_IO0	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	A9、E14
MCU_TIMER_IO1	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	B21、E19
MCU_TIMER_IO2	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	A12
MCU_TIMER_IO3	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	B12
MCU_TIMER_IO4	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	D13
MCU_TIMER_IO5	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	D12
MCU_TIMER_IO6	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	A19、B19
MCU_TIMER_IO7	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	A15、B20
MCU_TIMER_IO8	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	D15
MCU_TIMER_IO9	IO	计时器输入和输出（可与任何 MCU 域计时器实例配合使用。）	C16

5.3.8 DSI

5.3.8.1 MAIN 域

表 5-17. DSI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI0_TXCLKN	O	CSI 差分发送时钟输出（负）	AJ28
CSI0_TXCLKP	O	CSI 差分发送时钟输出（正）	AJ27
CSI0_TXN0	O	CSI 差分发送输出（负）	AL26
CSI0_TXN1	O	CSI 差分发送输出（负）	AK27
CSI0_TXN2	O	CSI 差分发送输出（负）	AM25
CSI0_TXN3	O	CSI 差分发送输出（负）	AN24
CSI0_TXP0	O	CSI 差分发送输出（正）	AL25
CSI0_TXP1	O	CSI 差分发送输出（正）	AK26

Copyright © 2025 Texas Instruments Incorporated

表 5-17. DSI0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI0_TXP2	O	CSI 差分发送输出（正）	AM24
CSI0_TXP3	O	CSI 差分发送输出（正）	AN23
DSI0_TXCLKN	O	DSI 发送时钟（负）	AJ28
DSI0_TXCLKP	O	DSI 发送时钟（正）	AJ27
DSI0_TXRCALIB (1)	A	DSI 发送校准电阻器	AH25
DSI0_TXN0	IO	DSI 发送（负）	AL26
DSI0_TXN1	O	DSI 发送（负）	AK27
DSI0_TXN2	O	DSI 发送（负）	AM25
DSI0_TXN3	O	DSI 发送（负）	AN24
DSI0_TXP0	IO	DSI 发送（正）	AL25
DSI0_TXP1	O	DSI 发送（正）	AK26
DSI0_TXP2	O	DSI 发送（正）	AM24
DSI0_TXP3	O	DSI 发送（正）	AN23

(1) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

表 5-18. DSI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CSI1_TXCLKN	O	CSI 差分发送时钟输出（负）	AJ31
CSI1_TXCLKP	O	CSI 差分发送时钟输出（正）	AJ30
CSI1_TXN0	O	CSI 差分发送输出（负）	AK30
CSI1_TXN1	O	CSI 差分发送输出（负）	AL29
CSI1_TXN2	O	CSI 差分发送输出（负）	AM28
CSI1_TXN3	O	CSI 差分发送输出（负）	AN27
CSI1_TXP0	O	CSI 差分发送输出（正）	AK29
CSI1_TXP1	O	CSI 差分发送输出（正）	AL28
CSI1_TXP2	O	CSI 差分发送输出（正）	AM27
CSI1_TXP3	O	CSI 差分发送输出（正）	AN26
DSI1_TXCLKN	O	DSI 发送时钟（负）	AJ31
DSI1_TXCLKP	O	DSI 发送时钟（正）	AJ30
DSI1_TXRCALIB (1)	A	DSI 发送校准电阻器	AH27
DSI1_TXN0	IO	DSI 发送（负）	AK30
DSI1_TXN1	O	DSI 发送（负）	AL29
DSI1_TXN2	O	DSI 发送（负）	AM28
DSI1_TXN3	O	DSI 发送（负）	AN27
DSI1_TXP0	IO	DSI 发送（正）	AK29
DSI1_TXP1	O	DSI 发送（正）	AL28
DSI1_TXP2	O	DSI 发送（正）	AM27
DSI1_TXP3	O	DSI 发送（正）	AN26

(1) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器。

5.3.9 DSS

5.3.9.1 MAIN 域

表 5-19. DSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
DSS_FSYNC0	O	视频输出帧同步	G33、P29
DSS_FSYNC1	O	视频输出帧同步	T29、T30
DSS_FSYNC2	O	视频输出帧同步	P30、T31
DSS_FSYNC3	O	视频输出帧同步	M32、T32
VOUT0_DE	O	视频输出数据使能	H30
VOUT0_EXTPCLKIN	I	视频输出外部像素时钟输入	G33
VOUT0_HSYNC	O	视频输出水平同步	J32
VOUT0_PCLK	O	视频输出像素时钟输出	F33
VOUT0_VSYNC	O	视频输出垂直同步	K33
VOUT0_DATA0	O	视频输出数据 0	G28
VOUT0_DATA1	O	视频输出数据 1	H31
VOUT0_DATA2	O	视频输出数据 2	F31
VOUT0_DATA3	O	视频输出数据 3	G29
VOUT0_DATA4	O	视频输出数据 4	N33
VOUT0_DATA5	O	视频输出数据 5	R32
VOUT0_DATA6	O	视频输出数据 6	K32
VOUT0_DATA7	O	视频输出数据 7	G32
VOUT0_DATA8	O	视频输出数据 8	P33
VOUT0_DATA9	O	视频输出数据 9	J31
VOUT0_DATA10	O	视频输出数据 10	G31
VOUT0_DATA11	O	视频输出数据 11	H33
VOUT0_DATA12	O	视频输出数据 12	H32
VOUT0_DATA13	O	视频输出数据 13	F32
VOUT0_DATA14	O	视频输出数据 14	K31
VOUT0_DATA15	O	视频输出数据 15	J30
VOUT0_DATA16	O	视频输出数据 16	J33
VOUT0_DATA17	O	视频输出数据 17	E33
VOUT0_DATA18	O	视频输出数据 18	G28、P32
VOUT0_DATA19	O	视频输出数据 19	H31、U30
VOUT0_DATA20	O	视频输出数据 20	G30、P33
VOUT0_DATA21	O	视频输出数据 21	J31、R31
VOUT0_DATA22	O	视频输出数据 22	E33、R29
VOUT0_DATA23	O	视频输出数据 23	L31、R30
VOUT0_VP0_DE	O	替代输出数据使能	H30
VOUT0_VP0_HSYNC	O	替代输出水平同步	J32
VOUT0_VP0_VSYNC	O	替代输出垂直同步	K33
VOUT0_VP2_DE	O	替代输出数据使能	H30
VOUT0_VP2_HSYNC	O	替代输出水平同步	J32
VOUT0_VP2_VSYNC	O	替代输出垂直同步	K33

Copyright © 2025 Texas Instruments Incorporated

5.3.10 ECAP

5.3.10.1 MAIN 域

表 5-20. ECAP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	F29、L31

表 5-21. ECAP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	AA32、F28

表 5-22. ECAP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	W30

5.3.11 EPWM

5.3.11.1 MAIN 域

表 5-23. EPWM 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM_SOCA	O	EHRPWM 转换启动 A	G32
EHRPWM_SOCB	O	EHRPWM 转换启动 B	M32
EHRPWM_TZn_IN0	I	EHRPWM 触发区输入 0 (低电平有效)	F31
EHRPWM_TZn_IN1	I	EHRPWM 触发区输入 1 (低电平有效)	G31
EHRPWM_TZn_IN2	I	EHRPWM 触发区输入 2 (低电平有效)	J30
EHRPWM_TZn_IN3	I	EHRPWM 触发区输入 3 (低电平有效)	N30
EHRPWM_TZn_IN4	I	EHRPWM 触发区输入 4 (低电平有效)	K33
EHRPWM_TZn_IN5	I	EHRPWM 触发区输入 5 (低电平有效)	G33

表 5-24. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM0_A	IO	EHRPWM 输出 A	E30、G29、Y33
EHRPWM0_B	IO	EHRPWM 输出 B	F30、N33
EHRPWM0_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	H31
EHRPWM0_SYNCO	O	从 EHRPWM 模块到外部引脚的同步输出	H32

表 5-25. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM1_A	IO	EHRPWM 输出 A	F28、R32、Y32
EHRPWM1_B	IO	EHRPWM 输出 B	F29、G28

表 5-26. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM2_A	IO	EHRPWM 输出 A	E32、F32、V31
EHRPWM2_B	IO	EHRPWM 输出 B	D33、K31

表 5-27. EPWM3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM3_A	IO	EHRPWM 输出 A	F30、M31、V30
EHRPWM3_B	IO	EHRPWM 输出 B	P30
EHRPWM3_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	L32
EHRPWM3_SYNCO	O	从 EHRPWM 模块到外部引脚的同步输出	T33

表 5-28. EPWM4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM4_A	IO	EHRPWM 输出 A	F29、L33、W31
EHRPWM4_B	IO	EHRPWM 输出 B	F33

表 5-29. EPWM5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EHRPWM5_A	IO	EHRPWM 输出 A	D33、H30
EHRPWM5_B	IO	EHRPWM 输出 B	J32

5.3.12 EQEP

5.3.12.1 MAIN 域

表 5-30. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EQEP0_A	I	EQEP 正交输入 A	U31
EQEP0_B	I	EQEP 正交输入 B	M33
EQEP0_I	IO	EQEP 索引	N32
EQEP0_S	IO	EQEP 选通	U32

表 5-31. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EQEP1_A	I	EQEP 正交输入 A	P31
EQEP1_B	I	EQEP 正交输入 B	N31
EQEP1_I	IO	EQEP 索引	E33
EQEP1_S	IO	EQEP 选通	H29

表 5-32. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EQEP2_A	I	EQEP 正交输入 A	H33

Copyright © 2025 Texas Instruments Incorporated

表 5-32. EQEP2 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EQEP2_B	I	EQEP 正交输入 B	J31
EQEP2_I	IO	EQEP 索引	K32
EQEP2_S	IO	EQEP 选通	P33

5.3.13 GPIO

5.3.13.1 MAIN 域

表 5-33. GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
GPIO0_0	IO	通用输入/输出	Y29
GPIO0_1	IO	通用输入/输出	P29
GPIO0_2	IO	通用输入/输出	T29
GPIO0_3	IO	通用输入/输出	T31
GPIO0_4	IO	通用输入/输出	T32
GPIO0_5	IO	通用输入/输出	R33
GPIO0_6	IO	通用输入/输出	R30
GPIO0_7	IO	通用输入/输出	R29
GPIO0_8	IO	通用输入/输出	R31
GPIO0_9	IO	通用输入/输出	G30
GPIO0_10	IO	通用输入/输出	U30
GPIO0_11	IO	通用输入/输出	P32
GPIO0_12	IO	通用输入/输出	E33
GPIO0_13	IO	通用输入/输出	T30
GPIO0_14	IO	通用输入/输出	J30
GPIO0_15	IO	通用输入/输出	K31
GPIO0_16	IO	通用输入/输出	F32
GPIO0_17	IO	通用输入/输出	H32
GPIO0_18	IO	通用输入/输出	H33
GPIO0_19	IO	通用输入/输出	G31
GPIO0_20	IO	通用输入/输出	J31
GPIO0_21	IO	通用输入/输出	P33
GPIO0_22	IO	通用输入/输出	G32
GPIO0_23	IO	通用输入/输出	K32
GPIO0_24	IO	通用输入/输出	R32
GPIO0_25	IO	通用输入/输出	N33
GPIO0_26	IO	通用输入/输出	G29
GPIO0_27	IO	通用输入/输出	G33
GPIO0_28	IO	通用输入/输出	H31
GPIO0_29	IO	通用输入/输出	G28
GPIO0_30	IO	通用输入/输出	F33
GPIO0_31	IO	通用输入/输出	F31
GPIO0_32	IO	通用输入/输出	J32

Copyright © 2025 Texas Instruments Incorporated

表 5-33. GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
GPIO0_33	IO	通用输入/输出	H30
GPIO0_34	IO	通用输入/输出	K33
GPIO0_35	IO	通用输入/输出	M31
GPIO0_36	IO	通用输入/输出	N30
GPIO0_37	IO	通用输入/输出	T33
GPIO0_38	IO	通用输入/输出	L32
GPIO0_39	IO	通用输入/输出	P30
GPIO0_40	IO	通用输入/输出	M32
GPIO0_41	IO	通用输入/输出	L33
GPIO0_42	IO	通用输入/输出	U31
GPIO0_43	IO	通用输入/输出	M33
GPIO0_44	IO	通用输入/输出	P31
GPIO0_45	IO	通用输入/输出	N31
GPIO0_46	IO	通用输入/输出	U32
GPIO0_47	IO	通用输入/输出	N32
GPIO0_48	IO	通用输入/输出	H29
GPIO0_49	IO	通用输入/输出	L31
GPIO0_50	IO	通用输入/输出	J33
GPIO0_51	IO	通用输入/输出	Y33
GPIO0_52	IO	通用输入/输出	Y32
GPIO0_53	IO	通用输入/输出	V31
GPIO0_54	IO	通用输入/输出	V30
GPIO0_55	IO	通用输入/输出	W31
GPIO0_56	IO	通用输入/输出	AA30
GPIO0_57	IO	通用输入/输出	Y30
GPIO0_58	IO	通用输入/输出	AA32
GPIO0_59	IO	通用输入/输出	W30
GPIO0_60	IO	通用输入/输出	F30
GPIO0_61	IO	通用输入/输出	E30
GPIO0_62	IO	通用输入/输出	F29
GPIO0_63	IO	通用输入/输出	F28
GPIO0_64	IO	通用输入/输出	D33
GPIO0_65	IO	通用输入/输出	E32

5.3.13.2 WKUP 域

表 5-34. WKUP_GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_GPIO0_0	IO	通用输入/输出	E15
WKUP_GPIO0_1	IO	通用输入/输出	D16
WKUP_GPIO0_2	IO	通用输入/输出	D18
WKUP_GPIO0_3	IO	通用输入/输出	D19

Copyright © 2025 Texas Instruments Incorporated

表 5-34. WKUP_GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_GPIO0_4	IO	通用输入/输出	E16
WKUP_GPIO0_5	IO	通用输入/输出	D20
WKUP_GPIO0_6	IO	通用输入/输出	B15
WKUP_GPIO0_7	IO	通用输入/输出	B17
WKUP_GPIO0_8	IO	通用输入/输出	B19
WKUP_GPIO0_9	IO	通用输入/输出	A15
WKUP_GPIO0_10	IO	通用输入/输出	B18
WKUP_GPIO0_11	IO	通用输入/输出	B21
WKUP_GPIO0_12	IO	通用输入/输出	D17
WKUP_GPIO0_13	IO	通用输入/输出	D21
WKUP_GPIO0_14	IO	通用输入/输出	D15
WKUP_GPIO0_15	IO	通用输入/输出	C16
WKUP_GPIO0_16	IO	通用输入/输出	D8
WKUP_GPIO0_17	IO	通用输入/输出	D10
WKUP_GPIO0_18	IO	通用输入/输出	C10
WKUP_GPIO0_19	IO	通用输入/输出	E10
WKUP_GPIO0_20	IO	通用输入/输出	F9
WKUP_GPIO0_21	IO	通用输入/输出	E9
WKUP_GPIO0_22	IO	通用输入/输出	D11
WKUP_GPIO0_23	IO	通用输入/输出	D9
WKUP_GPIO0_24	IO	通用输入/输出	C9
WKUP_GPIO0_25	IO	通用输入/输出	C7
WKUP_GPIO0_26	IO	通用输入/输出	C8
WKUP_GPIO0_27	IO	通用输入/输出	F12
WKUP_GPIO0_28	IO	通用输入/输出	F11
WKUP_GPIO0_29	IO	通用输入/输出	F10
WKUP_GPIO0_30	IO	通用输入/输出	E11
WKUP_GPIO0_31	IO	通用输入/输出	B7
WKUP_GPIO0_32	IO	通用输入/输出	B10
WKUP_GPIO0_33	IO	通用输入/输出	B9
WKUP_GPIO0_34	IO	通用输入/输出	B8
WKUP_GPIO0_35	IO	通用输入/输出	B11
WKUP_GPIO0_36	IO	通用输入/输出	A11
WKUP_GPIO0_37	IO	通用输入/输出	A10
WKUP_GPIO0_38	IO	通用输入/输出	A8
WKUP_GPIO0_39	IO	通用输入/输出	A9
WKUP_GPIO0_40	IO	通用输入/输出	B14
WKUP_GPIO0_41	IO	通用输入/输出	C12
WKUP_GPIO0_42	IO	通用输入/输出	A12
WKUP_GPIO0_43	IO	通用输入/输出	B12
WKUP_GPIO0_44	IO	通用输入/输出	A13
WKUP_GPIO0_45	IO	通用输入/输出	B13

表 5-34. WKUP_GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_GPIO0_46	IO	通用输入/输出	A14
WKUP_GPIO0_47	IO	通用输入/输出	C14
WKUP_GPIO0_48	IO	通用输入/输出	D13
WKUP_GPIO0_49	IO	通用输入/输出	A20
WKUP_GPIO0_50	IO	通用输入/输出	D14
WKUP_GPIO0_51	IO	通用输入/输出	E13
WKUP_GPIO0_52	IO	通用输入/输出	F13
WKUP_GPIO0_53	IO	通用输入/输出	E12
WKUP_GPIO0_54	IO	通用输入/输出	F15
WKUP_GPIO0_55	IO	通用输入/输出	E18
WKUP_GPIO0_56	IO	通用输入/输出	A19
WKUP_GPIO0_57	IO	通用输入/输出	B20
WKUP_GPIO0_58	IO	通用输入/输出	C20
WKUP_GPIO0_59	IO	通用输入/输出	C19
WKUP_GPIO0_60	IO	通用输入/输出	E22
WKUP_GPIO0_61	IO	通用输入/输出	C18
WKUP_GPIO0_62	IO	通用输入/输出	D12
WKUP_GPIO0_63	IO	通用输入/输出	A16
WKUP_GPIO0_64	IO	通用输入/输出	D23
WKUP_GPIO0_65	IO	通用输入/输出	D22
WKUP_GPIO0_66	IO	通用输入/输出	A17
WKUP_GPIO0_67	IO	通用输入/输出	A18
WKUP_GPIO0_68	IO	通用输入/输出	E21
WKUP_GPIO0_69	IO	通用输入/输出	E14
WKUP_GPIO0_70	IO	通用输入/输出	E19
WKUP_GPIO0_71	I	通用输入/输出	E26
WKUP_GPIO0_72	I	通用输入/输出	F25
WKUP_GPIO0_73	I	通用输入/输出	F23
WKUP_GPIO0_74	I	通用输入/输出	A28
WKUP_GPIO0_75	I	通用输入/输出	E24
WKUP_GPIO0_76	I	通用输入/输出	D27
WKUP_GPIO0_77	I	通用输入/输出	A26
WKUP_GPIO0_78	I	通用输入/输出	B27
WKUP_GPIO0_79	I	通用输入/输出	C32
WKUP_GPIO0_80	I	通用输入/输出	B33
WKUP_GPIO0_81	I	通用输入/输出	B31
WKUP_GPIO0_82	I	通用输入/输出	B29
WKUP_GPIO0_83	I	通用输入/输出	D31
WKUP_GPIO0_84	I	通用输入/输出	A32
WKUP_GPIO0_85	I	通用输入/输出	A30
WKUP_GPIO0_86	I	通用输入/输出	C28
WKUP_GPIO0_87	IO	通用输入/输出	A21

Copyright © 2025 Texas Instruments Incorporated

表 5-34. WKUP_GPIO0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_GPIO0_88	IO	通用输入/输出	B16

5.3.14 GPMC

5.3.14.1 MAIN 域

表 5-35. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效（低电平有效）或地址锁存使能	H33
GPMC0_CLK	IO	GPMC 时钟	P29
GPMC0_CLKOUT	O	为外部同步生成的 GPMC 时钟	K33
GPMC0_DIR	O	GPMC 数据总线信号方向控制	F33、G28
GPMC0_OEn_REn	O	GPMC 输出使能（低电平有效）或读取使能（低电平有效）	J32
GPMC0_WEn	O	GPMC 写入使能（低电平有效）	T30
GPMC0_WPn	O	GPMC 闪存写保护（低电平有效）	H33
GPMC0_A0	OZ	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	M31
GPMC0_A1	OZ	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	N30
GPMC0_A2	OZ	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	T33
GPMC0_A3	OZ	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	L32
GPMC0_A4	OZ	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	P30
GPMC0_A5	OZ	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	M32
GPMC0_A6	OZ	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	L33
GPMC0_A7	OZ	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	U31
GPMC0_A8	OZ	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	M33
GPMC0_A9	OZ	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	P31
GPMC0_A10	OZ	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	N31
GPMC0_A11	OZ	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	U32
GPMC0_A12	OZ	A/D 非多路复用模式下为 GPMC 地址 12 输出，A/D 多路复用模式下未使用	N32
GPMC0_A13	OZ	A/D 非多路复用模式下为 GPMC 地址 13 输出，A/D 多路复用模式下未使用	H29
GPMC0_A14	OZ	A/D 非多路复用模式下为 GPMC 地址 14 输出，A/D 多路复用模式下未使用	M31、P32
GPMC0_A15	OZ	A/D 非多路复用模式下为 GPMC 地址 15 输出，A/D 多路复用模式下未使用	U30

表 5-35. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
GPMC0_A16	OZ	A/D 非多路复用模式下为 GPMC 地址 16 输出，A/D 多路复用模式下未使用	G30
GPMC0_A17	OZ	A/D 非多路复用模式下为 GPMC 地址 17 输出，A/D 多路复用模式下未使用	R31
GPMC0_A18	OZ	A/D 非多路复用模式下为 GPMC 地址 18 输出，A/D 多路复用模式下未使用	R29
GPMC0_A19	OZ	A/D 非多路复用模式下为 GPMC 地址 19 输出，A/D 多路复用模式下未使用	R30
GPMC0_A20	OZ	A/D 非多路复用模式下为 GPMC 地址 20 输出，A/D 多路复用模式下未使用	R33
GPMC0_A21	OZ	A/D 非多路复用模式下为 GPMC 地址 21 输出，A/D 多路复用模式下未使用	T32
GPMC0_A22	OZ	A/D 非多路复用模式下为 GPMC 地址 22 输出，A/D 多路复用模式下未使用	T31
GPMC0_A23	OZ	A/D 非多路复用模式下为 GPMC 地址 23 输出，A/D 多路复用模式下未使用	T29
GPMC0_A24	OZ	A/D 非多路复用模式下为 GPMC 地址 24 输出，A/D 多路复用模式下未使用	P29
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	J30
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	K31
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	F32
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 4 输出	H32
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出，A/D 多路复用模式下为附加的地址 5 输出	E33
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出，A/D 多路复用模式下为附加的地址 6 输出	L31
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出，A/D 多路复用模式下为附加的地址 7 输出	J33
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出，A/D 多路复用模式下为附加的地址 8 输出	G33
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出，A/D 多路复用模式下为附加的地址 9 输出	G31
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出，A/D 多路复用模式下为附加的地址 10 输出	J31
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出，A/D 多路复用模式下为附加的地址 11 输出	P33
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出，A/D 多路复用模式下为附加的地址 12 输出	G32
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出，A/D 多路复用模式下为附加的地址 13 输出	K32
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出，A/D 多路复用模式下为附加的地址 14 输出	R32
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出，A/D 多路复用模式下为附加的地址 15 输出	N33

Copyright © 2025 Texas Instruments Incorporated

表 5-35. GPMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出，A/D 多路复用模式下为附加的地址 16 输出	G29
GPMC0_BE0n_CLE	O	GPMC 低位字节使能（低电平有效）或命令锁存使能	H31
GPMC0_BE1n	O	GPMC 高位字节使能（低电平有效）	F31
GPMC0_CSn0	O	GPMC 片选 0（低电平有效）	H30
GPMC0_CSn1	O	GPMC 片选 1（低电平有效）	F33
GPMC0_CSn2	O	GPMC 片选 2（低电平有效）	M31、P32
GPMC0_CSn3	O	GPMC 片选 3（低电平有效）	T29
GPMC0_WAIT0	I	GPMC 外部等待指示	G28
GPMC0_WAIT1	I	GPMC 外部等待指示	U30
GPMC0_WAIT2	I	GPMC 外部等待指示	T31
GPMC0_WAIT3	I	GPMC 外部等待指示	H29

5.3.15 HYPERBUS

5.3.15.1 MCU 域

表 5-36. MCU_HYPERBUS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_HYPERBUS0_CK	O	Hyperbus 差分时钟（正）	D8
MCU_HYPERBUS0_CKn	O	Hyperbus 差分时钟（负）	D10
MCU_HYPERBUS0_INTn	I	Hyperbus 中断（低电平有效）	B9、E11
MCU_HYPERBUS0_RESETn	O	Hyperbus 复位（低电平有效）输出	F11
MCU_HYPERBUS0_RESETOn	I	Hyperbus 存储器中的 Hyperbus 复位状态指示器（低电平有效）	B10、F10
MCU_HYPERBUS0_RWDS	IO	Hyperbus 读写数据选通	C10
MCU_HYPERBUS0_WPn	O	Hyperbus 写保护（未使用）	A9、E11、F10
MCU_HYPERBUS0_CSn0	O	Hyperbus 片选 0	F12
MCU_HYPERBUS0_CSn1	O	Hyperbus 片选 1	A9、F10
MCU_HYPERBUS0_DQ0	IO	Hyperbus 数据 0	E10
MCU_HYPERBUS0_DQ1	IO	Hyperbus 数据 1	F9
MCU_HYPERBUS0_DQ2	IO	Hyperbus 数据 2	E9
MCU_HYPERBUS0_DQ3	IO	Hyperbus 数据 3	D11
MCU_HYPERBUS0_DQ4	IO	Hyperbus 数据 4	D9
MCU_HYPERBUS0_DQ5	IO	Hyperbus 数据 5	C9
MCU_HYPERBUS0_DQ6	IO	Hyperbus 数据 6	C7
MCU_HYPERBUS0_DQ7	IO	Hyperbus 数据 7	C8

5.3.16 I2C

5.3.16.1 MAIN 域

表 5-37. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C0_SCL	IOD	I2C 时钟	AA30

表 5-37. I2C0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C0_SDA	IOD	I2C 数据	Y30

表 5-38. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C1_SCL	IOD	I2C 时钟	L31、M33、R31
I2C1_SDA	IOD	I2C 数据	G30、J33、P31

表 5-39. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C2_SCL	IOD	I2C 时钟	G31、V31
I2C2_SDA	IOD	I2C 数据	J31、V30

表 5-40. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C3_SCL	IOD	I2C 时钟	F30、N33
I2C3_SDA	IOD	I2C 数据	E30、R32

表 5-41. I2C4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C4_SCL	IOD	I2C 时钟	F28、H30、R33
I2C4_SDA	IOD	I2C 数据	F29、J32、T32

表 5-42. I2C5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C5_SCL	IOD	I2C 时钟	G28、R29
I2C5_SDA	IOD	I2C 数据	F33、R30

表 5-43. I2C6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
I2C6_SCL	IOD	I2C 时钟	E32、W30
I2C6_SDA	IOD	I2C 数据	AA32、D33

5.3.16.2 MCU 域

表 5-44. MCU_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_I2C0_SCL	IOD	I2C 时钟	D22
MCU_I2C0_SDA	IOD	I2C 数据	A21

Copyright © 2025 Texas Instruments Incorporated

表 5-45. MCU_I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_I2C1_SCL	IOD	I2C 时钟	B15、B19
MCU_I2C1_SDA	IOD	I2C 数据	A15、B17

5.3.16.3 WKUP 域

表 5-46. WKUP_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_I2C0_SCL	IOD	I2C 时钟	A16
WKUP_I2C0_SDA	IOD	I2C 数据	D23

5.3.17 I3C

5.3.17.1 MCU 域

表 5-47. MCU_I3C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_I3C0_SCL	IO	I3C 时钟	B19
MCU_I3C0_SDA	IO	I3C 数据	A15
MCU_I3C0_SDAPULLEN	OD	I3C 数据拉动使能	B16、B21

5.3.18 MCAN

5.3.18.1 MAIN 域

表 5-48. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	G29
MCAN0_TX	O	MCAN 发送数据	N33

表 5-49. MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN1_RX	I	MCAN 接收数据	H31、J33
MCAN1_TX	O	MCAN 发送数据	G33

表 5-50. MCAN2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN2_RX	I	MCAN 接收数据	F33
MCAN2_TX	O	MCAN 发送数据	G28

表 5-51. MCAN3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN3_RX	I	MCAN 接收数据	J32
MCAN3_TX	O	MCAN 发送数据	F31

表 5-52. MCAN4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN4_RX	I	MCAN 接收数据	K33
MCAN4_TX	O	MCAN 发送数据	H30

表 5-53. MCAN5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN5_RX	I	MCAN 接收数据	K31、N30
MCAN5_TX	O	MCAN 发送数据	J30、M31

表 5-54. MCAN6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN6_RX	I	MCAN 接收数据	H32、L32
MCAN6_TX	O	MCAN 发送数据	F32、T33

表 5-55. MCAN7 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN7_RX	I	MCAN 接收数据	G31、M32
MCAN7_TX	O	MCAN 发送数据	H33、P30

表 5-56. MCAN8 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN8_RX	I	MCAN 接收数据	P33、U31
MCAN8_TX	O	MCAN 发送数据	J31、L33

表 5-57. MCAN9 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN9_RX	I	MCAN 接收数据	K32、P31
MCAN9_TX	O	MCAN 发送数据	G32、M33

表 5-58. MCAN10 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN10_RX	I	MCAN 接收数据	U32
MCAN10_TX	O	MCAN 发送数据	N31

表 5-59. MCAN11 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN11_RX	I	MCAN 接收数据	H29
MCAN11_TX	O	MCAN 发送数据	N32

Copyright © 2025 Texas Instruments Incorporated

表 5-60. MCAN12 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN12_RX	I	MCAN 接收数据	E33、T29
MCAN12_TX	O	MCAN 发送数据	L31、P29

表 5-61. MCAN13 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN13_RX	I	MCAN 接收数据	T32、W30
MCAN13_TX	O	MCAN 发送数据	AA32、T31

表 5-62. MCAN14 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN14_RX	I	MCAN 接收数据	R30、Y32
MCAN14_TX	O	MCAN 发送数据	R33、Y33

表 5-63. MCAN15 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN15_RX	I	MCAN 接收数据	E32、R31
MCAN15_TX	O	MCAN 发送数据	D33、R29

表 5-64. MCAN16 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN16_RX	I	MCAN 接收数据	U30
MCAN16_TX	O	MCAN 发送数据	G30

表 5-65. MCAN17 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCAN17_RX	I	MCAN 接收数据	R32、T30
MCAN17_TX	O	MCAN 发送数据	P32

5.3.18.2 MCU 域

表 5-66. MCU_MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_MCAN0_RX	I	MCAN 接收数据	C18
MCU_MCAN0_TX	O	MCAN 发送数据	E22

表 5-67. MCU_MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_MCAN1_RX	I	MCAN 接收数据	D20

表 5-67. MCU_MCAN1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_MCAN1_TX	O	MCAN 发送数据	E16

5.3.19 MCASP

5.3.19.1 MAIN 域

表 5-68. MCASP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCASP0_ACLKR	IO	MCASP 接收位时钟	U31
MCASP0_ACLKX	IO	MCASP 发送位时钟	J30
MCASP0_AFSR	IO	MCASP 接收帧同步	M33
MCASP0_AFSX	IO	MCASP 发送帧同步	K31
MCASP0_AXR0	IO	MCASP 串行数据（输入/输出）	F32
MCASP0_AXR1	IO	MCASP 串行数据（输入/输出）	H32
MCASP0_AXR2	IO	MCASP 串行数据（输入/输出）	H33
MCASP0_AXR3	IO	MCASP 串行数据（输入/输出）	F31
MCASP0_AXR4	IO	MCASP 串行数据（输入/输出）	J32
MCASP0_AXR5	IO	MCASP 串行数据（输入/输出）	H30
MCASP0_AXR6	IO	MCASP 串行数据（输入/输出）	K33
MCASP0_AXR7	IO	MCASP 串行数据（输入/输出）	M31
MCASP0_AXR8	IO	MCASP 串行数据（输入/输出）	N30
MCASP0_AXR9	IO	MCASP 串行数据（输入/输出）	T33
MCASP0_AXR10	IO	MCASP 串行数据（输入/输出）	L32
MCASP0_AXR11	IO	MCASP 串行数据（输入/输出）	P30
MCASP0_AXR12	IO	MCASP 串行数据（输入/输出）	M32
MCASP0_AXR13	IO	MCASP 串行数据（输入/输出）	L33
MCASP0_AXR14	IO	MCASP 串行数据（输入/输出）	U31
MCASP0_AXR15	IO	MCASP 串行数据（输入/输出）	M33

表 5-69. MCASP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCASP1_ACLKR	IO	MCASP 接收位时钟	H30
MCASP1_ACLKX	IO	MCASP 发送位时钟	U32
MCASP1_AFSR	IO	MCASP 接收帧同步	K33
MCASP1_AFSX	IO	MCASP 发送帧同步	N32
MCASP1_AXR0	IO	MCASP 串行数据（输入/输出）	H29
MCASP1_AXR1	IO	MCASP 串行数据（输入/输出）	G31
MCASP1_AXR2	IO	MCASP 串行数据（输入/输出）	J31
MCASP1_AXR3	IO	MCASP 串行数据（输入/输出）	P31
MCASP1_AXR4	IO	MCASP 串行数据（输入/输出）	N31

Copyright © 2025 Texas Instruments Incorporated

表 5-70. MCASP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCASP2_ACLKR	IO	MCASP 接收位时钟	M32
MCASP2_ACLKX	IO	MCASP 发送位时钟	P33
MCASP2_AFSR	IO	MCASP 接收帧同步	L33
MCASP2_AFSX	IO	MCASP 发送帧同步	G32
MCASP2_AXR0	IO	MCASP 串行数据（输入/输出）	K32
MCASP2_AXR1	IO	MCASP 串行数据（输入/输出）	R32
MCASP2_AXR2	IO	MCASP 串行数据（输入/输出）	N33
MCASP2_AXR3	IO	MCASP 串行数据（输入/输出）	G28
MCASP2_AXR4	IO	MCASP 串行数据（输入/输出）	U31

表 5-71. MCASP3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCASP3_ACLKR	IO	MCASP 接收位时钟	Y33
MCASP3_ACLKX	IO	MCASP 发送位时钟	Y33
MCASP3_AFSR	IO	MCASP 接收帧同步	Y32
MCASP3_AFSX	IO	MCASP 发送帧同步	Y32
MCASP3_AXR0	IO	MCASP 串行数据（输入/输出）	V31
MCASP3_AXR1	IO	MCASP 串行数据（输入/输出）	V30
MCASP3_AXR2	IO	MCASP 串行数据（输入/输出）	W31

表 5-72. MCASP4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCASP4_ACLKR	IO	MCASP 接收位时钟	M31
MCASP4_ACLKX	IO	MCASP 发送位时钟	J33
MCASP4_AFSR	IO	MCASP 接收帧同步	N30
MCASP4_AFSX	IO	MCASP 发送帧同步	G33
MCASP4_AXR0	IO	MCASP 串行数据（输入/输出）	T30
MCASP4_AXR1	IO	MCASP 串行数据（输入/输出）	G29
MCASP4_AXR2	IO	MCASP 串行数据（输入/输出）	L31
MCASP4_AXR3	IO	MCASP 串行数据（输入/输出）	H31
MCASP4_AXR4	IO	MCASPI 串行数据（输入/输出）	T33

5.3.20 MCSPI

5.3.20.1 MAIN 域

表 5-73. MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI0_CLK	IO	SPI 时钟	V31
SPI0_CS0	IO	SPI 片选 0	Y33
SPI0_CS1	IO	SPI 片选 1	Y32
SPI0_CS2	IO	SPI 片选 2	R31

表 5-73. MCSPI0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI0_CS3	IO	SPI 片选 3	U30
SPI0_D0	IO	SPI 数据 0	V30
SPI0_D1	IO	SPI 数据 1	W31

表 5-74. MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI1_CLK	IO	SPI 时钟	D33
SPI1_CS0	IO	SPI 片选 0	F30
SPI1_CS1	IO	SPI 片选 1	E30
SPI1_CS2	IO	SPI 片选 2	F29
SPI1_CS3	IO	SPI 片选 3	G30
SPI1_D0	IO	SPI 数据 0	F28
SPI1_D1	IO	SPI 数据 1	E32

表 5-75. MCSPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI2_CLK	IO	SPI 时钟	M32
SPI2_CS0	IO	SPI 片选 0	L33
SPI2_CS1	IO	SPI 片选 1	P30
SPI2_CS2	IO	SPI 片选 2	F32
SPI2_CS3	IO	SPI 片选 3	H32
SPI2_D0	IO	SPI 数据 0	U31
SPI2_D1	IO	SPI 数据 1	M33

表 5-76. MCSPI3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI3_CLK	IO	SPI 时钟	H29
SPI3_CS0	IO	SPI 片选 0	N32
SPI3_CS1	IO	SPI 片选 1	F31
SPI3_CS2	IO	SPI 片选 2	K33
SPI3_CS3	IO	SPI 片选 3	U32
SPI3_D0	IO	SPI 数据 0	G31
SPI3_D1	IO	SPI 数据 1	J31

表 5-77. MCSPI5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI5_CLK	IO	SPI 时钟	F31
SPI5_CS0	IO	SPI 片选 0	G29
SPI5_CS1	IO	SPI 片选 1	N33
SPI5_CS2	IO	SPI 片选 2	P33

Copyright © 2025 Texas Instruments Incorporated

表 5-77. MCSPI5 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI5_CS3	IO	SPI 片选 3	G32
SPI5_D0	IO	SPI 数据 0	H31
SPI5_D1	IO	SPI 数据 1	K33

表 5-78. MCSPI6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI6_CLK	IO	SPI 时钟	E33
SPI6_CS0	IO	SPI 片选 0	T30
SPI6_CS1	IO	SPI 片选 1	F33
SPI6_CS2	IO	SPI 片选 2	J32
SPI6_CS3	IO	SPI 片选 3	H30
SPI6_D0	IO	SPI 数据 0	L31
SPI6_D1	IO	SPI 数据 1	G28

表 5-79. MCSPI7 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SPI7_CLK	IO	SPI 时钟	F32
SPI7_CS0	IO	SPI 片选 0	H32
SPI7_CS1	IO	SPI 片选 1	P33
SPI7_CS2	IO	SPI 片选 2	G32
SPI7_CS3	IO	SPI 片选 3	P32
SPI7_D0	IO	SPI 数据 0	G29
SPI7_D1	IO	SPI 数据 1	F31

5.3.20.2 MCU 域

表 5-80. MCU_MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_SPI0_CLK	IO	SPI 时钟	F15
MCU_SPI0_CS0	IO	SPI 片选 0	E19
MCU_SPI0_CS1	IO	SPI 片选 1	A10、D17
MCU_SPI0_CS2	IO	SPI 片选 2	A9、D15
MCU_SPI0_CS3	IO	SPI 片选 3	E16
MCU_SPI0_D0	IO	SPI 数据 0	E18
MCU_SPI0_D1	IO	SPI 数据 1	E14

表 5-81. MCU_MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_SPI1_CLK	IO	SPI 时钟	E15
MCU_SPI1_CS0	IO	SPI 片选 0	D19
MCU_SPI1_CS1	IO	SPI 片选 1	B11、D21

Copyright © 2025 Texas Instruments Incorporated

表 5-81. MCU_MCSPI1 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_SPI1_CS2	IO	SPI 片选 2	A11、C16
MCU_SPI1_CS3	IO	SPI 片选 3	D20
MCU_SPI1_D0	IO	SPI 数据 0	D16
MCU_SPI1_D1	IO	SPI 数据 1	D18

5.3.21 MDIO

5.3.21.1 MAIN 域

表 5-82. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	H29
MDIO0_MDIO	IO	MDIO 数据	N32

表 5-83. MDIO1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MDIO1_MDC	O	MDIO 时钟	G32
MDIO1_MDIO	IO	MDIO 数据	K32

5.3.21.2 MCU 域

表 5-84. MCU_MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_MDIO0_MDC	O	MDIO 时钟	E12
MCU_MDIO0_MDIO	IO	MDIO 数据	F13

5.3.22 MMC

5.3.22.1 MAIN 域

表 5-85. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MMC0_CALPAD (1)	A	MMC/SD/SDIO 校准电阻器	AH2
MMC0_CLK	O	MMC/SD/SDIO 时钟	AJ2
MMC0_CMD	IO	MMC/SD/SDIO 命令	AL2
MMC0_DS	IO	MMC 数据选通	AJ1
MMC0_DAT0	IO	MMC/SD/SDIO 数据	AM1
MMC0_DAT1	IO	MMC/SD/SDIO 数据	AK3
MMC0_DAT2	IO	MMC/SD/SDIO 数据	AL1
MMC0_DAT3	IO	MMC/SD/SDIO 数据	AK1
MMC0_DAT4	IO	MMC/SD/SDIO 数据	AJ3
MMC0_DAT5	IO	MMC/SD/SDIO 数据	AH3
MMC0_DAT6	IO	MMC/SD/SDIO 数据	AJ4

Copyright © 2025 Texas Instruments Incorporated

表 5-85. MMC0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MMC0_DAT7	IO	MMC/SD/SDIO 数据	AK2

(1) 必须在该引脚和 VSS 之间连接一个外部 10kΩ ±1% 电阻器。不应向该引脚施加外部电压。

表 5-86. MMC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MMC1_CLK (2)	IO	MMC/SD/SDIO 时钟	D33
MMC1_CMD	IO	MMC/SD/SDIO 命令	E32
MMC1_SDCD (1)	I	SD 卡检测	AA32
MMC1_SDWP	I	SD 写保护	W30
MMC1_DAT0	IO	MMC/SD/SDIO 数据	F28
MMC1_DAT1	IO	MMC/SD/SDIO 数据	F29
MMC1_DAT2	IO	MMC/SD/SDIO 数据	E30
MMC1_DAT3	IO	MMC/SD/SDIO 数据	F30

(1) 为了从 MMC1 接口进行 ROM 引导以正常工作，应使用一个电阻器从外部将 MMC1_SDCD 引脚拉至低电平，以指示存在 SD 卡/存储器器件。
(2) 为了让 MMC1_CLK 信号正常工作，出于重定时目的，CTRLMMR_PADCONFIG64 寄存器的 RXACTIVE 位应设置为 0x1。

5.3.23 OSPI

5.3.23.1 MCU 域

表 5-87. MCU_OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_OSPI0_CLK	O	OSPI 时钟	D8
MCU_OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	C10
MCU_OSPI0_ECC_FAIL	I	OSPI ECC 状态	B9、E11
MCU_OSPI0_LBCLKO	IO	OSPI 环回时钟输出	D10
MCU_OSPI0_CSn0	O	OSPI 片选 0（低电平有效）	F12
MCU_OSPI0_CSn1	O	OSPI 片选 1（低电平有效）	F11
MCU_OSPI0_CSn2	O	OSPI 片选 2（低电平有效）	B10、F10
MCU_OSPI0_CSn3	O	OSPI 片选 3（低电平有效）	B9、E11
MCU_OSPI0_D0	IO	OSPI 数据 0	E10
MCU_OSPI0_D1	IO	OSPI 数据 1	F9
MCU_OSPI0_D2	IO	OSPI 数据 2	E9
MCU_OSPI0_D3	IO	OSPI 数据 3	D11
MCU_OSPI0_D4	IO	OSPI 数据 4	D9
MCU_OSPI0_D5	IO	OSPI 数据 5	C9
MCU_OSPI0_D6	IO	OSPI 数据 6	C7
MCU_OSPI0_D7	IO	OSPI 数据 7	C8
MCU_OSPI0_RESET_OUT0	O	OSPI 复位	B10、F10
MCU_OSPI0_RESET_OUT1	O	OSPI 复位	A9、E11

表 5-88. MCU_OSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_OSPI1_CLK	O	OSPI 时钟	B7
MCU_OSPI1_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	B9
MCU_OSPI1_LBCLKO	IO	OSPI 环回时钟输出	B10
MCU_OSPI1_CSn0	O	OSPI 片选 0（低电平有效）	A8
MCU_OSPI1_CSn1	O	OSPI 片选 1（低电平有效）	A9
MCU_OSPI1_D0	IO	OSPI 数据 0	B8
MCU_OSPI1_D1	IO	OSPI 数据 1	B11
MCU_OSPI1_D2	IO	OSPI 数据 2	A11
MCU_OSPI1_D3	IO	OSPI 数据 3	A10

5.3.24 PCIE

5.3.24.1 MAIN 域

表 5-89. PCIE 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
PCIE0_CLKREQn	IO	PCIE 时钟请求信号	U32
PCIE1_CLKREQn	IO	PCIE 时钟请求信号	AA32、F30
PCIE2_CLKREQn (1)	IO	PCIE 时钟请求信号	D33、P31
PCIE3_CLKREQn (1)	IO	PCIE 时钟请求信号	E32、N31
PCIE0_RXN0	I	SERDES_PCIE 差分接收数据（负）	AL10
PCIE0_RXN1	I	SERDES_PCIE 差分接收数据（负）	AN8
PCIE0_RXN2	I	SERDES_PCIE 差分接收数据（负）	AM6
PCIE0_RXN3	I	SERDES_PCIE 差分接收数据（负）	AL7
PCIE0_RXP0	I	SERDES_PCIE 差分接收数据（正）	AL11
PCIE0_RXP1	I	SERDES_PCIE 差分接收数据（正）	AN9
PCIE0_RXP2	I	SERDES_PCIE 差分接收数据（正）	AM7
PCIE0_RXP3	I	SERDES_PCIE 差分接收数据（正）	AL8
PCIE0_TXN0	O	SERDES_PCIE 差分发送数据（负）	AK11
PCIE0_TXN1	O	SERDES_PCIE 差分发送数据（负）	AM9
PCIE0_TXN2	O	SERDES_PCIE 差分发送数据（负）	AK8
PCIE0_TXN3	O	SERDES_PCIE 差分发送数据（正）	AJ9
PCIE0_TXP0	O	SERDES_PCIE 差分发送数据（正）	AK12
PCIE0_TXP1	O	SERDES_PCIE 差分发送数据（正）	AM10
PCIE0_TXP2	O	SERDES_PCIE 差分发送数据（正）	AK9
PCIE0_TXP3	O	SERDES_PCIE 差分发送数据（正）	AJ10
PCIE1_RXN0 (1)	I	SERDES_PCIE 差分接收数据（负）	AM12
PCIE1_RXN1 (1)	I	SERDES_PCIE 差分接收数据（负）	AL13
PCIE1_RXN2 (1)	I	SERDES_PCIE 差分接收数据（负）	AN15
PCIE1_RXN3 (1)	I	SERDES_PCIE 差分接收数据（负）	AL17
PCIE1_RXP0 (1)	I	SERDES_PCIE 差分接收数据（正）	AM13
PCIE1_RXP1 (1)	I	SERDES_PCIE 差分接收数据（正）	AL14
PCIE1_RXP2 (1)	I	SERDES_PCIE 差分接收数据（正）	AN14

Copyright © 2025 Texas Instruments Incorporated

表 5-89. PCIE 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
PCIE1_RXP3 (1)	I	SERDES_PCIE 差分接收数据（正）	AL16
PCIE1_TXN0 (1)	O	SERDES_PCIE 差分发送数据（负）	AN11
PCIE1_TXN1 (1)	O	SERDES_PCIE 差分发送数据（负）	AJ19
PCIE1_TXN2 (1)	O	SERDES_PCIE 差分发送数据（负）	AM16
PCIE1_TXN3 (1)	O	SERDES_PCIE 差分发送数据（负）	AK18
PCIE1_TXP0 (1)	O	SERDES_PCIE 差分发送数据（正）	AN12
PCIE1_TXP1 (1)	O	SERDES_PCIE 差分发送数据（正）	AJ18
PCIE1_TXP2 (1)	O	SERDES_PCIE 差分发送数据（正）	AM15
PCIE1_TXP3 (1)	O	SERDES_PCIE 差分发送数据（正）	AK17
PCIE2_RXN0 (1)	I	SERDES_PCIE 差分接收数据（负）	AM6
PCIE2_RXN1 (1)	I	SERDES_PCIE 差分接收数据（负）	AL7
PCIE2_RXP0 (1)	I	SERDES_PCIE 差分接收数据（正）	AM7
PCIE2_RXP1 (1)	I	SERDES_PCIE 差分接收数据（正）	AL8
PCIE2_TXN0 (1)	O	SERDES_PCIE 差分发送数据（负）	AK8
PCIE2_TXN1 (1)	O	SERDES_PCIE 差分发送数据（负）	AJ9
PCIE2_TXP0 (1)	O	SERDES_PCIE 差分发送数据（负）	AK9
PCIE2_TXP1 (1)	O	SERDES_PCIE 差分发送数据（正）	AJ10
PCIE3_RXN0 (1)	I	SERDES_PCIE 差分接收数据（负）	AN15
PCIE3_RXN1 (1)	I	SERDES_PCIE 差分接收数据（负）	AL17
PCIE3_RXP0 (1)	I	SERDES_PCIE 差分接收数据（正）	AN14
PCIE3_RXP1 (1)	I	SERDES_PCIE 差分接收数据（正）	AL16
PCIE3_TXN0 (1)	O	SERDES_PCIE 差分发送数据（负）	AM16
PCIE3_TXN1 (1)	O	SERDES_PCIE 差分发送数据（负）	AK18
PCIE3_TXP0 (1)	O	SERDES_PCIE 差分发送数据（正）	AM15
PCIE3_TXP1 (1)	O	SERDES_PCIE 差分发送数据（正）	AK17
PCIE_REFCLK0_N_OUT	O	SERDES_PCIE 基准时钟（负）	AJ13
PCIE_REFCLK0_P_OUT	O	SERDES_PCIE 基准时钟（正）	AJ12
PCIE_REFCLK1_N_OUT	O	SERDES_PCIE 基准时钟输出（负）	AH14
PCIE_REFCLK1_P_OUT	O	SERDES_PCIE 基准时钟输出（正）	AH13
PCIE_REFCLK2_N_OUT (1)	O	SERDES_PCIE 基准时钟输出（负）	AH11
PCIE_REFCLK2_P_OUT (1)	O	SERDES_PCIE 基准时钟输出（正）	AH10
PCIE_REFCLK3_N_OUT (1)	O	SERDES_PCIE 基准时钟输出（负）	AJ16
PCIE_REFCLK3_P_OUT (1)	O	SERDES_PCIE 基准时钟输出（正）	AJ15

(1) 此信号在 **TDA4VPE4**、**TDA4APE4** 器件上不受支持。请参阅器件比较表和引脚属性表，了解支持的 IP 和信号的完整列表。

5.3.25 SERDES

5.3.25.1 MAIN 域

表 5-90. SERDES0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SERDES0_REFCLK_N (1)	IO	串行器/解串器基准时钟输入/输出（负）	AK15
SERDES0_REFCLK_P (1)	IO	串行器/解串器基准时钟输入/输出（正）	AK14

表 5-90. SERDES0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SERDES0_REXT (1) (2)	I	外部校准电阻器	AG7

(1) 此信号在 **TDA4VPE4**、**TDA4APE4** 器件上不受支持。请参阅器件比较表和引脚属性表，了解支持的 IP 和信号的完整列表。
(2) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。不应向该引脚施加外部电压。

表 5-91. SERDES1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SERDES1_REFCLK_N	IO	串行器/解串器基准时钟输入/输出（负）	AN5
SERDES1_REFCLK_P	IO	串行器/解串器基准时钟输入/输出（正）	AN6
SERDES1_REXT (1)	I	外部校准电阻器	AH9

(1) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。不应向该引脚施加外部电压。

表 5-92. SERDES4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SERDES4_REFCLK_N	IO	串行器/解串器基准时钟输入/输出（负）	AK21
SERDES4_REFCLK_P	IO	串行器/解串器基准时钟输入/输出（正）	AK20
SERDES4_REXT (1)	IO	外部校准电阻器	AH23

(1) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。不应向该引脚施加外部电压。

5.3.26 SGMII

5.3.26.1 MAIN 域

表 5-93. CPSW9X0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SGMII1_RXN0 (1)	I	SGMII 接收（负）	AM6
SGMII1_RXP0 (1)	I	SGMII 接收（正）	AM7
SGMII1_TXN0 (1)	O	SGMII 发送（负）	AK8
SGMII1_TXP0 (1)	O	SGMII 发送（正）	AK9
SGMII2_RXN0 (1)	I	SGMII 接收（负）	AL7
SGMII2_RXP0 (1)	I	SGMII 接收（正）	AL8
SGMII2_TXN0 (1)	O	SGMII 发送（负）	AJ9
SGMII2_TXP0 (1)	O	SGMII 发送（正）	AJ10
SGMII3_RXN0	I	SGMII 接收（负）	AL10
SGMII3_RXP0	I	SGMII 接收（正）	AL11
SGMII3_TXN0	O	SGMII 发送（负）	AK11
SGMII3_TXP0	O	SGMII 发送（正）	AK12
SGMII4_RXN0	I	SGMII 接收（负）	AN8
SGMII4_RXP0	I	SGMII 接收（正）	AN9
SGMII4_TXN0	O	SGMII 发送（负）	AM9
SGMII4_TXP0	O	SGMII 发送（正）	AM10
SGMII5_RXN0 (1)	I	SGMII 接收（负）	AN17
SGMII5_RXP0 (1)	I	SGMII 接收（正）	AN18
SGMII5_TXN0 (1)	O	SGMII 发送（负）	AJ21
SGMII5_TXP0 (1)	O	SGMII 发送（正）	AJ22

Copyright © 2025 Texas Instruments Incorporated

表 5-93. CPSW9X0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
SGMII6_RXN0 (1)	I	SGMII 接收（负）	AL19
SGMII6_RXP0 (1)	I	SGMII 接收（正）	AL20
SGMII6_TXN0 (1)	O	SGMII 发送（负）	AM18
SGMII6_TXP0 (1)	O	SGMII 发送（正）	AM19
SGMII7_RXN0 (1)	I	SGMII 接收（负）	AK23
SGMII7_RXP0 (1)	I	SGMII 接收（正）	AK24
SGMII7_TXN0 (1)	O	SGMII 发送（负）	AN20
SGMII7_TXP0 (1)	O	SGMII 发送（正）	AN21
SGMII8_RXN0 (1)	I	SGMII 接收（负）	AM21
SGMII8_RXP0 (1)	I	SGMII 接收（正）	AM22
SGMII8_TXN0 (1)	O	SGMII 发送（负）	AL22
SGMII8_TXP0 (1)	O	SGMII 发送（正）	AL23

(1) 此信号在 **TDA4VPE4**、**TDA4APE4** 器件上不受支持。请参阅器件比较表和引脚属性表，了解支持的 IP 和信号的完整列表。

5.3.27 UART

5.3.27.1 MAIN 域

表 5-94. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART0_CTSn	I	UART 允许发送（低电平有效）	F30、G31
UART0_DCDn	I	UART 数据载波检测（低电平有效）	T29
UART0_DSRn	I	UART 数据集就绪（低电平有效）	T31
UART0_DTRn	O	UART 数据终端就绪（低电平有效）	T32
UART0_RIn	I	UART 振铃指示器	R33
UART0_RTSn	O	UART 请求发送（低电平有效）	D33、J31、Y32
UART0_RXD	I	UART 接收数据	N32
UART0_TXD	O	UART 发送数据	H29

表 5-95. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART1_CTSn	I	UART 允许发送（低电平有效）	K32、V31
UART1_RTSn	O	UART 请求发送（低电平有效）	R32、V30
UART1_RXD	I	UART 接收数据	P33
UART1_TXD	O	UART 发送数据	G32

表 5-96. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART2_CTSn	I	UART 允许发送（低电平有效）	L31
UART2_RTSn	O	UART 请求发送（低电平有效）	J33
UART2_RXD	I	UART 接收数据	F29、N33、V30
UART2_TXD	O	UART 发送数据	F28、G29、W31

表 5-97. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART3_CTSn	I	UART 允许发送（低电平有效）	F31
UART3_RTSn	O	UART 请求发送（低电平有效）	H31
UART3_RXD	I	UART 接收数据	AA32、G28、L31
UART3_TXD	O	UART 发送数据	F33、J33、W30

表 5-98. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART4_CTSn	I	UART 允许发送（低电平有效）	D33、H33、T33
UART4_RTSn	O	UART 请求发送（低电平有效）	E32、L32、U32
UART4_RXD	I	UART 接收数据	F29、F32、M31、N31
UART4_TXD	O	UART 发送数据	F28、H32、N30、T31

表 5-99. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART5_CTSn	I	UART 允许发送（低电平有效）	F29、L33
UART5_RTSn	O	UART 请求发送（低电平有效）	F28、U31
UART5_RXD	I	UART 接收数据	F30、P30、T29
UART5_TXD	O	UART 发送数据	E30、M32、P29

表 5-100. UART6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART6_CTSn	I	UART 允许发送（低电平有效）	N33
UART6_RTSn	O	UART 请求发送（低电平有效）	G29
UART6_RXD	I	UART 接收数据	E33、K32、R33
UART6_TXD	O	UART 发送数据	G33、R32、T32

表 5-101. UART7 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART7_CTSn	I	UART 允许发送（低电平有效）	F29
UART7_RTSn	O	UART 请求发送（低电平有效）	F28
UART7_RXD	I	UART 接收数据	F30、L33、P32
UART7_TXD	O	UART 发送数据	E30、T30、U31

表 5-102. UART8 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART8_CTSn	I	UART 允许发送（低电平有效）	F32
UART8_RTSn	O	UART 请求发送（低电平有效）	H32

Copyright © 2025 Texas Instruments Incorporated

表 5-102. UART8 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART8_RXD	I	UART 接收数据	D33、J30、M33、Y32
UART8_TXD	O	UART 发送数据	E32、K31、P31、V31

表 5-103. UART9 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UART9_CTSn	I	UART 允许发送（低电平有效）	E33、H33
UART9_RTSn	O	UART 请求发送（低电平有效）	T30、U32
UART9_RXD	I	UART 接收数据	G31、R29
UART9_TXD	O	UART 发送数据	J31、R30

5.3.27.2 MCU 域

表 5-104. MCU_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_UART0_CTSn	I	UART 允许发送（低电平有效）	A10、D15
MCU_UART0_RTSn	O	UART 请求发送（低电平有效）	A9、C16
MCU_UART0_RXD	I	UART 接收数据	B11、B21、D21
MCU_UART0_TXD	O	UART 发送数据	A11、B18、D17

5.3.27.3 WKUP 域

表 5-105. WKUP_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_UART0_CTSn	I	UART 允许发送（低电平有效）	B15
WKUP_UART0_RTSn	O	UART 请求发送（低电平有效）	B17
WKUP_UART0_RXD	I	UART 接收数据	C20
WKUP_UART0_TXD	O	UART 发送数据	C19

5.3.28 UFS

5.3.28.1 MAIN 域

表 5-106. UFS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UFS0_REF_CLK	O	UFS 基准时钟	AJ5
UFS0_RSTn	O	UFS 复位	AJ7
UFS0_RX_DN0	I	UFS 接收数据（负）	AK5
UFS0_RX_DN1	I	UFS 接收数据（负）	AL4
UFS0_RX_DP0	I	UFS 接收数据（正）	AK6
UFS0_RX_DP1	I	UFS 接收数据（正）	AL5
UFS0_TX_DN0	O	UFS 发送数据（负）	AN2
UFS0_TX_DN1	O	UFS 发送数据（负）	AM3

表 5-106. UFS0 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
UFS0_TX_DP0	O	UFS 发送数据（正）	AN3
UFS0_TX_DP1	O	UFS 发送数据（正）	AM4

5.3.29 USB

5.3.29.1 MAIN 域

表 5-107. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
USB0_DM	IO	USB 2.0 差分数据（负）	AH16
USB0_DP	IO	USB 2.0 差分数据（正）	AH17
USB0_DRVVBUS	O	USB VBUS 控制输出（高电平有效）	M31、P32、W30
USB0_ID	A	USB 2.0 双角色设备角色选择	AH20
USB0_RCALIB (2)	A	连接到校准电阻的引脚	AH22
USB0_VBUS (3)	A	USB 电平转换的 VBUS 检测器	AG19
USB0_SSRX1N (1)	I	SERDES_USB 差分接收数据（负）	AK23、AN15
USB0_SSRX1P (1)	I	SERDES_USB 差分接收数据（正）	AK24、AN14
USB0_SSRX2N (1)	I	SERDES_USB 差分接收数据（负）	AL17、AM21
USB0_SSRX2P (1)	I	SERDES_USB 差分接收数据（正）	AL16、AM22
USB0_SSTX1N (1)	O	SERDES_USB 差分发送数据（负）	AM16、AN20
USB0_SSTX1P (1)	O	SERDES_USB 差分发送数据（正）	AM15、AN21
USB0_SSTX2N (1)	O	SERDES_USB 差分发送数据（负）	AK18、AL22
USB0_SSTX2P (1)	O	SERDES_USB 差分发送数据（正）	AK17、AL23

(1) 在 **TDA4VPE4**、**TDA4APE4** 器件上此信号仅支持引脚多路复用选项的一个子集。请参阅器件比较表和引脚属性表，了解支持的 IP 和信号的完整列表。
(2) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500Ω ±1% 电阻器
(3) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅 *USB VBUS 设计指南*。

5.3.30 仿真和调试

5.3.30.1 MAIN 域

表 5-108. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
EMU0	IO	仿真控制 0	F19
EMU1	IO	仿真控制 1	E17
TCK	I	JTAG 测试时钟输入	F21
TDI	I	JTAG 测试数据输入	V33
TDO	OZ	JTAG 测试数据输出	W33
TMS	I	JTAG 测试模式选择输入	V32
TRSTn	I	JTAG 复位	F17

表 5-109. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
TRC_CLK	O	跟踪时钟	J33、P29

Copyright © 2025 Texas Instruments Incorporated

表 5-109. 布线信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
TRC_CTL	O	跟踪控制	G33、T29
TRC_DATA0	O	跟踪数据 0	T30、T31
TRC_DATA1	O	跟踪数据 1	L31、T32
TRC_DATA2	O	跟踪数据 2	E33、R33
TRC_DATA3	O	跟踪数据 3	G28、R30
TRC_DATA4	O	跟踪数据 4	P33
TRC_DATA5	O	跟踪数据 5	H31
TRC_DATA6	O	跟踪数据 6	J31
TRC_DATA7	O	跟踪数据 7	F31
TRC_DATA8	O	跟踪数据 8	G31
TRC_DATA9	O	跟踪数据 9	G32
TRC_DATA10	O	跟踪数据 10	H33
TRC_DATA11	O	跟踪数据 11	N33
TRC_DATA12	O	跟踪数据 12	H32
TRC_DATA13	O	跟踪数据 13	R32
TRC_DATA14	O	跟踪数据 14	F32
TRC_DATA15	O	跟踪数据 15	K32
TRC_DATA16	O	跟踪数据 16	G29
TRC_DATA17	O	跟踪数据 17	F33
TRC_DATA18	O	跟踪数据 18	J32
TRC_DATA19	O	跟踪数据 19	H30
TRC_DATA20	O	跟踪数据 20	K33
TRC_DATA21	O	跟踪数据 21	R29
TRC_DATA22	O	跟踪数据 22	R31
TRC_DATA23	O	跟踪数据 23	G30
TRC_DATA24	O	跟踪数据 24	U30
TRC_DATA25	O	跟踪数据 25	P32

5.3.31 系统和其他

5.3.31.1 启动模式配置

表 5-110. Sysboot 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
BOOTMODE00	I	引导模式引脚 0	E10
BOOTMODE01	I	引导模式引脚 1	F9
BOOTMODE02	I	引导模式引脚 2	D9
BOOTMODE03	I	引导模式引脚 3	C9
BOOTMODE04	I	引导模式引脚 4	A19
BOOTMODE05	I	引导模式引脚 5	B20
BOOTMODE06	I	引导模式引脚 6	A17
BOOTMODE07	I	引导模式引脚 7	A18
MCU_BOOTMODE00	I	MCU 引导模式引脚 0	F15

表 5-110. Sysboot 信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_BOOTMODE01	I	MCU 引导模式引脚 1	E18
MCU_BOOTMODE02	I	MCU 引导模式引脚 2	E14
MCU_BOOTMODE03	I	MCU 引导模式引脚 3	E15
MCU_BOOTMODE04	I	MCU 引导模式引脚 4	D16
MCU_BOOTMODE05	I	MCU 引导模式引脚 5	D18
MCU_BOOTMODE06	I	MCU 引导模式引脚 6	D15
MCU_BOOTMODE07	I	MCU 引导模式引脚 7	C16
MCU_BOOTMODE08	I	MCU 引导模式引脚 8	D17
MCU_BOOTMODE09	I	MCU 引导模式引脚 9	D21

5.3.31.2 时钟

表 5-111. Clock0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
WKUP_LF_CLKIN	I	低频 (32.768KHz) 振荡器输入	A18
WKUP_OSC0_XI	I	高频振荡器输入	A24
WKUP_OSC0_XO	O	高频振荡器输出	B25

表 5-112. Clock1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
OSC1_XI	I	高频振荡器输入	B23
OSC1_XO	O	高频振荡器输出	A22

5.3.31.3 EFUSE

表 5-113. EFUSE 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VPP_CORE	PWR	MAIN 域电子保险丝的编程电压	V29
VPP_MCU	PWR	MCU 域电子保险丝的编程电压	F26

5.3.31.4 系统

表 5-114. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
AUDIO_EXT_REFCLK0	IO	路由到 ATL 或 McASP 的外部时钟，作为可选输入时钟源之一或作为 ATL 或 McASP 的输出时钟	T30
AUDIO_EXT_REFCLK1	IO	路由到 ATL 或 McASP 的外部时钟，作为可选输入时钟源之一或作为 ATL 或 McASP 的输出时钟	F33
EXTINTn	I	外部中断	Y29
EXT_REFCLK1	I	Main 域的外部时钟输入，路由到计时器时钟多路复用器，作为计时器/WDT 模块的可选输入时钟源之一，或作为 MAIN_PLL2 (PER1 PLL) 的基准时钟	J33
GPMC0_FCLK_MUX	O	通过多路复用器逻辑选择的 GPMC 功能时钟输出	K33
OBSCLK1	O	观察时钟输出，仅用于测试和调试目的	H32

Copyright © 2025 Texas Instruments Incorporated

表 5-114. 系统信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
PMIC_POWER_EN1	O	MAIN 域电源的电源使能输出	B16
PMIC_WAKE0	O	PMIC 唤醒（低电平有效）	T30
PMIC_WAKE1	O	PMIC 唤醒（低电平有效）	A20
PORz	I	SoC PORz 复位信号	D24
RESETSTATz	O	Main 域热复位状态输出	W32
RESET_REQz	I	Main 域外部热复位请求输入	G20
SOC_SAFETY_ERRORn	IO	Main 域 ESM 的错误信号输出	Y31
SYNC0_OUT	O	CPTS 时间戳发生器位 0	L31
SYNC1_OUT	O	CPTS 时间戳发生器位 1	J33
SYNC2_OUT	O	CPTS 时间戳发生器位 2	H29
SYNC3_OUT	O	CPTS 时间戳发生器位 3	P33
SYSCLKOUT0	O	主 PLL 控制器的 SYSCLK0 输出（6 分频），仅用于测试和调试用途	AA32

表 5-115. MCU 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
MCU_CLKOUT0	OZ	以太网 PHY 的基准时钟输出（50MHz 或 25MHz）	B21
MCU_EXT_REFCLK0	I	外部系统时钟输入	A20、B18
MCU_OBSCLK0	O	观察时钟输出，仅用于测试和调试目的	B21
MCU_PORz	I	MCU 域冷复位	C24
MCU_RESETSTATz	O	MCU 域热复位状态输出	E21
MCU_RESETz	I	MCU 域热复位	E20
MCU_SAFETY_ERRORn	IO	MCU 域 ESM 的错误信号输出	C22
MCU_SYSCLKOUT0	O	MCU 域系统时钟输出，仅用于测试和调试目的	B18

5.3.31.5 VMON

表 5-116. VMON 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VMON1_ER_VSYS	A	电压监控器，0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用，以监控更高的电压轨，例如 PMIC 输入电源。	G26
VMON2_IR_VCPU	A	必须在外部直接连接至 VDD_CPU	L25
VMON3_IR_VEXT1P8	A	用外部电源的通用电压监控器，1.8V 阈值。采用内部电阻分压器。	K30
VMON4_IR_VEXT1P8	A	用外部电源的通用电压监控器，1.8V 阈值。采用内部电阻分压器。	M26
VMON5_IR_VEXT3P3	A	用外部电源的通用电压监控器，3.3V 阈值。采用内部电阻分压器。	M29

5.3.32 电源

表 5-117. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
CAP_VDDS0 (1)	CAP	外部电容器连接	T27
CAP_VDDS0_MCU (1)	CAP	外部电容器连接	J25
CAP_VDDS1_MCU (1)	CAP	外部电容器连接	J23
CAP_VDDS2 (1)	CAP	外部电容器连接	P27
CAP_VDDS2_MCU (1)	CAP	外部电容器连接	J24
CAP_VDDS5 (1)	CAP	外部电容器连接	M27
VDDAR_CORE	PWR	内核 RAM 电源	AA22、AD13、AD16、AD19、AE26、AE9、P23、Y25
VDDAR_CPU	PWR	CPU RAM 电源	AA14、AA16、AA18、AC10、K19、L21、P13、R18、U12、U19、V17、V9、Y11
VDDAR_MCU	PWR	MCU RAM 电源	K25、L22
VDDA_0P8_DSITX	PWR	用于 DSITX 的模拟电源	AG22
VDDA_0P8_DSITX_C	PWR	DSITX 时钟电源	AG23
VDDA_0P8_UFS	PWR	UFS 0.8V 电源	AF9
VDDA_0P8_USB	PWR	USB 0.8V 电源	AG17
VDDA_0P8_CSIRX2	PWR	用于 CSIRX 的模拟电源	AG26
VDDA_0P8_CSIRX0_1	PWR	用于 CSIRX 的模拟电源	AG24
VDDA_0P8_DLL_MMC0	PWR	MMC DLL 模拟电源	AD7
VDDA_0P8_PLL_DDR0	PWR	DDR 去偏移 PLL 模拟电源	P8
VDDA_0P8_PLL_DDR1	PWR	DDR 去偏移 PLL 模拟电源	J11
VDDA_0P8_SERDES4	PWR	串行器/解串器 0.8V 电源	AG15、AG16
VDDA_0P8_SERDES0_1	PWR	串行器/解串器 0.8V 电源	AF12、AG10、AG13
VDDA_0P8_SERDES_C4	PWR	串行器/解串器 0.8V 时钟电源	AE15、AF16
VDDA_0P8_SERDES_C0_1	PWR	串行器/解串器 0.8V 时钟电源	AF10、AF13
VDDA_1P8_DSITX	PWR	用于 DSITX 的模拟电源	AF22、AF23
VDDA_1P8_UFS	PWR	UFS 1.8V 电源	AG8
VDDA_1P8_USB	PWR	USB 1.8V 电源	AH19
VDDA_1P8_CSIRX2	PWR	用于 CSIRX 的模拟电源	AF27、AG27
VDDA_1P8_CSIRX0_1	PWR	用于 CSIRX 的模拟电源	AF25、AF26
VDDA_1P8_SERDES4	PWR	串行器/解串器 1.8V 电源	AF15
VDDA_1P8_SERDES0_1	PWR	串行器/解串器 1.8V 电源	AG11、AG12
VDDA_1P8_SERDES2_4	PWR	串行器/解串器 1.8V 电源	AG21
VDDA_3P3_USB	PWR	USB 3.3V 电源	AF17
VDDA_ADC0	PWR	ADC0 模拟电源	J28
VDDA_ADC1	PWR	ADC1 模拟电源	K28
VDDA_MCU_PLLGRP0	PWR	MCU PLL 组 0 的模拟电源	K26
VDDA_MCU_TEMP	PWR	MCU 温度传感器的模拟电源	K24
VDDA_OSC1	PWR	HFOSC1 电源	L27

Copyright © 2025 Texas Instruments Incorporated

表 5-117. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VDDA_PLLGRP0	PWR	MAIN PLL 组 0 的模拟电源	W25
VDDA_PLLGRP1	PWR	MAIN PLL 组 1 的模拟电源	V25
VDDA_PLLGRP2	PWR	MAIN PLL 组 2 的模拟电源	AE11
VDDA_PLLGRP5	PWR	MAIN PLL 组 5 的模拟电源	T12
VDDA_PLLGRP6	PWR	MAIN PLL 组 6 的模拟电源	N19
VDDA_PLLGRP7	PWR	MAIN PLL 组 7 的模拟电源	M10
VDDA_PLLGRP8	PWR	MAIN PLL 组 8 的模拟电源	K13
VDDA_PLLGRP9	PWR	MAIN PLL 组 9 的模拟电源	V24
VDDA_PLLGRP10	PWR	MAIN PLL 组 10 的模拟电源	AD20
VDDA_PLLGRP12	PWR	MAIN PLL 组 12 的模拟电源	W21
VDDA_PLLGRP13	PWR	MAIN PLL 组 13 的模拟电源	Y24
VDDA_POR_WKUP	PWR	WKUP 域模拟电源	L26
VDDA_TEMP0	PWR	温度传感器 0 的模拟电源	V26
VDDA_TEMP1	PWR	温度传感器 1 的模拟电源	K10
VDDA_TEMP2	PWR	温度传感器 2 的模拟电源	U21
VDDA_TEMP3	PWR	温度传感器 3 的模拟电源	AC11
VDDA_TEMP4	PWR	温度传感器 4 的模拟电源	AB16
VDDA_WKUP	PWR	WKUP 域的振荡器电源	J27
VDDSHV0	PWR	IO 电源	T28
VDDSHV0_MCU	PWR	IO 电源	H27
VDDSHV1_MCU	PWR	IO 电源	G22、H23
VDDSHV2	PWR	IO 电源	N28、P28
VDDSHV2_MCU	PWR	IO 电源	G24、H25
VDDSHV5	PWR	IO 电源	N27
VDDS_DDR	PWR	DDR PHY IO 电源	A2、AH1、G10、G12、G14、G16、G18、H11、H13、H15、H17、H9、J10、J14、J16、J8、K7、L8、M7、P7、R8
VDDS_DDR_C0	PWR	DDR 时钟的 IO 电源	N8
VDDS_DDR_C1	PWR	DDR 时钟的 IO 电源	J12
VDDS_MMC0	PWR	MMC0 PHY IO 电源	AE8、AF7

表 5-117. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VDD_CORE	PWR	MAIN 域内核电源	AA24、AA26、AA28、AB23、AB25、AB27、AC22、AC24、AC26、AC28、AD11、AD15、AD17、AD21、AD23、AD25、AD27、AE10、AE12、AE14、AE16、AE18、AE20、AE22、AE24、AE28、AF19、K11、K15、K17、K9、L10、L12、L14、L16、M11、M13、M15、M17、M9、N10、N12、N14、N16、N22、N24、N26、P11、P25、P9、R10、R22、R24、R26、T23、T25、U22、U24、U26、U28、V23、V27、W22、W24、W26、W28、Y23、Y27
VDD_CPU	PWR	CPU 内核电源	AA10、AA12、AA20、AA8、AB11、AB13、AB15、AB17、AB19、AB21、AB9、AC12、AC14、AC16、AC18、AC20、AC8、AD9、H19、H21、J18、J20、L18、L20、M19、N18、N20、P15、P17、P19、P21、R12、R20、T11、T17、T19、T21、T9、U10、U18、U20、U8、V11、V19、V21、W10、W12、W18、W20、W8、Y17、Y19、Y21、Y9
VDD_MCU	PWR	MCU 内核电源	J22、K21、K23、L24、M21、M23、M25
VDD_MCU_WAKE1	PWR	MCU 菊花链的内核电源	J26
VDD_WAKE0	PWR	MAIN 域菊花链的内核电源	R27

Copyright © 2025 Texas Instruments Incorporated

表 5-117. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VSS	GND	接地	A1、A23、A25、A27、A29、A31、A4、A7、AA11、AA13、AA15、AA17、AA19、AA2、AA21、AA23、AA25、AA27、AA29、AA31、AA33、AA5、AA9、AB1、AB10、AB12、AB14、AB18、AB20、AB22、AB24、AB26、AB28、AB30、AB32、AB4、AB8、AC13、AC15、AC17、AC19、AC2、AC21、AC23、AC25、AC27、AC5、AC9、AD10、AD12、AD14、AD18、AD22、AD24、AD26、AD28、AD29、AD3、AD31、AD33、AD6、AD8、AE1、AE13、AE17、AE19、AE21、AE23、AE25、AE27、AE30、AE32、AE4、AE7、AF11、AF14、AF18、AF2、AF20、AF21、AF24、AF28、AF5、AF8、AG14、AG18、AG20、AG25、AG28、AG29、AG3、AG31、AG33、AG6、AG9、AH12、AH15、AH18、AH21、AH24、AH26、AH28、AH30、AH5、AJ11、AJ14、AJ17、AJ20、AJ23、AJ26、AJ29、AJ32、AJ6、AJ8、AK10、AK13、AK16、AK19、AK22、AK25、AK28、AK31、AK4、AK7、AL12、AL15、AL18、AL21、AL24、AL27、AL3、AL30、AL33、AL6、AL9、AM11、AM14、AM17、

表 5-117. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
			AM2、AM20、AM23、AM26、AM29、AM32、AM33、AM5、AM8、AN1、AN10、AN13、AN16
VSS（续）	GND	接地	AN19、AN22、AN25、AN28、AN31、AN32、AN4、AN7、B22、B24、B26、B28、B3、B30、B32、B6、C11、C13、C15、C17、C2、C21、C23、C25、C27、C29、C31、C33、C5、D1、D26、D28、D30、D32、D4、D7、E23、E25、E27、E29、E3、E31、E6、E8、F14、F16、F18、F2、F20、F22、F24、F5、F7、G1、G11、G13、G15、G17、G19、G21、G23、G25、G27、G4、G9、H10、H12、H14、H16、H18、H2、H20、H22、H24、H26、H28、H5、H8、J1、J13、J15、J17、J19、J21、J6、J7、J9、K12、K14、K16、K18、K2、K20、K22、K27、K29、K5、K8、L11、L13、L15、L17、L19、L23、L3、L6、L7、L9、M1、M12、M14、M16、M18、M20、M22、M24、M28、M4、M8、N11、N13、N15、N17、N2、N21、N23、N25、N29、N5、N7、N9、P10、P12、P14、P16、P18、P20、P22、P24、P26、P3、R11、R17、R19、R21、R23、R25、R28、R3、R6

Copyright © 2025 Texas Instruments Incorporated

表 5-117. 电源信号说明（续）

信号名称 [1]	引脚类型 [2]	说明 [3]	AND 引脚 [4]
VSS（续）	GND	接地	R9、T10、T18、T2、T20、T22、T24、T26、T5、T8、U1、U11、U17、U23、U25、U27、U29、U33、U4、U7、U9、V10、V12、V18、V20、V22、V28、V3、V6、V8、W11、W17、W19、W2、W23、W27、W29、W5、W9、Y1、Y10、Y12、Y18、Y20、Y22、Y26、Y28、Y6、Y8

(1) 该引脚必须始终通过 1 μF ±10% 电容器连接至 VSS。

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非信号说明中另有说明，否则必须为所有电源焊球提供建议运行条件一节中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC) 表示这些器件焊球编号不能连接任何信号布线。

表 5-118 按焊球名称和焊球编号显示了特定信号的连接要求。

表 5-118. 连接要求

焊球编号	焊球名称	连接要求
B23	OSC1_XI	这些焊球每一个均必须通过单独的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。
A24	WKUP_OSC0_XI	
F17	TRSTN	
R1	DDR0_DQS0P	
V1	DDR0_DQS1P	
AD1	DDR0_DQS2P	
AG1	DDR0_DQS3P	
B1	DDR1_DQS0P	
E1	DDR1_DQS1P	
L1	DDR1_DQS2P	
P1	DDR1_DQS3P	
AC7	DDR0_RET	
G8	DDR1_RET	
G26	VMON1_ER_VSYS	
L25	VMON2_IR_VCPU	
K30	VMON3_IR_VEXT1P8	
M26	VMON4_IR_VEXT1P8	
M29	VMON5_IR_VEXT3P3	
E26	MCU_ADC0_AIN0	这些焊球每一个均可以通过单独的外部拉电阻器连接到 VSS，或者可以直接连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。
F25	MCU_ADC0_AIN1	
F23	MCU_ADC0_AIN2	
A28	MCU_ADC0_AIN3	
E24	MCU_ADC0_AIN4	
D27	MCU_ADC0_AIN5	
A26	MCU_ADC0_AIN6	
B27	MCU_ADC0_AIN7	
C32	MCU_ADC1_AIN0	
B33	MCU_ADC1_AIN1	
B31	MCU_ADC1_AIN2	
B29	MCU_ADC1_AIN3	
D31	MCU_ADC1_AIN4	
A32	MCU_ADC1_AIN5	
A30	MCU_ADC1_AIN6	
C28	MCU_ADC1_AIN7	

Copyright © 2025 Texas Instruments Incorporated

表 5-118. 连接要求（续）

焊球编号	焊球名称	连接要求
AG7	SERDES0_REXT	这些焊球每一个均必须通过适合的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。有关每个信号的拉电阻器的适当阻值，请参阅信号说明脚注。
AH9	SERDES1_REXT	
AH23	SERDES4_REXT	
AH31	CSI0_RXRCALIB	
AJ33	CSI1_RXRCALIB	
AH29	CSI2_RXRCALIB	
R7	DDR0_CAL0	
F8	DDR1_CAL0	
AH25	DSI0_TXRCALIB	
AH27	DSI1_TXRCALIB	
AH22	USB0_RCALIB	
E20	MCU_RESETZ	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源，以确保这些焊球保持为有效的逻辑高电平（如果未使用）。
C24	MCU_PORZ	
D24	PORZ	
G20	RESET_REQZ	
F21	TCK	
V32	TMS	
A21	MCU_I2C0_SDA	
D22	MCU_I2C0_SCL	
A16	WKUP_I2C0_SCL	
D23	WKUP_I2C0_SDA	
AA30	I2C0_SCL	
Y30	I2C0_SDA	
Y29	EXTINTn	
V33	TDI	
W33	TDO	
F19	EMU0	
E17	EMU1	
T1	DDR0_DQS0N	
W1	DDR0_DQS1N	
AC1	DDR0_DQS2N	
AF1	DDR0_DQS3N	
C1	DDR1_DQS0N	
F1	DDR1_DQS1N	
K1	DDR1_DQS2N	
N1	DDR1_DQS3N	
D25	MCU_ADC0_REFP	如果未使用 MCU_ADCn 接口，则这些信号应连接到与 VDDA_ADCn 电源输入相同的电源。
C30	MCU_ADC1_REFP	
C26	MCU_ADC0_REFN	如果未使用 MCU_ADCn 接口，则应将这些信号连接到 VSS。
D29	MCU_ADC1_REFN	
F26	VPP_MCU	如果未使用，这些焊球中的每一个都必须保持未连接状态。
V29	VPP_CORE	
AH2	MMC0_CALPAD	

表 5-118. 连接要求（续）

焊球编号	焊球名称	连接要求
	DDR0_*	必须始终按递增顺序使用 DDRSS0 和 DDRSS1。例如，使用单个 LPDDR 元件时，该元件必须连接到 DDR0_* 接口。当使用两个 LPDDR 元件时，它们必须连接到 DDR0_* 和 DDR1_* 接口。
	DDR1_*	

表 5-119 显示了针对器件上的保留焊球编号的特定连接要求。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC) 表示这些器件焊球编号不能连接任何信号布线。

表 5-119. 保留焊球的特定连接要求

焊球编号	连接要求
E28/F27/J29/L28/L29/L30/M30/AH4/AH7/AH8	保留。 这些焊球必须保持未连接状态。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)] [(2)]

参数			最小值	最大值	单位
VDD_*[(3)]	内核电源		-0.3	1.05	V
VDDAR_*[(3)]	RAM 电源		-0.3	1.05	V
VDDA_0P8_*[(3)]	用于 0.8V 域的模拟电源		-0.3	1.05	V
VDDA_1P8_*[(3)]	用于 1.8V PHY 域的模拟电源		-0.3	2.2	V
VDDA_3P3_USB	用于 3.3V USB 域的模拟电源		-0.3	3.8	V
VDDA_*[(3)]	用于 1.8V PLL 和其他域的模拟电源		-0.3	2.2	V
VDDS_DDR_*[(3)]	DDR 接口电源		-0.3	1.2	V
VDDS_MMC0	MMC0 IO 电源		-0.3	2.2	V
VDDSHV*[(3)]	双路电压 LVCMOS IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VPP_CORE VPP MCU	电子保险丝域的电源电压范围		-0.3	1.89	V
USB0_VBUS[(9)]	USB VBUS 比较器输入的电压范围		-0.3	3.6	V
所有失效防护 IO 引脚的稳态最大电压		I2C0_SCL、I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn	-0.3	3.8	V
		MCU_PORz、PORz	-0.3	3.8	V
所有其他 IO 引脚的稳态最大电压[(4)]		VMON1_ER_VSYS[(8)]、VMON3_IR_VEXT1P8、VMON4_IR_VEXT1P8	-0.3	2.2	V
		VMON2_IR_VCPU	-0.3	1.05	V
		VMON5_IR_VEXT3P3	-0.3	3.8	V
		所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲规格		20% 的 IO 电源电压在信号周期的 20% 以内 图 6-1（请参阅 *IO 瞬态电压范围*）		0.2 × VDD[(7)]	V
闩锁性能，II 级 (125°C)[(5)]		电流测试	-100	100	mA
		过压 (OV) 测试	不适用	1.5 × VDD[(7)]	V
T_{STG} [(6)]		贮存温度	-55	+150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下以及在建议运行条件 以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以其关联的 VSS 或 VSSA_x 为基准。

(3) **VDD_* 包括：**VDD_CORE、VDD_CPU、VDD_MCU、VDD_MCU_WAKE1、VDD_WAKE0
VDDAR_* 包括：VDDAR_CORE、VDDAR_CPU、VDDAR_MCU
VDDA_0P8_* 包括：VDDA_0P8_CSIRX0_1、VDDA_0P8_CSIRX2、VDDA_0P8_DLL_MMC0、VDDA_0P8_DSITX、VDDA_0P8_DSITX_C、VDDA_0P8_PLL_DDR0、VDDA_0P8_PLL_DDR1、VDDA_0P8_PLL_DDR2、VDDA_0P8_PLL_DDR3、VDDA_0P8_SERDES_C0_1、VDDA_0P8_SERDES_C2、VDDA_0P8_SERDES_C4、VDDA_0P8_SERDES0_1、VDDA_0P8_SERDES2、VDDA_0P8_SERDES4、VDDA_0P8_UFS、VDDA_0P8_USB
VDDA_1P8_* 包括：VDDA_1P8_CSIRX0_1、VDDA_1P8_CSIRX2、VDDA_1P8_DSITX、VDDA_1P8_SERDES0_1、VDDA_1P8_SERDES2、VDDA_1P8_SERDES2_4、VDDA_1P8_SERDES4、VDDA_1P8_UFS、VDDA_1P8_USB
VDDA_* 包括：VDDA_ADC0、VDDA_ADC1、VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_OSC1、VDDA_PLLGRP0、VDDA_PLLGRP1、VDDA_PLLGRP10、VDDA_PLLGRP12、VDDA_PLLGRP13、VDDA_PLLGRP2、VDDA_PLLGRP5、VDDA_PLLGRP6、VDDA_PLLGRP7、VDDA_PLLGRP8、VDDA_PLLGRP9、VDDA_POR_WKUP、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VDDA_TEMP3、VDDA_TEMP4、VDDA_WKUP
VDDS_DDR_* 包括：VDDS_DDR、VDDS_DDR_C0、VDDS_DDR_C1、VDDS_DDR_C2、VDDS_DDR_C3
VDDSHV* 包括：VDDSHV0、VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2、VDDSHV2_MCU、VDDSHV5

(4) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 –0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。

(5) 对于电流脉冲注入：
引脚应力符合 JEDEC JESD78E（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。
对于过压性能：
电源应力符合 JEDEC JESD78E（II 级）并施加额定电压注入。

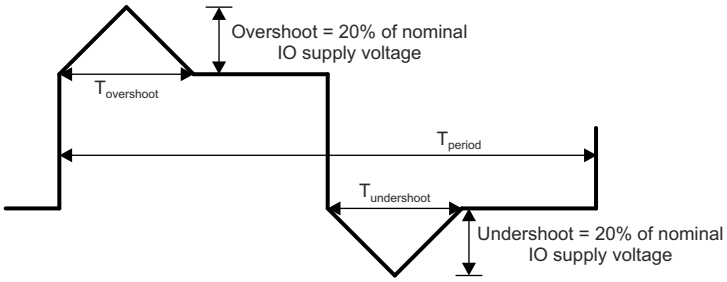
(6) 对于卷带包装，贮存温度范围为 [–10°C；+50°C]，最大相对湿度为 70%。TI 建议在使用前恢复到环境室温。

(7) VDD 是 IO 相应电源引脚上的电压。

(8) VMON_ER_VSYS 引脚提供了一种监测系统电源的方法。如需更多信息，请参阅使用 VMON/POK 的系统电源监测设计指南。

(9) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。如需更多信息，请参阅 USB VBUS 设计指南。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。I2C0_SCL、I2C0_SDA、I2C1_SCL、I2C1_SDA、DDR_FS_RESETn 和 NMIn 是唯一的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为绝对最大额定值 中的“所有 IO 引脚的稳态最大电压”参数定义的值。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]		±1000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±250	
			转角引脚（A1、AJ29）	±750	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 通电时间 (POH) 限制

IP[(1) (2) (3)]	电压域	电压 (V)（最大值）	频率 (MHz)（最大值）	Tj(°C)	POH
所有	100%	所有	所有支持的 OPP	汽车：-40°C 至 125°C [(4)]	20000

Copyright © 2025 Texas Instruments Incorporated

IP(1) (2) (3)	电压域	电压 (V)（最大值）	频率 (MHz)（最大值）	Tj(°C)	POH
所有	100%	所有	所有支持的 OPP	扩展：-40°C 至 105°C	100000
所有	100%	所有	所有支持的 OPP	商用：0°C 至 90°C	100000

(1) 为方便起见，下节中单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件
(3) POH 是电压、温度和时间的函数。如果在较高电压和温度下使用，实现相同可靠性的 POH 会减少。如要评估其他用例，请联系您当地的 TI 代表。
(4) 汽车曲线定义为 20000 小时通电时间，此时结温如下所示：5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

电源名称	说明		最小值(1)	标称值	最大值(1)	单位
VDD_CORE	MAIN 域内核电源的启动/有效电压		0.76(1)	0.8	0.84(1)	V
VDD_MCU	MCUSS 内核电源的启动/有效电压		0.76(1)	0.8	0.89(1)	V
VDD_CPU	CPU 内核电源的启动电压，在冷上电事件时施加		0.76(1)	0.8	0.84(1)	V
	CPU 内核电源的有效电压，在软件中启用 AVS 模式后		AVS(3) – 5%(1)	AVS(3)	AVS(3)+5% (1)	V
VDD_CPU AVS 范围	VDD_CPU 的 AVS 有效电压范围		0.6		0.9	V
VDDAR_*(5)	RAM 电源		0.81	0.85	0.89	V
VDDA_0P8_*(5)	用于 0.8V 域的模拟电源		0.76	0.8	0.84	V
VDDA_1P8_*(5)	用于 1.8V PHY 域的模拟电源		1.71	1.8	1.89	V
VDDA_3P3_USB(5)	用于 3.3V USB 域的模拟电源		3.14	3.3	3.46	V
VDDA_*(5)	用于 1.8V PLL 和其他域的模拟电源		1.71	1.8	1.89	V
VDDA_*	所有 VDDA 输入的峰峰值噪声				25	mV
VDDS_DDR_*(5)	DDR 接口电源		1.06	1.1	1.15	V
VDDS_MMC0	MMC0 IO 电源		1.71	1.8	1.89	V
VDDSHV*(5)	双路电压 LVCMOS IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.14	3.3	3.46	V
USB0_VBUS	USB VBUS 比较器输入的电压范围		0	请参阅 (4)	3.46	V
USB0_ID	USB ID 输入的电压范围			请参阅 (2)		V
VSS	接地			0		V
T_J	工作结温范围	汽车	-40		125	°C
		扩展	-40		105	°C
		商用级	0		90	°C

(1) 对于所有 VDD* 电源输入，器件焊球上的电压在任何时间段绝不能低于最小值电压或高于最大值电压。该要求包括动态电压事件，例如交流纹波、电压瞬变、电压骤降等。所有电源输入都需要满足该要求，但应特别注意 VDD_CORE、VDD_MCU 和 VDD_CPU 域，与其他电源轨相比，这些域的瞬态电流需求更高。
(2) 该端子连接到相应 USB PHY 中的模拟电路。相应电路在测量电压时提供已知电流，以确定端子连接到 VSS 时相关电阻是否小于 10Ω 或大于 100kΩ。对于 USB 主机操作，该端子应接地，对于 USB 外设操作，则应保持开路，并且始终不得连接至任何外部电压源。
(3) AVS 电压取决于器件、电压域和 OPP。必须从 VTM_DEVINFO_VDn 读取它们。有关 VTM_DEVINFO_VDn 寄存器地址的信息，请参阅器件 TRM 中的“电压和热管理器”部分。电源应在 VDD_CPU AVS 范围条目所示的范围内可调节。
(4) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。如需更多信息，请参阅 USB VBUS 设计指南。
(5) **VDD_* 包括：**VDD_CORE、VDD_CPU、VDD_MCU、VDD_MCU_WAKE1、VDD_WAKE0
VDDAR_* 包括：VDDAR_CORE、VDDAR_CPU、VDDAR_MCU
VDDA_0P8_* 包括：VDDA_0P8_CSIRX0_1、VDDA_0P8_CSIRX2、VDDA_0P8_DLL_MMC0、VDDA_0P8_DSITX、VDDA_0P8_DSITX_C、VDDA_0P8_PLL_DDR0、VDDA_0P8_PLL_DDR1、VDDA_0P8_PLL_DDR2、VDDA_0P8_PLL_DDR3、VDDA_0P8_SERDES_C0_1、VDDA_0P8_SERDES_C2、VDDA_0P8_SERDES_C4、VDDA_0P8_SERDES0_1、VDDA_0P8_SERDES2、VDDA_0P8_SERDES4、VDDA_0P8_UFS、VDDA_0P8_USB
VDDA_1P8_* 包括：VDDA_1P8_CSIRX0_1、VDDA_1P8_CSIRX2、VDDA_1P8_DSITX、VDDA_1P8_SERDES0_1、VDDA_1P8_SERDES2、VDDA_1P8_SERDES2_4、VDDA_1P8_SERDES4、VDDA_1P8_UFS、VDDA_1P8_USB

VDDA_* 包括：VDDA_ADC0、VDDA_ADC1、VDDA_MCU_PLLGRP0、VDDA_MCU_TEMP、VDDA_OSC1、VDDA_PLLGRP0、VDDA_PLLGRP1、VDDA_PLLGRP10、VDDA_PLLGRP12、VDDA_PLLGRP13、VDDA_PLLGRP2、VDDA_PLLGRP5、VDDA_PLLGRP6、VDDA_PLLGRP7、VDDA_PLLGRP8、VDDA_PLLGRP9、VDDA_POR_WKUP、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VDDA_TEMP3、VDDA_TEMP4、VDDA_WKUP
VDDS_DDR_* 包括：VDDS_DDR、VDDS_DDR_C0、VDDS_DDR_C1、VDDS_DDR_C2、VDDS_DDR_C3
VDDSHV* 包括：VDDSHV0、VDDSHV0_MCU、VDDSHV1_MCU、VDDSHV2、VDDSHV2_MCU、VDDSHV5

Copyright © 2025 Texas Instruments Incorporated

6.5 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟和器件内核时钟的每个运行性能点 (OPP) 的说明。

表 6-1 描述了器件每个速度等级支持的最大频率。

表 6-1. 速度等级最大频率

器件	最大频率 (MHz)										
	A72SS0	C71SS0	R5FSS0/1	MCU_ R5SS0	GPU	CBASS0	VPAC	DMPAC	VENCDEC	DMSC	LPDDR4
TDA4xxxT	2000	1000	1000	1000	800	500	720(1)	520(1)	600（960MP/s 或 480MP/s）(3)	333	4266MT/s(2)

(1) 由于 PLL 共享，无法同时使用最大 VPAC 和 DMPAC 速度（VPAC/DMPAC 的最大组合分别为 720/480 和 650/520）。
(2) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节（布线、间距、过孔/背钻、PCB 材料等）都严格遵循 TI LPDDR4 EVM PCB 布局，以便完全实现指定的时钟频率。有关详细信息，请参阅 Jacinto 7 DDR 电路板设计和布局布线指南。
(3) 请参“阅器件比较”表以确定具体器件型号，包括 1 个 VENCDEC 模块 (480MP/s) 或 2 个 VENCDEC 模块 (960MP/s)。

6.6 电气特性

备注

节 6.6.1 至节 6.6.8 中所述的接口或信号对应于多路复用模式 0（主要功能）中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式（功能）指定不同的直流电气特性。

6.6.1 I2C 开漏失效防护 (I2C OD FS) 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电平阈值				0.3 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.3 × VDDSHV(1)	V
V_{IH}	输入高电平阈值		0.7 × VDDSHV(1)			V
V_{IHSS}	输入高电平阈值稳态		0.7 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		0.1 × VDDSHV(1)			mV
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	μA
V_{OL}	输出低电平电压				0.2 × VDDSHV(1)	V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	6			mA
3.3V 模式						
V_{IL}	输入低电平阈值				0.3 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.25 × VDDSHV(1)	V
V_{IH}	输入高电平阈值		0.7 × VDDSHV(1)			V
V_{IHSS}	输入高电平阈值稳态		0.7 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		0.05 × VDDSHV(1)			mV
I_{IN}	输入漏电流	V_I = 3.3V 或 0V			±10	μA
V_{OL}	输出低电平电压				0.4	V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	6			mA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅引脚属性的“电源”列。

6.6.2 失效防护复位（FS 复位）电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平阈值				0.3 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.3 × VDDSHV(1)	V
V_{IH}	输入高电平阈值		0.7 × VDDSHV(1)			V

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IHSS}	输入高电平阈值稳态		0.7 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		200			mV
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	μA

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅*引脚属性* 的“电源”列。

6.6.3 HFOSC/LFOSC 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
高频振荡器						
V_{IH}	输入高电平阈值		0.65 × VDDSHV(1)			V
V_{IL}	输入低电平阈值				0.35 × VDDSHV(1)	V
V_{HYS}	输入迟滞电压			49		mV
低频振荡器						
V_{IH}	输入高电平阈值		0.65 × VDDA_WKUP (1)			V
V_{IL}	输入低电平阈值				0.35 × VDDA_WKUP (1)	V
V_{HYS}	输入迟滞电压	工作模式		85		mV
		旁路模式		324		mV

(1) VDDSHV 表示相应的电源。对于 WKUP_OSC0，对应的电源为 VDDA_WKUP。对于 OSC1_XI，对应的电源为 VDDS_OSC1。

6.6.4 eMMCPHY 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
V_{IL}	输入低电平阈值				0.35 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.20	V
V_{IH}	输入高电平阈值		0.65 × VDDSHV(1)			V
V_{IHSS}	输入高电平阈值稳态		1.4			V
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	μA
I_{OZ}	三态输出漏电流	V_O = 1.8V 或 0V			±10	μA
R_{PU}	上拉电阻器		15	20	25	kΩ
R_{PD}	下拉电阻器		15	20	25	kΩ
V_{OL}	输出低电平电压				0.30	V
V_{OH}	输出高电平电压		VDDSHV - 0.30(1)			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	2			mA
I_{OH}	高电平输出电流	$V_{OH(MAX)}$	2			mA
SR_I	输入压摆率		5E +8			V/s

(1) VDDSHV 表示相应的电源 (vddshv8)。有关电源名称和相应焊球的更多信息，请参阅*引脚属性* 的“电源”列。

6.6.5 SDIO 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
1.8V 模式						
V_{IL}	输入低电平阈值				0.58	V
V_{ILSS}	输入低电平阈值稳态				0.58	V
V_{IH}	输入高电平阈值		1.27			V
V_{IHSS}	输入高电平阈值稳态		1.7			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电平电压				0.45	V
V_{OH}	输出高电平电压		VDDSHV-0.45(1)			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	4			mA
I_{OH}	高电平输出电流	$V_{OH(MAX)}$	4			mA
3.3V 模式						
V_{IL}	输入低电平阈值				0.25 × VDDSHV(1)	V
V_{ILSS}	输入低电平阈值稳态				0.15 × VDDSHV(1)	V
V_{IH}	输入高电平阈值		0.625 × VDDSHV(1)			V
V_{IHSS}	输入高电平阈值稳态		0.625 × VDDSHV(1)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			±10	µA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电平电压				0.125 × VDDSHV(1)	V
V_{OH}	输出高电平电压		0.75 × VDDSHV(1)			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	6			mA
I_{OH}	高电平输出电流	$V_{OH(MAX)}$	10			mA

(1) VDDSHV 表示相应的电源 (vddshv8)。有关电源名称和相应焊球的更多信息，请参阅*引脚属性* 的“电源”列。

6.6.6 CSI2/DSI D-PHY 电气特性

备注

CSI2/DSI DPHY 接口电气特性符合 MIPI D-PHY 规范 v1.2（2014 年 8 月 1 日），包括 ECN 和勘误表（如适用）。

6.6.7 ADC12B 电气特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					

Copyright © 2025 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{MCU_ADC0/1_AIN[7:0]}$	满标量程输入范围		VSS		VDDA_ADC0/1	V
DNL	微分非线性		-1	0.5	4	LSB
INL	积分非线性			±1	±4	LSB
$LSB_{GAIN-ERROR}$	增益误差			±2		LSB
$LSB_{OFFSET-ERROR}$	偏移量误差			±2		LSB
C_{IN}	输入采样电容			5.5		pF
SNR	信噪比	输入信号：-0.5dB 满量程的 200kHz 正弦波		70		dB
THD	总谐波失真	输入信号：-0.5dB 满量程的 200kHz 正弦波		73		dB
SFDR	无杂散动态范围	输入信号：-0.5dB 满量程的 200kHz 正弦波		76		dB
$SNR_{(PLUS)}$	信噪比和失真	输入信号：-0.5dB 满量程的 200kHz 正弦波		69		dB
$R_{MCU_ADC0/1_AIN[0:7]}$	MCU_ADC0/1_AIN[7:0] 的输入阻抗	f = 输入信频率		$[1/((65.97 \times 10^{-12}) \times f_{SMPL_CLK})]$		Ω
I_{IN}	输入漏电流	MCU_ADC0/1_AIN[7:0] = VSS			-10	µA
		MCU_ADC0/1_AIN[7:0] = VDDA_ADC0/1			24	µA
采样动态						
F_{SMPL_CLK}	SMPL_CLK 频率			60		MHz
t_C	转换时间			13		ADC0/1 SMPL_CLK 周期
t_{ACQ}	采集时间		2		257	ADC0/1 SMPL_CLK 周期
T_R	采样率	ADC0/1 SMPL_CLK = 60MHz		4		MSPS
CCISO	通道间隔离			100		dB
通用输入模式 (1)						
V_{IL}	输入低电平阈值				0.35 × VDDA_ADC0/1	V
V_{ILSS}	输入高电平阈值稳态				0.35 × VDDA_ADC0/1	V
V_{IH}	输入高电平阈值		0.65 × VDDA_ADC0/1			V
V_{IHSS}	输入高电平阈值稳态		0.65 × VDDA_ADC0/1			V
V_{HYS}	输入迟滞电压		200			mV

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{IN}	输入漏电流	V_I = 1.8V 或 0V			6	μA

(1) MCU_ADC0/1 可配置为以通用输入模式运行，其中所有 MCU_ADC0/1_AIN[7:0] 输入均通过 ADC0/1_CTRL 寄存器 (gpi_mode_en = 1) 全局启用，以作为数字输入运行。

6.6.8 LVCMOS 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.35 × VDD[(1)]	V
V_{ILSS}	输入低电压稳态				0.3 × VDD[(1)]	V
V_{IH}	输入高电压		0.65 × VDD[(1)]			V
V_{IHSS}	输入高电压稳态		0.85 × VDD[(1)]			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 1.8V 或 0V			±10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD[(1)] - 0.45			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	3			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	3			mA
3.3V 模式						
V_{IL}	输入低电压				0.8	V
V_{ILSS}	输入低电压稳态				0.6	V
V_{IH}	输入高电压		2.0			V
V_{IHSS}	输入高电压稳态		2.0			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN}	输入漏电流。	V_I = 3.3V 或 0V			±10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.4	V
V_{OH}	输出高电压		2.4			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$	5			mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$	6			mA

(1) VDD 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅*引脚属性* 的“电源”列。

6.6.9 USB2PHY 电气特性

备注

USB0 和 USB1 电气特性符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

Copyright © 2025 Texas Instruments Incorporated

6.6.10 串行器/解串器 2-L-PHY/4-L-PHY 电气特性

备注

PCIe 接口符合 2017 年 9 月 27 日 PCI Express® 基本规范 4.0 版中规定的电气参数。

如表 6-2 *4-L-PHY 串行器/解串器 REFCLK 电气特性* 中的参数 V_{REFCLK_TERM} 所述，在输入模式下使用该器件并启用内部终端时，该器件对串行器/解串器 REFCLK 施加了额外的限制。默认情况下会启用内部终端，但在应用超过限值（由 V_{REFCLK_TERM} 定义）的基准时钟信号之前必须禁用内部终端。在源极侧应始终启用外部终端。

表 6-2. 4-L-PHY 串行器/解串器 REFCLK 电气特性

仅在启用内部终端后适用。在建议的工作条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
V_{REFCLK_TERM}	启用内部终端后位于基准时钟引脚上的单端电压阈值			400	mV
R_{TERM}	内部端接	40	50	62.5	Ω

备注

串行器/解串器 USB 接口符合 2013 年 7 月 26 日通用串行总线 3.1 规范 1.0 版本中定义的 USB3.1 超高速发送器和接收器标准化电气参数。

备注

SGMII 接口电气特性符合 IEEE802.3 第 70 条规定的 1000BASE-KX 标准。

备注

SGMII 2.5G/XAUI 接口电气特性符合 IEEE802.3 第 47 条。

备注

QSGMII 接口电气特性符合 QSGMII 规范 1.2 版。

备注

USXGMII 支持第 72-7 条和附录 69B 中的 IEEE 802.3 TX 和 RX 电气特性。

USXGMII 不需要 IEEE 802.3 表 72-7 和 72-8，因为这些表与训练（第 72-6 条）相关，而 USXGMII 不需要该训练。

应使用 BER 扫描来设置前游标、主游标和后游标。

备注

UFS 接口电气特性符合 MIPI M-PHY 规范 v3.1（2014 年 2 月 17 日）。

备注

DP 接口电气特性符合 VESA DisplayPort (DP) 标准 v1.4（2016 年 2 月 23 日）。

备注

eDP 接口电气特性符合 VESA 嵌入式 DisplayPort (eDP) 标准 v1.4b（2015 年 10 月 23 日）。

6.6.13 DDR0 电气特性

备注

DDR 接口与符合 JESD209-4B 标准的 LPDDR4 SDRAM 器件兼容。

6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节说明了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于高安全性器件。

6.7.1 OTP 电子保险丝编程的建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围；OPP NOM (BOOT)	请参阅建议运行条件			V
VDD_MCU	OTP 运行期间内核域的电源电压范围；OPP NOM (BOOT)	请参阅建议运行条件			V
VPP_CORE	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用(2)			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(1)	1.71	1.8	1.89	V
VPP_MCU	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用(2)			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(1)	1.71	1.8	1.89	V
$SR_{(VPP)}$	VPP 上电压摆率			6E + 4	V/s

(1) 电源电压范围包括直流误差和峰峰值噪声。
(2) “N/A”表示“不适用”。

6.7.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，VPP_CORE 和 VPP_MCU 电源必须禁用。
- 在执行正确的器件上电序列后，VPP_CORE 和 VPP_MCU 电源必须斜升（有关更多详细信息，请参阅*电源时序控制*）。

6.7.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电时序为电路板加电。上电和正常运行期间，VPP_CORE 和 VPP_MCU 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据节 6.7.1 中的规格在 VPP_CORE 和 VPP_MCU 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP_CORE 和 VPP_MCU 端子上的电压。

6.7.4 对硬件保修的影响

您了解并接受您自行承担使用电子保险丝对 TI 器件造成不可逆更改的风险。您确认电子保险丝可能会由于操作条件或编程序列不正确而失效。此类失效可能导致 TI 器件无法运行，并且在试图使用电子保险丝之前，TI 不能确认 TI 器件符合 TI 器件规格。因此，TI 对任何已电子熔断的 TI 器件不承担任何责任。

Copyright © 2025 Texas Instruments Incorporated

6.8 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于建议运行条件中确定的 T_J 值。

6.8.1 AND 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	AND 封装	
			°C/W(1) (3)	气流 (m/s)(2)
T1	$R_{\Theta JC}$	结点到外壳	0.16	不适用
T2	$R_{\Theta JB}$	结点到电路板	1.47	不适用
T3	$R_{\Theta JA}$	结点到环境空气	9.22	0
T4		结至流动空气	5.07	1
T5			4.31	2
T7	Ψ_{JT}	结至封装顶部	0.10	0
T8			0.10	1
T9			0.10	2
T11	Ψ_{JB}	结点到电路板	1.30	0
T12			1.23	1
T13			1.18	2

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) m/s = 米/秒。

(3) °C/W = 摄氏度/瓦。

6.9 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于建议运行条件 中确定的 T_J 值。

表 6-3. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40°C 至 110°C	-5		5	℃
		110℃ 至 125℃	-2		2	℃

Copyright © 2025 Texas Instruments Incorporated

6.10 时序和开关特性

备注

当相关 PADCONFIG 寄存器中的 DRV_STR（驱动强度）控制被设置为默认的“0h - 标称（推荐）”值时，本节介绍的时序有效。

6.10.1 时序参数和信息

时序和开关特性中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-4 中缩写了某些引脚名称和其他相关术语：

表 6-4. 时序参数下标

符号	参数
c	周期时间（周期）
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
START	起始位
t	转换时间
v	有效时间
W	脉冲持续时间（宽度）
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.10.2 电源时序控制

本节介绍了确保器件正常运行所需的电源时序控制。该器件可使用隔离式或组合式 MCU 和 Main 配电网络 (PDN) 运行。建议根据隔离式和组合式 MCU 与 Main PDN 使用两个不同的初级电源序列。此外，该器件可在仅 MCU 或 DDR 保持或 GPIO 保持低功耗模式下运行。这里显示了进入和退出低功耗模式所需的两个不同器件电源序列。

本节中使用的电源名称仅适用于此器件，并与“信号说明”一节中给出的名称相一致。Jacinto 7TM 处理器系列中的不同器件之间可能使用通用电源名称。在不同器件上，这些通用电源名称将具有非常相似的功能（可能不完全相同）。

所示的所有电源序列时序控制图都将使用以下术语：

- 初级 = 所有电压域在关断和完全运行状态之间的基本电源序列。
- $V_{OPR\ MIN}$ = 确保实现“建议运行条件”中指定的功能的最低工作电压电平
- 斜升 = 从关断状态到 Vopr min 的电压电源转换时间的起始点。
- 斜降 = 从 Vopr 到关断状态的电压电源转换时间的起始点。
- Supply_“n” = 相似电源的多个实例（即 VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 … VDDSHV6）。
- Supply_“xxx” = 用于不同信号类型的类似电源的多个实例（即 VDDA_1P8_xxx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB 等）。
- 时间戳 =“T#”标记，带有说明和大致的经历时间，仅供一般参考。具体的时序转换取决于 PDN 设计（有关详细信息，请参阅 PDN 用户指南）。

6.10.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 100mV/μs，如图 6-2 所示。例如，1.8V 电源的斜坡时间应 > 18μs，以确保压摆率 < 100mV/us。

图 6-2 介绍了器件中的电源压摆率要求。

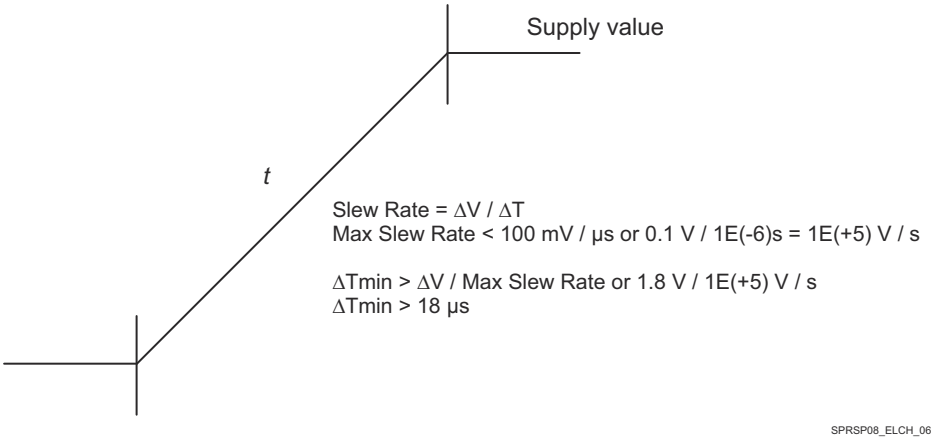
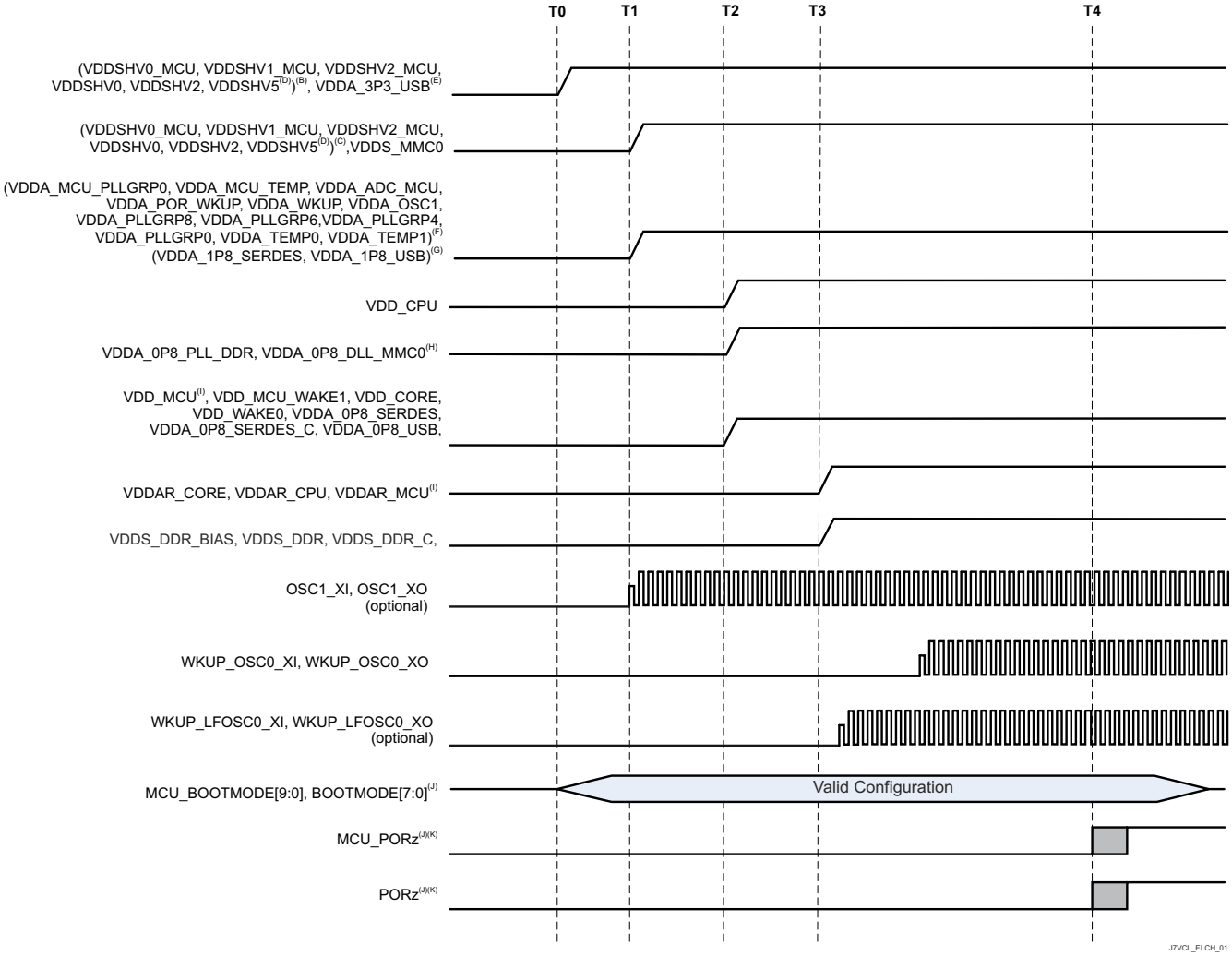


图 6-2. 电源电压转换时间和压摆率

Copyright © 2025 Texas Instruments Incorporated

6.10.2.2 组合式 MCU 域和 Main 域上电时序

节 6.10.2.2 介绍了当类似的 MCU 和 Main 电压域组合到公共电源轨时的初级上电时序。将 MCU 和 Main 电压域组合可减少电源轨和电源的总数量，同时使 MCU 和 Main 处理器子系统依赖公共电源轨运行，从而简化 PDN 设计。



A. 时间戳标记：
- T0 - 3.3V 电压开始斜升至 $V_{OPR\ MIN}$。(0ms)
- T1 - 1.8V 电压开始斜升至 $V_{OPR\ MIN}$。(2ms)
- T2 - 低电压内核电源开始斜升至 $V_{OPR\ MIN}$。(3ms)
- T3 - 低电压 RAM 阵列电压开始斜升至 $V_{OPR\ MIN}$。(4ms)
- T4 - OSC1 保持稳定，PORz/MCU_PORz 置为无效以从复位状态释放处理器。(13ms)

B. 任何 MCU 或 Main 双电压 IO 电源（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。由于 PDN 设计使用具有不同开通和斜升延时时间的不同电源，因此少数电源在 T0 和 T1 之间的启动时间可能会有所不同。

C. 任何 MCU 或 Main 双电压 IO 电源（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时，由于 PDN 设计将电源与 VDD_MMC0 分组在一起，因此 Main 1.8V 电源的斜升电压可能与 T3 相一致。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。如果需要实现合规的高速 SD 卡运行，则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

I. VDD_MCU 是一个具有宽工作电压范围的数字电压域，因此可将其与 VDDAR_MCU 域或与 VDD_CORE 分组在一起；对于“组合式 MCU 和 Main 域上电时序”，VDD_MCU 可与 VDD_CORE 分组在一起，而 VDDAR_MCU 可与 VDDAR_CPU 和 VDDAR_CORE 分组在一起。如果 VDD_MCU 与 VDD_CORE 分组在一起，则 VDD_MCU 必须从 T2 处 VDD_CORE 为 0.8V 的公共电压资源斜升。如果 VDD_MCU 未与 VDD_CORE 分组在一起，则 VDD_MCU 必须在 T2 之前斜升。在任一种情况下，VDDAR 电源都必须在 T3 处斜升。

J. 在所示的最短建立时间和保持时间内，在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效，从而将 MCU_BOOTMODEn（参考 MCU_VDDSHV0）和 BOOTMODEn（参考 VDDSHV2）设置锁存到寄存器中。

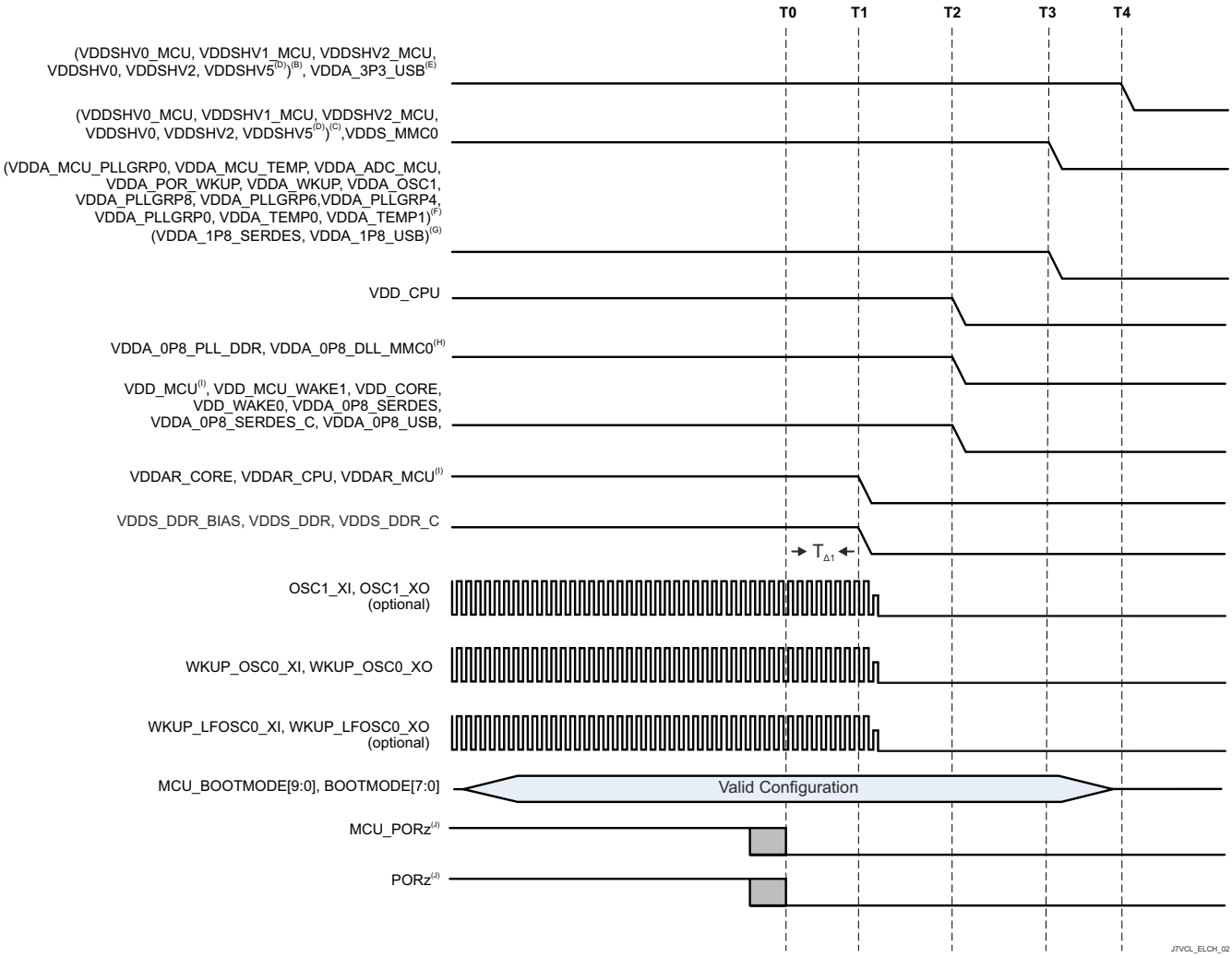
K. 从晶体振荡器电路通电（T1 处的 VDDA_OSC1）直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 – T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路（即晶体振荡器或时钟发生器）和 PCB 设计，这一时间可以减少。

图 6-3. 组合式 MCU 域和 Main 域，初级上电序列

Copyright © 2025 Texas Instruments Incorporated

6.10.2.3 组合式 MCU 域和 Main 域下电时序

图 6-4 描述了器件下电时序。



A. 时间戳标记：
   - T0 - MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)
   - T1 - 主 DDR、SRAM 内核和 SRAM CPU 电源开始斜降。(0.5ms)
   - T2 - 低电压内核电源开始电源斜降。(2.5ms)
   - T3 - 1.8V 电压开始电源斜降。(3.0ms)
   - T4 - 3.3V 电压开始电源斜降。(3.5ms)

B. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

C. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3V/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果分组在一起，则需要进行直列式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

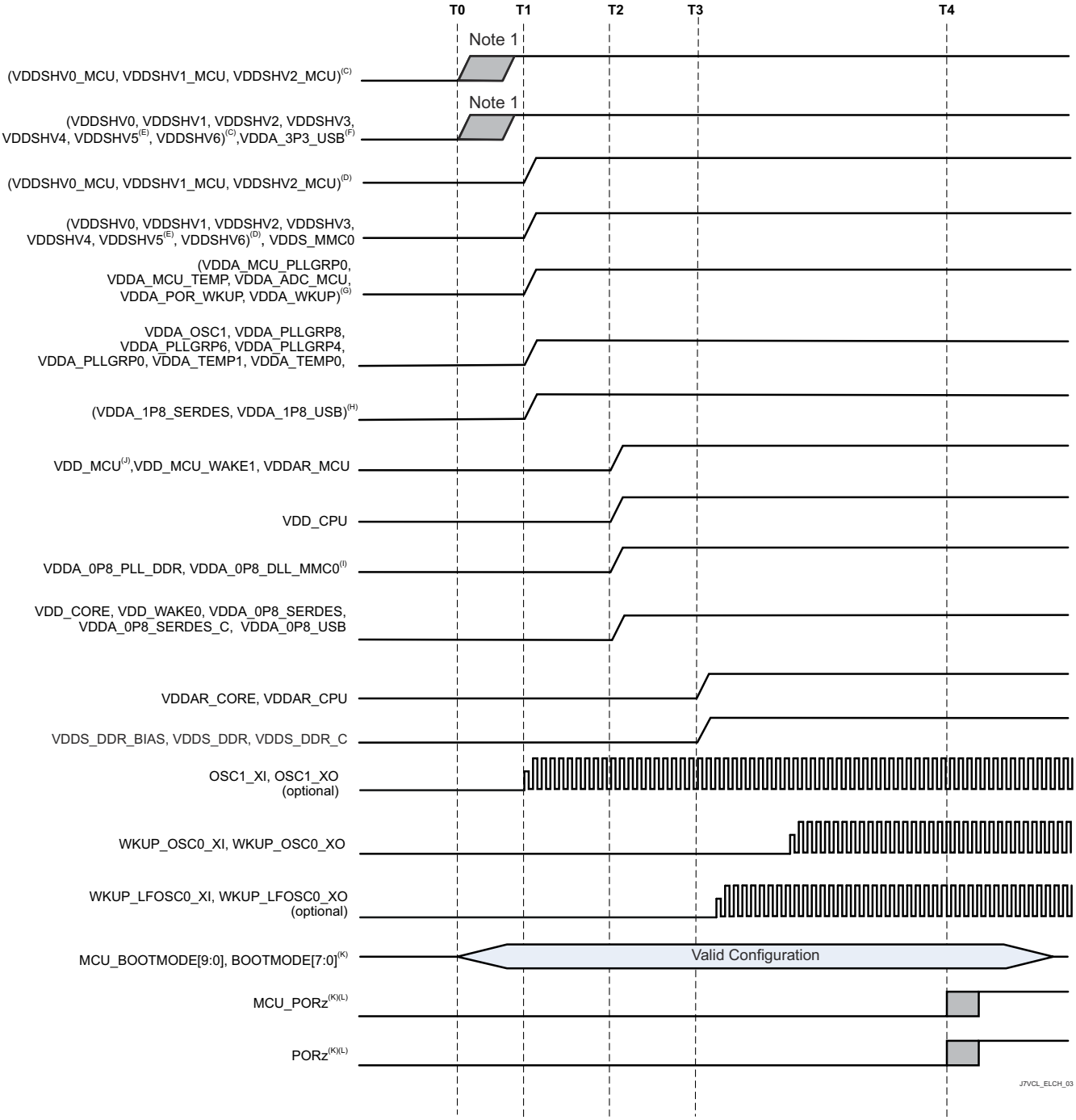
I. MCU_PORz 和 PORz 必须置为低电平有效（至少 TΔ1 = 200us），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-4. 组合式 MCU 域和 Main 域，初级下电序列

Copyright © 2025 Texas Instruments Incorporated

6.10.2.4 隔离式 MCU 域和 Main 域上电时序

隔离式 MCU 域和 Main 电压域可使 SoC 的 MCU 和 Main 处理器子系统独立运行。SoC 的 PDN 设计可能需要支持独立的 MCU 和 Main 处理器功能，这有 2 个原因。首先要提供灵活性以启用 SoC 低功耗模式，这种模式可以在不需要处理器运行时显著降低 SoC 功耗。其次要实现稳健性，以便在发生影响 MCU 和 Main 处理器子系统的单个故障时确保无干扰 (FFI)，这一点在将 SoC 的 MCU 用作系统安全监控处理器时特别有用。所需的额外 PDN 电源轨数量取决于不同 MCU IO 信令电压电平的数量。如果仅使用 1.8V IO 信令，则只需要 2 个额外的电源轨。如果同时需要 1.8V 和 3.3V IO 信令，则可能需要 4 个额外的电源轨。



A. 时间戳标记：

- T0 - 所有 3.3V 电压开始电源斜升至 $V_{OPR\ MIN}$。(0ms)

- T1 - 所有 1.8V 电压开始电源斜升至 $V_{OPR\ MIN}$。(2ms)
- T2 - 所有内核电压开始电源斜升至 $V_{OPR\ MIN}$。(3ms)
- T3 - 所有 RAM 阵列电压开始电源斜升至 $V_{OPR\ MIN}$。(4ms)
- T4 - OSC1 保持稳定，PORz/MCU_PORz 置为无效以从复位状态释放处理器。(13ms)

B. 任何 MCU 或 Main 双电压 IO 电源（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。由于 PDN 设计使用具有不同开通和斜升延时时间的不同电源，因此少数电源在 T0 和 T1 之间的启动时间可能会有所不同。

C. 任何 MCU 或 Main 双电压 IO 电源（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时，由于 PDN 设计将电源与 VDD_MMC0 组合在一起，因此 Main 1.8V 电源的延迟启动时间可能与 T3 相一致。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。如果需要实现合规的 UHS-I SD 卡运行，则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将电源与数字 IO 3.3V 电源轨组合在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将电源与数字 IO 1.8V 电源轨组合在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟电源。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将电源与 3.3V 数字 IO 电源轨组合在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果组合在一起，则需要进行内嵌式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过内嵌式电源滤波器将域与数字 IO 1.8V 电源轨组合在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

I. VDD_MCU 是一个具有宽工作电压范围的数字电压域，因此可将其与 VDDAR_MCU 域或 VDD_CORE 组合在一起；对于“隔离式 MCU 和 Main 域上电时序”，VDD_MCU 可与 VDDAR_MCU 组合在一起；VDD_MCU 必须在 T2 前斜升。如果 VDDAR_MCU 未与 VDD_MCU 组合在一起，则 VDDAR_MCU 必须在 T3 处斜升。

J. 在所示的最短建立时间和保持时间内，在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效，从而将 MCU_BOOTMODEn（参考 MCU_VDDSHV0）和 BOOTMODEn（参考 VDDSHV2）设置锁存到寄存器中。

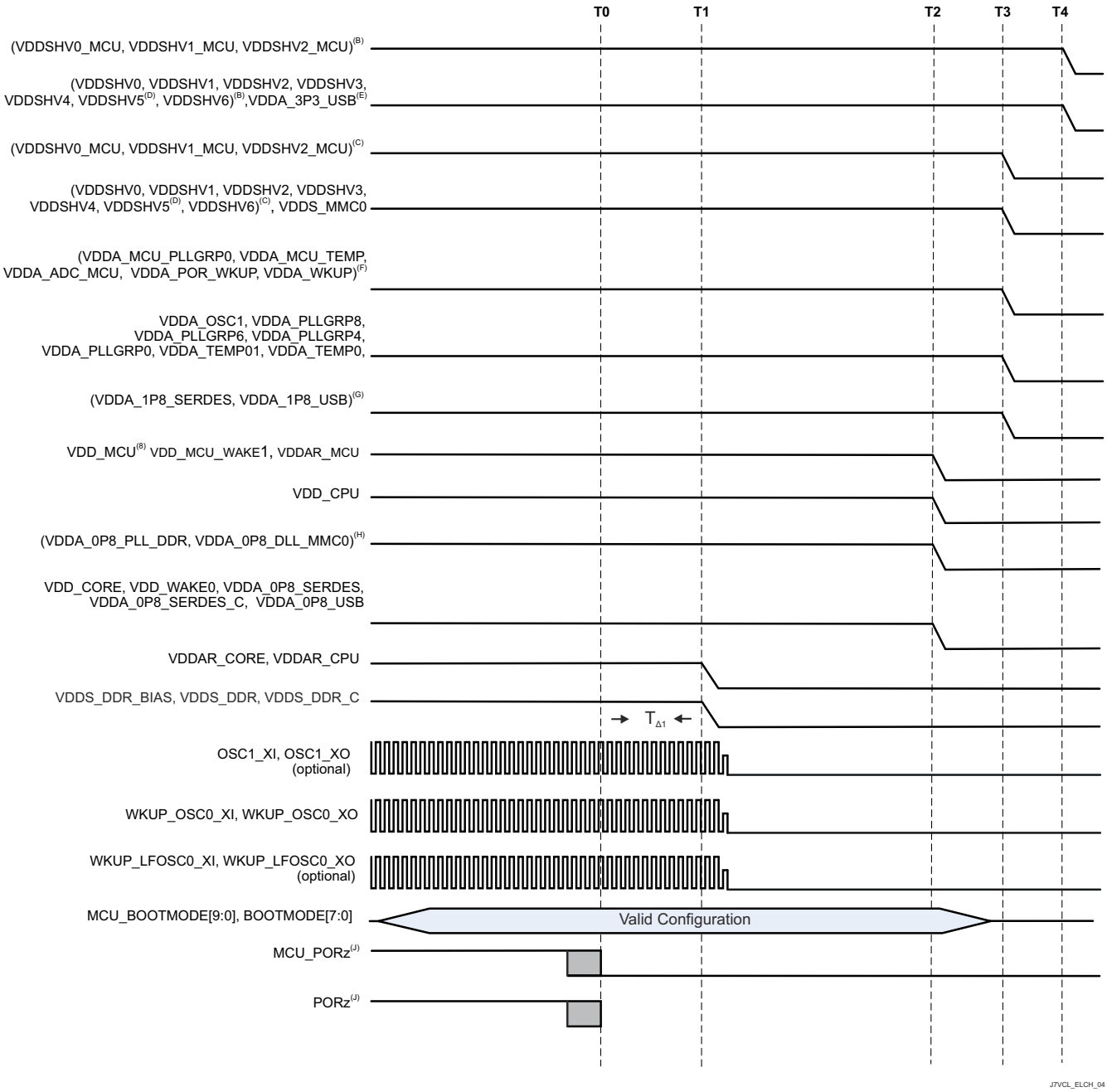
K. 从晶体振荡器电路通电（T1 处的 VDDA_OSC1）直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 – T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路（即晶体振荡器或时钟发生器）和 PCB 设计，这一时间可以减少。

图 6-5. 隔离式 MCU 域和 Main 域，初级上电序列

Copyright © 2025 Texas Instruments Incorporated

6.10.2.5 隔离式 MCU 域和 Main 域下电时序

图 6-6 描述了器件下电时序。



A. 时间戳标记：
- T0 - MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)
- T1 - 主 DDR、SRAM 内核和 SRAM CPU 电源域开始斜降。(0.5ms)
- T2 - 所有内核电压开始电源斜降。(2.5ms)
- T3 - 所有 1.8V 电压开始电源斜降。(3.0ms)
- T4 - 所有 3.3V 电压开始电源斜降。(3.5ms)

B. 任何 MCU 或 Main 双电压 IO 域（VDDSHVn_MCU 或 VDDSHVn）由 3.3V 电压供电以支持 3.3V 数字接口。

C. 任何 MCU 或 Main 双电压 IO 电源（VDDSHVn_MCU 或 VDDSHVn）由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时，由于 PDN 设计将电源与 VDD_MMC0 组合在一起，因此 Main 1.8V 电源的斜降电压可能与 T1 相一致。

D. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3V/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果需要实现合规的高速 SD 卡运行，则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。从 3.3V/1.8V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨组合在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨组合在一起。

E. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。从 3.3V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨组合在一起。

F. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。应避免组合模拟 VDDA_1p8_<phy> 域，但如果组合在一起，则需要进行内嵌式铁氧体磁珠电源滤波。

G. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过内嵌式电源滤波器将域与数字 IO 1.8V 电源轨组合在一起。

H. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。

I. MCU_PORz 和 PORz 必须置为低电平有效（至少 TΔ1 = 200us），以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

图 6-6. 隔离式 MCU 域和 Main 域，初级下电时序

6.10.2.6 独立的 MCU 域和 Main 域，仅 MCU 时序的进入和退出

进入仅 MCU 状态是通过执行断电序列实现的，保持通电的 4 个 MCU 域除外。退出仅 MCU 状态是通过执行上电序列实现的，4 个 MCU 域在整个序列中保持通电状态。

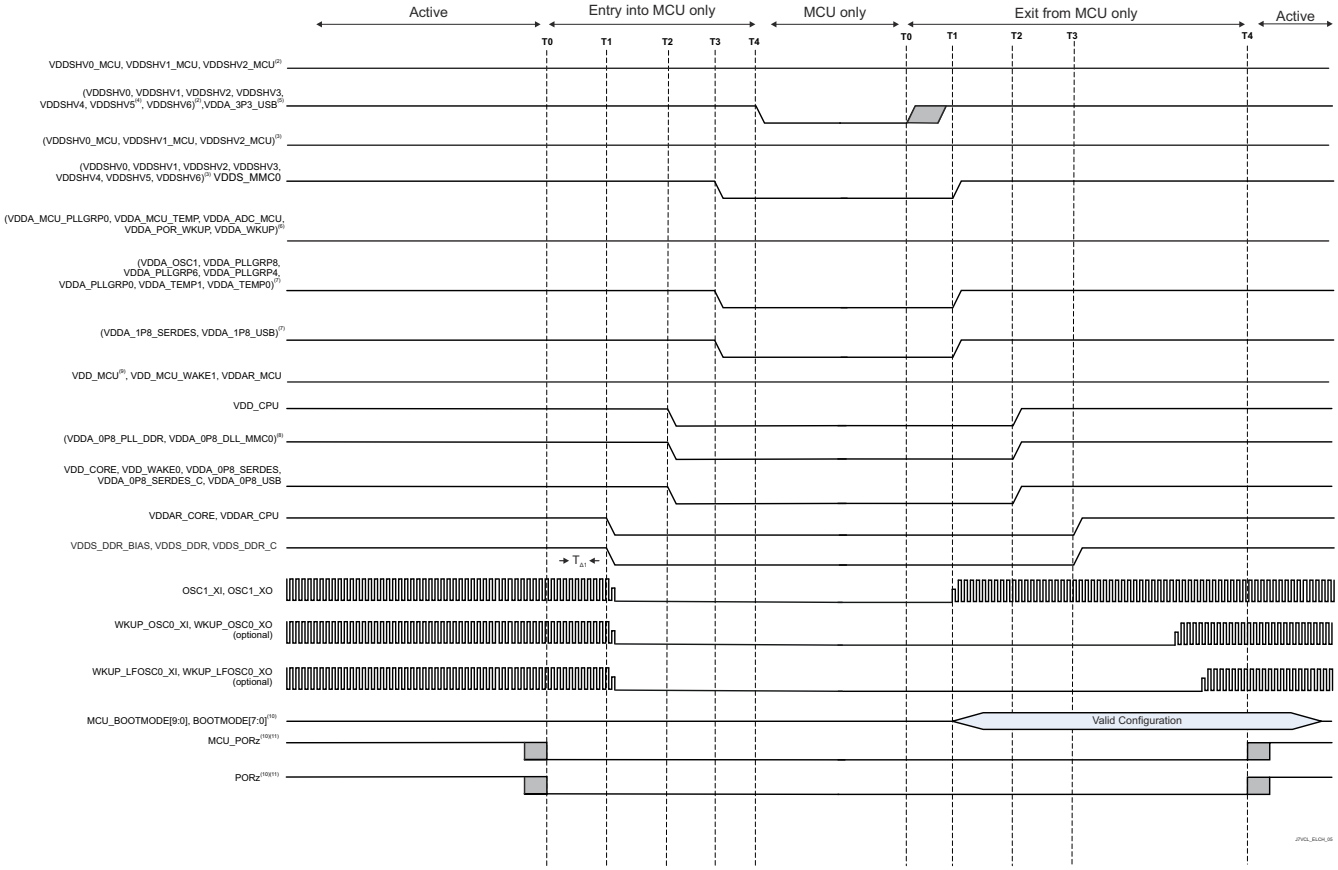


图 6-7. 独立的 MCU 域和 Main 域，仅 MCU 时序的进入和退出

Copyright © 2025 Texas Instruments Incorporated

6.10.2.7 独立的 MCU 域和 Main 域，DDR 保持状态的进入和退出

进入 DDR 保持状态是通过执行断电序列实现的，保持通电的 4 个 DDR 域除外。退出 DDR 保持状态是通过执行上电序列实现的，3 个 DDR 域在整个序列中保持通电状态。

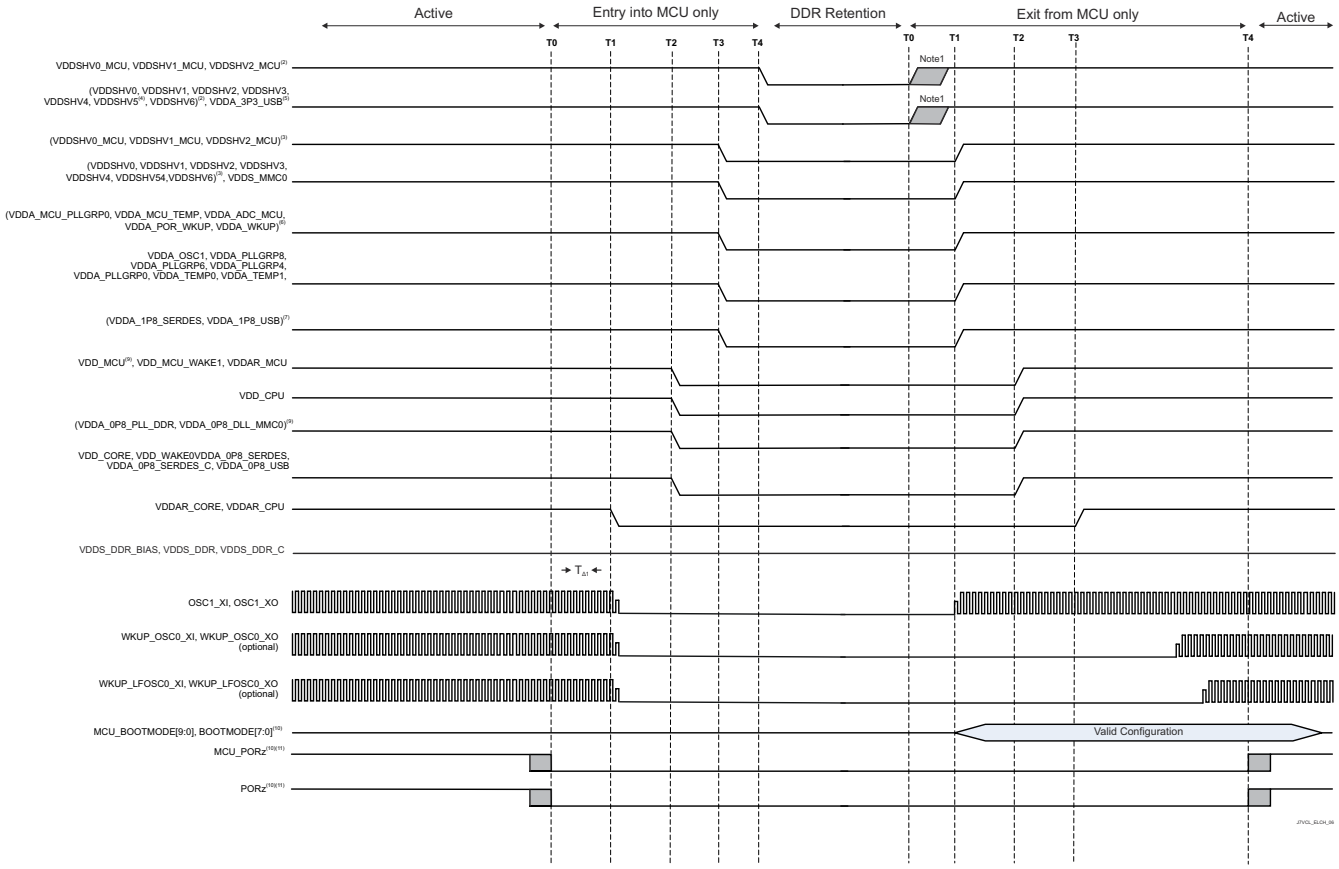


图 6-8. 独立的 MCU 域和 Main 域，DDR 保持状态的进入和退出

6.10.2.8 独立的 MCU 域和 Main 域，GPIO 保持时序的进入和退出

进入 GPIO 保持状态是通过执行断电序列实现的，保持通电的 2 个或 4 个唤醒域除外。退出 GPIO 保持状态是通过执行上电序列实现的，2 个或 4 个唤醒 DDR 域在整个序列中保持通电状态。

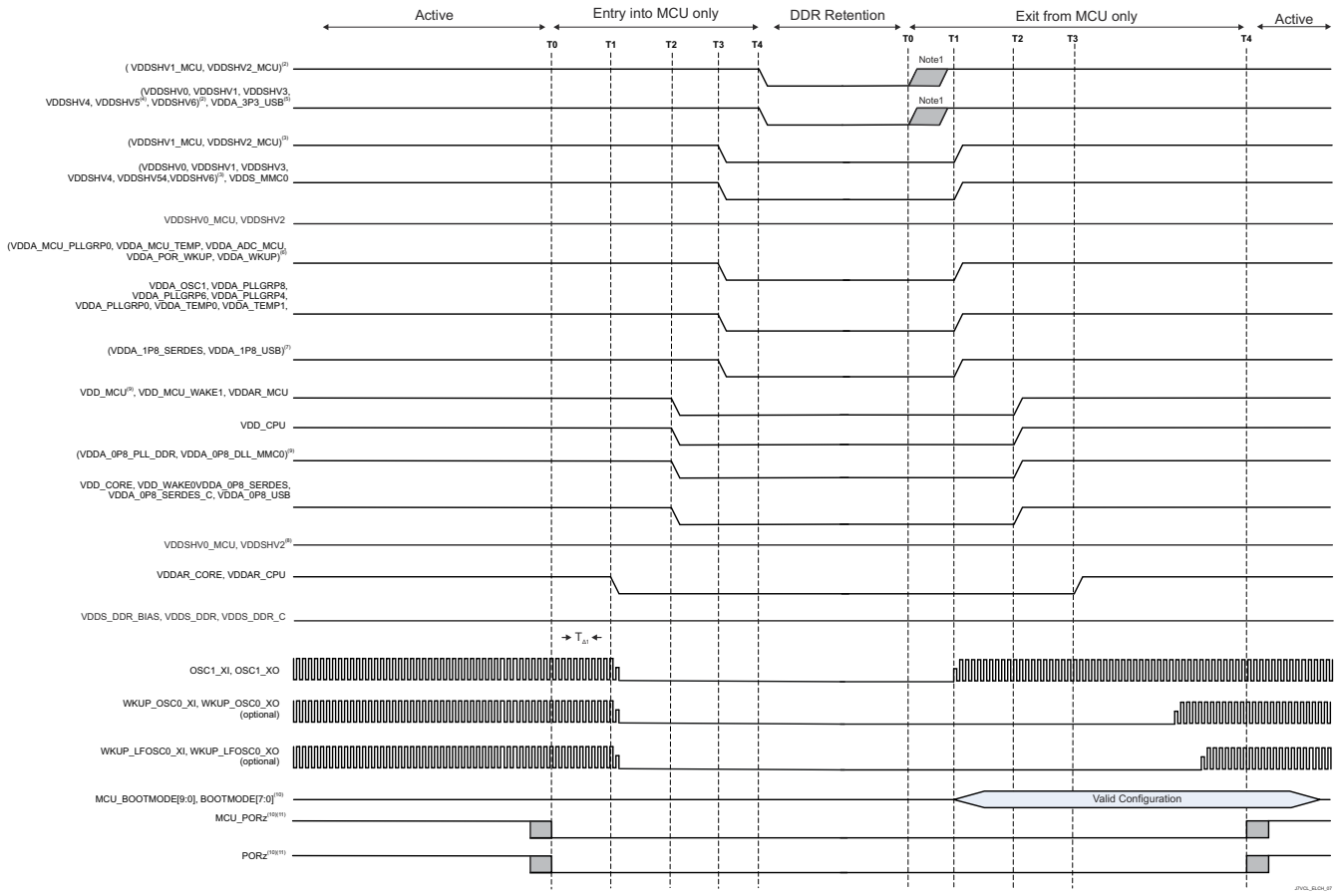


图 6-9. 独立的 MCU 域和 Main 域，GPIO 保持时序的进入和退出

Copyright © 2025 Texas Instruments Incorporated

6.10.3 系统时序

如需进一步详细了解子系统多路复用信号的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-5. 系统时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2	V/ns
输出条件				
C_L	输出负载电容	3	30	pF

6.10.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序要求和开关特性。

表 6-6. MCU_PORz 时序要求

请参阅图 6-10

编号			最小值	典型值	最大值	单位
RST1	$t_{h(MCUD_SUPPLIES_VALID - MCU_PORz)}$	保持时间，在所有 MCU 域电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体）	N + 1200[(2)]	9500000		ns
RST2		保持时间，在所有 MCU 域电源[(1)] 有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 振荡器）	1200			ns
RST3	$t_{w(MCU_PORzL)}$	最小脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200			ns

(1) 有关 MCU 域电源的定义，请参阅节 6.10.2.2 *组合式 MCU 域和 Main 域上电时序*。
(2) N = 振荡器启动时间

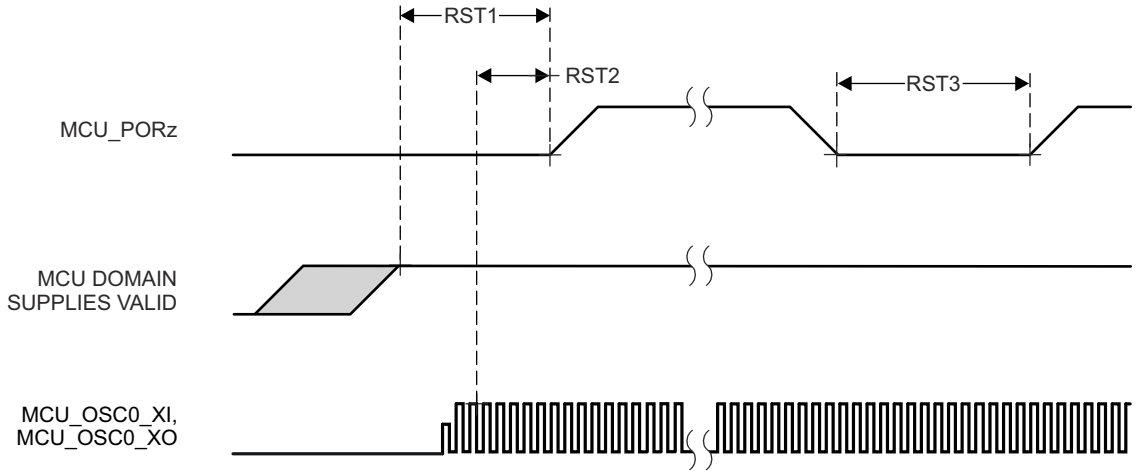


图 6-10. MCU_PORz 时序要求

表 6-7. PORz 时序要求

请参阅图 6-11

编号			最小值	最大值	单位
RST4	$t_{h(MAIND_SUPPLIES_VALID - PORz)}$	保持时间，在所有 MAIN 域电源[(1)] 有效之后 PORz 在上电时有效（低电平）	1200		ns
RST5	$t_{w(PORzL)}$	最小脉冲宽度，在上电之后 PORz 为低电平	1200		ns

(1) 有关 MAIN 域电源的定义，请参阅节 6.10.2.2 *组合式 MCU 域和 Main 域上电时序*。

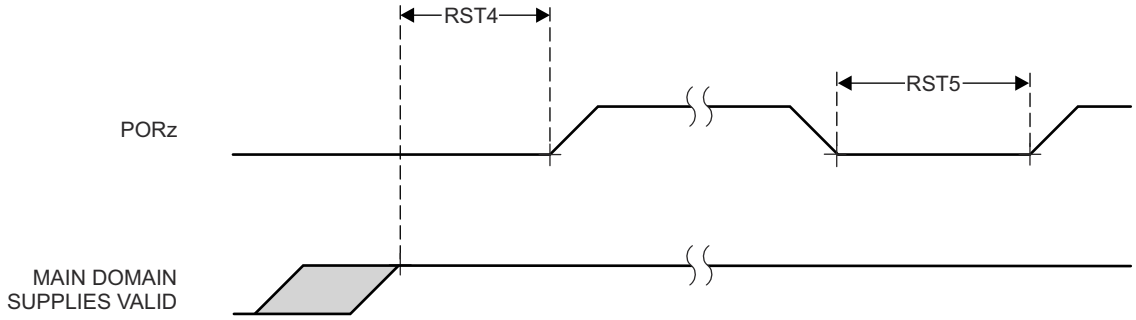


图 6-11. PORz 时序要求

表 6-8. MCU_PORz 启动；MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-12

编号	参数		模式	最小值	最大值	单位
RST6	$t_{d(MCU_PORzL-MCU_PORz_OUTL)}$	延迟时间，MCU_PORz 有效（低电平）到 MCU_PORz_OUT 有效（低电平）		0		ns
RST7	$t_{d(MCU_PORzH-MCU_PORz_OUTH)}$	延迟时间，MCU_PORz 无效（高电平）到 MCU_PORz_OUT 无效（高电平）		0		ns
RST8	$t_{d(MCU_PORzL-PORz_OUTL)}$	延迟时间，MCU_PORz 有效（低电平）到 PORz_OUT 有效（低电平）		0		ns
RST9	$t_{d(MCU_PORzH-PORz_OUTH)}$	延迟时间，MCU_PORz 无效（高电平）到 PORz_OUT 无效（高电平）		1500		ns
RST10	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）		0		ns
RST11	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	POST 旁路	12000*S[(1)]		ns
RST12	$t_{d(MCU_PORzL-RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 RESETSTATz 有效（低电平）		0		ns
RST13	$t_{d(MCU_PORzH-RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 RESETSTATz 无效（高电平）		14500*S[(1)]		ns
RST14	$t_{w(MCU_PORz_OUTL)}$	最小脉冲宽度，MCU_PORz_OUT 有效（低电平）		1200		ns
RST15	$t_{w(PORz_OUTL)}$	最小脉冲宽度，PORz_OUT 低电平		2550		ns
RST16	$t_{w(MCU_RESETSTATzL)}$	最小脉冲宽度，MCU_RESETSTATz 低电平		3900*S[(1)]		ns
RST17	$t_{w(RESETSTATzL)}$	最小脉冲宽度，RESETSTATz 低电平		2650*S[(1)]		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

Copyright © 2025 Texas Instruments Incorporated

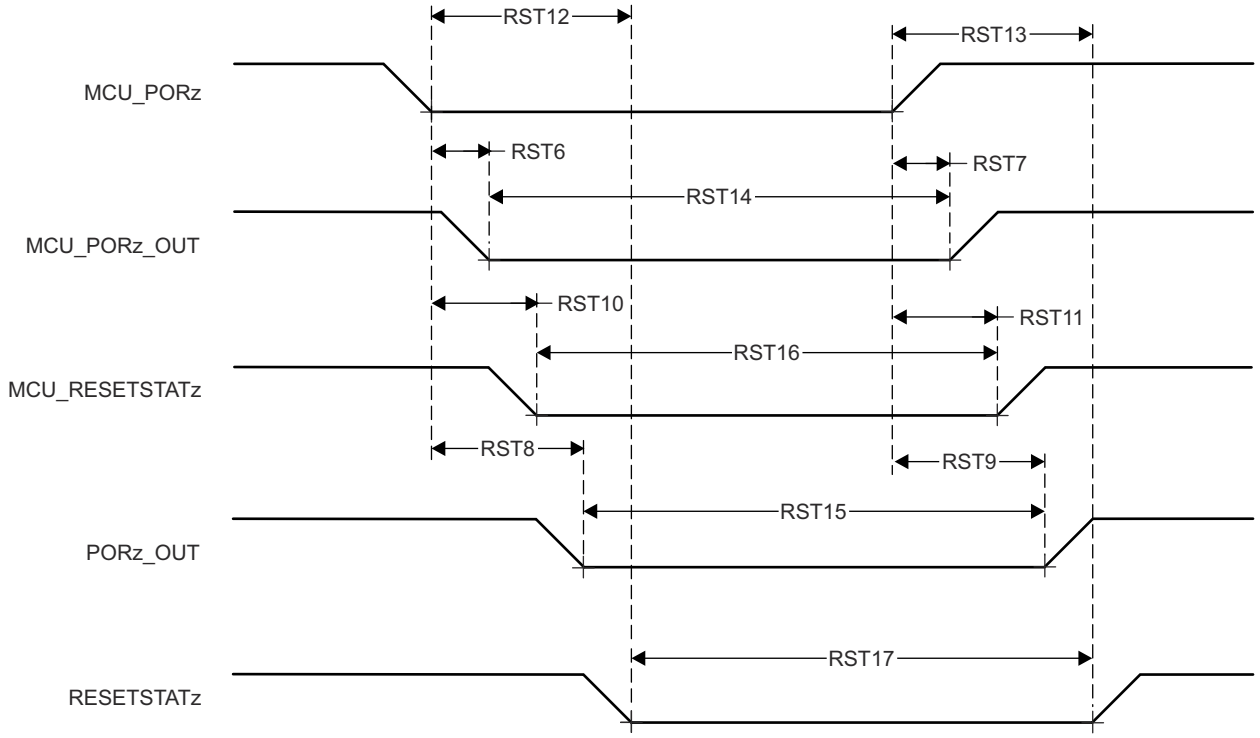


图 6-12. MCU_PORz 启动；MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 开关特性

表 6-9. PORz 启动；PORz_OUT 和 RESETSTATz 开关特性

请参阅图 6-13

编号	参数		模式	最小值	最大值	单位
RST18	$t_{d(PORzL-PORz_OUTL)}$	延迟时间，PORz 有效（低电平）到 PORz_OUT 有效（低电平）	POR_RST_ISO_DONE_Z 的软件控制	T(1)		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST19	$t_{d(PORzH-PORz_OUTH)}$	延迟时间，PORz 有效（高电平）到 PORz_OUT 有效（高电平）		1300		ns
RST20	$t_{d(PORzL-RESETSTATzL)}$	延迟时间，PORz 有效（低电平）到 RESETSTATz 有效（低电平）		T(1)		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	延迟时间，PORz 有效（高电平）到 RESETSTATz 有效（高电平）		14500*S (2)		ns

(1) T = 复位隔离时间（取决于软件）。
(2) S = MCU_OSC0_XI/XO 时钟周期。

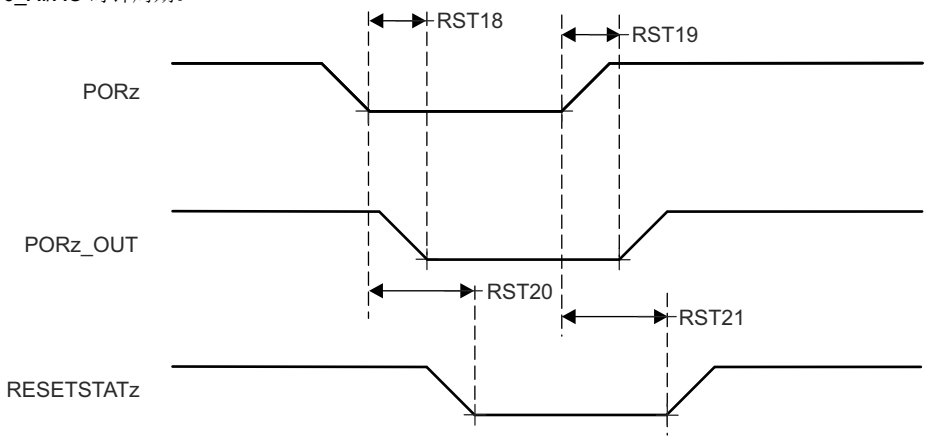


图 6-13. PORz 启动；PORz_OUT 和 RESETSTATz 开关特性

Copyright © 2025 Texas Instruments Incorporated

表 6-10. MCU_RESETz 时序要求

请参阅图 6-14

编号			最小值	最大值	单位
RST22	$t_{w(MCU_RESETzL)}$ (1)	最小脉冲宽度，MCU_RESETz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，MCU_RESETz 的时序才有效。

表 6-11. MCU_RESETz 启动；MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-14

编号	参数		最小值	最大值	单位
RST23	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	800		ns
RST24	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	3900*S(1)		ns
RST25	$t_{d(MCU_RESETzL-RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 RESETSTATz 有效（低电平）	800		ns
RST26	$t_{d(MCU_RESETzH-RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 RESETSTATz 无效（高电平）	3900*S(1)		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

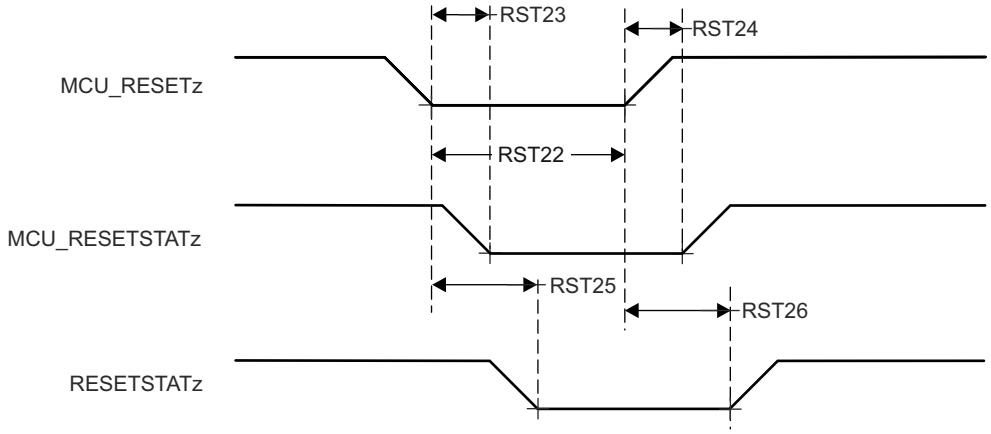


图 6-14. MCU_RESETz 启动；MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

表 6-12. RESET_REQz 时序要求

请参阅图 6-15

编号			最小值	最大值	单位
RST27	$t_{w(RESET_REQzL)}$ (1)	最小脉冲宽度，RESET_REQz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，RESET_REQz 的时序才有效。

表 6-13. RESET_REQz 启动；RESETSTATz 开关特性

请参阅图 6-15

编号	参数		模式	最小值	最大值	单位
RST28	$t_{d(RESET_REQzL-RESETSTATzL)}$	延迟时间，RESET_REQz 有效（低电平）到 RESETSTATz 有效（低电平）	SOC_WARMRST_ISO_DONE_Z 的软件控制	T(1)		
			CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740		ns
RST29	$t_{d(RESET_REQzH-RESETSTATzH)}$	延迟时间，RESET_REQz 无效（高电平）到 RESETSTATz 无效（高电平）		2650*S (2)		ns

(1) T = 复位隔离时间（取决于软件）。
(2) S = MCU_OSC0_XI/XO 时钟周期。

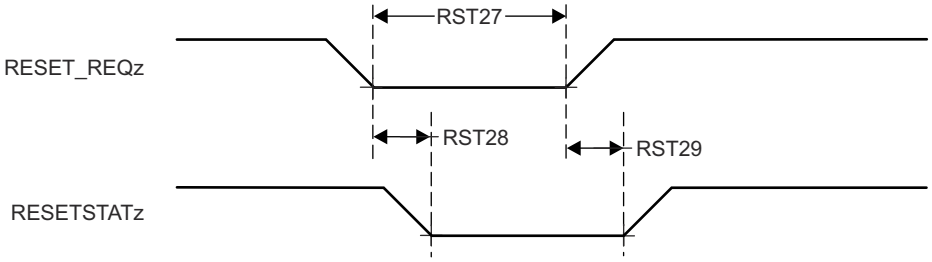


图 6-15. RESET_REQz 启动；RESETSTATz 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

表 6-14. EMUx 时序要求

请参阅图 6-16

编号			最小值	最大值	单位
RST30	$t_{su(EMUx-MCU_PORz)}$	建立时间，MCU_PORz 无效（高电平）之前的 EMU[1:0]	3*S(1)		ns
RST31	$t_{h(MCU_PORz - EMUx)}$	保持时间，MCU_PORz 无效（高电平）之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

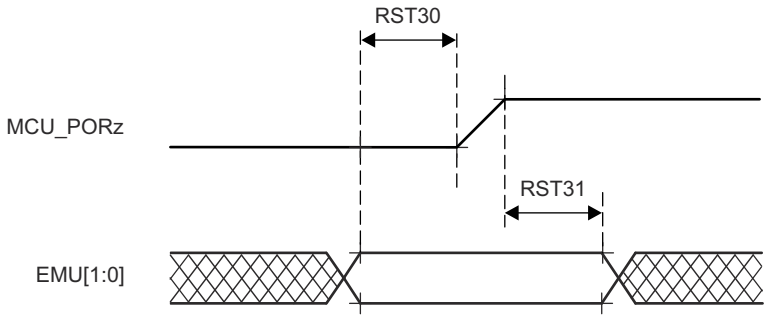


图 6-16. EMUx 时序要求

表 6-15. MCU_BOOTMODE 时序要求

请参阅图 6-17

编号			最小值	最大值	单位
RST32	$t_{su(MCU_BOOTMODE-MCU_PORz_OUT)}$	建立时间，在 MCU_PORz_OUT 高电平之前 MCU_BOOTMODE[09:00]	3*S(1)		ns
RST33	$t_{h(MCU_PORz_OUT - MCU_BOOTMODE)}$	保持时间，在 MCU_PORz_OUT 高电平之后 MCU_BOOTMODE[09:00]	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

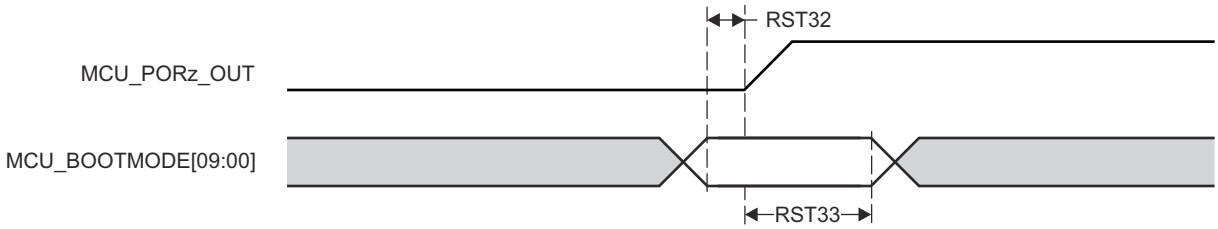


图 6-17. MCU_BOOTMODE 时序要求

表 6-16. BOOTMODE 时序要求

请参阅图 6-18

编号			最小值	最大值	单位
RST34	$t_{su(BOOTMODE-PORz_OUT)}$	建立时间，在 PORz_OUT 高电平之前 BOOTMODE[7:0]	3*S(1)		ns
RST35	$t_{h(PORz_OUT - BOOTMODE)}$	保持时间，在 PORz_OUT 高电平之后 BOOTMODE[7:0]	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

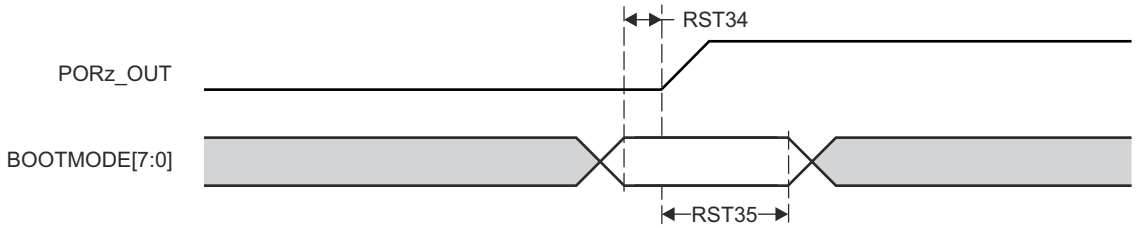


图 6-18. BOOTMODE 时序要求

Copyright © 2025 Texas Instruments Incorporated

6.10.3.2 安全信号时序

本节中提供的表和图定义了 MCU_SAFETY_ERRORn 和 SOC_SAFETY_ERRORn 的开关特性。

表 6-17. MCU_SAFETY_ERRORn 开关特性

请参阅图 6-19

编号	参数		最小值	最大值	单位
SFTY1	$t_{w(MCU_SAFETY_ERRORn)}$	最小脉冲宽度，MCU_SAFETY_ERRORn 有效（禁用 PWM 模式）	P*R(1) (2)		ns
SFTY2	$t_{d\ (ERROR_CONDITION\text{-}MCU_SAFETY_ERRORnL)}$	延迟时间，错误条件到 MCU_SAFETY_ERRORn 有效	50*P(1)		ns

(1) P = ESM 功能时钟 (MCU_SYSCLK0 /6)。
(2) R = 错误引脚计数器预加载寄存器计数值。

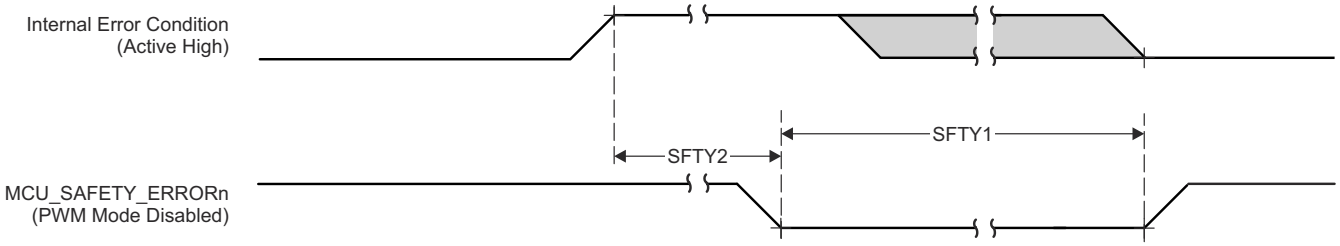


图 6-19. MCU_SAFETY_ERRORn 开关特性

表 6-18. SOC_SAFETY_ERRORn 开关特性

请参阅图 6-20

编号	参数		最小值	最大值	单位
SFTY3	$t_{w(SOC_SAFETY_ERRORn)}$	最小脉冲宽度，SOC_SAFETY_ERRORn 有效（禁用 PWM 模式）	P*R(1) (2)		ns
SFTY4	$t_{d\ (ERROR_CONDITION\text{-}SOC_SAFETY_ERRORnL)}$	延迟时间，错误条件到 SOC_SAFETY_ERRORn 有效	50*P(1)		ns

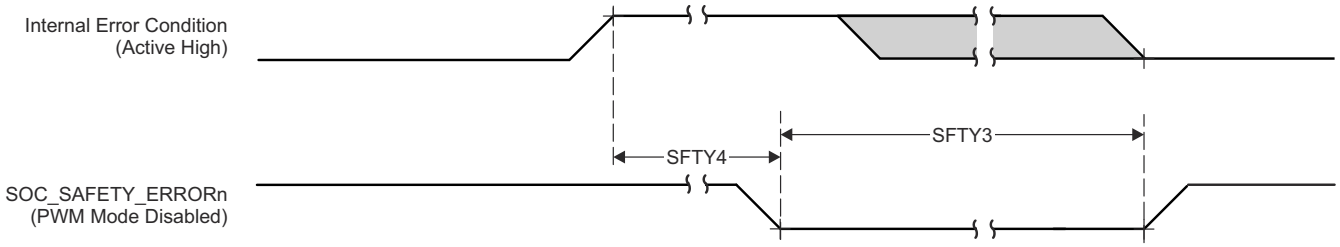


图 6-20. SOC_SAFETY_ERRORn 开关特性

6.10.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序要求和开关特性。

表 6-19. 时钟时序要求

请参阅图 6-21

编号			最小值	最大值	单位
CLK1	$t_{c(EXT_REFCLK1)}$	最小周期时间，EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	最小脉冲持续时间，EXT_REFCLK1 高电平	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	最小脉冲持续时间，EXT_REFCLK1 低电平	E*0.45(1)	E*0.55(1)	ns

(1) E = EXT_REFCLK1 周期时间。

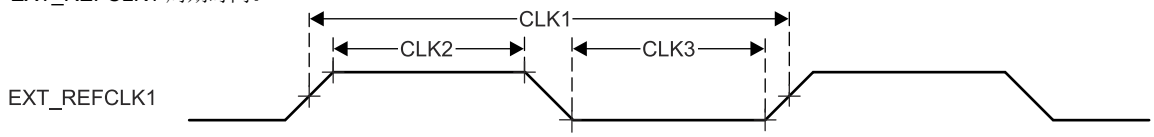


图 6-21. 时钟时序要求

表 6-20. 时钟开关特性

请参阅图 6-22

编号	参数		最小值	最大值	单位
CLK4	$t_{c(SYSCLKOUT0)}$	最小周期时间，SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	最小脉冲持续时间，SYSCLKOUT0 高电平	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	最小脉冲持续时间，SYSCLKOUT0 低电平	A*0.4(1)	A*0.6(1)	ns
CLK7	$t_{c(OBSCLK0)}$	最小周期时间，OBSCLK0	5		ns
CLK8	$t_{w(OBSCLK0H)}$	最小脉冲持续时间，OBSCLK0 高电平	B*0.4(2)	B*0.6(2)	ns
CLK9	$t_{w(OBSCLK0L)}$	最小脉冲持续时间，OBSCLK0 低电平	B*0.4(2)	B*0.6(2)	ns
CLK10	$t_{c(CLKOUT0)}$	最小周期时间，CLKOUT0	20		ns
CLK11	$t_{w(CLKOUT0H)}$	最小脉冲持续时间，CLKOUT0 高电平	C*0.4(3)	C*0.6(3)	ns
CLK12	$t_{w(CLKOUT0L)}$	最小脉冲持续时间，CLKOUT0 低电平	C*0.4(3)	C*0.6(3)	ns

(1) A = SYSCLKOUT0 周期时间。
(2) B = OBSCLK0 周期时间。
(3) C = CLKOUT0 周期时间。

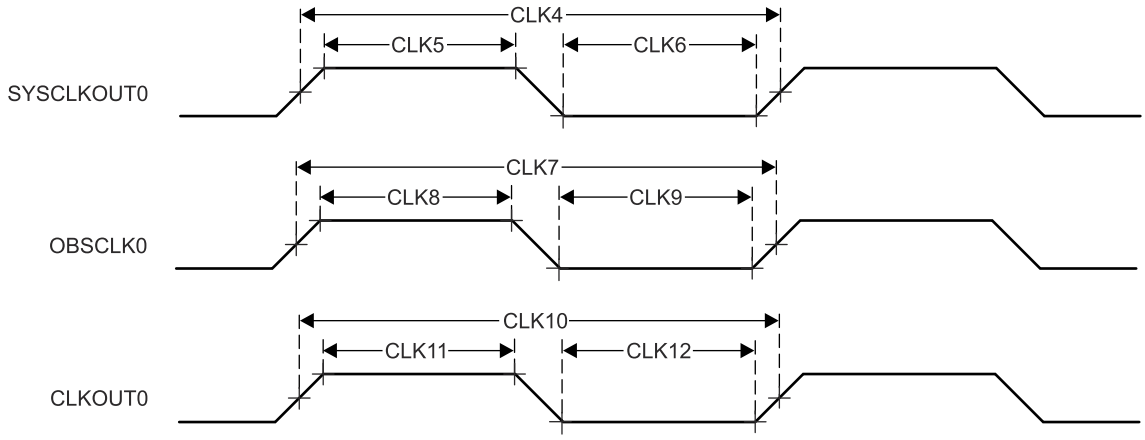


图 6-22. 时钟开关特性

Copyright © 2025 Texas Instruments Incorporated

6.10.4 时钟规格

6.10.4.1 输入和输出时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- 高频振荡器输入
  - OSC1_XO/OSC1_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 MCU 域和 MAIN 域内的 PLL 提供基准时钟。此高频振荡器用于向 MCASP 提供音频时钟频率。
  - WKUP_OSC0_XO/WKUP_OSC0_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 WKUP 和 MAIN 域内的 PLL 提供基准时钟。
- 低频数字输入
  - WKUP_LF_CLKIN - 低频 32k 数字时钟输入，可选择源自于外部 PMIC 或其他时钟源。该 SoC 不支持 LFOSC 晶体输入。
- 通用时钟输入
  - MCU_EXT_REFCLK0 - 可选外部系统时钟输入（MCU 域）。
  - EXT_REFCLK1 - 可选外部系统时钟输入（MAIN 域）。
- 外设时钟 - 请参阅外设特定时钟的“信号说明”

有关输入时钟接口的详细信息，请参阅器件 TRM 的*器件配置*一章中的*时钟*一节。

6.10.4.1.1 WKUP_OSC0 内部振荡器时钟源

图 6-23 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 WKUP_OSC0_XI 和 WKUP_OSC0_XO 引脚放置。

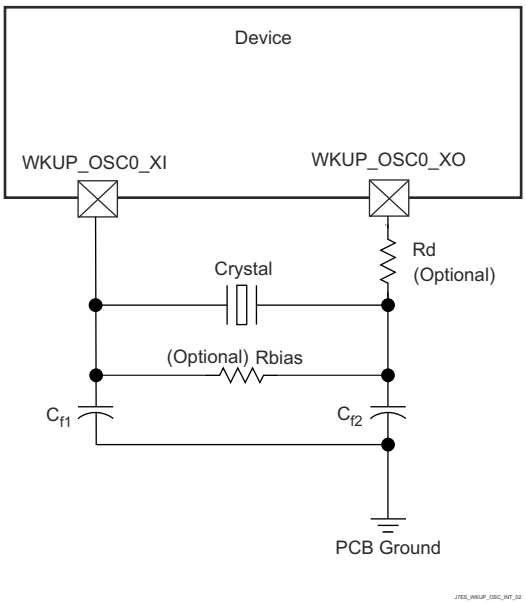


图 6-23. WKUP_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-21 总结了所需的电气约束。

表 6-21. WKUP_OSC0 晶体电气特性

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率				19.2、20、24、25、26、27		MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	19.2MHz、20MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 80Ω			5	pF
			80Ω ≤ ESR_{xtal} ≤ 100Ω			3	pF
		24MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 60Ω			5	pF
			60Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			不支持：80Ω ≤ ESR_{xtal}			–	
		25MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			50Ω ≤ ESR_{xtal} ≤ 80Ω			3	pF
			不支持：80Ω ≤ ESR_{xtal}			–	
		26MHz、27MHz	ESR_{xtal} ≤ 30Ω			7	pF
			30Ω ≤ ESR_{xtal} ≤ 50Ω			5	pF
			不支持：50Ω ≤ ESR_{xtal}			–	
ESR_{xtal}	晶体有效串联电阻					(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-22 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-22. WKUP_OSC0 开关特性 - 晶体模式

参数		封装	最小值	典型值	最大值	单位
C_{XI}	XI 电容	AND			2.047	pF
C_{XO}	XO 电容	AND			1.972	pF
C_{XIXO}	XI 至 XO 互电容	AND			0.01	pF
t_s	启动时间			9.5(1)		ms

(1) **TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。**

Copyright © 2025 Texas Instruments Incorporated

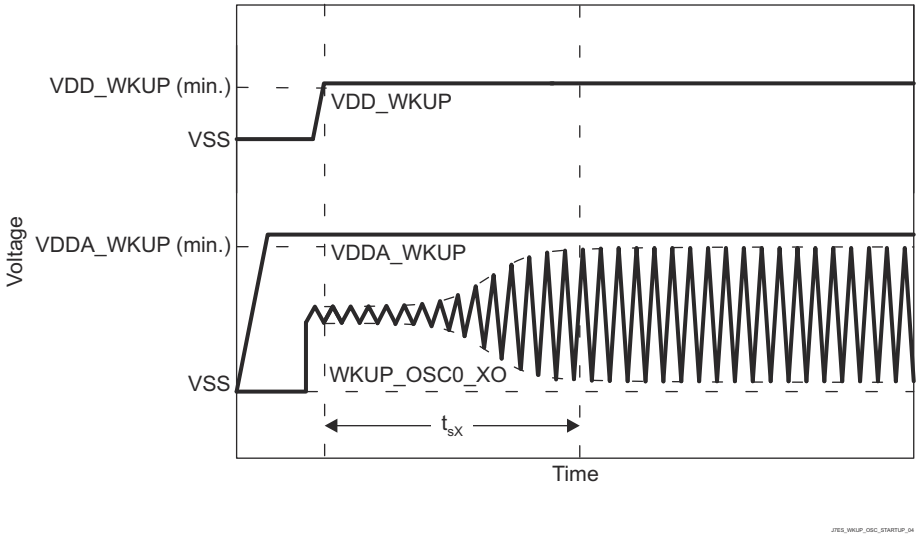


图 6-24. WKUP_OSC0 启动时间

6.10.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1}、C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 WKUP_OSC0_XI 和 WKUP_OSC0_XO 的 PCB 信号引线具有接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，PCB 设计人员应该能够提取每条信号引线的寄生电容。WKUP_OSC0 电路和器件封装具有组合的接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，表 6-22 定义了这些寄生电容值。

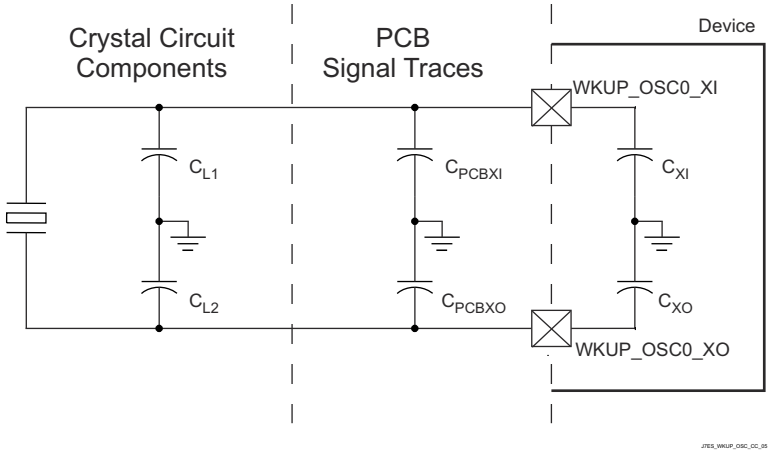


图 6-25. 负载电容

在选择图 6-23 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 C_L = 10pF，C_{PCBXI} = 2.9pF，C_{XI} = 0.5pF，C_{PCBXO} = 3.7pF，C_{XO} = 0.5pF，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10pF) - 2.9pF - 0.5pF)] = 16.6pF$，$C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10pF) - 3.7pF - 0.5pF)] = 15.8pF$

6.10.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-21 中定义的 WKUP_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 WKUP_OSC0 的 PCB 信号引线彼此之间存

在互寄生电容 $C_{PCBXIXO}$，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO}，表 6-22 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

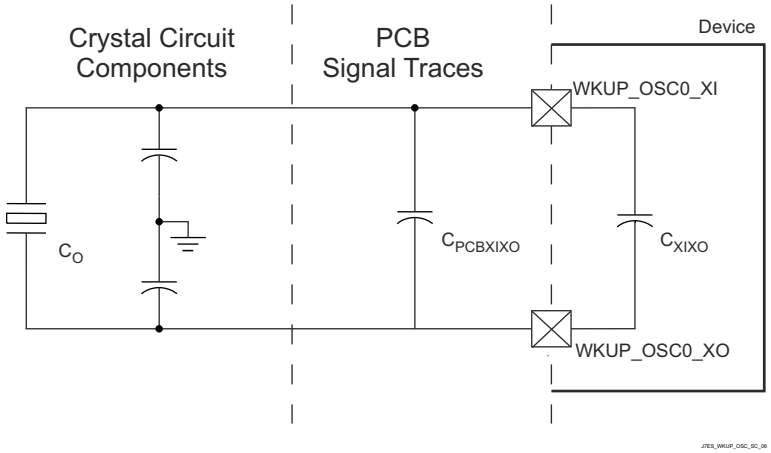


图 6-26. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$C_{shunt} \geqslant C_O + C_{PCBXIXO} + C_{XIXO}$

例如，当所使用的晶体为 25MHz，ESR = 30Ω，$C_{PCBXIXO}$ = 0.04pF，C_{XIXO} = 0.01pF，晶体的并联电容小于或等于 6.95pF 时，应满足该公式。

6.10.4.1.2 WKUP_OSC0 LVCMOS 数字时钟源

图 6-27 展示了当 WKUP_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时，WKUP_OSC0_XI 上不允许出现直流稳态情况，这是因为 WKUP_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 WKUP_OSC0_XI 不在不同逻辑状态之间切换，应用软件就应该使 WKUP_OSC0 断电。

Copyright © 2025 Texas Instruments Incorporated

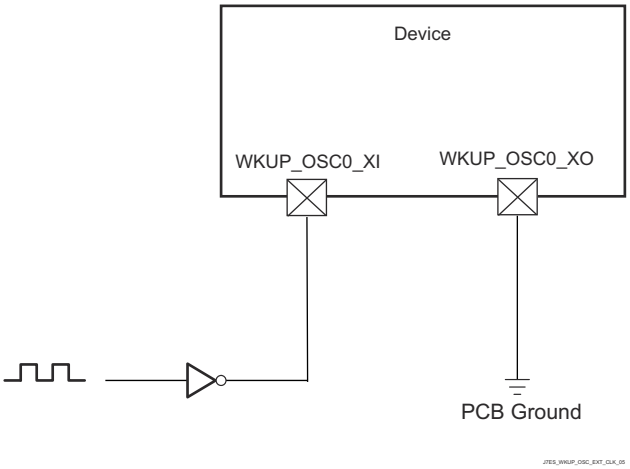


图 6-27. 1.8V LVCMOS 兼容时钟输入

6.10.4.1.3 辅助 OSC1 内部振荡器时钟源

图 6-28 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 OSC1_XI 和 OSC1_XO 引脚放置。

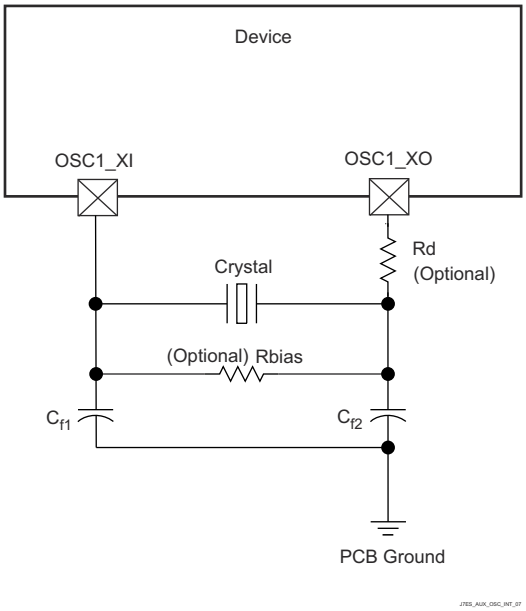


图 6-28. OSC1 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-23 总结了所需的电气约束。

表 6-23. OSC1 晶体电气特性

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率			19.2		27	MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	19.2MHz ⩽ F_{xtal} ⩽ 20MHz	ESR_{xtal} ⩽ 30 Ω			7	pF
			30Ω ⩽ ESR_{xtal} ⩽ 80Ω			5	pF
			80Ω ⩽ ESR_{xtal} ⩽ 100Ω			3	pF
		20MHz ⩽ F_{xtal} ⩽ 24.576MHz	ESR_{xtal} ⩽ 30 Ω			7	pF
			30Ω ⩽ ESR_{xtal} ⩽ 60Ω			5	pF
			60Ω ⩽ ESR_{xtal} ⩽ 80Ω			3	pF
			不支持：80Ω ⩽ ESR_{xtal}			–	
		24.576MHz ⩽ F_{xtal} ⩽ 25MHz	ESR_{xtal} ⩽ 30 Ω			7	pF
			30Ω ⩽ ESR_{xtal} ⩽ 50Ω			5	pF
			50Ω ⩽ ESR_{xtal} ⩽ 80Ω			3	pF
			不支持：80Ω ⩽ ESR_{xtal}			–	
		25MHz ⩽ F_{xtal} ⩽ 27MHz	ESR_{xtal} ⩽ 30 Ω			7	pF
			30Ω ⩽ ESR_{xtal} ⩽ 50Ω			5	pF
			不支持：50Ω ⩽ ESR_{xtal}			–	
ESR_{xtal}	晶体有效串联电阻					100	Ω

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-24 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-24. OSC1 开关特性 - 晶体模式

参数		封装	最小值	典型值	最大值	单位
C_{XI}	XI 电容	AND			2.548	pF
C_{XO}	XO 电容	AND			2.878	pF
C_{XIXO}	XI 至 XO 互电容	AND			0.01	pF
t_s	启动时间			9.5[(1)]		ms

(1) **TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。**

Copyright © 2025 Texas Instruments Incorporated

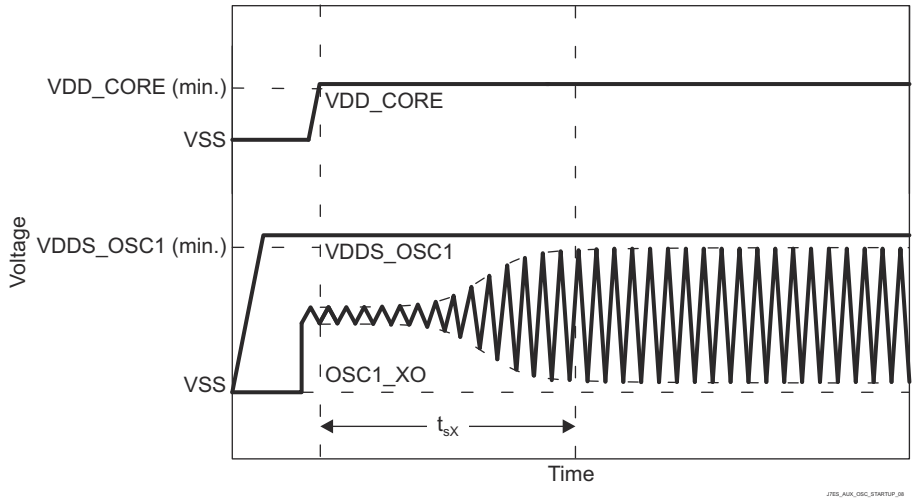


图 6-29. OSC1 启动时间

6.10.4.1.3.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1}、C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 OSC1_XI 和 OSC1_XO 的 PCB 信号引线具有接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，PCB 设计人员应该能够提取每条信号引线的寄生电容。OSC1 电路和器件封装具有组合的接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，表 6-24 定义了这些寄生电容值。

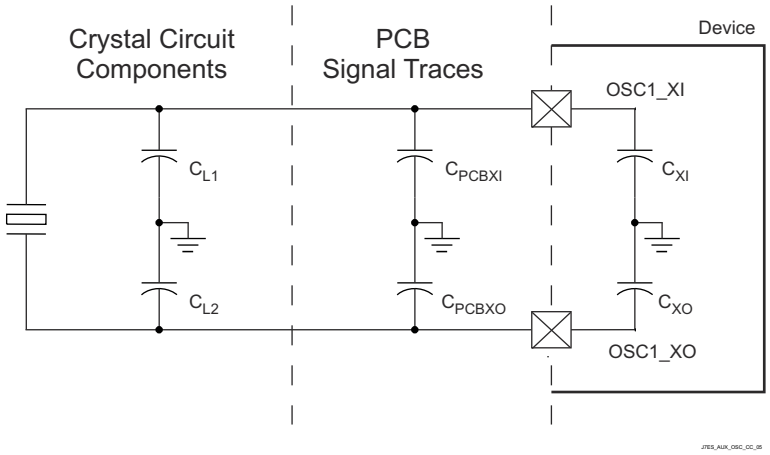


图 6-30. 负载电容

在选择图 6-28 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 C_L = 10pF，C_{PCBXI} = 2.9pF，C_{XI} = 0.5pF，C_{PCBXO} = 3.7pF，C_{XO} = 0.5pF，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})]$ = [(2 × 10pF) - 2.9pF - 0.5pF)] = 16.6pF，$C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})]$ = [(2 × 10pF) - 3.7pF - 0.5pF)] = 15.8pF

6.10.4.1.3.2 并联电容

晶体电路的设计还必须使其不超过表 6-23 中定义的 OSC1 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 OSC1 的 PCB 信号引线彼此之间存在互寄生电容

$C_{PCBXIXO}$，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO}，表 6-24 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

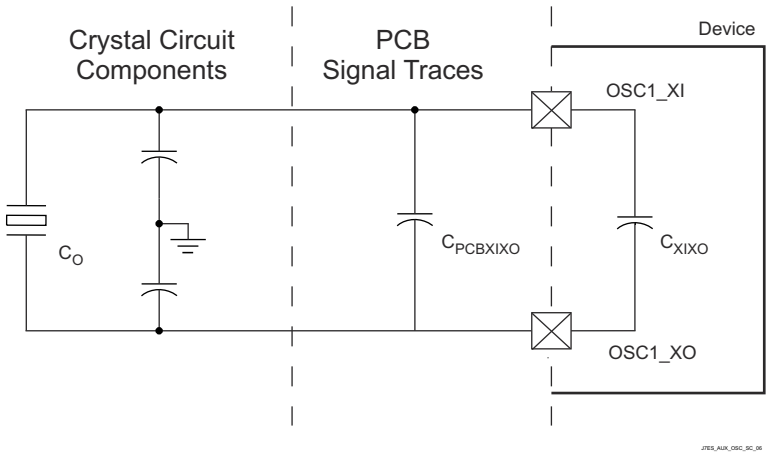


图 6-31. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$C_{shunt} \geqslant C_O + C_{PCBXIXO} + C_{XIXO}$

例如，当所使用的晶体为 25MHz，ESR = 30Ω，$C_{PCBXIXO}$ = 0.04pF，C_{XIXO} = 0.01pF，晶体的并联电容小于或等于 6.95pF 时，应满足该公式。

6.10.4.1.4 辅助 OSC1 LVCMOS 数字时钟源

图 6-32 展示了当 OSC1 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时，OSC1_XI 上不允许出现直流稳态情况，这是因为 OSC1_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 OSC1_XI 不在不同逻辑状态之间切换，应用软件就应该使 OSC1 断电。

Copyright © 2025 Texas Instruments Incorporated

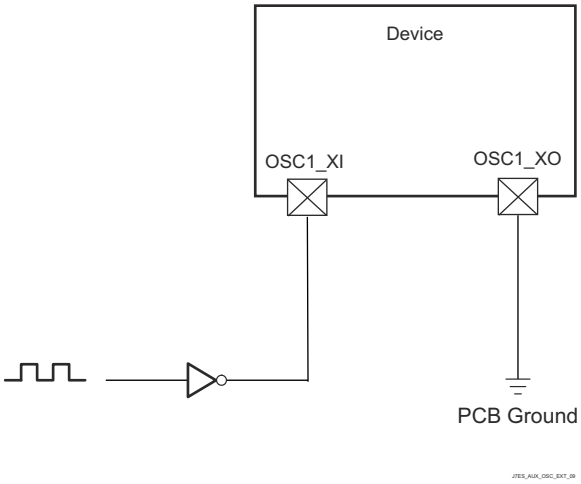


图 6-32. 1.8V LVCMOS 兼容时钟输入

6.10.4.1.5 未使用辅助 OSC1

图 6-33 展示了未使用 OSC1 时建议的振荡器连接。OSC1_XI 必须通过外部拉电阻器 (R_{pd}) 连接到 VSS，以确保在该输入未使用时保持在有效的低电平，因为内部下拉电阻器在默认情况下被禁用。

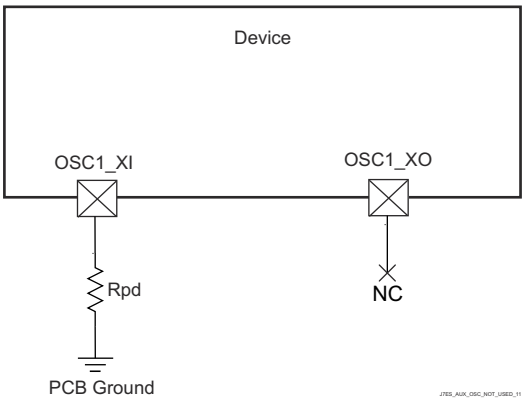


图 6-33. 未使用 OSC1

6.10.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_CLKOUT0**
  - 以太网 PHY 的基准时钟输出（50MHz 或 25MHz）
- **MCU_SYSCLKOUT0**
  - MCU_SYSCLK0 进行 4 分频后作为 LVCMOS 时钟信号 (MCU_SYSCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。此信号不应用作电路板上外部器件的时钟源。
- **MCU_OBSCLK0**
  - 在时钟输出 MCU_OBSCLK0 上，可观察振荡器和 PLL 时钟以进行测试和调试。此信号不应用作电路板上外部器件的时钟源。
- **SYSCLKOUT0**
  - SYSCLK0 进行 4 分频后作为 LVCMOS 时钟信号 (SYSCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。此信号不应用作电路板上外部器件的时钟源。
- **CLKOUT**
  - 以太网 PHY 的基准时钟输出 (50MHz)

- **OBSCLK[1:0]**
  - 在时钟输出 OBSCLK0/1 上，可观察振荡器和 PLL 时钟以进行测试和调试。

Copyright © 2025 Texas Instruments Incorporated

6.10.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

在 WKUP 和 MCU 域中，该器件内总共有三个 PLL：

- MCU_PLL0 (MCU R5FSS PLL) + WKUP_PLLCTRL0
- MCU_PLL1（MCU 外设 PLL）
- MCU_PLL2 (MCU CPSW PLL)

在 MAIN 域中，该器件内总共有 20 个 PLL：

- PLL0（主 PLL）+ PLLCTRL0
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW9G PLL)
- PLL4 (AUDIO0 PLL)
- PLL5 (VIDEO PLL)
- PLL6 (GPU PLL)
- PLL7 (C7x PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5F PLL)
- PLL15 (AUDIO1 PLL)
- PLL16 (DSS PLL0)
- PLL17 (DSS PLL1)
- PLL18 (DSS PLL2)
- PLL19 (DSS PLL3)
- PLL23 (DSS PLL7)
- PLL24 (MLB PLL)
- PLL25 (VISION PLL)

备注

如需更多信息，请参阅：

- 器件 TRM 中的*器件配置|时钟|PLL* 一节。
- 器件 TRM 中的*外设|显示子系统* 概述一节。

备注

如器件 TRM 中的*器件配置* 一章所述，输入基准时钟 (OSC1_XI/OSC1_XO) 由 PLL 控制器指定，锁定时间由 PLL 控制器确保。

6.10.4.4 模块和外设时钟频率

节 6.10.5（*外设* 一节）介绍了与器件外设时钟相关的最大频率。

有关每个模块的时钟结构的更多详细信息，请参阅器件 TRM 中的*器件配置* 一章。

6.10.5 外设

6.10.5.1 ATL

该器件包含 ATL 模块，可用于音频的异步采样速率转换。ATL 计算两个时基（例如音频同步）之间的误差，并可选择使用通过软件窃取周期来生成一个平均时钟。

备注

有关 ATL 更多信息，请参阅器件 TRM 的*外设*一章中的*音频跟踪逻辑 (ATL)* 一节。

表 6-25 表示 ATL 时序条件。

表 6-25. ATL 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	外部基准 CLK	0.5	5	V/ns
输出条件					
C_L	输出负载电容	内部基准 CLK	1	10	pF

节 6.10.5.1.1、节 6.10.5.1.2、节 6.10.5.1.3 和节 6.10.5.1.4 说明了 ATL 的时序要求和开关特性。

6.10.5.1.1 ATL_PCLK 时序要求

编号	参数		模式	最小值	最大值	单位
D1	$t_{c(pclk)}$	周期时间，ATL_PCLK	外部基准 CLK	5		ns
D2	$t_{w(pclkL)}$	脉冲持续时间，ATL_PCLK 低电平	外部基准 CLK	0.45 × M [(1)] + 2.5		ns
D3	$t_{w(pclkH)}$	脉冲持续时间，ATL_PCLK 高电平	外部基准 CLK	0.45 × M [(1)] + 2.5		ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] 时序要求

编号			模式	最小值	最大值	单位
D4	$t_{c(aws)}$	周期时间，ATL_AWS[x][(3)]	外部基准 CLK	2 × M[(1)]		ns
D5	$t_{w(awsL)}$	脉冲持续时间，ATL_AWS[x][(3)] 低电平	外部基准 CLK	0.45 × A[(2)] + 2.5		ns
D6	$t_{w(awsH)}$	脉冲持续时间，ATL_AWS[x][(3)] 高电平	外部基准 CLK	0.45 × A[(2)] + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) A = ATL_AWS[x] 周期
(3) x = 0 至 3

6.10.5.1.3 ATL_BWS[x] 时序要求

编号			模式	最小值	最大值	单位
D7	$t_{c(bws)}$	周期时间，ATL_BWS[x][(3)]	外部基准时钟	2 × M[(1)]		ns
D8	$t_{w(bwsL)}$	脉冲持续时间，ATL_BWS[x] 低电平[(3)]	外部基准时钟	0.45 × B[(2)] + 2.5		ns
D9	$t_{w(bwsH)}$	脉冲持续时间，ATL_BWS[x] 高电平[(3)]	外部基准时钟	0.45 × B[(2)] + 2.5		ns

(1) M = ATL_CLK[x] 周期
(2) B = ATL_BWS[x] 周期
(3) x = 0 至 3

6.10.5.1.4 ATCLK[x] 开关特性

编号	参数		模式	最小值	最大值	单位
D10	$t_{c(atclk)}$	周期时间，ATCLK[x][(3)]	内部基准 CLK	20		ns
D11	$t_{w(atclkL)}$	脉冲持续时间，ATCLK[x] 低电平[(3)]	内部基准 CLK	0.45 × P[(2)] - M[(1)] - 0.3		ns

Copyright © 2025 Texas Instruments Incorporated

编号	参数		模式	最小值	最大值	单位
D12	$t_{w(atclkH)}$	脉冲持续时间，ATCLK[x] 高电平(3)	内部基准 CLK	0.45 × P(2) - M(1) - 0.3		ns

(1) M = ATL_CLK[x] 周期
(2) P = ATCLK[x] 周期
(3) x = 0 至 3

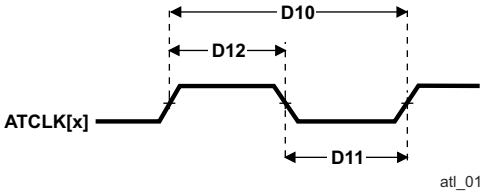


图 6-34. ATCLK[x] 时序

6.10.5.2 CPSW2G

如需进一步详细了解器件千兆位以太网 MAC 的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

6.10.5.2.1 CPSW2G MDIO 接口时序

表 6-26 表示 CPSW2G 时序条件。

表 6-26. CPSW2G MDIO 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入信号压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

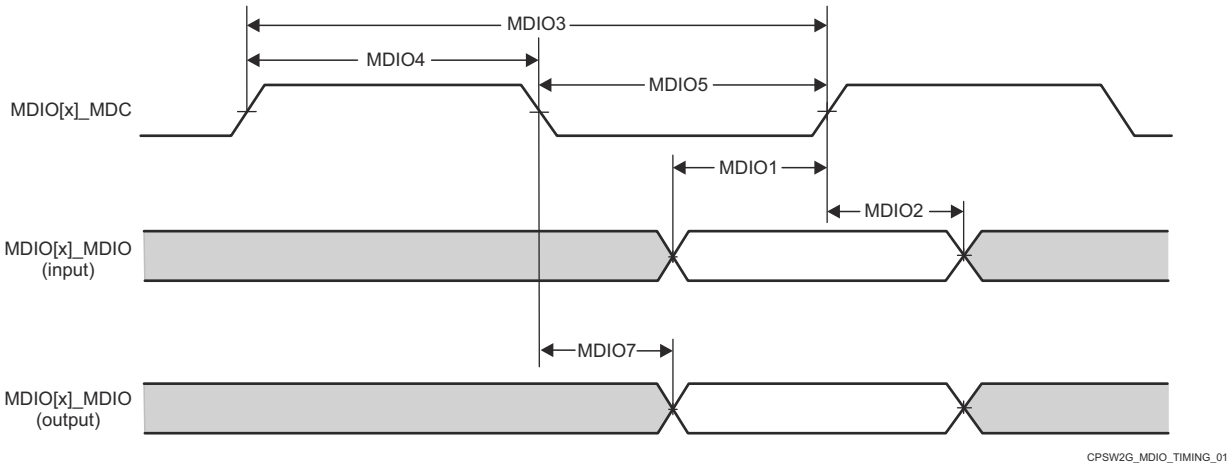
表 6-27、表 6-28 和图 6-35 说明了 MDIO 的时序要求。

表 6-27. CPSW2G MDIO 时序要求

编号			最小值	最大值	单位
MDIO1	$t_{su(mdioV-mdcH)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	$t_{h(mdcH-mdioV)}$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-28. CPSW2G MDIO 开关特性

编号	参数		最小值	最大值	单位
MDIO3	$t_{c(mdc)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(mdcH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(mdcL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(mdcL-mdioV)}$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-150	150	ns



备注

在 MCU 域中，x = 0

图 6-35. CPSW2G MDIO 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

6.10.5.2.2 CPSW2G RMII 时序

表 6-29、节 6.10.5.2.2.1、节 6.10.5.2.2.2 和节 6.10.5.2.2.3 说明了 CPSW2G RMII 的时序条件、要求和开关特性。

表 6-29. CPSW2G RMII 时序条件

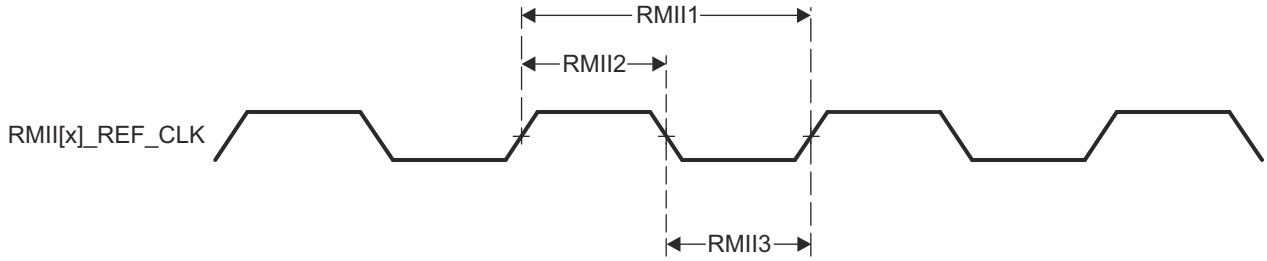
参数			最小值	最大值	单位
输入条件					
SR_I	输入信号压摆率	VDD(1) = 1.8V	0.108	0.54	V/ns
		VDD(1) = 3.3V	0.4	1.2	V/ns
输出条件					
C_L	输出负载电容		3	25	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅引脚属性的“电源”列

6.10.5.2.2.1 CPSW2G RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-36

编号			最小值	最大值	单位
RMII1	$t_{c(ref_clk)}$	周期时间，RMII[x]_REF_CLK	19.999	20	ns
RMII2	$t_{w(ref_clkH)}$	脉冲持续时间，RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	$t_{w(ref_clkL)}$	脉冲持续时间，RMII[x]_REF_CLK 低电平	7	13	ns



A. 在 MCU 域中，x = 1。

图 6-36. CPSW2G RMII[x]_REFCLK 时序要求 - RMII 模式

6.10.5.2.2.2 CPSW2G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

编号			最小值	最大值	单位
RMII4	$t_{su(rxdV\text{-}ref_clkH)}$	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RXD[1:0] 有效	4		ns
	$t_{su(crs_dvV\text{-}ref_clkH)}$	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_CRS_DV 有效	4		ns
	$t_{su(rx_erV\text{-}ref_clkH)}$	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RX_ER 有效	4		ns
RMII5	$t_{h(ref_clkH\text{-}rxdV)}$	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RXD[1:0] 有效	2		ns
	$t_{h(ref_clkH\text{-}crs_dvV)}$	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_CRS_DV 有效	2		ns
	$t_{h(ref_clkH\text{-}rx_erV)}$	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RX_ER 有效	2		ns

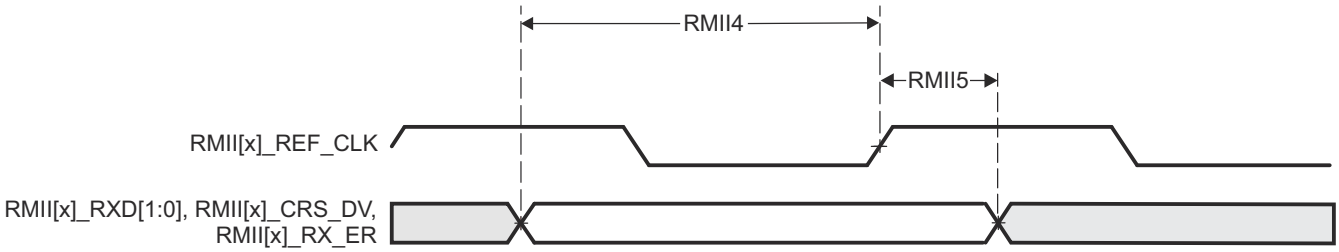


图 6-37. CPSW2G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

节 6.10.5.2.2.3 和图 6-38 说明了 CPSW2G RMII 发送模式的开关特性。

6.10.5.2.2.3 CPSW2G RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-38

编号	参数		最小值	最大值	单位
RMII6	$t_{d(ref_clkH-txdV)}$	延迟时间，RMII[x]_REF_CLK 上升沿到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(ref_clkH-tx_enV)}$	延迟时间，RMII[x]_REF_CLK 上升沿到 RMII[x]_TX_EN 有效	2	10	ns

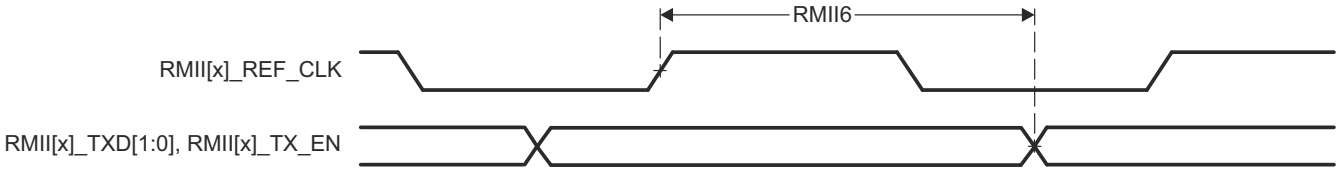


图 6-38. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.10.5.2.3 CPSW2G RGMII 时序

节 6.10.5.2.3.1、节 6.10.5.2.3.2 和图 6-40 说明了 RGMII 在接收操作中的时序要求。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*千兆位以太网 MAC (MCU_CPSW0)* 一节。

表 6-30. CPSW2G RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD[(1)] = 1.8V	1.44	5	V/ns
		VDD[(1)] = 3.3V	2.64	5	V/ns
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有引线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性的“电源”列。

Copyright © 2025 Texas Instruments Incorporated

6.10.5.2.3.1 RGMII[x]_RXC 时序要求 - RGMII 模式

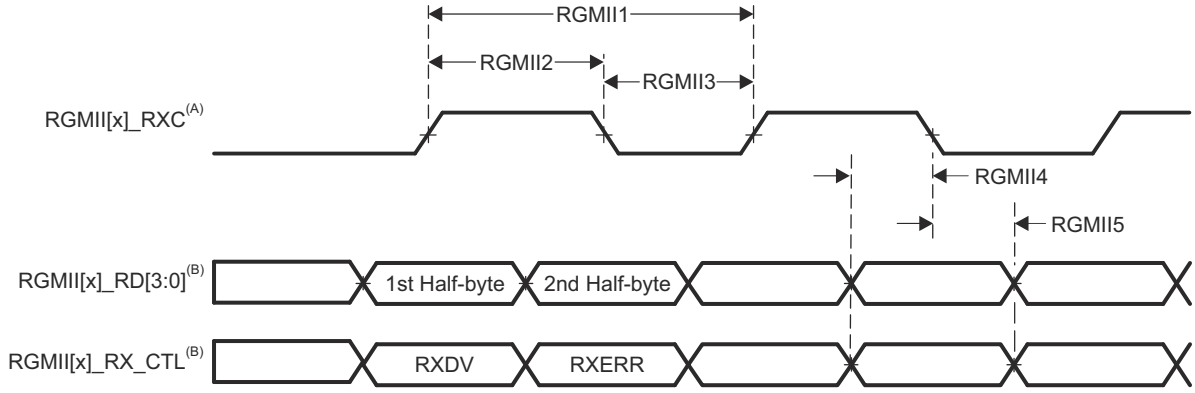
请参阅图 6-39

编号			模式	最小值	最大值	单位
RGMII1	$t_{c(rxc)}$	周期时间，RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(rxcH)}$	脉冲持续时间，RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(rxcL)}$	脉冲持续时间，RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.2.3.2 RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 的 CPSW2G 时序要求 - RGMII 模式

请参阅图 6-39

编号			模式	最小值	最大值	单位
RGMII4	$t_{su(rdV-rxcV)}$	建立时间，在 RGMII[x]_RXC 转换之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(rx_ctlV-rxcV)}$	建立时间，在 RGMII[x]_RXC 转换之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxcV-rdV)}$	保持时间，在 RGMII[x]_RXC 转换之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(rxcV-rx_ctlV)}$	保持时间，在 RGMII[x]_RXC 转换之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII_RXC 必须相对于数据引脚和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_RXD[3:0] 在 RGMII_RXC 的上升沿传输数据位 3-0，在 RGMII_RXC 的下降沿传输数据位 7-4。类似地，RGMII_RXCTL 在 RGMII_RXC 的上升沿传输 RXDV，在 RGMII_RXC 的下降沿传输 RXERR。

图 6-39. CPSW2G 接收接口时序，RGMII 运行模式

节 6.10.5.2.3.3 和节 6.10.5.2.3.4 说明了 10Mbps、100Mbps 和 1000Mbps RGMII 发送模式下的开关特性。

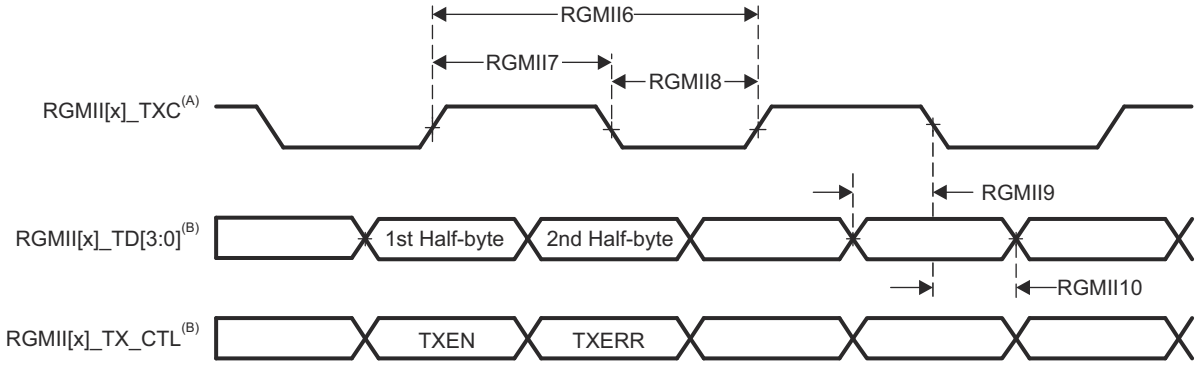
6.10.5.2.3.3 CPSW2G RGMII[x]_TXC 开关特性 - RGMII 模式

编号	参数		模式	最小值	最大值	单位
RGMII6	$t_{c(txc)}$	周期时间，RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(txcH)}$	脉冲持续时间，RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(txcL)}$	脉冲持续时间，RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.2.3.4 RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-40

编号	参数		模式	最小值	最大值	单位
RGMII9	$t_{osu(tdV-txcV)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(tx_ctlV-txcV)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(tdV-txcV)}$	输出保持时间，在 RGMII[x]_TXC 转换之后 RGMII[x]_TD[3:0] 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(tx_ctlV-txcV)}$	输出保持时间，在 RGMII[x]_TXC 转换之后 RGMII[x]_TX_CTL 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII_TD[3:0] 在 RGMII_TXC 的上升沿传输数据位 3-0，在 RGMII_TXC 的下降沿传输数据位 7-4。类似地，RGMII_TX_CTL 在 RGMII_TXC 的上升沿传输 TXDV，在 RGMII_TXC 的下降沿传输 RTXERR。

图 6-40. CPSW2G 发送接口时序 - RGMII 模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.3 CSI-2

备注

有关更多信息，请参阅器件 TRM 中的“摄像头流媒体接口接收器 (CSI_RX_IF)”一节。

CSI_RX_IF 处理来自外部图像传感器的像素数据和来自存储器的数据。它是以下多媒体应用程序的关键组件：照相机取景器、视频录制和静态图像捕获。

CSI_RX_IF 具有一个符合 MIPI D-PHY RX 规范 v1.2 和 MIPI CSI-2 规范 v1.3 的第一串行接口（CSI-2 端口），具有 4 个差分数据通道和 1 个差分时钟通道，以同步模式双倍数据速率运行。有关时序详细信息，请参阅规范。

- 每个通道的速率为 2.5Gbps (1.25GHz)。

6.10.5.4 DDRSS

如需进一步详细了解器件 LPDDR4 存储器接口的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

该器件具有用于连接 LPDDR4 的专用接口，支持符合 JEDEC JESD209-4B 标准且具有以下特性的 LPDDR4 SDRAM 器件：

- 连接到外部 SDRAM 存储器的 32 位数据路径
- 存储器器件容量：通过两个片选引脚提供多达 8GB 地址空间（每列 4GB）
- 不支持字节模式 LPDDR4 存储器或具有超过 17 行地址位的存储器

表 6-31 和图 6-41 说明了 DDRSS 的开关特性。

表 6-31. DDRSS 的开关特性

编号	参数		DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$	周期时间，DDR0_CKP 和 DDR0_CKN	LPDDR4	0.4681	3.003	ns

1. 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节（布线、间距、过孔/背钻、PCB 材料等）都严格遵循 TI LPDDR4 EVM PCB 布局，以便完全实现指定的时钟频率。有关详细信息，请参阅 Jacinto 7 DDR 电路板设计和布局布线指南。

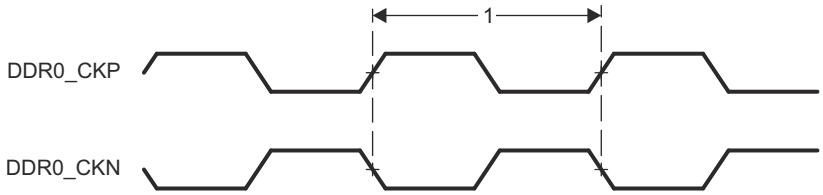


图 6-41. DDRSS 存储器接口时钟时序

有关更多信息，请参阅器件 TRM 的*存储器控制器* 一章中的 *DDR 子系统 (DDRSS)* 一节。

6.10.5.5 DSS

如需进一步详细了解器件显示子系统 - 视频输出端口的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

表 6-32 表示 DPI 时序条件。

表 6-32. DPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1.44	26.4	V/ns
输出条件				
C_L	输出负载电容	1.5	5	pF

表 6-32. DPI 时序条件（续）

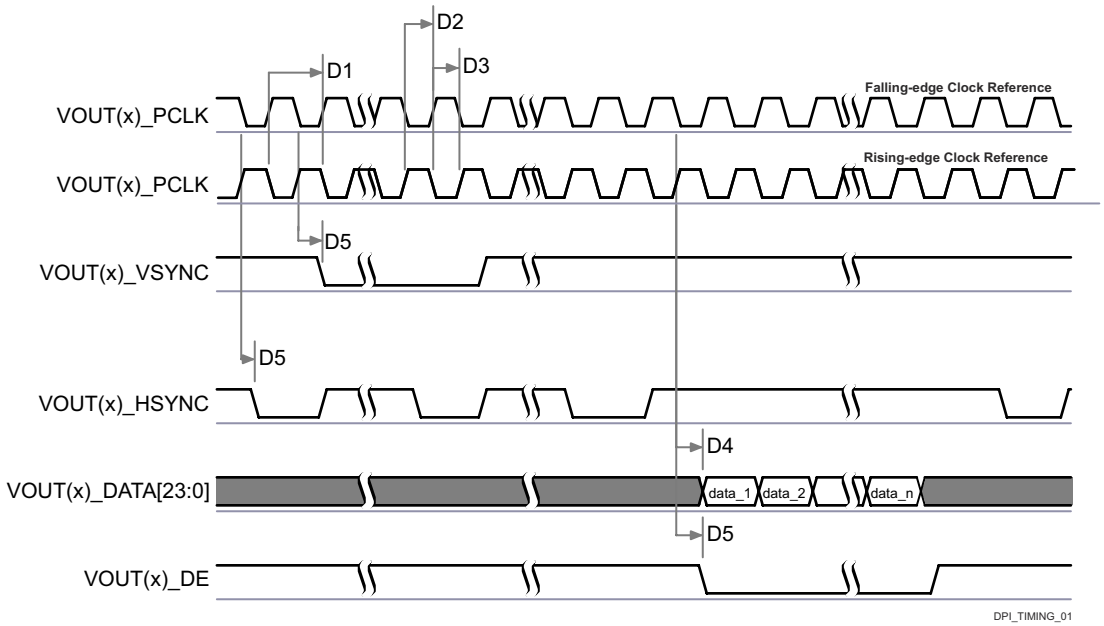
参数		最小值	最大值	单位
PCB 连接要求				
$t_{d(Trace\ Mismatch\ Delay)}$	所有引线之间的传播延迟不匹配		100	ps

表 6-33、表 6-34、图 6-42 和图 6-43 假设在建议运行条件和电气特性条件下进行测试。

表 6-33. DPI 视频输出开关特性

编号(2)	参数		最小值	最大值	单位
D1	$t_{c(pclk)}$	周期时间，VOUT(x)_PCLK	6.06		ns
D2	$t_{w(pclkL)}$	脉冲持续时间，VOUT(x)_PCLK 低电平	0.475×P(1)		ns
D3	$t_{w(pclkH)}$	脉冲持续时间，VOUT(x)_PCLK 高电平	0.475×P(1)		ns
D4	$t_{d(pclkV-dataV)}$	延迟时间，VOUT(x)_PCLK 转换到 VOUT(x)_DATA[23:0] 转换	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	延迟时间，VOUT(x)_PCLK 转换到控制信号 VOUT(x)_VSYNC、VOUT(x)_HSYNC、VOUT(x)_DE 下降沿	-0.68	1.78	ns

(1) P = 输出 VOUT(x)_PCLK 周期（以 ns 为单位）。
(2) VOUT(x) 中的 x = 1 或 2



A. 数据置为有效的配置可以在像素时钟的下降沿或上升沿进行编程。
B. VOUT(x)_HSYNC 和 VOUT(x)_VSYNC 的极性和脉冲宽度是可编程的，请参阅器件 TRM 的*外设*一章中的*显示子系统 (DSS)* 一节。
C. VOUT(x)_PCLK 频率是可配置的，请参阅器件 TRM 的*外设*一章中的*显示子系统*一节。
D. VOUT(x) 中的 x = 1 或 2。

图 6-42. DPI 视频输出

Copyright © 2025 Texas Instruments Incorporated

表 6-34. DPI 外部像素时钟时序要求

编号(2)			最小值	最大值	单位
D6	$t_{c(extpclkin)}$	周期时间，VOUT(x)_EXTPCLKIN	6.06		ns
D7	$t_{w(extpclkinL)}$	脉冲持续时间，VOUT(x)_EXTPCLKIN 低电平	0.45×P (1)		ns
D8	$t_{w(extpclkinH)}$	脉冲持续时间，VOUT(x)_EXTPCLKIN 高电平	0.45×P (1)		ns

(1) P = 输出 VOUT(x)_PCLK 周期（以 ns 为单位）。
(2) VOUT(x) 中的 x = 1 或 2

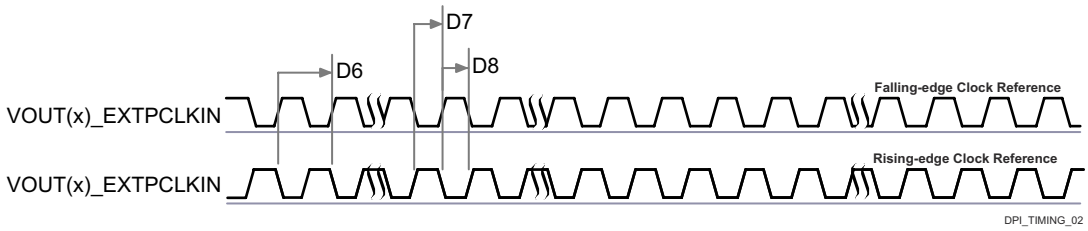


图 6-43. DPI 外部像素时钟输入

有关更多信息，请参阅器件 TRM 的*外设*一章中的*显示子系统 (DSS) 和外设*一节。

6.10.5.6 eCAP

器件 ECAP 支持的特性包括：

- 32 位时基计数器
- 4 事件时间戳寄存器（每个 32 位）
- 独立边沿极性选择，最多选择四个序列化时间戳捕获事件
- 4 个捕获事件中任意一个均有对应的中断功能
- 输入捕获信号预分频（1 至 16）
- 支持不同的捕获模式（单次捕获、连续模式捕获、绝对时间戳捕获或差分模式时间戳捕获）

表 6-35 表示 ECAP 时序条件。

表 6-35. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.6.1 和节 6.10.5.6.2 说明了 eCAP 的时序和开关特性（请参阅图 6-44 和图 6-45）。

6.10.5.6.1 eCAP 的时序要求

编号	参数	说明	最小值	最大值	单位
CAP1	$t_{w(cap)}$	脉冲持续时间，CAP（异步）	2 + 2P(1)		ns

(1) P = sysclk

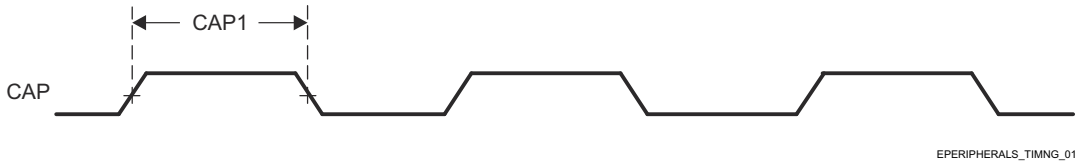


图 6-44. eCAP 输入时序

6.10.5.6.2 eCAP 的开关特性

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(apwm)}$	脉冲持续时间，APWM	– 2 + 2P[(1)]		ns

(1) P = sysclk

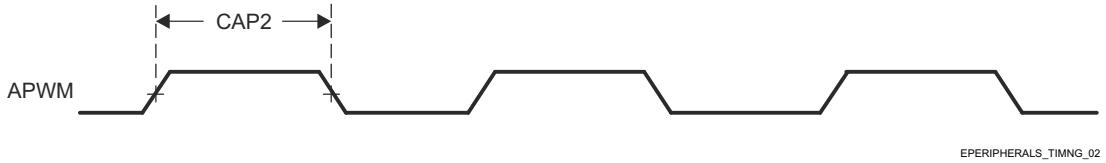


图 6-45. eCAP 输出时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

6.10.5.7 EPWM

器件 EPWM 支持的特性包括：

- 专用 16 位时基计数器具有周期和频率控制功能
- 两个独立 PWM 输出可用于不同配置（单边沿运行模式、双边沿对称运行模式或一个独立 PWM 输出 + 双边沿非对称运行模式）
- 在故障条件下可以对 PWM 信号进行异步覆盖控制
- 针对相对于其他 EPWM 模块的滞后或超前操作支持可编程相位控制
- 在生成死区时可以进行独立上升沿和下降沿延迟控制
- 锁存和未锁存故障条件下均支持可编程跳闸区分配
- 可通过事件触发 CPU 中断和 ADC 转换启动

表 6-36 表示 EPWM 时序条件。

表 6-36. EPWM 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.7.2 和节 6.10.5.7.1 说明了 eHRPWM 的时序和开关特性（请参阅图 6-47、图 6-48、图 6-49 和图 6-46）。

6.10.5.7.1 eHRPWM 的时序要求

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(synci)}$	脉冲持续时间，EHRPWM_SYNCI	2 + 2P[(1)]		ns

Copyright © 2025 Texas Instruments Incorporated

编号	参数	说明	最小值	最大值	单位
PWM7	$t_{w(tz)}$	脉冲持续时间，EHRPWM_TZn_IN 低电平	2 + 3P(1)		ns

(1) P = sysclk

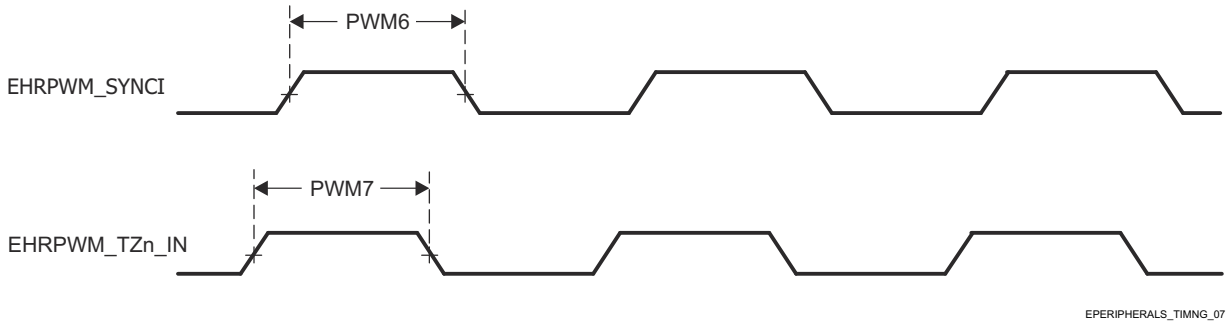


图 6-46. ePWM_SYNCI 和 ePWM_TZn_IN 输出时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*摄像头子系统*一节。

6.10.5.7.2 eHRPWM 的开关特性

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(pwm)}$	脉冲持续时间，EHRPWM_A/B 高电平或低电平	P-3(1)		ns
PWM2	$t_{w(syncout)}$	脉冲持续时间，EHRPWM_SYNCO	P-3(1)		ns
PWM3	$t_{d(tzL\text{-}pwmV)}$	延迟时间，EHRPWM_TZn_IN 下降沿到 EHRPWM_A/B 有效		11	ns
PWM4	$t_{d(tzL\text{-}pwmZ)}$	延迟时间，EHRPWM_TZn_IN 下降沿到 EHRPWM_A/B 高阻态		11	ns

编号	参数	说明	最小值	最大值	单位
PWM5	$t_{w(soc)}$	脉冲持续时间，EHRPWM_SOCA/B	P-3[(1)]		ns

(1) P = sysclk

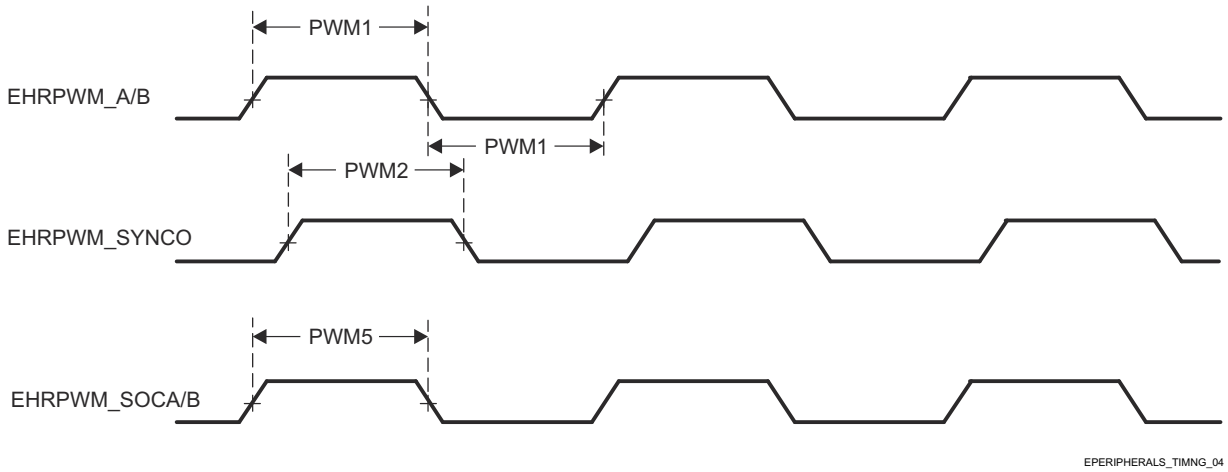


图 6-47. EPWM_A/B_out、ePWM_SYNCO 和 ePWM_SOCA/B 输入时序

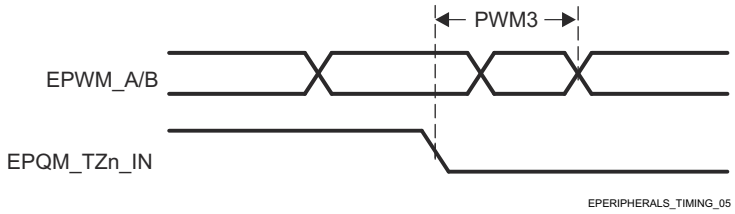


图 6-48. EPWM_A/B 和 ePWM_TZn_IN 强制高电平/低电平输入时序

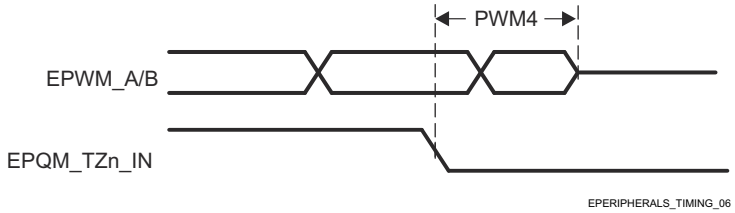


图 6-49. EPWM_A/B 和 ePWM_TZn_IN 高阻态输入时序

6.10.5.8 eQEP

器件 eQEP 支持的特性包括：

- 输入同步
- 三级/六级数字噪声滤波器
- 正交解码器单元
- 用于位置测量的位置计数器和控制单元
- 用于低速测量的正交边沿捕获单元
- 用于速度/频率测量的单位时基
- 用于检测失速的看门狗计时器

表 6-37 表示 EQEP 时序条件。

Copyright © 2025 Texas Instruments Incorporated

表 6-37. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.8.1 和节 6.10.5.8.2 说明了 eQEP 的时序要求和开关特性（请参阅图 6-50）。

6.10.5.8.1 eQEP 的时序要求

编号			最小值	最大值	单位
QEP1	$t_{w(qep)}$	脉冲持续时间，QEP_A/B	2 + 2P[(1)]		ns
QEP2	$t_{w(qepiH)}$	脉冲持续时间，QEP_I 高电平	2 + 2P[(1)]		ns
QEP3	$t_{w(qepiL)}$	脉冲持续时间，QEP_I 低电平	2 + 2P[(1)]		ns
QEP4	$t_{w(qepsH)}$	脉冲持续时间，QEP_S 高电平	2 + 2P[(1)]		ns
QEP5	$t_{w(qepsL)}$	脉冲持续时间，QEP_S 低电平	2 + 2P[(1)]		ns

(1) P = sysclk

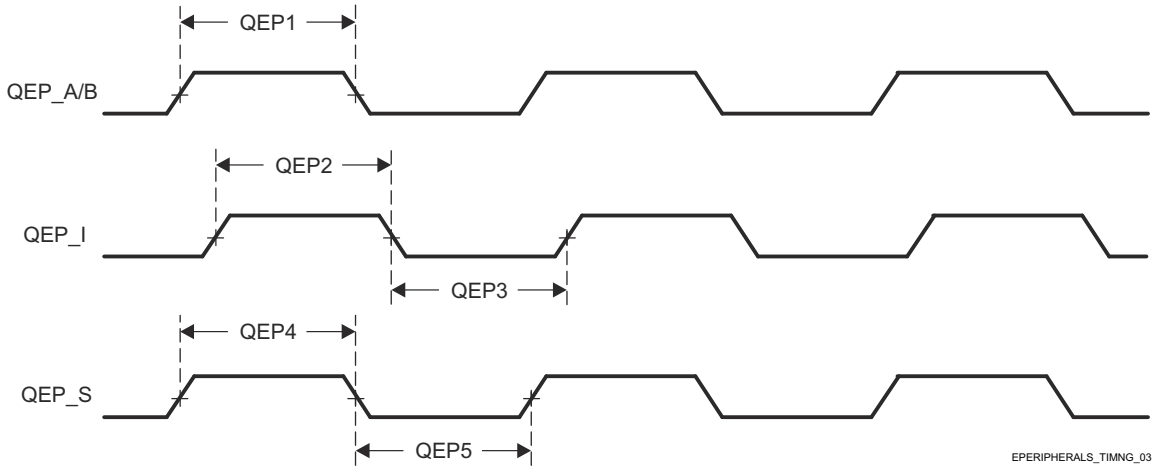


图 6-50. eQEP 输入时序

6.10.5.8.2 eQEP 的开关特性

编号	参数		最小值	最大值	单位
QEP6	$t_{d(QEP\text{-}CNTR)}$	延迟时间，外部时钟到计数器增量		24	ns

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

6.10.5.9 GPIO

如需进一步详细了解器件 GPIO 的特性和其他说明信息，请参阅特定于器件的技术参考手册 (TRM) 以及本数据表的信号说明 中的相应小节。

表 6-38、节 6.10.5.9.1 和节 6.10.5.9.2 说明了 GPIO 的时序条件、要求和开关特性。

表 6-38. GPIO 时序条件

参数	缓冲器类型	最小值	最大值	单位
输入条件				

表 6-38. GPIO 时序条件（续）

参数		缓冲器类型	最小值	最大值	单位
SR_I	输入压摆率	LVCMOS	0.2	6.6	V/ns
		I2C OD FS	0.2	0.08	V/ns
输出条件					
C_L	输出负载电容	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

6.10.5.9.1 GPIO 时序要求

编号			缓冲器类型	最小值	最大值	单位
GPIO1	$t_{w(gpio_in)}$	脉冲宽度，GPIOn_x	1.8 V	2P + 2.6[(1)]		ns
			3.3V	2P + 3.4[(1)]		ns

(1) P = 功能时钟周期（以 ns 为单位）。

6.10.5.9.2 GPIO 开关特性

编号	参数		缓冲器类型	最小值	最大值	单位
GPIO3	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度	LVCMOS	– 3.6 + 0.975P[(1)]		ns
GPIO4	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度低电平	I2C 开漏	160		ns
GPIO5	$t_{w(GPIO_OUT)}$	最小输出脉冲宽度高电平	I2C 开漏	60		ns

(1) P = 功能时钟周期（以 ns 为单位）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

6.10.5.10 GPMC

如需进一步详细了解器件通用存储器控制器的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-39 表示 GPMC 时序条件。

备注

本节中提供的 IO 时序适用于 GPMC0 的所有信号组合。然而，只有当使用单个 IOSET 内的信号时，时序才对 GPMC0 有效。GPMC0_IOSET、*GPMC0_IOSET* 表对 IOSET 进行了定义。

表 6-39. GPMC 时序条件

参数	说明		最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1.65	4	V/ns
输出条件					
C_L	输出负载电容		5	20	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播不匹配			200	ps

6.10.5.10.1 GPMC 和 NOR 闪存 - 同步模式

节 6.10.5.10.1.1 和节 6.10.5.10.1.2 假设在下列建议运行条件和电气特性条件下进行测试（请参阅图 6-51 至图 6-55）。

Copyright © 2025 Texas Instruments Incorporated

6.10.5.10.1.1 GPMC 和 NOR 闪存时序要求 - 同步模式

编号	参数	说明[2]	模式[3]	最小值 最大值 100MHz[4]	最小值 最大值 133MHz[4]	单位
F12	$t_{su(dV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入数据 GPMC_AD[15:0] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.06		ns
F13	$t_{h(clkH-dV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入数据 GPMC_AD[15:0] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.78		ns
F21	$t_{su(waitV-clkH)}$	建立时间，在输出时钟 GPMC_CLK 高电平之前输入等待 GPMC_WAIT[j] 有效[1]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.81	1.11	ns
			not_div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.06		ns
F22	$t_{h(clkH-waitV)}$	保持时间，在输出时钟 GPMC_CLK 高电平之后输入等待 GPMC_WAIT[j] 有效[1]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.78	2.28	ns
			not_div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	1.78		ns

(1) 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。
(2) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的*通用存储器控制器 (GPMC)* 一节。
(3) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率/（2 至 4）
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100MHz
- 对于 TIMEPARAGRANULARITY_X1：
  - GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

(4) 对于 100MHz：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

对于 133MHz：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.1.2 GPMC 和 NOR 闪存开关特性 - 同步模式

编号[2]	参数	说明	模式[19]	最小值	最大值	最小值	最大值	单位
				100 MHz[20]		133 MHz[20]		
F0	tc(clk)	周期，输出时钟 GPMC_CLK[18]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	10		7.52		ns
F1	$t_{w(clkH)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 高电平	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	0.475*P[15]- 0.3		0.475*P[15]- 0.3		ns
F1	$t_{w(clkL)}$	典型脉冲持续时间，输出时钟 GPMC_CLK 低电平	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	0.475*P[15]- 0.3		0.475*P[15]- 0.3		ns
F2	$t_{d(clkH-csnV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 转换[14]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	F[6]- 2.2	F+3.75	F[6]- 2.2	F[6]+ 3.75	ns
F3	$t_{d(clkH-CSn[i]V)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 无效[14]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	E[5]- 2.2	E[5]+ 3.75	E[5]- 2.2	E[5]+ 3.75	ns
F4	$t_{d(aV-clk)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B[2]-2.3	B[2]+4.5	B[2]-2.3	B[2]+4.5	ns
F5	$t_{d(clkH-aIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址 GPMC_A[27:1] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B[2]-2.3	B[2]+1.9	B[2]-2.3	B[2]+1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效[11]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4]-2.3	D[4]+1.9	D[4]-2.3	D[4]+1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效[12]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4]-2.3	D[4]+1.9	D[4]-2.3	D[4]+1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效[13]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4]-2.3	D[4]+1.9	D[4]-2.3	D[4]+1.9	ns
F8	$t_{d(clkH-advn)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	G[7]-2.3	G[7]+4.5	G[7]-2.3	G[7]+4.5	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	D[4]-2.3	D[4]+4.5	D[4]-2.3	D[4]+4.5	ns

Copyright © 2025 Texas Instruments Incorporated

编号[2]	参数	说明	模式[19]	最小值	最大值	最小值	最大值	单位
				100 MHz[20]		133 MHz[20]		
F10	$t_{d(clkH-oen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	H[8]-2.3	H[8]+3.5	H[8]-2.3	H[8]+3.5	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	E[8]-2.3	E[8]+3.5	E[8]-2.3	E[8]+ 3.5	ns
F14	$t_{d(clkH-wen)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出写入使能 GPMC_WEn 转换	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1；无 extra_delay	I[9]- 2.3	I[9]+4.5	I[9]- 2.3	I[9]+4.5	ns
F15	$t_{d(clkH-do)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出数据 GPMC_AD[15:0] 转换[11]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+2.7	J[10]-2.3	J[10]+2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换[12]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+2.7	J[10]-2.3	J[10]+2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换[13]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+2.7	J[10]-2.3	J[10]+2.7	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间，输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 转换[11]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+1.9	J[10]-2.3	J[10]+1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换[12]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+1.9	J[10]-2.3	J[10]+1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换[13]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[10]-2.3	J[10]+1.9	J[10]-2.3	J[10]+1.9	ns
F18	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i] 低电平[14]	读取	A[1]		A[1]		ns
			写入	A[1]		A[1]		ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 低电平	读取	C[3]		C[3]		ns
			写入	C[3]		C[3]		ns
F20	$t_{w(advnV)}$	脉冲持续时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 低电平	读取	K[16]		K[16]		ns
			写入	K[16]		K[16]		ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
n 是页面突发访问编号。
(2) B = ClkActivationTime × GPMC_FCLK[17]
(3) 对于单次读取：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发读取：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发写入：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
n 是页面突发访问编号。
(4) 对于单次读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发读取：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]

对于突发写入：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]

(5) 对于单次读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发读取：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于突发写入：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]

(6) 对于 csn 下降沿（CS 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSOnTime 为奇数）或（ClkActivationTime 和 CSOnTime 为偶数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK[17]
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(CSOnTime - ClkActivationTime) 是 3 的倍数），则 F = 0.5 × CSExtraDelay × GPMC_FCLK[17]
  - 如果（(CSOnTime - ClkActivationTime - 1) 是 3 的倍数），则 F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK[17]
  - 如果（(CSOnTime - ClkActivationTime - 2) 是 3 的倍数），则 F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK[17]

(7) 对于 ADV 下降沿（ADV 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVOnTime 为奇数）或（ClkActivationTime 和 ADVOnTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVOnTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 如果（(ADVOnTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
  - 如果（(ADVOnTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]

对于读取模式下的 ADV 上升沿（ADV 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVRdOffTime 为奇数）或（ClkActivationTime 和 ADVRdOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVRdOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 如果（(ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
  - 如果（(ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]

对于写入模式下的 ADV 上升沿（ADV 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVWrOffTime 为奇数）或（ClkActivationTime 和 ADVWrOffTime 为偶数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(ADVWrOffTime - ClkActivationTime) 是 3 的倍数），则 G = 0.5 × ADVExtraDelay × GPMC_FCLK[17]
  - 如果（(ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数），则 G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]
  - 如果（(ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数），则 G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[17]

(8) 对于 OE 下降沿（OE 激活）和 IO DIR 上升沿（数据总线输入方向）：

- 如果 GPMCFCLKDIVIDER = 0：

Copyright © 2025 Texas Instruments Incorporated

  - H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOnTime 为奇数）或（ClkActivationTime 和 OEOnTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOnTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
  - 如果（(OEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]
  - 如果（(OEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]

对于 OE 上升沿（OE 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOffTime 为奇数）或（ClkActivationTime 和 OEOffTime 为偶数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(OEOffTime - ClkActivationTime) 是 3 的倍数），则 H = 0.5 × OEExtraDelay × GPMC_FCLK[17]
  - 如果（(OEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]
  - 如果（(OEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[17]

(9) 对于 WE 下降沿（WE 激活）：
- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOnTime 为奇数）或（ClkActivationTime 和 WEOnTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOnTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
  - 如果（(WEOnTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]
  - 如果（(WEOnTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]

对于 WE 上升沿（WE 停用）：
- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOffTime 为奇数）或（ClkActivationTime 和 WEOffTime 为偶数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果（(WEOffTime - ClkActivationTime) 是 3 的倍数），则 I = 0.5 × WEExtraDelay × GPMC_FCLK[17]
  - 如果（(WEOffTime - ClkActivationTime - 1) 是 3 的倍数），则 I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]
  - 如果（(WEOffTime - ClkActivationTime - 2) 是 3 的倍数），则 I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[17]

(10) J = GPMC_FCLK[17]
(11) 对于 CLK DIV 1 模式，仅限第一次传输。
(12) 半周期；对于 CLK DIV 1 模式，针对初始传输后的所有数据。
(13) GPMC_CLKOUT 的半个周期；对于 CLK DIV 1 模式以外的模式，针对所有数据。GPMC_CLKOUT 从 GPMC_FCLK 进行分频。
(14) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。
(15) P = 以 ns 为单位的 GPMC_CLK 周期
(16) 对于读取：K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
对于写入：K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[17]
(17) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。

(18) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。

(19) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT/3 = 300/3 = 100 MHz
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

对于无 extra_delay 的情况：

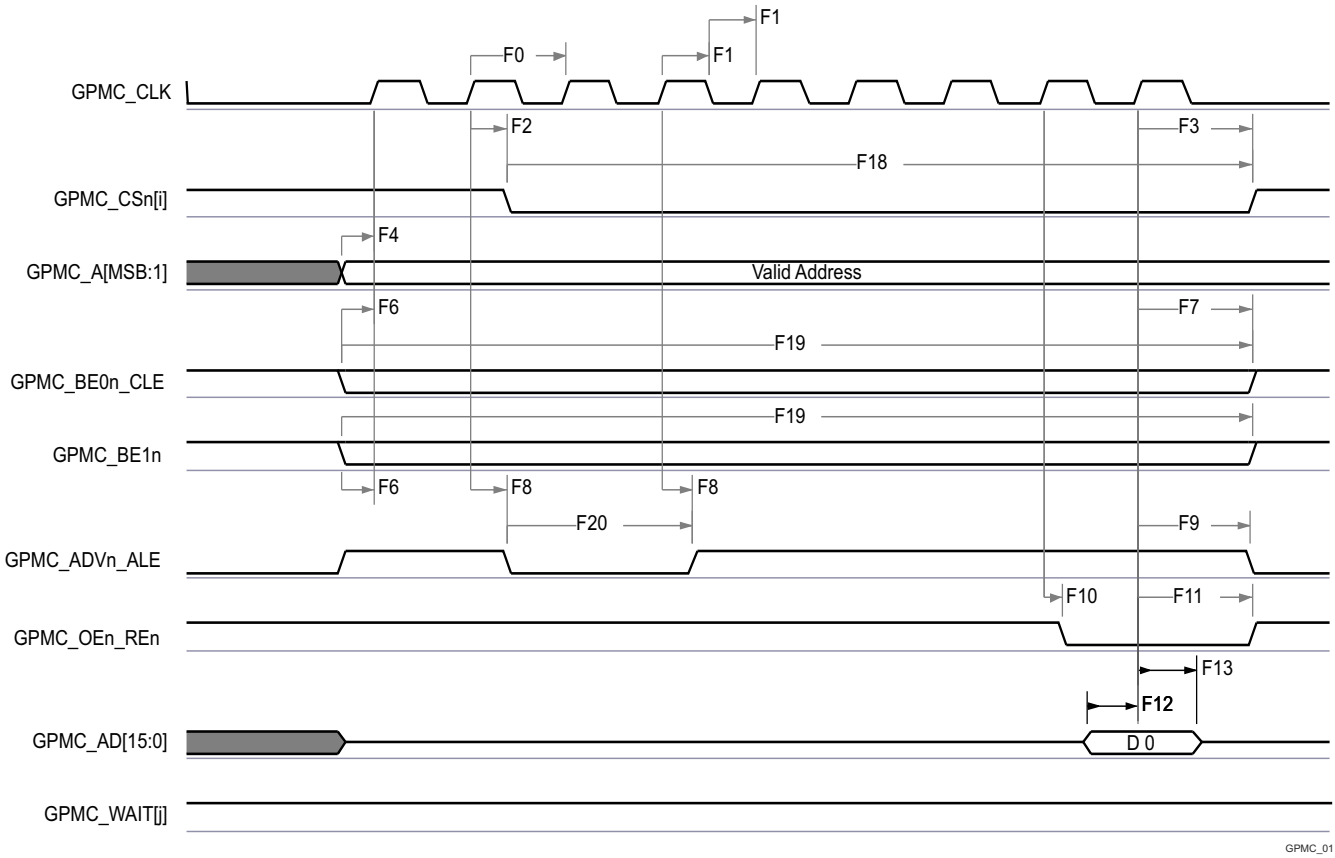
- GPMC_CONFIG2_i 寄存器：CSEXTRADELAY = 0h = CSn 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：WEEXTRADELAY = 0h = nWE 时序控制信号不延迟
- GPMC_CONFIG4_i 寄存器：OEEXTRADELAY = 0h = nOE 时序控制信号不延迟
- GPMC_CONFIG3_i 寄存器：ADVEXTRADELAY = 0h = nADV 时序控制信号不延迟

(20) 对于 100MHz：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

对于 133MHz：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

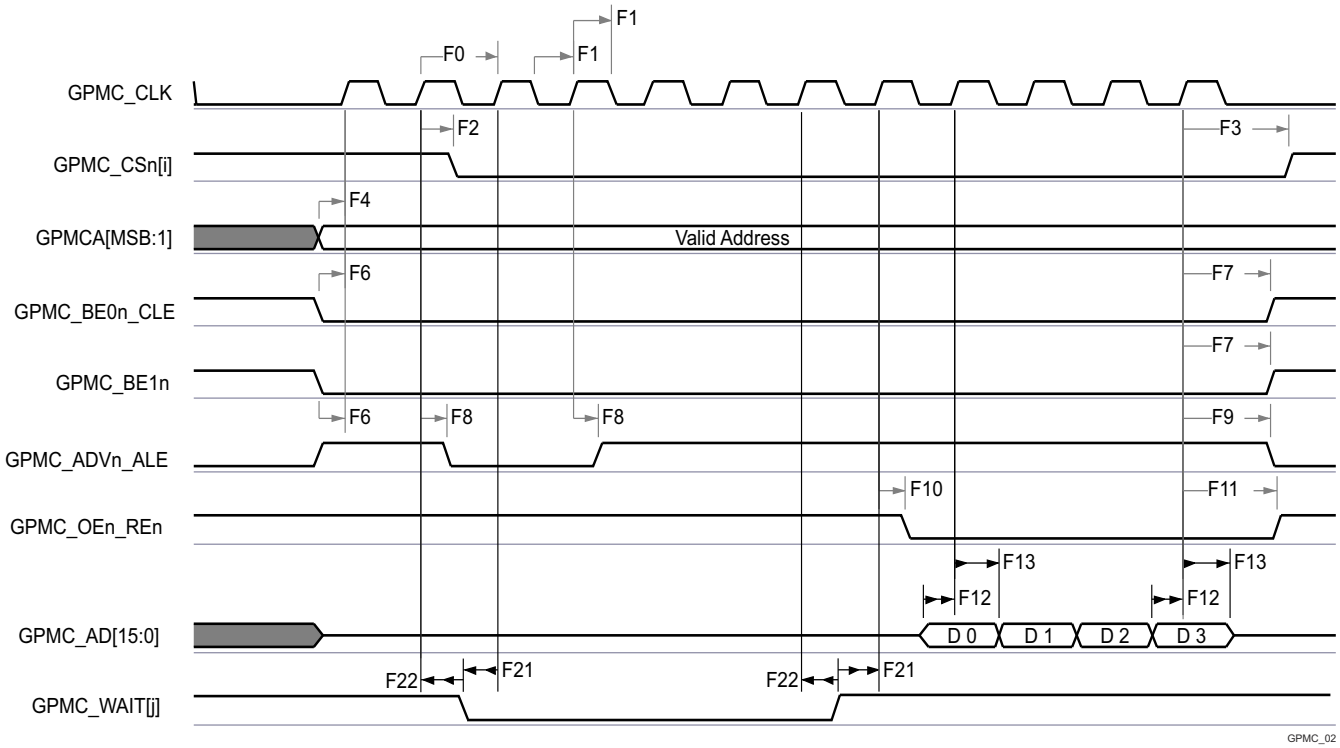


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

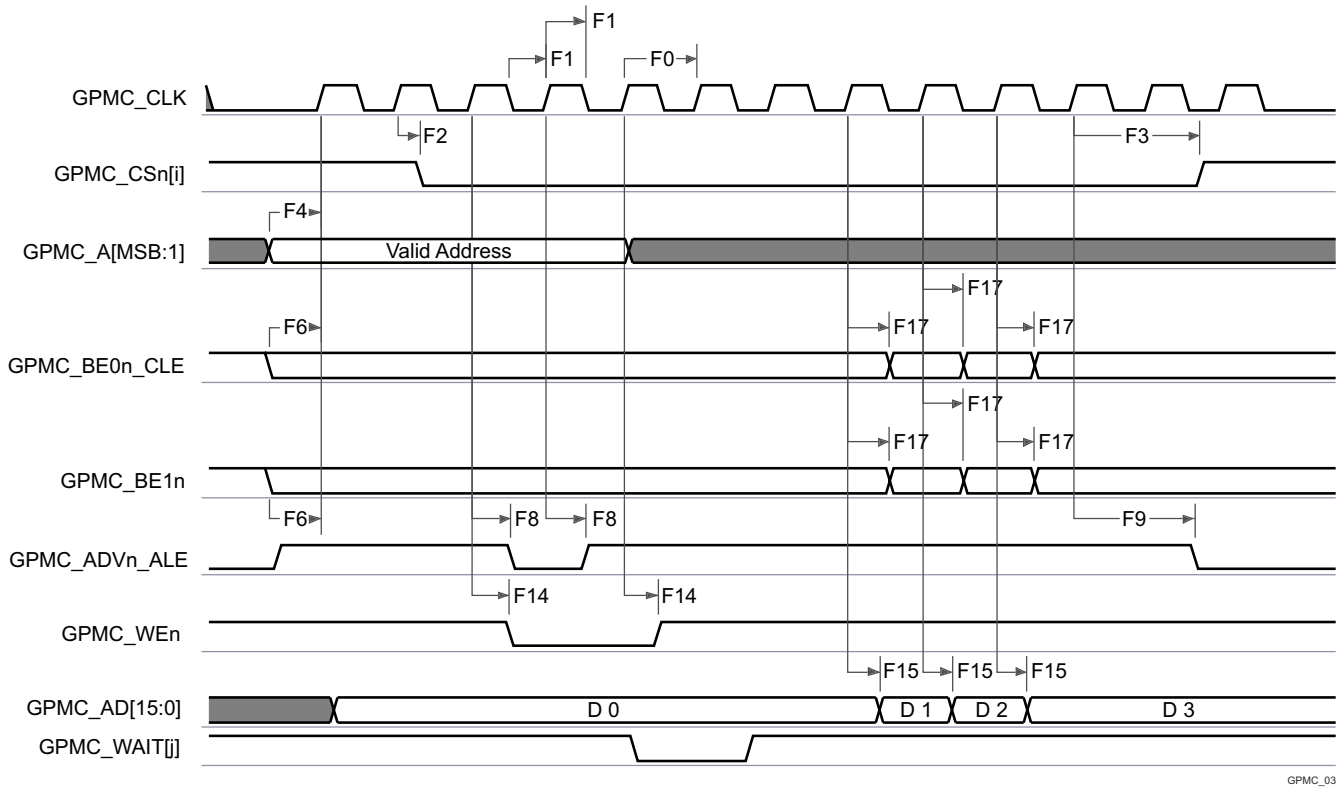
图 6-51. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)

Copyright © 2025 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

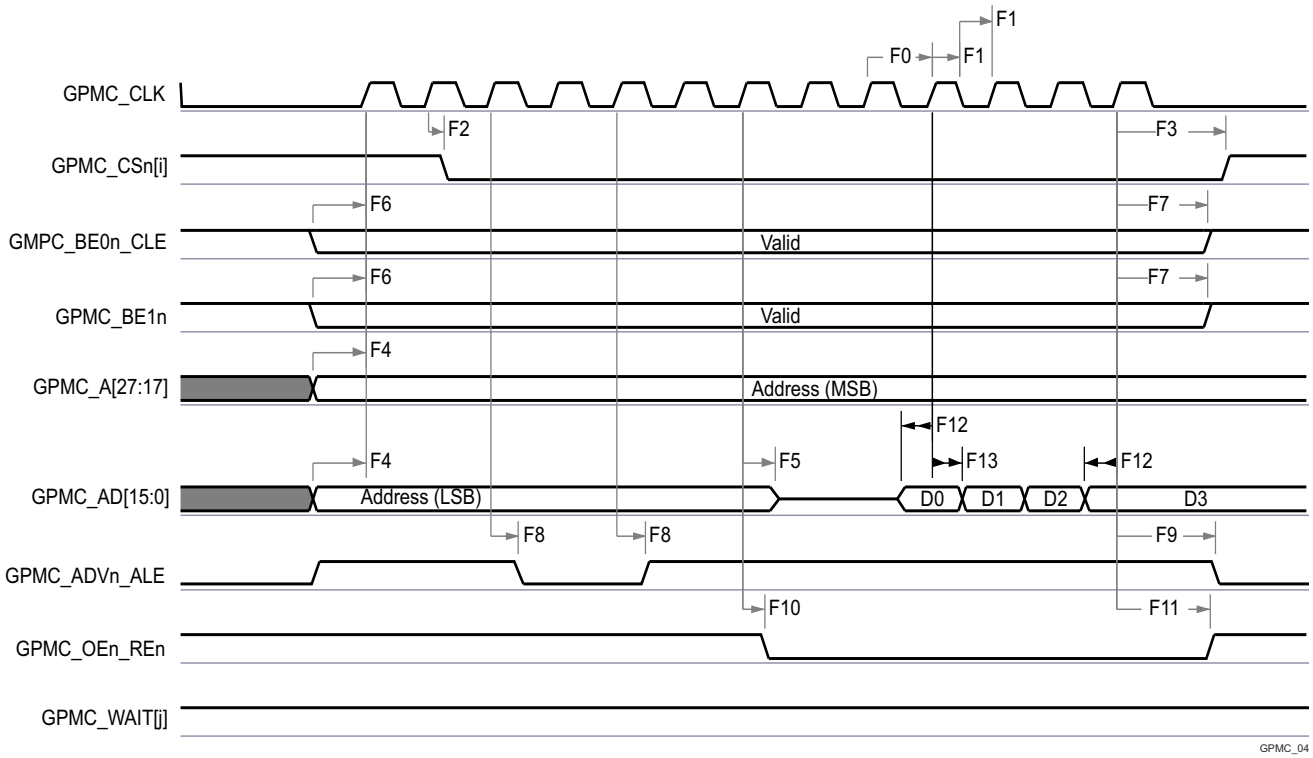
图 6-52. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

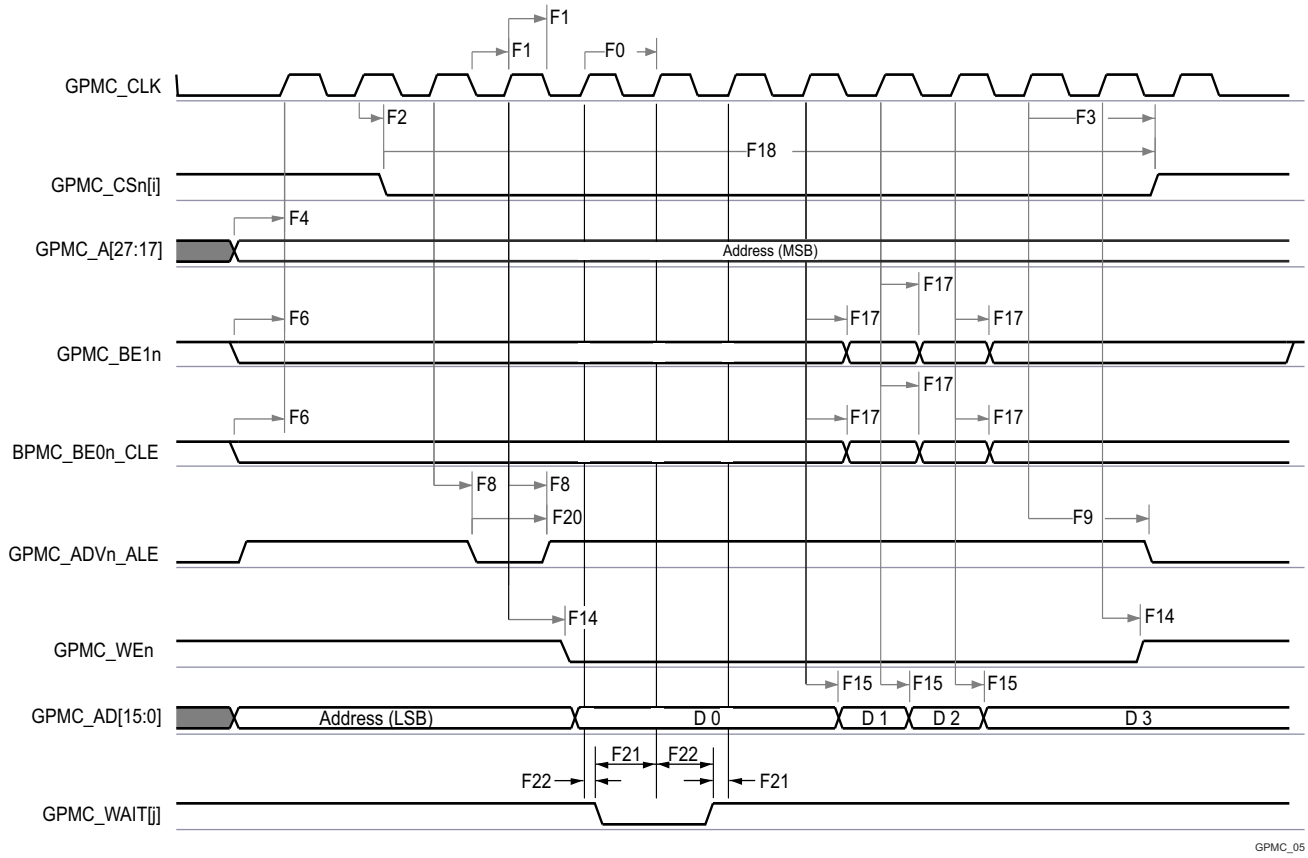
图 6-53. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

图 6-54. GPMC 和多路复用 NOR 闪存 - 同步突发读取

Copyright © 2025 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

图 6-55. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.10.5.10.2 GPMC 和 NOR 闪存 - 异步模式

节 6.10.5.10.2.1 和节 6.10.5.10.2.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-56 至图 6-61）。

6.10.5.10.2.1 GPMC 和 NOR 闪存时序要求 - 异步模式

编号			模式[7]	最小值	最大值	单位
FA5[1]	$t_{acc(d)}$	数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H[5]	ns
FA20[2]	$t_{acc1\text{-}pgmode(d)}$	页面模式连续数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		P[4]	ns
FA21[3]	$t_{acc2\text{-}pgmode(d)}$	页面模式首个数据访问时间	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H[5]	ns

(1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
(2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

(3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
(4) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(5) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(7) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

6.10.5.10.2.2 GPMC 和 NOR 闪存开关特性 - 异步模式

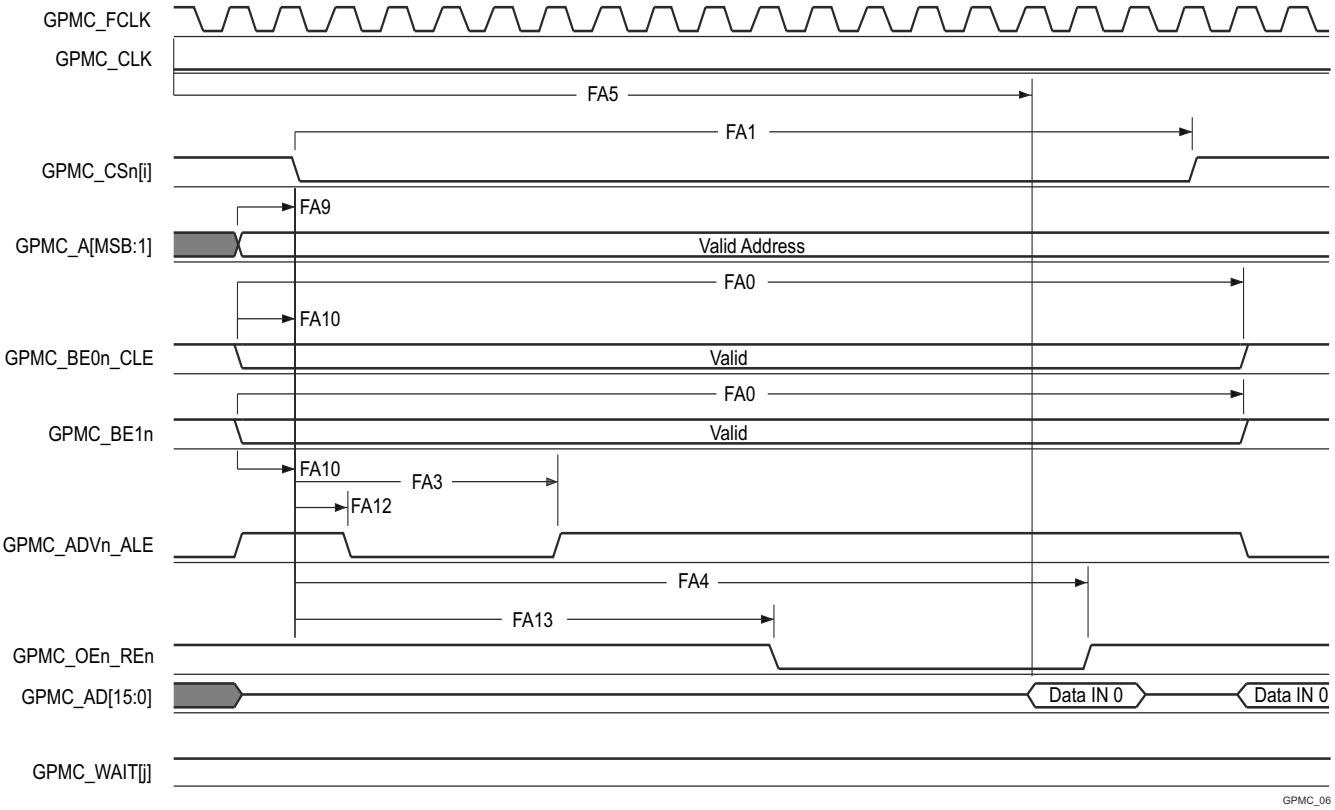
编号	参数	说明	模式(15)	最小值	最大值	单位
				133 MHz(16)		
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间	读取		N(12)	ns
			写入		N(12)	
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i](13) 低电平	读取		A(1)	ns
			写入		A(1)	
FA3	$t_{d(csnV-advnlV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	读取	B(2)- 2.55	B(2)+ 2.65	ns
			写入	B(2)- 2.55	B(2)+ 2.65	
FA4	$t_{d(csnV-oenlV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 无效（单次读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C(3)- 2.55	C(3)+ 2.65	ns
FA9	$t_{d(aV-csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[i](13) 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J(9)- 2.55	J(9)+ 2.65	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[i](13) 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J(9)- 2.55	J(9)+ 2.65	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	K(10)- 2.55	K(10)+ 2.65	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	L(11)- 2.55	L(11)+ 2.65	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	G(7)		ns
FA18	$t_{d(csnV-oenlV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 无效（突发读取）	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	I(8)- 2.55	I(8)+ 2.65	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D(4)		ns

Copyright © 2025 Texas Instruments Incorporated

编号	参数	说明	模式[15]	最小值	最大值	单位
				133 MHz[16]		
FA25	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	E[5]- 2.55	E[5]+ 2.65	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F[6]- 2.55	F[6]+ 2.65	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2.65	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CSn[i][13] 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	J[9]- 2.55	J[9]+ 2.65	ns
FA37	$t_{d(oenV-aIV)}$	延迟时间，输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		2.65	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于单次写入：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
n 是页面突发访问编号
(2) 对于读取：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
对于写入：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(7) G = Cycle2CycleDelay × GPMC_FCLK[14]
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(12) 对于单次读取：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于单次写入：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发读取：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
对于突发写入：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

(16) 对于 133MHz：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



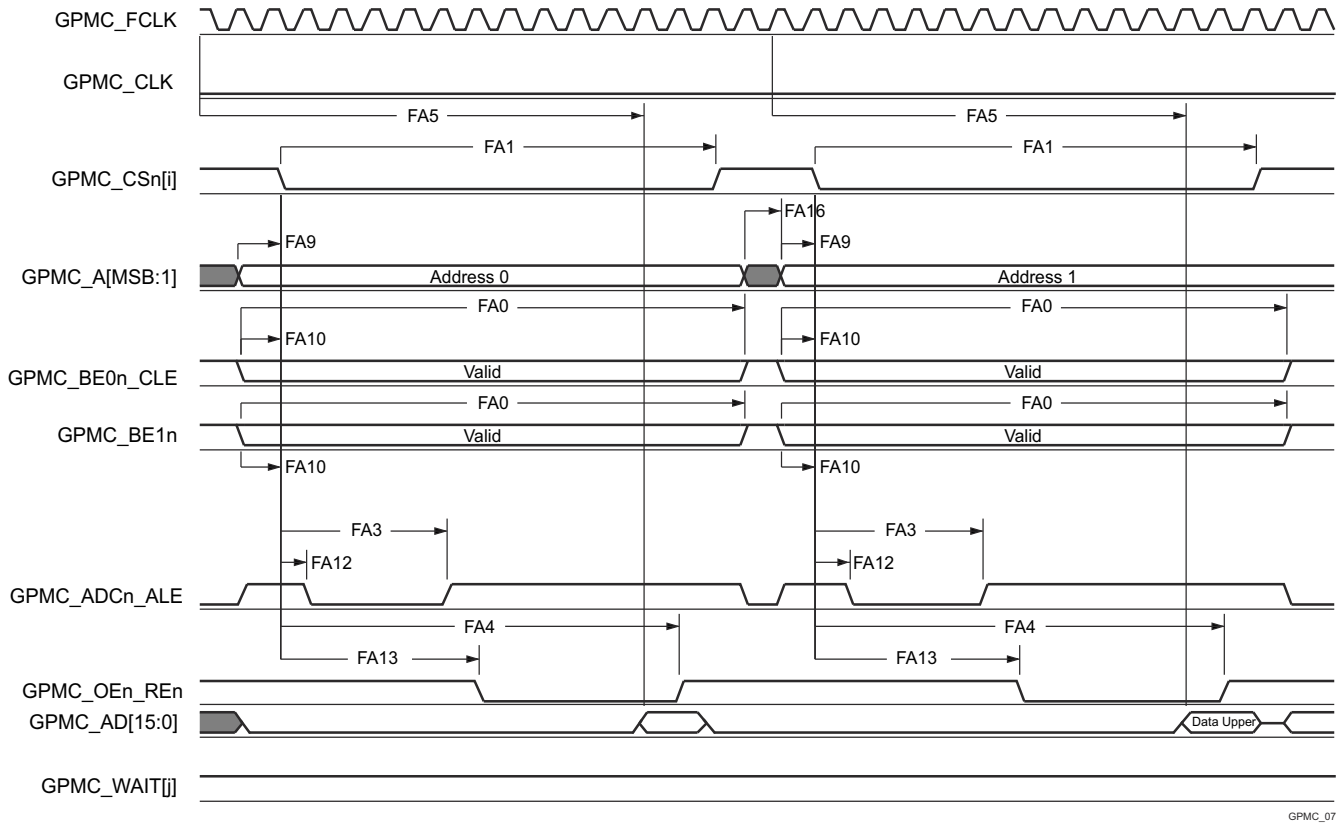
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-56. GPMC 和 NOR 闪存 - 异步读取 - 单字

Copyright © 2025 Texas Instruments Incorporated

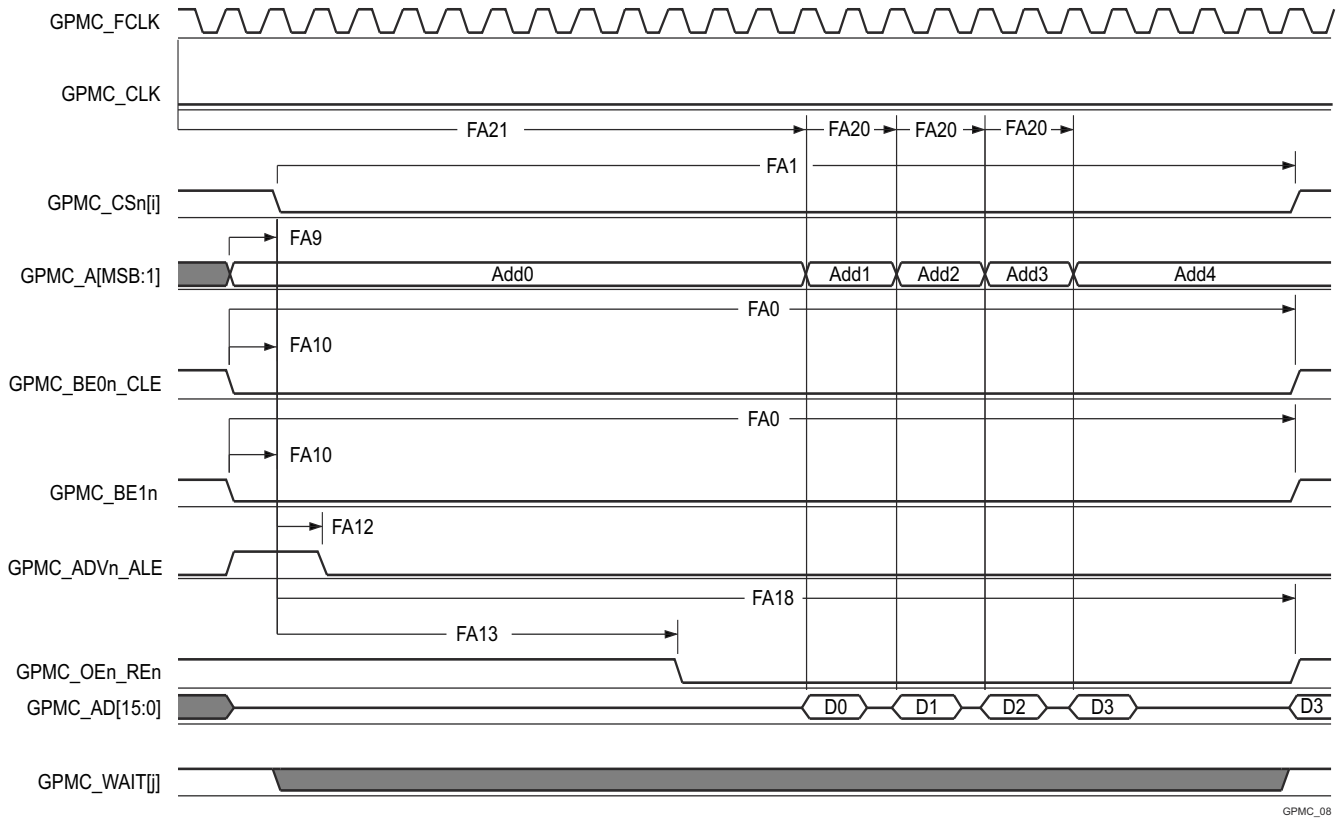


A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-57. GPMC 和 NOR 闪存 - 异步读取 - 32 位



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

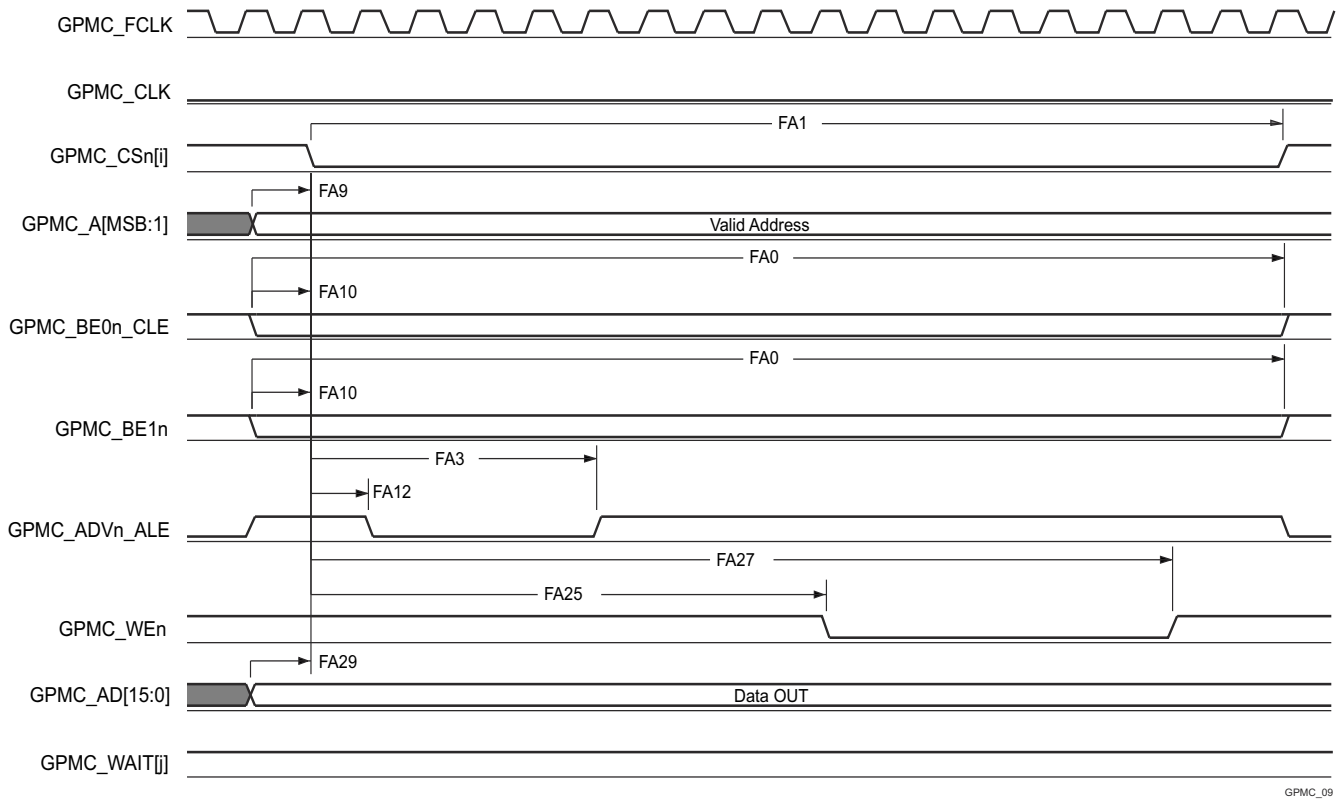
B. FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。

C. FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据（不包括第一个输入页面数据）的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

D. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

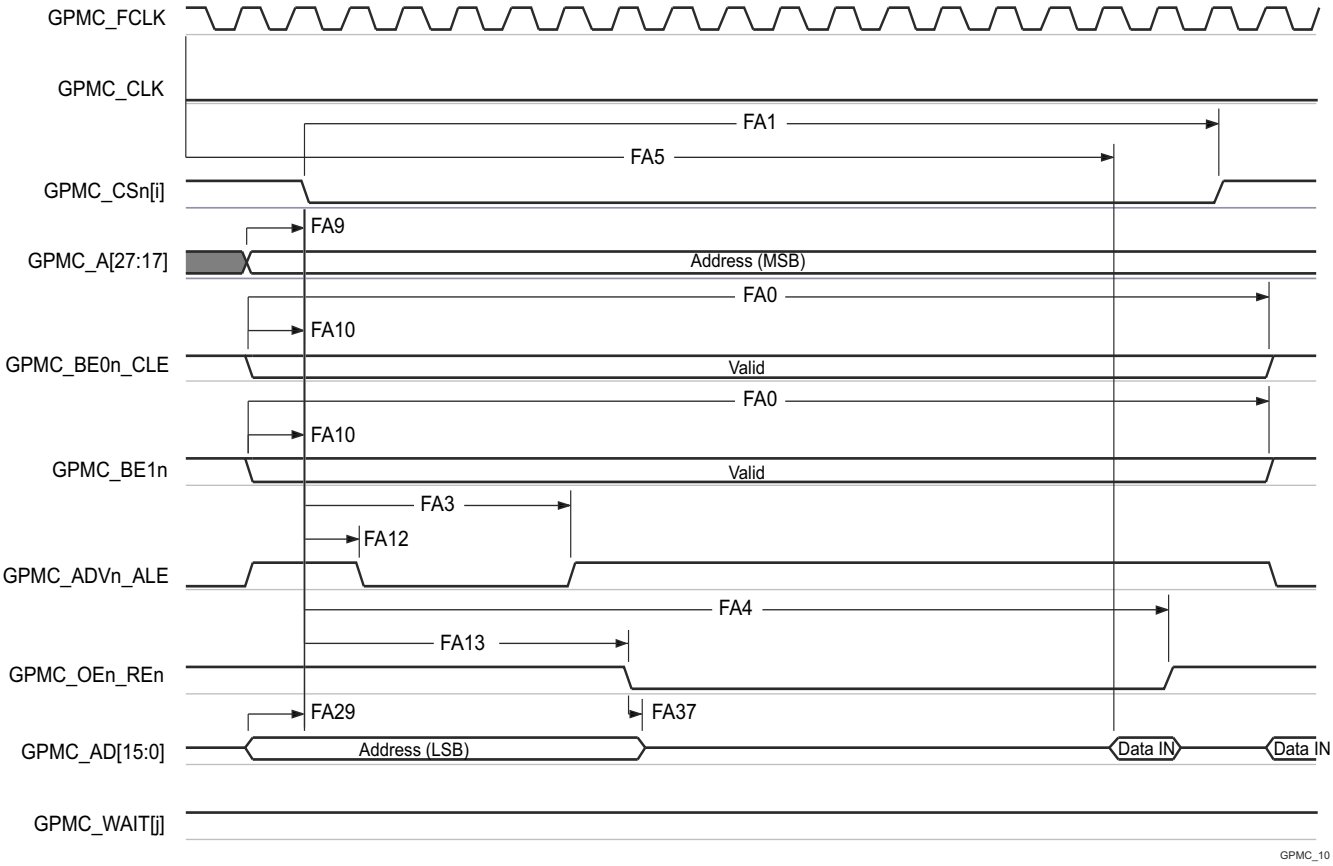
图 6-58. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位

Copyright © 2025 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

图 6-59. GPMC 和 NOR 闪存 - 异步写入 - 单字



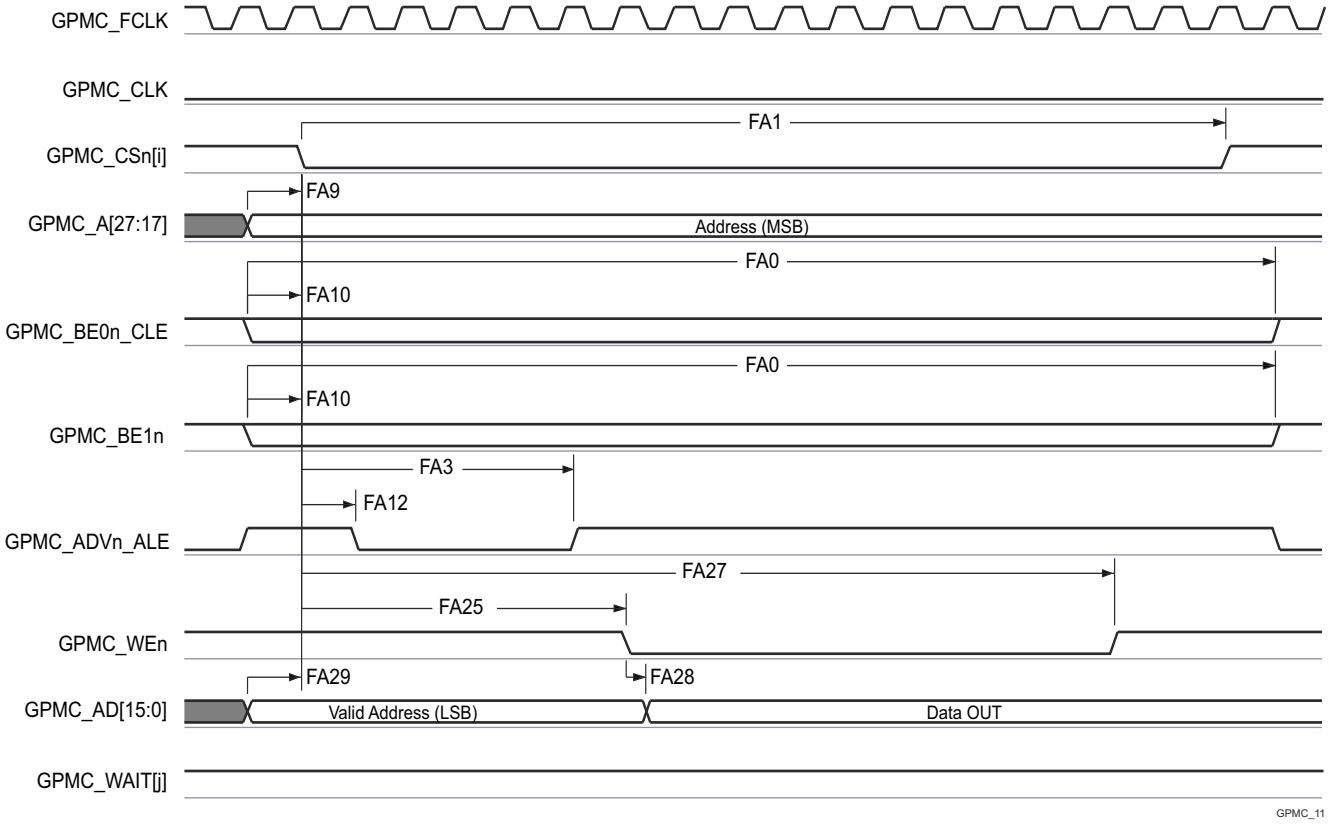
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-60. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字

Copyright © 2025 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

图 6-61. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.10.5.10.3 GPMC 和 NAND 闪存 - 异步模式

节 6.10.5.10.3.1 和节 6.10.5.10.3.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-62 至图 6-65）。

6.10.5.10.3.1 GPMC 和 NAND 闪存时序要求 - 异步模式

编号			模式[4]	最小值	最大值	单位
				133 MHz[5]		
GNF12[1]	$t_{acc(d)}$	访问时间，输入数据 GPMC_AD[15:0][3]	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		J[2]	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(4) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

(5) 对于 133MHz：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.3.2 GPMC 和 NAND 闪存开关特性 - 异步模式

编号	参数		模式[15]	最小值	最大值	单位
				133 MHz[16]		
GNF0	$t_{w(wenV)}$	脉冲持续时间，输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	A[1]		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	B[2] - 2.55	B[2]+ 2.65	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C[3] - 2.55	C[3]+ 2.65	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	D[4] - 2.55	D[4]+ 2.65	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	E[5] - 2.55	E[5]+ 2.65	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F[6] - 2.55	F[6]+ 2.65	ns

Copyright © 2025 Texas Instruments Incorporated

编号	参数		模式[15]	最小值	最大值	单位
				133 MHz[16]		
GNF6	$t_{w(wenIV-CSn[i]V)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CSn[i][13] 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	G[7] - 2.55	G[7]+ 2.65	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	C[3] - 2.55	C[3]+ 2.65	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	F[6] - 2.55	F[6]+ 2.65	ns
GNF9	$t_{c(wen)}$	周期时间，写入	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		H[8]	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i][13] 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	I[9] - 2.55	I[9]+ 2.65	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间，输出使能 GPMC_OEn_REn 有效	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1		K[10]	ns
GNF14	$t_{c(oen)}$	周期时间，读取	div_by_1_mode；GPMC_FCLK_MUX；TIMEPARAGRANULARITY_X1	L[11]		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	延迟时间，输出使能 GPMC_OEn_REn 无效到输出片选 GPMC_CSn[i][13] 无效	div_by_1_mode；	M[12] - 2.55	M[12]+ 2.65	ns

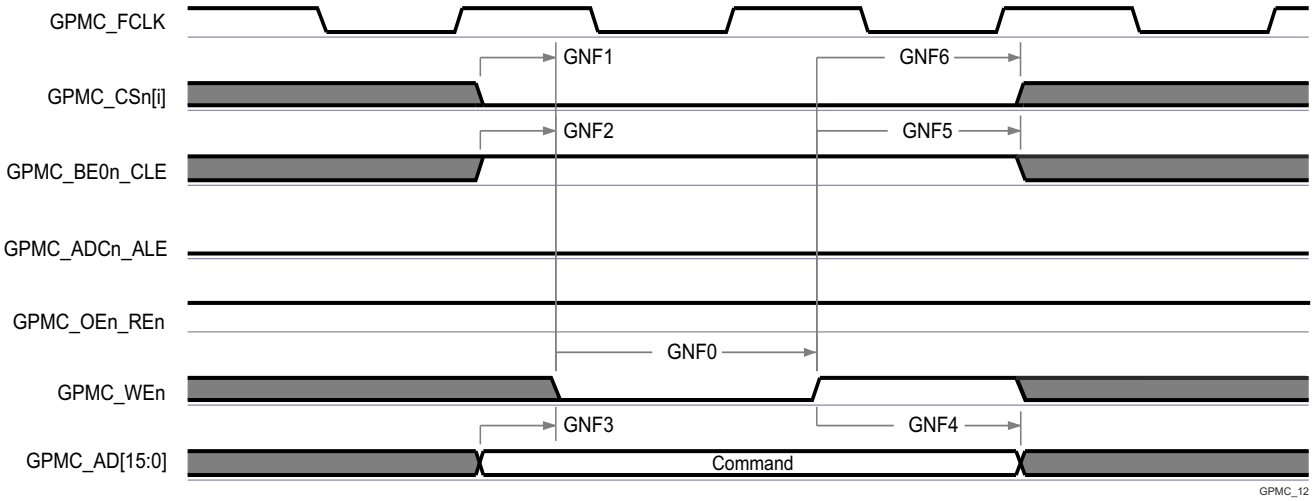
(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(2) B = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(3) C = ((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay)) × GPMC_FCLK[14]
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK[14]
(5) E = ((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK[14]
(6) F = ((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay)) × GPMC_FCLK[14]
(7) G = ((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay)) × GPMC_FCLK[14]
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK[14]
(9) I = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK[14]
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK[14]
(12) M = ((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay)) × GPMC_FCLK[14]
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。
(15) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC_CLK 频率 = GPMC_FCLK 频率

对于 GPMC_FCLK_MUX：
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

对于 TIMEPARAGRANULARITY_X1：
- GPMC_CONFIG1_i 寄存器：TIMEPARAGRANULARITY = 0h = x1 延迟（影响 RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS）

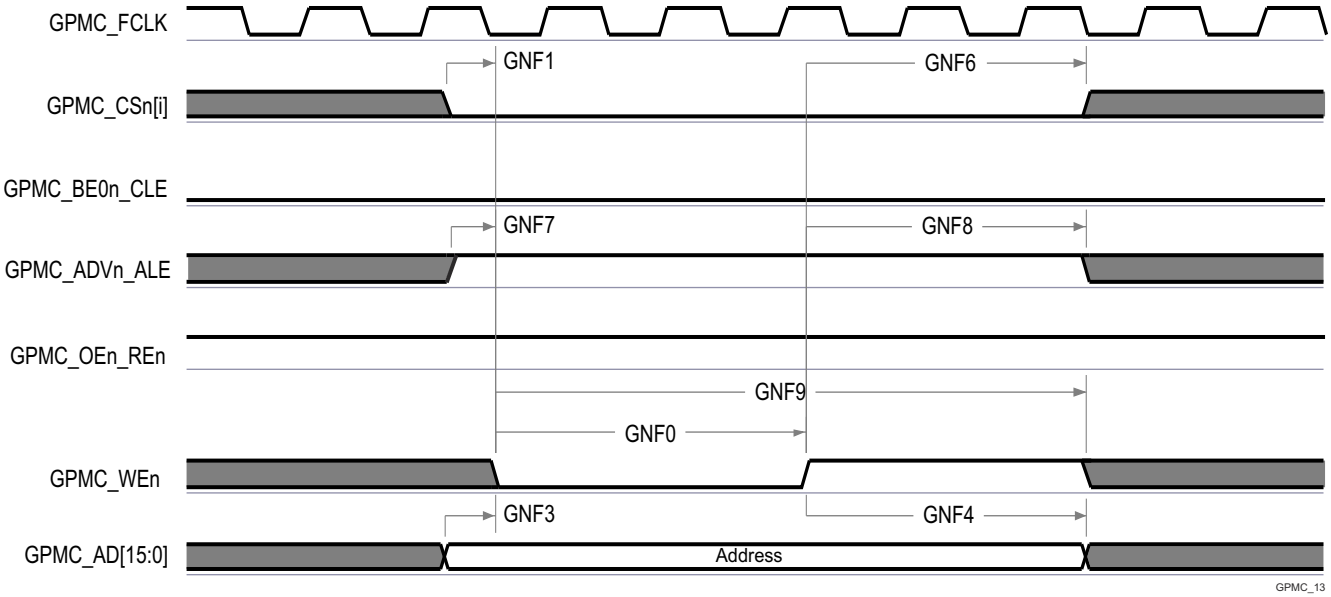
(16) 对于 133MHz：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

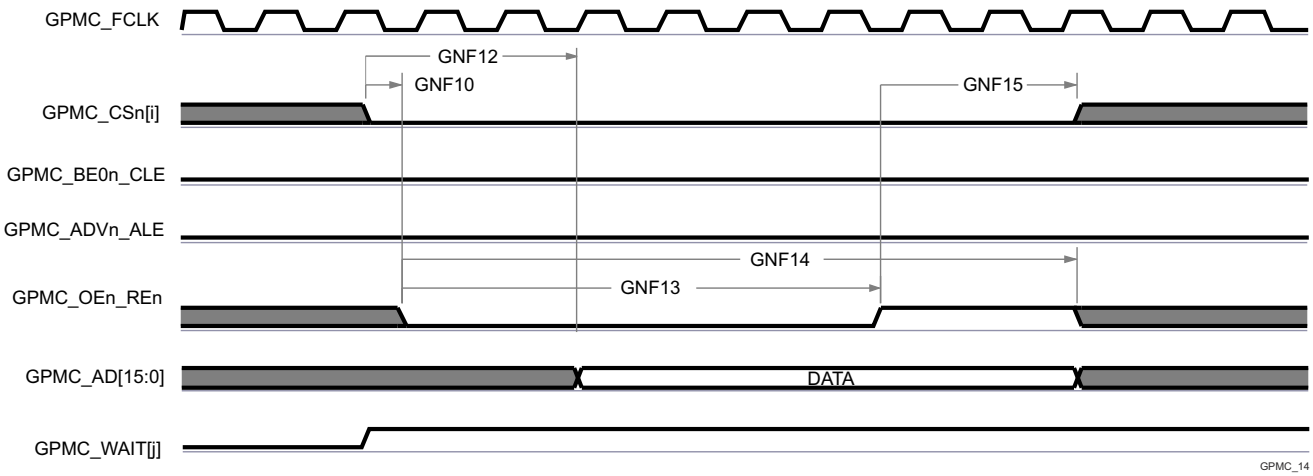
图 6-62. GPMC 和 NAND 闪存 - 命令锁存周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

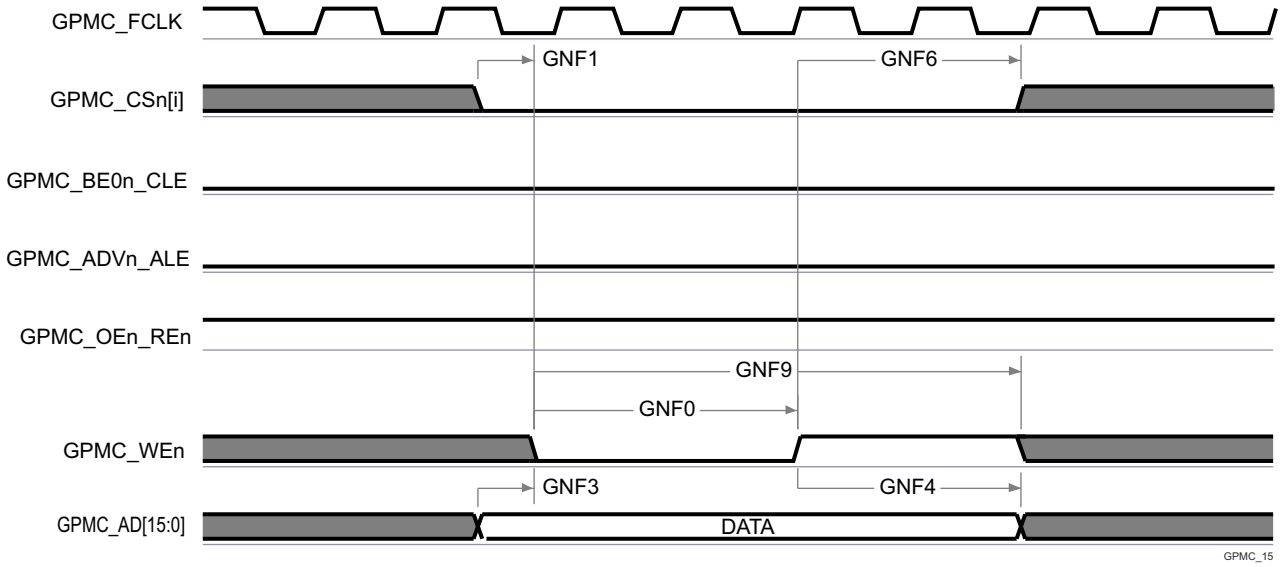
图 6-63. GPMC 和 NAND 闪存 - 地址锁存周期

Copyright © 2025 Texas Instruments Incorporated



A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。
C. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

图 6-64. GPMC 和 NAND 闪存 - 数据读取周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-65. GPMC 和 NAND 闪存 - 数据写入周期

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

6.10.5.10.4 GPMC0 IOSET

表 6-40 说明了与 GPMC0 搭配使用的具体信号分组 (IOSET)。

表 6-40. GPMC0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	多路复用器	焊球名称	多路复用器
GPMC0_WAIT2	MDIO0_MDC	8	MDIO0_MDC	8
GPMC0_BE1n	PRG1_PRU0_GPO0	8	RGMII6_RD1	8
GPMC0_WAIT0	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8

表 6-40. GPMC0 IOSET（续）

信号	IOSET1		IOSET2	
	焊球名称	多路复用器	焊球名称	多路复用器
GPMC0_WAIT1	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_DIR	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_CSn2	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_WEn	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_CSn3	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_OEn_REn	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_ADVn_ALE	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_BE0n_CLE	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8
GPMC0_WPn	PRG1_PRU1_GPO5	8	PRG1_PRU1_GPO5	8
GPMC0_CSn1	PRG1_PRU1_GPO8	8	PRG1_PRU1_GPO8	8
GPMC0_CSn0	PRG1_PRU1_GPO9	8	PRG1_PRU1_GPO9	8
GPMC0_CLKOUT	PRG1_PRU1_GPO10	8	PRG1_PRU1_GPO10	8
GPMC0_AD0	PRG0_PRU0_GPO5	8	PRG0_PRU0_GPO5	8
GPMC0_AD1	PRG0_PRU0_GPO7	8	PRG0_PRU0_GPO7	8
GPMC0_AD2	PRG0_PRU0_GPO8	8	PRG0_PRU0_GPO8	8
GPMC0_AD3	PRG0_PRU0_GPO9	8	PRG0_PRU0_GPO9	8
GPMC0_AD4	PRG0_PRU0_GPO10	8	PRG0_PRU0_GPO10	8
GPMC0_AD5	PRG0_PRU0_GPO17	8	PRG0_PRU0_GPO17	8
GPMC0_AD6	PRG0_PRU0_GPO18	8	PRG0_PRU0_GPO18	8
GPMC0_AD7	PRG0_PRU0_GPO19	8	PRG0_PRU0_GPO19	8
GPMC0_AD8	PRG0_PRU1_GPO5	8	PRG0_PRU1_GPO5	8
GPMC0_AD9	PRG0_PRU1_GPO7	8	PRG0_PRU1_GPO7	8
GPMC0_AD10	PRG0_PRU1_GPO8	8	PRG0_PRU1_GPO8	8
GPMC0_AD11	PRG0_PRU1_GPO9	8	PRG0_PRU1_GPO9	8
GPMC0_AD12	PRG0_PRU1_GPO10	8	PRG0_PRU1_GPO10	8
GPMC0_AD13	PRG0_PRU1_GPO17	8	PRG0_PRU1_GPO17	8
GPMC0_AD14	PRG0_PRU1_GPO18	8	PRG0_PRU1_GPO18	8
GPMC0_AD15	PRG0_PRU1_GPO19	8	PRG0_PRU1_GPO19	8
GPMC0_A0	PRG0_MDIO0_MDC	8	PRG0_MDIO0_MDC	8
GPMC0_A1	RGMII5_TX_CTL	8	RGMII5_TX_CTL	8
GPMC0_A2	RGMII5_RX_CTL	8	RGMII5_RX_CTL	8
GPMC0_A3	RGMII5_TD3	8	RGMII5_TD3	8
GPMC0_A4	RGMII5_TD2	8	RGMII5_TD2	8
GPMC0_A5	RGMII5_TD1	8	RGMII5_TD1	8
GPMC0_A6	RGMII5_TD0	8	RGMII5_TD0	8
GPMC0_A7	RGMII5_TXC	8	RGMII5_TXC	8
GPMC0_A8	RGMII5_RXC	8	RGMII5_RXC	8
GPMC0_A9	RGMII5_RD3	8	RGMII5_RD3	8
GPMC0_A10	RGMII5_RD2	8	RGMII5_RD2	8
GPMC0_A11	RGMII5_RD1	8	RGMII5_RD1	8
GPMC0_A12	RGMII5_RD0	8	RGMII5_RD0	8
GPMC0_A13	RGMII6_TX_CTL	8	RGMII6_TX_CTL	8
GPMC0_A14	RGMII6_RX_CTL	8	RGMII6_RX_CTL	8
GPMC0_A15	RGMII6_TD3	8	RGMII6_TD3	8

Copyright © 2025 Texas Instruments Incorporated

表 6-40. GPMC0 IOSET（续）

信号	IOSET1		IOSET2	
	焊球名称	多路复用器	焊球名称	多路复用器
GPMC0_A16	RGMII6_TD2	8	RGMII6_TD2	8
GPMC0_A17	RGMII6_TD1	8	RGMII6_TD1	8
GPMC0_A18	RGMII6_TD0	8	RGMII6_TD0	8
GPMC0_A19	RGMII6_TXC	8	RGMII6_TXC	8
GPMC0_A20	RGMII6_RXC	8	RGMII6_RXC	8
GPMC0_A21	RGMII6_RD3	8	RGMII6_RD3	8
GPMC0_A22	RGMII6_RD2	8	RGMII6_RD2	8
GPMC0_A23	PRG0_PRU1_GPO2	8	PRG0_PRU1_GPO2	8
GPMC0_A24	PRG0_PRU1_GPO4	8	PRG0_PRU1_GPO4	8
GPMC0_A25	PRG0_PRU1_GPO6	8	PRG0_PRU1_GPO6	8
GPMC0_A26	PRG0_PRU1_GPO11	8	PRG0_PRU1_GPO11	8
GPMC0_A27	PRG0_MDIO0_MDIO	8	PRG0_MDIO0_MDIO	8
GPMC0_WAIT3	MDIO0_MDIO	8	MDIO0_MDIO	8

6.10.5.11 HyperBus

如需进一步详细了解器件 HyperBus 的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

节 6.10.5.11、节 6.10.5.11.2 和节 6.10.5.11.3 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-66、图 6-67 和图 6-68）。

表 6-41 表示 HyperBus 时序条件。

表 6-41. HyperBus 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	5	V/ns
输出条件				
C_L	输出负载电容	1.5	8	pF

6.10.5.11.1 HyperBus 的时序要求

编号	参数	说明	最小值	最大值	单位
D1	$t_{w(RESETn)}$	脉冲宽度，RESETn	200		ns
D2	$t_{w(csL)}$	脉冲宽度，芯片选择	1000		ns
D3	$t_{d(RESETnH-csL)}$	延迟时间，RESETn 无效到 CSn 有效	200.34		ns
D4	$t_{d(csL-RWDSL)}$	延迟时间，CSn 有效到 RWDS 下降	115		ns

6.10.5.11.2 HyperBus 166MHz 开关特性

编号	参数	说明	最小值	最大值	单位
D5	$t_{skn(rwdsX-dV)}$	输入偏移，RWDS 转换到 D0:D7 有效	-0.46	0.46	ns
D6	$t_{c(clk/clkn)}$	CLK 周期，CLK/CLKn	6		ns
D7	$t_{w(clk/clkn)}$	脉冲宽度，CLK/CLKn	2.7		ns
D8	$t_{w(cslV)}$	脉冲宽度，操作之间 CS0 无效	6		ns
D9	$t_{d(clkH-csL)}$	延迟时间，CS0 有效到 CLK 上升/CLKn 下降		-3.34	ns
D10	$t_{d(clkL[LE]-csH)}$	延迟时间，最后一个 CLK 下降沿/CLKn 上升沿到 CS0 无效	0.41		ns
D11	$t_{d(clkX-rwdsV)}$	延迟时间，CLK 转换到 RWDS 有效	1.01	2.08	ns

编号	参数	说明	最小值	最大值	单位
D12	$t_{d(clkX-d[0:7]V)}$	延迟时间，CLK 转换到 D0:D7 有效	0.84	2.17	ns

6.10.5.11.3 HyperBus 100MHz 开关特性

编号	参数	说明	最小值	最大值	单位
LFD5	$t_{skn(rwdsX-dV)}$	输入偏斜，RWDS 转换到 D0:D7 有效	-0.81	0.81	ns
LFD6	$t_{c(clk)}$	CLK 周期，CLK	10		ns
LFD7	$t_{w(clk)}$	脉冲宽度，CLK	4.75		ns
LFD8	$t_{w(cslV)}$	脉冲宽度，操作之间 CS0 无效	10		ns
LFD9	$t_{d(clkH-csL)}$	延迟时间，CS0 有效到 CLK 上升		-3.51	ns
LFD10	$t_{d(clkL[LE]-csH)}$	延迟时间，最后一个 CLK 下降沿到 CS0 无效	0.51		ns
LFD11	$t_{d(clkX-rwdsV)}$	延迟时间，CLK 转换到 RWDS 有效	1.51	3.49	ns
LFD12	$t_{d(clkX-d[0:7]V)}$	延迟时间，CLK 转换到 D0:D7 有效	1.34	3.66	ns

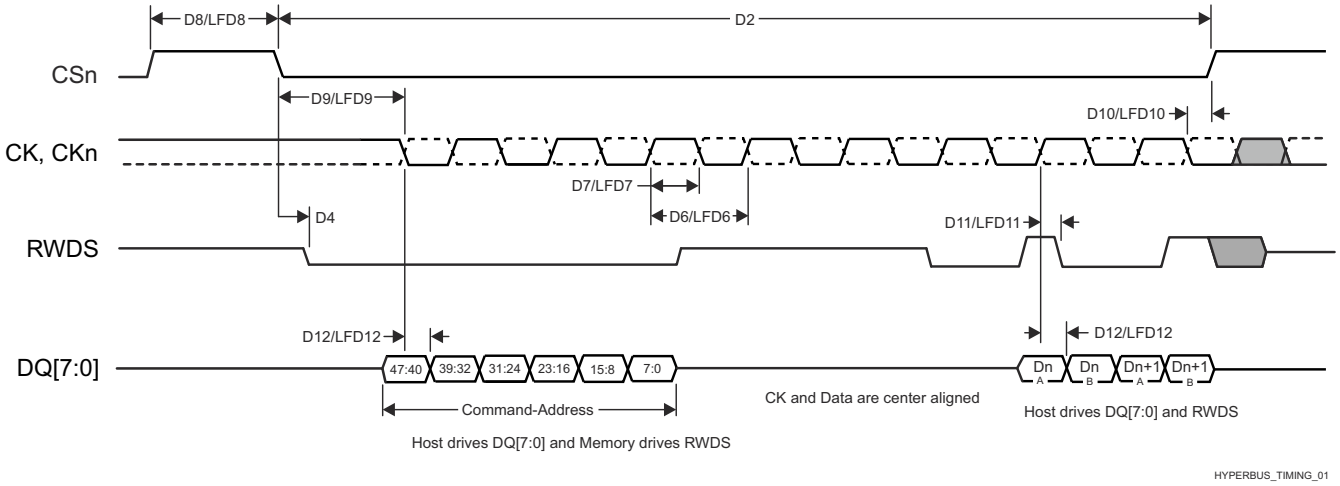


图 6-66. HyperBus 时序图 - 发送器模式

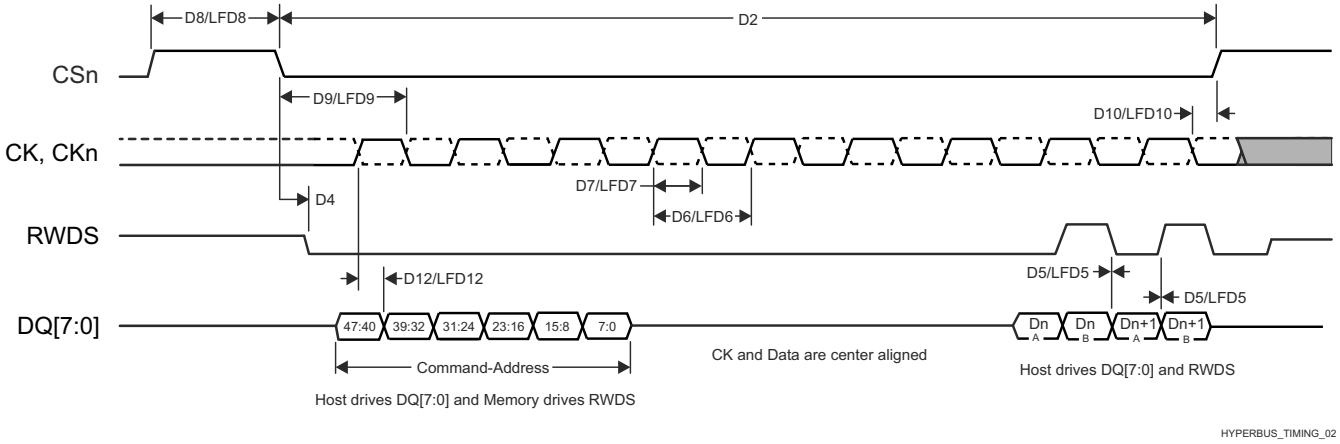


图 6-67. HyperBus 时序图 - 接收器模式

Copyright © 2025 Texas Instruments Incorporated

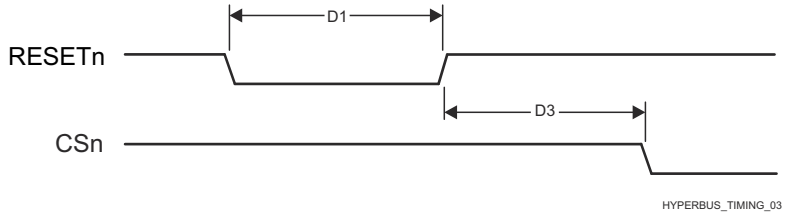


图 6-68. HyperBus 时序图 - 复位

有关更多信息，请参阅器件 TRM 的*外设*一章中的 *HyperBus 接口*一节。

6.10.5.12 I2C

该器件包含若干多控制器内部集成电路 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I2C-bus™ 规范版本 2.1。然而，器件 **IO 缓冲器**并不完全符合 I2C 电气规范。**一些 I2C 实例使用 LVCMOS 缓冲器类型，而其他实例使用 I2S OD FS 缓冲器类型。请参阅“引脚属性”表，以确定用于此器件上每个 I2C 实例的 IO 缓冲器类型。**下面按照 **IO 缓冲器类型**介绍了支持的 **I2C** 速度和例外情况：

- 使用 LVCMOS 缓冲器类型的 I2C 实例
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
  - 例外情况：
    - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值一节中定义的限值。
- 使用 I2C OD FS 缓冲器类型的 I2C 实例
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
    - Hs 模式（最高 3.4Mb/s）
      - 1.8V
  - 例外情况：
    - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此，Hs 模式的运行电压限制为 1.8V。
    - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns（或 8E+7V/s）的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.08V/ns。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值一节中定义的限值。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

如需进一步详细了解器件内部集成电路的特性和其他说明信息，请参阅节 5.3 和*详细说明*中的相应小节。

6.10.5.13 I3C

如需进一步详细了解器件内部集成电路的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-42、表 6-43、图 6-69、表 6-44 和图 6-70 假设在建议运行条件和电气特性条件下进行测试。

表 6-42. I3C 开漏时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.2276	5	V/ns
输出条件				
C_L	输出负载电容		50	pF

表 6-43. I3C 开漏时序参数

编号	参数	说明	模式	最小值	最大值	单位
D1	t_{LOW_OD}	SCL 时钟的低电平周期	控制器	200		ns
	$t_{DIG_OD_L}$			$t_{LOW_OD\ MIN}$ + $t_{FDA_OD\ MIN}$		ns
D2	t_{HIGH}	SCL 时钟的高周期	控制器		41	ns
	t_{DIG_H}				t_{HIGH} + t_{CF}	ns
D3	t_{fDA_OD}	SDA 信号的下降时间	控制器、目标	t_{CF}	12	ns
D4	t_{SU_OD}	开漏模式期间的 SDA 数据建立时间	控制器、目标	3		ns
D5	t_{CAS}	启动 (S) 条件后的时钟	控制器、ENTAS0	38.4	1000	ns
			控制器、ENTAS1	38.4	100000	ns
			控制器、ENTAS2	38.4	2000000	ns
			控制器、ENTAS3	38.4	50000000	ns
D6	t_{CBP}	停止 (P) 条件前的时钟	控制器	$t_{CAS\ MIN}$ / 2		ns
D7	$t_{MMOVERLAP}$	切换期间当前控制器到辅助控制器的重叠时间	控制器	$t_{DIG_OD_L\ min}$		ns
D8	t_{AVAL}	总线可用条件	控制器	1000		ns
D9	t_{IDLE}	总线空闲条件	控制器	1000000		ns
D10	t_{MMLOCK}	新控制器不将 SDA 驱动为低电平的时间间隔	控制器	$t_{AVALmin}$		ns

1. 这大约等于 t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin}。
2. 当 SDA 已经高于 V_{IH} 时，控制器可以使用较短的低电平周期（如果控制器知道这是安全的）。
3. 基于 t_{SPIKE}，上升和下降时间以及互连。
4. 当旧 I2C 器件可以安全地看到信号和/或考虑了互连（例如：短总线）时，可能会超过该最大高电平周期。
5. 在 I2C 器件需要看到“启动”的旧总线上，t_{CAS} 最小值进一步受到限制。
6. 不支持可选 ENTASx CCCs 的目标应使用为 ENTAS3 显示的 t_{CAS} 最大值。
7. 在具有 Fm 旧 I2C 器件的混合总线上，t_{AVAL} 比 Fm 总线空闲条件时间 (t_{BUF}) 短 300ns。

Copyright © 2025 Texas Instruments Incorporated

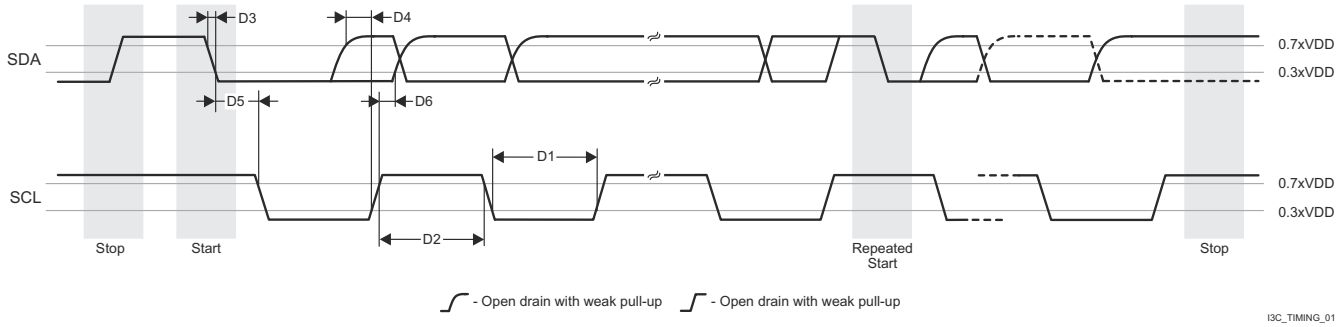


图 6-69. I3C 开漏时序

表 6-44. SDR 和 HDR-DDR 模式的 I3C 推挽时序参数

编号	参数	说明	模式	最小值	最大值	单位
D1	f_{SCL}	SCL 时钟周期	控制器	80	100000	ns
D2	t_{LOW}	SCL 时钟低电平周期	控制器	24		ns
	t_{DIG_L}			32		ns
D3	t_{HIGH_MIXED}	混合总线的 SCL 时钟高电平周期（不支持混合总线拓扑）	控制器	24		ns
	$t_{DIG_H_MIXED}$			32	45	ns
D4	t_{HIGH}	SCL 时钟高周期	控制器	24		ns
	t_{DIG_H}			32		ns
D5	t_{SCO}	目标的时钟输入至数据输出时间	目标	12		ns
D6	t_{CR}	SCL 时钟上升时间	控制器	150 × 1 / f_{SCL}	60	ns
D7	t_{CF}	SCL 时钟下降时间	控制器	150 × 1 / f_{SCL}	60	ns
D8	t_{HD_PP}	推挽模式下的 SDA 信号数据保持时间	控制器	t_{CR} + 3 和 t_{CF} + 3		ns
			目标	0		ns
D9	t_{SU_PP}	推挽模式下的 SDA 信号数据建立时间	控制器、目标	3		ns
D10	t_{CASr}	重复启动 (Sr) 后的时钟	控制器	$t_{CAS\ MIN}$		ns
D11	t_{CBSr}	重复启动 (Sr) 前的时钟	控制器	$t_{CAS\ MIN}$ / 2		ns

1. FSCL = 1 / (t_{DIG_L} + t_{DIG_H})
2. t_{DIG_L} 和 t_{DIG_H} 是在使用 V_{IL} 和 V_{IH} 的 I3C 总线接收器端看到的时钟低电平和高电平周期。
3. 当与混合总线上的 I3C 器件通信时，必须限制 $t_{DIG_H_MIXED}$ 周期以确保 I2C 器件不会将 I3C 信令解释为有效的 I2C 信令。
4. 由于两个边沿均被使用，因此需要针对相应的边沿满足保持时间：t_{CF} + 3 表示下降沿时钟，t_{CR} + 3 表示上升沿时钟。
5. 时钟频率最小 0.01MHz，最大 12.5MHz

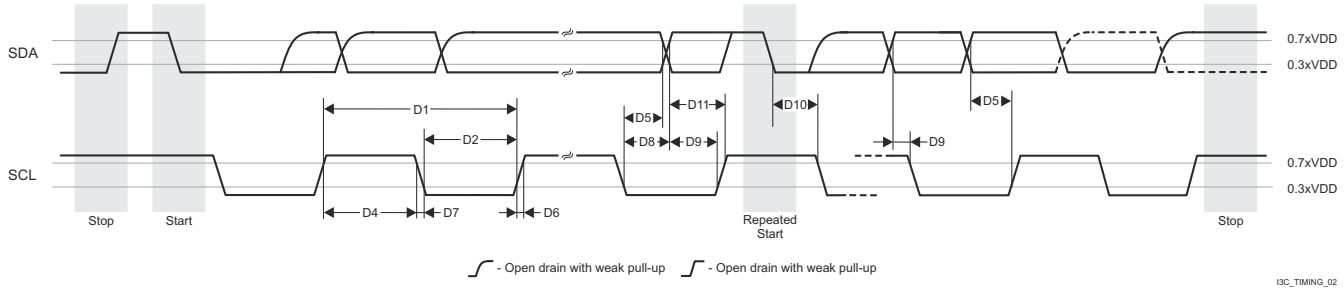


图 6-70. I3C 推挽时序（SDR 和 HDR-DDR 模式）

6.10.5.14 MCAN

如需进一步详细了解器件控制器局域网接口的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-45. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

表 6-46. MCAN 开关特性

编号	参数		最小值	最大值	单位
MCAN1	$t_{d(MCAN_TX)}$	延迟时间，发送移位寄存器到 MCANn_TX 引脚(1)		10	ns
MCAN2	$t_{d(MCAN_RX)}$	延迟时间，MCANn_RX 引脚到接收移位寄存器(1)		10	ns

(1) n 在 MCANn_* 中为 [0:13]，在 MCU_MCANn_* 中为 [0:1]

有关更多信息，请参阅器件 TRM 的*外设*一章中的*控制器局域网 (MCAN)* 一节。

Copyright © 2025 Texas Instruments Incorporated

6.10.5.15 MCASP

如需进一步详细了解器件多通道音频串行端口的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

表 6-48 和图 6-71 说明了 MCASP0 至 MCASP11 的时序要求。

表 6-47 表示 MCASP 时序条件。

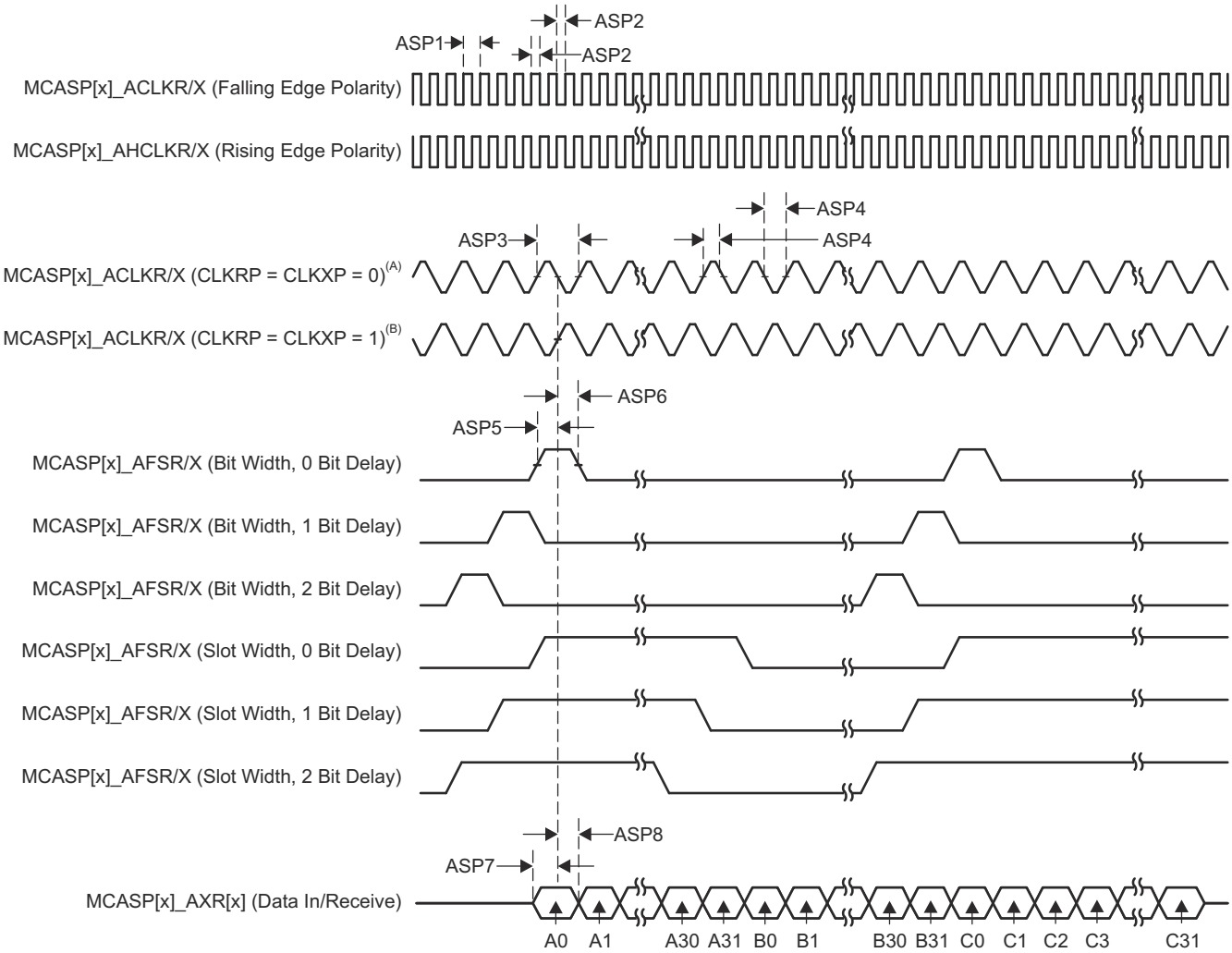
表 6-47. MCASP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.7	5	V/ns
输出条件				
C_L	输出负载电容	1	10	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	100	1100	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

表 6-48. MCASP 时序要求

编号			模式[(1)]	最小值	最大值	单位
ASP1	$t_{c(AHCLKRX)}$	周期时间，MCASP[x]_AHCLKR/X		15.26		ns
ASP2	$t_{w(AHCLKRX)}$	脉冲持续时间，MCASP[x]_AHCLKR/X 高电平或低电平		0.5P[(2)] - 1.53		ns
ASP3	$t_{c(ACLKRX)}$	周期时间，MCASP[x]_ACLKR/X		15.26		ns
ASP4	$t_{w(ACLKRX)}$	脉冲持续时间，MCASP[x]_ACLKR/X 高电平或低电平		0.5R[(3)] - 1.53		ns
ASP5	$t_{su(AFSRX-ACLKRX)}$	建立时间，在 MCASP[x]_ACLKR/X 之前 MCASP[x]_AFSR/X 输入有效	ACLKR/X 内部	12.3		ns
			ACLKR/X 外部输入/输出	4		
ASP6	$t_{h(ACLKRX-AFSRX)}$	保持时间，在 MCASP[x]_ACLKR/X 之后 MCASP[x]_AFSR/X 输入有效	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	$t_{su(AXR-ACLKRX)}$	建立时间，在 MCASP[x]_ACLKR/X 之前 MCASP[x]_AXR 输入有效	ACLKR/X 内部	12.3		ns
			ACLKR/X 外部输入/输出	4		
ASP8	$t_{h(ACLKRX-AXR)}$	保持时间，在 MCASP[x]_ACLKR/X 之后 MCASP[x]_AXR 输入有效	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

(1) ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
(2) P = AHCLKR/X 周期（以 ns 为单位）。
(3) R = ACLKR/X 周期（以 ns 为单位）。



A. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

B. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

图 6-71. MCASP 输入时序

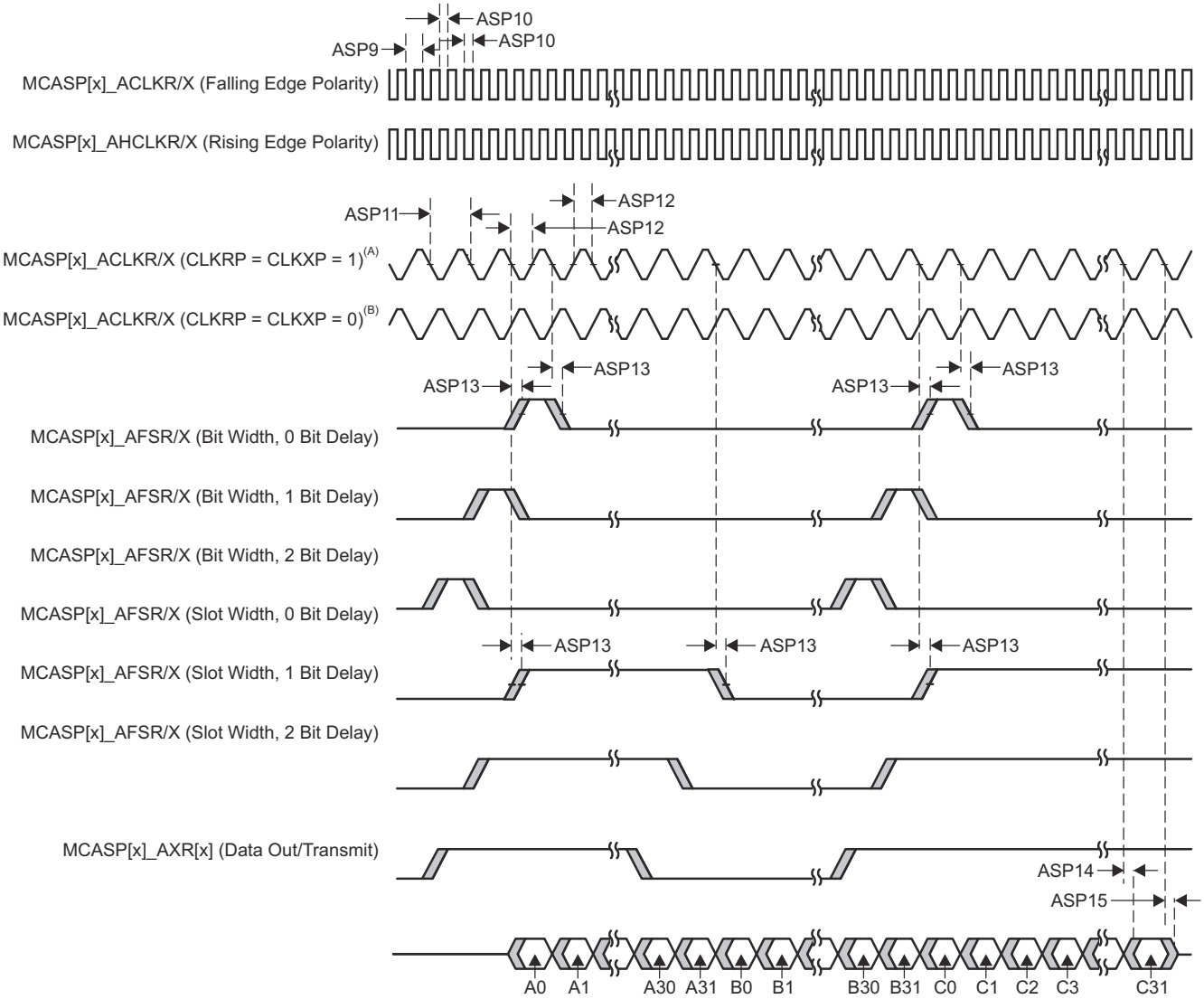
Copyright © 2025 Texas Instruments Incorporated

表 6-49 和图 6-72 说明了 MCASP0 至 MCASP11 在建议运行条件下的开关特性。

表 6-49. MCASP 开关特性

编号	参数	说明	模式[(1)]	最小值	最大值	单位
ASP9	$t_{c(AHCLKRX)}$	周期时间，MCASP[x]_AHCLKR/X		20		ns
ASP10	$t_{w(AHCLKRX)}$	脉冲持续时间，MCASP[x]_AHCLKR/X 高电平或低电平		0.5P[(2)] - 2		ns
ASP11	$t_{c(ACLKRX)}$	周期时间，MCASP[x]_ACLKR/X		20		ns
ASP12	$t_{w(ACLKRX)}$	脉冲持续时间，MCASP[x]_ACLKR/X 高电平或低电平		0.5R[(3)] - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	延迟时间，MCASP[x]_ACLKR/X 发送边沿到 MCASP[x]_AFSR/X 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	延迟时间，MCASP[x]_ACLKX 发送边沿到 MCASP[x]_AXR 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	禁用时间，MCASP[x]_ACLKX 发送边沿到 MCASP[x]_AXR 输出高阻抗	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

(1) ACLKR 内部：ACLKRCTL.CLKRM=1，PDIR.ACLKR = 1
ACLKR 外部输入：ACLKRCTL.CLKRM=0，PDIR.ACLKR=0
ACLKR 外部输出：ACLKRCTL.CLKRM=0，PDIR.ACLKR=1
ACLKX 外部：ACLKXCTL.CLKXM=1，PDIR.ACLKX = 1
ACLKX 外部输入：ACLKXCTL.CLKXM=0，PDIR.ACLKX=0
ACLKX 外部输出：ACLKXCTL.CLKXM=0，PDIR.ACLKX=1
(2) P = AHCLKR/X 周期（以 ns 为单位）。
(3) R = ACLKR/X 周期（以 ns 为单位）。



A. 当 CLKRP = CLKXP = 1 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
B. 当 CLKRP = CLKXP = 0 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-72. MCASP 输出时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道音频串行端口 (MCASP)* 一节。

Copyright © 2025 Texas Instruments Incorporated

6.10.5.16 MCSPI

如需进一步详细了解器件串行端口接口的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

表 6-50 表示 MCSPI 时序条件。

备注

本节中提供的 IO 时序适用于 MCU_SPI0 和 MCU_SPI1 的所有信号组合。然而，只有当使用单个 IOSET 内的信号时，时序才对 MCU_SPI0 和 MCU_SPI1 有效。表 6-55 和表 6-56 表对 IOSET 进行了定义。

表 6-50. MCSPI 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		2	8.5	V/ns
输出条件					
C_L	输出负载电容	CLK	6	24	pF
		D[x]、CSi	6	12	pF

6.10.5.16.1 MCSPI - 控制器模式

表 6-51、图 6-73、表 6-52 和图 6-74 说明了 MCSPI 的时序要求和开关特性 - 控制器模式。

表 6-51. MCSPI 时序要求 — 控制器模式

请参阅图 6-73

编号			最小值	最大值	单位
SM4	$t_{su(misoV-spiclkV)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	2.9		ns
SM5	$t_{h(spiclkV-misoV)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	2		ns

表 6-52. MCSPI 开关特性 - 控制器模式

请参阅图 6-74

编号	参数		模式	最小值	最大值	单位
SM1	$t_{c(spiclk)}$	周期时间，SPI_CLK		20		ns
SM2	$t_{w(spiclkL)}$	脉冲持续时间，SPI_CLK 低电平		0.5P - 1(1)		ns
SM3	$t_{w(spiclkH)}$	脉冲持续时间，SPI_CLK 高电平		0.5P - 1(1)		ns
SM6	$t_{d(spiclkV-simoV)}$	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换		-2	2	ns
SM7	$t_{d(csV-simoV)}$	延迟时间，SPI_CSi 有效边沿到 SPI_D[x] 转换		5		ns
SM8	$t_{d(csV-spiclk)}$	延迟时间，SPI_CSi 有效到 SPI_CLK 第一个边沿	PHA = 0(2)	B - 4(3)		ns
			PHA = 1 (2)	A - 4(4)		ns
SM9	$t_{d(spiclkV-csV)}$	延迟时间，SPI_CLK 最后一个边沿到 SPI_CSi 无效	PHA = 0(2)	A - 4(4)		ns
			PHA = 1(2)	B - 4(3)		ns

(1) P = SPI_CLK 周期 (以 ns 为单位)
(2) SPI_CLK 相位可通过 MCSPI_CHCONF_0/1/2/3 寄存器的 PHA 位进行编程
(3) B = (TCS + 0.5) * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段且 Fratio = 偶数 >= 2。
(4) 当 P = 20.8ns 时，A = (TCS + 1) * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。
当 P > 20.8ns 时，A = (TCS + 0.5) * Fratio * TSPICLKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。

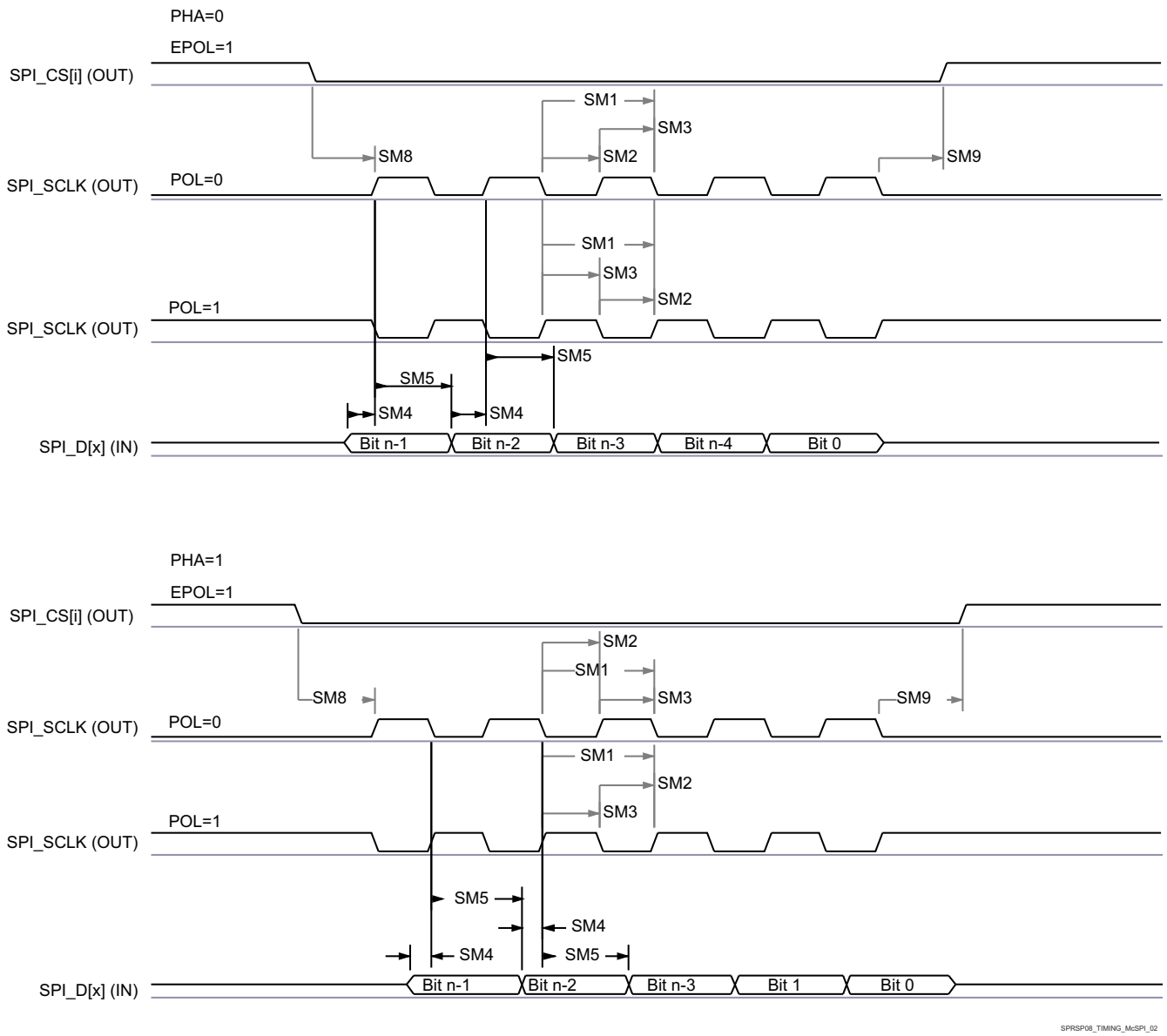


图 6-73. SPI 控制器模式接收时序

Copyright © 2025 Texas Instruments Incorporated

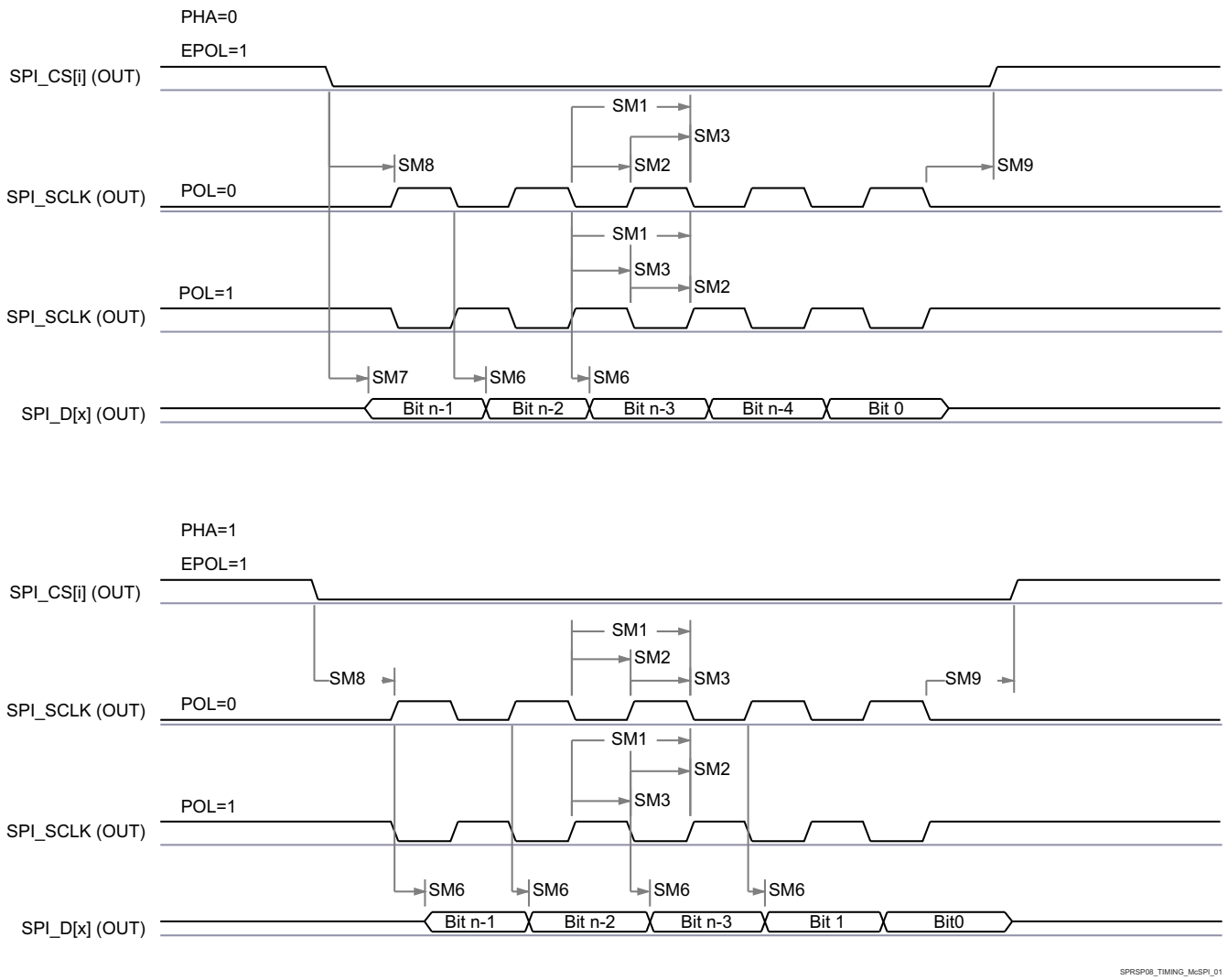


图 6-74. MCSPI 控制器模式发送时序

6.10.5.16.2 MCSPI - 外设模式

表 6-53、表 6-54、图 6-75 和图 6-76 说明了 MCSPI 的时序要求和开关特性 - 外设模式。

表 6-53. MCSPI 时序要求 - 外设模式

编号	参数	说明	模式	最小值	最大值	单位
SS1	$t_{c(spiclk)}$	周期时间，SPI_CLK		20		ns
SS2	$t_{w(spiclkL)}$	脉冲持续时间，SPI_CLK 低电平		0.45P[(1)]		ns
SS3	$t_{w(spiclkH)}$	脉冲持续时间，SPI_CLK 高电平		0.45P[(1)]		ns
SS4	$t_{su(simoV-spiclkV)}$	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效		5		ns
SS5	$t_{h(spiclkV-simoV)}$	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效		5		ns
SS8	$t_{su(csV-spiclkV)}$	建立时间，在 SPI_CLK 第一个边沿之前 SPI_CSi 有效		5		ns
SS9	$t_{h(spiclkV-csV)}$	保持时间，在 SPI_CLK 最后一个边沿之后 SPI_CSi 有效		5		ns

表 6-54. MCSPI 开关特性 - 外设模式

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(spiclkV-somiV)}$	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换	2	17.12	ns

表 6-54. MCSPI 开关特性 - 外设模式 （续）

编号	参数	说明	最小值	最大值	单位
SS7	$t_{sk(csV-somiV)}$	延迟时间，SPI_CSi 有效边沿到 SPI_D[x] 转换	20.95		ns

(1) P = SPI_CLK 周期（以 ns 为单位）。

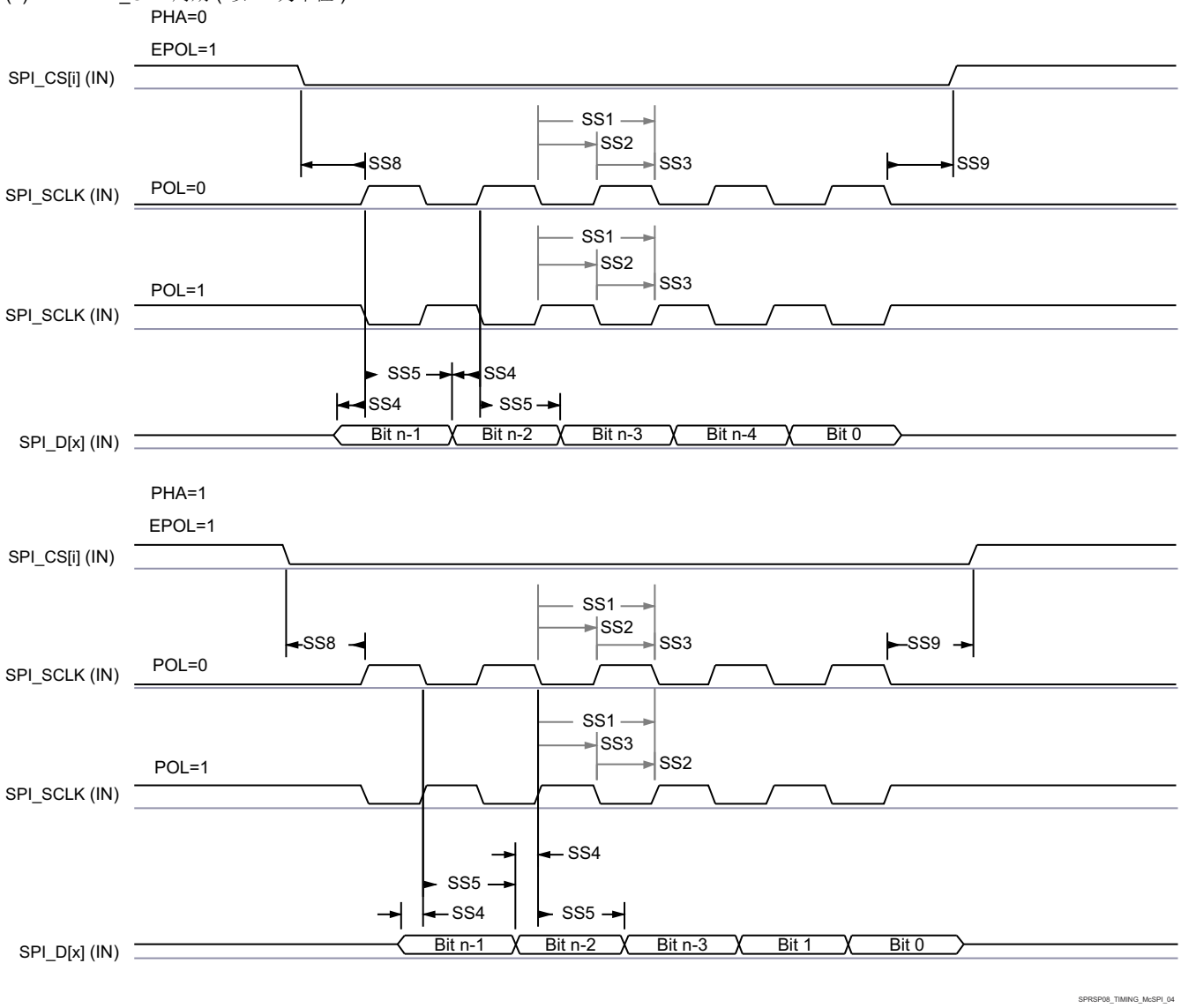


图 6-75. SPI 外设模式接收时序

Copyright © 2025 Texas Instruments Incorporated

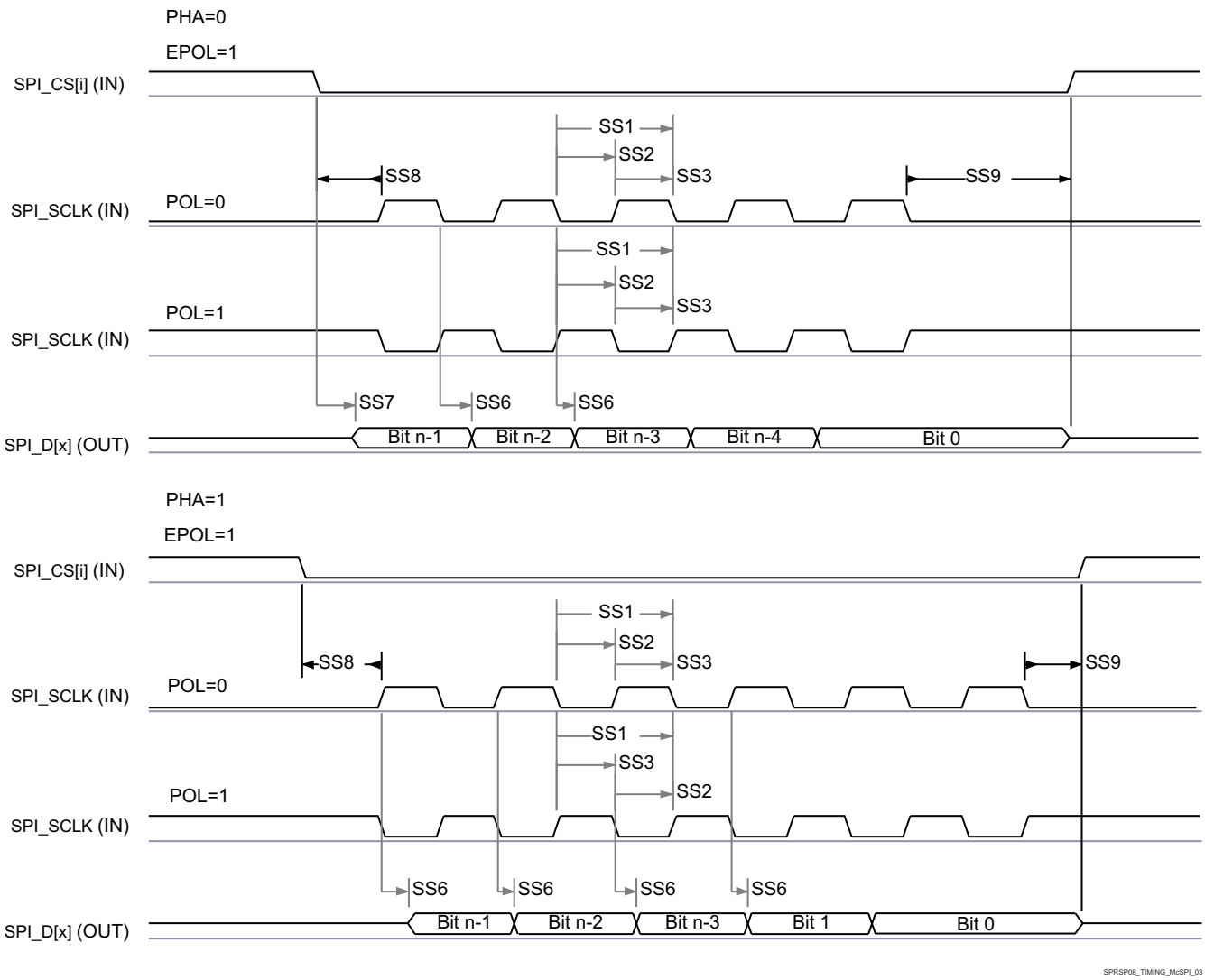


图 6-76. MCSPI 外设模式发送时序

表 6-55 和 表 6-56 说明了与 MCU_SPI0 和 MCU_SPI1 搭配使用的具体信号分组 (IOSET)。

表 6-55. MCU_SPI0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	多路复用器	焊球名称	多路复用器
MCU_SPI0_CLK	MCU_SPI0_CLK	0	MCU_SPI0_CLK	0
MCU_SPI0_D0	MCU_SPI0_D0	0	MCU_SPI0_D0	0
MCU_SPI0_D1	MCU_SPI0_D1	0	MCU_SPI0_D1	0
MCU_SPI0_CS0	MCU_SPI0_CS0	0	MCU_SPI0_CS0	0
MCU_SPI0_CS1	MCU_OSPI1_D3	5	WKUP_GPIO0_12	1
MCU_SPI0_CS2	MCU_OSPI1_CSn1	5	WKUP_GPIO0_14	1

表 6-56. MCU_SPI1 IOSET

信号	IOSET1		IOSET2	
	焊球名称	多路复用器	焊球名称	多路复用器
MCU_SPI1_CLK	MCU_SPI1_CLK	0	MCU_SPI1_CLK	0
MCU_SPI1_D0	MCU_SPI1_D0	0	MCU_SPI1_D0	0
MCU_SPI1_D1	MCU_SPI1_D1	0	MCU_SPI1_D1	0
MCU_SPI1_CS0	MCU_SPI1_CS0	0	MCU_SPI1_CS0	0
MCU_SPI1_CS1	MCU_OSPI1_D1	5	WKUP_GPIO0_13	1
MCU_SPI1_CS2	MCU_OSPI1_D2	5	WKUP_GPIO0_15	1

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

6.10.5.17 MMCSD

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSD 接口的更多详细信息，请参阅

信号说明和*详细说明*中相应的 MMC0、MMC1 和 MMC2 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-57 和表 6-68 所示。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMCSD) 接口*一节。

6.10.5.17.1 MMC0 - eMMC 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 传统速度
- 高速 SDR
- 高速 DDR
- 高速 HS200
- 高速 HS400

表 6-57 说明了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-57. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSD0_SS_PHY_CTRL_4_REG					MMCSD0_SS_PHY_CTRL_5_REG		
位字段		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	选通延迟	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	DLL/延迟链选择	DLL 基准频率	延迟缓冲器持续时间
旧 SDR	8 位 PHY 工作 1.8V，25MHz	0x0	0x0	不适用	0x1	0x10	0x1	0x0	0x7
高速 SDR	8 位 PHY 工作 1.8V，50MHz	0x0	0x0	不适用	0x1	0xA	0x1	0x0	0x7
高速 DDR	8 位 PHY 工作 1.8V，50MHz	0x0	0x1	0x6	0x1	调优	0x0	0x4	0x7
HS200	8 位 PHY 工作 1.8V，200MHz	0x0	0x1	0x8	0x1	调优	0x0	0x0	0x7

Copyright © 2025 Texas Instruments Incorporated

表 6-57. 所有时序模式的 MMC0 DLL 延迟映射（续）

寄存器名称		MMCSD0_SS_PHY_CTRL_4_REG					MMCSD0_SS_PHY_CTRL_5_REG		
位字段		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	选通延迟	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	DLL/延迟链选择	DLL 基准频率	延迟缓冲器持续时间
HS400	8 位 PHY 工作 1.8V，200MHz	0x66	0x1	0x5	0x1	调优	0x0	0x0	0x7

表 6-58 展示了 MMC0 的时序条件。

表 6-58. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	旧 SDR	0.14	1.44	V/ns
		高速 SDR	0.3	0.90	V/ns
		高速 DDR (CMD)	0.3	0.90	V/ns
		高速 DDR (DAT[7:0])	0.45	0.90	V/ns
输出条件					
C_L	输出负载电容	HS200、HS400	1	6	pF
		所有其他模式	1	12	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	所有模式	134	756	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有引线之间的传播延迟不匹配	旧 SDR、高速 SDR、高速 DDR		100	ps
		HS200、HS400		8	ps

6.10.5.17.1.1 旧 SDR 模式

表 6-59、图 6-77、表 6-60 和图 6-78 展示了 MMC0 的时序要求和开关特性 – 旧 SDR 模式。

表 6-59. MMC0 时序要求 – 旧 SDR 模式

请参阅图 6-77

编号			最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.5		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	6.5		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.5		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	6.5		ns

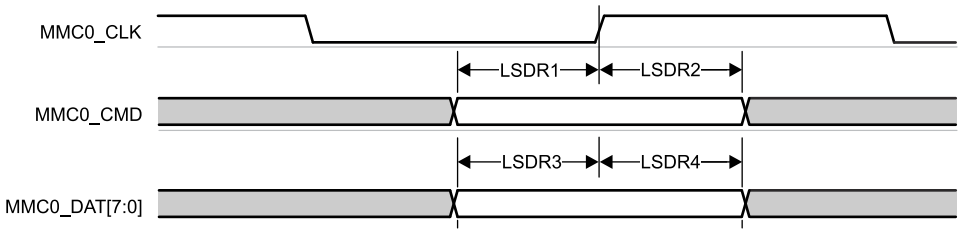


图 6-77. MMC0 – 旧 SDR – 接收模式

表 6-60. MMC0 开关特性 – 旧 SDR 模式

请参阅图 6-78

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
LSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
LSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
LSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-3.2	3.8	ns
LSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-3.2	3.8	ns

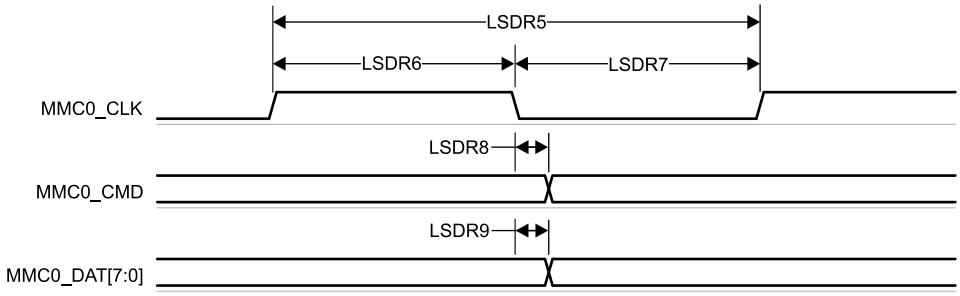


图 6-78. MMC0 - 旧 SDR - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.1.2 高速 SDR 模式

表 6-61、图 6-79、表 6-62 和图 6-80 展示了 MMC0 的时序要求和开关特性 – 高速 SDR 模式。

表 6-61. MMC0 时序要求 – 高速 SDR 模式

请参阅图 6-79

编号			最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.99		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.99		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	2.67		ns

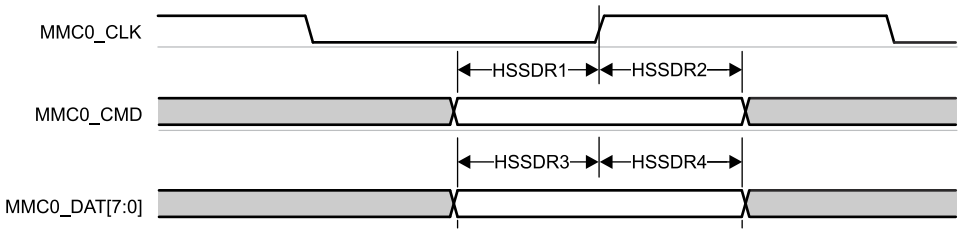


图 6-79. MMC0 – 高速 SDR 模式 – 接收模式

表 6-62. MMC0 开关特性 – 高速 SDR 模式

请参阅图 6-80

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-3.2	3.8	ns
HSSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-3.2	3.8	ns

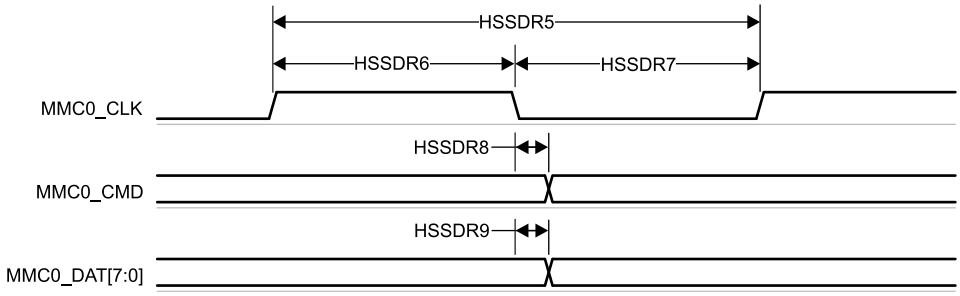


图 6-80. MMC0 - 高速 SDR 模式 - 发送模式

6.10.5.17.1.3 高速 DDR 模式

表 6-63、图 6-81、表 6-64 和图 6-82 说明了 MMC0 的时序要求和开关特性 - 高速 DDR 模式。

表 6-63. MMC0 时序要求 - 高速 DDR 模式

请参阅图 6-81

编号			最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	3.79		ns
HSDDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSDDR3	$t_{su(dV-clkV)}$	建立时间，在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	0.74		ns
HSDDR4	$t_{h(clkV-dV)}$	保持时间，在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.67		ns

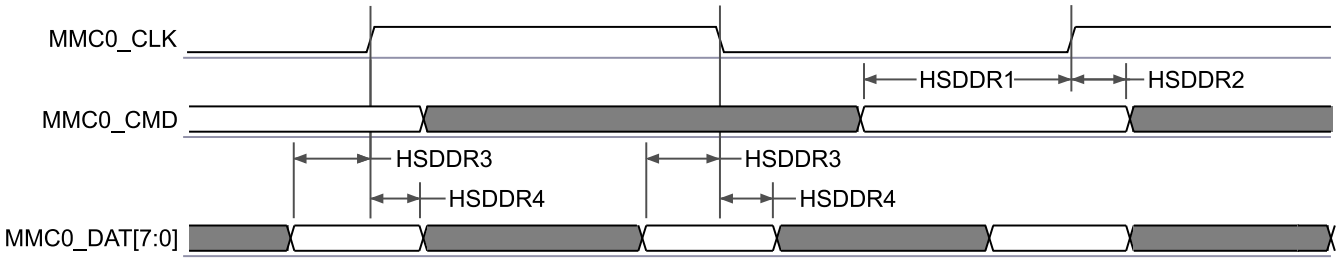


图 6-81. MMC0 - 高速 DDR 模式 - 接收模式

表 6-64. MMC0 开关特性 - 高速 DDR 模式

请参阅图 6-82

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSDDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSDDR8	$t_{d(clkH-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	3.4	9.8	ns
HSDDR9	$t_{d(clkV-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[7:0] 转换	2.9	6.85	ns

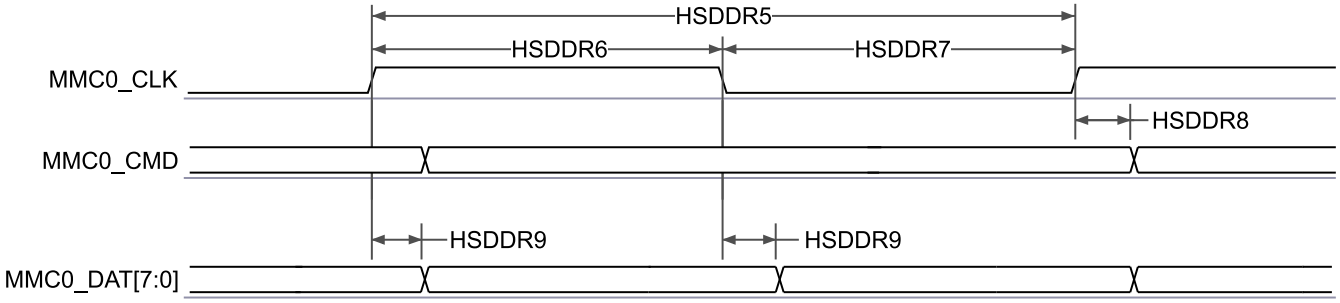


图 6-82. MMC0 - 高速 DDR 模式 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.1.4 HS200 模式

表 6-65 和图 6-83 展示了 MMC0 的开关特性 – HS200 模式。

表 6-65. MMC0 开关特性 – HS200 模式

请参阅图 6-83

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.08		ns
HS2007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.08		ns
HS2008	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	0.99	3.16	ns
HS2009	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	0.99	3.16	ns

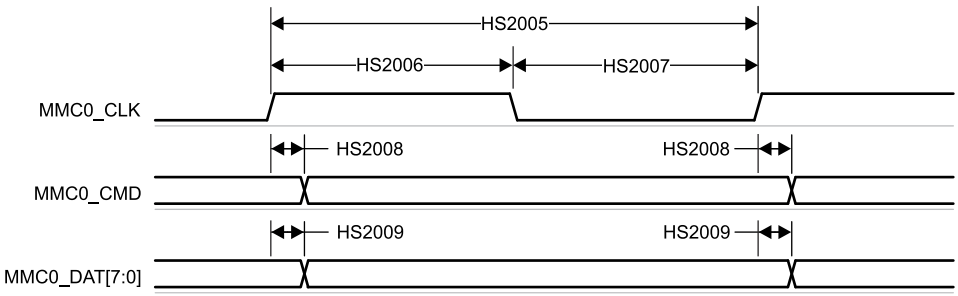


图 6-83. MMC0 – HS200 模式 – 发送模式

6.10.5.17.1.5 HS400 模式

表 6-66、图 6-84、表 6-67 和图 6-85 说明了 MMC0 的开关特性 - HS400 模式。

表 6-66. MMC0 时序要求 – HS400 模式

请参阅图 6-84

编号			最小值	最大值	单位
HS4000	t_{DSMPW}	脉冲宽度，MMC0_DS	1.95		ns
HS4001	t_{RQ_DAT}	输入偏斜，MMC0_DS 到 MMC0_DAT 有效		475	ps
HS4002	t_{RQH_DAT}	输入偏斜保持，MMC0_DAT 无效到 MMC0_DS		475	ps
HS4003	t_{RQ_CMD}	输入偏斜，MMC0_DS 到 MMC0_CMD 有效		475	ps
HS4004	t_{RQH_CMD}	输入偏斜保持，MMC0_CMD 无效到 MMC0_DS		475	ps

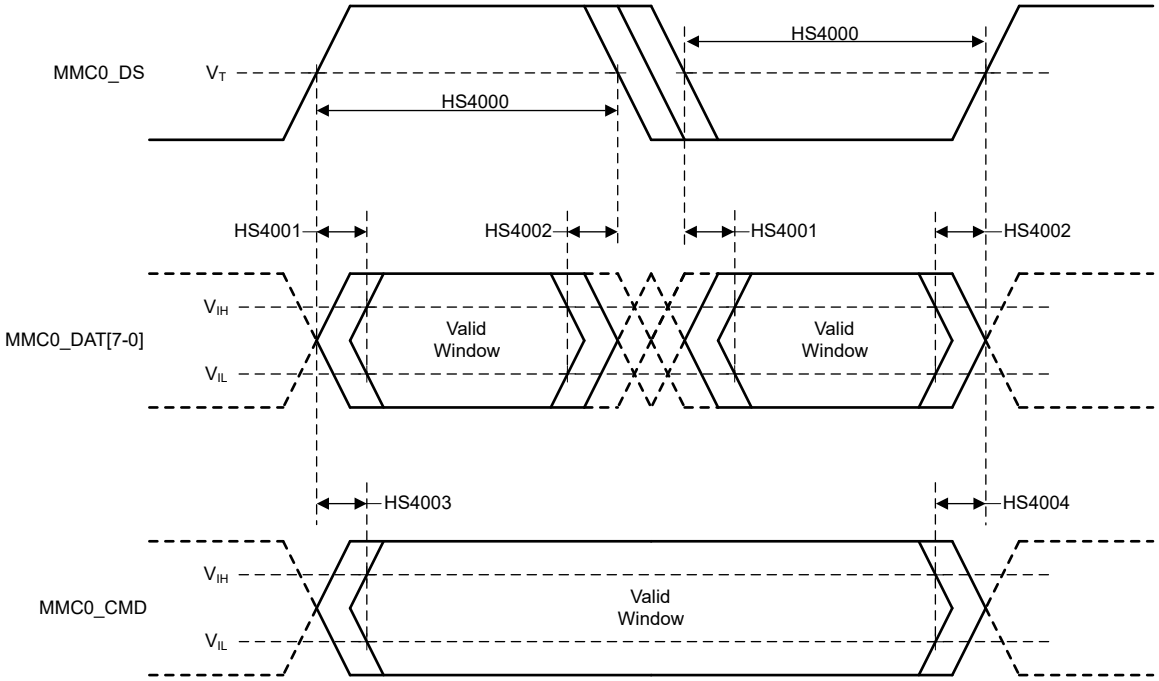


图 6-84. MMC0 – HS400 – 接收模式

表 6-67. MMC0 开关特性 - HS400 模式

请参阅图 6-85

编号	参数	说明	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS4005	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
HS4006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.23		ns
HS4007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.23		ns
HS4008	$t_{osu(cmdV-clkH)}$	输出建立时间，MMC0_CMD 有效到 MMC0_CLK 上升边沿(1)	2.54		ns
HS4009	$t_{osu(dV-clk)}$	输出建立时间，MMC0_DAT[7:0] 有效到 MMC0_CLK 上升或下降边沿(1)	0.63		ns
HS4010	$t_{oh(clkH-cmdIV)}$	输出保持时间，MMC0_CLK 上升边沿到 MMC0_CMD 转换(2)	0.98		ns
HS4011	$t_{oh(clk-dIV)}$	输出保持时间，MMC0_CLK 上升或下降边沿到 MMC0_DAT[7:0] 无效(2)	0.72		ns

(1) 此参数定义了提供给所连接器件的输出建立时间。该时间相对于下一个捕获时钟边沿。此参数的时序基准是从 DAT 或 CMD 信号转换的 1/2 Vs 到 CLK 信号转换的 1/2 Vs。eMMC 标准定义了从 DAT 或 CMD 信号转换的 VIL 或 VIH 到 CLK 信号转换的 1/2 Vs 的建立时序基准。因此，系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响，并确保 DAT 信号从 1/2 Vs 转换到 VIL 或 VIH 所需的时间不会减小建立时间裕度。

(2) 此参数定义了提供给所连接器件的输出保持时间。该时间相对于上一个启动时钟边沿。此参数的时序基准是从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 1/2 Vs。eMMC 标准定义了从 CLK 信号转换的 1/2 Vs 到 DAT 或 CMD 信号转换的 VIL 或 VIH 的保持时间基准。因此，系统设计人员在设计 PCB 时必须考虑 DAT 信号压摆率的影响，并确保 DAT 信号从 VIL 或 VIH 转换到 1/2 Vs 所需的时间不会减小保持时间裕度。

Copyright © 2025 Texas Instruments Incorporated

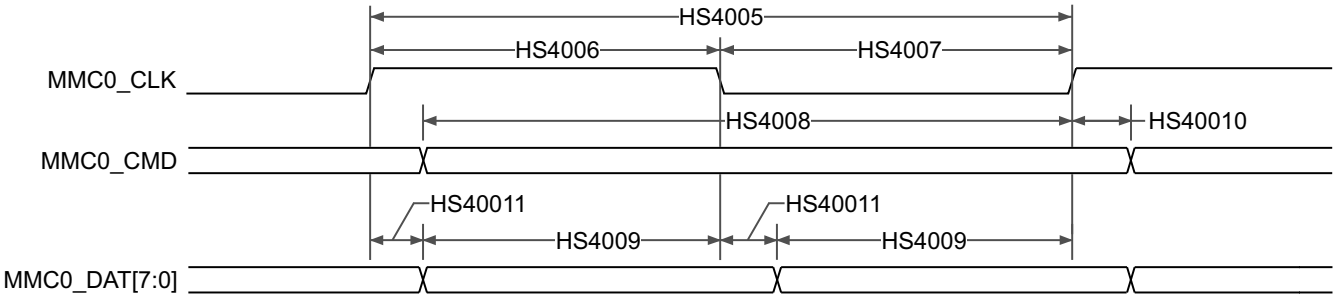


图 6-85. eMMC 接口 - HS400 模式 - 发送器模式

6.10.5.17.2 MMC1/2 - SD/SDIO 接口

MMC1 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

表 6-68 说明了 MMC1 时序模式所需的 DLL 软件配置设置。

表 6-68. 所有时序模式的 MMC1 DLL 延迟映射

寄存器名称		MMCSD12_SS_PHY_CTRL_4_REG				MMCSD12_SS_PHY_CTRL_5_REG
位字段		[20]	[15:12]	[8]	[4:0]	[2:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
模式	说明	延迟启用	延迟值	输入延迟启用	输入延迟值	延迟缓冲器持续时间
默认速度	4 位 PHY 工作 3.3V，25MHz	0x0	0x0	0x0	0x0	0x7
高速	4 位 PHY 工作 3.3V，50 MHz	0x0	0x0	0x0	0x0	0x7
UHS-I SDR12	4 位 PHY 工作 1.8V，25MHz	0x1	0xF	0x0	0x0	0x7
UHS-I SDR25	4 位 PHY 工作 1.8V，50MHz	0x1	0xF	0x0	0x0	0x7
UHS-I SDR50	4 位 PHY 工作 1.8V，100MHz	0x1	0xC	0x1	调优	0x7
UHS-I DR50	4 位 PHY 工作 1.8V，50MHz	0x1	0xC	0x1	0x2	0x7
UHS-I SDR104	4 位 PHY 工作 1.8V，200MHz	0x1	0x5	0x1	调优	0x7

表 6-69 说明了 MMC1 的时序条件。

表 6-69. MMC1 时序条件

参数	最小值	最大值	单位
输入条件			

表 6-69. MMC1 时序条件（续）

参数			最小值	最大值	单位
SR_I	输入压摆率	默认速度，高速	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
		USH-1 DDR50	1.00	2.00	V/ns
输出条件					
C_L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	UHS-I DDR50	240.03	1134	ps
		所有其他模式	126	1386	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	UHS-I DDR50		20	ps
		UHS-I SDR104		8	ps
		所有其他模式		100	ps

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.2.1 默认速度模式

表 6-70、图 6-86、表 6-71 和图 6-87 说明了 MMC1/2 的时序要求和开关特性 - 默认速度模式。

表 6-70. MMC1/2 时序要求 - 默认速度模式

请参阅图 6-86

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	4.56		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	4.56		ns

A. 对于 MMC1 和 MMC2，x = 1、2
B. 对于 MMC1 和 MMC2，x = 1、2

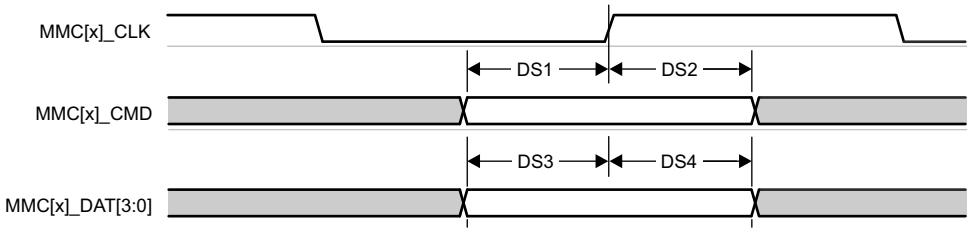


图 6-86. MMC1/2 - 默认速度 - 接收模式

表 6-71. MMC1/2 开关特性 - 默认速度模式

请参阅图 6-87

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMC[x]_CLK	40		ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_CMD 转换	-3.53	3.53	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_DAT[3:0] 转换	-3.53	3.53	ns

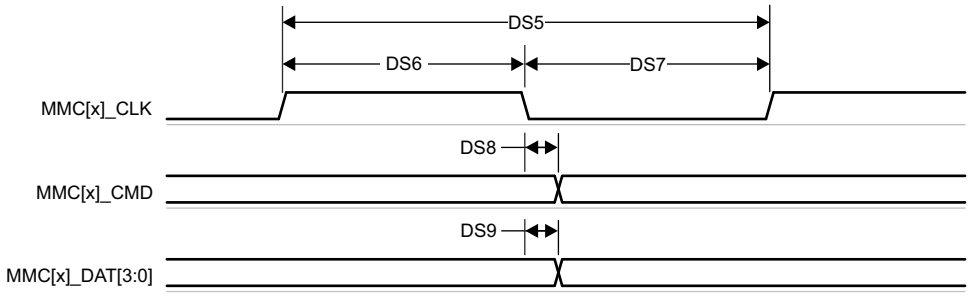


图 6-87. MMC1/2 - 默认速度 - 发送模式

6.10.5.17.2.2 高速模式

表 6-72、图 6-88、表 6-73 和图 6-89 说明了 MMC1/2 的时序要求和开关特性 - 高速模式。

表 6-72. MMC1/2 时序要求 - 高速模式

请参阅图 6-88

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	2.26		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.15		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	2.26		ns

A. 对于 MMC1 和 MMC2，x = 1、2
B. 对于 MMC1 和 MMC2，x = 1、2

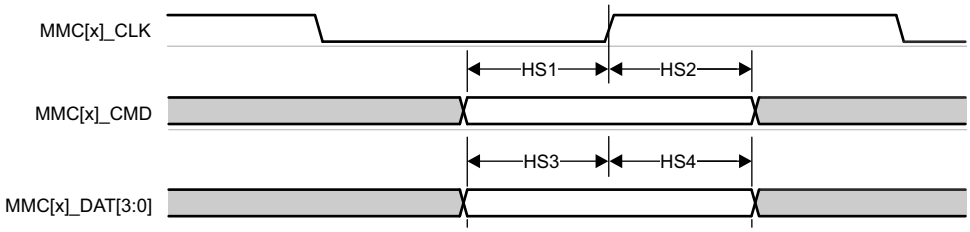


图 6-88. MMC1/2 - 高速 - 接收模式

表 6-73. MMC1/2 开关特性 - 高速模式

请参阅图 6-89

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
HS5	$t_{c(clk)}$	周期时间。 MMC[x]_CLK	20		ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_CMD 转换	-2.07	2.07	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMC[x]_CLK 下降沿到 MMC[x]_DAT[3:0] 转换	-2.07	2.07	ns

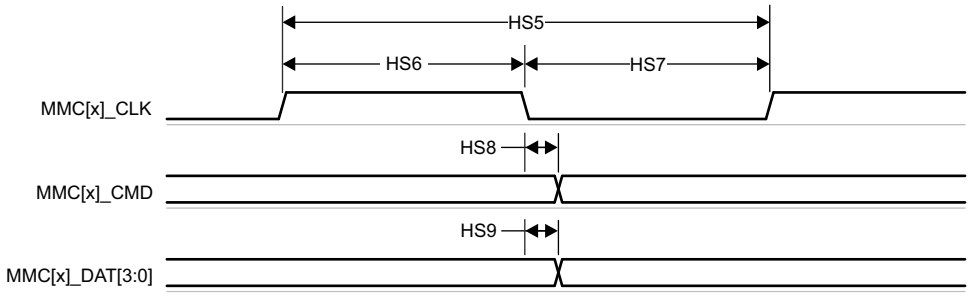


图 6-89. MMC1/2 - 高速 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.2.3 UHS-I SDR12 模式

表 6-74、图 6-90、表 6-75 和图 6-91 说明了 MMC1/2 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-74. MMC1/2 时序要求 - UHS-I SDR12 模式

请参阅图 6-90

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	5.46		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR123	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	5.46		ns
SDR124	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

A. 对于 MMC1 和 MMC2，x = 1、2
B. 对于 MMC1 和 MMC2，x = 1、2

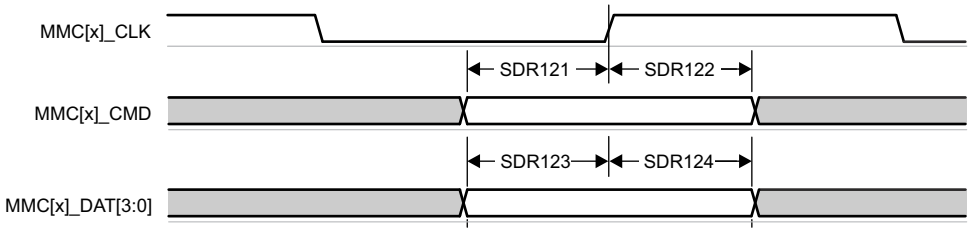


图 6-90. MMC1/2 - UHS-I SDR12 - 接收模式

表 6-75. MMC1/2 开关特性 - UHS-I SDR12 模式

请参阅图 6-91

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		25	MHz
SDR125	$t_{c(clk)}$	周期时间，MMC[x]_CLK	40		ns
SDR126	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	18.7		ns
SDR127	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	18.7		ns
SDR128	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	13.55	ns
SDR129	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.2	13.55	ns

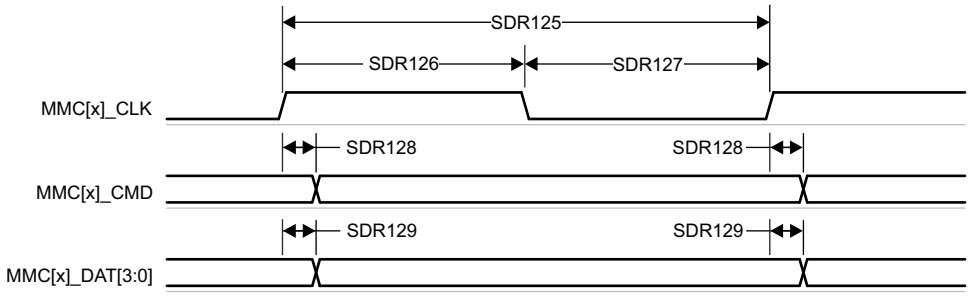


图 6-91. MMC1/2 - UHS-I SDR12 - 发送模式

6.10.5.17.2.4 UHS-I SDR25 模式

表 6-76、图 6-92、表 6-77 和图 6-93 说明了 MMC1/2 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-76. MMC1/2 时序要求 - UHS-I SDR25 模式

请参阅图 6-92

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.1		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR253	$t_{su(dV-clkH)}$	建立时间，在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.1		ns
SDR254	$t_{h(clkH-dV)}$	保持时间，在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

A. 对于 MMC1 和 MMC2，x = 1、2
B. 对于 MMC1 和 MMC2，x = 1、2

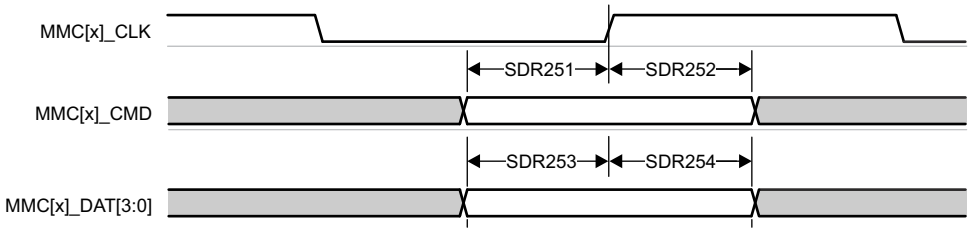


图 6-92. MMC1/2 - UHS-I SDR25 - 接收模式

表 6-77. MMC1/2 开关特性 - UHS-I SDR25 模式

请参阅图 6-93

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
SDR255	$t_{c(clk)}$	周期时间，MMC[x]_CLK	20		ns
SDR256	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
SDR257	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
SDR258	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	2.4	9.37	ns
SDR259	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	2.4	9.37	ns

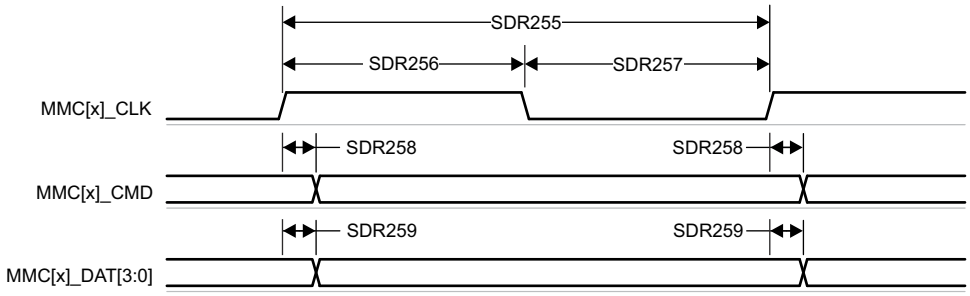


图 6-93. MMC1/2 - UHS-I SDR25 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.2.5 UHS-I SDR50 模式

表 6-78 和图 6-94 说明了 MMC1/2 的开关特性 - UHS-I SDR50 模式。

表 6-78. MMC1/2 开关特性 - UHS-I SDR50 模式

请参阅图 6-94

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间，MMC[x]_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	4.45		ns
SDR508	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.2	6.35	ns

A. 对于 MMC1 和 MMC2，x = 1、2

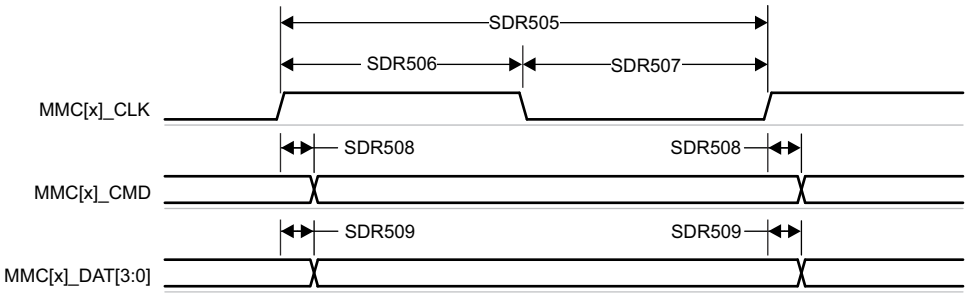


图 6-94. MMC1/2 - UHS-I SDR50 - 发送模式

6.10.5.17.2.6 UHS-I DDR50 模式

表 6-79 和图 6-95 说明了 MMC1/2 的开关特性 - UHS-I DDR50 模式。

表 6-79. MMC1/2 开关特性 - UHS-I DDR50 模式

请参阅图 6-95

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		50	MHz
DDR505	$t_{c(clk)}$	周期时间，MMC[x]_CLK	20		ns
DDR506	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	9.2		ns
DDR507	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	9.2		ns
DDR508	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.12	3.46	ns
DDR509	$t_{d(clk-dV)}$	延迟时间，MMC[x]_CLK 转换到 MMC[x]_DAT[3:0] 转换	1.12	6.12	ns

A. 对于 MMC1 和 MMC2，x = 1、2

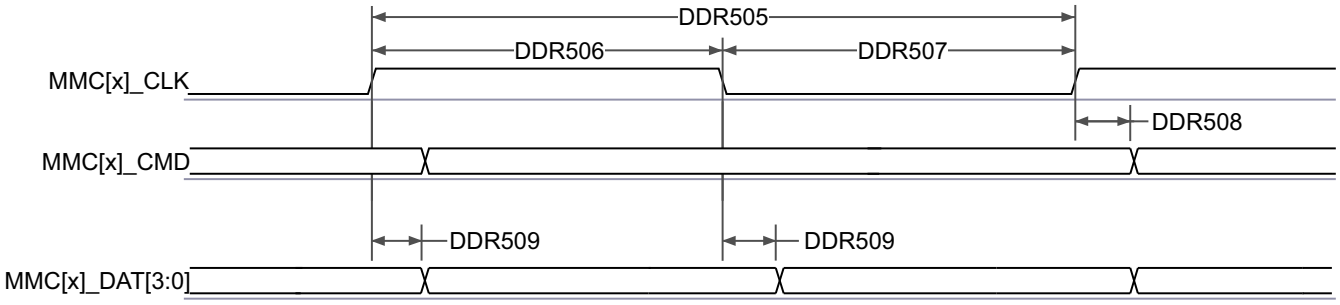


图 6-95. MMC1/2 - UHS-I DDR50 - 发送模式

Copyright © 2025 Texas Instruments Incorporated

6.10.5.17.2.7 UHS-I SDR104 模式

表 6-80 和图 6-96 说明了 MMC1/2 的开关特性 - UHS-I SDR104 模式。

表 6-80. MMC1/2 开关特性 - UHS-I SDR104 模式

请参阅图 6-96

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC[x]_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间，MMC[x]_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间，MMC[x]_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间，MMC[x]_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkH-cmdV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d(clkH-dV)}$	延迟时间，MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.07	3.21	ns

A. 对于 MMC1 和 MMC2，x = 1、2

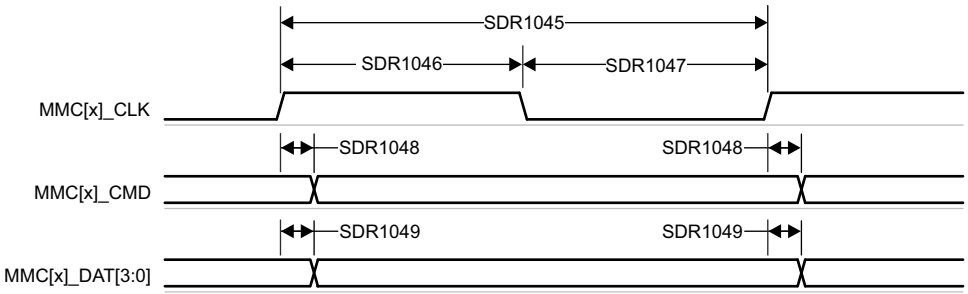


图 6-96. MMC1/2 - UHS-I SDR104 - 发送模式

6.10.5.18 CPTS

表 6-81 表示 CPTS 时序条件。

表 6-81. CPTS 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

节 6.10.5.18.1、节 6.10.5.18.2、图 6-97 和图 6-98 说明了 CPTS 接口的时序要求和开关特性。

6.10.5.18.1 CPTS 时序要求

请参阅图 6-97

编号			最小值	最大值	单位
T1	$t_{w(HWnTSPUSHH)}$	脉冲持续时间，HWnTSPUSH(2) 高电平	12P + 2(1)		ns
T2	$t_{w(HWnTSPUSHL)}$	脉冲持续时间，HWnTSPUSH(2) 低电平	12P + 2(1)		ns
T3	$t_{c(RFT_CLK)}$	周期时间，RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	脉冲持续时间，RFT_CLK 高电平	0.45 * T(3)		ns
T5	$t_{w(RFT_CLKL)}$	脉冲持续时间，RFT_CLK 低电平	0.45 * T(3)		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) 在 HWnTSPUSH 中，n = 1 至 2。
(3) T = RFT_CLK 周期时间（以 ns 为单位）。

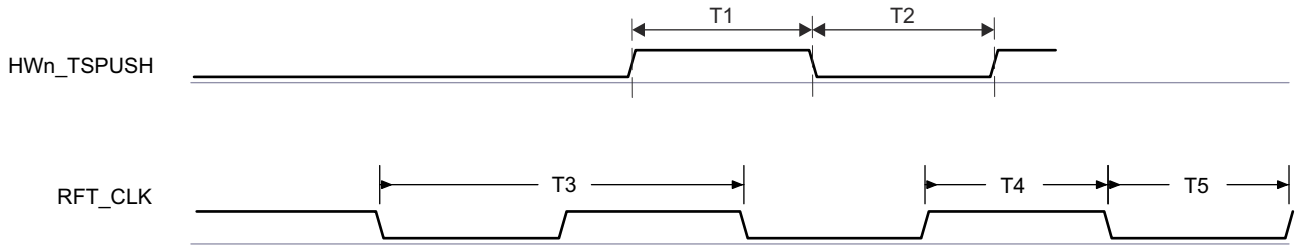


图 6-97. CPTS 时序要求

6.10.5.18.2 CPTS 开关特性

请参阅图 6-98

编号	参数		源	最小值	最大值	单位
T6	$t_{w(TS_COMPH)}$	脉冲持续时间，TS_COMP 高电平		36P - 2[(1)]		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间，TS_COMP 低电平		36P - 2[(1)]		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间，TS_SYNC 高电平		36P - 2[(1)]		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间，TS_SYNC 低电平		36P - 2[(1)]		ns
T10	$t_{w(SYNC_OUTH)}$	脉冲持续时间，SYNCn_OUT[(2)] 高电平	TS_SYNC	36P - 2[(1)]		ns
			TS_GENF	5P - 2[(1)]		ns
T11	$t_{w(SYNC_OUTL)}$	脉冲持续时间，SYNCn_OUT[(2)] 低电平	TS_SYNC	36P - 2[(1)]		ns
			TS_GENF	5P - 2[(1)]		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) 在 SYNCn_OUT 中，n = 0 至 3

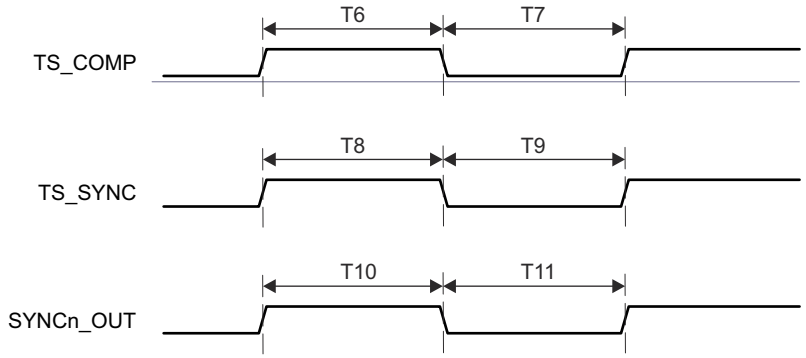


图 6-98. CPTS 开关特性

有关更多信息，请参阅器件 TRM 的*数据移动架构 (DMA)* 一章中的*导航器子系统 (NAVSS)* 一节。

6.10.5.19 OSPI

如需进一步详细了解器件八路串行外设接口的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-82 表示 OSPI 时序条件。

表 6-82. OSPI 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	3.3V，所有模式	2	6	V/ns
		1.8V，具有 DQS 的 PHY 数据训练 DDR	0.75	6	V/ns
		1.8V，所有其他模式	1	6	V/ns
输出条件					

Copyright © 2025 Texas Instruments Incorporated

表 6-82. OSPI 时序条件（续）

参数			最小值	最大值	单位
C_L	输出负载电容	所有模式	3	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	传播延迟 OSPI_CLK 布线	无环回； 内部焊盘环回		450	ps
	传播延迟 OSPI_LBCLKO 布线	外部电路板环回	2*L-30(2)	2*L+30(2)	ps
	传播延迟 OSPI_DQS 布线	DQS	L-30(2)	L+30(2)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	传播延迟不匹配 OSPI_D[i:0](1)、OSPI_CSn 相对于 OSPI_CLK	所有模式		60	ps

(1) 对于 OSPI0，D[i:0] 中的 i = 0 至 7；对于 OSPI1，[i:0] 中的 i = 3
(2) L = OSPI_CLK 布线的传播延迟

6.10.5.19.1 OSPI0/1 PHY 模式

6.10.5.19.1.1 具有 PHY 数据训练的 OSPI0/1

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-83 定义了具有数据训练的 OSPI0/1 所需的 DLL 延迟。表 6-84、图 6-99、图 6-100、表 6-85、图 6-101 和图 6-102 展示了具有数据训练的 OSPI0/1 的时序要求和开关特性。

表 6-83. 用于 PHY 数据训练的 OSPI0/1 DLL 延迟映射

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) 发送由训练软件确定的 DLL 延迟值
(2) 接收由训练软件确定的 DLL 延迟值

表 6-84. OSPI0 时序要求 – PHY 数据训练

请参阅图 6-99 和图 6-100

编号			模式	最小值	最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有内部 PHY 环回的 SDR	(1)		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有内部 PHY 环回的 SDR	(1)		ns
	t_{DVW}	数据有效窗口 (O15 + O16)	1.8V，具有 DQS 的 DDR	1.4		ns
		数据有效窗口 (O21 + O22)	1.8V，具有内部 PHY 环回的 SDR	1.7		ns

(1) 当使用数据训练查找合适的数据有效窗口时，未定义 OSPI0/1_D[7:0] 输入的最小建立和保持时间要求。t_{DVW} 参数定义了所需的最小数据无效窗口。提供此参数来代替最小建立和最小保持时间，必须使用它来检查与所连接器件提供的数据有效窗口的兼容性。

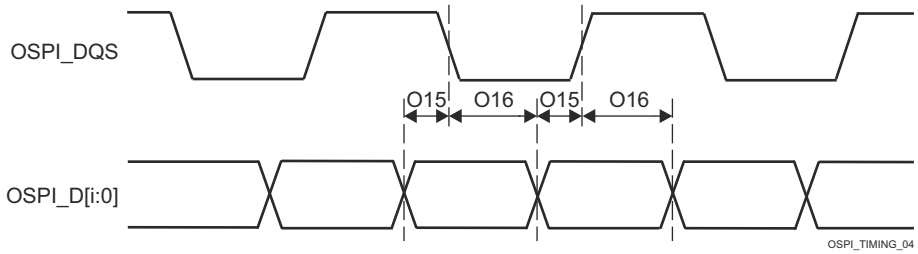


图 6-99. OSPI0/1 时序要求 - PHY 数据训练，具有 DQS 的 DDR

Copyright © 2025 Texas Instruments Incorporated

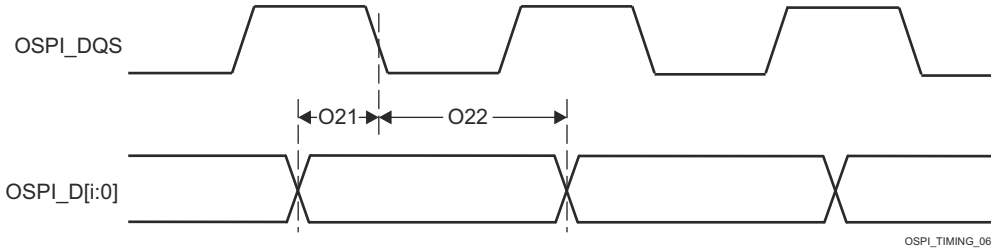


图 6-100. OSPI0/1 时序要求 - PHY 数据训练，具有内部 PHY 环回的 SDR

表 6-85. OSPI/1 开关特性 - PHY 数据训练

请参阅图 6-101 和图 6-102

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0/1_CLK	1.8V，DDR	6.0	6.0	ns
O7			1.8V，SDR	6.0	6.0	ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0/1_CLK 低电平	DDR	((0.475P[1]) - 0.3)		ns
O8			SDR			
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0/1_CLK 高电平	DDR	((0.475P[1]) - 0.3)		ns
O9			SDR			
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0/1_CSn[3:0] 有效边沿到 OSPI0/1_CLK 上升沿	DDR	((0.475P[1]) + (0.975M[2]R[4]) + (0.028TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.055TD[5]) + 1)	ns
O10			SDR			
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0/1_CLK 上升沿到 OSPI0/1_CSn[3:0] 无效边沿	DDR	((0.475P[1]) + (0.975N[3]R[4]) - (0.055TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.028TD[5]) + 1)	ns
O11			SDR			
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0/1_CLK 有效边沿到 OSPI0/1_D[7:0] 转换	DDR	[6]	[6]	ns
O12			SDR			
	t_{DIVW}	数据无效窗口（O6 最大值 - 最小值）	DDR		1	ns
		数据无效窗口（O12 最大值 - 最小值）	SDR			

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的数据有效窗口时，不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。t_{DIVW} 参数定义了最大数据无效窗口。提供此参数来代替最小和最大延迟时间，必须使用它来检查与所连接器件的数据有效窗口要求的兼容性。

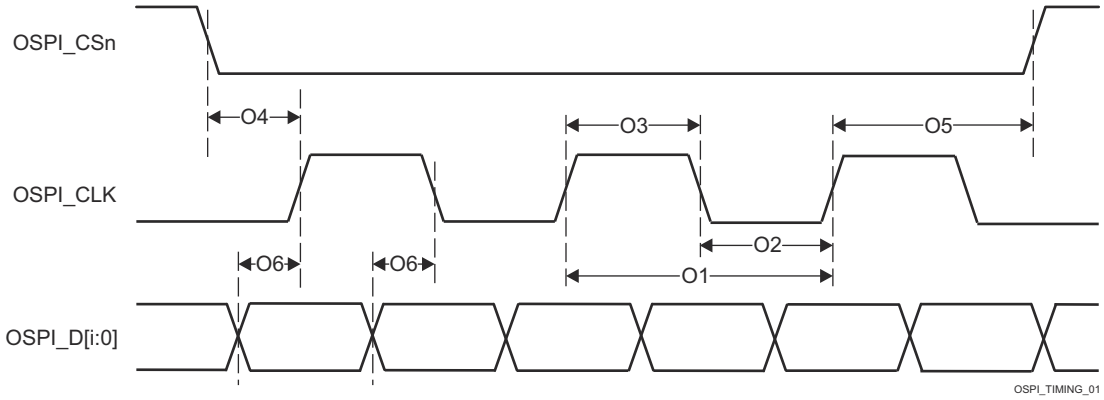


图 6-101. OSPI0/1 开关特性 - PHY DDR 数据训练

Copyright © 2025 Texas Instruments Incorporated

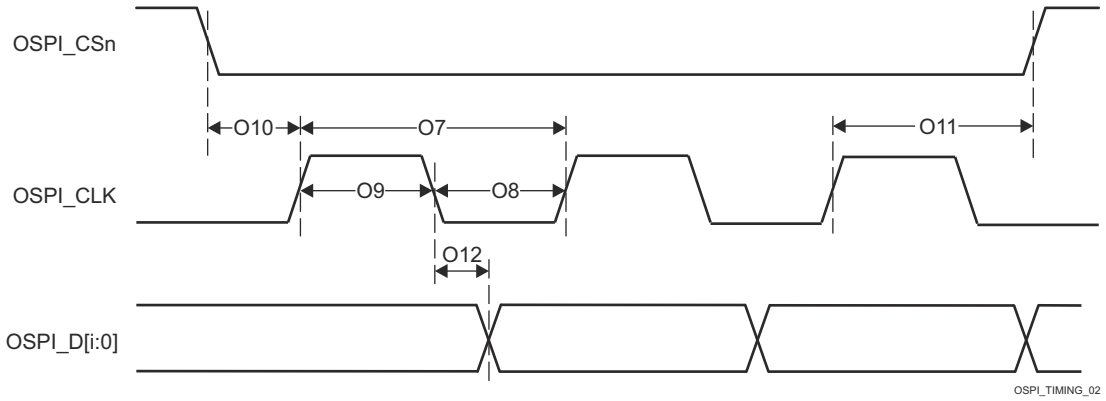


图 6-102. OSPI0/1 开关特性 - PHY SDR 数据训练

6.10.5.19.1.2 无数据训练的 OSPI

备注

本节中提供的 I/O 时序仅适用于未实施数据培训的情况。此外，按本节的表 6-86 所述配置了相应的 DLL 延迟时，I/O 时序仅对某些 OSPI 使用模式有效。

节 6.10.5.19.1.2.4、节 6.10.5.19.1.2.2、节 6.10.5.19.1.2 和节 6.10.5.19.1.2 说明了 OSPI DDR 和 SDR 模式的开关特性。

6.10.5.19.1.2.1 OSPI 时序要求 - SDR 模式

表 6-86. OSPI DLL 延迟映射 - SDR 时序模式

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-87. OSPI 时序要求 - SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 LBCLK 输入 (DQS) 边沿之前 D[i:0] 有效(1)	1.8V，外部电路板环回	0.6		ns
			3.3V，外部电路板环回	0.9		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 LBCLK 输入 (DQS) 边沿之后 D[i:0] 有效(1)	1.8V，外部电路板环回	1.7		ns
			3.3V，外部电路板环回	2		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

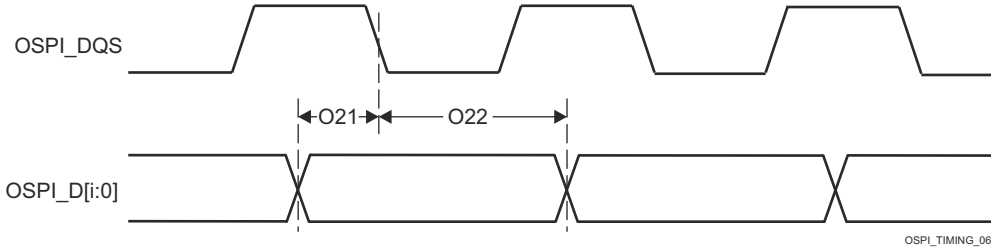


图 6-103. OSPI 时序要求 - SDR，外部环回时钟

6.10.5.19.1.2.2 OSPI 开关特性 - SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，CLK	1.8V	7		ns
			3.3V	7.5		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平		((0.475P[1]) - 0.3)		ns
O9		脉冲持续时间，CLK 高电平		((0.475P[1]) - 0.3)		ns
O10	$t_{td(CSn-CLK)}$	延迟时间，CSn 有效边沿到 CLK 上升沿	1.8V	((0.475P[1]) + (0.975M[2]R[4]) + (0.028TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.055TD[5]) + 1)	ns
			3.3V	((0.475P[1]) + (0.975M[2]R[4]) + (0.028TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.055TD[5]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，CLK 上升沿到 CSn 无效边沿	1.8V	((0.475P[1]) + (0.975N[3]R[4]) - (0.055TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.028TD[5]) + 1)	ns
			3.3V	((0.475P[1]) + (0.975N[3]R[4]) - (0.055TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.028TD[5]) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，CLK 有效边沿到 D[i:0] 转换[6]	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

(1) P = CLK 周期时间 = SCLK 周期
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = refclk
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

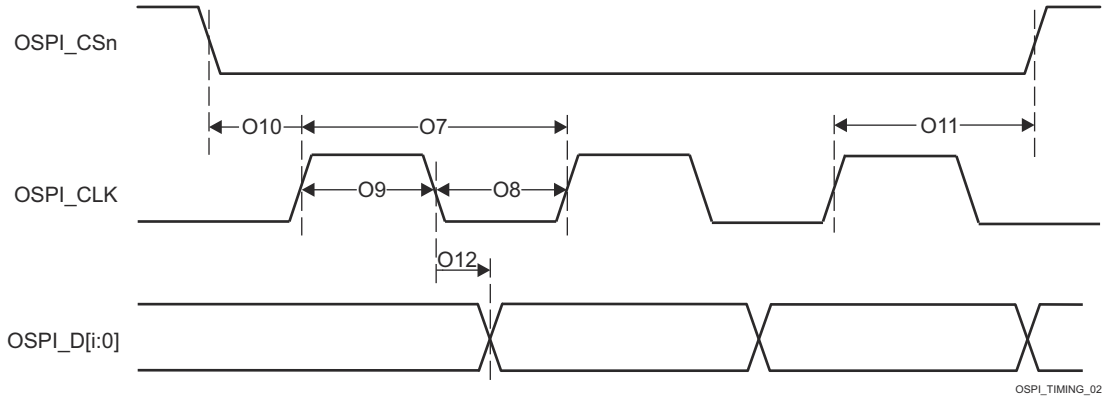


图 6-104. OSPI 开关特性 - SDR

节 6.10.5.19.1.2.3、节 6.10.5.19.1.2.1、节 6.10.5.19.1.2.2、节 6.10.5.19.1.2.2 和图 6-103 说明了 OSPI DDR 和 SDR 模式的时序要求。

Copyright © 2025 Texas Instruments Incorporated

6.10.5.19.1.2.3 OSPI 时序要求 - DDR 模式

表 6-88. OSPI DLL 延迟映射 - DDR 时序模式

模式	OSPI_PHY_CONFIGURATION_REG 位字段	OSPI0	OSPI1
		延迟值	
发送			
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x54	0x54
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x55	0x5C
RECEIVE			
1.8V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x23	0x29
3.3V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x47	0x42
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0	0x0

表 6-89. OSPI 时序要求 - DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 LBCLK (DQS) 边沿之前 D[i:0] 有效(1)	1.8V，外部电路板环回	0.52		ns
			3.3V，外部电路板环回	1.97		ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 LBCLK (DQS) 边沿之后 D[i:0] 有效(1)	1.8V，外部电路板环回	1.24 (2)		ns
			3.3V，外部电路板环回	1.44 (2)		ns
O17	$t_{su(D-DQS)}$	建立时间，DQS 边沿到 D[i:0] 转换(1)	1.8V，DQS	-0.46		ns
			3.3V，DQS	-0.66		ns
O18	$t_{h(DQS-D)}$	保持时间，DQS 边沿到 D[i:0] 转换(1)	1.8V，DQS	3.59		ns
			3.3V，DQS	8.89		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3
(2) 此保持时间要求大于典型闪存器件提供的保持时间。因此，SoC 和闪存器件之间的布线长度必须足够长，以确保满足 SoC 的保持时间。有关更多详细信息，请参阅 OSPI 和 QSPI 电路板设计和布局指南。

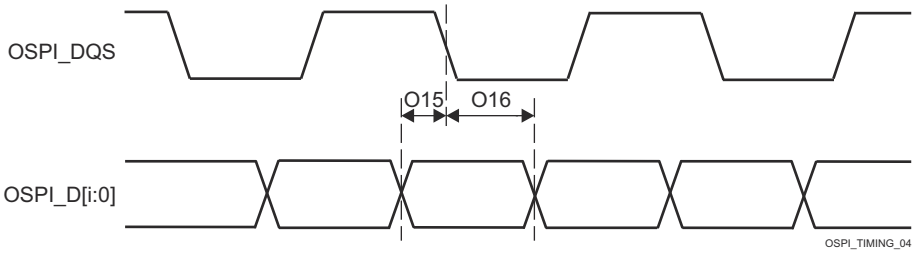


图 6-105. OSPI 时序要求 - DDR、外部环回时钟和 DQS

6.10.5.19.1.2.4 OSPI 开关特性 - PHY DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，CLK	1.8V	19		ns
			3.3V	19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，CLK 低电平		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，CLK 高电平		((0.475P(1)) - 0.3)		ns

编号	参数	说明	模式	最小值	最大值	单位
O4	$t_{d(CLK-CSn)}$	延迟时间，CSn 有效边沿到 CLK 上升沿	1.8V	((0.475P[1]) + (0.975M[2]R[4]) + (0.028TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.055TD[5]) + 1)	ns
			3.3V	((0.475P[1]) + (0.975M[2]R[4]) + (0.028TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.055TD[5]) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，CLK 上升沿到 CSn 无效边沿	1.8V	((0.475P[1]) + (0.975N[3]R[4]) + (0.055TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + (0.028TD[5]) + 1)	ns
			3.3V，OSPI0 DDR TX；3.3V，OSPI1 DDR TX	((0.475P[1]) + (0.975N[3]R[4]) + (0.055TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + (0.028TD[5]) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，CLK 有效边沿到 D[i:0] 转换[6]	1.8V，OSPI0 DDR TX；1.8V，OSPI1 DDR TX	-7.71	-1.56	ns
			3.3V，OSPI0 DDR TX；3.3V，OSPI1 DDR TX	-7.71	-1.56	ns

(1) P = CLK 周期时间 = SCLK 周期
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

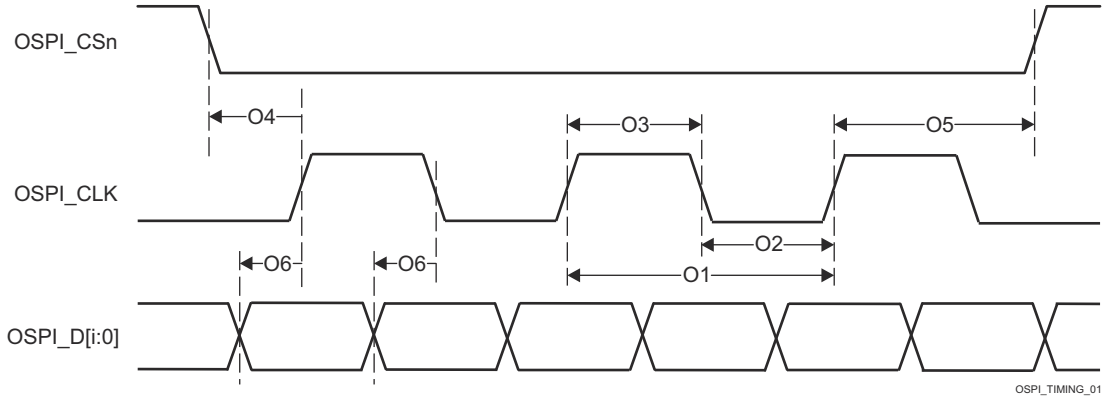


图 6-106. OSPI 开关特性 - DDR

Copyright © 2025 Texas Instruments Incorporated

6.10.5.19.2 OSPI0/1 Tap 模式

6.10.5.19.2.1 OSPI0 Tap SDR 时序

表 6-90、图 6-107、表 6-91 和图 6-108 说明了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-90. OSPI0/1 时序要求 - Tap SDR 模式

请参阅图 6-107

编号			模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0/1_CLK 边沿之前 OSPI0/1_D[7:0] 有效	无环回	(15.4 - (0.975T(1)R(2)))		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0/1_CLK 边沿之后 OSPI0/1_D[7:0] 有效	无环回	(– 5.2 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

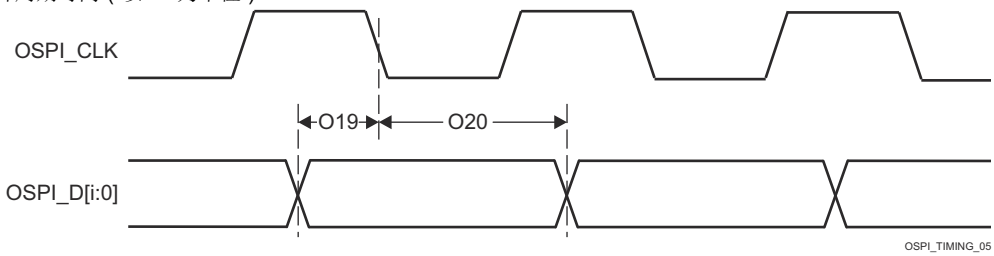


图 6-107. OSPI0/1 时序要求 - Tap SDR，无环回

表 6-91. OSPI0/1 开关特性 - Tap SDR 模式

请参阅图 6-108

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，OSPI0/1_CLK		20		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，OSPI0/1_CLK 低电平		((0.475P[(1)]) - 0.3)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，OSPI0/1_CLK 高电平		((0.475P[(1)]) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	延迟时间，OSPI0/1_CSn[3:0] 有效边沿到 OSPI0/1_CLK 上升沿		((0.475P[(1)]) + (0.975M[(2)]R[(4)]) - 1)	((0.525P[(1)]) + (1.025M[(2)]R[(4)]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，OSPI0/1_CLK 上升沿到 OSPI0/1_CSn[3:0] 无效边沿		((0.475P[(1)]) + (0.975N[(3)]R[(4)]) - 1)	((0.525P[(1)]) + (1.025N[(3)]R[(4)]) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，OSPI0/1_CLK 有效边沿到 OSPI0/1_D[7:0] 转换		–2	2	ns

(1) P = CLK 周期时间 = SCLK 周期（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）

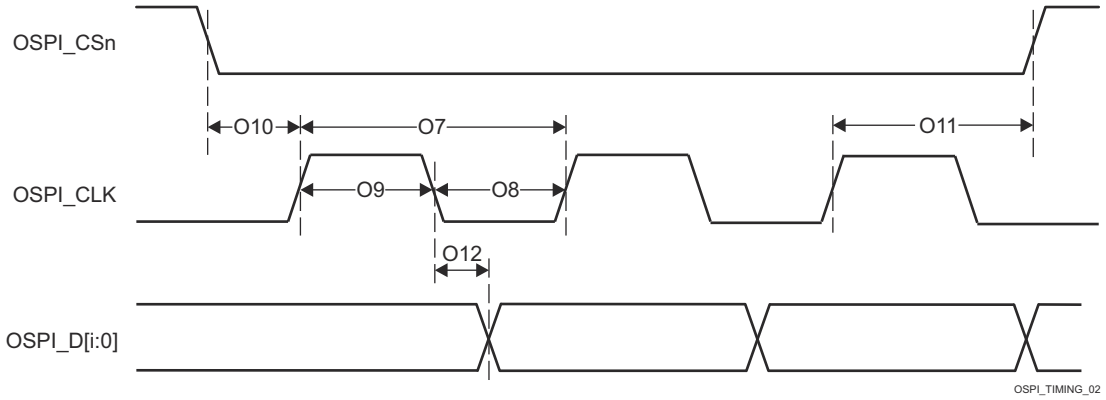


图 6-108. OSPI0/1 开关特性 - Tap SDR，无环回

Copyright © 2025 Texas Instruments Incorporated

6.10.5.19.2.2 OSPI0 Tap DDR 时序

表 6-92、图 6-109、表 6-93 和图 6-110 展示了 OSPI0 的时序要求和开关特性 – Tap DDR 模式。

表 6-92. OSPI0/1 时序要求 - Tap DDR 模式

请参阅图 6-109

编号			模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0/1_CLK 边沿之前 OSPI0/1_D[7:0] 有效	无环回	(17.04 - (0.975T(1)R(2)))		ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0/1_CLK 边沿之后 OSPI0/1_D[7:0] 有效	无环回	(– 3.16 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

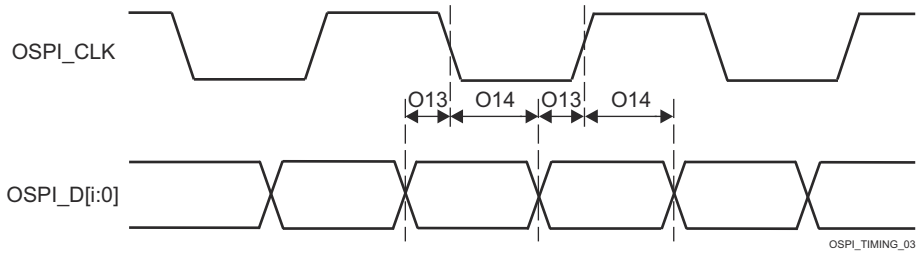


图 6-109. OSPI0/1 时序要求 - Tap DDR，无环回

表 6-93. OSPI0/1 开关特性 - Tap DDR 模式

请参阅图 6-110

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0/1_CLK		40		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0/1_CLK 低电平		((0.475P[1]) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0/1_CLK 高电平		((0.475P[1]) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0/1_CSn[3:0] 有效边沿到 OSPI0/1_CLK 上升沿		((0.475P[1]) + ((0.975M[2]R[4]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0/1_CLK 上升沿到 OSPI0/1_CSn[3:0] 无效边沿		((0.475P[1]) + (0.975N[3]R[4]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0/1_CLK 有效边沿到 OSPI0/1_D[7:0] 转换		(– 5.04 + (0.975(T[5] + 1)R[4]) - (0.525P[1]))	(3.64 + (1.025(T[5] + 1)R[4]) - (0.475P[1]))	ns

(1) P = CLK 周期时间 = SCLK 周期（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

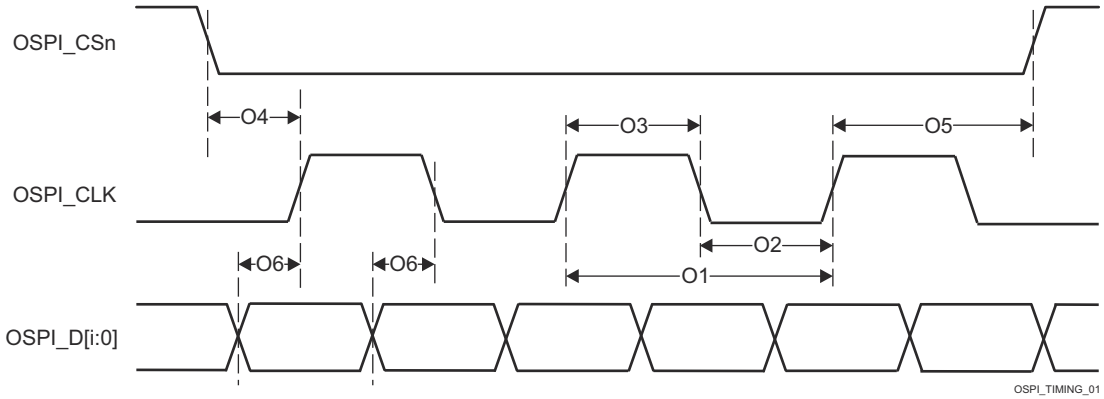


图 6-110. OSPI0/1 开关特性 - Tap DDR，无环回

6.10.5.20 OLDI

6.10.5.20.1 OLDI 开关特性

编号	参数	模式	最小值	最大值	单位
O1	LVDS 低电平到高电平转换时间最大值	IOSET1	0.18	0.5	ns
O2	LVDS 高电平到低电平转换时间最大值	IOSET1	0.18	0.5	ns
O3	发送器输出位宽最小值	IOSET1	1	1	UI
O4	发送器脉冲位置 - 归一化	IOSET1	0.25	0.75	ns
O5	位 7:0 脉冲位置上的发送器脉冲位置变化	IOSET1	-0.06	0.06	ns
O6	TxOut 通道间偏斜	IOSET1		110	ns
O7	发送器周期间抖动	IOSET1	0.028	0.035	ns
O8	输入总抖动容差（包括数据到时钟偏斜、脉冲位置变化）	IOSET1		0.25	ns

Copyright © 2025 Texas Instruments Incorporated

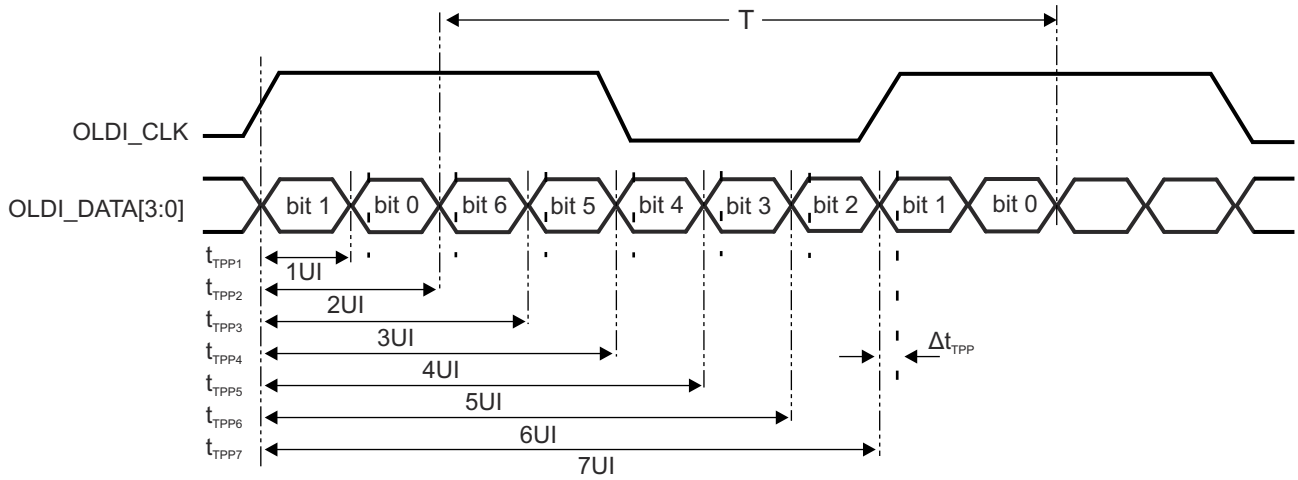


图 6-111. OLDI 发送器脉冲位置

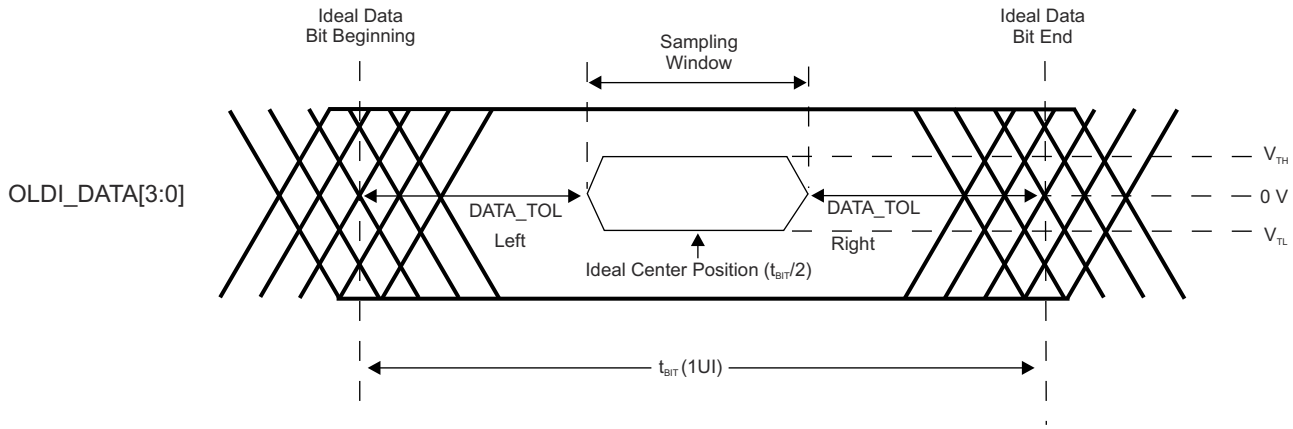


图 6-112. OLDI 数据输出抖动

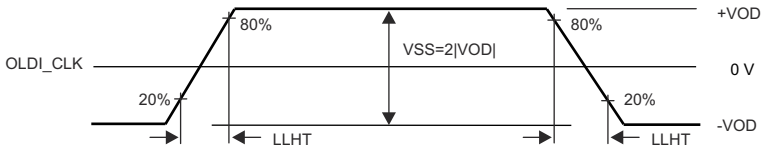


图 6-113. LVDS 输出转换次数

有关更多信息，请参阅器件 TRM 的*外设*一章中的*显示子系统 (DSS) 和外设*一节。

6.10.5.21 PCIE

PCI-Express 子系统符合 PCIe® 基础规范修订版 4.0。有关时序详细信息，请参阅规范。

如需进一步详细了解器件外设组件快速互连的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*外设组件快速互连 (PCIe) 子系统*一节。

6.10.5.22 计时器

如需进一步详细了解器件计时器的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-94 表示计时器时序条件。

表 6-94. 计时器时序条件

参数	说明	模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	捕获	0.5	5	V/ns
输出条件					
C_L	输出负载电容	PWM	2	10	pF

节 6.10.5.22.1、节 6.10.5.22.2 和图 6-114 说明了计时器的时序和开关特性。

6.10.5.22.1 计时器的时序要求

编号	参数	说明	模式	最小值	最大值	单位
T1	$t_{w(TINPH)}$	脉冲持续时间，高电平	捕获	2.5 + 4P (1)		ns
T2	$t_{w(TINPL)}$	脉冲持续时间，低电平	捕获	2.5 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

6.10.5.22.2 计时器的开关特性

编号	参数	说明	模式	最小值	最大值	单位
T3	$t_{w(TOUTH)}$	脉冲持续时间，高电平	PWM	-2.5 + 4P (1)		ns
T4	$t_{w(TOUTL)}$	脉冲持续时间，低电平	PWM	-2.5 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

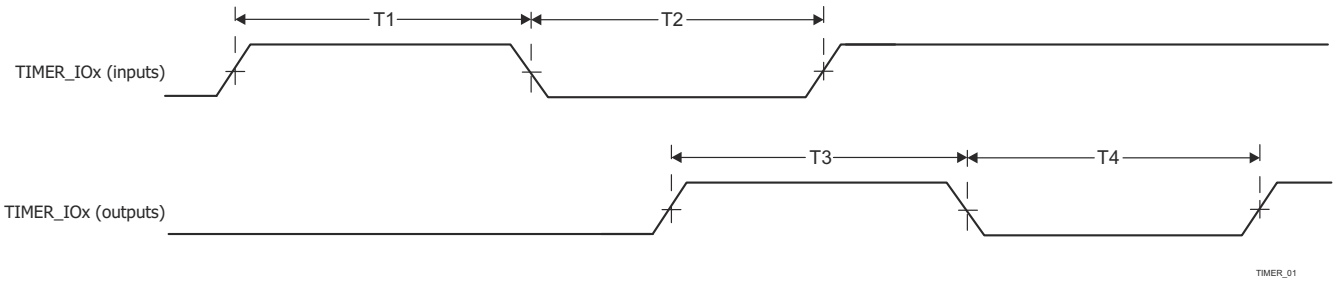


图 6-114. 计时器时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

6.10.5.23 UART

如需进一步详细了解器件通用异步接收器/发送器的特性和其他说明信息，请参阅信号说明和*详细说明*中的相应小节。

表 6-95 表示 UART 时序条件。

表 6-95. UART 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	1	30 (1)	pF

(1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的时间。因此，了解连接器件在

Copyright © 2025 Texas Instruments Incorporated

工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

节 6.10.5.23.1、节 6.10.5.23.2 和图 6-115 说明了 UART 接口的时序要求和开关特性。

6.10.5.23.1 UART 的时序要求

编号	参数	说明	模式	最小值	最大值	单位
4	$t_{w(rxd)}$	脉冲宽度，接收数据位高电平或低电平		0.95U(1)(2)	1.05U(1)(2)	ns
5	$t_{w(rxdS)}$	脉冲宽度，接收开始位低电平		0.95U(1)(2)		ns

(1) U = UART 波特时间 = 1/编程波特率
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

6.10.5.23.2 UART 开关特性

编号	参数	说明	最小值	最大值	单位
	$f_{(baud)}$	最大可编程波特率		12	Mbps
2	$t_{w(TX)}$	脉冲宽度，发送数据位高电平或低电平	U - 2(1)	U + 2(1)	ns
3	$t_{w(RTS)}$	脉冲宽度，发送起始位高电平或低电平	U - 2(1)		ns

(1) U = UART 波特时间 = 1/编程波特率

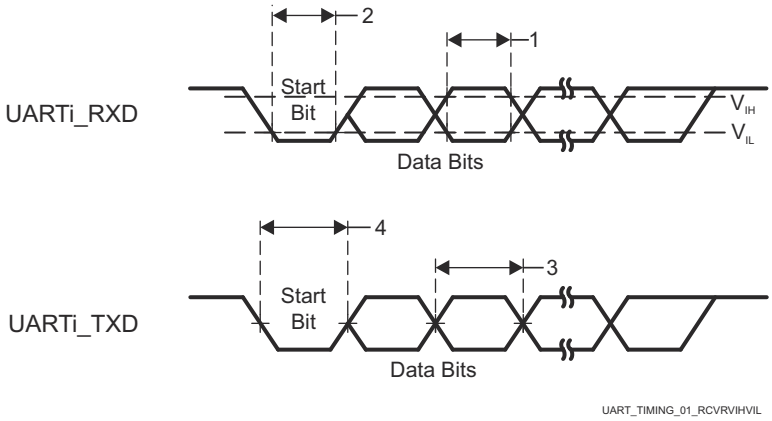


图 6-115. UART 时序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用异步接收器/发送器 (UART)* 一节。

6.10.5.24 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

USB 3.1 GEN1 双角色设备子系统符合通用串行总线 (USB) 3.1 规范修订版 1.0 的要求。有关时序详细信息，请参阅规范。

如需进一步详细了解器件通用串行总线子系统 (USB) 的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

6.10.6 仿真和调试

6.10.6.1 布线

表 6-96. 布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
PCB 连接要求				

表 6-96. 布线时序条件（续）

参数		最小值	最大值	单位
$t_{d(Trace\ Mismatch)}$	所有布线之间的传播延迟不匹配		200	ps

表 6-97 和图 6-116 假设在建议运行条件和电气特性条件下进行测试。

表 6-97. 布线开关特性

编号	参数		最小值	最大值	单位
1.8V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	6.50		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	2.50		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	2.50		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	0.81		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	0.81		ns
3.3V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	4.13		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	1.22		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	1.22		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	1.22		ns

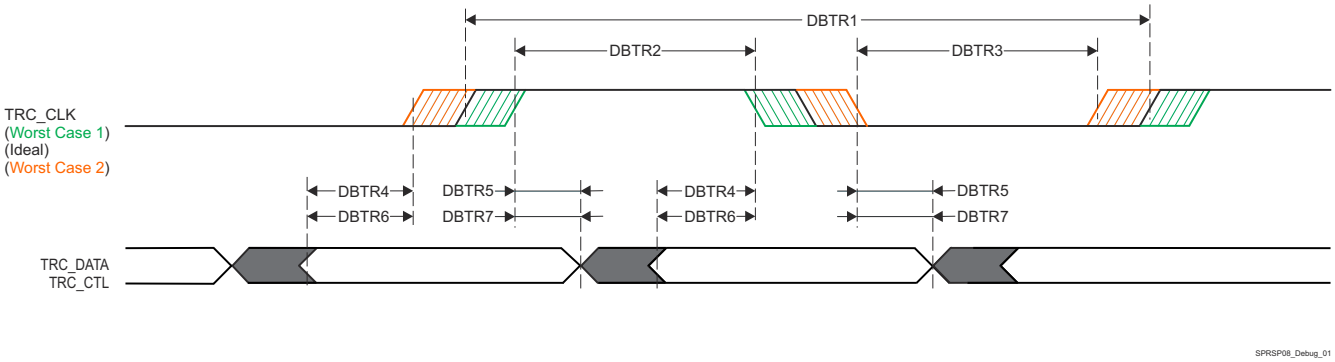


图 6-116. 布线开关特性

6.10.6.2 JTAG

如需进一步详细了解器件 IEEE 1149.1 标准测试访问端口的特性和其他说明信息，请参阅信号说明和*详细说明* 中的相应小节。

Copyright © 2025 Texas Instruments Incorporated

备注

JTAG 信号拆分到器件上的两个 IO 电源域中。仅当两个 IO 电源域在相同的电压下运行并且电平转换器未插入到信号路径中时，本节中定义的时序参数才适用。在不同的电压下运行两个 IO 电源域时，以下时序参数的值未定义，因为当一些器件 IO 缓冲器在 1.8V 电压下运行，而另一些在 3.3V 电压下运行时，通过这些 IO 缓冲器的传播延迟会有所不同。这实际上降低了超出本节中所定义的值的时序裕度。当两个 IO 电源域在不同电压下运行时，JTAG 接口仍应该能正常工作，但前提是系统设计人员实施了适当的电平转换器，并降低了工作频率以适应在不同电压下运行的电平转换器和 IO 缓冲器插入的额外延迟。

表 6-98. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.50	2.00	V/ns
输出条件				
C_L	输出负载电容	5	15	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

6.10.6.2.1 JTAG 电气数据和时序

节 6.10.6.2.1.1 节 6.10.6.2.1.2 和图 6-117 假设在建议运行条件和电气特性条件下进行测试。

6.10.6.2.1.1 JTAG 时序要求

请参阅图 6-117

编号			最小值	最大值	单位
J1	$t_{c(TCK)}$	最小周期时间，TCK	46.5(1)		ns
J2	$t_{w(TCKH)}$	最小脉冲宽度，TCK 高电平	18.6(2)		ns
J3	$t_{w(TCKL)}$	最小脉冲宽度，TCK 低电平	18.6(2)		ns
J4	$t_{su(TDI-TCK)}$	最小输入建立时间，TDI 有效到 TCK 高电平	4.5		ns
	$t_{su(TMS-TCK)}$	最小输入建立时间，TMS 有效到 TCK 高电平	4.5		ns
J5	$t_{h(TCK-TDI)}$	最小输入保持时间，从 TCK 高电平到 TDI 有效	2		ns
	$t_{h(TCK-TMS)}$	最小输入保持时间，从 TCK 高电平到 TMS 有效	2		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。
- 相对于 TCK 上升沿的最小 TDO 建立时间为 4.6 ns
- 相对于 TCK 下降沿，TDI 和 TMS 输出延迟范围为 -16.5 ns 至 14.0 ns

(2) P = TCK 周期时间（以 ns 为单位）

6.10.6.2.1.2 JTAG 开关特性

请参阅图 6-117

编号	参数		最小值	最大值	单位
J6	$t_{d(TCKL-TDOI)}$	最小延迟时间，TCK 低电平到 TDO 无效	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大延迟时间，TCK 低电平到 TDO 有效		12	ns

1. JTAG 信号拆分到器件上的两个 IO 电源域中。仅当两个 IO 电源域在相同的电压下运行时，此表中定义的时序参数才适用。在不同的电压下运行两个 IO 电源域时，这些时序参数的值未定义，因为当一些器件 IO 缓冲器在 1.8V 电压下运行，而另一些在 3.3V 电压下运行时，通过这些 IO 缓冲器的传播延迟会有所不同。这实际上

降低了超出此表中所定义的值的时序裕度。当两个 IO 电源域在不同电压下运行时，JTAG 接口仍应该能正常工作，但前提是系统设计人员实施了适当的电平转换器，并降低了工作频率以适应在不同电压下运行的电平转换器和 IO 缓冲器插入的额外延迟。

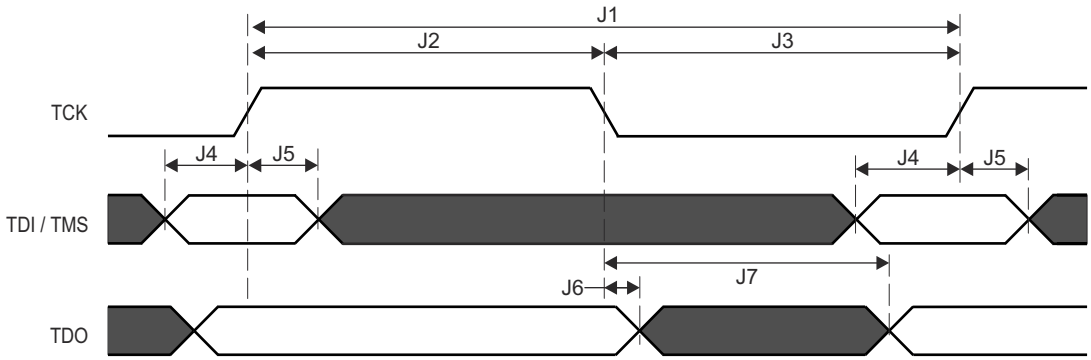


图 6-117. JTAG 时序要求和开关特性

Copyright © 2025 Texas Instruments Incorporated

7 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 器件连接和布局基本准则

7.1.1 电源去耦和大容量电容

7.1.1.1 配电网络实施指南

使用 TPS6594133A-Q1 PMIC 和双通道 HCPS 转换器为 Jacinto™ J7 SoC 系列器件供电并隔离电源组用户指南为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI *仅* 支持遵循此应用报告中所包含的电路板设计指南的设计。

7.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅时钟规格。

7.1.3 JTAG 和 EMU

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。XDS 目标连接指南中提供了有关此信息的摘要。

更多有关 EMU 布线的建议，请参阅仿真和跟踪接头技术参考手册。

7.1.4 复位

该器件包括四个外部复位引脚（MCU_PORz、MCU_RESETz、PORz 和 RESET_REQz）和两个复位状态引脚（MCU_RESETSTATz 和 RESETSTATz）。这些引脚可由外部电源正常电路或电源管理 IC (PMIC) 驱动。在整个上电阶段，MCU_PORz 和 Main PORz 引脚应保持低电平有效，直到所有电源以及 HFOSC0 时钟达到稳定状态。

所有 MCU 域复位充当整个器件的主复位，而 Main 域复位仅复位 Main 域（MCU 域的复位与所有 Main 域复位隔离）。

7.1.5 未使用的引脚

有关未使用的引脚的更多信息，请参阅引脚连接要求。

7.1.6 Jacinto™ 7 器件硬件设计指南

“Jacinto™ 7 器件硬件设计指南”文档说明了 Jacinto™ 7 系列处理器的硬件系统设计注意事项。此设计指南旨在为应用硬件开发提供帮助。

7.2 外设和接口的相关设计信息

7.2.1 LPDDR4 电路板设计和布局布线指南

Jacinto 7 DDR 电路板设计和布局布线指南 旨在为所有设计人员简化 LPDDR4 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

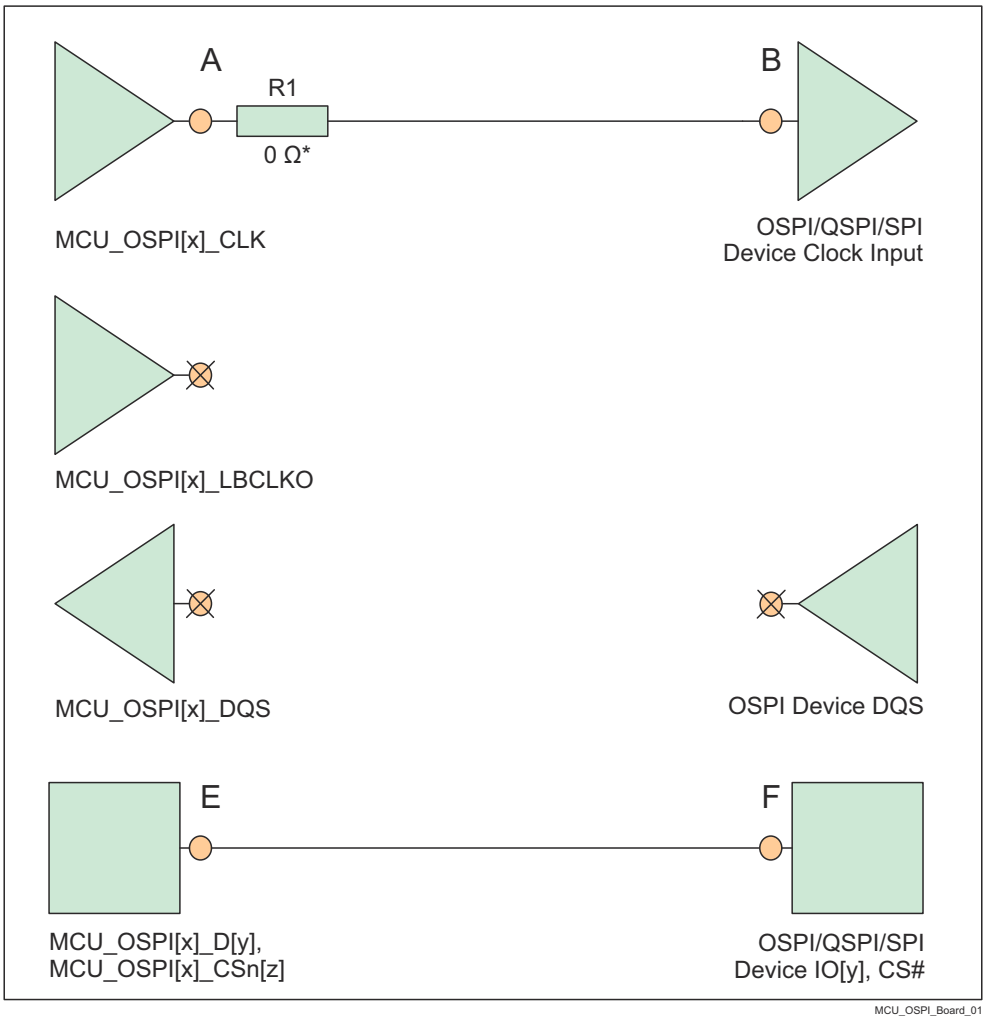
7.2.2 OSPI 和 QSPI 电路板设计和布局指南

以下各节详细介绍了在进行 OSPI 和 QSPI 接口布线时必须遵守的布线指南。

7.2.2.1 无环回和内部焊盘环回

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- 从 MCU_OSPI[x]_CLK 信号到闪存器件的信号传播延迟必须 < 450ps（带状线约为 7cm，微带线约为 8cm）

- 建议将 50Ω PCB 布线与串联端接一起使用，如图 7-1 所示
- 传播延迟和匹配：
  - A 到 B < 450ps
  - 匹配偏斜：< 60ps



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 7-1. OSPI 接口概要原理图

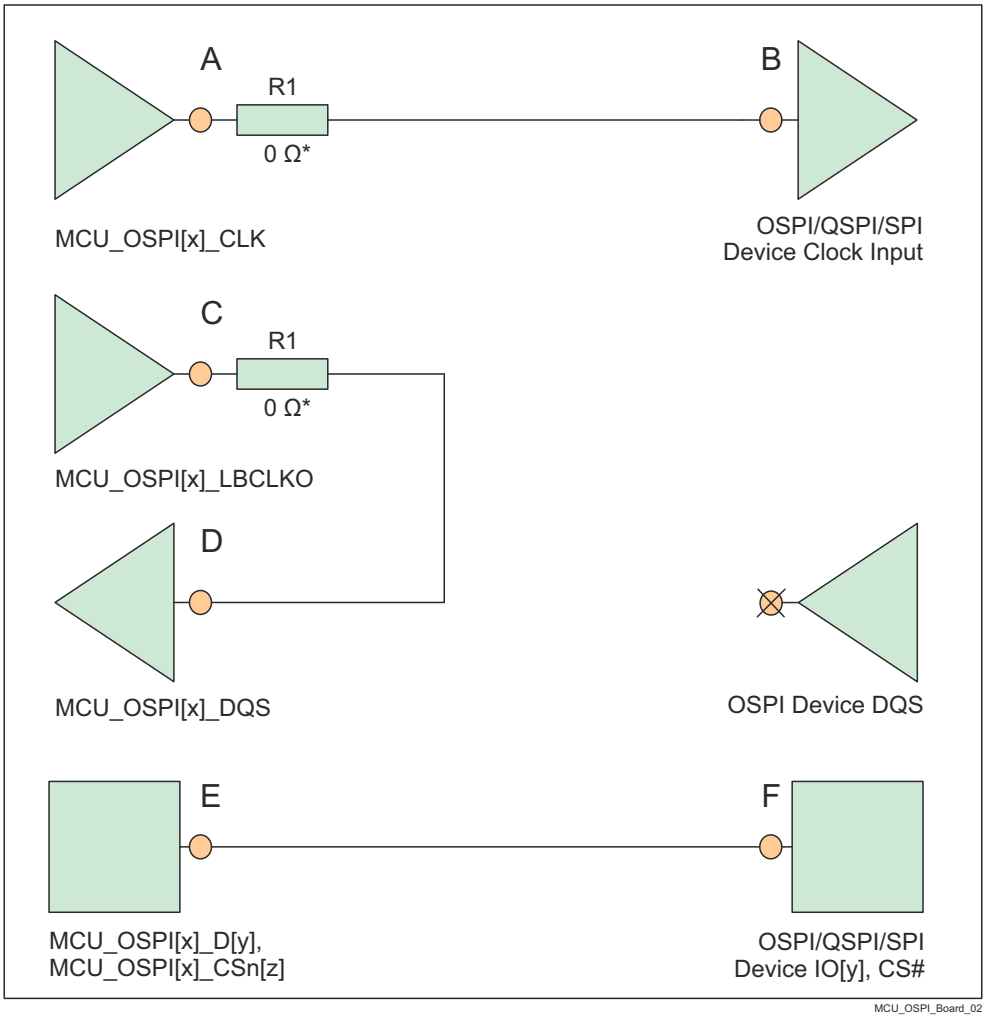
7.2.2.2 外部电路板环回

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- MCU_OSPI[x]_LBCLKO 输出信号必须环回到 MCU_OSPI[x]_DQS 输入
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟应约等于从 MCU_OPSI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚的信号传播延迟的一半，即（C 到 D）/2。请参阅以下注意事项
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟必须约等于闪存器件和 SoC 器件（E 到 F 或 F 到 E）之间控制和数据信号的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 7-2 所示
- 传播延迟和匹配：
  - A 到 B = E 到 F =（C 到 D）/2
  - 匹配偏移：< 60ps

Copyright © 2025 Texas Instruments Incorporated

备注

OSPI 电路板环回保持时间要求（在 OSPI 中进行了介绍）大于典型闪存器件提供的保持时间。因此，可以缩短 MCU_OPSI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚（C 到 D）的长度以进行补偿。

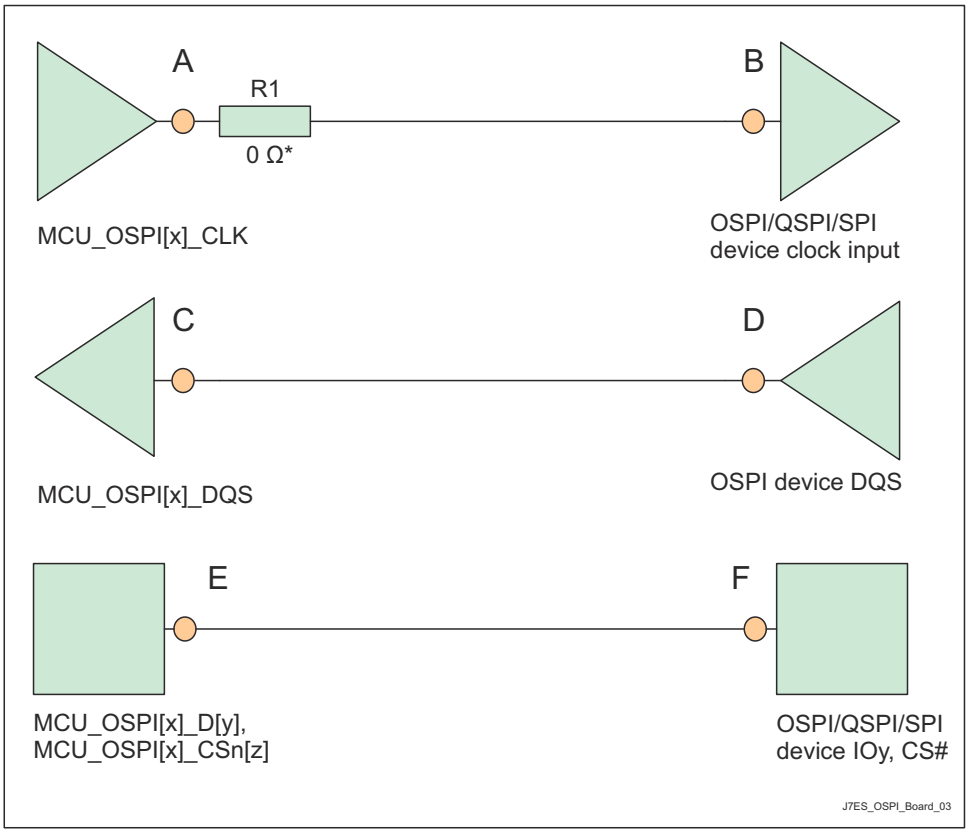


* 尽可能靠近 MCU_OSPI[x]_CLK 和 MCU_OSPI[x]_LBCLKO 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 7-2. OSPI 接口概要原理图

7.2.2.3 DQS（仅适用于八路闪存器件）

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- 闪存器件的 DQS 引脚必须连接到 MCU_OSPI[x]_DQS 信号
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚（A 到 B）的信号传播延迟应约等于从 MCU_OSPI[x]_DQS 引脚到 DQS 输出引脚（C 到 D）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 7-3 所示
- 传播延迟和匹配：
  - A 到 B = C 到 D
  - 匹配偏斜：< 60ps



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

图 7-3. OSPI 接口概要原理图

7.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 7-4 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。(1)

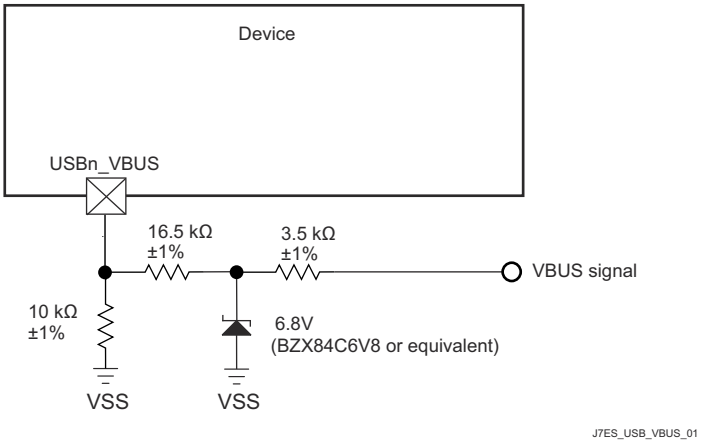


图 7-4. USB VBUS 检测分压器/钳位电路

Copyright © 2025 Texas Instruments Incorporated

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 7-4 中的外部电路会限制实际器件引脚的输入电流。

7.2.4 使用 VMON/POK 的系统电源监测设计指南

VMON1_ER_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源。监测该电源的方法是将该电源供电的外部分压器电路的输出电压与内部电压基准进行比较，当施加到 VMON1_ER_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。在设计电阻分压器电路时，必须了解导致系统电源监测跳闸点可变性的各种因素，这一点很重要。首先要考虑的是 VMON1_ER_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON1_ER_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON1_ER_VSYS 输入漏电流范围可能为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，其输出电压绝不超过建议运行条件 中定义的最大值。

图 7-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，必须在选择电阻值时了解哪些变量会影响最大触发阈值，这一点很重要。显然，在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON1_ER_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入漏电流的影响，但这些因素对最大触发点的影响可能并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON1_ER_VSYS 引脚的输入漏电流为 2.5μA。当实现 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，结果是最大触发阈值为 4.523V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.008V。

该示例演示了一个范围为 4.008V 至 4.523V 的系统电源电压跳闸点。当 VMON1_ER_VSYS 输入漏电流为 2.5μA 时，该范围中约 250mV 是通过 ±3% 的 VMON1_ER_VSYS 输入阈值精度引入的，约 150mV 是通过 ±1% 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100μA 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON1_ER_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还应考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 7-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

图 7-5 给出了一个示例，其中系统电源的标称电压为 5V，所需的触发阈值为 -10% 或 4.5V。

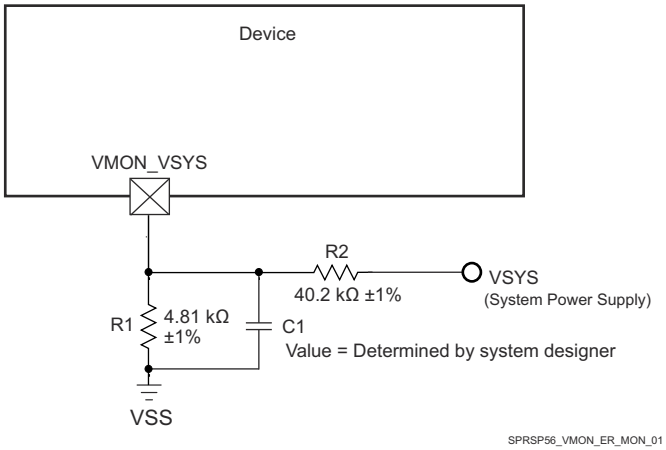


图 7-5. 系统电源监测分压器电路

VMON2_IR_VCPU 引脚提供了一种监测 VDD_CPU 电源的方法。TI 建议在外部将 **VMON2_IR_VCPU** 引脚连接到尽可能靠近电路板上 VDD_CPU 引脚的位置。具有 **VMON6_IR_VEXT0P8** 的 SoC 可以选择监测其他域，例如 VDD_CORE 或 VDD_MCU。同样，这些信号应尽可能靠近电路板上的 VDD_CORE 或 VDD_MCU 引脚。

VMON3_IR_VEXT1P8 和 **VMON4_IR_VEXT1P8** 引脚提供了一种监测外部 1.8V 电源的方法。**VMON5_IR_VEXT3P3** 引脚提供了一种监测外部 3.3V 电源的方法。SoC 内部实施了一个具有软件控制功能的内部电阻分压器。软件可以对这个内部电阻分压器进行编程，以创建适当的欠压和过压中断。这些引脚不应由外部电阻分压器供电。如果监测的电压需要调整，请务必在连接到监测引脚之前缓冲分压电压。

7.2.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

7.2.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用报告中所包含的系统设计指南的设计。

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null（无前缀）（例如，TDA4APE6T5AANDRQ1）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ALF 封装类型的 TDA4VM 器件的可订购器件型号，请参阅本文档的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

8.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

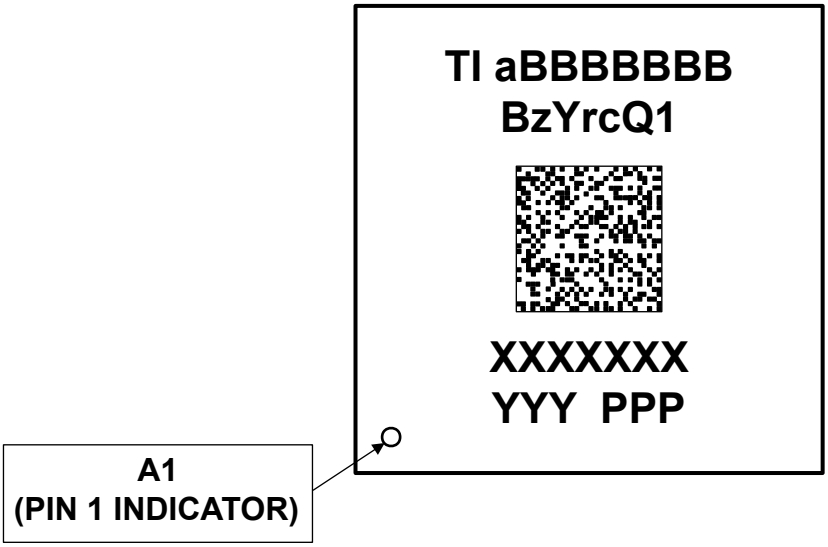


图 **8-1.** 印刷器件参考

Copyright © 2025 Texas Instruments Incorporated

8.1.2 器件命名约定

表 8-1. 命名规则说明

字段 参数	字段 说明	值		说明
		标识	可订购产品	
x	器件演变阶段[(1)]	X		原型
		P		预量产（生产测试流程，无可靠性数据）
		空白		量产
BBBBBBBB[(2)]	基本量产器件型号	J742S2[(2)]		预量产超集器件
		TDA4VPE6		请参阅表 4-1 *器件比较*
		TDA4VPE4		
		TDA4APE6		
		TDA4APE4		
z	器件速度	T		请参阅表 6-1，*速度等级最大频率*。
		其他		其他速度等级
Y	器件类型	G		通用
		C		通用，可实现 R5F 锁步
		0		具有高安全性[(3)]
		5		具有高安全性[(3)]，支持 R5F 锁步
		D		具有高安全性[(3)]，支持 R5F 锁步， 客户开发密钥。仅在预量产器件上提供。
r	器件修订版本	A 或空白		SR 1.0
PPP	封装符号	AND		AND FCBGA (27mm x 27mm) 封装
c	包装符号	不适用	空白	托盘
		不适用	R	卷带包装
Q1	汽车符号	空白		不符合汽车标准。 支持 T_J = –40°C 至 105°C
		Q1		符合 AEC-Q100 认证要求，但本文档（数据表）中指定的情况例外。 支持 T_J = –40°C 至 125°C
	2D 条形码	不确定		可选 2D 条形码，提供其他器件信息
		空白		
XXXXXXX	批次追踪代码	按照标记	不适用	批次追踪代码 (LTC)
YYY	生产代码	按照标记	不适用	生产代码；仅供 TI 使用
O	引脚 1	按照标记	不适用	引脚 1 符号

(1) 为了标明产品开发周期的阶段，TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段，即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明：
“本产品仍在开发中，用于内部评估。”
无论是否有相反规定，TI 均不作任何明示、默示或法定的保证，包括对此器件特定用途的适用性和适销性的任何暗示保证。
(2) J742S2 是预量产超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。
(3) 要获得 HS 器件支持，TI 建议使用 0、5 或 D 类器件。

备注

符号或器件型号中的空白将折叠显示，以防字符间存在间隙。

8.2 工具与软件

以下产品支持面向 TDA4VPE-Q1/TDA4APE-Q1 平台的开发工作：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

引脚多路复用工具 引脚多路复用实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突并指定 TI MPU 的 I/O 电池特性。结果采用 C 头文件/代码文件的形式输出，可导入软件开发套件 (SDK) 或用于配置客户的定制软件。引脚多路复用实用程序版本 4 添加了自动选择可满足输入要求的多路复用器配置的功能。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 销售办事处或授权分销商。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

eMMC™ is a trademark of MultiMediaCard Association.
Jacinto™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
PCI-Express® is a registered trademark of PCI-SIG.
安全数字® is a registered trademark of SD Card Association.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from JUNE 30, 2024 to DECEMBER 13, 2024 (from Revision * (JUNE 2024) to Revision A (DECEMBER 2024)) **Page**

- **通篇**：将文档产品状态从“预告信息”更新/更改为“量产数据”（*“AND”机械型号封装现为“量产数据”*）.....1
- **通篇**：在适用的情况下，为 PMIC_WAKE0 和 PMIC_WAKE1 信号添加了“（低电平有效）”并验证了“O”引脚类型。.....1

Copyright © 2025 Texas Instruments Incorporated

- （特性）：更新了/更改了 CSI2.0 要点并添加了子要点 1
- （器件比较）：为清晰起见，更新/更改了 TDA4xPE 相关脚注 6
- （引脚属性）：在 *引脚属性（AND 封装）* 表中添加了“VPE4 APE4”列信息 13
- （引脚属性）：在“引脚属性表头列表”中添加了“VPE4 APE4”说明 13
- （DDRSS0 信号说明）：删除了内部保留信号 78
- （SERDES0 信号说明）：添加了 TDA4VPE4、TDA4APE4 信号可用性脚注 105
- （CPSW9X0 信号说明）：添加了 TDA4VPE4、TDA4APE4 信号可用性脚注 106
- （USB0 信号说明）：添加了 TDA4VPE4、TDA4APE4 信号可用性脚注 110
- （系统信号说明）：向 PMIC_WAKE0 和 PMIC_WAKE1 引脚添加了“（低电平有效）”说明 112
- （速度等级最大频率）：更新/更改了该表中 T 器件速度的“VENCDEC”列值 127
- （CSI2/DSI D-PHY 电气特性）：删除该表并添加了合规性规格注释 130
- （SERDES 电气特性）：添加了 USXGMII 注释以表明符合 IEEE 802.3 第 72-7 条和附录 69B 133
- （建议的 OTP 电子保险丝编程操作条件）：添加了 $SR_{(VPP)}$ VPP 上电压摆率参数以阐明与此参数相关的限值仅适用于上电期间 134
- （WKUP_OSC0 内部振荡器时钟源）：更新/更改了 *WKUP_OSC0 晶体电气特性* 表中的 C_{shunt} 晶体电路并联电容内容 159
- （WKUP_OSC0 内部振荡器时钟源）：添加了脚注以定义基于 C_{shunt} 晶体电路并联电容参数选择结果的最大 ESR_{xtal} 晶体有效串联电阻值 159
- （WKUP_OSC0 开关特性 - 晶体模式 [表]）：将 XI、XO 和 XI 更新/更改为 XO 电容最大值 159
- （辅助 OSC1 内部振荡器时钟源）：更新/更改了 *OSC1 晶体电气特性* 表中的 C_{shunt} 晶体电路并联电容内容 163
- （OSC1 开关特性 - 晶体模式 [表]）：将 XI、XO 和 XI 更新/更改为 XO 电容最大值表中的值 163
- (GPIO)：更新/更改了仅包含 TRM 和信号说明参考的导入内容 183
- (GPIO)：将 *GPIO 时序条件* 表中的 SR_I 输入压摆率 I2C OD FS 最大值从 0.8V/ns 更新/更改为 0.08V/ns 183
- （I2C 时序）：将 I2C 信号上升和下降时间要点的压摆率拼写错误从 0.8V/ns 更新/更改为 0.08V/ns（*相当于所述的 8E+7 值*）..... 209
- （MCSPI 时序要求 - 控制器模式）：将 SM1 $t_{c(spiclk)}$ 周期时间 (SPI_CLK) 最小值从 20.8ns 更新/更改为 20ns 217
- （MCSPI 开关特性 - 外设模式）：将 SS1 $t_{c(spiclk)}$ 周期时间 (SPI_CLK) 最小值从 20.8ns 更新/更改为 20ns 219
- （MMC0 时序要求 - HS400 模式）：添加了新表和关联的时序图像 227
- （MMC0 开关特性 - HS400 模式）：将延迟时间参数 HS4008 和 HS4009 替换为输出建立和输出保持参数 HS4008、HS4009、HS40010 和 HS40011 227
- （eMMC 接口 - HS400 模式 - 发送器模式）：更新了时序图以匹配与参数 HS4008、HS4009、HS40010 和 HS40011 相关的新定义 227
- （OSPI 时序条件）：向表中添加了输入压摆率对应的“1.8V，具有 DQS 的 PHY 数据训练 DDR”行 238
- （OSPI 时序条件）：更新了“3.3V”和“所有其他模式”模式说明 238
- （具有 PHY 数据训练的 OSPI0/1）：新增了新的部分 240
- （OSPI 开关特性 - PHY SDR 模式）：更正了与时序参数 O10 和 O11 相关的公式 244
- （OSPI 开关特性 - PHY DDR 模式）：更正了与时序参数 O4 和 O5 相关的公式 245
- （OSPI0/1 时序要求 - Tap SDR 模式）：更新/更改了与 O19 和 O20 参数中的建立时间和保持时间最小值公式相关的常数值 247
- （OSPI0/1 时序要求 - Tap SDR 模式）：将 R= 脚注“refclk”更新/更改为“基准时钟”以匹配技术参考手册 (TRM) 中使用的时钟名称 247
- （OSPI0/1 时序要求 - Tap DDR 模式）：更新/更改了与 O13 和 O14 参数中的建立时间和保持时间最小值公式相关的常数值 249
- （OSPI0/1 时序要求 - Tap DDR 模式）：将 R= 脚注“refclk”更新/更改为“基准时钟”以匹配技术参考手册 (TRM) 中使用的时钟名称 249
- （OSPI0/1 开关特性 - Tap DDR 模式）：更新/更改了 O6 参数中的数据输出延迟最小值和最大值公式 249
- （USB VBUS 设计指南）：更新/更改了“USB VBUS 检测分压器/钳位电路”图 260

- （使用 VMON/POK 的系统电源监测设计指南）：更新/更改了“VMON2_IR_VCPU 引脚 …”段落.....261
- （器件命名规则）：将器件示例更新/更改为真正的 OPN.....263
- （标准封装编号法）：更新了图像以包含新的标识.....264
- （器件命名约定）：更新/更改了“命名规则说明”表以包含新的标识，例如添加了 2D 读取器、其他基本器件型号等.....265

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

10.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDA4APE4T5AANDRQ1	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	-	TI TDA4APE 4T5A Q1
TDA4APE4T5AANDRQ1.B	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	See TDA4APE4T5AANDRQ1	TI TDA4APE 4T5A Q1
TDA4APE6T5AANDRQ1	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	-40 to 125	TI TDA4APE 6T5A Q1
TDA4APE6T5AANDRQ1.B	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	See TDA4APE6T5AANDRQ1	TI TDA4APE 6T5A Q1
TDA4VPE4T5AANDRQ1	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	-40 to 125	TI TDA4VPE 4T5A Q1
TDA4VPE4T5AANDRQ1.B	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	See TDA4VPE4T5AANDRQ1	TI TDA4VPE 4T5A Q1
TDA4VPE6T5AANDRQ1	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	-40 to 125	TI TDA4VPE 6T5A Q1
TDA4VPE6T5AANDRQ1.B	Active	Production	FCBGA (AND) | 1063	250 | LARGE T&R	-	Call TI	Call TI	See TDA4VPE6T5AANDRQ1	TI TDA4VPE 6T5A Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

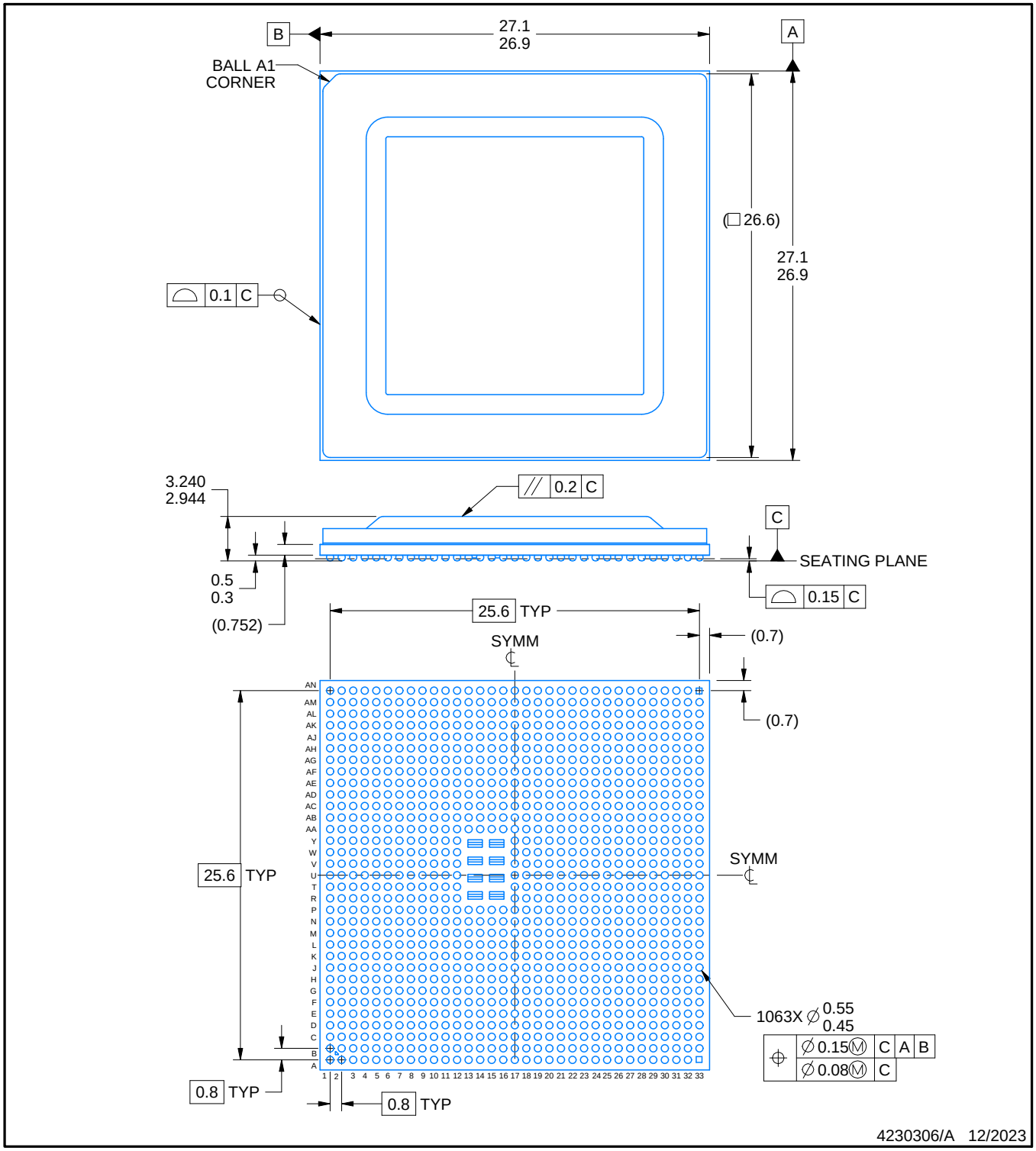
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

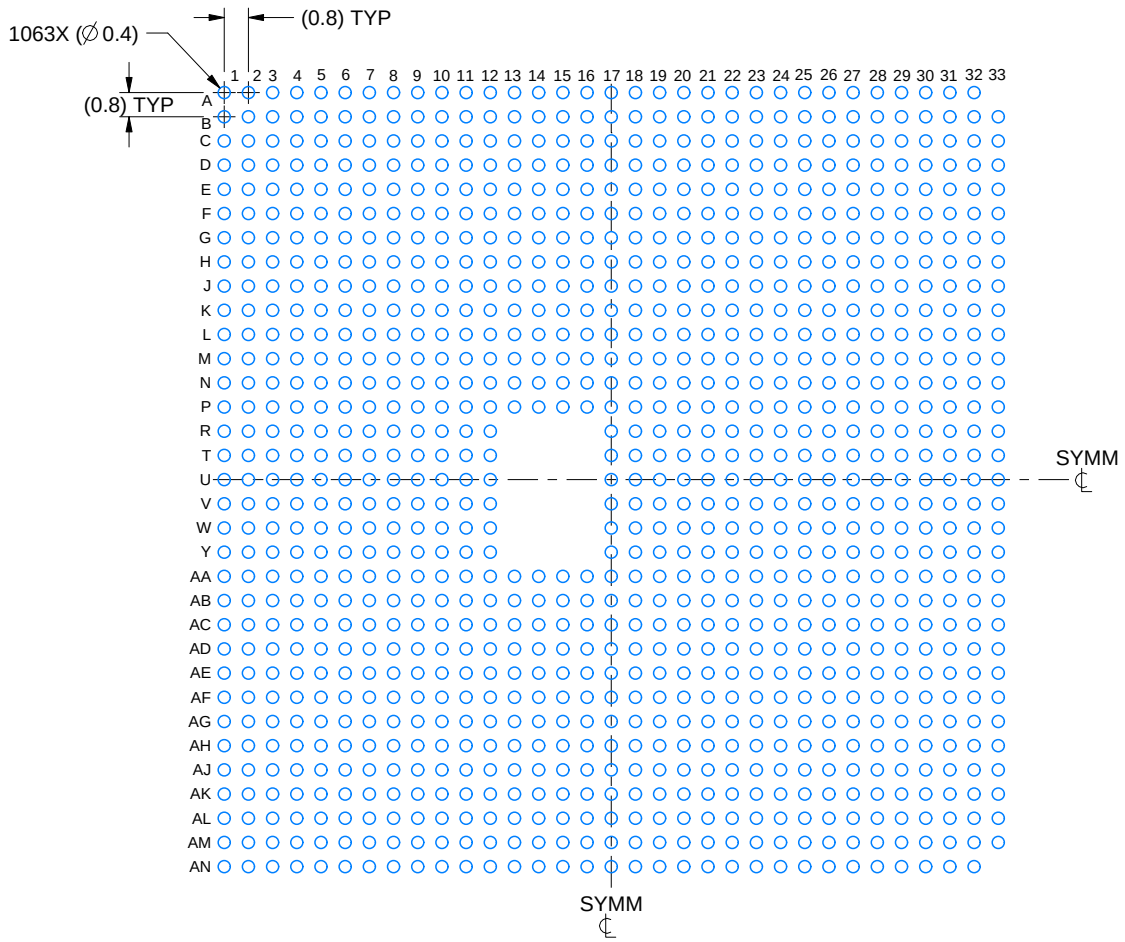
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

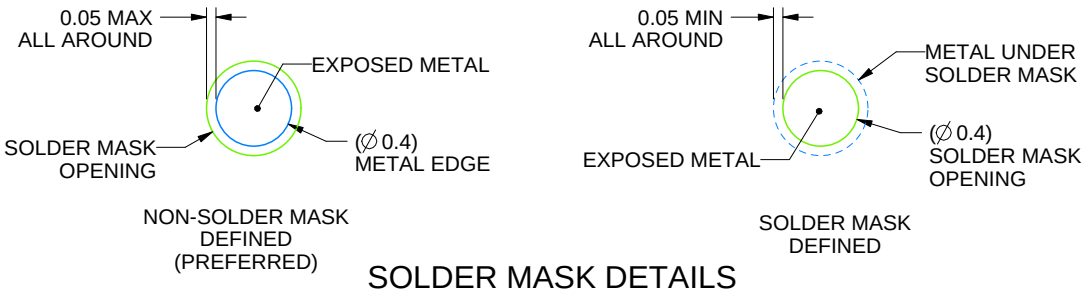


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 4X

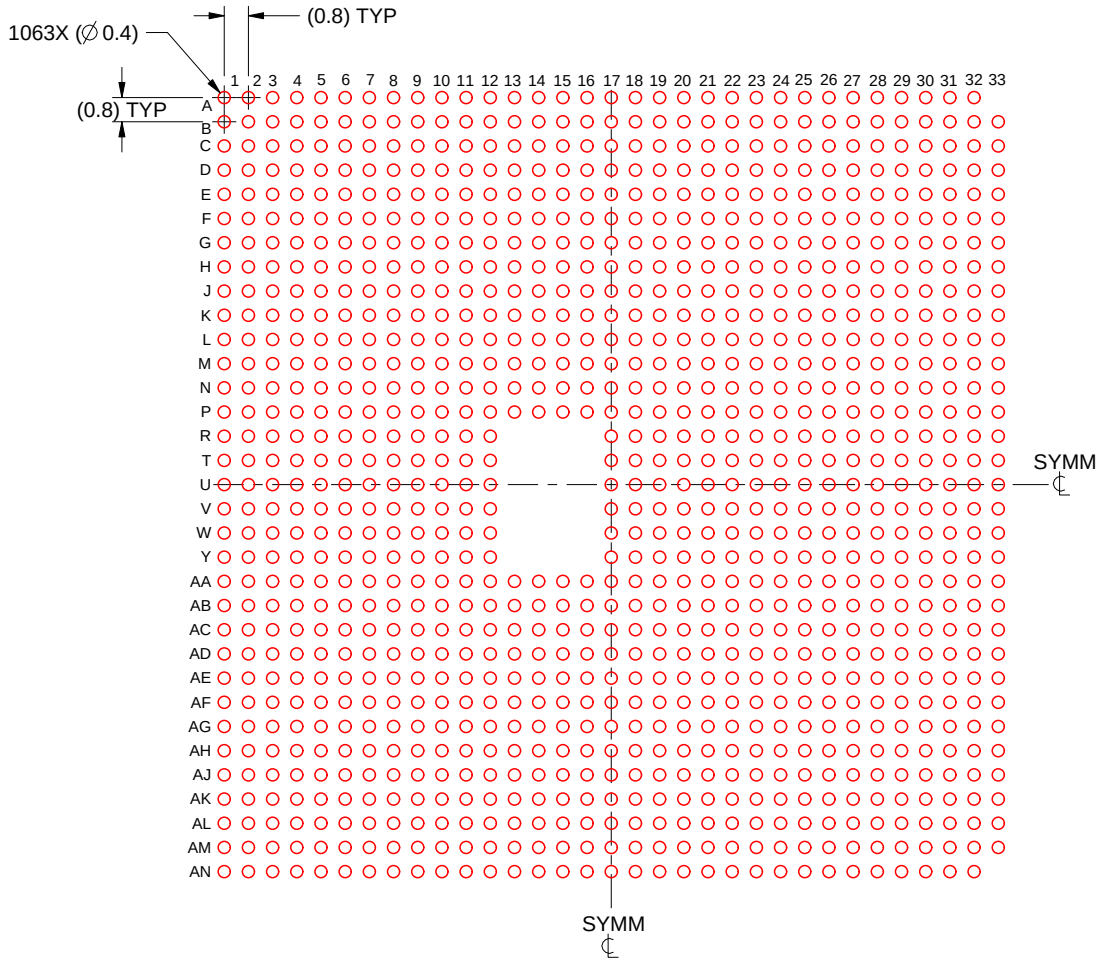


SOLDER MASK DETAILS
NOT TO SCALE

4230306/A 12/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 4X

4230306/A 12/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司