

TCAN1162-Q1 具有睡眠模式的汽车自供电 CAN FD 收发器

1 特性

- 符合面向汽车应用的 AEC Q100 (1 级) 标准
- 符合 ISO 11898-2:2016 的要求
- **功能安全型**
 - 可提供用于功能安全系统设计的文档
- 宽工作输入电压范围
- 为 CAN 收发器供电的集成 LDO
- 支持传统 CAN 和 CAN FD (高达 8Mbps)
- V_{IO} 电平转换支持 : 1.7V 至 5.5V
- 工作模式
 - 正常模式
 - 待机模式
 - 低功耗睡眠模式
- 高压 INH 输出, 用于系统电源控制
- 支持通过 WAKE 引脚实现本地唤醒
- 定义了未上电时的行为
 - 总线和 IO 终端为高阻抗 (运行总线或应用上无负载)
- 保护特性 :
 - $\pm 58V$ CAN 总线容错
 - V_{SUP} 上支持负载突降
 - IEC ESD 保护
 - 欠压和过压保护
 - 热关断保护
 - TXD 显性状态超时 (TXD DTO)
- 支持超宽结温范围
- 采用无引线 VSON (14) 封装, 具有可湿性侧面, 提高了自动光学检测 (AOI) 能力

2 应用

- 高级驾驶辅助系统 (ADAS)
- 车身电子装置和照明
- 汽车信息娱乐系统和仪表组
- 混合动力、电动和动力总成系统

3 说明

TCAN1162-Q1 是一款高速控制器局域网 (CAN) 收发器, 符合 ISO 11898-2:2016 高速 CAN 规范对物理层的要求。TCAN1162-Q1 支持传统 CAN 和 CAN FD 网络, 数据速率高达 8 兆位/秒 (Mbps)。

TCAN1162-Q1 集成了一个具有宽输入工作电压范围的 5V LDO, 可为 CAN 收发器提供电压, 从而无需由外部电压源提供 5V 电压。

TCAN1162-Q1 可通过 INH 输出引脚选择性地启用系统上可能存在的各种电源, 从而减少整个系统级别的电池电流消耗。这使得在超低电流睡眠模式中, 功率传送到除 TCAN1162-Q1 以外的所有系统元件, 同时对 CAN 总线进行监控。检测到唤醒事件时, TCAN1162-Q1 通过将 INH 驱动至高电平来启动系统。

TCAN1162-Q1 支持超低功耗待机模式; 在该模式下, 高速发送器和普通接收器均关闭, 而低功耗唤醒接收器会通过 ISO 11898-2:2016 定义的唤醒模式 (WUP) 来实现远程唤醒。

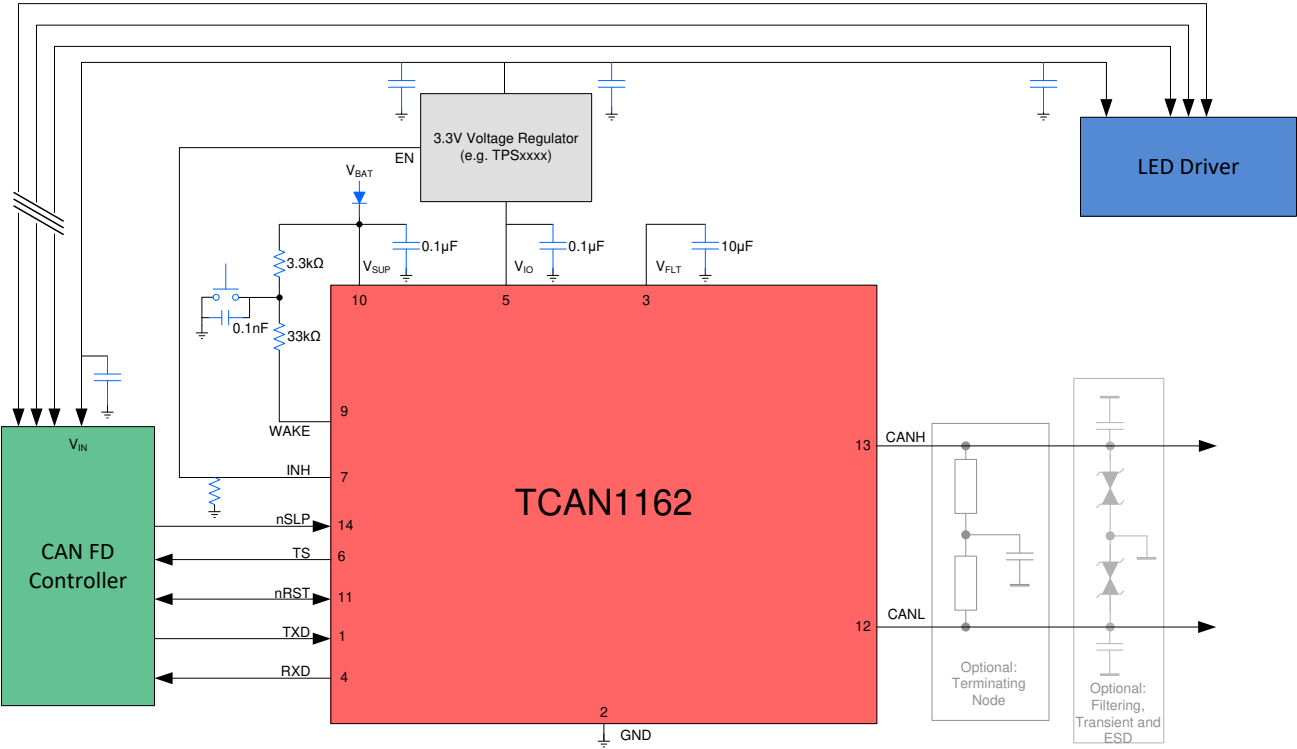
TCAN1162-Q1 包括通过 V_{IO} 端子实现的内部逻辑电平转换功能, 允许直接连接到 1.8V、2.5V、3.3V 或 5V 控制器。该收发器包括许多保护和诊断功能, 如欠压检测、过压检测、热关断 (TSD)、驱动器显性超时 (TXD DTO) 和高达 $\pm 58V$ 的总线故障保护。



封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TCAN1162-Q1	VSON (14)	4.5mm x 3mm

- (1) 有关所有可用封装，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

内容

1 特性	1	7.2 功能方框图	15
2 应用	1	7.3 特性说明	16
3 说明	1	7.4 器件功能模式	19
4 引脚配置和功能	4	8 应用信息	29
5 规格	5	8.1 应用信息免责声明	29
5.1 绝对最大额定值.....	5	8.2 典型应用	29
5.2 ESD 等级.....	5	8.3 应用曲线	31
5.3 ESD 等级 IEC 规格.....	5	8.4 电源要求	32
5.4 建议工作条件.....	6	8.5 布局	32
5.5 热性能信息.....	6	9 器件和文档支持	33
5.6 电源特性.....	6	9.1 接收文档更新通知	33
5.7 电气特性.....	7	9.2 支持资源	33
5.8 开关特性.....	9	9.3 商标	33
5.9 典型特性.....	11	9.4 静电放电警告	33
6 参数测量信息	12	9.5 术语表	33
7 详细说明	15	10 修订历史记录	33
7.1 概述.....	15	11 机械、封装和可订购信息	33

4 引脚配置和功能

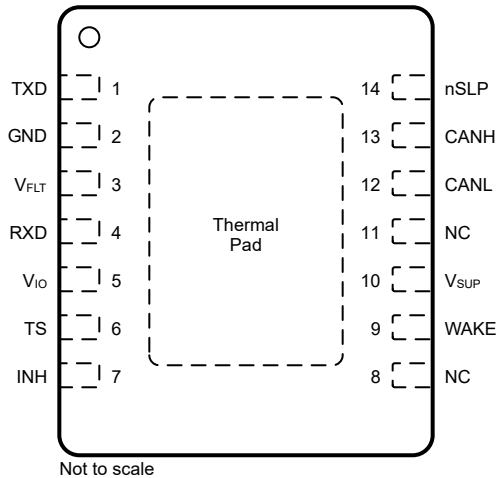


图 4-1. DMT 封装，14 引脚 (VSON)，顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
TXD	1	数字	CAN 发送数据输入，集成上拉电阻
GND	2	GND	接地连接
V_FLT	3	电源	收发器电源电压
RXD	4	数字输出	CAN 接收数据输出，当 $V_{IO} < UV_{VIO}$ 时为三态
V_IO	5	电源	IO 电源电压
TS	6	数字	收发器状态
INH	7	高压	抑制引脚，用于控制系统稳压器和电源，高压
NC	8	NC	内部连接，保持悬空或连接到 GND
WAKE	9	高压	本地 WAKE 输入终端，高压
V_SUP	10	电源	来自电池的高压电源
NC	11	NC	内部连接，保持悬空或连接到 GND
CANL	12	总线 IO	低电平 CAN 总线输入/输出线路
CANH	13	总线 IO	高电平 CAN 总线输入/输出线路
nSLP	14	数字	睡眠模式控制输入，集成下拉电阻
散热焊盘	—	—	电气连接至 GND，将散热焊盘连接至印刷电路板 (PCB) 接地平面以实现散热

5 规格

5.1 绝对最大额定值

在虚拟工作结温范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{SUP}	电源电压范围	-0.3	42	V
V_{FLT}	收发器电源电压	-0.3	6	V
V_{IO}	IO 电平转换电压范围	-0.3	6	V
V_{BUS}	CAN 总线 IO 电压范围 (CANH , CANL)	-58	58	V
V_{WAKE}	WAKE 输入引脚电压范围	-18	42 且 $V_I \leq V_{SUP} + 0.3$	V
V_{INH}	INH 输出引脚电压范围	-0.3	42 且 $V_O \leq V_{SUP} + 0.3$	V
$V_{(Logic_Input)}$	逻辑输入端子电压范围	-0.3	6	V
$V_{(Logic_Output)}$	逻辑输出端子电压范围	-0.3	6	V
$I_{O(Logic)}$	逻辑输出电流		8	mA
$I_{O(INH)}$	INH 输出电流		6	mA
$I_{O(WAKE)}$	如果由于接地漂移 $V_{(WAKE)} \leq V_{(GND)} - 0.3\text{ V}$ ，则为唤醒电流，因此必须通过外部串联电阻器限制流入 WAKE 的电流		3	mA
T_J	工作等效结温范围	-40	150	°C
T_{STG}	贮存温度	-65	165	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	所有引脚的 HBM 分类等级为 3A	±4000	V
		人体放电模型 (HBM)，符合 AEC Q100-002 标准 ⁽¹⁾	±8000	
		全局引脚 CANH 和 CANL 的 HBM 分类等级为 3B	±10000	
		充电器件模型 (CDM)，符合 AEC Q100-011 标准 所有引脚的 CDM 分类等级为 C5	±750	

- (1) AEC-Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 ESD 等级 IEC 规格

			值	单位
V_{ESD}	系统级静电放电 (ESD) ⁽¹⁾	CAN 总线端子 (CANH 和 CANL) 至 GND	IEC 61000-4-2 (150pF , 330 Ω)	±8000
		V_{SUP} 和 WAKE	未供电接触放电	
V_{TRAN}	ISO 7637 ISO 脉冲瞬态 ⁽²⁾	CAN 总线端子 (CANH 和 CANL) 至 GND、 V_{SUP} 和 WAKE	脉冲 1	-100
			脉冲 2	75
			脉冲 3a	-150
			Pulse 3b	100
	ISO 7637-3 瞬态 ⁽³⁾		DCC 慢速瞬态脉冲	±30

- (1) 根据 IEC 62228-3 CAN 收发器第 6.4 节进行了测试；DIN EN 61000-4-2
 (2) 根据 IEC 62228-3 CAN 收发器第 6.3 节进行了测试；采用 ISO 7637-2 中定义的标准脉冲参数
 (3) 根据 ISO 7637-3 进行了测试；通过电容耦合和电感耦合经由非电源线线路的瞬间电传输

5.4 建议工作条件

		最小值	标称值	最大值	单位
V_{SUP}	电源电压范围	5.5		28	V
V_{IO}	IO 电源电压	1.7		5.5	V
$I_{OH}(DO)$	数字输出端子高电平输出电流	-2			mA
$I_{OL}(DO)$	数字输出端子低电平输出电流			2	mA
$I_{O}(INH)$	INH 输出电流			1	mA
C_{VSUP}	V_{SUP} 引脚电容		0.1		μF
C_{FLT}	滤波器引脚电容	10			μF
T_{SDR}	热关断上升	175	180		$^{\circ}C$
T_{SDF}	热关断下降		165	170	$^{\circ}C$
T_{HYS}	热关断迟滞		15		$^{\circ}C$

5.5 热性能信息

热指标 ⁽¹⁾		DMT (VSON)	单位
		14 引脚	
$R_{\theta JA}$	结至环境热阻	37.7	$^{\circ}C/W$
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	37.9	$^{\circ}C/W$
$R_{\theta JB}$	结至电路板热阻	14.2	$^{\circ}C/W$
Ψ_{JT}	结至顶部特征参数	0.7	$^{\circ}C/W$
Ψ_{JB}	结至电路板特征参数	14.2	$^{\circ}C/W$
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	4.9	$^{\circ}C/W$

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.6 电源特性

在建议工作条件下， $T_J = -40^{\circ}C$ 至 $150^{\circ}C$ (除非另有说明)。所有典型值均在 $25^{\circ}C$ 、 $V_{SUP} = 12V$ 、 $V_{IO} = 3.3V$ 且 $R_L = 60 \Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
电源电压和电流						
I_{SUP}	电源电流 总线偏置激活：仅限	$TXD = 0V$ ， $R_L = 60\Omega$ ， $C_L =$ 开路 请参阅图 6-2			60	mA
		$TXD = 0V$ ， $R_L = 50\Omega$ ， $C_L =$ 开路 请参阅图 6-2			70	mA
	电源电流 总线偏置激活：仅限	$TXD = V_{IO}$ ， $R_L = 50\Omega$ ， $C_L =$ 开路 请参阅图 6-2			3	mA
$I_{SUP}(STB)$	电源电流 待机模式 总线偏置自主：非活动	$5.5V < V_{SUP} \leq 19V$ 请参阅图 6-2			150	μA
$I_{SUP}(SLP)$	电源电流 睡眠模式 总线偏置自主：非活动	$nSLP = 0V$ ， $5.5V < V_{SUP} \leq 19V$ $T_A > 85^{\circ}C$ 请参阅图 6-2			50	μA
$I_{SUP}(SLP)$	电源电流 睡眠模式 总线偏置自主：非活动	$nSLP = 0V$ ， $5.5V < V_{SUP} \leq 19V$ $T_A \leq 85^{\circ}C$ 请参阅图 6-2			40	μA
$I_{SUP}(BIAS)$	电源电流 总线偏置自主：活动 ⁽¹⁾	$5.5V < V_{SUP} \leq 28V$ 请参阅图 6-2			60	μA
UV_{SUPR}	欠压 V_{SUP} 阈值上升	斜升	4.05		4.42	V
UV_{SUPF}	欠压 V_{SUP} 阈值下降	斜降	3.9		4.25	V
I_{IO}	IO 电源电流， 正常模式	RXD 悬空， $TXD = 0V$			150	μA

5.6 电源特性 (续)

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另有说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\ \Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
I_{IO}	IO 电源电流 正常或待机	RXD 悬空, $\text{TXD} = V_{\text{IO}}$			12	μA
I_{IO}	IO 电源电流 睡眠模式 ($T_J \leq 125^{\circ}\text{C}$)	nSLP = 0V			10	μA
UV_{IOR}	欠压 V_{IO} 阈值上升	斜升		1.4	1.65	V
UV_{IOF}	欠压 V_{IO} 阈值下降	斜降	1	1.25		V
$V_{\text{HYS}}(UV_{\text{IO}})$	UV_{IO} 上的迟滞电压		40	80	160	mV
V_{FLT} 特性						
V_{FLT}	CAN 稳压器滤波器引脚	$V_{\text{SUP}} = 5.5$ 至 28 V	4.9		5.1	V
UV_{FLTR}	欠压 V_{FLT} 阈值上升	斜升		4.6	4.75	V
UV_{FLTF}	欠压 V_{FLT} 阈值下降	斜降	4.2	4.45		V
OV_{FLTR}	过压 V_{FLT} 阈值上升	斜升		5.7	6.15	V
OV_{FLTF}	过压 V_{FLT} 阈值下降	斜降	5.47	5.65		V

(1) 有效唤醒后, 总 I_{SUP} 电流是 $I_{\text{SUP}}(\text{STB})$ 与 $I_{\text{SUP}}(\text{BIAS})$ 之和 ($I_{\text{SUP}} = I_{\text{SUP}}(\text{STB}) + I_{\text{SUP}}(\text{BIAS})$)

5.7 电气特性

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另外说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\ \Omega$ 条件下获得

参数			测试条件	最小值	典型值	最大值	单位
CAN 驱动器电气特性							
$V_{\text{O(D)}}$	显性输出电压 总线偏置激活	CANH	TXD = 0V, $50 \leq R_L \leq 65\ \Omega$, $C_L = \text{开路}$, R_{CM} = 开路 请参阅图 6-2	2.75		4.5	V
	显性输出电压 总线偏置激活	CANL		0.5		2.25	V
$V_{\text{O(R)}}$	隐性输出电压 总线偏置激活		TXD = V_{IO} 、 $R_L = \text{开路}$ (无负载)、 $R_{\text{CM}} = \text{开路}$ 请参阅图 6-2	2		3	V
V_{SYM}	驱动器对称性 总线偏置激活 ($V_{\text{O(CANH)}} + V_{\text{O(CANL)}}) / V_{\text{FLT}}$		nSLP = V_{IO} , $R_L = 60\ \Omega$, $C_{\text{SPLIT}} = 4.7\text{nF}$, $C_L = \text{开路}$, $R_{\text{CM}} = \text{开路}$, TXD = 250kHz、1MHz、 2.5MHz 请参阅图 6-2	0.9		1.1	V/V
$V_{\text{SYM_DC}}$	直流驱动器对称性 总线偏置激活 $V_{\text{FLT}} - V_{\text{O(CANH)}} - V_{\text{O(CANL)}}$		nSLP = V_{IO} , $R_L = 60\ \Omega$, $C_L = \text{开路}$ 请参阅图 6-2	-400		400	mV
$V_{\text{OD(DOM)}}$	差分输出电压 总线偏置激活 显性	CANH - CANL	nSLP = V_{IO} , TXD = 0V, $50\ \Omega \leq R_L \leq 65\ \Omega$, $C_L = \text{开路}$ 请参阅图 6-2	1.5		3	V
	差分输出电压 总线偏置激活 显性	CANH - CANL	nSLP = V_{IO} , TXD = 0V, $45\ \Omega \leq R_L \leq 70\ \Omega$, $C_L = \text{开路}$ 请参阅图 6-2	1.4		3.3	V
	差分输出电压 总线偏置激活 显性	CANH - CANL	nSLP = V_{IO} , TXD = 0V, $R_L = 2240\ \Omega$, $C_L = \text{开路}$ 请参阅图 6-2	1.5		5	V
$V_{\text{OD(REC)}}$	差分输出电压 总线偏置激活 总线偏置未激活 隐性	CANH - CANL	nSLP = V_{IO} , TXD = V_{IO} , $R_L = \text{开路}$, $C_L = \text{开路}$ 请参阅图 6-2	-50		50	mV

5.7 电气特性 (续)

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另外说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
$V_{\text{O(INACT)}}$	引用输出电压 总线偏置未激活	CANH $n\text{SLP} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$ $R_L = \text{开路 (无负载)}$, $C_L = \text{开路}$ 请参阅图 6-2	-0.1		0.1	V
		CANL $n\text{SLP} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$ $R_L = \text{开路 (无负载)}$, $C_L = \text{开路}$ 请参阅图 6-2	-0.1		0.1	V
$V_{\text{OD(STB)}}$	差分输出电压 总线偏置未激活	CANH - CANL $n\text{SLP} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$ $R_L = \text{开路 (无负载)}$, $C_L = \text{开路}$ 请参阅图 6-2	-0.2		0.2	V
$I_{\text{OS(DOM)}}$	短路稳态输出电流 总线偏置激活 显性	$n\text{SLP} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$ $-15\text{V} \leq V_{(\text{CANH})} \leq 40\text{V}$ 请参阅图 6-2 和图 6-6	-75			mA
	短路稳态输出电流 总线偏置激活 显性	$n\text{SLP} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$ $-15\text{V} \leq V_{(\text{CANL})} \leq 40\text{V}$ 请参阅图 6-2 和图 6-6			75	mA
$I_{\text{OS(REC)}}$	短路稳态输出电流 总线偏置激活 隐性	$n\text{SLP} = V_{\text{IO}}$, $V_{\text{BUS}} = \text{CANH} = \text{CANL}$ $-27\text{V} \leq V_{\text{BUS}} \leq 42\text{V}$ 请参阅图 6-2 和图 6-6	-3		3	mA
CAN 接收器电气特性						
$V_{\text{IT(DOM)}}$	接收器显性状态输入电压范围 总线偏置激活	$n\text{SLP} = V_{\text{IO}}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$ 请参阅图 6-3 和表 7-4	0.9		8	V
$V_{\text{IT(REC)}}$	接收器隐性状态输入电压范围 总线偏置激活		-3		0.5	V
V_{HYS}	输入的迟滞电压阈值 总线偏置激活	$n\text{SLP} = V_{\text{IO}}$ 请参阅图 6-3 和表 7-4	80	140		mV
$V_{\text{DIFF(MAX)}}$	V_{DIFF} 最大额定值		-5		10	V
$V_{\text{DIFF(DOM)}}$	接收器显性状态输入电压范围 总线偏置未激活	$n\text{SLP} = 0\text{V}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$ 请参阅图 6-3 和表 7-4	1.150		8	V
$V_{\text{DIFF(REC)}}$	接收器隐性状态输入电压范围 总线偏置未激活		-3		0.4	V
V_{CM}	共模范围	$n\text{SLP} = V_{\text{IO}}$ 请参阅图 6-3 和表 7-4	-12		12	V
$I_{\text{OFF(LKG)}}$	断电 (未供电) 时的总线输入漏电流	$V_{\text{SUP}} = 0\text{V}$, $\text{CANH} = \text{CANL} = 5\text{V}$			2.5	μA
C_{I}	对地输入电容 (CANH 或 CANL) ⁽¹⁾	$\text{TXD} = V_{\text{IO}}$			20	pF
C_{ID}	差分输入电容 ⁽¹⁾	$\text{TXD} = V_{\text{IO}}$			10	pF
R_{ID}	差分输入电阻	$\text{TXD} = V_{\text{IO}}$, $n\text{SLP} = 5\text{V}$	50		100	k Ω
R_{IN}	输入电阻 (CANH 或 CANL)	$-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$	25		50	k Ω
$R_{\text{IN(M)}}$	输入电阻匹配: $[1 - R_{\text{IN(CANH)}} / R_{\text{IN(CANL)}}] \times 100\%$	$V_{(\text{CANH})} = V_{(\text{CANL})} = 5\text{V}$	-1		1	%
TXD 输入特性						
V_{IH}	高电平输入电压		0.7			V_{IO}
V_{IL}	低电平输入电压				0.3	V_{IO}
I_{IH}	高电平输入漏电流	$\text{TXD} = V_{\text{IO}} = 5.5\text{V}$	-1	0	1	μA
I_{IL}	低电平输入漏电流	$\text{TXD} = 0\text{V}$, $V_{\text{IO}} = 5.5\text{V}$	-130		-15	μA
R_{PU}	上拉电阻		40	60	80	k Ω
$I_{\text{LKG(OFF)}}$	未供电时的漏电流	$\text{TXD} = 5.5\text{V}$, $V_{\text{SUP}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
C_{I}	输入电容	$V_{\text{IN}} = 0.4 \times \sin(2 \times \pi \times 2 \times 10^6 \times t) + 2.5\text{V}$		5		pF
RXD 输出特性						
V_{OH}	高电平输出电压	$I_{\text{O}} = -2\text{mA}$	0.8			V_{IO}
V_{OL}	低电平输出电压	$I_{\text{O}} = 2\text{mA}$			0.2	V_{IO}
R_{PU}	上拉电阻		40	60	80	k Ω

5.7 电气特性 (续)

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另外说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
$I_{\text{LKG(Off)}}$	未供电漏电流	$\text{RXD} = 5.5\text{V}$, $V_{\text{SUP}} = V_{\text{IO}} = 0\text{V}$	-5		5	μA
nSLP 输入特性						
V_{IH}	高电平输入电压		0.7			V_{IO}
V_{IL}	低电平输入电压				0.3	V_{IO}
I_{IH}	高电平输入漏电流	$\text{nSLP} = V_{\text{IO}} = 5.5\text{V}$	50		130	μA
I_{IL}	低电平输入漏电流	$\text{nSLP} = 0\text{V}$, $V_{\text{IO}} = 5.5\text{V}$	-1		1	μA
R_{PD}	下拉电阻		40	60	80	$\text{k}\Omega$
$I_{\text{LKG(Off)}}$	未供电时的漏电流	$\text{nSLP} = 5.5\text{V}$, $V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
INH 输出特性						
ΔV_{H}	相对于 V_{SUP} 的高电平压降 INH	$I_{\text{INH}} = -6\text{mA}$		0.5	1	V
$I_{\text{LKG(INH)}}$	睡眠模式漏电流	$\text{INH} = 0\text{V}$	-0.5		0.5	μA
WAKE 输入特性						
V_{IH}	高电平输入电压	睡眠模式	4			V
V_{IL}	低电平输入电压				2	V
I_{IL}	低电平输入漏电流	$\text{WAKE} = 1\text{V}$			3	μA
V_{HYS}	输入迟滞		800		1200	mV
I_{IH}	高电平输入漏电流		-1	0	1	μA
TS 输出特性						
V_{OH}	高电平输出电压	$I_{\text{O}} = -2\text{mA}$	0.8			V_{IO}
V_{OL}	低电平输出电压	$I_{\text{O}} = 2\text{mA}$			0.2	V_{IO}
$I_{\text{LKG(Off)}}$	未供电时的漏电流	$\text{TS} = 5.5\text{V}$, $V_{\text{IO}} = 0\text{V}$	-1	0	1	μA

(1) 根据 ISO 11898-2:2003 进行测试

5.8 开关特性

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另有说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
电源开关特性						
$t_{\text{POWER_UP}}$	CAN 电源上电时间	$C_{\text{FLT}} = 10\mu\text{F}$ $\text{nSLP} = 5\text{V}$ 请参阅图 6-7		1.8	4	ms
$t_{\text{UV(SUP)}}$	V_{SUP} 滤波时间 (上升和下降)		4		25	μs
$t_{\text{UV(FLT)}}$	欠压检测延迟时间 CAN 激活至 CAN 自主: 活动或非活动		4		25	μs
t_{UVIO}	V_{IO} 滤波时间 (上升和下降)		8		12	μs
器件开关特性						
$t_{\text{UVIO(SLP)}}$	待机模式至睡眠模式欠压检测延迟时间		200		350	ms
$t_{\text{WK_FILTER}}$	满足唤醒请求滤波总线要求的总线时间	请参阅图 7-4	0.5		1.8	μs
$t_{\text{WK_TIMEOUT}}$	总线唤醒超时值		0.8		2	ms
t_{SILENCE}	总线空闲超时			0.9	1.2	s
t_{INACTIVE}	用于失效防护和上电空闲的硬件计时器 ⁽¹⁾		3	4	5	min
t_{BIAS}	从显性-隐性-显性序列开始到 $V_{\text{sym}} \geq 0.1$ 的时间	每个相位: $6\mu\text{s}$ 请参阅图 6-9			250	μs
$t_{\text{CAN(Active)}}$	从切换至 CAN 活动模式到 TS 引脚转换为高电平的时间	$V_{\text{FLT}} > UV_{\text{FLT(R)}}$ $V_{\text{IO}} > UV_{\text{IO(R)}}$ $\text{nSLP} = V_{\text{IO}}$			25	μs
$t_{\text{PROP(LOOP1)}}$	总循环延迟, 驱动器输入 (TXD) 至接收器输出 (RXD) 隐性状态至显性状态	$R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{\text{L(RXD)}} = 15\text{pF}$ 请参阅图 6-4		100	160	ns
$t_{\text{PROP(LOOP2)}}$	总环路延迟, 驱动器输入 (TXD) 到接收器输出 (RXD) 显性状态至隐性状态			120	175	ns

5.8 开关特性 (续)

在建议工作条件下, $T_J = -40^{\circ}\text{C}$ 至 150°C (除非另有说明)。所有典型值均在 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 且 $R_L = 60\ \Omega$ 条件下获得

参数		测试条件	最小值	典型值	最大值	单位	
t _{nSLP(ftr)}	nSLP 引脚滤波时间	Sleep 引脚滤波时间	2.5		7.5	μs	
t _{SLP}	模式更改时间	nSLP 进入睡眠模式所需的低电平时间	20		35	μs	
t _{mode_slp_stb}	从发生 WUP 或 LWU 事件到 INH 被置为高电平所需的时间，；请参阅				50	μs	
驱动器开关特性							
t _{pHR}	传播延迟时间，TXD 高电平到驱动器隐性	R _L = 60Ω，C _L = 100pF，R _{CM} = 开路 请参阅图 6-2	20	35	70	ns	
t _{pLD}	传播延迟时间，TXD 低电平到驱动器显性		15	40	70	ns	
t _{sk(p)}	脉冲偏斜 (t _{pHR} - t _{pLD})			10	20	ns	
t _R	差分输出信号上升时间			40		ns	
t _F	差分输出信号下降时间			45		ns	
t _{TXD_DTO}	显性超时	R _L = 60Ω，C _L = 开路 请参阅图 6-5，TXD = 0V	1.2		3.8	ms	
接收器开关特性							
t _{pRH}	传播延迟时间，总线隐性输入到 RXD 高电平	C _{L(RXD)} = 15pF 请参阅图 6-3	25	80	140	ns	
t _{pDL}	传播延迟时间，总线显性输入到 RXD 低电平输出		20	50	110	ns	
t _R	输出信号上升时间 (RXD)			8		ns	
t _F	输出信号下降时间 (RXD)			5		ns	
WAKE 特性							
t _{WAKE}	在 WAKE 引脚上发生本地唤醒事件后，INH 引脚变为高电平所需的时间		40			μs	
CAN FD 时序特性							
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns 时 CAN 总线输出引脚上的位时间	V _{IO} > 1.8V	R _L = 60Ω，C _L = 100pF C _{L(RXD)} = 15pF Δ t _{REC} = t _{BIT(RXD)} - t _{BIT(BUS)} 请参阅图 6-4		435	530	ns
	t _{BIT(TXD)} = 200ns 时 CAN 总线输出引脚上的位时间		155	210	ns		
	t _{BIT(TXD)} = 125ns 时 CAN 总线输出引脚上的位时间		80	140	ns		
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns 时 CAN 总线输出引脚上的位时间	V _{IO} ≤ 1.8V	R _L = 60Ω，C _L = 100pF C _{L(RXD)} = 15pF Δ t _{REC} = t _{BIT(RXD)} - t _{BIT(BUS)} 请参阅图 6-4		435	530	ns
	t _{BIT(TXD)} = 200ns 时 CAN 总线输出引脚上的位时间		155	215	ns		
	t _{BIT(TXD)} = 125ns 时 CAN 总线输出引脚上的位时间		80	140	ns		
t _{BIT(RXD)}	t _{BIT(TXD)} = 500ns 时 RXD 输出引脚上的位时间		R _L = 60Ω，C _L = 100pF C _{L(RXD)} = 15pF Δ t _{REC} = t _{BIT(RXD)} - t _{BIT(BUS)} 请参阅图 6-4		400	550	ns
	t _{BIT(TXD)} = 200ns 时 RXD 输出引脚上的位时间		120	220	ns		
	t _{BIT(TXD)} = 125ns 时 RXD 输出引脚上的位时间		80	135	ns		
Δ t _{REC}	t _{BIT(TXD)} = 500ns 时的接收器时序对称性		R _L = 60Ω，C _L = 100pF C _{L(RXD)} = 15pF Δ t _{REC} = t _{BIT(RXD)} - t _{BIT(BUS)} 请参阅图 6-4		-65	40	ns
	t _{BIT(TXD)} = 200ns 时的接收器时序对称性		-45	15	ns		
	t _{BIT(TXD)} = 125ns 时的接收器时序对称性		-40	10	ns		

(1) 当 CAN 总线改变状态时, 计时器复位。

5.9 典型特性

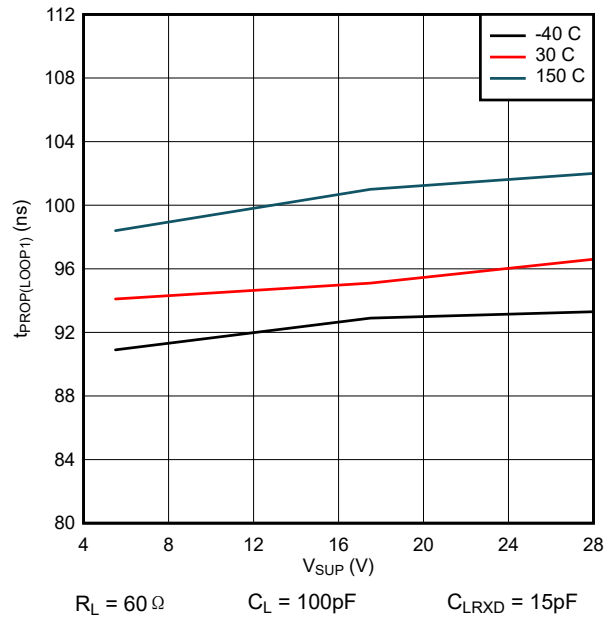


图 5-1. $t_{PROP(LOOP1)}$ 与 V_{SUP} 间的关系

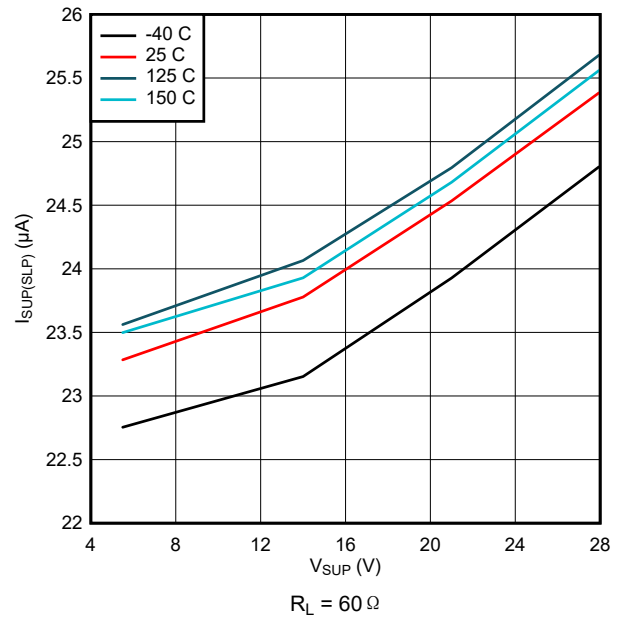


图 5-2. 睡眠模式下 I_{SUP} 与 V_{SUP} 间的关系

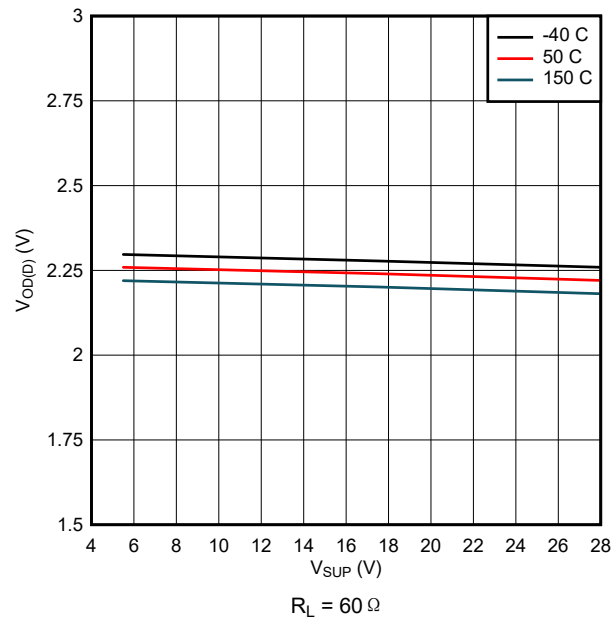


图 5-3. $V_{OD(DOM)}$ 与 V_{SUP} 间的关系

6 参数测量信息

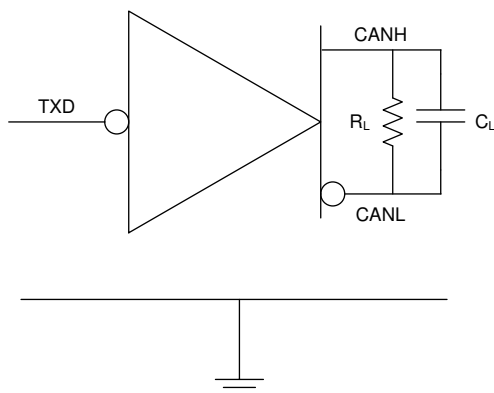


图 6-1. I_{SUP} 测试电路

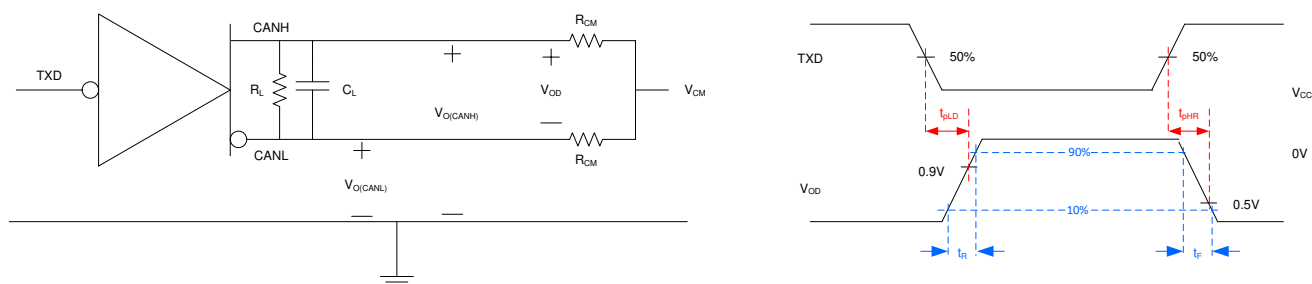


图 6-2. 驱动器测试电路与测量

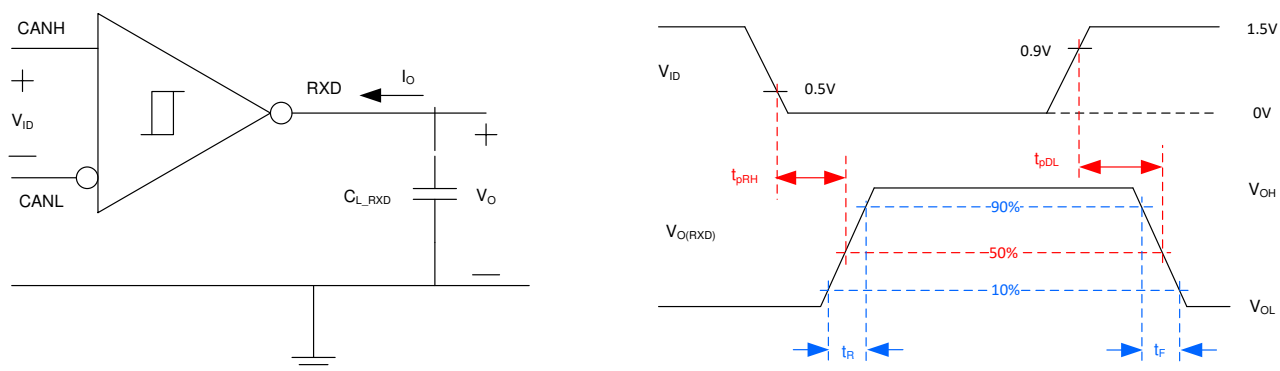


图 6-3. 接收器测试电路与测量

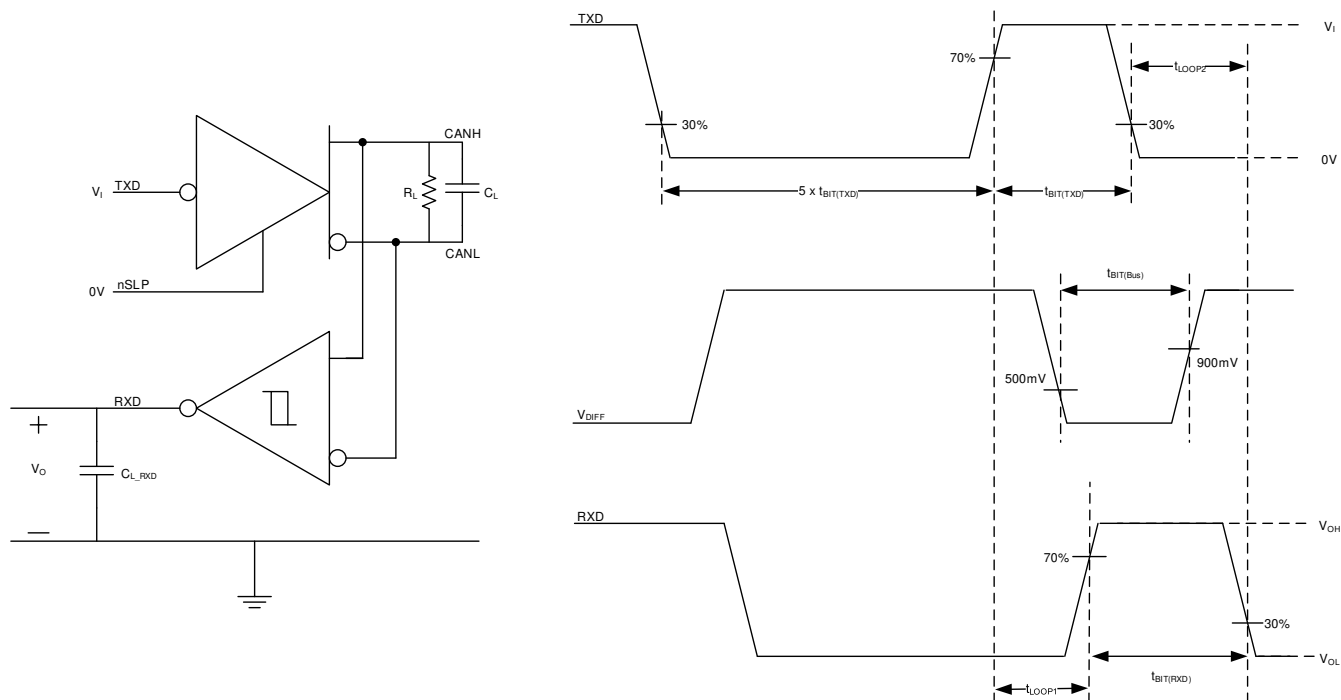


图 6-4. 发送器和接收器时序行为测试电路和测量

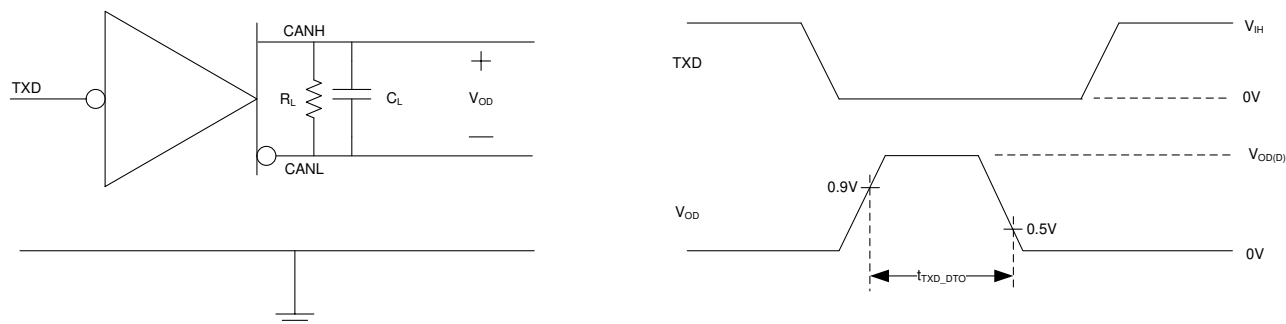


图 6-5. TXD 显性超时测试电路与测量

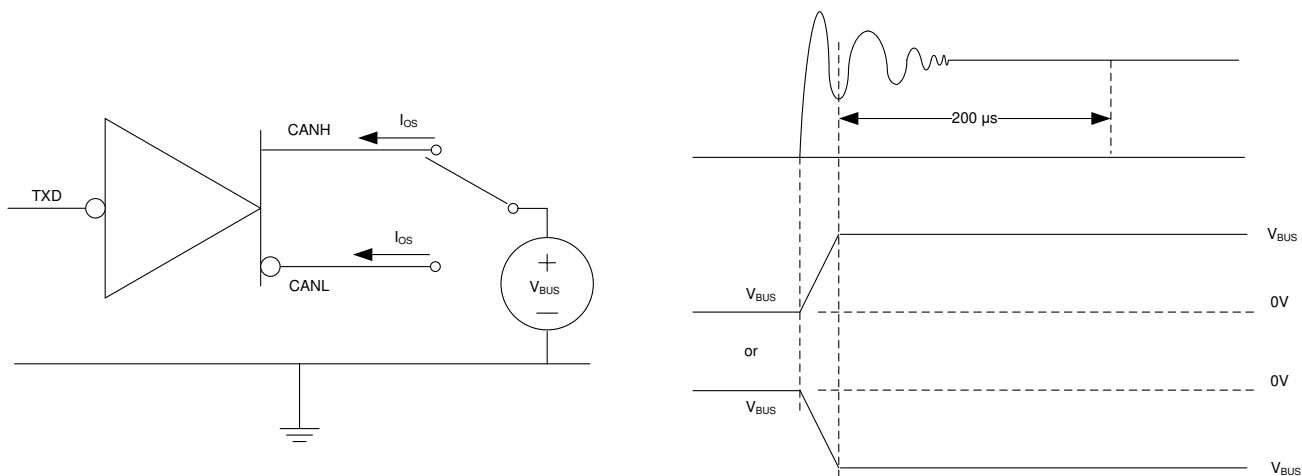


图 6-6. 驱动器短路电流测试与测量

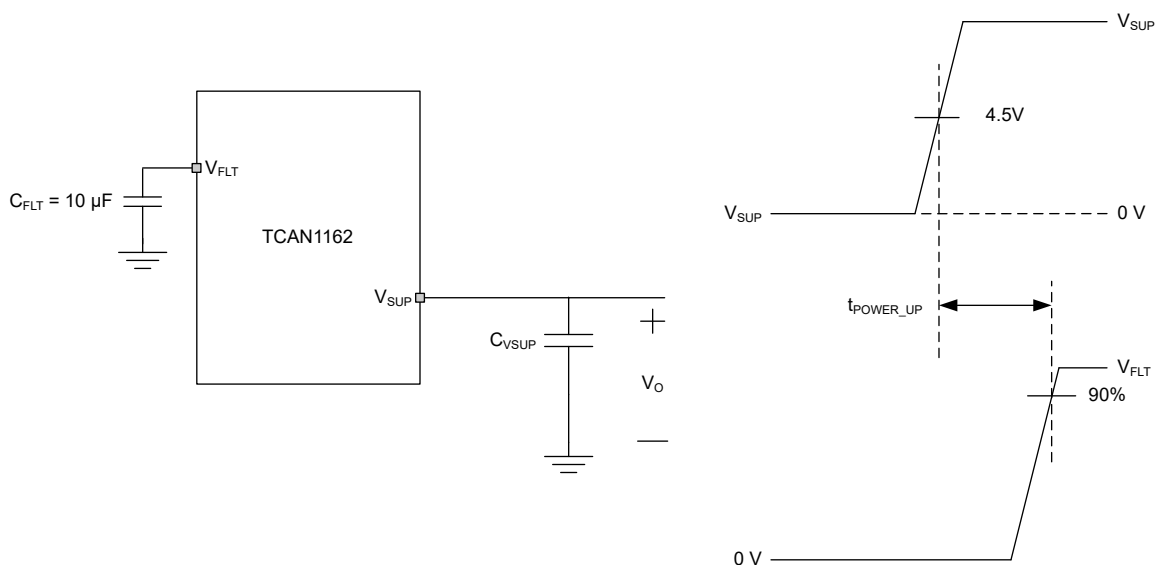
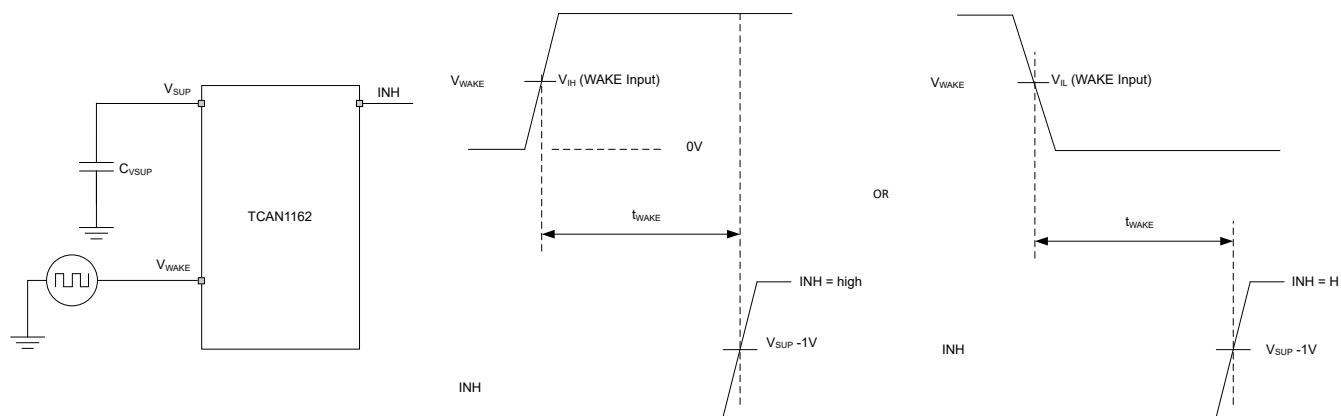
图 6-7. t_{POWER_UP} 时序测量图 6-8. 监控 INH 输出时的 t_{WAKE}

图 6-9. 偏置反应时间测量的测试信号定义

7 详细说明

7.1 概述

TCAN1162-Q1 是一款高速控制器局域网 (CAN) 收发器，符合 ISO 11898-2:2016 高速 CAN 规范对物理层的要求。TCAN1162-Q1 支持传统 CAN 和 CAN FD 网络，数据速率高达 8 兆位/秒 (Mbps)。

TCAN1162-Q1 集成了一个具有宽输入工作电压范围的 5V LDO，可为 CAN 收发器提供电压，从而无需由外部电压源提供 5V 电压。

TCAN1162-Q1 可通过 INH 输出引脚选择性地启用系统上可能存在的各种电源，从而减少整个系统级别的电池电流消耗。这使得在超低电流睡眠模式中，功率传送到除 TCAN1162-Q1 以外的所有系统元件，同时对 CAN 总线进行监控。检测到唤醒事件时，TCAN1162-Q1 通过将 INH 驱动至高电平来启动系统。

7.2 功能方框图

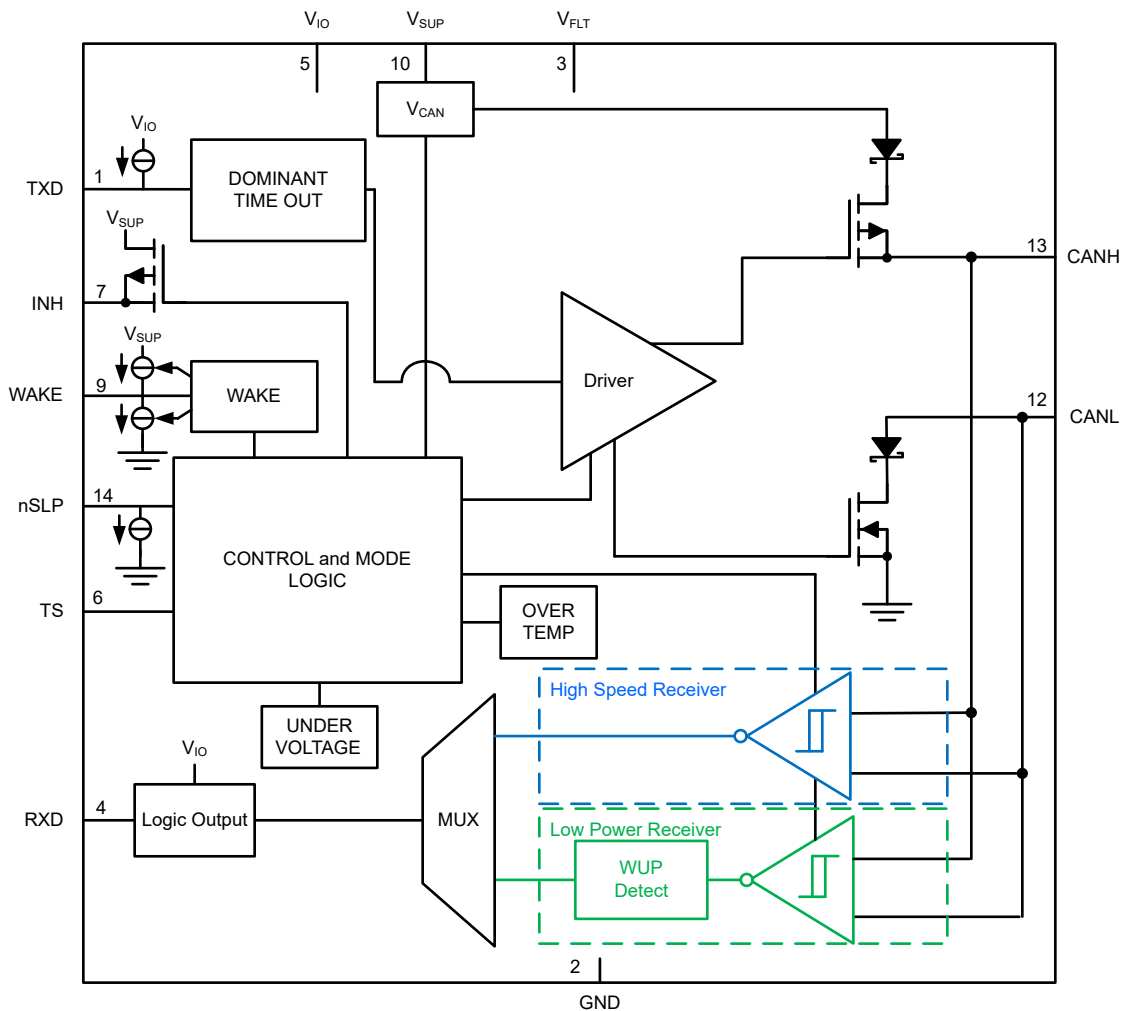


图 7-1. TCAN1162-Q1

7.3 特性说明

7.3.1 V_{SUP} 引脚

此引脚连接到电池电源。它支持数字内核、CAN 收发器、和低功耗 CAN 接收器的内部稳压器供电。

7.3.2 V_{FLT} 引脚

内部 LDO 为集成的 CAN 收发器供电。在睡眠模式下，LDO 被禁用。一旦器件退出睡眠模式并进入其他活动模式，LDO 就会启用并正常工作。该引脚需要一个 $10\ \mu\text{F}$ 外部电容器，并且需要尽可能靠近它布置。

7.3.3 数字输入与输出

TCAN1162-Q1 有一个 V_{IO} 电源，用于设置数字输入阈值。输入阈值与使用 CMOS 输入电平的 V_{IO} 电源成比例，因此可针对具有 1.7V 至 5.5V 数字 IO 的 CAN 控制器进行扩展。TXD 输入偏置到 V_{IO} 电平，以便在引脚悬空时强制采用隐性输入。RXD 和 TS 输出引脚的高电平输出电压被驱动至 V_{IO} 电平，作为逻辑高电平输出。

7.3.4 数字控制与计时

该器件是一款 14 引脚 CAN FD 收发器/SBC。时序都是混合信号，并在器件电气规格层面涵盖，包括该器件的少量控制逻辑。所有器件模式控制都通过一个数字输入 nSTB 或 nSLP 以及并通过使用器件内部的计时器和故障条件来完成。

7.3.5 V_{IO} 引脚

V_{IO} 引脚提供与控制 IO 电压匹配的数字 IO 电压，从而避免了对电平转换器的要求。集成电平转换器支持从 1.7V 至 5.5V 的电压，提供了超宽范围的控制支持。

7.3.6 GND

GND 是接地引脚，必须连接到 PCB 接地端。

7.3.7 INH 引脚

TCAN1162-Q1 抑制 (INH) 输出引脚可用于控制系统电源管理器件的启用，使得应用处于睡眠模式时显著降低电池静态电流消耗。INH 引脚具有两种状态：驱动为高电平和高阻抗。INH 引脚驱动为高电平时，端子上的电压为 V_{SUP} 减去二极管压降。在高阻抗状态下，输出处于悬空。INH 引脚在正常和待机模式下为高电平，在睡眠模式下为低电平。可以向 INH 输出添加一个 $100\text{k}\Omega$ 负载，确保可以快速从驱动为高电平状态转换到低电平状态，并且还在引脚悬空时强制该引脚保持低电平。

该端子应视为高电压逻辑端子，而不是电源输出。因此，应将其用于驱动系统电源管理器件的 EN 端子，而不用作电源管理供电的开关。该端子不受电池反向保护，因此不应连接到系统模块外部。

7.3.8 WAKE 引脚

WAKE 引脚是一个高电压反向阻断输入，用于本地唤醒 (LWU) 功能。通过 WAKE 输入端子实现本地唤醒 (LWU) 部分进一步说明了该功能。该引脚默认为双向边沿触发器，这意味着可以在 WAKE 引脚转换的上升沿或下降沿识别本地唤醒 (LWU)。

7.3.9 CAN 总线引脚

这些是 CAN 高电平和 CAN 低电平 (CANH 和 CANL) 差分总线引脚。这些引脚连接到 CAN 收发器和低电压唤醒接收器。

7.3.10 局部故障

7.3.10.1 TXD 显性超时 (TXD DTO)

当 CAN 驱动器处于活动模式时，TXD DTO 电路可防止本地节点在发生硬件或软件故障 (TXD 保持显性状态的时间超过超时周期 t_{TXD_DTO}) 时阻塞网络通信。TXD DTO 电路由 TXD 上的下降沿触发。如果在该电路的超时常数 t_{TXD_DTO} 结束之前未出现上升沿，则禁用 CAN 驱动器，从而将总线释放为隐性电平。这样可释放总线，供网络上的其他节点进行通信。CAN 驱动器会在 TXD 端子上的下一次显性到隐性转换时重新激活，从而清除显性超时。

高速接收器和 RXD 端子将反映 TXD DTO 故障期间 CAN 总线上的情况。在 TXD DTO 故障期间，TS 端子驱动为低电平。

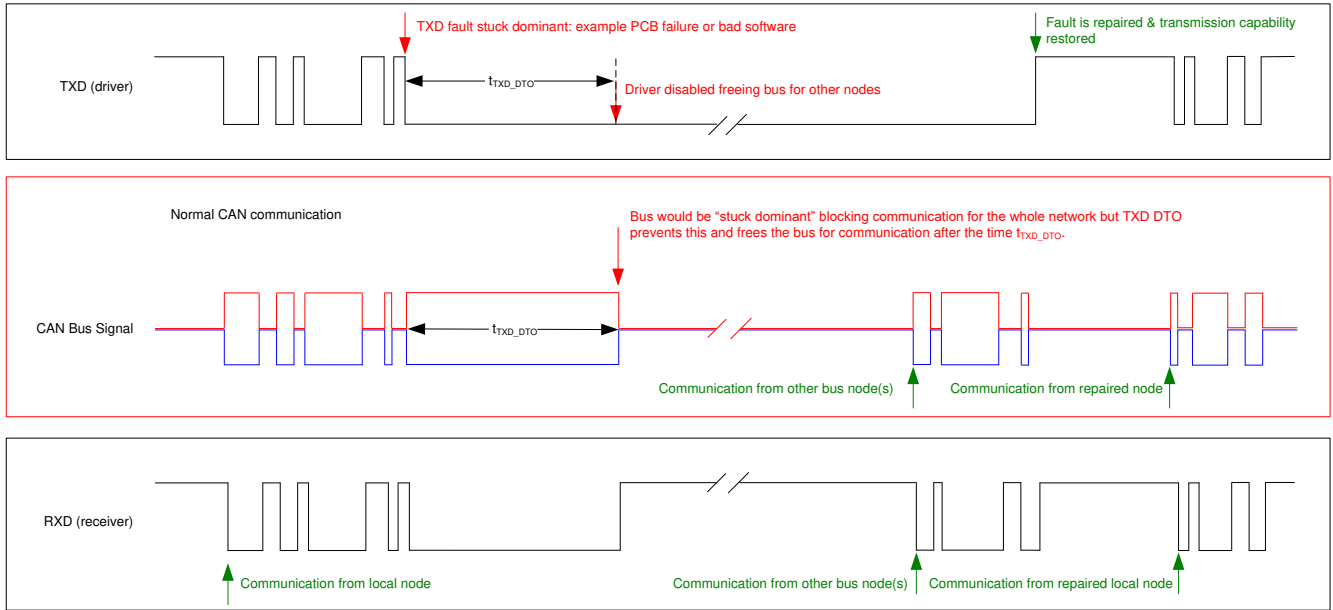


图 7-2. TXD DTO 的时序图

TXD DTO 电路所允许的最短显性 TXD 时间限制了器件的最低数据发送速率。CAN 协议允许 (TXD 上) 在最差情况下最多可有 11 个连续显性位，其中 5 个连续显性位后面紧接一个错误帧。可使用最短 t_{TXD_DTO} 时间和最大连续显性位数 (11 位) 来计算最低数据发送速率。

$$\text{Minimum Data Rate} = 11 \text{ bits} / t_{TXD_DTO} = 11 \text{ bits} / 1.2 \text{ ms} = 9.2 \text{ kbps} \quad (1)$$

7.3.10.2 热关断 (TSD)

如果 TCAN1162-Q1 的结温超过热关断阈值，即 $T_J > T_{SDR}$ ，器件将转换为失效防护模式并禁用收发器的发送器和接收器，以阻止和 CAN 总线之间进行的传输。当器件结温降至低于热关断温度阈值，即 $T_J < T_{SDF}$ 时，TSD 故障条件将被清除。如果仍存在导致 TSD 故障的故障条件，则温度可能会再次上升，器件将再次进入热关断。在 TSD 故障条件下长时间运行可能会影响器件可靠性。

7.3.10.3 欠压/过压锁定

电源端子采用了欠压和过压检测电路。如果检测到欠压，TCAN1162-Q1 会转换为失效防护模式。

如果检测到过压故障，TCAN1162-Q1 会转换为失效防护模式。这些模式变化会将器件置于已知状态，防止护系统发生意外行为。

7.3.10.4 未供电器件

根据设计，器件在未供电情况下对于 CAN 总线而言是无源器件或无负载。在器件未供电时 CANH 和 CANL 引脚具有较低的漏电流，因此这些引脚不会对总线产生任何负载。如果网络的某些节点未供电，而网络的其余部分仍正常工作，这一点至关重要。

逻辑端子在器件未供电时的漏电流也很低，因此这些端子不会对其他保持供电的电路造成负载。

7.3.10.5 悬空端子

TCAN1162-Q1 在关键引脚上有内部上拉电阻和下拉电阻，确保在引脚悬空时出现已知的工作行为。

TXD 引脚上拉至 V_{IO} ，如果该引脚悬空，则强制为隐性电平。设计不应依赖这种内部偏置，而应采用失效防护选项。当器件与带有开漏输出的 CAN 控制器搭配使用时，需特别小心。器件在 TXD 引脚上实施弱内部上拉电阻。需要特别考虑 CAN FD 数据速率的 CAN 位时序要求，并且在使用开漏输出时应仔细考虑上拉强度。必须使用足够大的外部上拉电阻，以确保 CAN 控制器的 TXD 输出为 CAN 器件维持适当的位时序输入。

如果该端子悬空，nSLP 引脚被弱下拉，强制器件进入低功耗睡眠模式。具体请参阅表 7-1。

表 7-1. 端子失效防护偏置

终端	上拉或下拉	注释
TXD	上拉	将 TXD 弱偏置为隐性，防止总线阻塞或 TXD DTO 触发
nSLP	下拉	将 nSLP 端子弱偏置为低功耗睡眠模式，防止系统功耗过高

7.3.10.6 CAN 总线短路电流限制

TCAN1162-Q1 有多种保护特性可以在 CAN 总线短路时限制显性与隐性状态期间的短路电流。该器件具有 TXD 显性状态超时，可防止在显性状态故障期间始终保持较高的短路电流。

在 CAN 通信期间，总线会在显性与隐性状态之间切换；因此，可将短路电流视为这两种总线状态期间的电流或者视为平均直流电流。在考虑终端电阻和共模扼流圈的系统功耗时，应使用平均短路电流。显性百分比受限于以下因素：TXD 显性状态超时、具有强制状态切换功能的 CAN 协议以及隐性位（例如位填充、控制字段和帧间间隔）。这些限制确保了总线上具有最短的隐性状态时间，即使数据字段包含很高的显性位百分比也是如此。

总线的短路电流取决于隐性位与显性位的比率以及它们对应的短路电流。平均短路电流可使用方程 2 来计算。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (2)$$

其中：

- $I_{OS(AVG)}$ 为平均短路电流
- $\%Transmit$ 为发送 CAN 报文的节点的百分比
- $\%Receive$ 为接收 CAN 报文的节点的百分比
- $\%REC_Bits$ 为发送的 CAN 报文中的隐性位百分比
- $\%DOM_Bits$ 为发送的 CAN 报文中的显性位百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流

规划端接电阻和其他网络组件功耗额定值时，应考虑短路电流以及可能的网络故障。

7.3.10.7 睡眠唤醒错误计时器

睡眠唤醒错误 (SWE) 计时器 $t_{INACTIVE}$ 是用于确定特定外部和内部功能是否正常工作的计时器。当器件进入待机模式且仅在待机模式下运行时，SWE 计时器启动。发生模式转换时，计时器停止。如果在器件处于待机模式时计时器超时，则会，并且 RXD 引脚将被拉至低电平以指示中断。然后，TCAN1162-Q1 将转换为睡眠模式。

7.4 器件功能模式

TCAN1162-Q1 有五种模式：正常模式、待机模式、睡眠模式、失效防护模式和关闭模式。可以使用 nSLP 中断端子结合电源条件、温度条件和唤醒事件来进行工作模式选择。

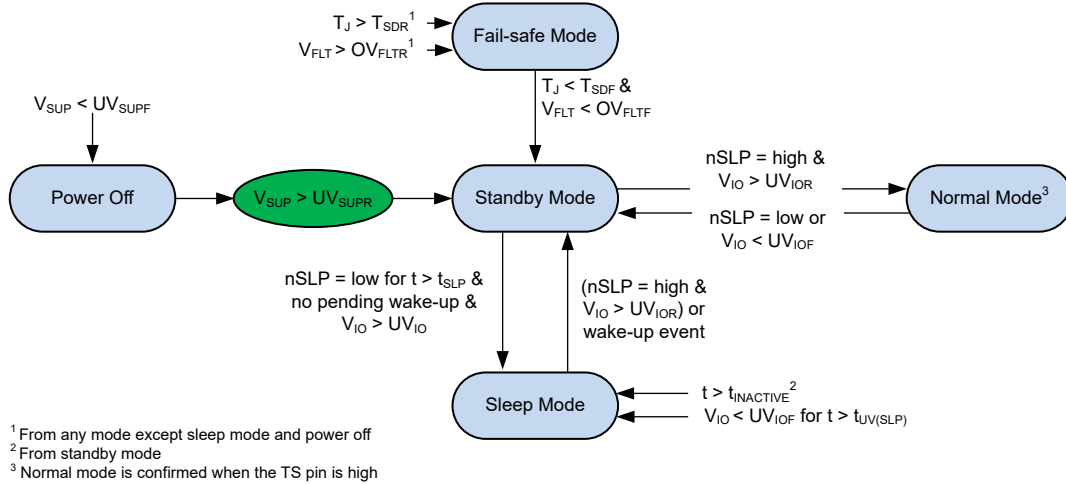


图 7-3. TCAN1162 状态机

表 7-2. 模式概述

块	正常	待机	睡眠	失效防护
V _{FLT}	开	导通/关断 ⁽¹⁾ ⁽²⁾	关闭	关闭
INH	开	有效	关闭	关闭
低功耗 CAN RX	关闭	有效	有效	有效
RXD	V _{IO}	V _{IO}	高阻抗 ⁽³⁾	V _{IO}

- (1) 如果 nSLP 被拉至高电平以启用正常模式，V_{FLT} 会在待机模式下导通。
(2) 如果在 CAN 总线上检测到有效的 WUP，V_{FLT} 将在待机模式下导通。如果 nSTB 引脚在总线不活动超时范围内未被拉至高电平，窗口计时器 (t_{SILENCE}) V_{FLT} 将再次关闭。
(3) 如果 V_{IO} 存在，则为 V_{IO}。

7.4.1 工作模式说明

7.4.1.1 正常模式

此模式是器件的正常运行模式。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。驱动器将 TXD 上的数字输入转换为 CANH 和 CANL 上的差分输出。接收器将 CANH 和 CANL 上的差分信号转换为 RXD 上的数字输出。t_{INACTIVE} 计时器在正常模式下未激活。

7.4.1.2 待机模式

待机模式是 TCAN1162-Q1 的低功耗模式，在该模式下，通过将 nSLP 引脚置为低电平，将 CAN 收发器置于 CAN 自主非活动状态。在此模式下，TS 引脚被驱动为低电平，CAN 发送器和接收器关闭，总线引脚偏置到接地，收发器无法发送或接收数据。在待机模式下，低功耗接收器主动监控 CAN 总线是否存在有效的唤醒模式。如果接收到有效的唤醒模式，CAN 总线引脚将转换为 CAN 自主活动状态，在该状态下 CANH 和 CANL 会内部从 V_{SUP} 电源轨偏置到 2.5V。接收到有效的唤醒模式后，CAN 收发器会通过将 RXD 输出引脚闭锁为低电平产生一个唤醒请求。WAKE 引脚电路在待机模式下处于活动状态，并监测 WAKE 引脚是否存在高电平到低电平或者低电平到高电平转换。INH 引脚处于活动状态，为系统电源提供使能信号。

如果检测到唤醒事件或故障，则在待机模式下 RXD 输出引脚会置为低电平。请注意，POR 计为唤醒事件并且也会导致 RXD 闭锁为低电平。

如果 TCAN1162-Q1 检测到有效的 CAN 唤醒事件，内部 CAN 稳压器 V_{FLT} 将在待机模式下导通。如果 nSLP 引脚在 $t_{SILENCE}$ 计时器到期之前没有切换为高电平，则 V_{FLT} 会再次关闭。

在待机模式下，将启用失效防护计时器 $t_{INACTIVE}$ 。 $t_{INACTIVE}$ 计时器通过要求系统控制器在计时器到期之前将 TCAN1162-Q1 配置为正常模式，增加了一层额外的保护。如果处理器不能正常启动，此功能将强制 TCAN1162-Q1 转换为其最低功耗模式睡眠模式。

不过，待机模式不是器件的最低功耗模式，因为 INH 端子处于活动状态。这使得系统的其余部分能够正常运行。

7.4.1.3 睡眠模式

睡眠模式是 TCAN1162-Q1 的最低功耗模式，在该模式下，可以通过将 nSLP 引脚置为低电平并持续 $t > t_{SLP}$ 。在睡眠模式下，在 $t_{SILENCE}$ 结束后，CAN 发送器和接收器关闭，总线引脚偏置到接地，并且收发器无法发送或接收数据。在睡眠模式下关闭 INH 引脚，从而导致由 INH 控制的任何系统元件都关闭，因而可降低系统功耗。在睡眠模式下，低功耗接收器主动监控 CAN 总线以确定是否存在有效的唤醒模式，并且 I_{SUP} 电流将降低至其最小电平。

在以下情况下，器件进入睡眠模式：

- nSLP 引脚置为低电平并且持续 $t > t_{SLP}$ ，不存在待处理的唤醒事件，并且 $V_{IO} > UV_{VIO}$
- $V_{IO} < UV_{VIO}$ 并且持续 $t > t_{UV(SLP)}$
- SWE 计时器结束 (请参阅[睡眠唤醒错误计时器](#))

在以下情况下，器件退出睡眠模式：

- $V_{IO} > UV_{VIO}$ 并且 nSLP = 高电平
- 如果通过 CAN 总线引脚接收到有效的唤醒模式 (WUP)
- 发生本地 WAKE (LWU) 事件
- 发生复位事件 (进入复位模式)

7.4.1.3.1 通过唤醒模式 (WUP) 发出远程唤醒请求

TCAN1162-Q1 在待机和睡眠模式下实现低功耗唤醒接收器，该接收器使用 ISO11898-2:2016 标准中定义的多重滤波显性唤醒模式 (WUP)。

唤醒模式 (WUP) 由一段滤波显性总线时间，一段滤波隐性总线时间和第二段滤波总线时间组成。第一个滤波显性信号会发起 WUP，之后总线监视器会等待滤波隐性信号，其他总线通信不会使总线监视器复位。接收到滤波隐性信号后，总线监视器会等待滤波显性信号。其他总线通信不会使总线监视器复位。在接收到第二个滤波显性信号后，如果存在有效的 V_{IO} 向控制器发送唤醒请求，则总线监视器会立即识别 WUP 并将 RXD 端子驱动为低电平。如果在接收到唤醒模式时不存在有效 V_{IO} ，收发器会在 $V_{IO} > UV_{VIO}$ 后将 RXD 输出引脚驱动为低电平。

WUP 包括：

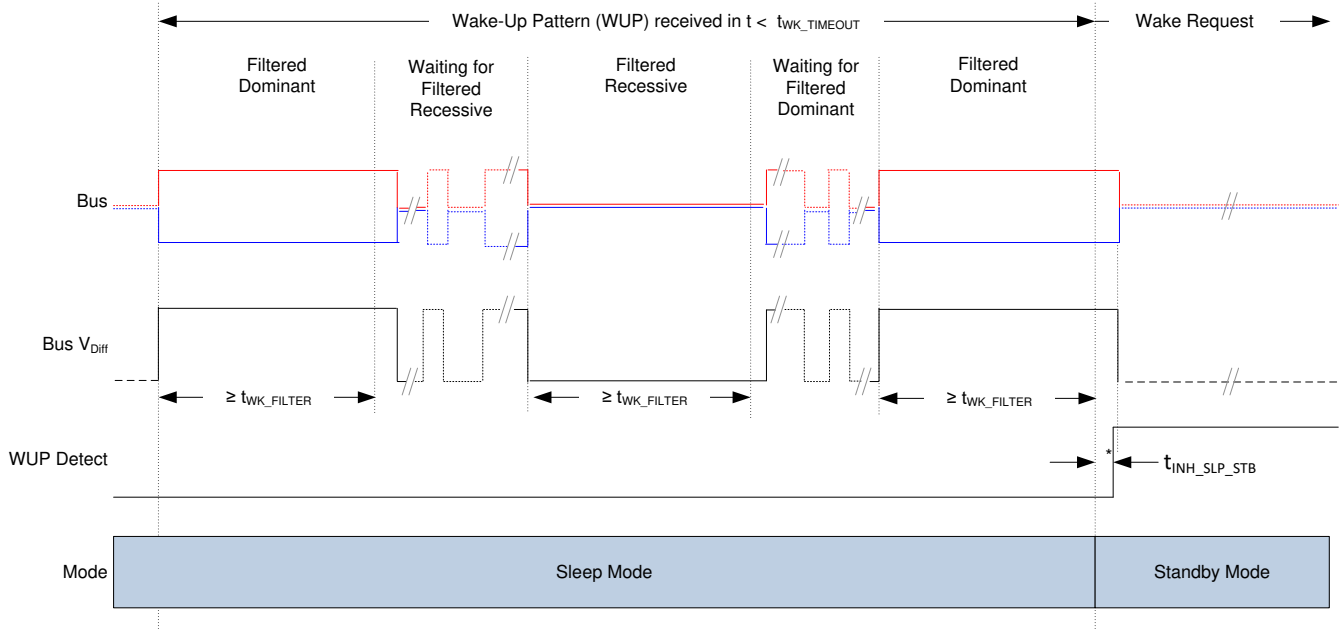
- 至少为 t_{WK_FILTER} 的滤波显性总线时间，后跟
- 至少为 t_{WK_FILTER} 的滤波隐性总线时间，后跟
- 至少为 t_{WK_FILTER} 的第二个滤波显性总线时间

对于被视为已滤波的显性或隐性信号，总线必须保持该状态超过 t_{WK_FILTER} 时间。由于 t_{WK_FILTER} 存在变化性，可以分为以下几种情况来判定。短于 $t_{WK_FILTER(MIN)}$ 的总线状态时间始终不会被检测为 WUP 的一部分，因此不会生成唤醒请求。 $t_{WK_FILTER(MIN)}$ 和 $t_{WK_FILTER(MAX)}$ 之间的总线状态时间被检测为 WUP 的一部分，并且可能会生成唤醒请求。超过 $t_{WK_FILTER(MAX)}$ 的总线状态时间始终会被检测为 WUP 的一部分，因此会生成唤醒请求。请参阅[图 7-4](#)以了解 WUP 的时序图。

用于 WUP 和唤醒请求的模式和 t_{WK_FILTER} 时间可防止噪声和总线卡在显性状态故障，从而导致错误的唤醒请求，同时允许任何 CAN 或 CAN FD 消息发起唤醒请求。

ISO11898-2:2016 有两组时间，分别用于短唤醒滤波时间和长唤醒滤波时间。TCAN1162-Q1 的 t_{WK_FILTER} 时序选在这两个滤波范围的最小值和最大值之间。选择此时序是为了使 500kbps 下的单个位时间或 1Mbps 下的两个背对背位时间触发处于任一总线状态的滤波器。

为了实现额外的稳健性并防止误唤醒，该器件实施了 $t_{WK_TIMEOUT}$ 计时器。要成功发生远程唤醒事件，必须在超时值内收到完整唤醒模式。如果在 $t_{WK_TIMEOUT}$ 到期之前未收到完整唤醒模式，则内部逻辑复位，器件保持睡眠模式，不唤醒。然后必须在 $t_{WK_TIMEOUT}$ 时段内再次发送完整模式。具体请参阅图 7-4。



*如果存在 V_{IO} ，则仅驱动一次 RXD 引脚。

图 7-4. 从睡眠模式到待机模式的唤醒模式 (WUP)

7.4.1.3.2 通过 WAKE 输入端子实现本地唤醒 (LWU)

WAKE 端子是一个双向高压反向电池保护输入，可用于通过电压转换发出本地唤醒 (LWU) 请求。由于该端子具有双向输入阈值，因此可以在低电平到高电平或高电平到低电平转换时触发 LWU 事件。WAKE 端子可与 V_{SUP} 或接地开关配合使用。如果未使用该端子，则应将其拉至 V_{SUP} 或接地，以避免不必要的寄生唤醒事件。

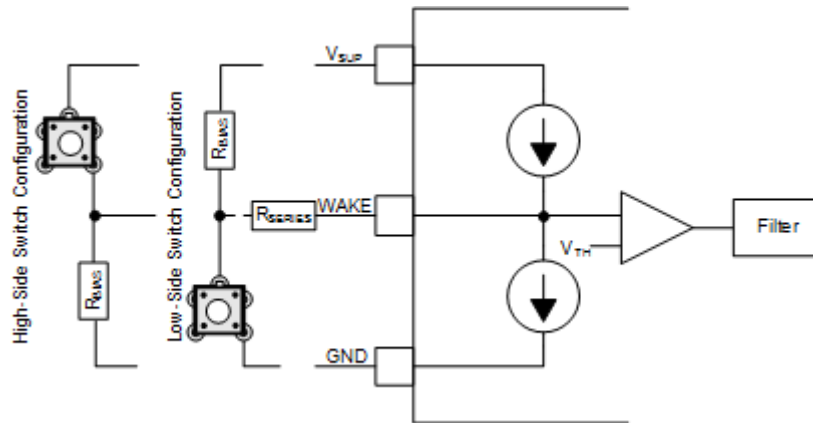


图 7-5. WAKE 电路示例

图 7-5 显示了 WAKE 引脚的两种可能配置：低侧和高侧开关配置。串联电阻器 R_{SERIES} 的目的是保护器件的 WAKE 输入免受接地漂移或接地损耗时可能发生的过流情况的影响。可以使用最大电源电压 V_{SUPMAX} 和 WAKE 引脚的最大允许电流 $I_{O(WAKE)}$ 来计算 R_{SERIES} 的最小值。使用以下公式计算 R_{SERIES} ：

$$R_{\text{SERIES}} = V_{\text{SUPMAX}} / I_{\text{IO(WAKE)}} \quad (3)$$

如果电池电压从未超过 $42V_{\text{DC}}$ ，则 R_{series} 值约为 $10k\Omega$ 。

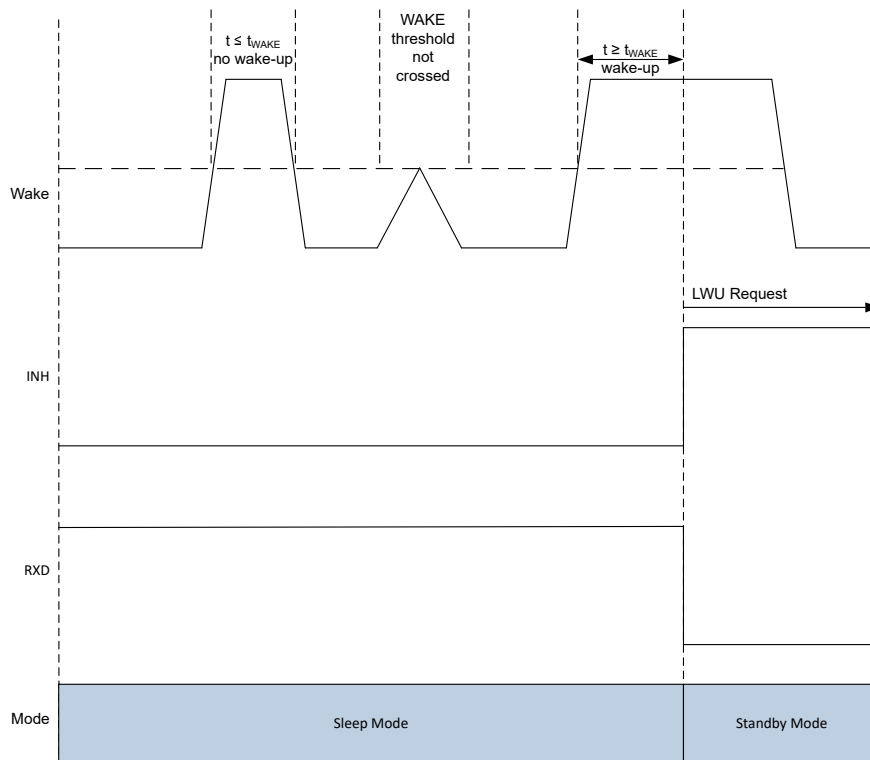
R_{BIAS} 电阻用于在开关未使用时设置 WAKE 输入的静态电压电平。在高侧开关配置中使用开关时， R_{BIAS} 电阻器结合 R_{SERIES} 电阻器将 WAKE 引脚电压设置为高于 V_{IH} 阈值。可以使用最大电源电压 V_{SUPMAX} 、最大 WAKE 阈值电压 V_{IH} 、最大 WAKE 输入电流 I_{IH} 和串联电阻器值 R_{SERIES} 来计算 R_{BIAS} 的最大值。使用以下公式计算 R_{BIAS} ：

$$R_{\text{BIAS}} < ((V_{\text{SUPMAX}} - V_{\text{IH}}) / I_{\text{IH}}) - R_{\text{SERIES}} \quad (4)$$

如果电池电压从未超过 $42V_{\text{DC}}$ ，则 R_{BIAS} 电阻值必须小于 $650k\Omega$ 。

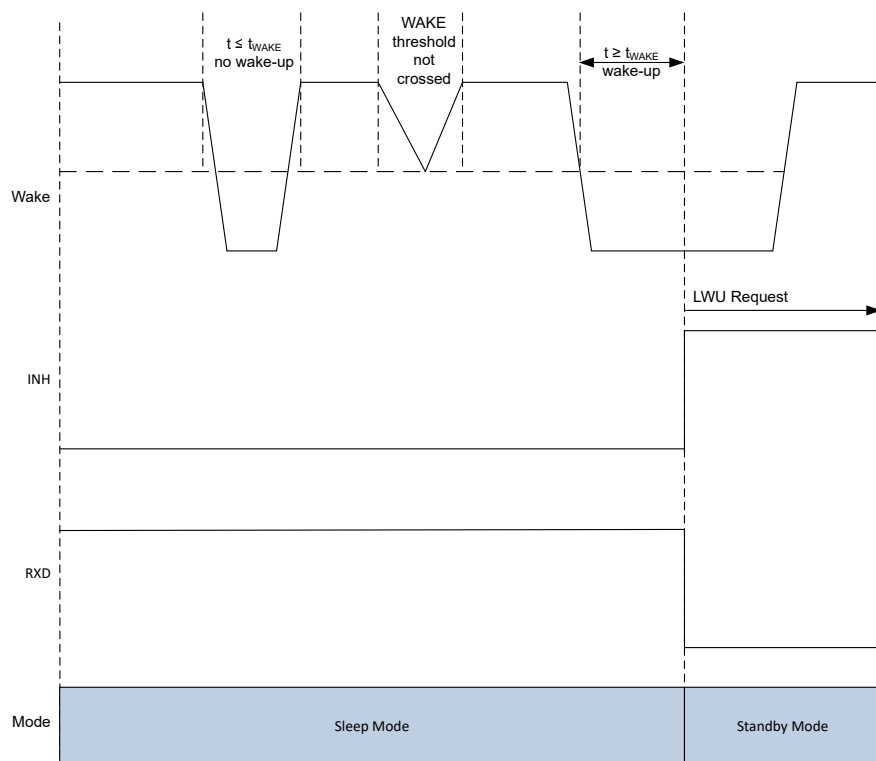
LWU 电路在睡眠模式下保持活动。如果发生有效的 LWU 事件，TCAN1162-Q1 将从睡眠模式转换为待机模式。

WAKE 电路在正常模式下会关闭。



如果存在 V_{IO} ，则仅驱动一次 RXD 引脚。

图 7-6. LWU 请求上升沿



如果存在 V_{IO} ，则仅驱动一次 RXD 引脚。

图 7-7. LWU 请求下降沿

7.4.1.4 失效防护模式

失效防护模式是一种低功耗模式，在该模式下，TCAN1162-Q1 处于受保护状态。在失效防护模式下，内部稳压器 (V_{FLT}) 关闭，INH 引脚关闭，并且 CAN 发送器和接收器关闭。

在以下情况下，器件进入失效防护模式：

- $T_J > T_{SDR}$
- $V_{FLT} > OV_{FLTR}$

如果满足以下所有条件，器件退出失效防护模式：

- $T_J < T_{SDF}$
- $V_{FLT} < OV_{FLTF}$
- 存在有效的唤醒事件

如果在 $t_{INACTIVE}$ 内未清除故障条件，则器件会转换为最低功耗模式，即睡眠模式。

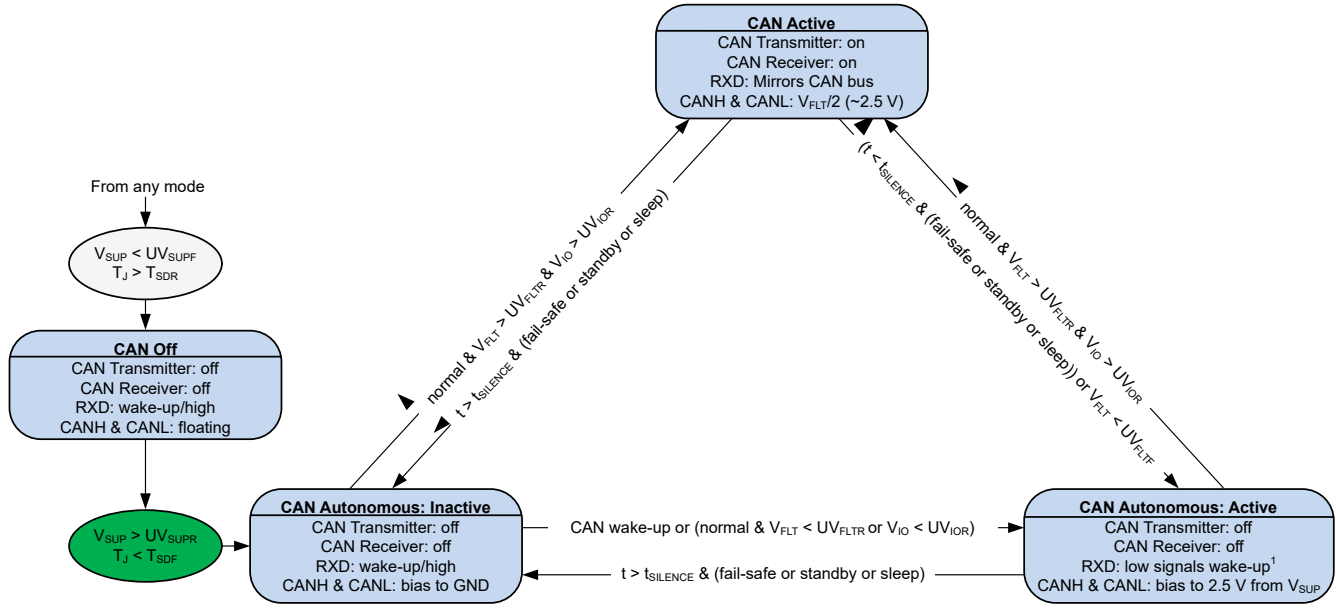
7.4.2 CAN 收发器

7.4.2.1 CAN 收发器运行

TCAN1162-Q1 CAN 收发器有三种运行模式：CAN 活动、CAN 自主活动和 CAN 自主非活动。

7.4.2.2 CAN 收发器模式

TCAN1162-Q1 支持 ISO 11898-2:2016 CAN 物理层标准自主总线偏置方案。自主总线偏置使收发器能够在 CAN 活动、CAN 自主活动和 CAN 自主非活动状态之间切换，从而有助于减少射频辐射。



¹ Wake-up inactive in normal mode

图 7-8. TCAN1162 CAN 收发器状态机

7.4.2.2.1 CAN 关闭模式

在 CAN 关闭模式下，CAN 收发器关闭，CAN 总线线路真正悬空。在此模式下，器件不会对 CAN 总线产生任何负载，同时在电池或接地连接断开时，可防止反向电流流入器件。

在以下情况下会进入 CAN 关闭状态：

- $T_J > T_{SDR}$
- $V_{SUP} < UV_{SUPF}$

在以下情况下，CAN 收发器会在 CAN 关闭状态和 CAN 自主非活动模式之间切换：

- $V_{SUP} > UV_{SUPR}$
- $T_J < T_{SDF}$

7.4.2.2.2 CAN 自主：非活动和活动

当 CAN 收发器处于待机模式或睡眠模式时，CAN 偏置电路关断，收发器进入自主非活动状态。在自主非活动状态下，CAN 引脚偏置到 GND。发生有效的唤醒事件时，CAN 总线偏置到 2.5V。如果在 $t_{SILENCE}$ 计时器结束前，控制器没有将 TCAN1162-Q1 转换为正常模式，则 CAN 偏置电路会再次关闭并且 CAN 引脚偏置到接地。

如果满足以下任一条件，CAN 收发器会切换到 CAN 自主模式：

- TCAN1162-Q1 从 CAN 关闭模式转换为 CAN 自主非活动模式
- TCAN1162-Q1 从正常模式转换为待机模式、失效防护模式或睡眠模式且 $t < t_{SILENCE}$
- $t > t_{SILENCE}$ 并且 TCAN1162-Q1 从正常模式转换为待机模式、失效防护模式或睡眠模式

在以下情况下，CAN 收发器在 CAN 自主非活动模式与 CAN 自主活动模式之间切换：

- 发生有效的唤醒事件
- TCAN1162-Q1 转换为正常模式且不存在欠压故障。

在以下情况下，CAN 收发器在 CAN 自主活动模式与 CAN 自主非活动模式之间切换：

- $t > t_{\text{SILENCE}}$ 并且 TCAN1162-Q1 转换为待机模式、睡眠模式或失效防护模式。

7.4.2.2.3 CAN 有效

当 TCAN1162-Q1 处于正常模式时，CAN 收发器处于活动模式。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。CAN 活动模式下的 CAN 偏置电压来自：

- V_{FLT}

在以下情况下，CAN 收发器在 CAN 自主非活动模式或活动模式与 CAN 活动模式之间切换：

- TCAN1162-Q1 转换为正常模式且不存在欠压故障。

如果在退出待机模式之前 TXD 引脚被置为低电平，则在进入 CAN 活动模式后 CAN 收发器会阻止其发送器和接收器。这可以防止在 TXD 引脚发生 TXD DTO 故障时 CAN 总线中断。

7.4.2.3 驱动器和接收器功能表

表 7-3. 驱动器功能表

器件模式	TXD 输入 ⁽¹⁾	总线输出		驱动总线状态 ⁽²⁾
		CANH	CANL	
正常	低	高	低	显性
	高电平或开路	高阻抗	高阻抗	$V_{FLT}/2$
待机	x	高阻抗	高阻抗	偏置到 GND
睡眠	x	高阻抗	高阻抗	偏置到 GND

(1) X = 不相关

(2) 有关总线状态和典型总线电压，请参阅图 7-9

表 7-4. 接收器功能表

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 端子
正常	$V_{ID} \geq 0.9V$	显性	低
	$0.5V < V_{ID} < 0.9V$	不确定	不确定
	$V_{ID} \leq 0.5V$	隐性	高
	开路 ($V_{ID} \approx 0V$)	开路	高
待机	$V_{ID} \geq 1.15V$	显性	高电平 如果唤醒事件持续存在，则为低电平
	$0.5V < V_{ID} < 1.15V$	不确定	
	$V_{ID} \leq 0.4V$	隐性	
	开路 ($V_{ID} \approx 0V$)	开路	
睡眠	$V_{ID} \geq 1.15V$	显性	高电平 如果唤醒事件持续存在且存在 V_{IO} ，则为低电平。 如果 V_{IO} 或 V_{SUP} 不存在，则为三态
	$0.4V < V_{ID} < 1.15V$	不确定	
	$V_{ID} \leq 0.4V$	隐性	
	开路 ($V_{ID} \approx 0V$)	开路	

7.4.2.4 CAN 总线状态

CAN 总线在运行期间有两种逻辑状态：隐性和显性。具体请参阅图 7-9。

以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 (R_{IN}) 偏置到 CAN 收发器电源电压的一半时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。

在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可能同时发送一个显性位，这种情况下，CAN 总线的差分电压将大于单个 CAN 驱动器的差分电压。TCAN1162-Q1 CAN 收发器采用低功耗待机 (STB) 模式和睡眠模式；这些模式支持第三种总线状态，在这种状态下，总线引脚通过接收器内部的高阻值电阻器偏置到地。

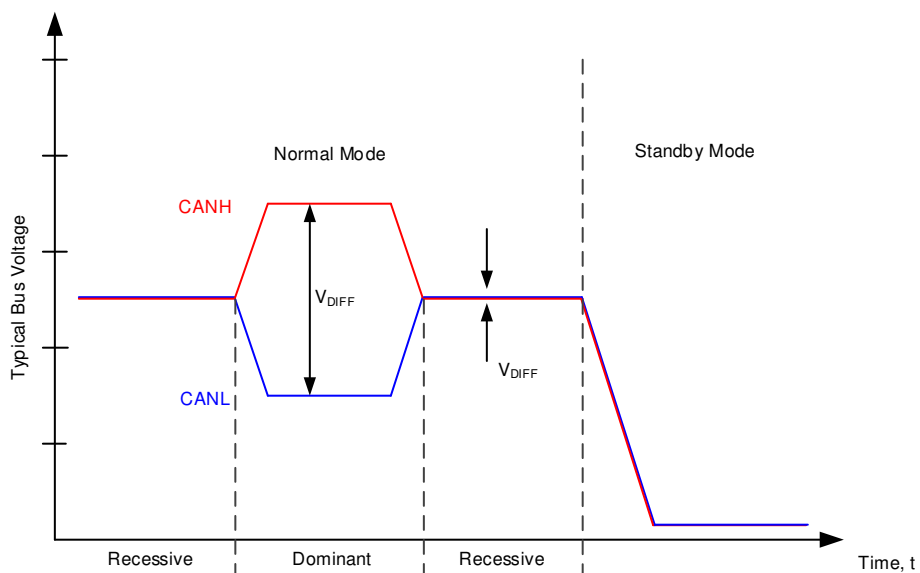


图 7-9. 总线状态

8 应用信息

8.1 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.2 典型应用

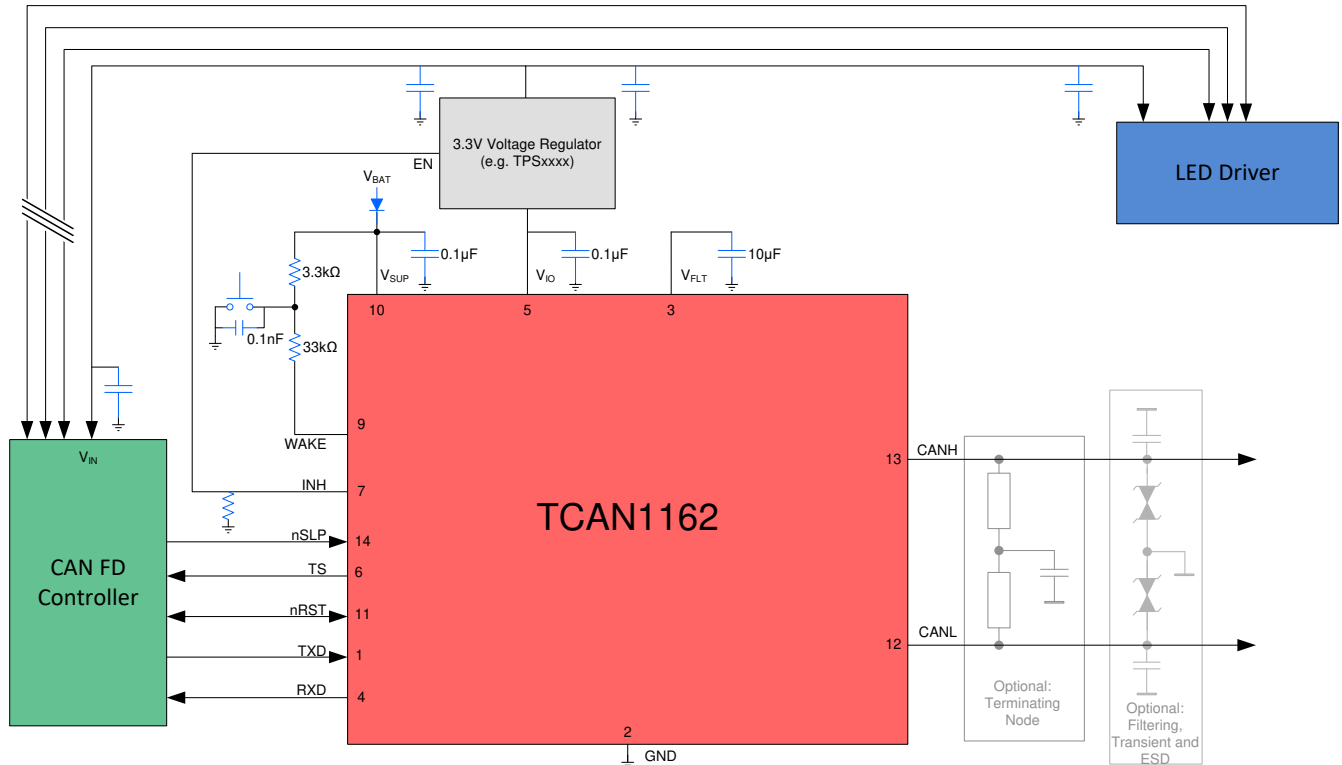


图 8-1. 典型应用

8.2.1 设计要求

8.2.1.1 总线负载能力、长度和节点数

典型 CAN 应用的最大总线长度可能为 40 米，最大桩线长度可能为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 TCAN1162-Q1。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。它们在总线的数据速率、电缆长度和寄生负载方面做出了系统层面的折衷决策。这些 CAN 系统级规范的示例包括 ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939 和 NMEA 2000。

CAN 网络系统设计就是做出一系列的权衡。在 ISO 11898-2:2016 规范中规定了总线负载范围为 $50\ \Omega$ 至 $65\ \Omega$ 时的驱动器差分输出，其中该差分输出必须大于 1.5V。TCAN1162-Q1 可在总线负载低至 $50\ \Omega$ 时满足 1.5V 要求，在 $45\ \Omega$ 总线负载时满足 1.4V 差分输出要求。TCAN1162-Q1 的差分输入阻抗至少为 $4\text{k}\ \Omega$ 。如果总线上有 100 个并联的 TCAN1162-Q1 器件，这就相当于 $400\ \Omega$ 差分负载与标称 $60\ \Omega$ 总线终端并联，因此总线负载总共约为 $52\ \Omega$ 。因此，TCAN1162-Q1 理论上在单个总线段上支持超过 100 个器件。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、时序、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实

际的最大节点数通常更少。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。不过，在利用这种灵活性时，CAN 网络系统设计人员必须保证良好的网络设计，以确保网络稳定运行。

8.2.2 详细设计过程

8.2.2.1 CAN 终端

总线末端可以采用单个 $120\ \Omega$ 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂终端，请参阅图 8-2。分裂端接通过滤除差分信号线路上可能存在的高频共模噪声，来改善网络的电磁发射行为。

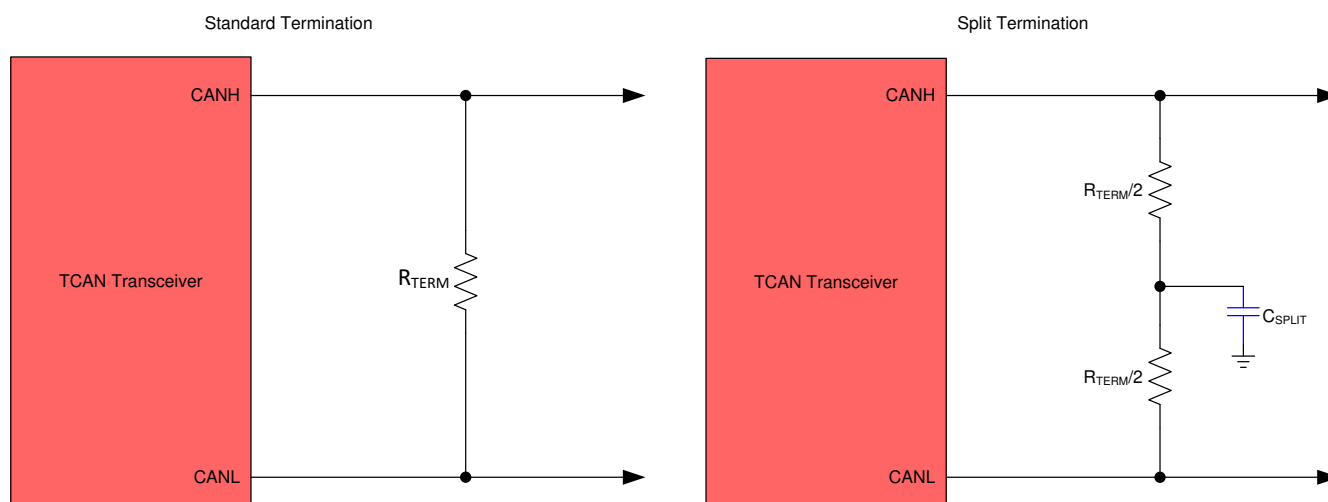


图 8-2. CAN 总线端接概念

8.3 应用曲线

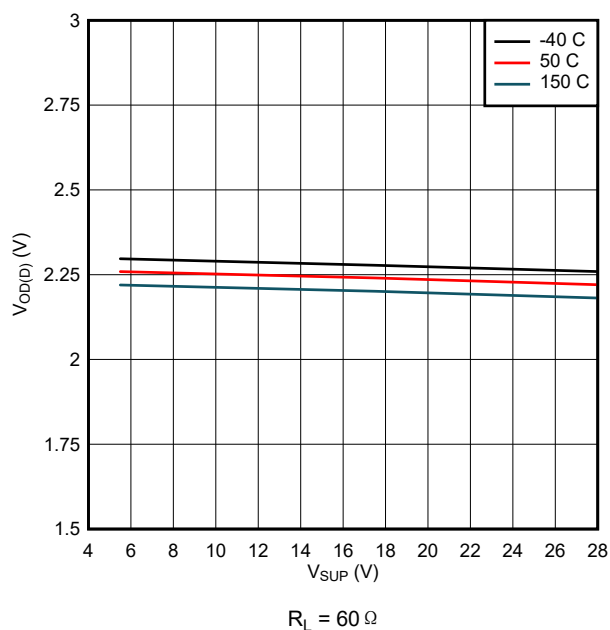


图 8-3. $V_{OD(D)}$ 与 V_{SUP} 之间的关系

8.4 电源要求

TCAN1162-Q1 设计为在 5.5V 与 28V 的 V_{SUP} 输入电源电压范围内运行。TCAN1162-Q1 还采用了输出电平转换电源输入 V_{IO} ，设计电压范围为 1.7V 至 5.5V。输入电源必须经过良好调节。应将一个通常为 100nF 的旁路电容靠近器件的 V_{SUP} 和 V_{IO} 电源引脚布置。这样有助于减少开关模式电源输出中出现的电源电压波纹，并且有助于补偿 PCB 电源层与布线的电阻和电感。

8.5 布局

8.5.1 布局指南

将保护和滤波电路放置于尽可能靠近总线连接器的位置，以防瞬变脉冲群、ESD 和噪声传送到电路板。布局布线示例提供了有关器件本身周围元件的信息。如需额外保护，可添加瞬态电压抑制 (TVS) 器件。双向 TVS 二极管或额定值符合应用需求的压敏电阻可用作生产解决方案。此示例还显示了可选的总线滤波电容。

朝信号路径的方向设计总线保护元件。不得将瞬态电流从信号路径强行转移至保护器件。使用电源和接地层来提供低电感。

备注

高频电流会选择阻抗最小的路径，而非电阻最小的路径。

当旁路电容和保护器件连接电源和地时，应至少使用两个过孔以更大限度减少布线电感和过孔电感。

- 旁路电容和去耦电容应尽可能靠近收发器的电源端子布置。
- 总线端接：本布局布线示例显示的是分裂端接。其中，端接分为两个电阻，端接的中心或分接抽头通过电容接地。分裂端接为总线提供共模滤波。当在电路板上而非直接在总线上进行总线端接时，务必谨慎操作以确保端接节点不会从总线上移除，否则会导致没有端接。

8.5.2 布局示例

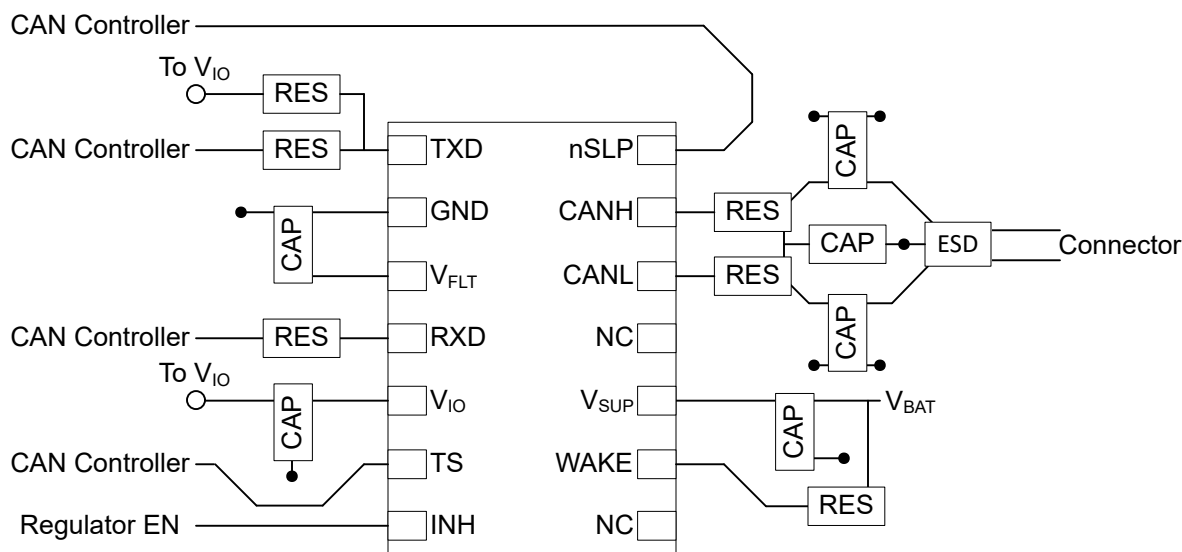


图 8-4. TCAN1162 示例布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2021) to Revision B (July 2025)	Page
• 将“器件信息”表更改为 封装信息 表.....	1
• 在 图 7-1 中将 INH 改为开漏输出.....	15

Changes from Revision * (May 2021) to Revision A (December 2021)	Page
• 将文档状态从 预告信息 更改为 量产数据	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN1162DMTRQ1	Active	Production	VSON (DMT) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1162
TCAN1162DMTRQ1.A	Active	Production	VSON (DMT) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1162

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

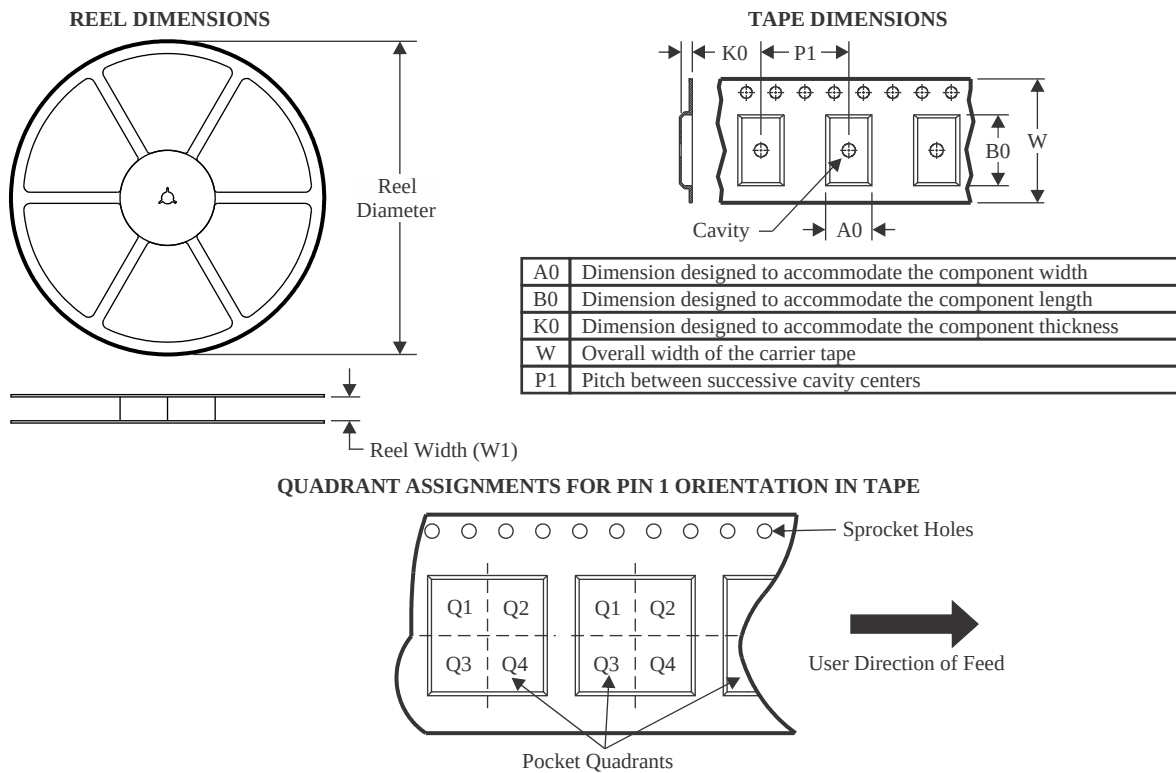
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

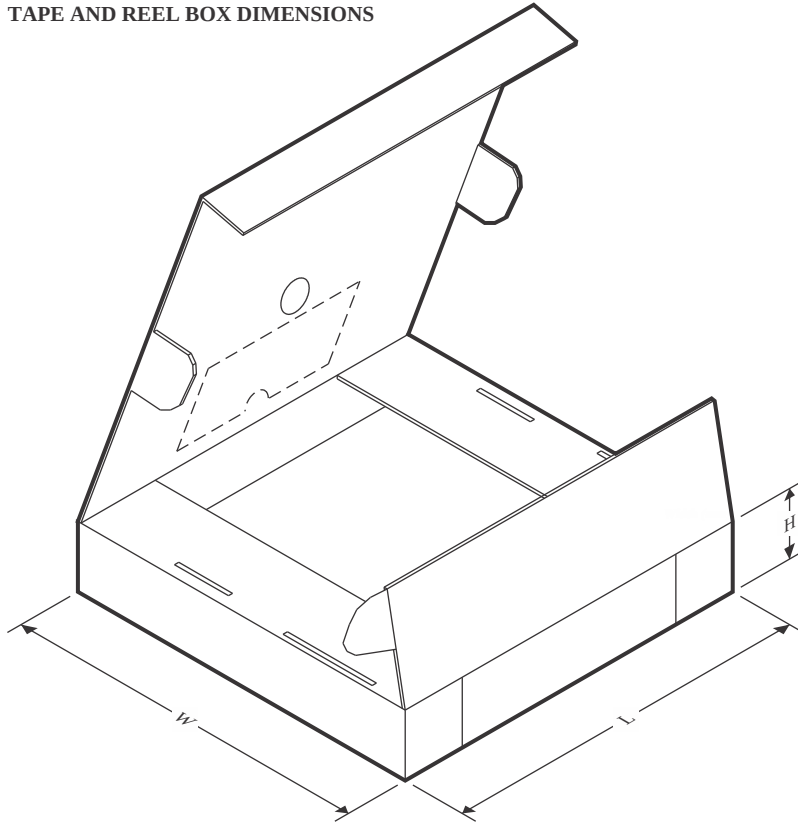
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN1162DMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN1162DMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

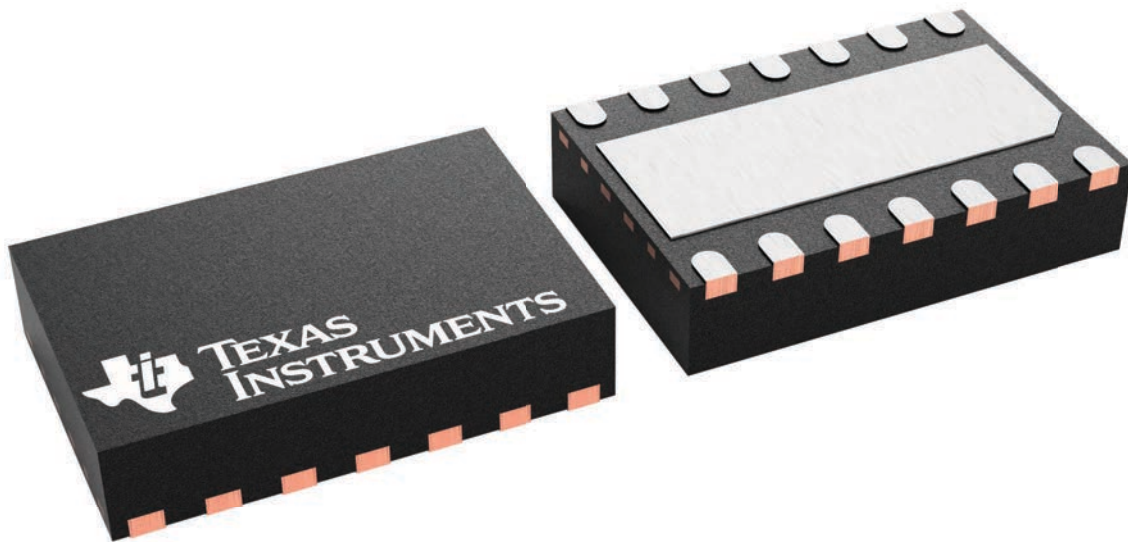
DMT 14

VSON - 0.9 mm max height

3 x 4.5, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



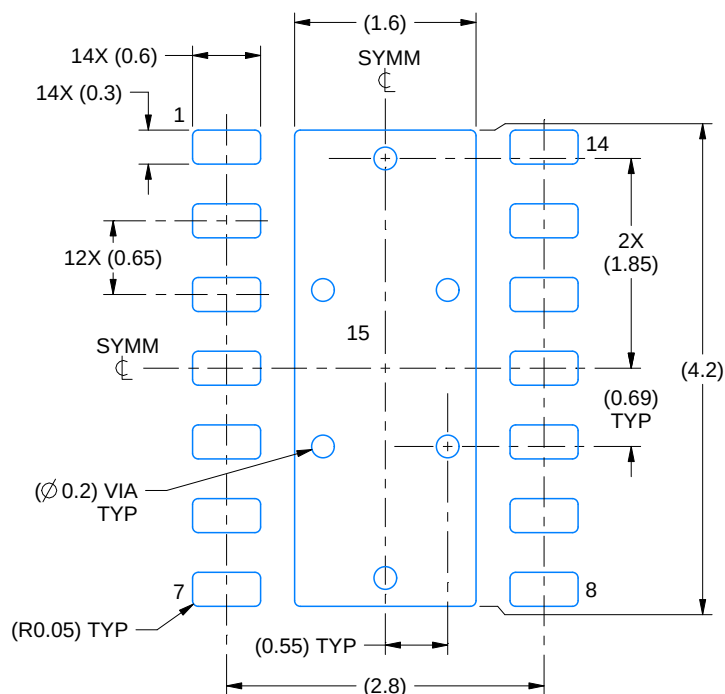
4225088/A

EXAMPLE BOARD LAYOUT

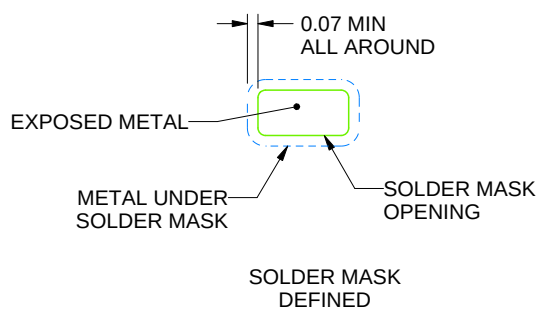
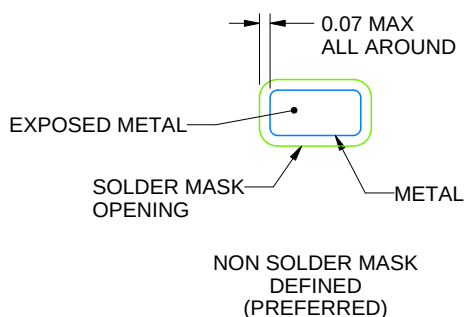
DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4225087/B 01/2021

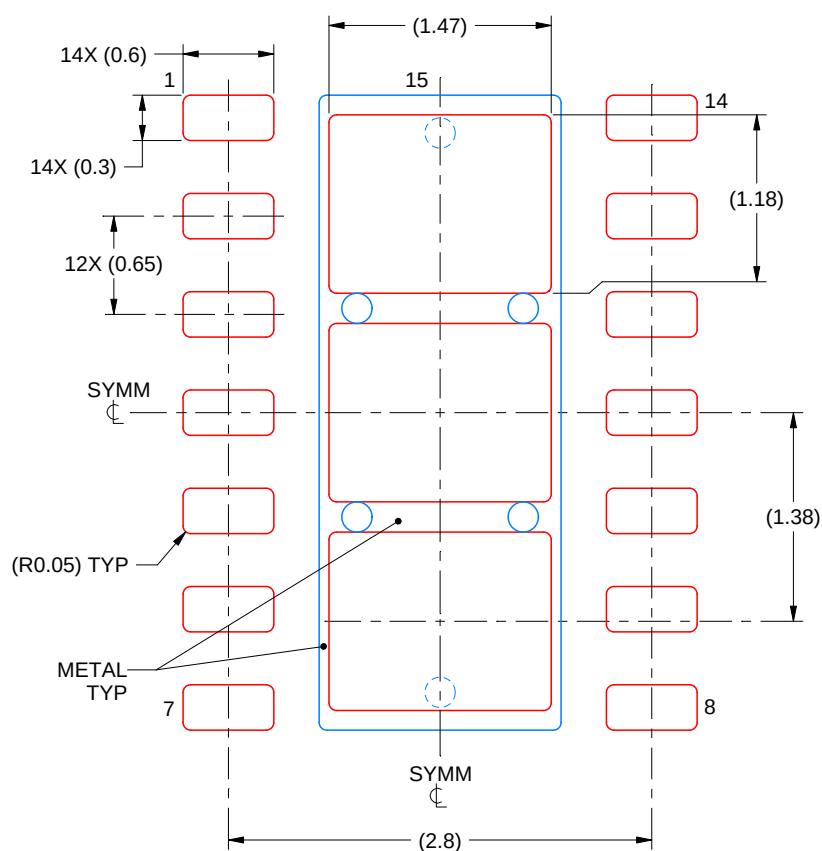
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 15
77.4% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4225087/B 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司