

SN74LVC166A 具有清零功能的 8 位并行负载移位寄存器

1 特性

- 工作电压范围为 1.1V 至 3.6V
- 耐过压输入支持高达 5.5V 的电压 (独立于 V_{CC})
- 支持局部关断以及后驱动保护 (I_{off})
- 高推挽输出驱动强度：
 - 在 3.3V 时为 $\pm 24\text{mA}$
 - 在 2.3V 时为 $\pm 8\text{mA}$
 - 在 1.65V 时为 $\pm 4\text{mA}$
- 电源为 4.5V 时的最大传播延迟为 在 3.3V 电源下为 11.2ns
- 闩锁性能超过 100mA , 符合 JESD78 规范

2 应用

- 增加微控制器上的输入数量
- 在电路板版本中读取

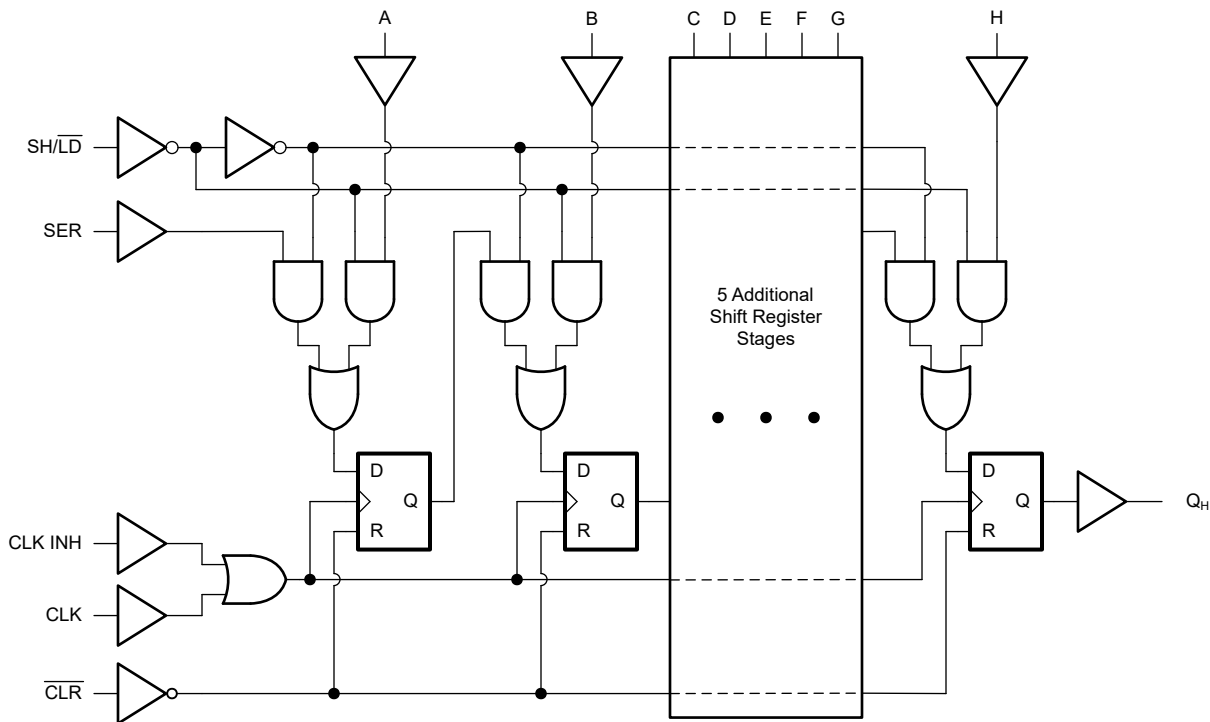
3 说明

SN74LVC166A 包含一个 8 位并行负载移位寄存器。使用移位或负载 ($\overline{\text{SH/LD}}$) 选择和时钟 (CLK) 输入可同步加载数据。该器件包括一个支持菊花链连接的串行 (SER) 输入和一个异步清零 ($\overline{\text{CLR}}$) 输入。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值) ⁽³⁾
SN74LVC166A	BQB (WQFN , 16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	D (SOIC , 16)	9.9mm × 6mm	9.9mm × 3.9mm
	PW (TSSOP , 16)	5mm × 6.4mm	5mm × 4.4mm

- 如需了解更多信息, 请参阅节 11。
- 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)
- 本体尺寸 (长 × 宽) 为标称值, 不包括引脚。



功能图



内容

1 特性	1	7.2 功能方框图	15
2 应用	1	7.3 特性说明	15
3 说明	1	7.4 器件功能模式	17
4 引脚配置和功能	3	8 应用和实施	18
5 规格	4	8.1 应用信息	18
5.1 绝对最大额定值.....	4	8.2 典型应用	18
5.2 ESD 等级.....	4	8.3 电源相关建议	20
5.3 建议运行条件.....	4	8.4 布局	20
5.4 热性能信息.....	5	9 器件和文档支持	22
5.5 电气特性.....	5	9.1 文档支持	22
5.6 时序特性.....	5	9.2 接收文档更新通知	22
5.7 开关特性.....	8	9.3 支持资源	22
5.8 噪声特性.....	10	9.4 商标	22
5.9 典型特性.....	10	9.5 静电放电警告	22
6 参数测量信息	13	9.6 术语表	22
7 详细说明	15	10 修订历史记录	22
7.1 概述.....	15	11 机械、封装和可订购信息	22

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压范围		-0.5	6.5	V
V _I	输入电压范围 ⁽²⁾		-0.5	6.5	V
V _O	输出电压范围 ⁽²⁾		-0.5	V _{CC} + 0.5	V
I _{IK}	输入钳位电流	V _I < 0V		-50	mA
I _{OK}	输出钳位电流	V _O < 0V		-50	mA
I _O	持续输出电流			±50	mA
	通过 V _{CC} 或 GND 的持续电流			±100	mA
T _J	结温			150	°C
T _{stg}	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V _{CC}	电源电压	运行	1.1	3.6	V
V _I	输入电压		0	5.5	V
V _O	输出电压	高电平或低电平状态	0	V _{CC}	V
I _{OH}	高电平输出电流	V _{CC} = 1.8V		-4	mA
		V _{CC} = 2.3V		-8	
		V _{CC} = 2.7V		-12	
		V _{CC} = 3V		-24	
I _{OL}	低电平输出电流	V _{CC} = 1.8V		4	mA
		V _{CC} = 2.3V		8	
		V _{CC} = 2.7V		12	
		V _{CC} = 3V		24	
Δt / Δv	输入转换上升或下降速率			10	ns/V
T _A	自然通风条件下的工作温度范围		-40	125	°C

5.4 热性能信息

封装	引脚	热性能指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	16	141.8	74	87.1	22.3	86.6	-	°C/W
BQB (WQFN)	16	98.8	94.3	67.6	15.4	67.6	46.2	°C/W
DYY (SOT-23-THN)	16	196.3	117.4	122.9	22.3	122.7	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体](#)和[IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V_{OH}	$I_{OH} = -100 \mu A$	1.1V 至 3.6V	$V_{CC} - 0.2$	$V_{CC} - 0.01$		V
V_{OH}	$I_{OH} = -4mA$	1.65V	1.2			V
V_{OH}	$I_{OH} = -8mA$	2.3V	1.75			V
V_{OH}	$I_{OH} = -12mA$	2.7V	2.2			V
V_{OH}		3V	2.4			V
V_{OH}	$I_{OH} = -24mA$	3V	2.2			V
V_{OL}	$I_{OL} = 100 \mu A$	1.1V 至 3.6V		0.01	0.2	V
V_{OL}	$I_{OL} = 4mA$	1.65V			0.45	V
V_{OL}	$I_{OL} = 8mA$	2.3V			0.7	V
V_{OL}	$I_{OL} = 12mA$	2.7V			0.4	V
V_{OL}	$I_{OL} = 24mA$	3V			0.55	V
I_I	$V_I = V_{CC}$ 或 GND	3.6V			± 5	μA
I_{off}	V_I 或 $V_O = V_{CC}$	0V			± 10	μA
I_{CC}	$V_I = V_{CC}$ 或 GND, $I_O = 0$	3.6V			40	μA
ΔI_{CC}	一个输入电压为 V_{CC} 至 0.6V，其他输入电压为 V_{CC} 或 GND	2.7V 至 3.6V			5000	μA
C_I	$V_I = V_{CC}$ 或 GND	3.3V		4.9		pF
C_O	$V_O = V_{CC}$ 或 GND	3.3V		6.3		pF
C_{PD}	$f = 10MHz$	1.8V		12		pF
C_{PD}	$f = 10MHz$	2.5V		15		pF
C_{PD}	$f = 10MHz$	3.3V		17		pF

5.6 时序特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	说明	条件	V_{CC}	-40°C 至 125°C		单位
				最小值	最大值	
F_{clock}	时钟频率		1.2V $\pm$ 0.1V		59	MHz
			1.5V $\pm$ 0.15V		64	MHz
			1.8V $\pm$ 0.15V		64	MHz
			2.5V $\pm$ 0.2V		100	MHz
			3.3V $\pm$ 0.3V		104	MHz
t_W	脉冲持续时间	$\overline{CLR}$ 为低电平	1.2V $\pm$ 0.1V		6.9	ns

5.6 时序特性 (续)

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	说明	条件	V _{CC}	-40°C 至 125°C		单位
				最小值	最大值	
t _W	脉冲持续时间	SH/ $\overline{\text{LD}}$ 为低电平	1.2V ± 0.1V	6.9		ns
t _W	脉冲持续时间	CLK	1.2V ± 0.1V	7		ns
t _{SU}	设置时间	CLK ↑ 之前 SH/ $\overline{\text{LD}}$ 为高电平	1.2V ± 0.1V	16.5		ns
t _{SU}	设置时间	CLK ↑ 之前的 SER	1.2V ± 0.1V	10.1		ns
t _{SU}	设置时间	CLK ↑ 之前的 CLK INH	1.2V ± 0.1V	1		ns
t _{SU}	设置时间	CLK ↑ 之前的数据	1.2V ± 0.1V	10		ns
t _{SU}	设置时间	$\overline{\text{CLR}}$ 在 CLK ↑ 之前无效	1.2V ± 0.1V	10.1		ns
t _H	保持时间	CLK ↑ 之后的 SER 数据	1.2V ± 0.1V	0.4		ns
t _H	保持时间	SH/ $\overline{\text{LD}}$ ↓ 之后的并行数据	1.2V ± 0.1V	1.8		ns
t _H	保持时间	CLK ↑ 之后 SH/ $\overline{\text{LD}}$ 为高电平	1.2V ± 0.1V	0		ns
t _H	保持时间	CLK ↑ 之后 CLK INH 为高电平	1.2V ± 0.1V	0.4		ns
t _H	保持时间	CLK ↑ 之后的数据	1.2V ± 0.1V	1		ns
t _W	脉冲持续时间	$\overline{\text{CLR}}$ 为低电平	1.5V ± 0.15V	6.9		ns
t _W	脉冲持续时间	SH/ $\overline{\text{LD}}$ 为低电平	1.5V ± 0.15V	6.9		ns
t _W	脉冲持续时间	CLK	1.5V ± 0.15V	7		ns
t _{SU}	设置时间	CLK ↑ 之前 SH/ $\overline{\text{LD}}$ 为高电平	1.5V ± 0.15V	10		ns
t _{SU}	设置时间	CLK ↑ 之前的 SER	1.5V ± 0.15V	10.1		ns
t _{SU}	设置时间	CLK ↑ 之前的 CLK INH	1.5V ± 0.15V	1		ns
t _{SU}	设置时间	CLK ↑ 之前的数据	1.5V ± 0.15V	10		ns
t _{SU}	设置时间	$\overline{\text{CLR}}$ 在 CLK ↑ 之前无效	1.5V ± 0.15V	10.1		ns
t _H	保持时间	CLK ↑ 之后的 SER 数据	1.5V ± 0.15V	1.2		ns
t _H	保持时间	SH/ $\overline{\text{LD}}$ ↓ 之后的并行数据	1.5V ± 0.15V	1.9		ns
t _H	保持时间	CLK ↑ 之后 SH/ $\overline{\text{LD}}$ 为高电平	1.5V ± 0.15V	1		ns
t _H	保持时间	CLK ↑ 之后 CLK INH 为高电平	1.5V ± 0.15V	0.6		ns
t _H	保持时间	CLK ↑ 之后的数据	1.5V ± 0.15V	1.8		ns
t _W	脉冲持续时间	$\overline{\text{CLR}}$ 为低电平	1.8V ± 0.15V	6.9		ns
t _W	脉冲持续时间	SH/ $\overline{\text{LD}}$ 为低电平	1.8V ± 0.15V	6.9		ns
t _W	脉冲持续时间	CLK	1.8V ± 0.15V	7		ns
t _{SU}	设置时间	CLK ↑ 之前 SH/ $\overline{\text{LD}}$ 为高电平	1.8V ± 0.15V	8		ns
t _{SU}	设置时间	CLK ↑ 之前的 SER	1.8V ± 0.15V	10.1		ns
t _{SU}	设置时间	CLK ↑ 之前的 CLK INH	1.8V ± 0.15V	1		ns
t _{SU}	设置时间	CLK ↑ 之前的数据	1.8V ± 0.15V	8		ns
t _{SU}	设置时间	$\overline{\text{CLR}}$ 在 CLK ↑ 之前无效	1.8V ± 0.15V	10.1		ns
t _H	保持时间	CLK ↑ 之后的 SER 数据	1.8V ± 0.15V	0.2		ns
t _H	保持时间	SH/ $\overline{\text{LD}}$ ↓ 之后的并行数据	1.8V ± 0.15V	0.8		ns
t _H	保持时间	CLK ↑ 之后 SH/ $\overline{\text{LD}}$ 为高电平	1.8V ± 0.15V	0		ns
t _H	保持时间	CLK ↑ 之后 CLK INH 为高电平	1.8V ± 0.15V	0.3		ns
t _H	保持时间	CLK ↑ 之后的数据	1.8V ± 0.15V	1		ns
t _W	脉冲持续时间	$\overline{\text{CLR}}$ 为低电平	2.5V ± 0.2V	5.4		ns
t _W	脉冲持续时间	SH/ $\overline{\text{LD}}$ 为低电平	2.5V ± 0.2V	5.4		ns

5.6 时序特性 (续)

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	说明	条件	V _{CC}	-40°C 至 125°C		单位
				最小值	最大值	
t _W	脉冲持续时间	CLK	2.5V ± 0.2V	4.5		ns
t _{SU}	设置时间	CLK ↑ 之前 SH/LD 为高电平	2.5V ± 0.2V	4.5		ns
t _{SU}	设置时间	CLK ↑ 之前的 SER	2.5V ± 0.2V	5.9		ns
t _{SU}	设置时间	CLK ↑ 之前的 CLK INH	2.5V ± 0.2V	1		ns
t _{SU}	设置时间	CLK ↑ 之前的数据	2.5V ± 0.2V	4.5		ns
t _{SU}	设置时间	CLR 在 CLK ↑ 之前无效	2.5V ± 0.2V	5.9		ns
t _H	保持时间	CLK ↑ 之后的 SER 数据	2.5V ± 0.2V	0.5		ns
t _H	保持时间	SH/LD ↓ 之后的并行数据	2.5V ± 0.2V	0		ns
t _H	保持时间	CLK ↑ 之后 SH/LD 为高电平	2.5V ± 0.2V	0.1		ns
t _H	保持时间	CLK ↑ 之后 CLK INH 为高电平	2.5V ± 0.2V	0.3		ns
t _H	保持时间	CLK ↑ 之后的数据	2.5V ± 0.2V	1.5		ns
t _W	脉冲持续时间	CLR 为低电平	3.3V ± 0.3V	4.3		ns
t _W	脉冲持续时间	SH/LD 为低电平	3.3V ± 0.3V	4.3		ns
t _W	脉冲持续时间	CLK	3.3V ± 0.3V	4.3		ns
t _{SU}	设置时间	CLK ↑ 之前 SH/LD 为高电平	3.3V ± 0.3V	3.5		ns
t _{SU}	设置时间	CLK ↑ 之前的 SER	3.3V ± 0.3V	4		ns
t _{SU}	设置时间	CLK ↑ 之前的 CLK INH	3.3V ± 0.3V	1		ns
t _{SU}	设置时间	CLK ↑ 之前的数据	3.3V ± 0.3V	2.9		ns
t _{SU}	设置时间	CLR 在 CLK ↑ 之前无效	3.3V ± 0.3V	4		ns
t _H	保持时间	CLK ↑ 之后的 SER 数据	3.3V ± 0.3V	0.5		ns
t _H	保持时间	SH/LD ↓ 之后的并行数据	3.3V ± 0.3V	0		ns
t _H	保持时间	CLK ↑ 之后 SH/LD 为高电平	3.3V ± 0.3V	0.2		ns
t _H	保持时间	CLK ↑ 之后 CLK INH 为高电平	3.3V ± 0.3V	0.5		ns
t _H	保持时间	CLK ↑ 之后的数据	3.3V ± 0.3V	1.5		ns

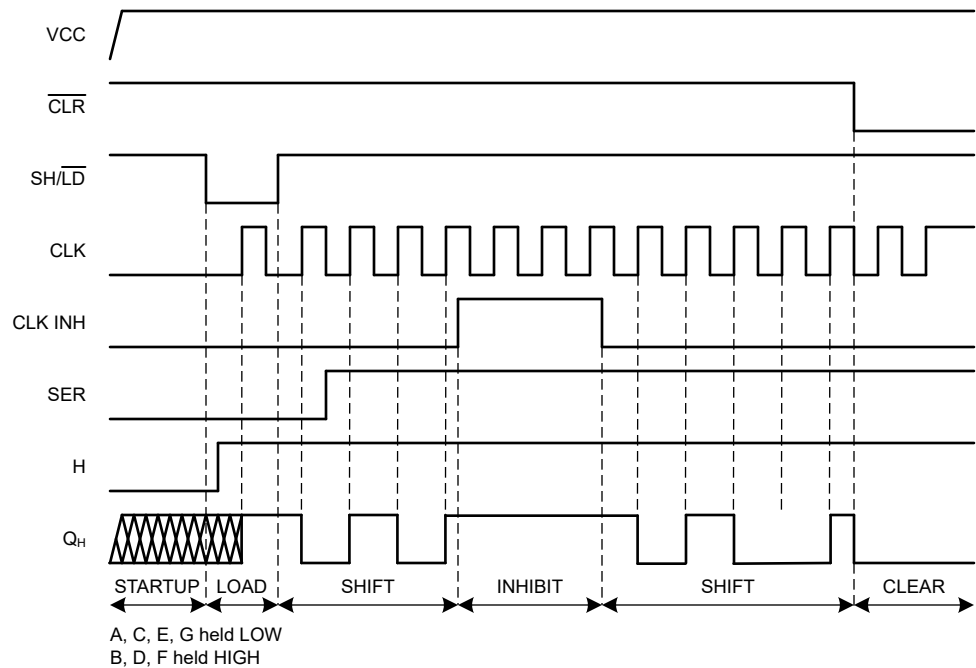


图 5-1. 时序图

5.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。请参阅参数测量信息

参数	从（输入）	到（输出）	负载电容	V _{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
t _{pd}	CLK	Q _H	C _L = 15pF	1.2V ± 0.1V	1		27.6	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 15pF	1.2V ± 0.1V	1		27.6	ns
t _{pd}	H	Q _H	C _L = 15pF	1.2V ± 0.1V	1		36.3	ns
t _{pd}	SH/ $\overline{\text{LD}}$	Q _H	C _L = 15pF	1.2V ± 0.1V	1		40.2	ns
t _{pd}	CLK	Q _H	C _L = 30pF	1.2V ± 0.1V	1		27.6	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 30pF	1.2V ± 0.1V	1		27.6	ns
t _{pd}	H	Q _H	C _L = 30pF	1.2V ± 0.1V	1		36.3	ns
t _{pd}	SH/ $\overline{\text{LD}}$	Q _H	C _L = 30pF	1.2V ± 0.1V	1		40.2	ns
t _{pd}	CLK	Q _H	C _L = 50pF	1.2V ± 0.1V	1		32.8	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 50pF	1.2V ± 0.1V	1		32.8	ns
t _{pd}	H	Q _H	C _L = 50pF	1.2V ± 0.1V	1		38.5	ns
t _{pd}	SH/ $\overline{\text{LD}}$	Q _H	C _L = 50pF	1.2V ± 0.1V	1		45.4	ns
t _{pd}	CLK	Q _H	C _L = 15pF	1.5V ± 0.15V	1		27.6	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 15pF	1.5V ± 0.15V	1		27.6	ns
t _{pd}	H	Q _H	C _L = 15pF	1.5V ± 0.15V	1		36.3	ns
t _{pd}	SH/ $\overline{\text{LD}}$	Q _H	C _L = 15pF	1.5V ± 0.15V	1		40.2	ns
t _{pd}	CLK	Q _H	C _L = 30pF	1.5V ± 0.15V	1		27.6	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 30pF	1.5V ± 0.15V	1		27.6	ns
t _{pd}	H	Q _H	C _L = 30pF	1.5V ± 0.15V	1		36.3	ns
t _{pd}	SH/ $\overline{\text{LD}}$	Q _H	C _L = 30pF	1.5V ± 0.15V	1		40.2	ns
t _{pd}	CLK	Q _H	C _L = 50pF	1.5V ± 0.15V	1		32.8	ns
t _{pd}	$\overline{\text{CLR}}$	Q _H	C _L = 50pF	1.5V ± 0.15V	1		32.8	ns

5.7 开关特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。请参阅 [参数测量信息](#)

参数	从 (输入)	到 (输出)	负载电容	V _{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
t _{pd}	H	Q _H	C _L = 50pF	1.5V ± 0.15V	1	41.5		ns
t _{pd}	SH/LD	Q _H	C _L = 50pF	1.5V ± 0.15V	1	45.4		ns
t _{pd}	CLK	Q _H	C _L = 15pF	1.8V ± 0.15V	1	27.6		ns
t _{pd}	CLR	Q _H	C _L = 15pF	1.8V ± 0.15V	1	27.6		ns
t _{pd}	H	Q _H	C _L = 15pF	1.8V ± 0.15V	1	36.3		ns
t _{pd}	SH/LD	Q _H	C _L = 15pF	1.8V ± 0.15V	1	40.2		ns
t _{pd}	CLK	Q _H	C _L = 30pF	1.8V ± 0.15V	1	27.6		ns
t _{pd}	CLR	Q _H	C _L = 30pF	1.8V ± 0.15V	1	27.6		ns
t _{pd}	H	Q _H	C _L = 30pF	1.8V ± 0.15V	1	36.3		ns
t _{pd}	SH/LD	Q _H	C _L = 30pF	1.8V ± 0.15V	1	40.2		ns
t _{pd}	CLK	Q _H	C _L = 50pF	1.8V ± 0.15V	1	32.8		ns
t _{pd}	CLR	Q _H	C _L = 50pF	1.8V ± 0.15V	1	32.8		ns
t _{pd}	H	Q _H	C _L = 50pF	1.8V ± 0.15V	1	41.5		ns
t _{pd}	SH/LD	Q _H	C _L = 50pF	1.8V ± 0.15V	1	45.4		ns
t _{pd}	CLK	Q _H	C _L = 15pF	2.5V ± 0.2V	1	16		ns
t _{pd}	CLR	Q _H	C _L = 15pF	2.5V ± 0.2V	1	16		ns
t _{pd}	H	Q _H	C _L = 15pF	2.5V ± 0.2V	1	21		ns
t _{pd}	SH/LD	Q _H	C _L = 15pF	2.5V ± 0.2V	1	23.8		ns
t _{pd}	CLK	Q _H	C _L = 30pF	2.5V ± 0.2V	1	16		ns
t _{pd}	CLR	Q _H	C _L = 30pF	2.5V ± 0.2V	1	16		ns
t _{pd}	H	Q _H	C _L = 30pF	2.5V ± 0.2V	1	21		ns
t _{pd}	SH/LD	Q _H	C _L = 30pF	2.5V ± 0.2V	1	23.8		ns
t _{pd}	CLK	Q _H	C _L = 50pF	2.5V ± 0.2V	1	20		ns
t _{pd}	CLR	Q _H	C _L = 50pF	2.5V ± 0.2V	1	20		ns
t _{pd}	H	Q _H	C _L = 50pF	2.5V ± 0.2V	1	25		ns
t _{pd}	SH/LD	Q _H	C _L = 50pF	2.5V ± 0.2V	1	27.7		ns
t _{pd}	CLK	Q _H	C _L = 15pF	3.3V ± 0.3V	1	11.2		ns
t _{pd}	CLR	Q _H	C _L = 15pF	3.3V ± 0.3V	1	11.2		ns
t _{pd}	H	Q _H	C _L = 15pF	3.3V ± 0.3V	1	14.5		ns
t _{pd}	SH/LD	Q _H	C _L = 15pF	3.3V ± 0.3V	1	16.6		ns
t _{pd}	CLK	Q _H	C _L = 30pF	3.3V ± 0.3V	1	11.2		ns
t _{pd}	CLR	Q _H	C _L = 30pF	3.3V ± 0.3V	1	11.2		ns
t _{pd}	H	Q _H	C _L = 30pF	3.3V ± 0.3V	1	14.5		ns
t _{pd}	SH/LD	Q _H	C _L = 30pF	3.3V ± 0.3V	1	16.6		ns
t _{pd}	CLK	Q _H	C _L = 50pF	3.3V ± 0.3V	1	14.5		ns
t _{pd}	CLR	Q _H	C _L = 50pF	3.3V ± 0.3V	1	14.5		ns
t _{pd}	H	Q _H	C _L = 50pF	3.3V ± 0.3V	1	17.8		ns
t _{pd}	SH/LD	Q _H	C _L = 50pF	3.3V ± 0.3V	1	19.9		ns

5.8 噪声特性

VCC = 3.3V, CL = 50pF, TA = 25°C

参数	说明	最小值	典型值	最大值	单位
V _{OL(P)}	安静输出, 最大动态 V _{OL}			0.8	V
V _{OL(V)}	安静输出, 最小动态 V _{OL}	-0.8	-0.3		V
V _{OH(V)}	安静输出, 最小动态 V _{OH}	2.2	3.3		V
V _{IH(D)}	高电平动态输入电压	2.0			V
V _{IL(D)}	低电平动态输入电压			0.8	V

5.9 典型特性

TA = 25°C (除非另有说明)

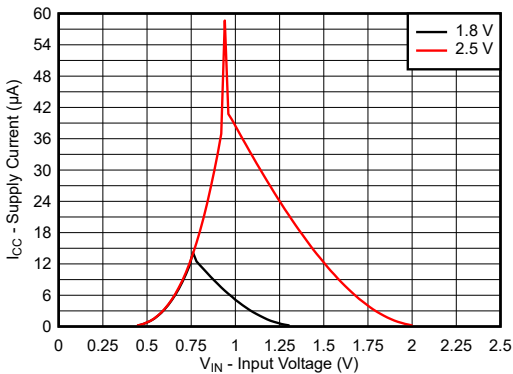


图 5-2. 电源电流与输入电压间的关系 (1.8V 和 2.5V 电源)

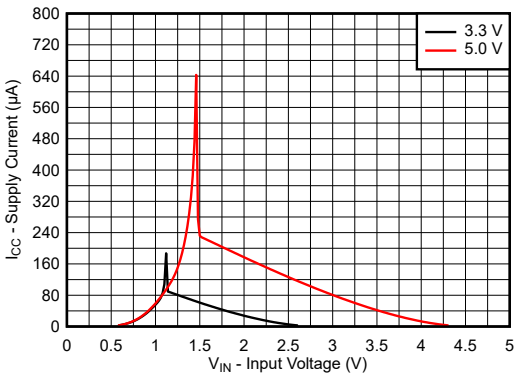


图 5-3. 电源电流与输入电压间的关系 (3.3V 和 5.0V 电源)

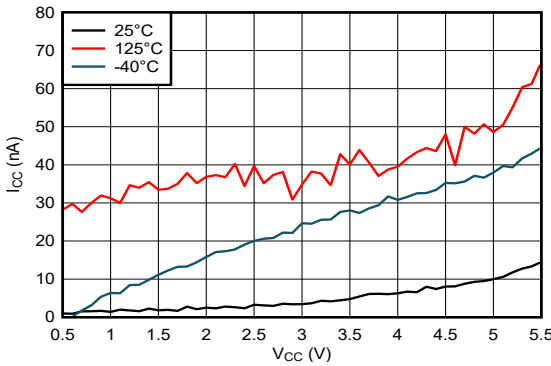


图 5-4. 电源电压两端的电源电流

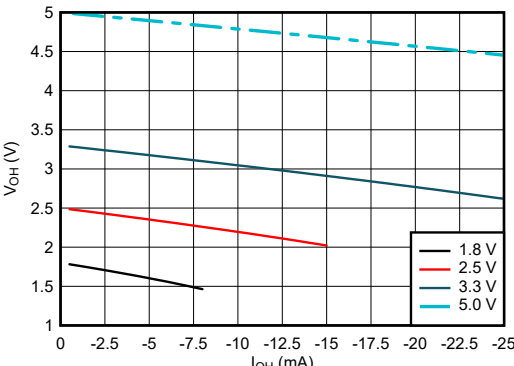


图 5-5. 高电平状态下输出电压与电流间的关系

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

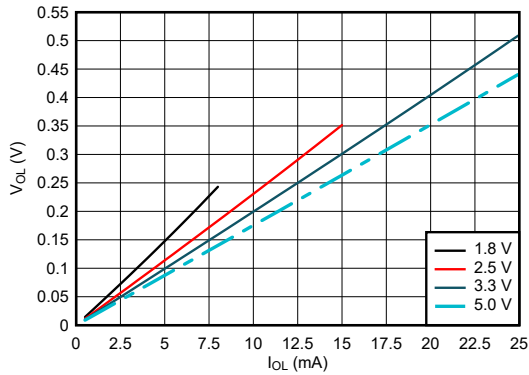


图 5-6. 低电平状态下输出电压与电流间的关系

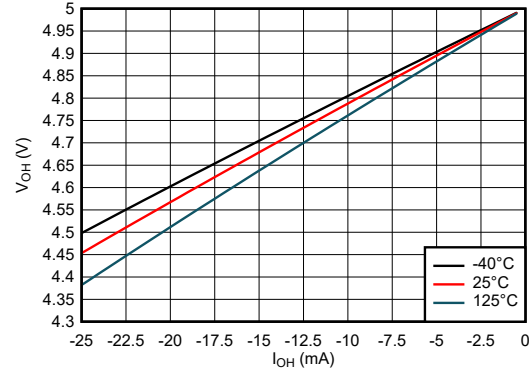


图 5-7. 高电平状态下输出电压与电流间的关系 (5V 电源)

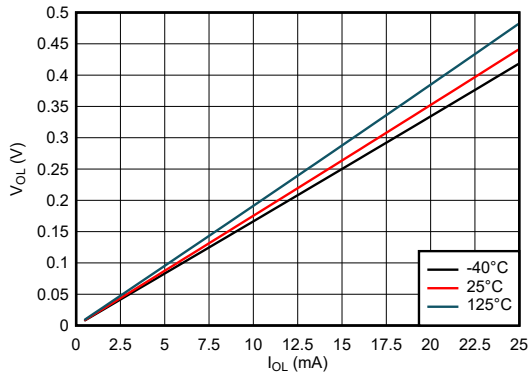


图 5-8. 低电平状态下输出电压与电流间的关系 (5V 电源)

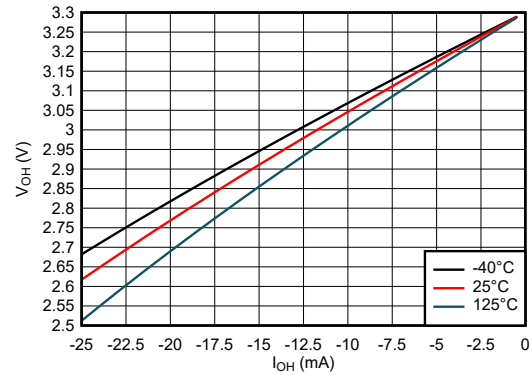


图 5-9. 高电平状态下输出电压与电流间的关系 (3.3V 电源)

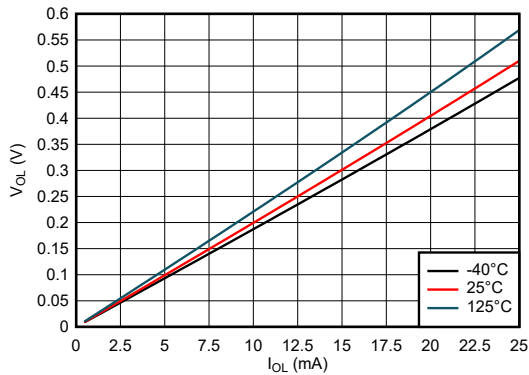


图 5-10. 低电平状态下输出电压与电流间的关系 (3.3V 电源)

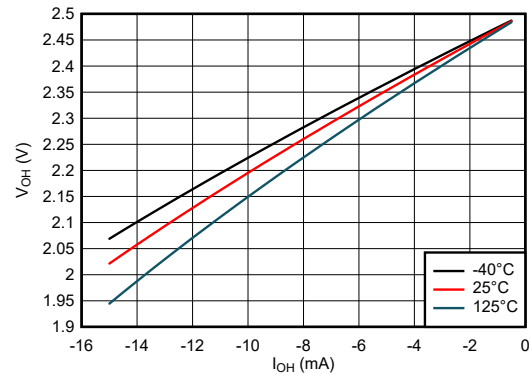


图 5-11. 高电平状态下输出电压与电流间的关系 (2.5V 电源)

5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

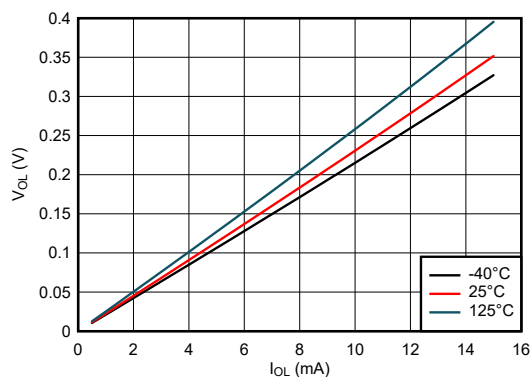


图 5-12. 低电平状态下输出电压与电流间的关系 (2.5V 电源)

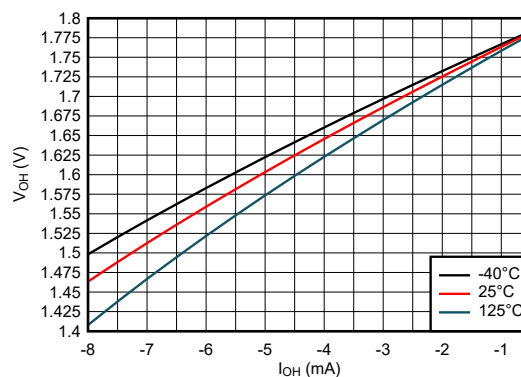


图 5-13. 高电平状态下输出电压与电流间的关系 (1.8V 电源)

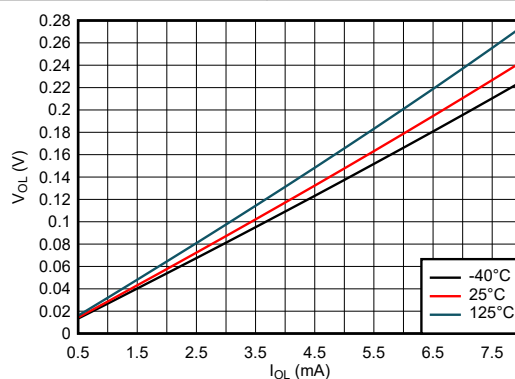


图 5-14. 低电平状态下输出电压与电流间的关系 (1.8V 电源)

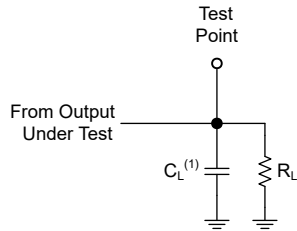
6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
 $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f \leq 2.5\text{ns}$ 。

对于时钟输入， f_{max} 是在输入占空比为 50% 时测量的。

输出单独测量，每次测量一个输入转换。

V_{CC}	V_t	R_L	C_L	ΔV
$1.2\text{V} \pm 0.1\text{V}$	$V_{CC}/2$	$2\text{k}\Omega$	15pF	0.1V
$1.5\text{V} \pm 0.12\text{V}$	$V_{CC}/2$	$2\text{k}\Omega$	15pF	0.1V
$1.8\text{V} \pm 0.15\text{V}$	$V_{CC}/2$	$1\text{k}\Omega$	30pF	0.15V
$2.5\text{V} \pm 0.2\text{V}$	$V_{CC}/2$	500Ω	30pF	0.15V
2.7V	1.5V	500Ω	50pF	0.3V
$3.3\text{V} \pm 0.3\text{V}$	1.5V	500Ω	50pF	0.3V



(1) C_L 包括探头和测试夹具电容。

图 6-1. 推挽输出的负载电路

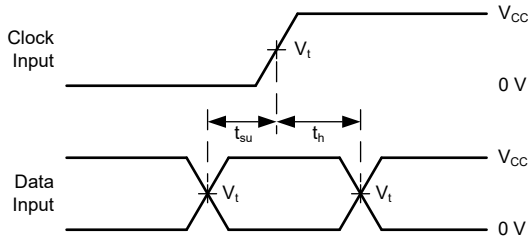


图 6-3. 电压波形，设置和保持时间

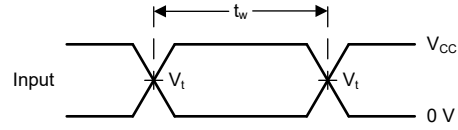
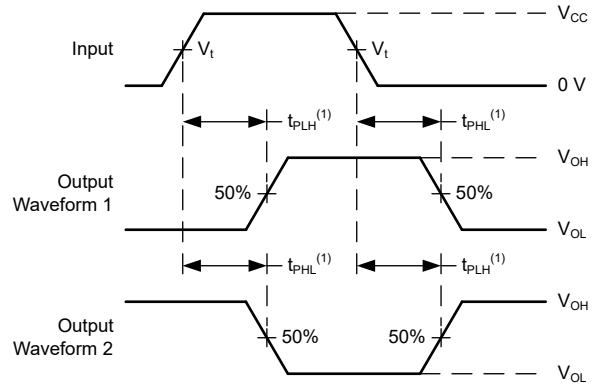
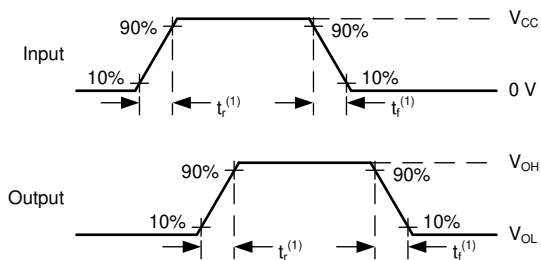


图 6-2. 电压波形，脉冲持续时间



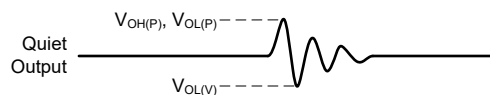
(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-4. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-5. 电压波形，输入和输出转换时间



在所有其他输出同时切换时测得的噪声值。

图 6-6. 电压波形和噪声

7 详细说明

7.1 概述

SN74LVC166A 是一款具有异步清零 ($\overline{\text{CLR}}$) 功能的并行负载 8 位移位寄存器。该并行或串行输入/串行输出移位寄存器具有门控时钟 (CLK 、 CLK INH) 输入和覆盖清零 ($\overline{\text{CLR}}$) 输入。并行输入或串行输入模式由模式选择 ($\text{SH}/\overline{\text{LD}}$) 输入确定。 $\text{SH}/\overline{\text{LD}}$ 为高电平时, 会启用串行 (SER) 数据输入, 并耦合八个触发器以在每个时钟 (CLK) 脉冲的作用下进行串行移位。当为低电平时, 并行 (A 到 H) 数据输入被启用, 并且在下一个时钟脉冲上发生同步加载。

在并行加载期间, 串行数据流被禁止。时钟在 CLK 或 CLK INH 的上升沿实现, 允许将一个输入用作时钟使能或时钟抑制功能。将 CLK 或 CLK INH 保持为高电平会抑制时钟; 将其中任何一个保持为低电平则会启用另一个时钟输入。仅当 CLK 为高电平时, 才应将 CLK INH 更改为高电平。

$\overline{\text{CLR}}$ 会覆盖包括 CLK 在内的所有其他输入, 并将所有触发器复位为零。

7.2 功能方框图

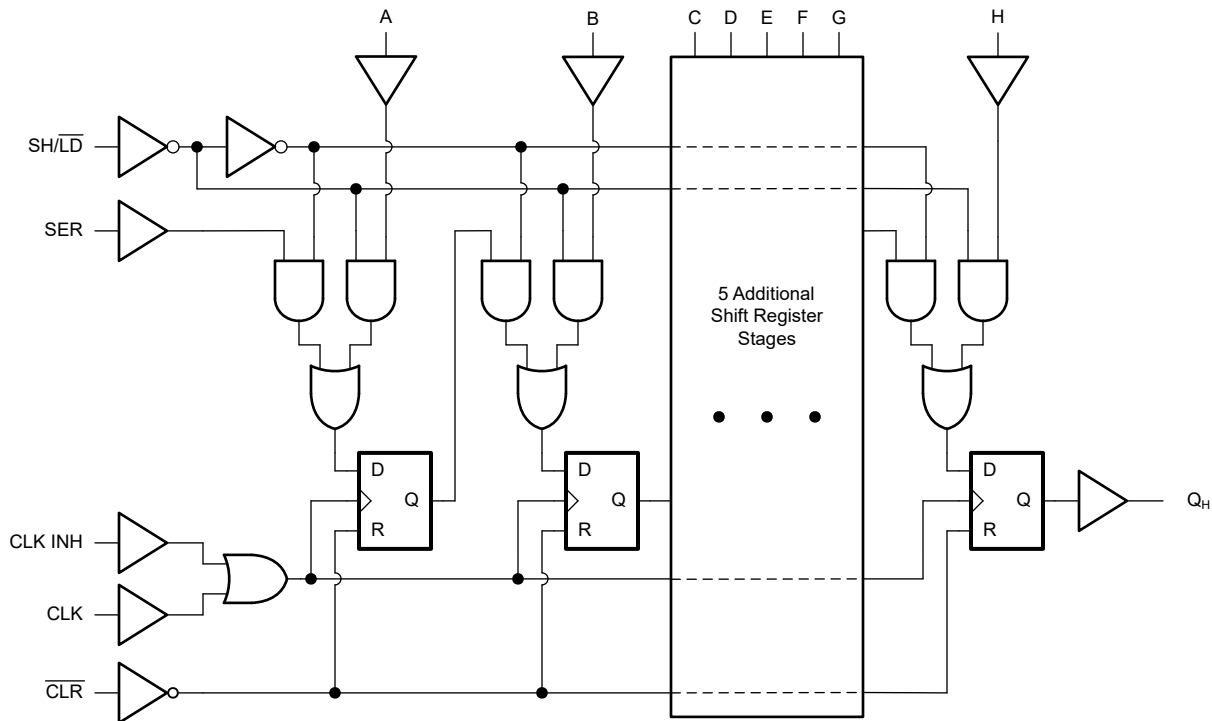


图 7-1. SN74LVC166A 的逻辑图 (正逻辑)

7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘, 因此应考虑布线和负载条件以防止振铃。此外, 该器件的输出能够驱动的电流比此器件能够承受的电流更大, 而不会损坏器件。务必限制器件的输出功率, 以避免因过流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在 *建议运行条件* 表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

7.3.3 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由 *电气特性* 表中的 I_{off} 规格定义。

7.3.4 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 [CMOS 输入缓慢或悬空的影响](#)。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

7.3.5 钳位二极管结构

图 7-2 展示了该器件的输入和输出仅布置负钳位二极管。

小心

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

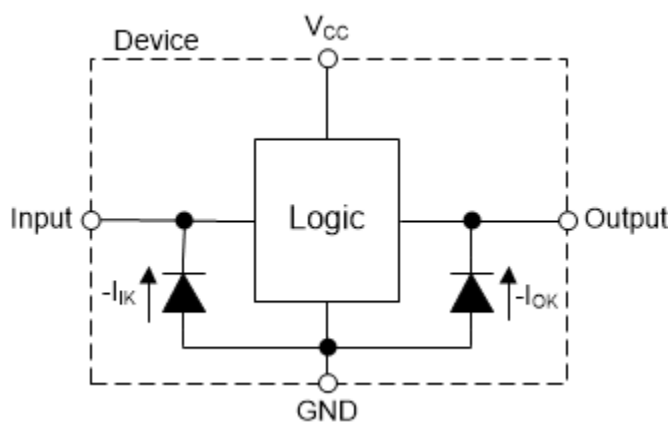


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1 列出了 SN74LVC166A 的功能模式。

表 7-1. 工作模式表

输入 ⁽¹⁾			功能
SH/LD	CLK	CLK INH	
L	X	X	并行负载 ⁽²⁾
H	H	X	没有变化
H	X	H	没有变化
H	L	↑	移位 ⁽³⁾
H	↑	L	移位 ⁽³⁾

- (1) H = 高电压电平, L = 低电压电平, X = 不用考虑, ↑ = 低电平至高电平转换
- (2) 并行负载: 输入端 A 到 H 的值与时钟同步加载到各自的内部寄存器。
- (3) 移位: 每个内部寄存器的内容与时钟同步通过串行输出 Q_H 传输。SER 的数据被移入第一个寄存器。

表 7-2. 输出功能表

内部寄存器 ^{(1) (2)}		输出 ⁽³⁾
A — G	H	Q
X	L	L
X	H	H

- (1) 内部寄存器是指器件内的移位寄存器。通过从并行或串行输入加载数据来设置这些值。
- (2) H = 高电压电平, L = 低电压电平, X = 不用考虑
- (3) H = 驱动至高电平, L = 驱动至低电平

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

在此应用中，SN74LVC166A 用于增加微控制器上的输入数量。与其他 I/O 扩展器不同，SN74LVC166A 不需要使用通信接口来进行控制。它可以通过简单的 GPIO 引脚轻松操作。

上电时，内部移位寄存器的初始状态是未知的。要给它们提供一个定义的零状态，可通过向清零 ($\overline{\text{CLR}}$) 输入施加低电平信号来清除器件。或者，可以通过切换到负载模式 ($\text{SH}/\overline{\text{LD}}$ = 低电平)，然后通过向时钟 (CLK) 输入发送一个时钟脉冲来直接加载数据。

8.2 典型应用

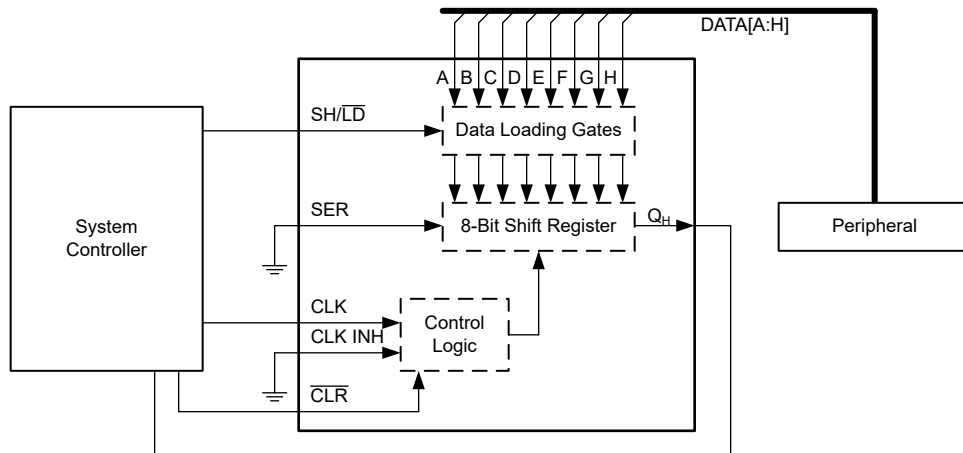


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LVC166A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LVC166A 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74LVC166A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LVC166A 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反绝对最大额定值中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过绝对最大额定值中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LVC166A 的漏电流（如电气特性中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

SN74LVC166A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如建议运行条件表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的更多信息，请参阅特性说明部分。

8.2.1.3 输出注意事项

正电源电压用于产生高电平电压输出。根据电气特性中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据电气特性中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅特性描述部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。布局部分中展示了示例布局。
2. 确保输出端的容性负载 $\leq 50pF$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LVC166A 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$ 。这可防止超出绝对最大额定值中的最大输出电流。大多数 CMOS 输入具有以 $M\Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

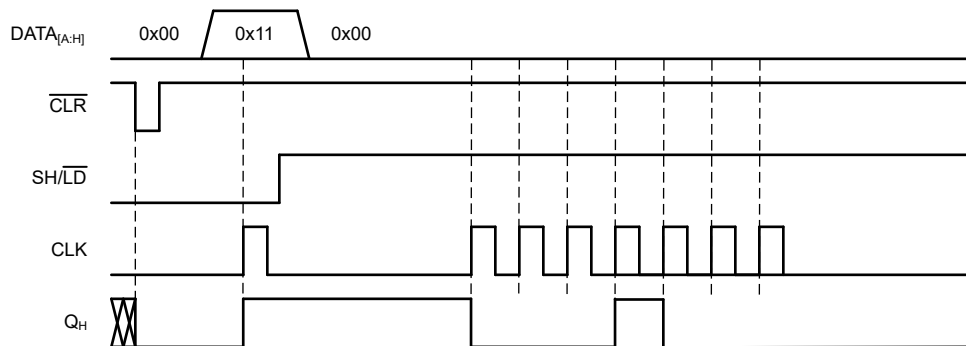


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是 *建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

在启动期间，电源应在 *建议运行条件* 表中提供的上电斜升速率范围内斜升。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于 SN74LVC166A，建议使用 $0.1\ \mu\text{F}$ 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 **GND** 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

8.4.2 布局示例

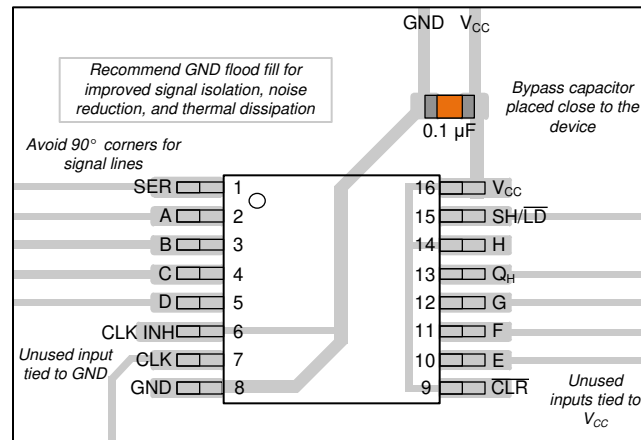


图 8-3. SN74LVC166A 的示例布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[CMOS 功耗与 Cpd 计算 应用手册](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计 应用手册](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性 应用手册](#)
- 德州仪器 (TI)，[CMOS 输入缓慢或悬空的影响 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订	注释
2024 年 5 月	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC166ABQBR	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC166A
SN74LVC166ABQBR.A	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC166A
SN74LVC166ADR	Active	Production	SOIC (D) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC166A
SN74LVC166ADR.A	Active	Production	SOIC (D) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC166A
SN74LVC166APWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LVC166
SN74LVC166APWR.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC166

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

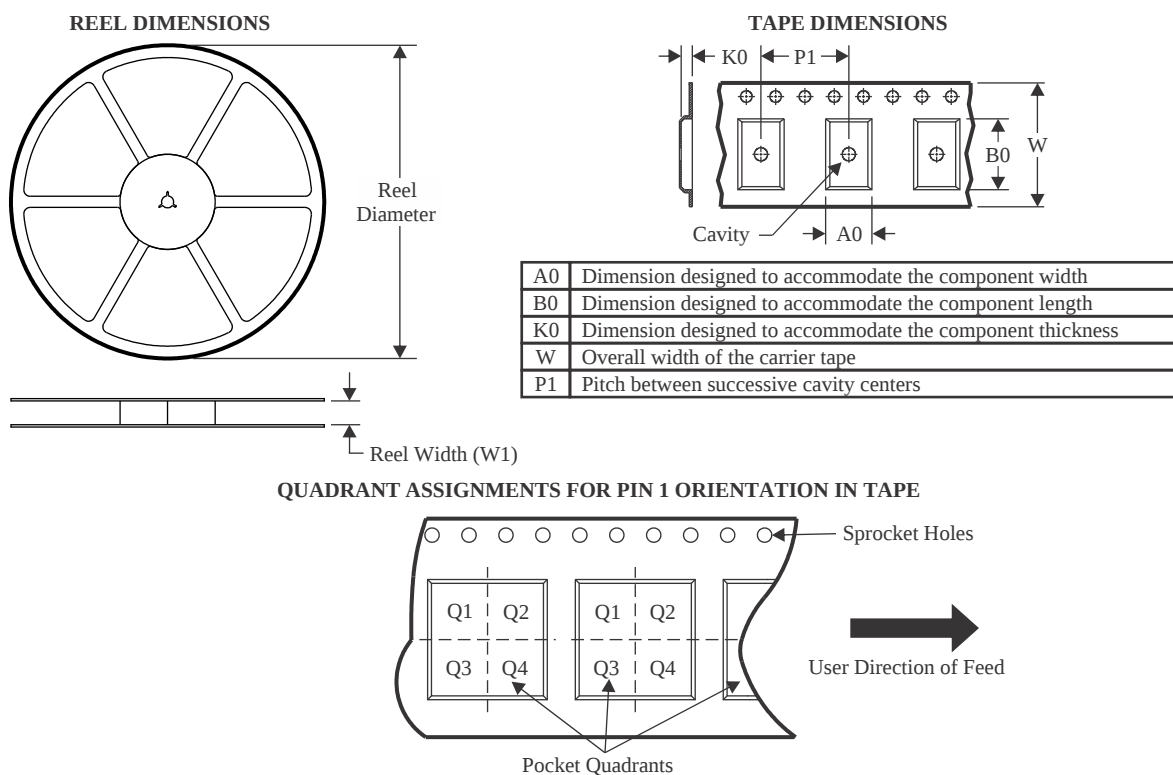
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

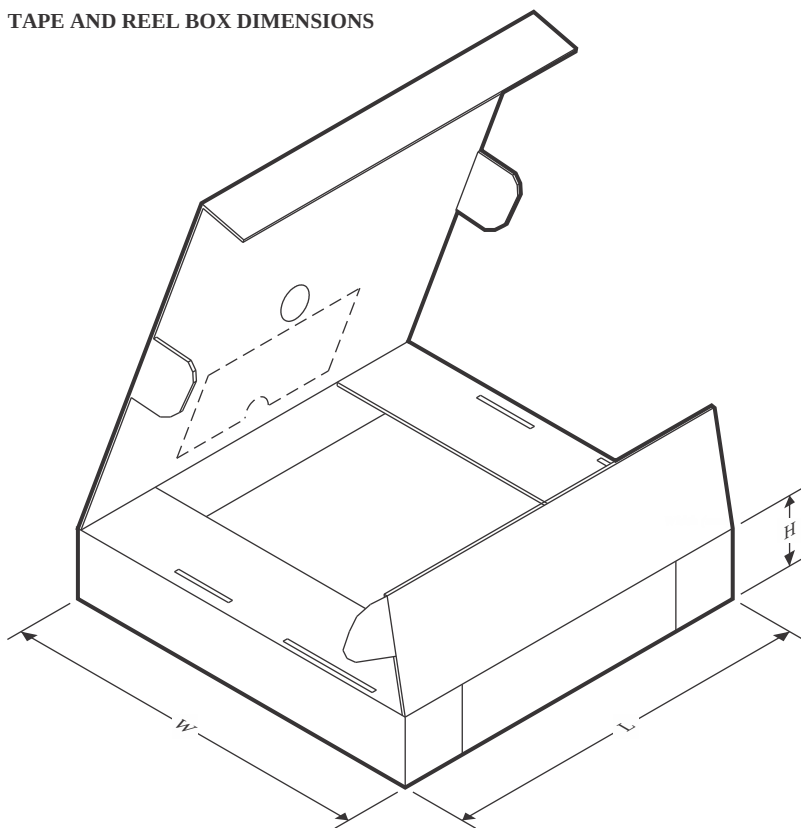
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC166ABQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74LVC166ADR	SOIC	D	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74LVC166APWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

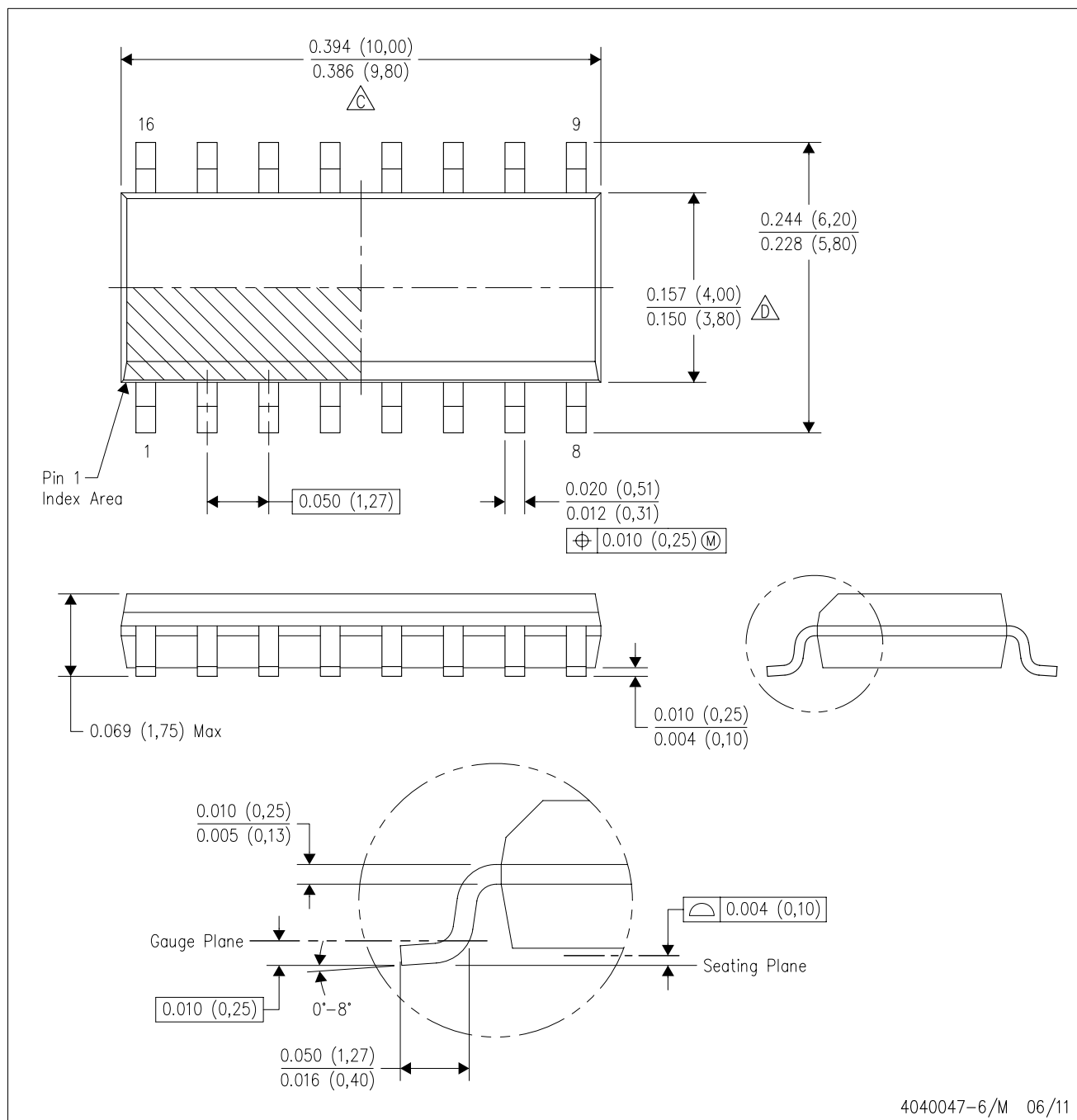


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC166ABQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74LVC166ADR	SOIC	D	16	3000	340.5	336.1	32.0
SN74LVC166APWR	TSSOP	PW	16	3000	353.0	353.0	32.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

GENERIC PACKAGE VIEW

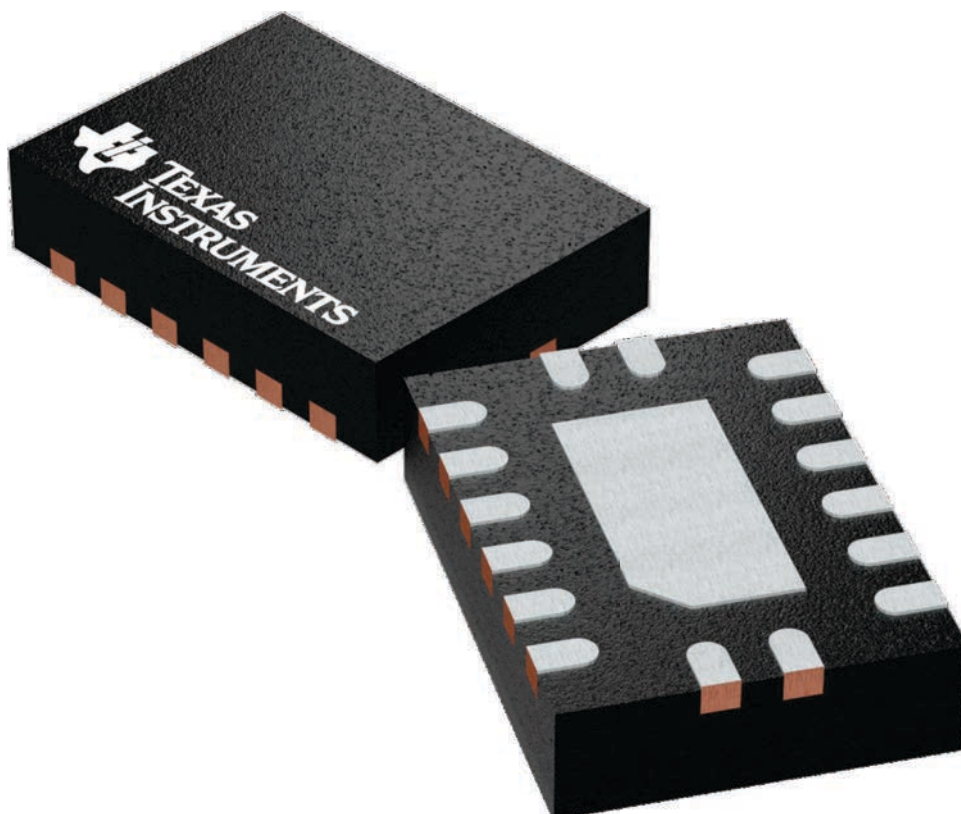
BQB 16

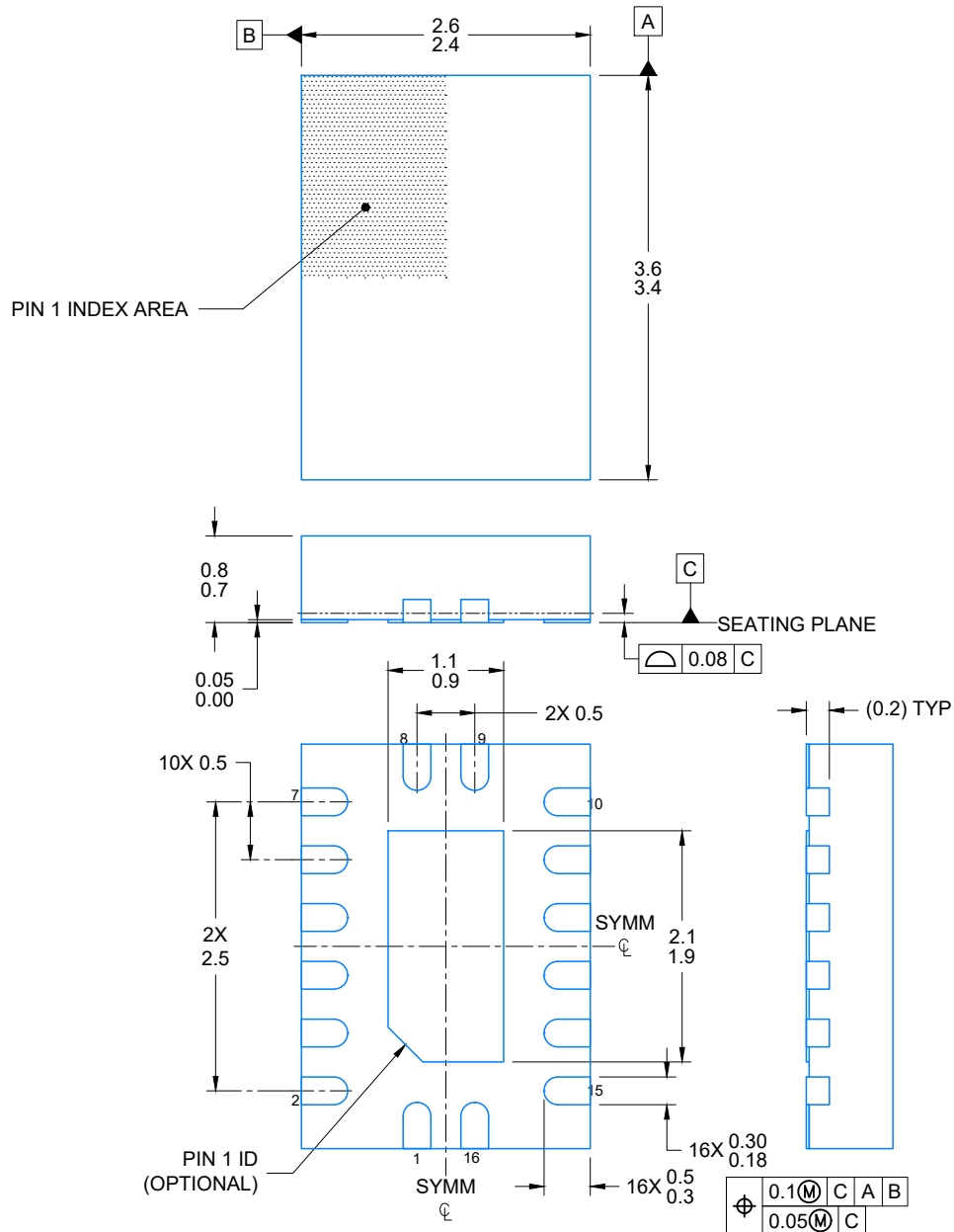
WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

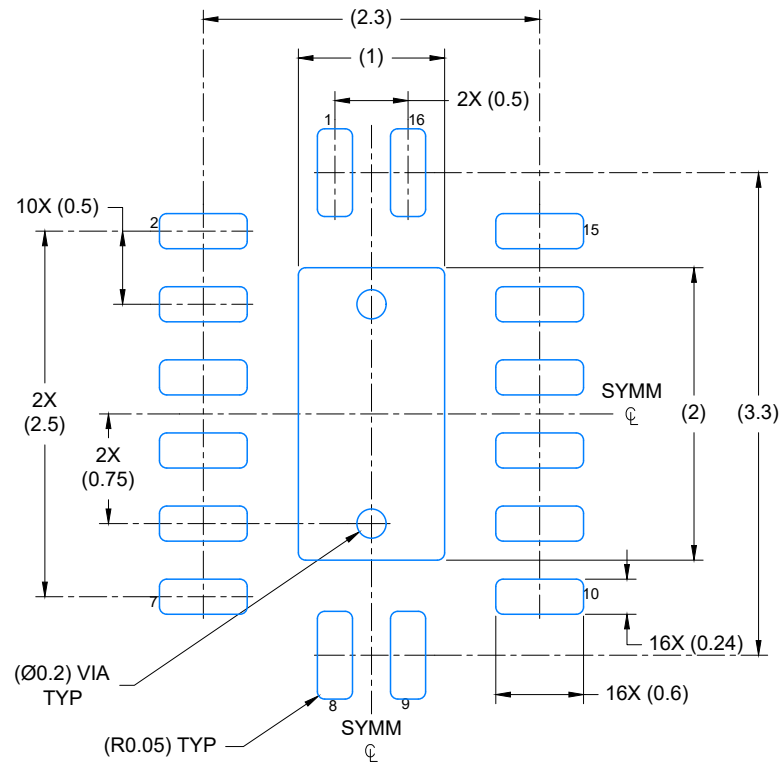




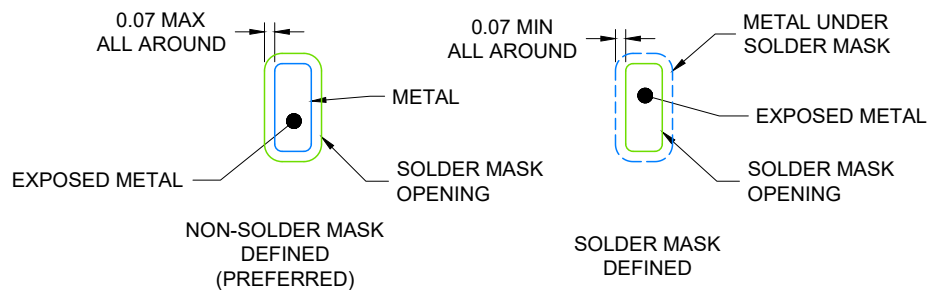
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

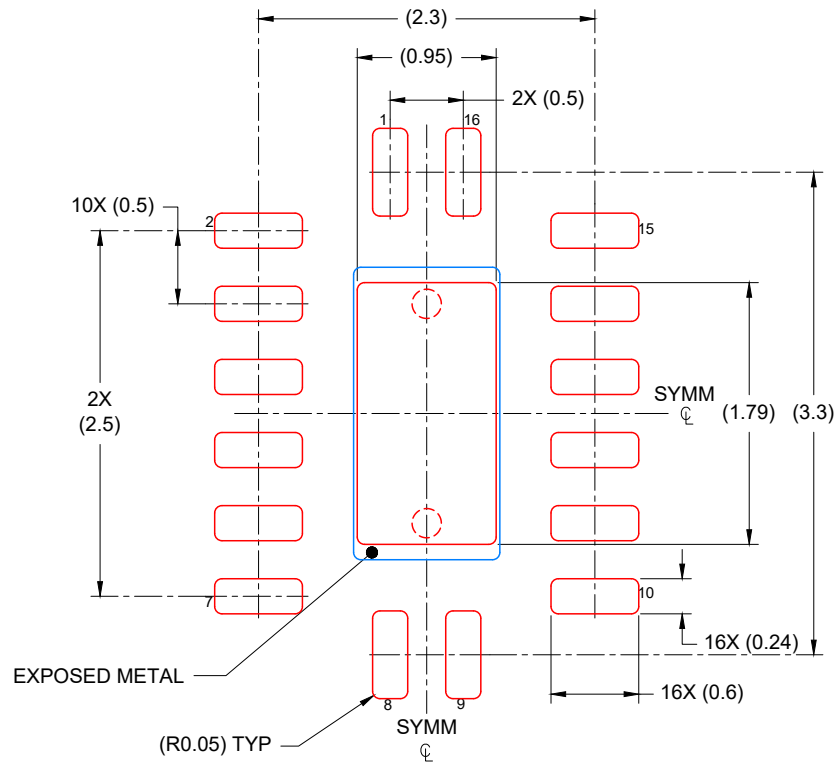
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQB0016A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



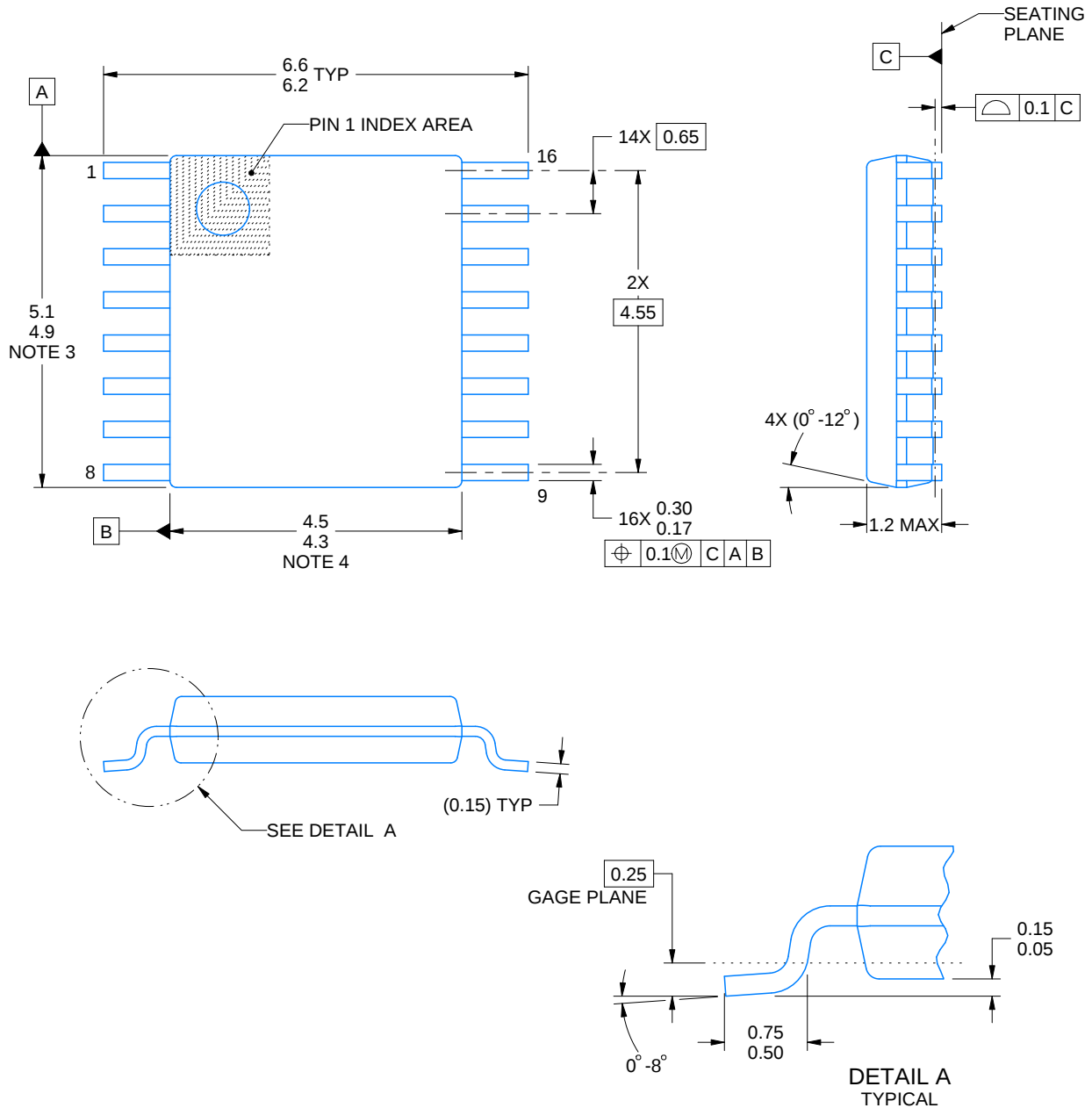
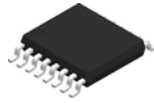
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4220204/B 12/2023

NOTES:

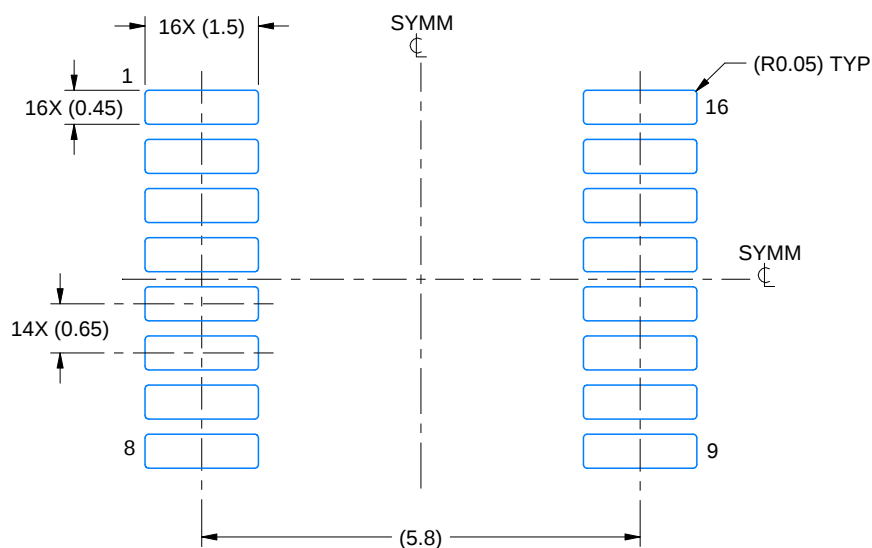
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

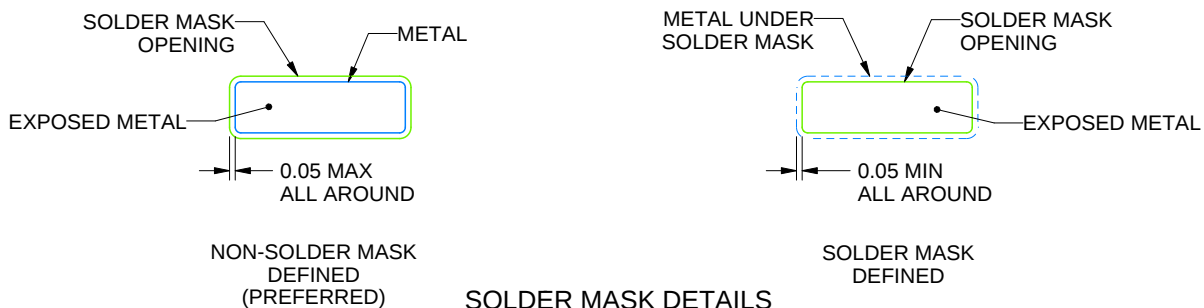
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

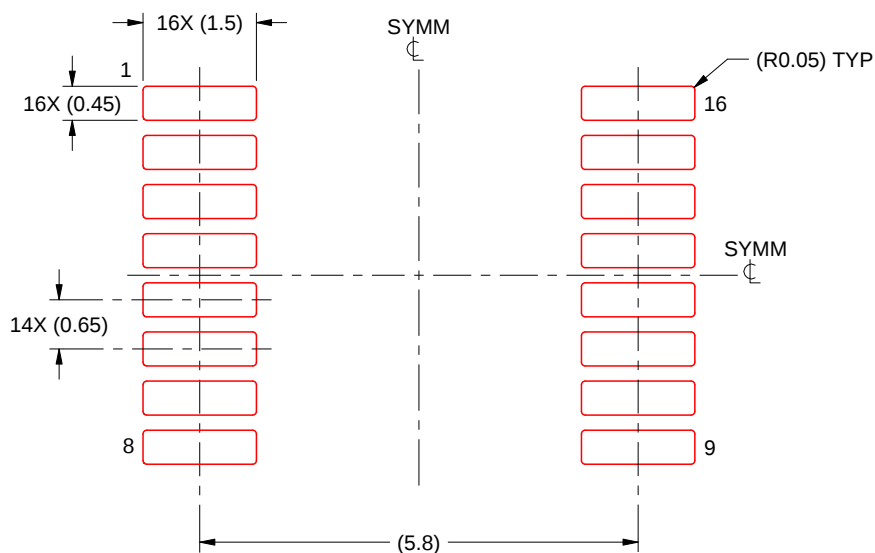
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月