SN74LV8T273 具有清零功能的转换八路 D 型触发器

1 特性

- 1.65V 至 5.5V 的宽工作电压范围
- 5.5V 容限输入引脚
- 单电源电压转换器（参阅 *LVxT 增强输入电压*）：
  - 升压转换：
    - 1.2V 至 1.8V
    - 1.5V 至 2.5V
    - 1.8V 至 3.3V
    - 3.3V 至 5.0V
  - 降压转换：
    - 5.0V、3.3V、2.5V 至 1.8V
    - 5.0V、3.3V 至 2.5V
    - 5.0V 至 3.3V
- 速率高达 150Mbps，具有 5V 或 3.3V V_{CC}
- 支持标准功能引脚排列
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 将数字信号与时钟同步
- 使用更少的输入来监控信号
- 将开关转换为拨动开关

3 说明

SN74LV8T273 器件是一款具有直接低电平有效清零 ($\overline{CLR}$) 输入的正边沿触发式八路 D 类触发器。

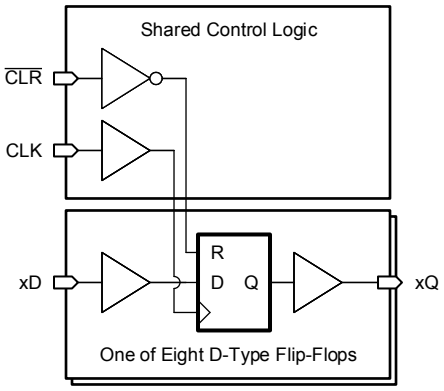
数据 (D) 输入上满足设置时间要求的信息被发送到时钟 (CLK) 脉冲正向边沿上的 Q 输出。时钟触发在一个特定电压电平下发生，并且不与正向脉冲的转换时间直接相关。当 CLK 处于高电平或低电平时，D 输入对输出无影响。

该输入经设计，具有较低阈值电路，支持电源电压大于输入电压时的升压转换。此外，当输入电压大于电源电压时，5V 容限输入引脚可实现降压转换。输出电平始终以电源电压 (V_{CC}) 为基准，并支持 1.8V、2.5V、3.3V 和 5V CMOS 电平。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LV8T273	PW（TSSOP，20）	6.5mm × 6.4mm	6.5mm x 4.4mm
	DGS（VSSOP，20）	5.1mm × 4.9mm	5.1mm × 3.0mm
	RKS（VQFN，20）	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 有关更多信息，请参阅 机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 5
5.4 热性能信息.... 5
5.5 电气特性.... 6
5.6 噪声特性.... 6
5.7 计时特点.... 7
5.8 开关特性.... 8
5.9 典型特性.... 9
6 参数测量信息.... 12
7 详细说明.... 13
7.1 概述.... 13
7.2 功能方框图.... 13
7.3 特性说明.... 14
7.4 器件功能模式.... 17
8 应用和实施.... 18
8.1 应用信息.... 18
8.2 典型应用.... 18
8.3 设计要求.... 19
8.4 详细设计过程.... 21
8.5 应用曲线.... 21
8.6 电源相关建议.... 21
8.7 布局.... 21
9 器件和文档支持.... 23
9.1 文档支持.... 23
9.2 接收文档更新通知.... 23
9.3 支持资源.... 23
9.4 商标.... 23
9.5 静电放电警告.... 23
9.6 术语表.... 23
10 修订历史记录.... 23
11 机械、封装和可订购信息.... 24

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

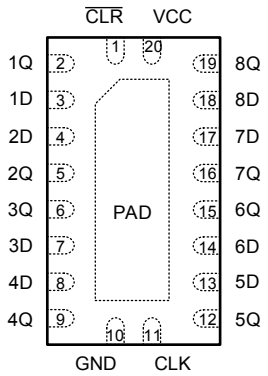


图 4-1. SN74LV8T273 RKS 封装
（顶视图）

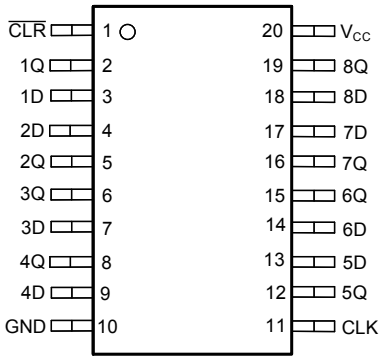


图 4-2. SN74LV8T273 PW 、DGS 封装
（顶视图）

引脚功能

引脚		类型[(1)]	说明
名称	编号		
$\overline{CLR}$	1	I	清除所有通道，低电平有效
1Q	2	O	通道 1 输出
1D	3	I	通道 1 输入
2D	4	I	通道 2 输入
2Q	5	O	通道 2 输出
3Q	6	O	通道 3 输出
3D	7	I	通道 3 输入
4D	8	I	通道 4 输入
4Q	9	O	通道 4 输出
GND	10	G	接地
CLK	11	I	所有通道的时钟，上升沿触发
5Q	12	O	通道 5 输出
5D	13	I	通道 5 输入
6D	14	I	通道 6 输入
6Q	15	O	通道 6 输出
7Q	16	O	通道 7 输出
7D	17	I	通道 7 输入
8D	18	I	通道 8 输入
8Q	19	O	通道 8 输出
V_{CC}	20	P	正电源
散热焊盘[(2)]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) 信号类型：I = 输入，O = 输出，G = 地，P = 电源。
(2) 仅限 RKS 封装。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围[(2)]		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围[(2)]		-0.5	7	V
V_O	输出电压范围[(2)]		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < -0.5V		-20	mA
I_{OK}	输出钳位电流	V_O < -0.5V 或 V_O > V_{CC} + 0.5V		±20	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续输出电流			±75	mA
T_{stg}	贮存温度		-65	150	°C

(1) 在*绝对最大额定值*范围外运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V_{CC}	电源电压		1.65	5.5	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 2V	1.1		V
		V_{CC} = 2.25V 至 2.75V	1.28		
		V_{CC} = 3V 至 3.6V	1.45		
		V_{CC} = 4.5V 至 5.5V	2		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 2V		0.51	V
		V_{CC} = 2.25V 至 2.75V		0.65	
		V_{CC} = 3V 至 3.6V		0.75	
		V_{CC} = 4.5V 至 5.5V		0.8	
I_O	输出电流	V_{CC} = 1.6V 至 2V		±8	mA
		V_{CC} = 2.25V 至 2.75V		±15	
		V_{CC} = 3.3V 至 5.0V		±25	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.6V 至 5.0V		20	ns/V
$\Delta t/\Delta V_{CC}$	POR 的安全电源斜坡速率	V_{CC} = 1.6V 至 5.5V	6		μs/V
T_A	自然通风条件下的工作温度		-40	125	°C

5.4 热性能信息

封装	引脚	热指标[1]						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	不适用	°C/W
PW (TSSOP)	20	116.8	58.5	78.7	12.6	77.9	不适用	°C/W
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V_{OH}	I_{OH} = -50μA	1.65V 至 5.5V	V_{CC}-0.1	V_{CC} - 0.01		V
	I_{OH} = -2mA	1.65V 至 2V	1.21	1.7 (1)		
	I_{OH} = -3mA	2.25V 至 2.75V	1.93	2.4(1)		
	I_{OH} = -5.5mA	3V 至 3.6V	2.49	3.08(1)		
	I_{OH} = -8mA	4.5V 至 5.5V	3.95	4.65(1)		
V_{OL}	I_{OL} = 50μA	1.65V 至 5.5V		0.01	0.1	V
	I_{OL} = 2mA	1.65V 至 2V		0.1(1)	0.25	
	I_{OL} = 3mA	2.25V 至 2.75V		0.15(1)	0.2	
	I_{OL} = 5.5mA	3V 至 3.6V		0.2(1)	0.25	
	I_{OL} = 8mA	4.5V 至 5.5V		0.3(1)	0.35	
I_I	V_I = 0V 或 V_{CC}	0V 至 5.5V		±0.001	±1	μA
I_{CC}	V_I = 0V 或 V_{CC}，I_O = 0；负载开路	1.65V 至 5.5V		0.2	20	μA
ΔI_{CC}	一个输入为 0.3V 或 3.4V，其他输入为 0V 或 V_{CC}，I_O = 0	5.5V		0.1	1.5	mA
	一个输入为 0.3V 或 1.1V，其他输入为 0V 或 V_{CC}，I_O = 0	1.8V		3.4	20	μA
C_I	V_I = V_{CC} 或 GND	5V			10	pF
C_{PD}	空载，F = 1MHz	5V				pF
V_{POR}	V_{CC} 斜坡率为 6μs/V 至 100ms/V	1.65V 至 5.5V			1.5	V

(1) 最接近标称电压（1.8V、2.5V、3.3V 和 5V）时的典型值

5.6 噪声特性

V_{CC} = 5V，C_L = 50pF，T_A = 25°C

参数	说明	最小值	典型值	最大值	单位
$V_{OL(P)}$	安静输出，最大动态 V_{OL}		0.8		V
$V_{OL(V)}$	安静输出，最小动态 V_{OL}		-0.2		V
$V_{OH(V)}$	安静输出，最小动态 V_{OH}		3.8		V
$V_{IH(D)}$	高电平动态输入电压	2			V
$V_{IL(D)}$	低电平动态输入电压			0.8	V

Copyright © 2025 Texas Instruments Incorporated

5.7 计时特点

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	说明	条件	V_{CC}	-40°C 至 125°C		单位
				最小值	最大值	
t_W	脉冲持续时间	$\overline{CLR}$ 为低电平	1.8V	2.7		ns
t_W	脉冲持续时间	CLK	1.8V	2.7		ns
t_{SU}	建立时间	CLK 沿之前的数据	1.8V	5.5		ns
t_{SU}	建立时间	CLK 沿之前的 $\overline{CLR}$	1.8V	0		ns
t_H	保持时间	CLK 沿之后的数据	1.8V	0		ns
t_W	脉冲持续时间	$\overline{CLR}$ 为低电平	2.5V	2.7		ns
t_W	脉冲持续时间	CLK	2.5V	2.7		ns
t_{SU}	建立时间	CLK 沿之前的数据	2.5V	3.8		ns
t_{SU}	建立时间	CLK 沿之前的 $\overline{CLR}$	2.5V	0		ns
t_H	保持时间	CLK 沿之后的数据	2.5V	0		ns
t_W	脉冲持续时间	$\overline{CLR}$ 为低电平	3.3V	2.7		ns
t_W	脉冲持续时间	CLK	3.3V	2.7		ns
t_{SU}	建立时间	CLK 沿之前的数据	3.3V	3.4		ns
t_{SU}	建立时间	CLK 沿之前的 $\overline{CLR}$	3.3V	0		ns
t_H	保持时间	CLK 沿之后的数据	3.3V	0		ns
t_W	脉冲持续时间	$\overline{CLR}$ 为低电平	5V	2.7		ns
t_W	脉冲持续时间	CLK	5V	2.7		ns
t_{SU}	建立时间	CLK 沿之前的数据	5V	2.1		ns
t_{SU}	建立时间	CLK 沿之前的 $\overline{CLR}$	5V	0		ns
t_H	保持时间	CLK 沿之后的数据	5V	0		ns

5.8 开关特性

C_L = 50pF；在自然通风条件下的工作温度范围内；典型值在 T_A = 25°C 时测得（除非另有说明）。请参阅*参数测量信息*

参数	从（输入）	至（输出）	负载电容	V_{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
f_{max}			C_L = 15pF	1.8V	70	130		MHz
f_{max}			C_L = 15pF	2.5V	120	195		MHz
f_{max}			C_L = 15pF	3.3V	150	240		MHz
f_{max}			C_L = 15pF	5V	200	300		MHz
f_{max}			C_L = 50pF	1.8V	60	110		MHz
f_{max}			C_L = 50pF	2.5V	100	170		MHz
f_{max}			C_L = 50pF	3.3V	120	180		MHz
f_{max}			C_L = 50pF	5V	150	260		MHz
t_{PLH}	CLK	Q	C_L = 15pF	1.8V	7.4	12.8	19.3	ns
t_{PHL}				1.8V	7.7	14	21.3	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF	1.8V	9	15.2	22.8	ns
t_{PLH}	CLK	Q	C_L = 15pF	2.5V	5.2	8.1	12	ns
t_{PHL}				2.5V	5	8.4	12.8	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF	2.5V	6.3	9.8	14.2	ns
t_{PLH}	CLK	Q	C_L = 15pF	3.3V	4.5	6.7	9.7	ns
t_{PHL}				3.3V	4.1	6.7	10.1	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF	3.3V	5.5	8.2	11.6	ns
t_{PLH}	CLK	Q	C_L = 15pF	5V	4	5.5	7.6	ns
t_{PHL}				5V	3.5	5.1	7.4	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF	5V	4.2	5.7	7.9	ns
t_{PLH}	CLK	Q	C_L = 50pF	1.8V	9.3	15.8	23.7	ns
t_{PHL}				1.8V	9.5	16.7	25.3	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF	1.8V	11.1	18.2	26.8	ns
t_{PLH}	CLK	Q	C_L = 50pF	2.5V	6.5	10.2	15	ns
t_{PHL}				2.5V	6.4	10.4	15.5	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF	2.5V	8.2	12	17.2	ns
t_{PLH}	CLK	Q	C_L = 50pF	3.3V	5.6	8.4	12.2	ns
t_{PHL}				3.3V	5.4	8.4	12.4	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF	3.3V	7.2	10.1	14.1	ns
t_{PLH}	CLK	Q	C_L = 50pF	5V	5	6.8	9.4	ns
t_{PHL}				5V	4.5	6.5	9.2	ns
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF	5V	5.5	7.4	10	ns
$t_{sk(o)}$			C_L = 50pF	1.8V		0.2	0.4	ns
$t_{sk(o)}$			C_L = 50pF	2.5V		0.2	0.3	ns
$t_{sk(o)}$			C_L = 50pF	3.3V		0.2	0.3	ns
$t_{sk(o)}$			C_L = 50pF	5V		0.2	0.3	ns

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性

T_A = 25°C（除非另有说明）

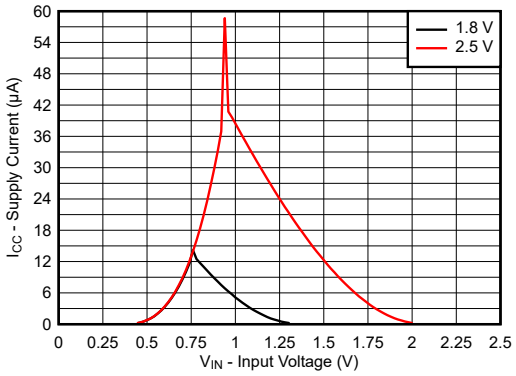


图 5-1. 电源电流与输入电源电压（1.8V 至 2.5V）间的关系

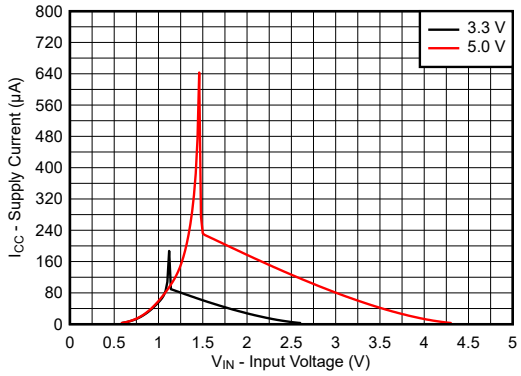


图 5-2. 电源电流与输入电源电压（3.3V 至 5.0V）间的关系

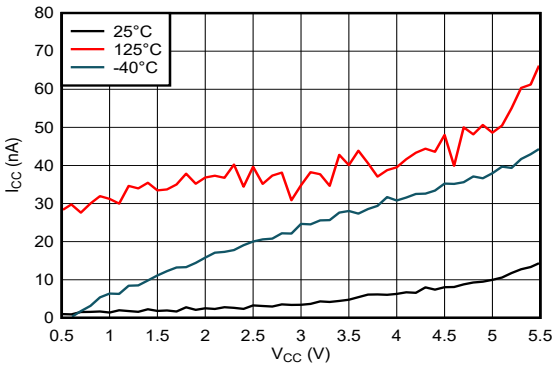


图 5-3. 电源电压两端的电源电流

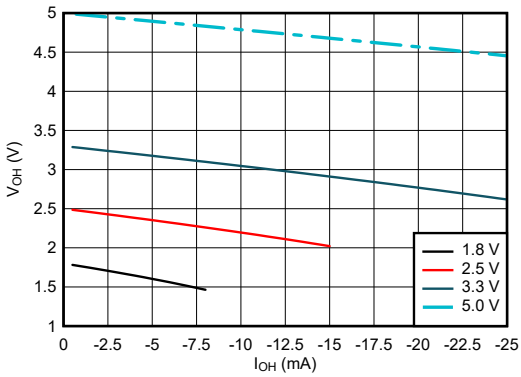


图 5-4. 高电平状态下输出电压与电流间的关系

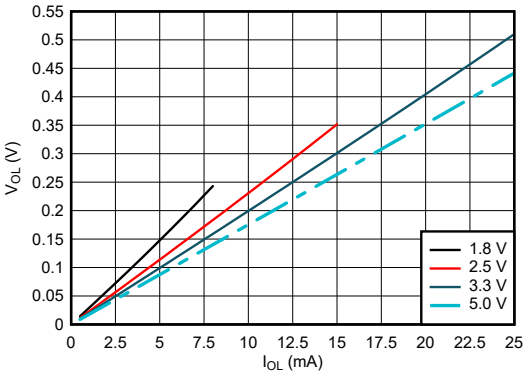


图 5-5. 低电平状态下输出电压与电流间的关系

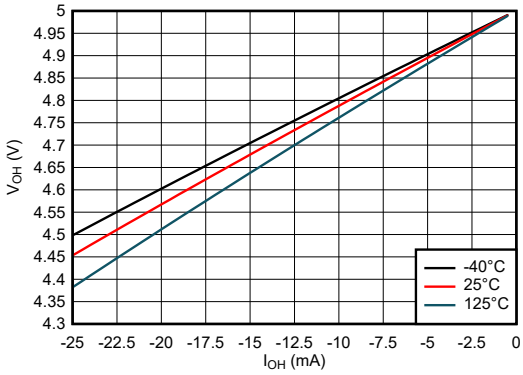


图 5-6. 高电平状态下输出电压与电流间的关系（5V 电源）

5.9 典型特性（续）

T_A = 25°C（除非另有说明）

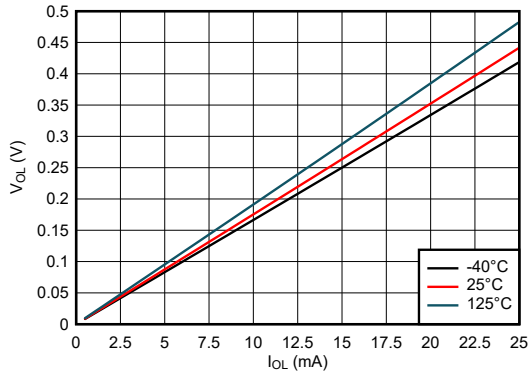


图 5-7. 低电平状态下输出电压与电流间的关系（5V 电源）

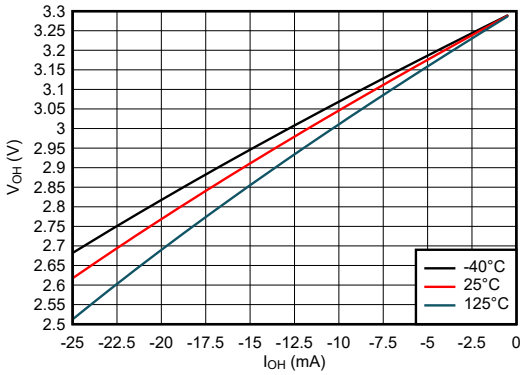


图 5-8. 高电平状态下输出电压与电流间的关系（3.3V 电源）

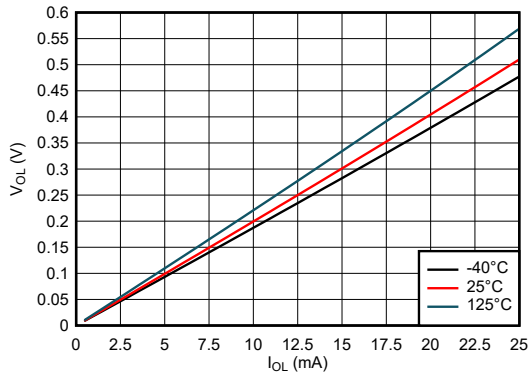


图 5-9. 低电平状态下输出电压与电流间的关系（3.3V 电源）

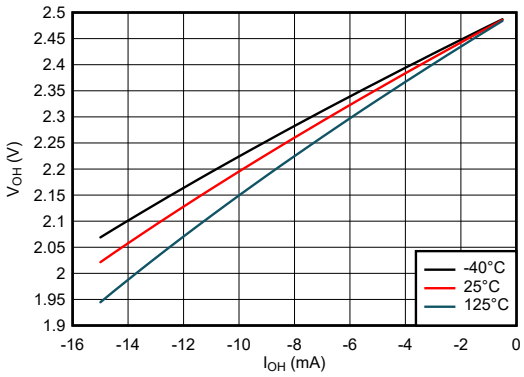


图 5-10. 高电平状态下输出电压与电流间的关系（2.5V 电源）

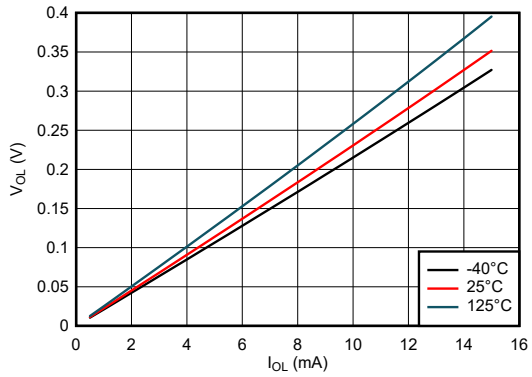


图 5-11. 低电平状态下输出电压与电流间的关系（2.5V 电源）

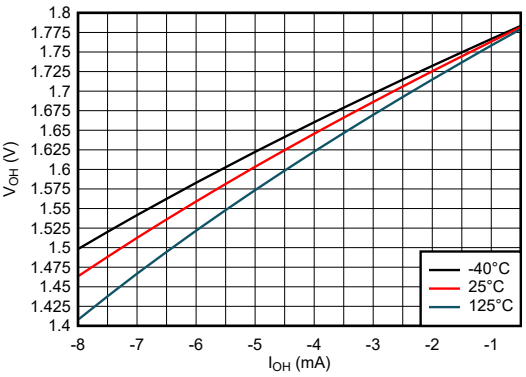


图 5-12. 高电平状态下输出电压与电流间的关系（1.8V 电源）

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C（除非另有说明）

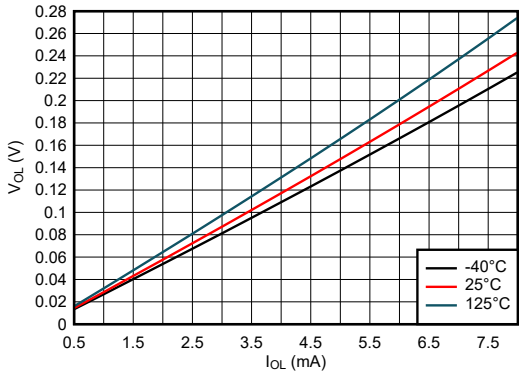


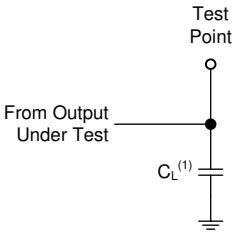
图 5-13. 低电平状态下输出电压与电流间的关系（1.8V 电源）

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 2.5ns。

对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的。

输出单独测量，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 6-1. 推挽输出的负载电路

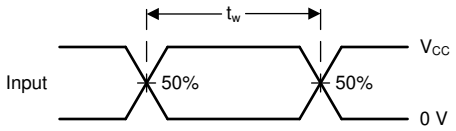


图 6-2. 电压波形，脉冲持续时间

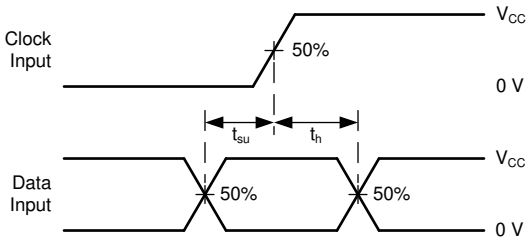
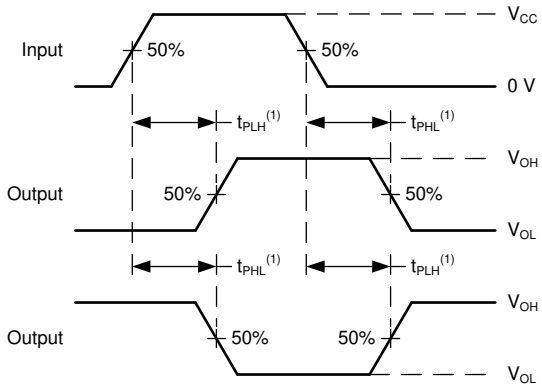
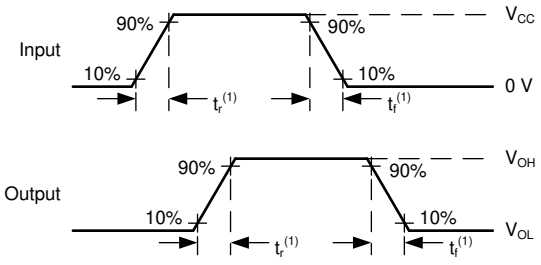


图 6-3. 电压波形，设置和保持时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-4. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-5. 电压波形，输入和输出转换时间

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

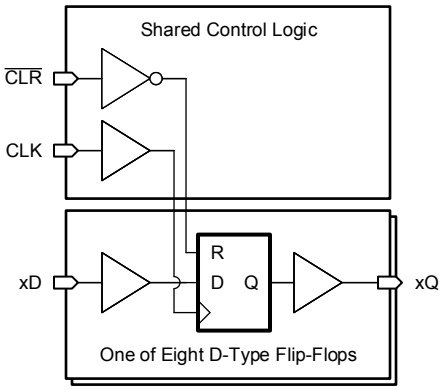
7.1 概述

SN74LV8T273 器件是一款具有共享直接低电平有效清零 ($\overline{CLR}$) 输入的正边沿触发式八路 D 类触发器。

数据 (D) 输入上满足设置时间要求的信息被发送到时钟 (CLK) 脉冲上升沿的 (Q) 输出。时钟触发在一个特定电压电平下发生，并且不与正向脉冲的转换时间直接相关。当 CLK 处于高电平或低电平或从高电平转为低电平时，D 输入对输出没有影响。

数据 (Q) 输出上的信息可通过清零 ($\overline{CLR}$) 引脚利用低电平输入异步清零。

7.2 功能方框图



7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.3.2 具有已知上电状态的锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。在典型的逻辑器件中，每个锁存电路在最初上电后的输出状态都是未知的；但是，该器件包含新增的上电复位 (POR) 电路，可在器件启动正常功能之前，在上电斜升期间设置包含的所有锁存电路的状态。

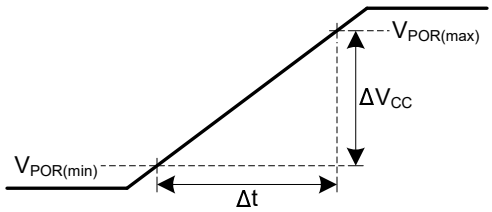


图 7-1. 已知上电状态的电源 (V_{CC}) 斜坡特性

图 7-1 展示了正确的电源电压导通斜坡，并定义了*建议运行条件*和*电气特性*表中使用的值。

在启动上电斜坡之前，电源必须完全关闭 ($V_{CC} \leqslant V_{POR(min)}$)。

电源电压的斜升速率必须在*建议运行条件*表中提供的范围内。

只要为器件供电 ($V_{CC} \geqslant V_{POR(max)}$)，每个锁存逻辑电路的输出状态就会保持稳定。

偏离这些建议将导致器件具有未知的上电状态。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 LVxT 增强输入电压

SN74LV8T273 属于 TI 的 LVxT 逻辑器件系列，具有集成电压电平转换功能。该系列器件的设计具有更低的输入电压阈值，支持升压转换；其输入可承受高达 5.5V 电平的信号，支持降压转换。为了正常运行，输入信号必须保持或高于指定的 $V_{IH(MIN)}$ 电平才能获得高电平输入状态，保持或低于指定的 $V_{IL(MAX)}$ 电平才能获得低电平输入状态。图 7-2 展示了 LVxT 系列器件的典型 V_{IH} 和 V_{IL} 电平，以及标准 CMOS 器件的电压电平用于比较。

输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

输入信号必须在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让输入悬空。未使用的输入必须在有效的高或低电压电平下进行端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

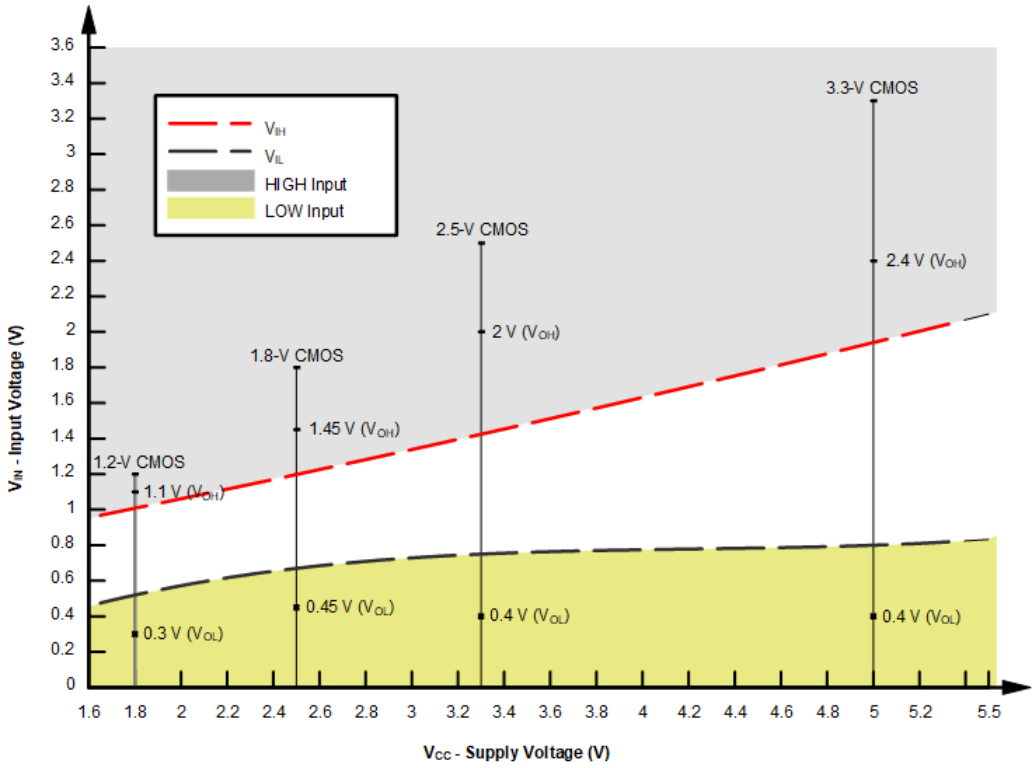


图 7-2. LVxT 输入电压电平

7.3.3.1 升压转换

可以使用 SN74LV8T273 对输入信号进行升压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议运行条件*和*电气特性*表中所述。当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。

输入具有更低的阈值，使得输入高状态电平远低于标准值。例如，工作电源电压为 5V 的器件的标准 CMOS 输入将具有 3.5V 的 $V_{IH(MIN)}$。对于 SN74LV8T273，电源电压为 5V 时，$V_{IH(MIN)}$ 仅为 2V，可以实现信号从典型 2.5V 至 5V 的升压转换。

如图 7-3 所示，确保处于高电平状态的输入信号高于 $V_{IH(MIN)}$，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

升压转换组合 如下：

- 1.8V V_{CC} – 输入为 1.2V
- 2.5V V_{CC} – 输入为 1.8V
- 3.3V V_{CC} – 输入为 1.8V 和 2.5V
- 5.0V V_{CC} – 输入为 2.5V 和 3.3V

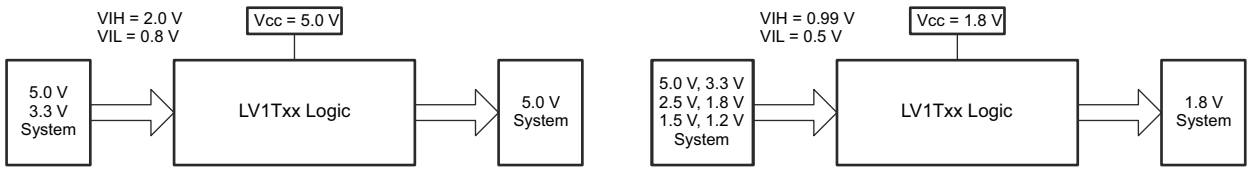


图 7-3. LVxT 升压和降压转换示例

7.3.3.2 降压转换

可以使用 SN74LV8T273 对信号进行降压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议运行条件*和*电气特性*表中所述。

当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。如图 7-2 所示，确保处于高电平状态的输入信号介于 $V_{IH(MIN)}$ 和 5.5V 之间，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

例如，在 5.0V、3.3V 或 2.5V 电压下运行的器件的标准 CMOS 输入可进行降压转换，以匹配器件在 1.8V V_{CC} 电压下运行时的 1.8V CMOS 信号。请参阅 图 7-3。

降压转换组合 如下：

- 1.8V V_{CC} – 输入为 2.5V、3.3V 和 5.0V
- 2.5V V_{CC} – 输入为 3.3V 和 5.0V
- 3.3V V_{CC} – 输入为 5.0V

Copyright © 2025 Texas Instruments Incorporated

7.3.4 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-4 所示。

> **小心**
> 电压超出*绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

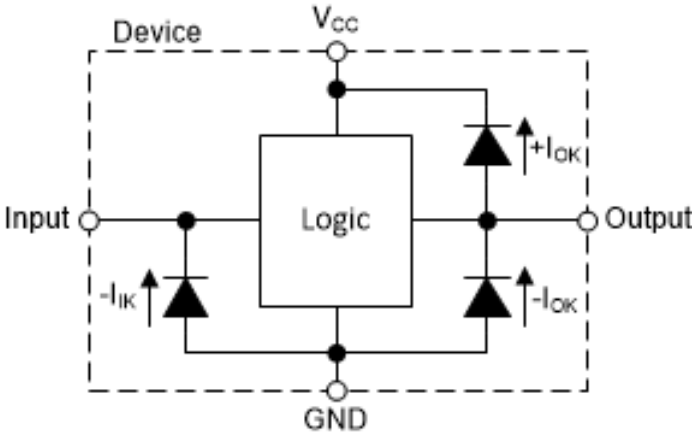


图 7-4. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入(1)			输出(2)
$\overline{CLR}$	**CLK**	**D**	**Q**
L	X	X	L
H	L、H、↓	X	Q_0
H	↑	L	L
H	↑	H	H

(1) L = 输入低电平，H = 输入高电平，↑ = 输入从低电平转换到高电平，↓ = 输入从高电平转换到低电平，X = 不用考虑
(2) L = 输出低电平，H = 输出高电平，Q_0 = 上一状态

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LV8T273 用于将传入数据与 8 位总线上的系统时钟同步。

8.2 典型应用

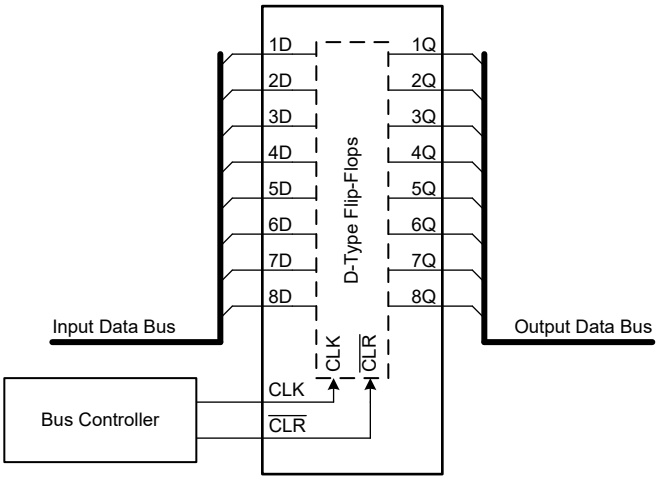


图 8-1. 典型应用图

Copyright © 2025 Texas Instruments Incorporated

8.3 设计要求

8.3.1 电源注意事项

确保所需电源电压在*建议运行条件* 中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LV8T273 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LV8T273 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74LV8T273 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LV8T273 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 应用手册中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.3.2 输入注意事项

输入信号必须超过 才能被视为逻辑低电平，超过 才能被视为逻辑高电平。不要超过*绝对最大额定值*中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LV8T273 的漏电流（如*电气特性*中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

有关此器件输入的其他信息，请参阅*特性说明*部分。

8.3.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性*中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明*部分。

Copyright © 2025 Texas Instruments Incorporated

8.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LV8T273 向一个或多个接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用手册 *CMOS 功耗与 Cpd 计算*中提供的步骤计算功耗和热增量。

8.5 应用曲线

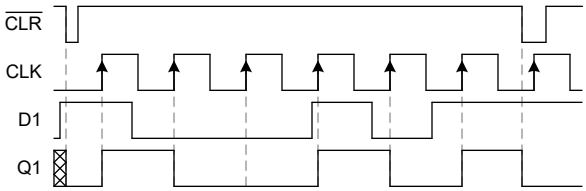


图 8-2. 应用时序图、显示了一个数据通道

8.6 电源相关建议

电源可以是*建议运行条件*中所列最小和最大电源电压额定值之间的任何电压。

在启动期间，电源应在*建议运行条件*表中提供的上电斜升速率范围内斜升。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于 SN74LV8T273，建议使用 0.1 μF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 μF 和 1 μF 的电容器通常并联使用。

8.7 布局

8.7.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.7.2 布局示例

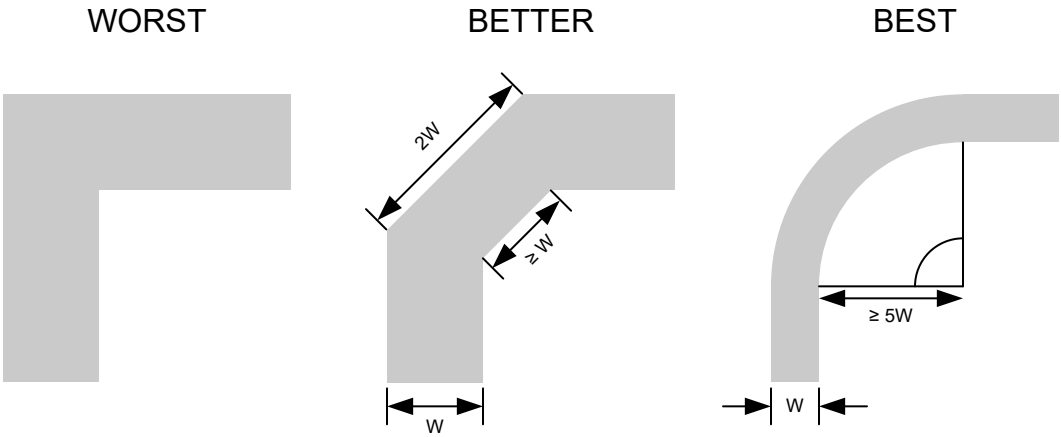


图 8-3. 可改善信号完整性的布线转角示例

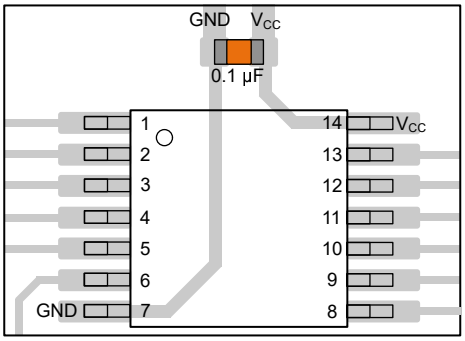


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

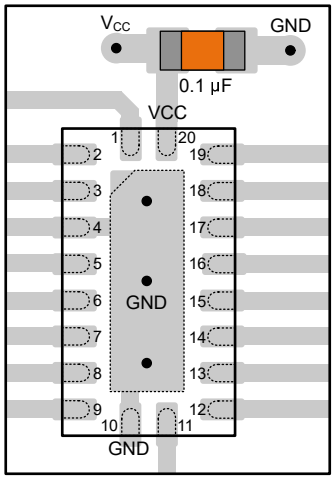


图 8-5. WQFN 和类似封装的旁路电容器放置示例

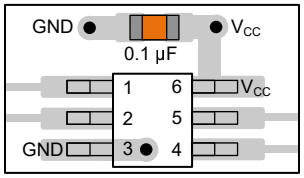


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

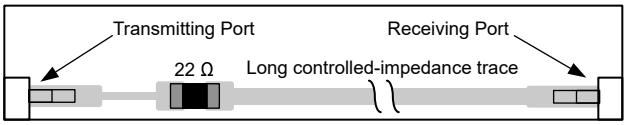


图 8-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
July 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV8T273DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	V8T273
SN74LV8T273PWR	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV8T273
SN74LV8T273RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV8T273

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV8T273 :

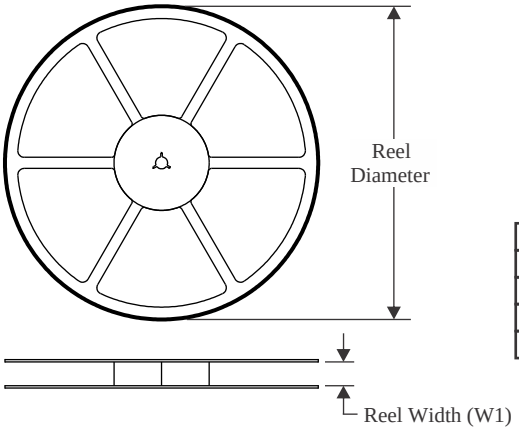
- Automotive : SN74LV8T273-Q1

NOTE: Qualified Version Definitions:

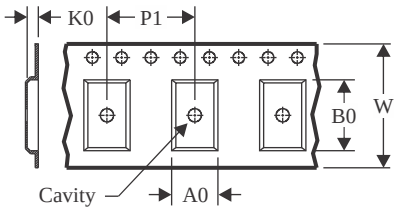
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

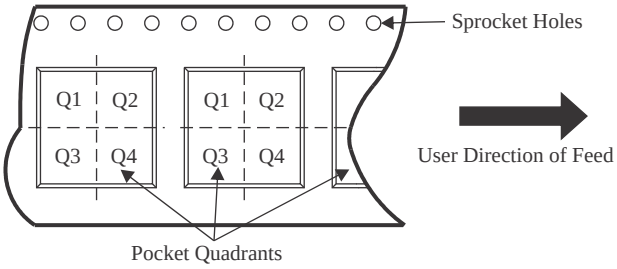


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

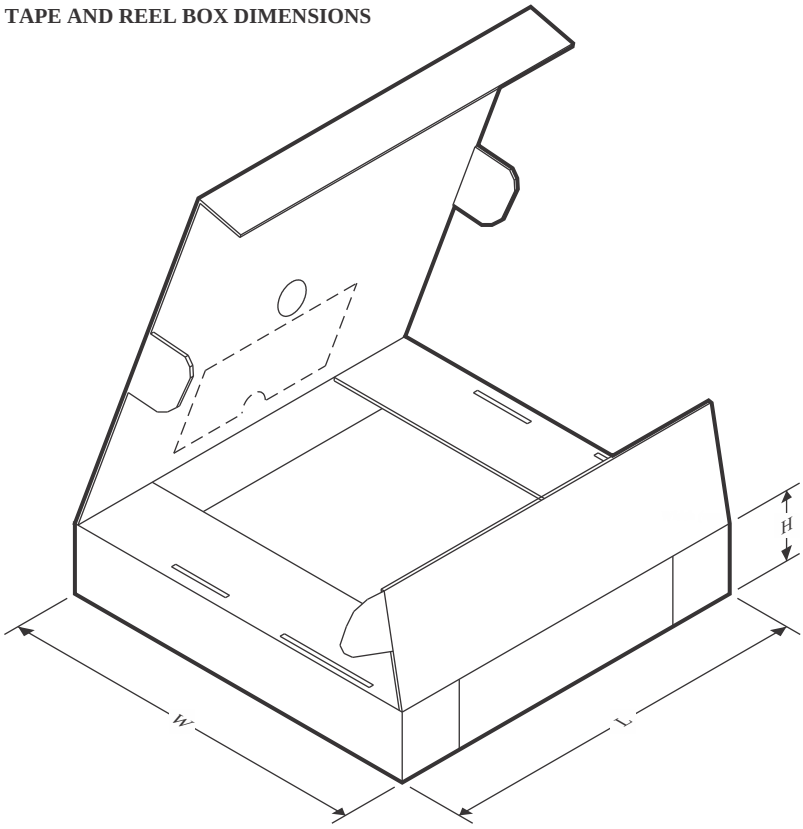
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

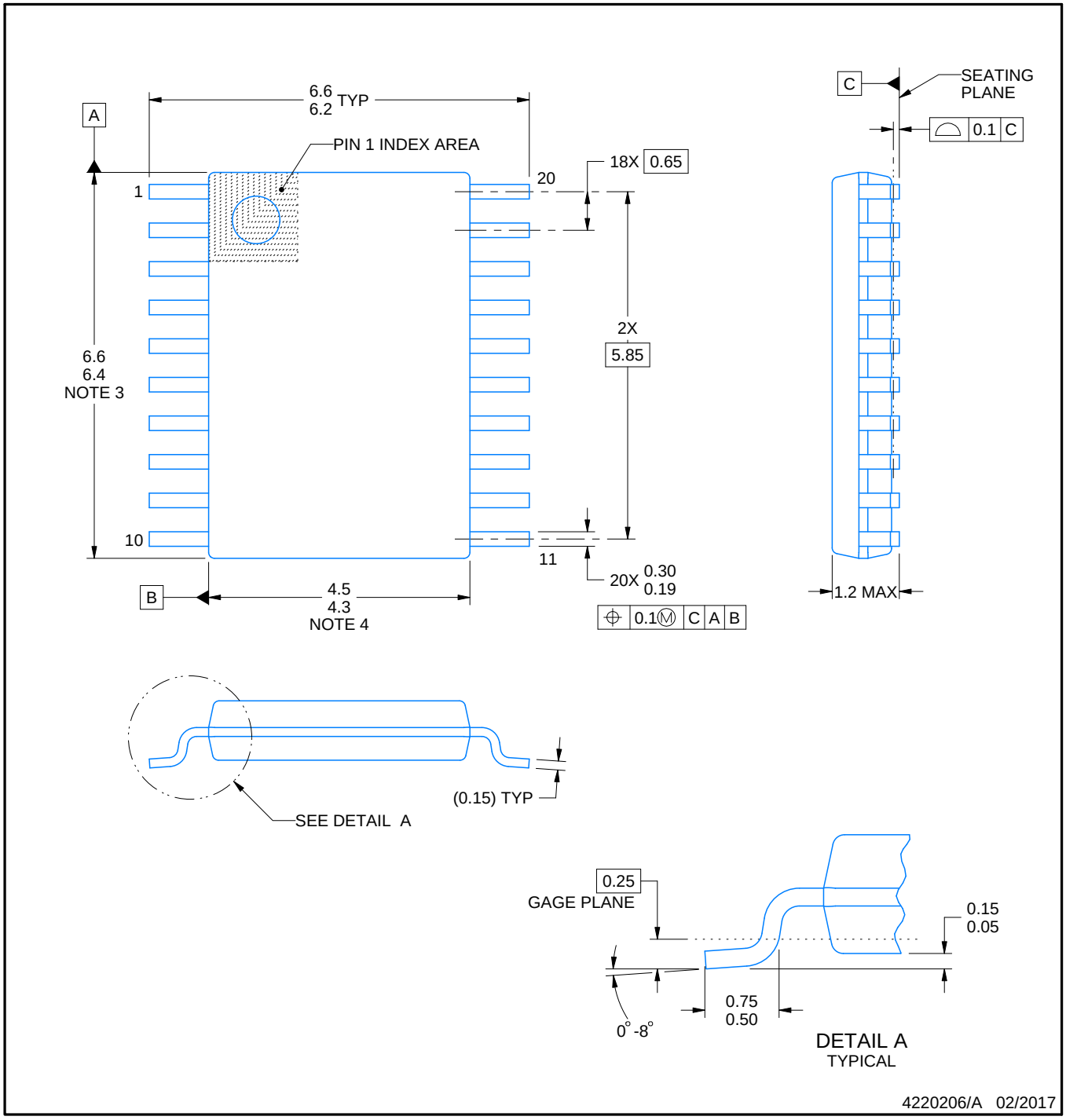
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV8T273DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV8T273PWR	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV8T273RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



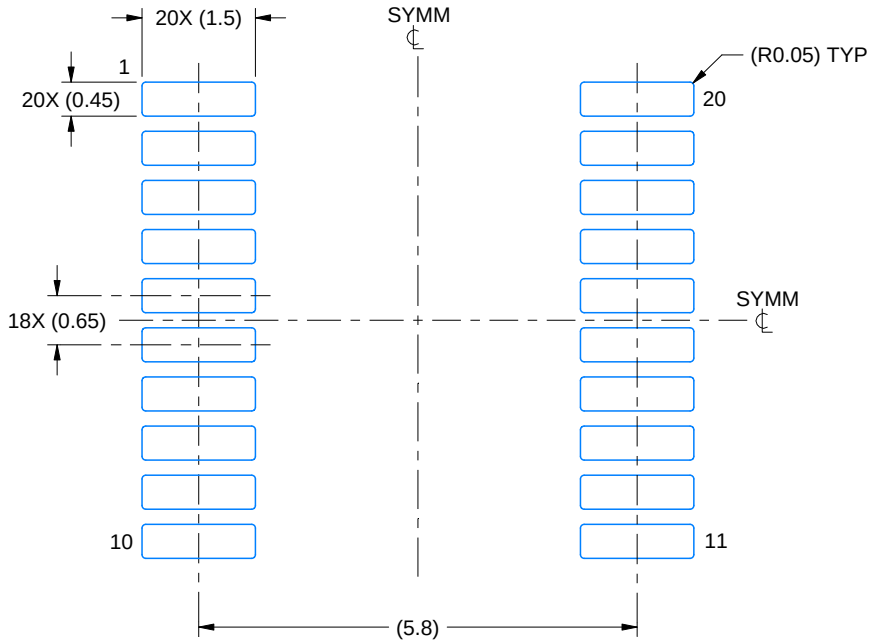
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV8T273DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV8T273PWR	TSSOP	PW	20	3000	353.0	353.0	32.0
SN74LV8T273RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

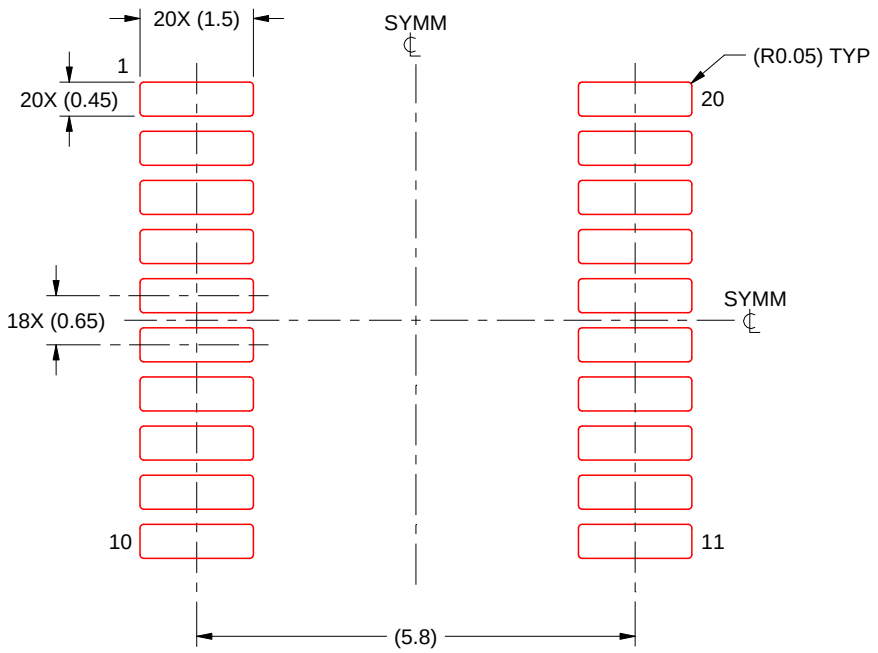
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

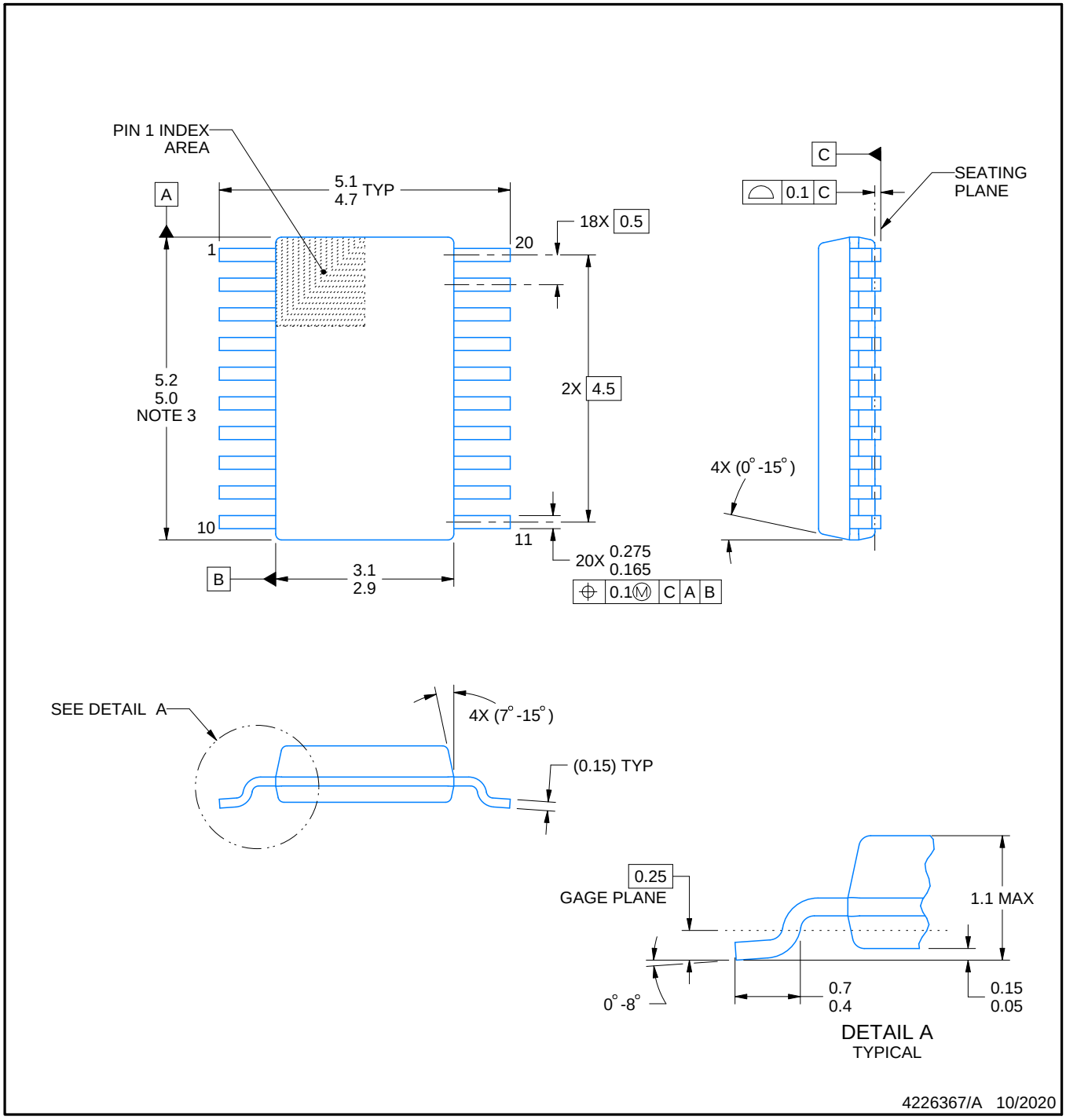


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

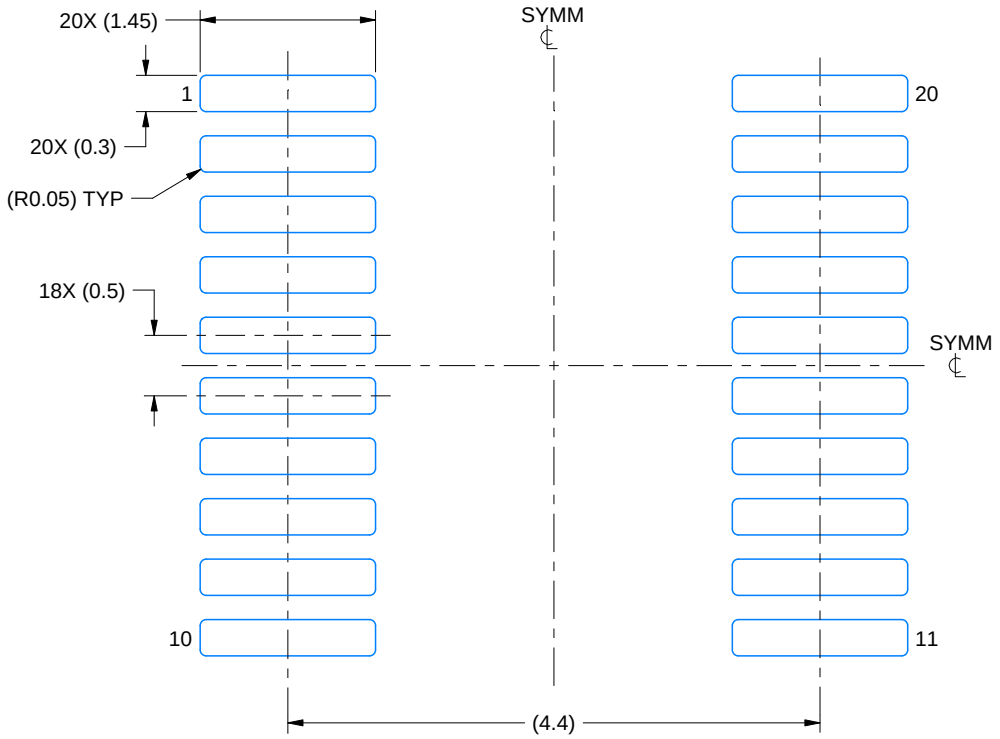
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



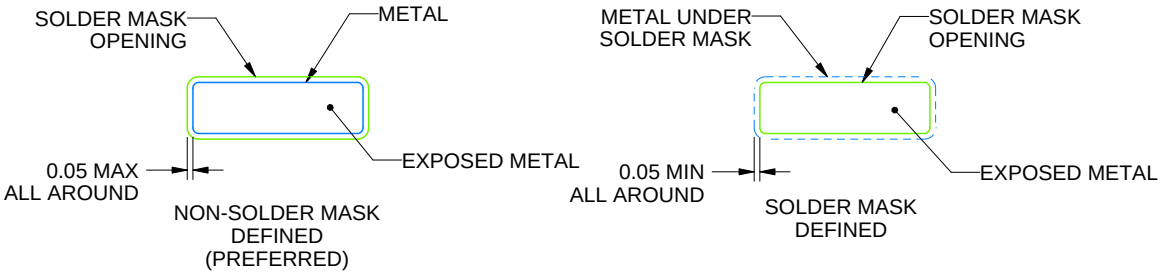
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

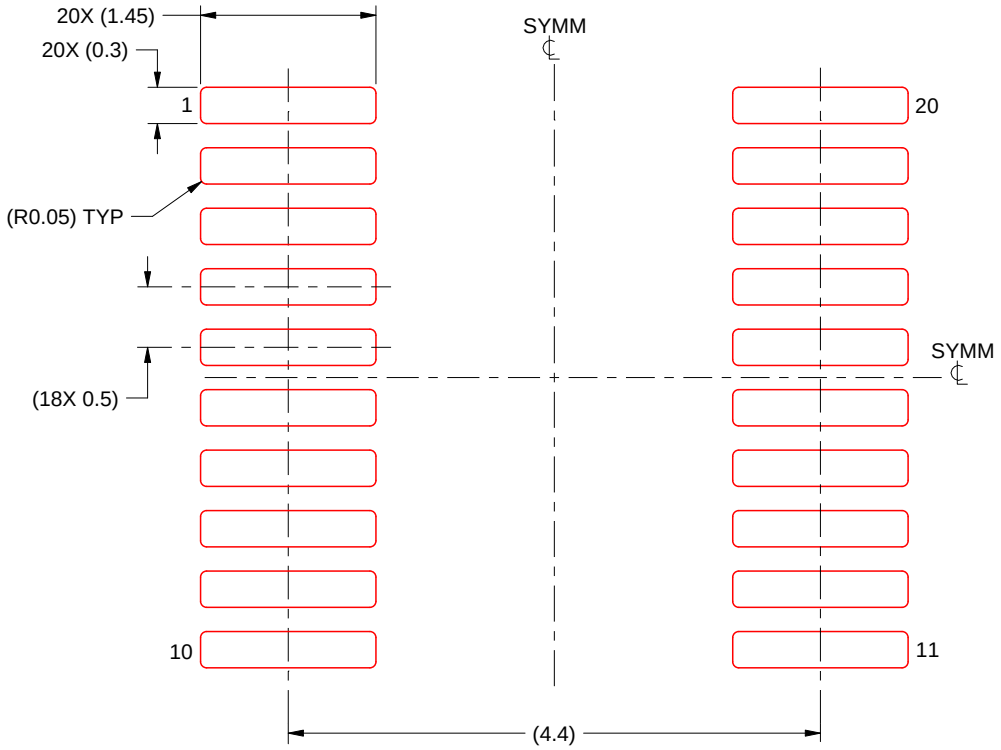


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

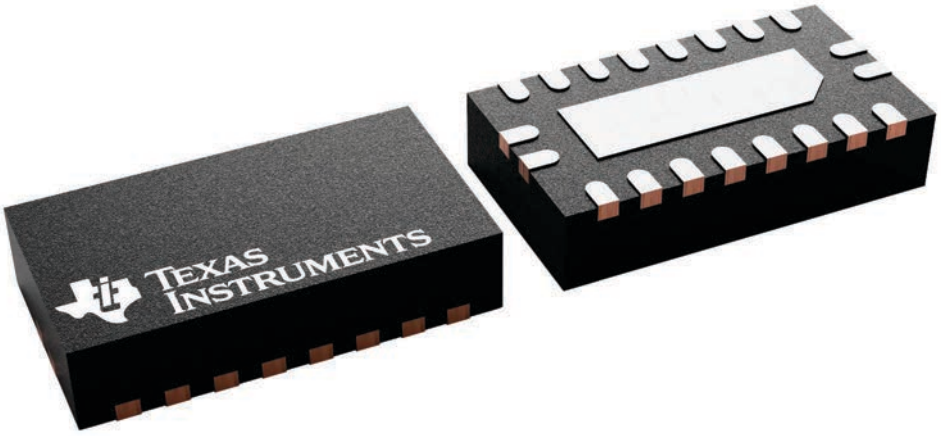
RKS 20

VQFN - 1 mm max height

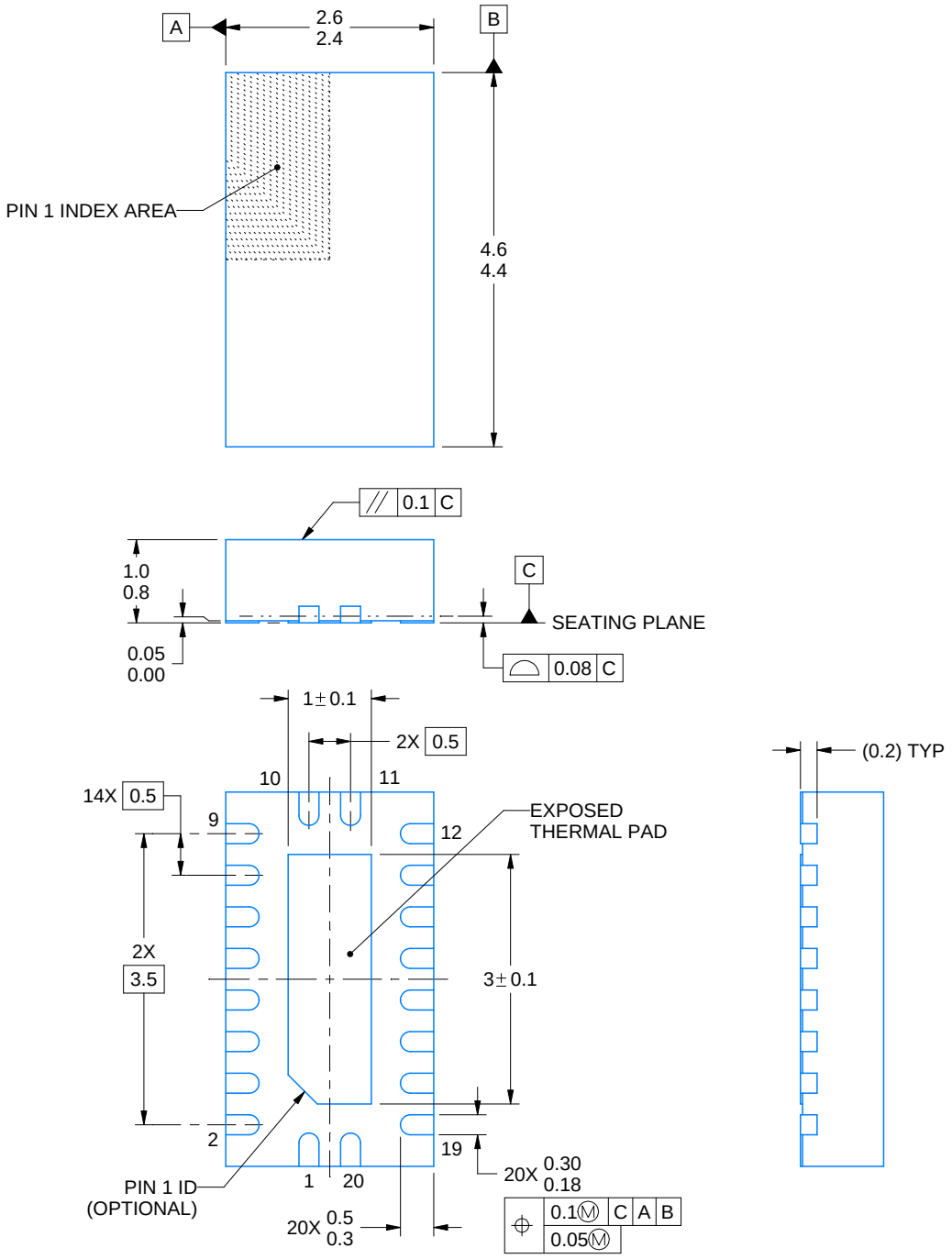
2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



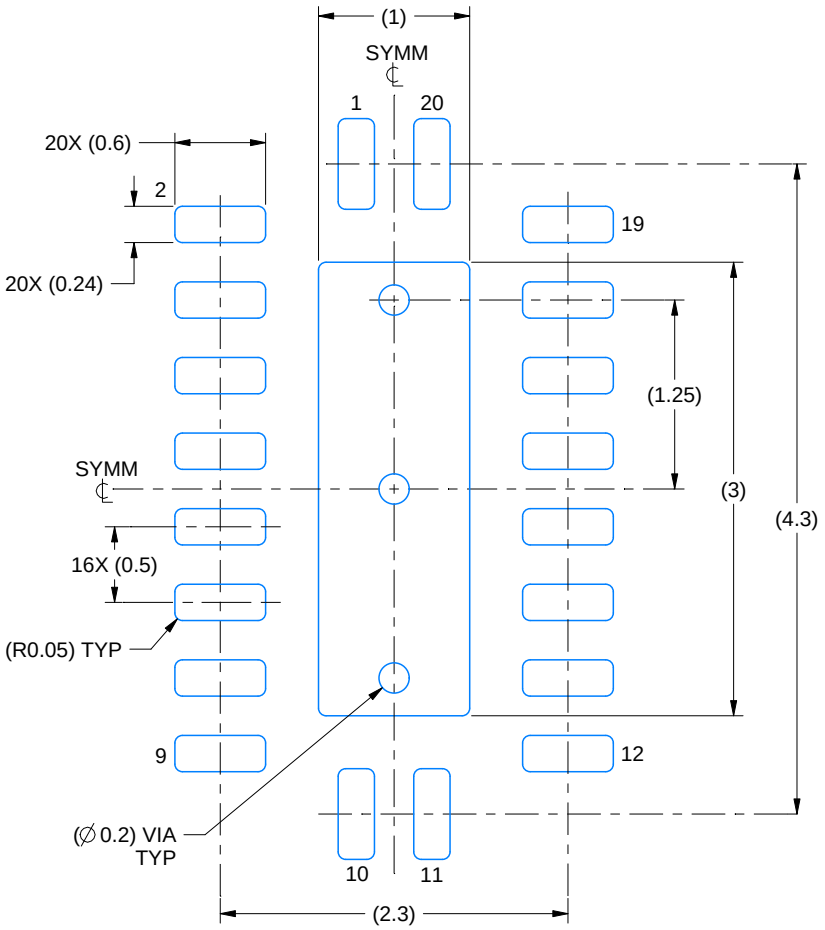
4226872/A



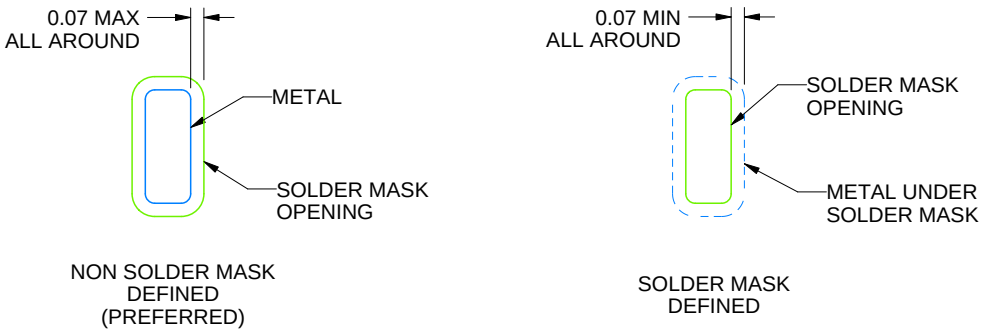
4222490/B 02/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

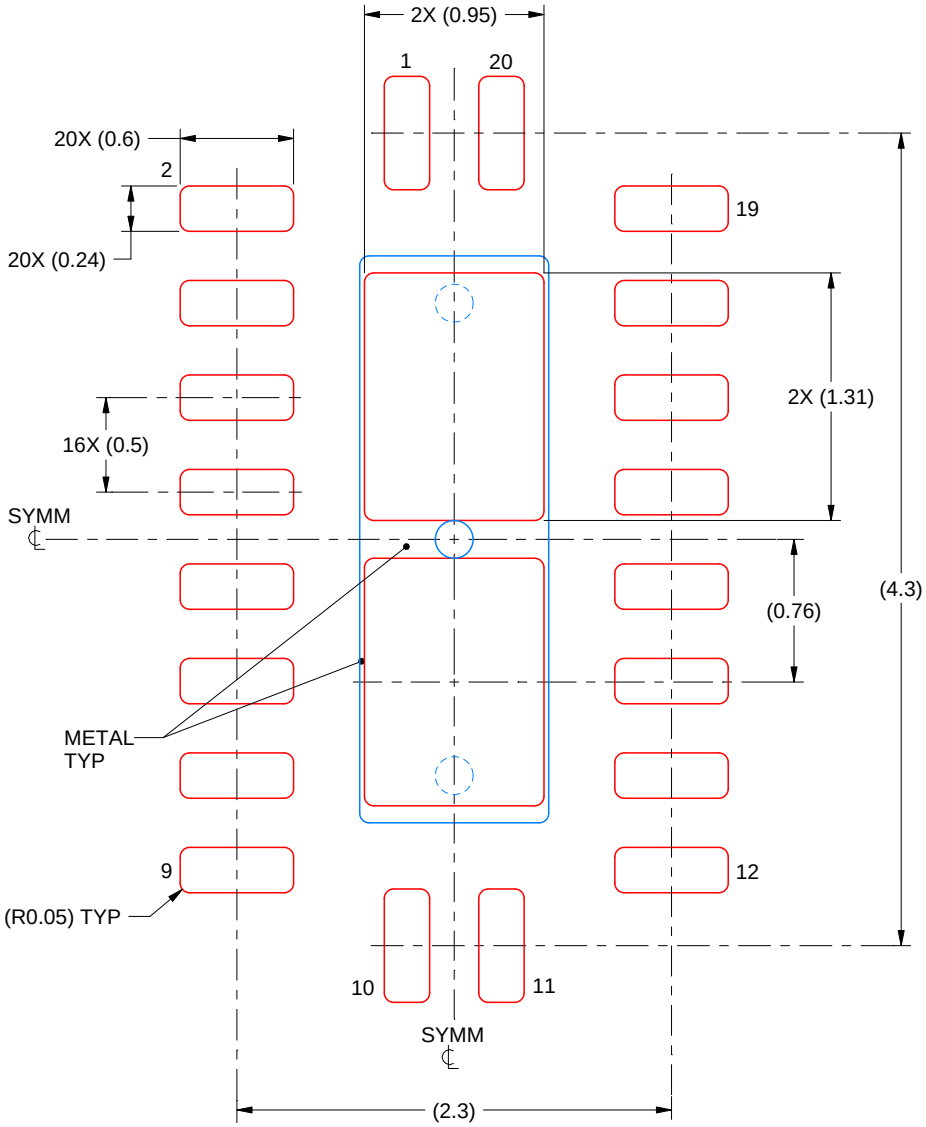


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司