

SN74LV541A 具有三态输出的八路缓冲器/驱动器

1 特性

- 工作范围为 2V 至 5.5V V_{CC}
- 电压为 5V 时, t_{pd} 最大值为 6ns
- V_{OLP} (输出接地反弹) 典型值小于 0.8V ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$)
- V_{OHV} (输出 V_{OH} 下冲) 典型值大于 2.3 V ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$ 时)
- 所有端口上均支持混合模式电压运行
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 250mA, 符合 JESD 17 规范

2 应用

- 智能电网
- 电视
- 机顶盒
- 音频
- 服务器
- 监控摄像头
- 网络交换机
- 信息娱乐系统

3 描述

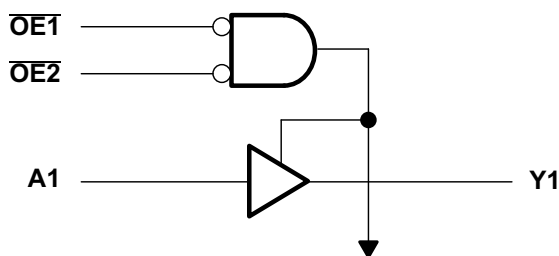
SN74LV541A 器件是一款八路缓冲器/驱动器, 可在 2V 至 5.5V V_{CC} 电压下运行。

封装信息

器件型号	封装 ¹	封装尺寸 ²
SN74LV244A	DB (SSOP , 20)	7.2 mm × 7.8 mm
	DW (SOIC , 20)	12.80 mm x 10.3 mm
	NS (SO , 20)	12.60mm × 5.30mm
	PW (TSSOP , 20)	6.50 mm x 7.8 mm
	RGY (VQFN , 20)	4.5 mm x 3.50 mm
	RKS (VQFN , 20)	4.50mm × 2.50mm
	DGS (VSSOP , 20)	5.10 mm x 4.9 mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 x 宽) 为标称值, 并包括引脚 (如适用)。



To Seven Other Channels

简化原理图



内容

1 特性	1	8.1 概述	11
2 应用	1	8.2 功能方框图	11
3 描述	1	8.3 特性说明	11
4 修订历史记录	2	8.4 器件功能模式	12
5 引脚配置和功能	3	9 应用和实施	13
6 规格	4	9.1 应用信息	13
6.1 绝对最大额定值.....	4	9.2 典型应用	13
6.2 ESD 等级.....	4	9.3 电源相关建议	15
6.3 建议工作条件.....	5	9.4 布局	15
6.4 热性能信息.....	5	10 器件和文档支持	17
6.5 电气特性.....	6	10.1 文档支持	17
6.6 开关特性, $V_{CC} = 2.5V \pm 0.2V$	6	10.2 接收文档更新通知	17
6.7 开关特性, $V_{CC} = 3.3V \pm 0.3V$	6	10.3 支持资源	17
6.8 开关特性, $V_{CC} = 5V \pm 0.5V$	7	10.4 商标	17
6.9 噪声特性.....	7	10.5 术语表	17
6.10 工作特性.....	7	10.6 静电放电警告	17
6.11 典型特性.....	8	10.7 术语表	17
7 参数测量信息	10	11 机械、封装和可订购信息	17
8 详细说明	11		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision M (March 2023) to Revision N (August 2023)	Page
• 删除了 <i>封装信息</i> 表中的 <i>DGV</i> 和 <i>特性</i> 部分的 ESD 等级.....	1
• 将 PW 封装的热性能值从 $R_{\theta JA} = 102.8$ 更新为 128.2, 从 $R_{\theta JC(top)} = 36.8$ 更新为 70.5, 从 $R_{\theta JB} = 53.8$ 更新为 79.3, 从 $\Psi_{JT} = 2.5$ 更新为 23.4, 从 $\Psi_{JB} = 53.3$ 更新为 78.9, 所有值均以 $^{\circ}C/W$ 为单位.....	5

Changes from Revision L (January 2023) to Revision M (March 2023)	Page
• 将 DB 封装的热性能值从 $R_{\theta JA} = 96.0$ 更新为 118.2, 从 $R_{\theta JC(top)} = 56.7$ 更新为 77.2, 从 $R_{\theta JB} = 51.2$ 更新为 73, 从 $\Psi_{JT} = 19.4$ 更新为 42.2, 从 $\Psi_{JB} = 50.8$ 更新为 72.6, 所有值均以 $^{\circ}C/W$ 为单位.....	5
• 将 NS 封装的热性能值从 $R_{\theta JA} = 77.1$ 更新为 108.1, 从 $R_{\theta JC(top)} = 43.6$ 更新为 73.9, 从 $R_{\theta JB} = 44.6$ 更新为 73.1, 从 $\Psi_{JT} = 17.2$ 更新为 44.1, 从 $\Psi_{JB} = 44.2$ 更新为 72.8, 所有值均以 $^{\circ}C/W$ 为单位.....	5

5 引脚配置和功能

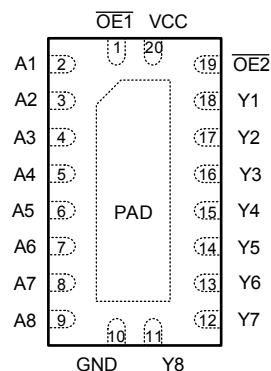
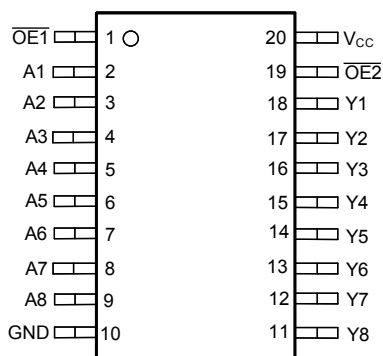


图 5-1. DB、DGV、DW、NS、PW 或 DGS 封装，20 引脚 SSOP、TVSOP、SOIC、SO、TSSOP 或 VSSOP (顶视图)

图 5-2. RGY 和 RKS 封装，20 引脚 VQFN (带外露散热焊盘顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
OE1	1	I	输出使能输入 1，低电平有效
A1	2	I	通道 1 输入
A2	3	I	通道 2 输入
A3	4	I	通道 3 输入
A4	5	I	通道 4 输入
A5	6	I	通道 5 输入
A6	7	I	通道 6 输入
A7	8	I	通道 7 输入
A8	9	I	通道 8 输入
GND	10	G	地
Y8	11	O	通道 8 输出
Y7	12	O	通道 7 输出
Y6	13	O	通道 6 输出
Y5	14	O	通道 5 输出
Y4	15	O	通道 4 输出
Y3	16	O	通道 3 输出
Y2	17	O	通道 2 输出
Y1	18	O	通道 1 输出
OE2	19	I	输出使能输入 2，低电平有效
V _{CC}	20	P	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

(2) 仅限 RKS 封装

6 规格

6.1 绝对最大额定值

在自然通风条件下的运行温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	7	V
V_I	输入电压范围 ⁽²⁾	-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围 ⁽²⁾	-0.5	7	V
V_O	在高电平或低电平状态下施加的输出电压范围 ^{(2) (3)}	-0.5	$V_{CC}+0.5$	V
I_{IK}	输入钳位电流	$V_I < 0$	-20	mA
I_{OK}	输出钳位电流	$V_O < 0$	-50	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}	± 35	mA
	通过 V_{CC} 或 GND 的持续电流		± 70	mA
T_{stg}	贮存温度范围	-65	150	°C

- (1) 超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。上述数值仅是工作条件最大值，我们建议不要使器件工作在 [节 6.3](#) 最大值甚至超过最大值的条件下。器件长时间工作在绝对最大值条件下，其可靠性可能受到影响。
- (2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
- (3) 该值被限制为最大 5.5V。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电		
	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	± 3000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	± 2000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

在自然通风条件下的运行温度范围内测得 (除非另有说明) ⁽¹⁾

		SN74LV541A		单位
		最小值	最大值	
V _{CC}	电源电压	2	5.5	V
V _{IH}	高电平输入电压	V _{CC} = 2V	1.5	V
		V _{CC} =2.3V 至 2.7V	V _{CC} × 0.7	
		V _{CC} =3V 至 3.6V	V _{CC} × 0.7	
		V _{CC} = 4.5V 至 5.5V	V _{CC} × 0.7	
V _{IL}	低电平输入电压	V _{CC} = 2V	0.5	V
		V _{CC} =2.3V 至 2.7V	V _{CC} × 0.3	
		V _{CC} =3V 至 3.6V	V _{CC} × 0.3	
		V _{CC} = 4.5V 至 5.5V	V _{CC} × 0.3	
V _I	输入电压	0	5.5	V
V _O	输出电压	高电平或低电平状态	V _{CC}	V
		三态	0	
I _{OH}	高电平输出电流	V _{CC} = 2V	-50	μA
		V _{CC} =2.3V 至 2.7V	- 2	mA
		V _{CC} =3V 至 3.6V	- 8	
		V _{CC} = 4.5V 至 5.5V	- 16	
I _{OL}	低电平输出电流	V _{CC} = 2V	50	μA
		V _{CC} =2.3V 至 2.7V	2	mA
		V _{CC} =3V 至 3.6V	8	
		V _{CC} = 4.5V 至 5.5V	16	
Δt/Δv	输入转换上升或下降速率	V _{CC} =2.3V 至 2.7V	200	ns/V
		V _{CC} =3V 至 3.6V	100	
		V _{CC} = 4.5V 至 5.5V	20	
T _A	自然通风工作温度	-40	125	°C

(1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告, CMOS 输入缓慢或悬空的影响 (SCBA004)。

6.4 热性能信息

热指标 ⁽¹⁾		SN74LV541A								单位
		DB	DGV	DW	NS	PW	RGY	RKS	DGS	
		20 个引脚								
R _{θJA}	结至环境热阻	118.2	116.1	79.8	108.1	128.2	35.1	75.2	125.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	77.2	31.3	45.8	73.9	70.5	43.3	79.4	80.0	
R _{θJB}	结至电路板热阻	73	57.6	47.4	73.1	79.3	12.9	47.8	63.8	
ψ _{JT}	结至顶部特征参数	42.2	1.0	18.5	44.1	23.4	0.9	14.6	8.4	
ψ _{JB}	结至电路板特征参数	72.6	56.9	47.0	72.8	78.9	12.9	47.8	79.9	
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	不适用	不适用	不适用	7.9	31.5	不适用	

(1) 有关新旧热指标的更多信息, 请参阅 IC 封装热指标应用报告 (SPRA953)。

6.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	T _A = 25°C			- 40°C 至 85°C		- 40°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	I _{OH} = -50μA	2V 至 5.5V	V _{CC} - 0.1			V _{CC} - 0.1		V _{CC} - 0.1		V
	I _{OH} = -2mA	2.3V	2			2		2		
	I _{OH} = -8 mA	3V	2.48			2.48		2.48		
	I _{OH} =-16mA	4.5V	3.8			3.8		3.8		
V _{OL}	I _{OL} = 50μA	2V 至 5.5V	0.1			0.1		0.1		V
	I _{OL} = 2mA	2.3V	0.4			0.4		0.4		
	I _{OL} = 8mA	3V	0.44			0.44		0.44		
	I _{OL} =16mA	4.5V	0.55			0.55		0.55		
I _I	V _I =5.5V 或 GND	0 至 5.5V	±1			±1		±1		μA
I _{OZ}	V _O = V _{CC} 或 GND	5.5V	±5			±5		±5		μA
I _{CC}	V _I = V _{CC} 或 GND , I _O = 0	5.5V	20			20		20		μA
I _{off}	V _I 或 V _O = 0V 至 5.5 V	0	5			5		5		μA
C _i	V _I =V _{CC} 或 GND	3.3V	2							pF

6.6 开关特性, V_{CC} = 2.5V ± 0.2V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅[负载电路和电压波形](#)）

参数	从 (输入)	到 (输出)	负载 电容	T _A = 25°C			- 40°C 至 85°C		- 40°C 至 125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t _{pd}	A	Y	C _L = 15 pF		6.7	11.3	1	13.5	1	13.5	ns
t _{en}	OE	支持			8.5	16.6	1	19.5	1	19.5	
t _{dis}	OE	支持			8.4	13.1	1	15	1	15	
t _{pd}	A	Y	C _L = 50pF		8.7	15.9	1	18.5	1	18.5	ns
t _{en}	OE	支持			10.5	20.7	1	24	1	24	
t _{dis}	OE	支持			12.3	17.9	1	20	1	20	
t _{sk(o)}						2		2		2	

6.7 开关特性, V_{CC} = 3.3V ± 0.3V

在自然通风条件下的建议运行温度范围内测得（除非另有说明）（请参阅[负载电路和电压波形](#)）

参数	从 (输入)	到 (输出)	负载 电容	T _A = 25°C			- 40°C 至 85°C		- 40°C 至 125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t _{pd}	A	Y	C _L = 15 pF		4.8	7	1	8.5	1	8.5	ns
t _{en}	OE	支持			6.1	10.5	1	12.5	1	12.5	
t _{dis}	OE	支持			5.8	11	1	12	1	12	
t _{pd}	A	Y	C _L = 50pF		6.1	10.5	1	12	1	12	ns
t _{en}	OE	支持			7.4	14	1	16	1	16	
t _{dis}	OE	支持			8.8	15.4	1	17.5	1	17.5	
t _{sk(o)}						1.5		1.5		1.5	

6.8 开关特性, $V_{CC} = 5V \pm 0.5V$

在自然通风条件下的建议运行温度范围内测得 (除非另有说明) (请参阅[负载电路和电压波形](#))

参数	从 (输入)	到 (输出)	负载 电容	$T_A = 25^\circ C$			$-40^\circ C$ 至 $85^\circ C$		$-40^\circ C$ 至 $125^\circ C$		单位
				最小 值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	Y	$C_L = 15\text{ pF}$	3.5	5		1	6	1	6	ns
t_{en}	$\overline{OE}$	支持		4.3	7.2		1	8.5	1	8.5	
t_{dis}	$\overline{OE}$	支持		3.9	7.5		1	8	1	8	
t_{pd}	A	Y	$C_L = 50\text{ pF}$	4.3	7		1	8	1	8	ns
t_{en}	$\overline{OE}$	支持		5.3	9.2		1	10.5	1	10.5	
t_{dis}	$\overline{OE}$	支持		5.6	8.8		1	10	1	10	
$t_{sk(o)}$					1			1		1	

6.9 噪声特性

$V_{CC} = 3.3V$, $C_L = 50\text{ pF}$, $T_A = 25^\circ C$ ⁽¹⁾

参数		SN74LV541A			单位
		最小值	典型值	最大值	
$V_{OL(P)}$	安静输出, 最大动态 V_{OL}		0.5	0.8	V
$V_{OL(V)}$	安静输出, 最小动态 V_{OL}		-0.4	-0.8	V
$V_{OH(V)}$	安静输出, 最小动态 V_{OH}		2.9		V
$V_{IH(D)}$	高电平动态输入电压	2.31			V
$V_{IL(D)}$	低电平动态输入电压			0.99	V

(1) 特性仅适用于表面贴装封装。

6.10 工作特性

$T_A = 25^\circ C$

参数			测试条件	V_{CC}	典型值	单位
C_{pd}	功率耗散电容	输出已启用	$C_L = 50\text{ pF}$, $f = 10\text{ MHz}$	3.3V	16.3	pF
				5V	17.8	

6.11 典型特性

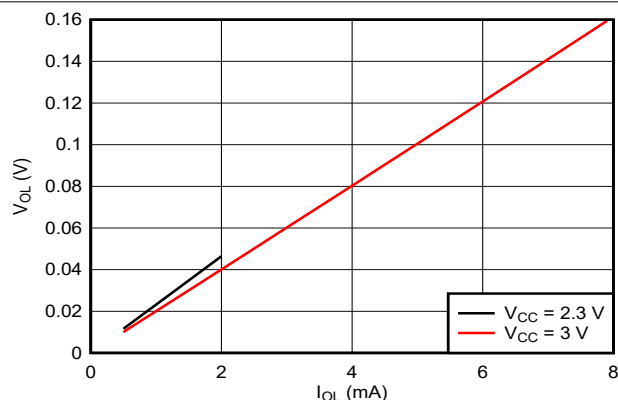


图 6-1. 低电平状态下的输出电压，2.3V 和 3V 电源

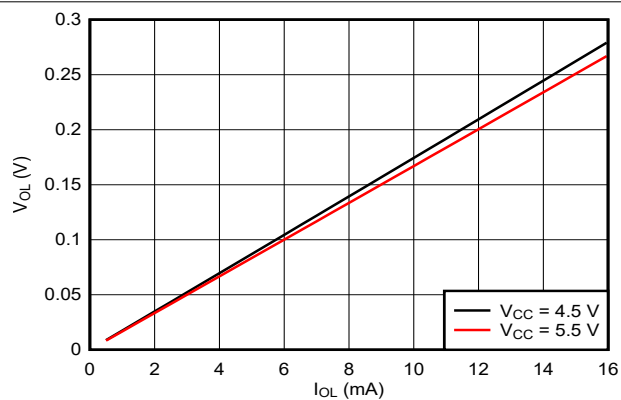


图 6-2. 低电平状态下的输出电压，4.5V 和 5.5V 电源

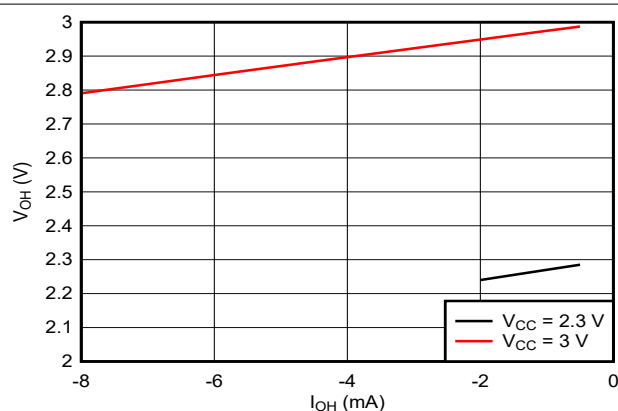


图 6-3. 高电平状态下的输出电压，2.3V 和 3V 电源

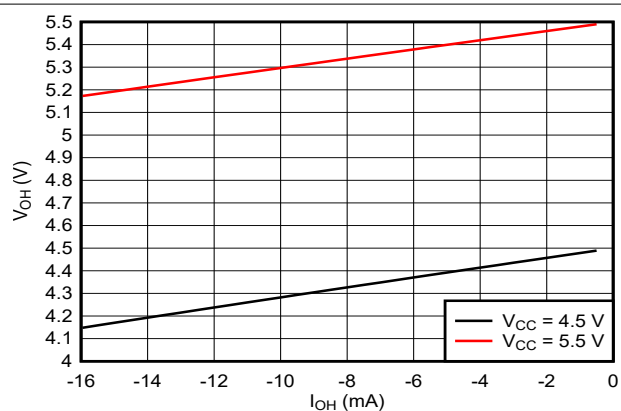


图 6-4. 高电平状态下的输出电压，4.5V 和 5.5V 电源

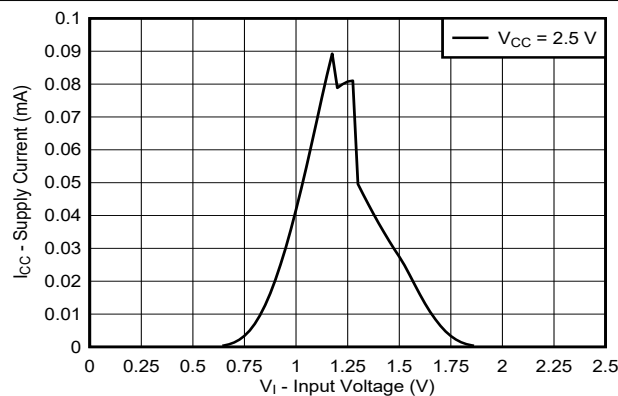


图 6-5. 输入电压范围内的电源电流，2.5V 电源

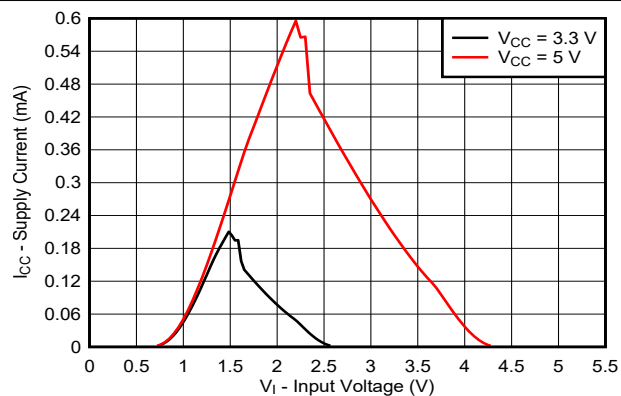


图 6-6. 输入电压范围内的电源电流，3.3V 和 5V 电源

6.11 典型特性 (continued)

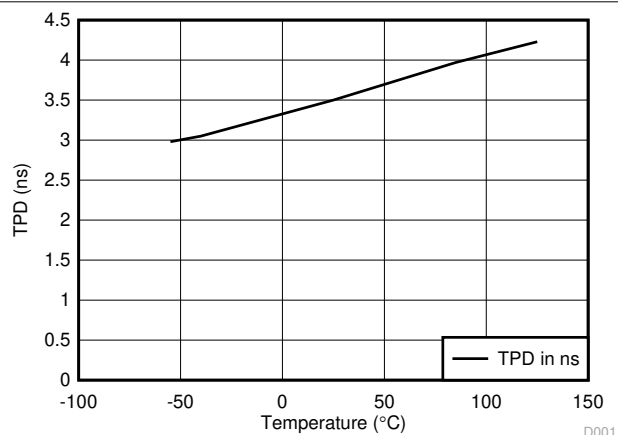


图 6-7. TPD 与温度间的关系

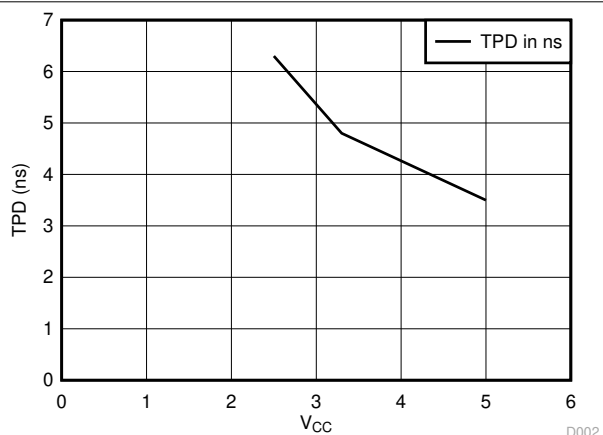
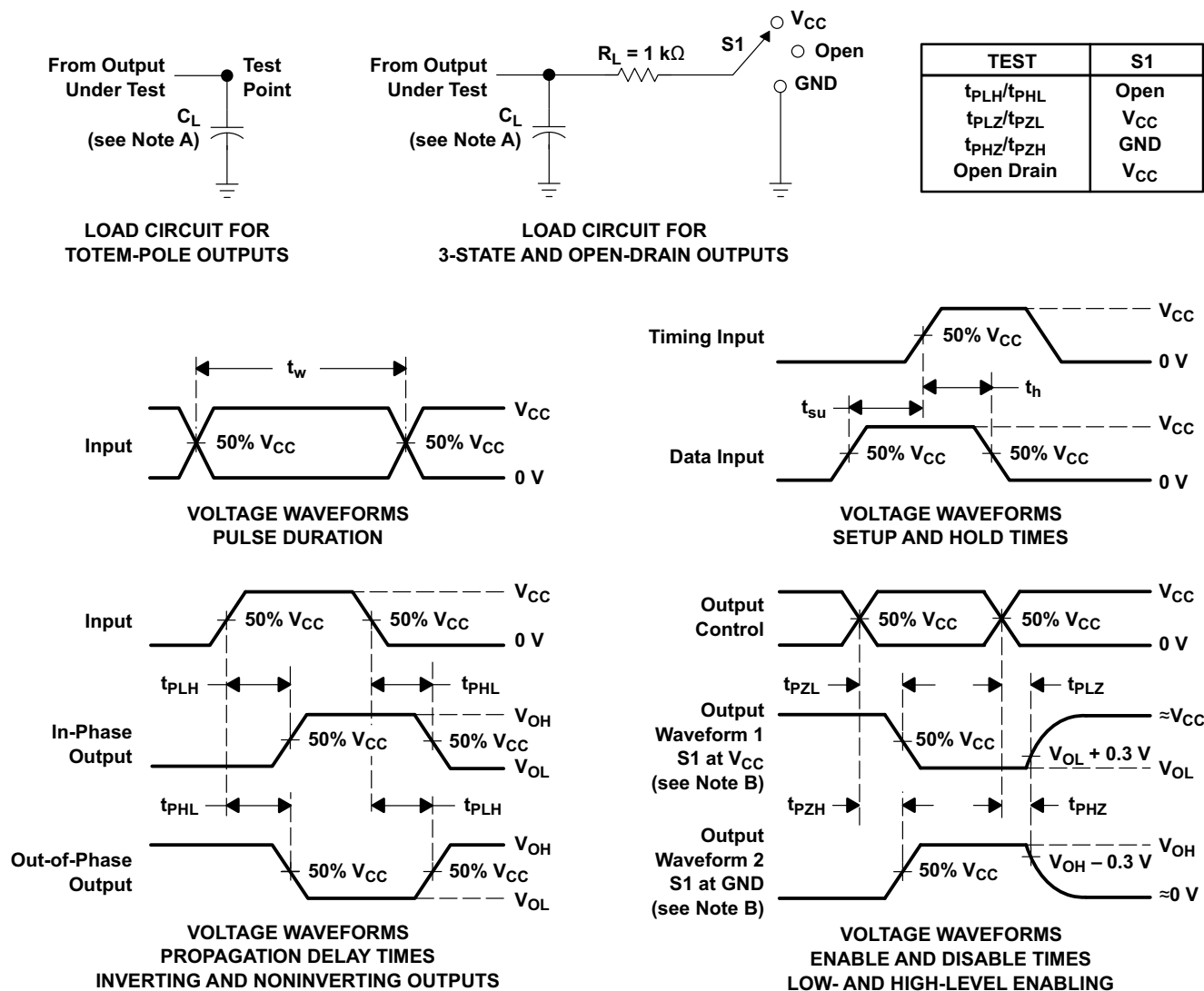


图 6-8. 25°C 时 TPD 与 VCC 间的关系

7 参数测量信息



NOTES: A. C_L includes probe and jig capacitance.

B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.

C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.

D. The outputs are measured one at a time, with one input transition per measurement.

E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .

F. t_{PZL} and t_{PZH} are the same as t_{en} .

G. t_{PHL} and t_{PLH} are the same as t_{pd} .

H. All parameters and waveforms are not applicable to all devices.

图 7-1. 负载电路和电压波形

8 详细说明

8.1 概述

SN74LV541A 器件是一款八路缓冲器/驱动器，旨在 2V 至 5.5V V_{CC} 下运行。

SN74LV541A 器件非常适合用于驱动总线或缓冲存储器地址寄存器。它在封装的相对两侧具有输入端和输出端，有助于印刷电路板布局布线。

三态控制门是具有低电平有效输入的双输入与门，因此如果任一输出使能 ($\overline{OE1}$ 或 $\overline{OE2}$) 输入为高电平，则所有相应输出均处于高阻抗状态。当输出不处于高阻抗状态时，可提供同相数据。

为了确保上电或断电期间的高阻抗状态，两个 $\overline{OE}$ 应通过一个上拉电阻器连接至 V_{CC} ；该电阻器的最小阻值由驱动器的电流吸收能力来决定。

SN74LV541A 器件完全符合使用 I_{off} 的部分断电应用的规范要求。 I_{off} 电路会禁用输出，从而在器件断电时防止电流回流损坏器件。

8.2 功能方框图

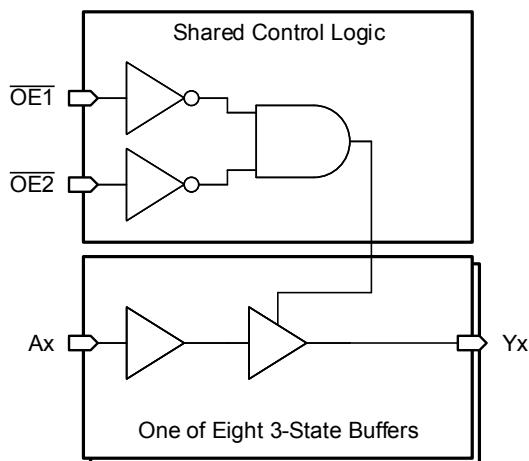


图 8-1. 逻辑图 (正逻辑)

8.3 特性说明

8.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻抗模式时，输出既不会灌入电流，也不会拉出电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10k Ω 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

8.3.2 局部断电 (I_{off})

该器件包含在电源引脚保持在 0V 时用于禁用所有输出的电路。输出被禁用后，将不会拉出和灌入电流，无论施加何种输入电压。每个输出端的漏电流大小由 *电气特性* 表中的 I_{off} 规格定义。

8.3.3 钳位二极管结构

图 8-2 展示了该器件的输入和输出仅布置负钳位二极管。

CAUTION

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

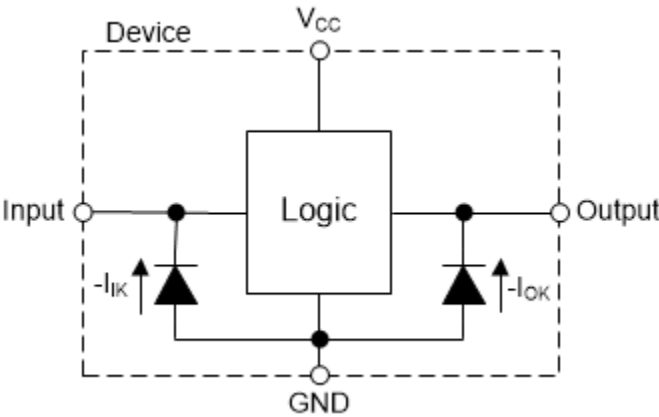


图 8-2. 每个输入和输出的钳位二极管的电气布置

8.4 器件功能模式

表 8-1. 功能表
(每个缓冲器或驱动器)

输入			输出 Y
OE1	OE2	A	
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

9 应用和实施工

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

SN74LV541A 可用于在较长布线或传输线路中驱动信号。为了减少由于驱动器、传输线和接收器之间阻抗不匹配引起的振铃，可以使用与发送器输出串联的串联阻尼电阻器。“应用曲线”部分的图展示了使用三种不同电阻值接收到的信号。在这种类型的应用中，只需少量电阻就会对信号完整性产生显著影响。

9.2 典型应用

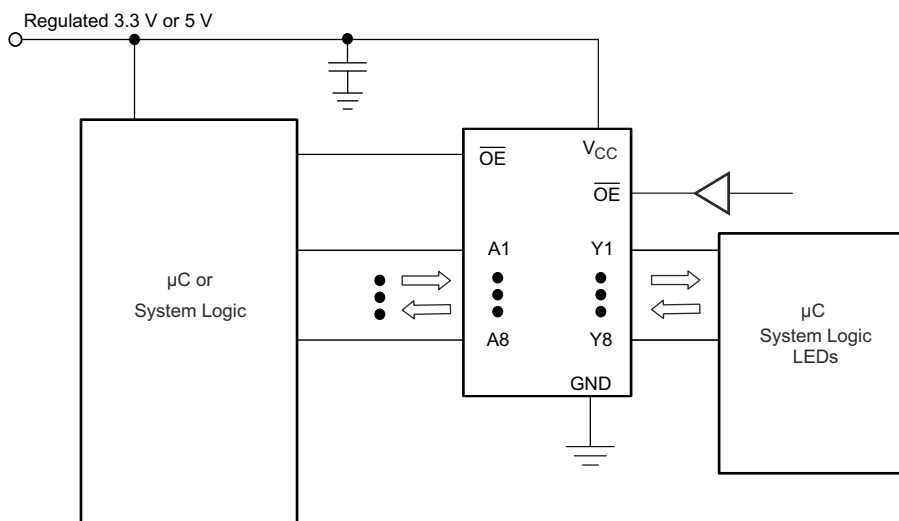


图 9-1. 典型应用原理图

9.2.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LV541A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LV541A 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74LV541A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LV541A 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

CAUTION

绝对最大额定值中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反绝对最大额定值中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过绝对最大额定值中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LV541A 的漏电流（如电气特性中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

SN74LV541A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如建议运行条件表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅特性描述部分。

9.2.3 输出注意事项

正电源电压用于产生输出高电平电压。根据电气特性中 V_{OH} 规范的规定，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据电气特性中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅特性描述部分。

9.2.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。布局部分中显示了示例布局。
2. 确保输出端的容性负载 $\leq 50pF$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LV541A 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$ 。这可防止超出绝对最大额定值中的最大输出电流。大多数 CMOS 输入具有以 $M\Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热增量。

9.2.5 应用曲线

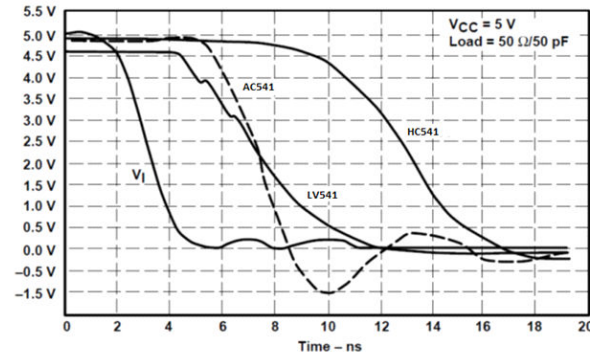


图 9-2. 开关特性比较

9.3 电源相关建议

电源可以是 [建议运行条件](#) 表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 $0.1 \mu F$ ；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 $0.01 \mu F$ 或 $0.022 \mu F$ 电容。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1 \mu F$ 和 $1 \mu F$ 通常并联使用。

为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

9.4 布局

9.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。举两个例子：仅使用三输入与门的 2 个输入；仅使用四缓冲器门中的 3 个门。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。

[图 9-3](#) 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须被连接至一个高或低偏置以防止它们悬空。应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们将连接到 **GND** 或 V_{CC} ，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。如果该收发器有一个输出使能引脚，它会在置为有效时禁用该器件的输出部分。这不会禁用 **I/O** 的输入部分，因此输入在禁用后也无法悬空。

9.4.2 布局示例

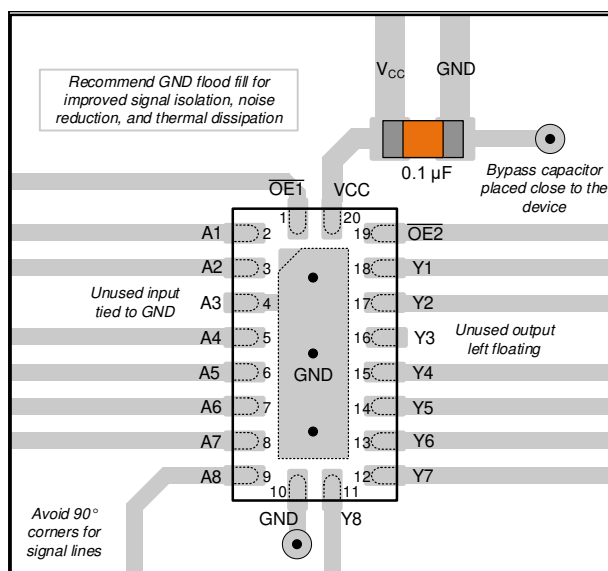


图 9-3. 采用 RKS 封装的 SN74LV541A 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[CMOS 功耗与 Cpd 计算](#)
- 德州仪器 (TI)，[CMOS 输入缓慢或悬空的影响 应用手册](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV541ADBR	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ADBR.A	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ADBRE4	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ADGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L541A
SN74LV541ADGSR.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L541A
SN74LV541ADGSR.B	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L541A
SN74LV541ADW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 125	LV541A
SN74LV541ADWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ADWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ANSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV541A
SN74LV541ANSR.A	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV541A
SN74LV541APWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541APWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541APWRG4	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541APWRG4.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ARGYR	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV541A
SN74LV541ARGYR.A	Active	Production	VQFN (RGY) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV541A
SN74LV541ARKSR	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV541A
SN74LV541ARKSR.A	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LV541A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

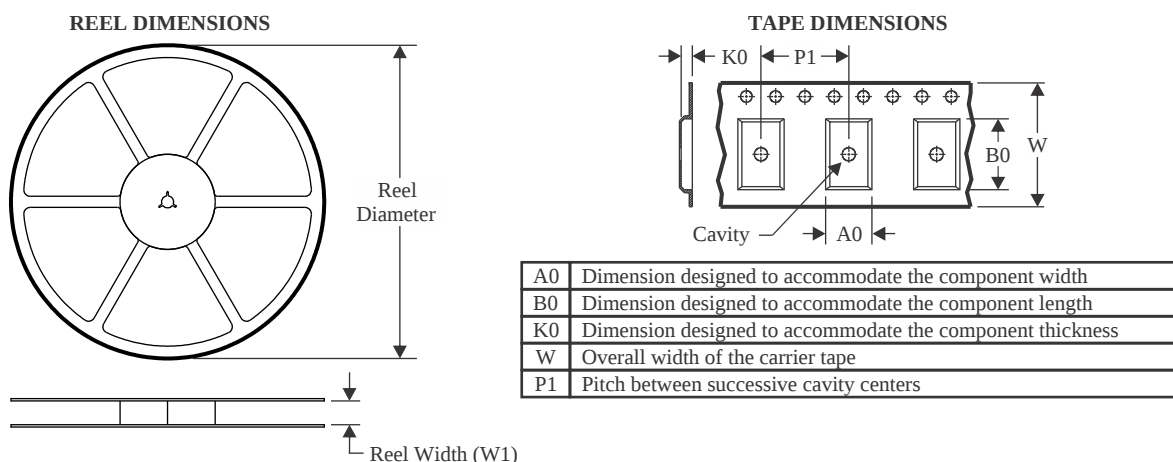
OTHER QUALIFIED VERSIONS OF SN74LV541A :

- Automotive : [SN74LV541A-Q1](#)

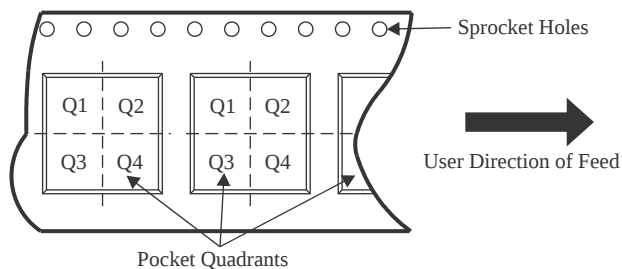
NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV541ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LV541ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV541ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LV541ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LV541ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV541APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV541APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV541APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV541ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LV541ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV541ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LV541ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV541ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV541ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LV541ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LV541APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV541APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV541APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV541ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LV541ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

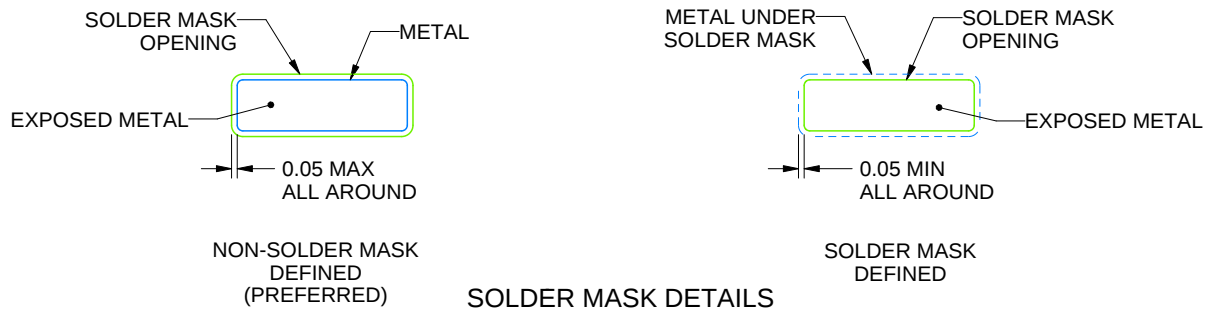
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

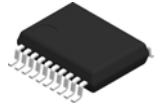


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



4214851/B 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

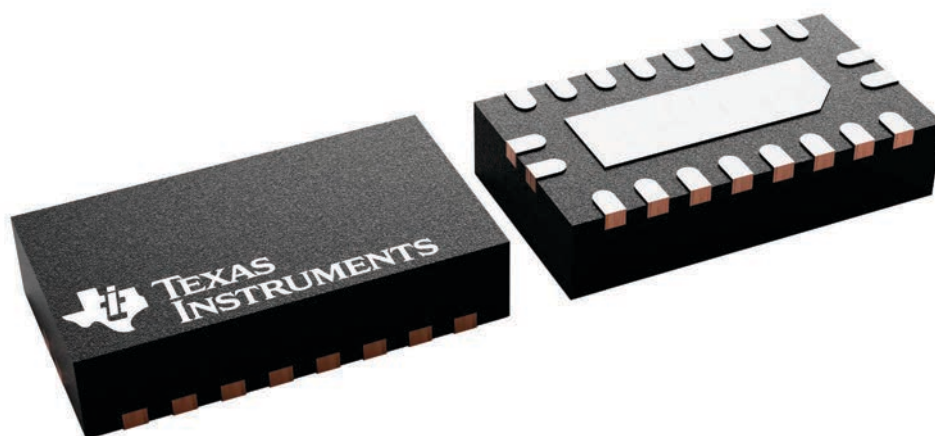
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

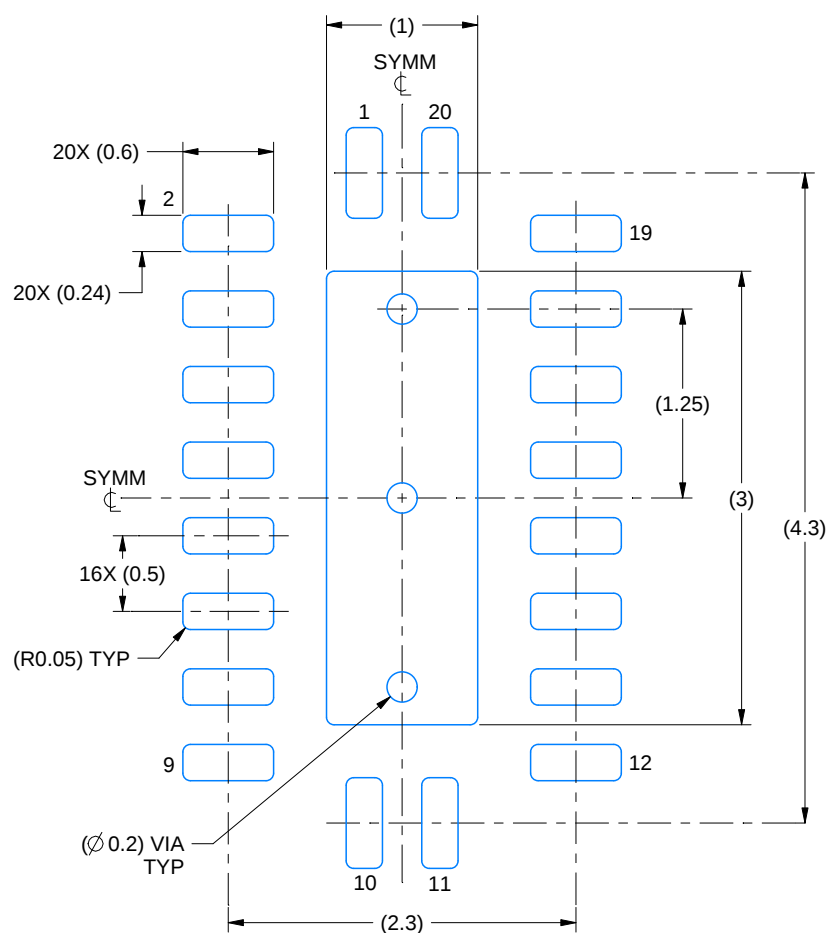
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



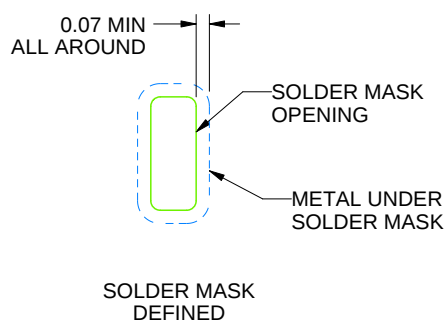
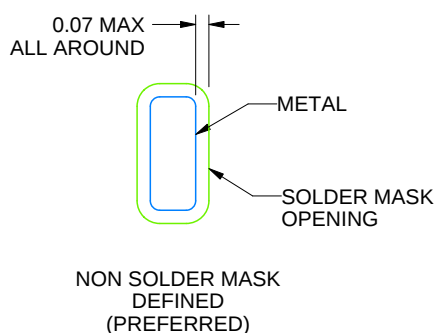
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

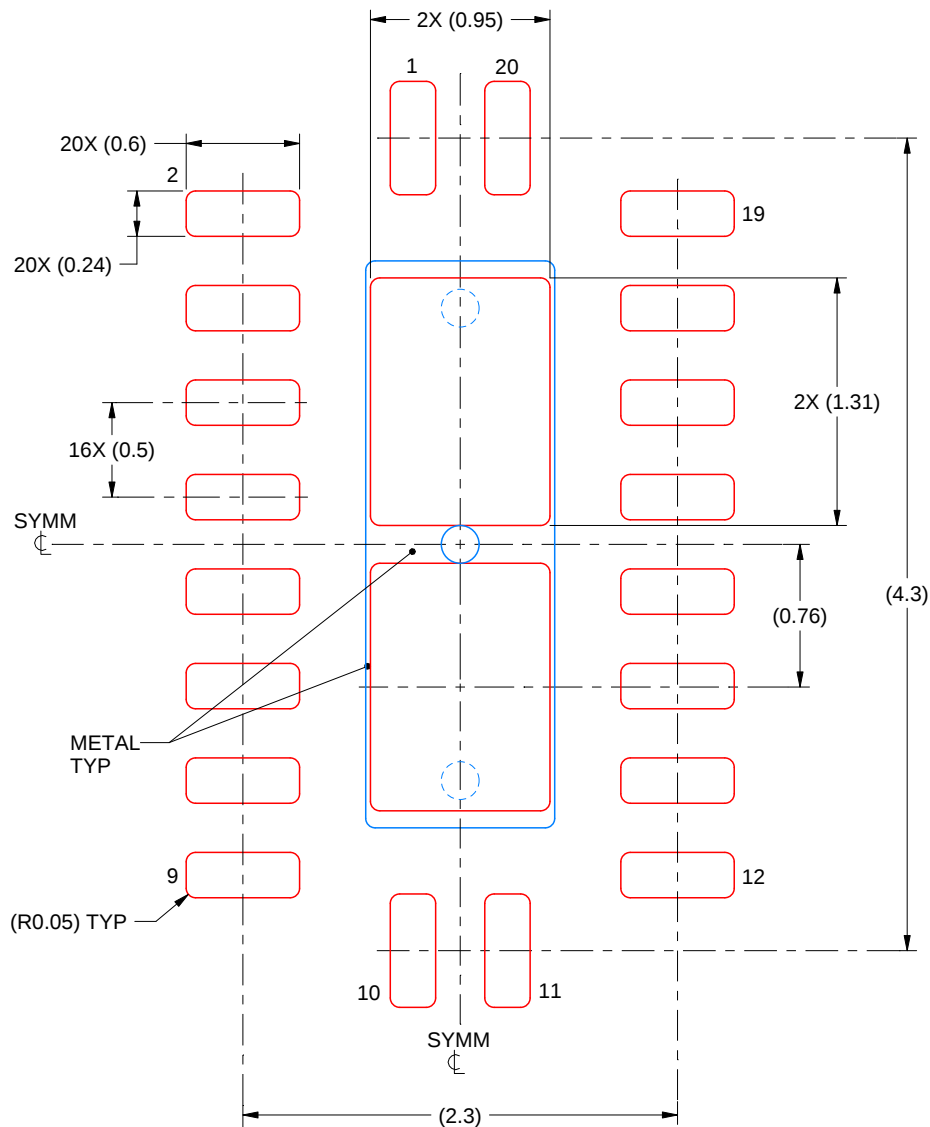
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

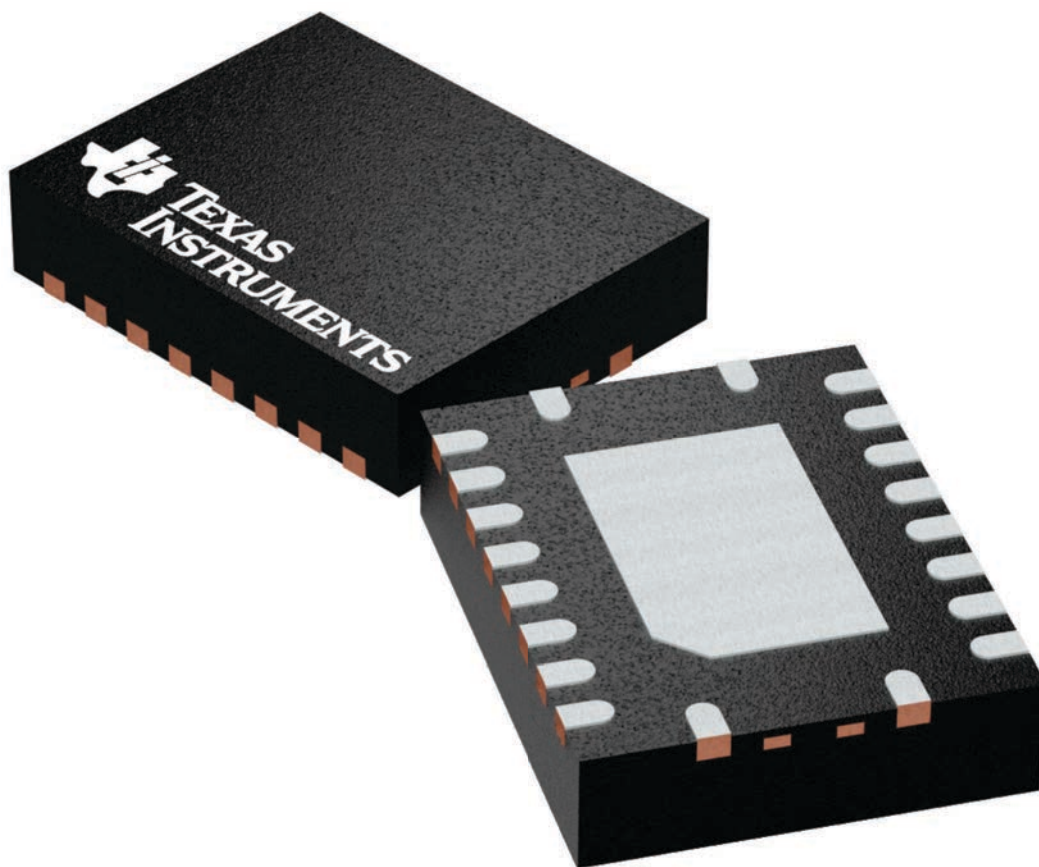
RGY 20

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225264/A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



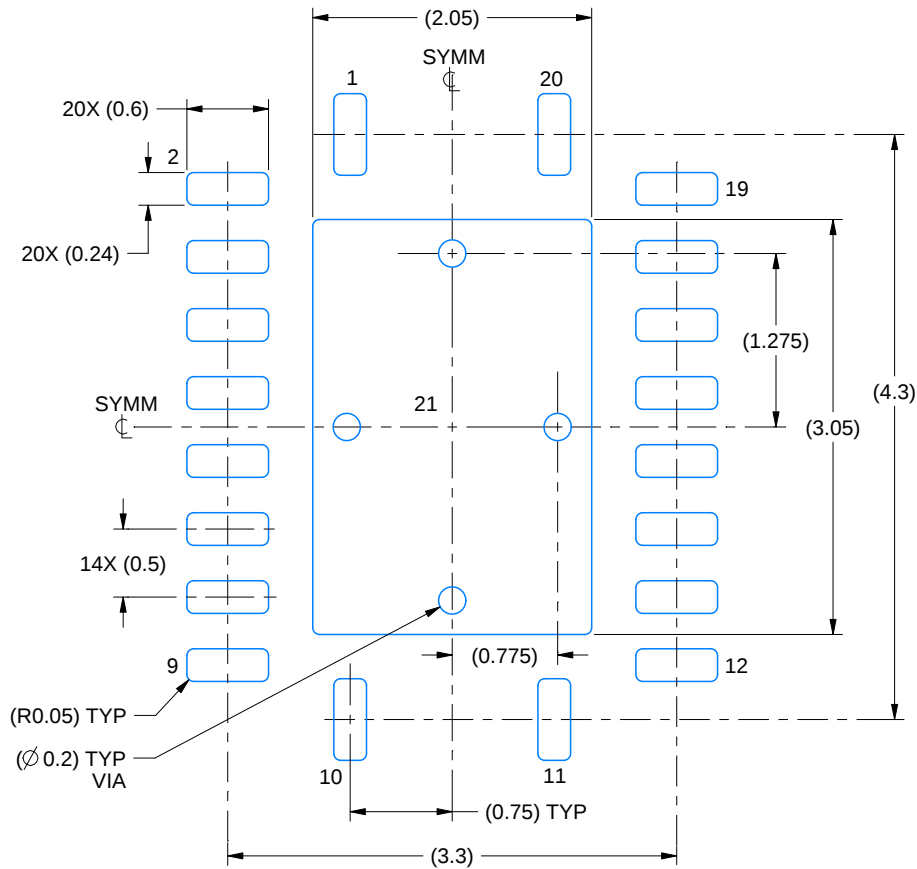
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

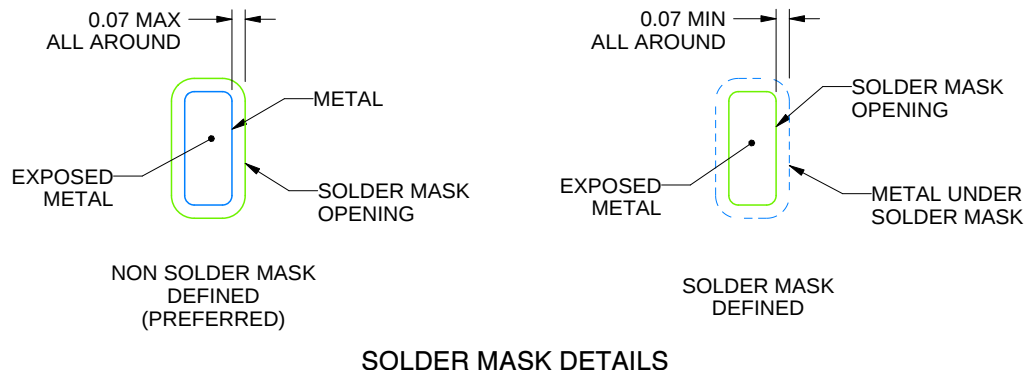
RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4225320/A 09/2019

NOTES: (continued)

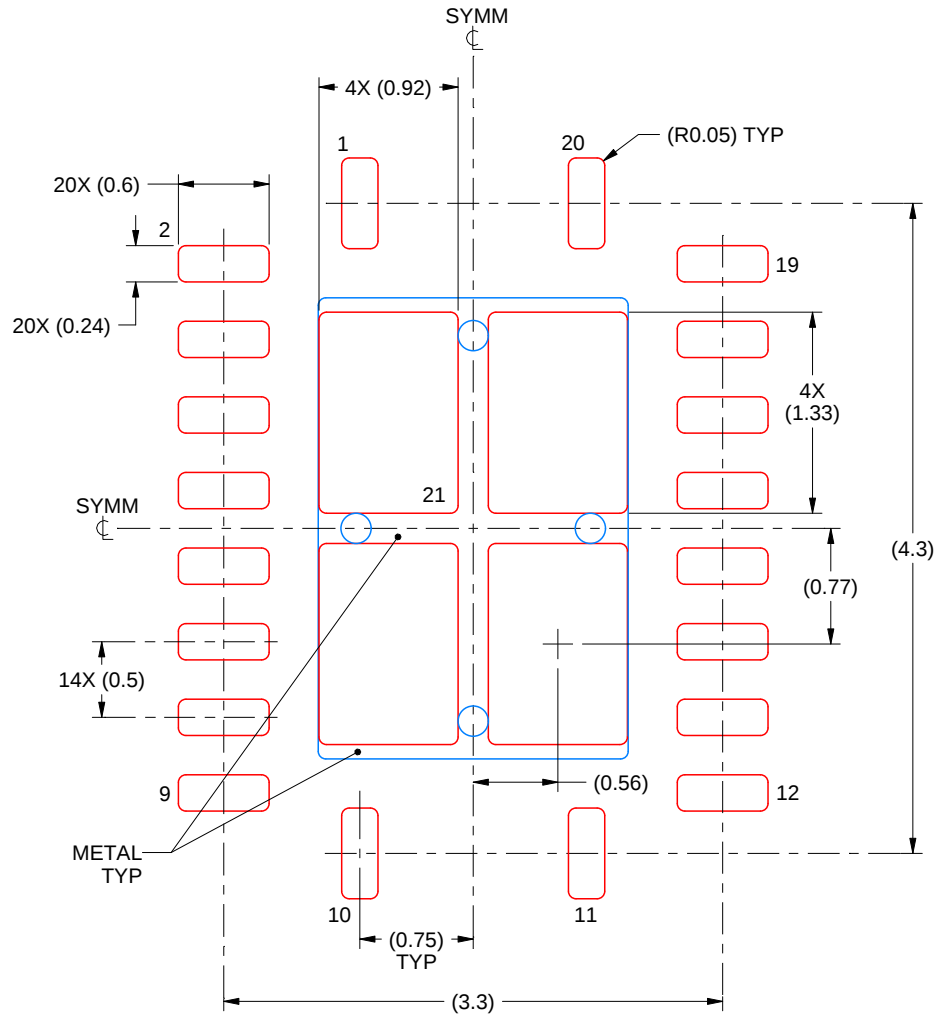
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



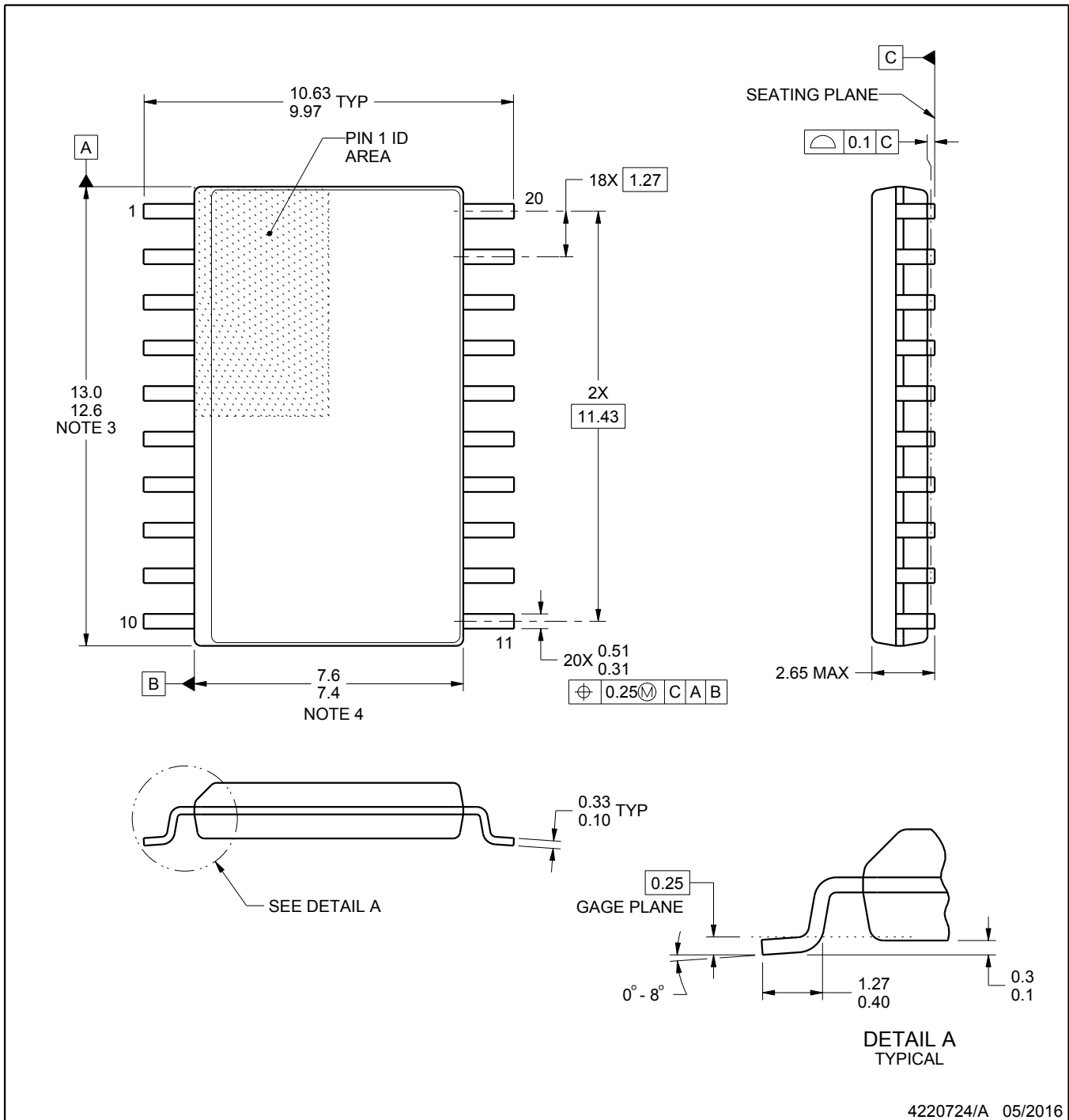
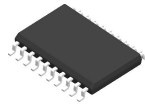
SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 21
 78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4225320/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



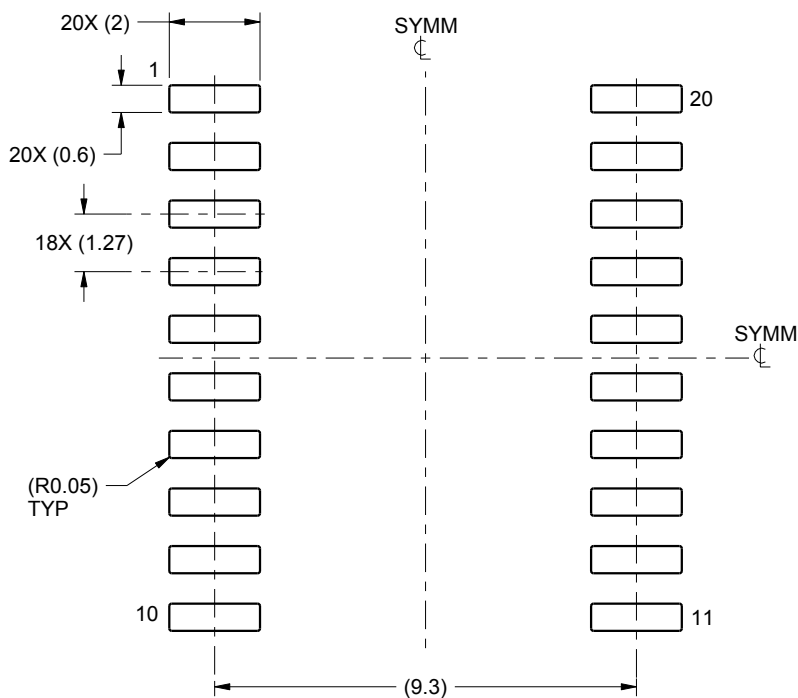
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

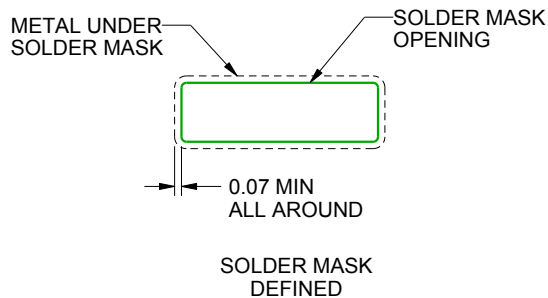
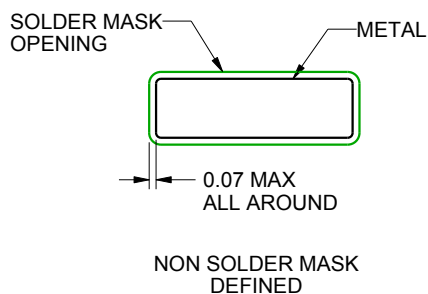
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司