

SN74CB3T3253 双路 4 选 1 FET 多路复用器/多路信号分离器 2.5V/3.3V 低电压总线开关, 具有可耐受 5V 电压的电平移位器

1 特性

- 输出电压转换跟踪 V_{CC}
- 所有数据 I/O 端口上均支持以混合模式信号运行
 - 5V 输入降至 3.3V 输出的电平位移, V_{CC} 为 3.3V
 - 5V/3.3V 输入降至 2.5V 输出的电平位移, V_{CC} 为 2.5V
- 可耐受 5V 电压并支持器件加电或断电的 I/O
- 具有接近零传播延迟的双向数据流
- 低导通状态电阻 (r_{on}) 特性 (r_{on} 典型值 = 5Ω)
- 低输入/输出电容可更大程度减小负载 ($C_{iO(Off)}$ 典型值 = $5pF$)
- 数据与控制输入提供下冲钳位二极管
- 低功耗 (I_{CC} 最大值 = $20\mu A$)
- V_{CC} 工作范围为 2.3V 至 3.6V
- 数据 I/O 支持 0V 至 5V 信号电平 (0.8V、1.2V、1.5V、1.8V、2.5V、3.3V、5V)
- 控制输入可由 TTL 或 5V/3.3V CMOS 输出驱动
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 250mA, 符合 JESD 17 规范
- ESD 性能测试符合 JESD 22 标准
 - 2000V 人体放电模型 (A114-B, II 类)
 - 1000V 充电器件模型 (C101)

2 应用

- 支持数字应用：
 - 电平转换
 - USB 接口
 - 内存交错
 - 总线隔离
- 专为低功耗便携式设备设计

3 说明

SN74CB3T3253 是一种具备低导通状态电阻 (r_{on}) 的高速 TTL 兼容型 FET 多路复用器/多路信号分离器, 可实现超短传播延迟。该器件通过提供可跟踪 V_{CC} 的电压转换, 完全支持在所有数据 I/O 端口上以混合模式信号运行。SN74CB3T3253 支持使用 5V TTL、3.3V LVTTTL 和 2.5V CMOS 开关标准以及用户定义的开关电平的系统 (参见 [典型直流电压转换特性](#))。

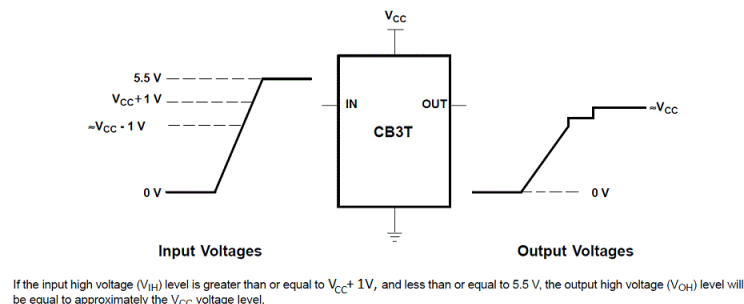
该器件专用于使用 I_{off} 的局部断电应用。 I_{off} 功能可确保器件断电时具有破坏性的电流不会回流。该器件可在关断时提供隔离。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN74CB3T3253D	D (SOIC, 16)	9.9mm × 6mm
SN74CB3T3253DBQ	DBQ (SSOP, 16)	4.9mm × 6mm
SN74CB3T3253DGV	DGV (TVSO, 16)	3.60mm × 6mm
SN74CB3T3253PW	PW (TSSOP, 16)	5mm × 6.4mm

(1) 更多信息, 请参阅第 12 节。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



典型直流电压转换特性



内容

1 特性	1	7.3 特性说明	11
2 应用	1	7.4 器件功能模式	11
3 说明	1	8 应用和实施	12
4 引脚配置和功能	3	8.1 应用信息	12
5 规格	4	8.2 典型应用	12
5.1 绝对最大额定值.....	4	8.3 电源相关建议	13
5.2 ESD 等级.....	4	8.4 布局	14
5.3 建议运行条件.....	5	9 器件和文档支持	15
5.4 热性能信息.....	5	9.1 文档支持.....	15
5.5 电气特性.....	6	9.2 接收文档更新通知.....	15
5.6 开关特性 85C.....	7	9.3 支持资源.....	15
5.7 典型特性.....	8	9.4 商标.....	15
6 参数测量信息	9	9.5 静电放电警告.....	15
7 详细说明	10	9.6 术语表.....	15
7.1 概述.....	10	10 修订历史记录	16
7.2 功能方框图.....	10	11 机械、封装和可订购信息	17

4 引脚配置和功能

**D, DBQ, DGV, OR PW PACKAGE
(TOP VIEW)**

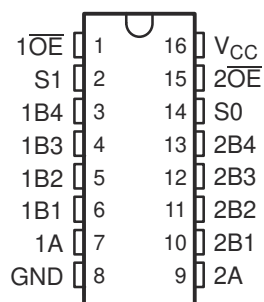


图 4-1. D、DBQ、DGV 或 PW 封装 16 引脚 SOIC、SSOP、TVSOP 或 TSSOP 顶视图

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
1 OE	1	I	输出使能 1，低电平有效
S1	2	I	选择“引脚 1”
1B4	3	I/O	通道 1 I/O 4
1B3	4	I/O	通道 1 I/O 3
1B2	5	I/O	通道 1 I/O 2
1B1	6	I/O	通道 1 I/O 1
1A	7	I/O	通道 1 公共
GND	8	—	接地
2A	9	I/O	通道 2 公共
2B1	10	I/O	通道 2 I/O 1
2B2	11	I/O	通道 2 I/O 2
2B3	12	I/O	通道 2 I/O 3
2B4	13	I/O	通道 2 I/O 4
S0	14	I	选择“引脚 0”
2 OE	15	I	输出使能 2，低电平有效
V _{CC}	16	—	电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围 ⁽²⁾	-0.5	7	V
V_{IN}	控制输入电压范围 ^{(2) (3)}	-0.5	7	V
$V_{I/O}$	开关 I/O 电压范围 ^{(2) (3) (4)}	-0.5	7	V
I_{IK}	控制输入钳位电流	$V_{IN} < 0$		-50 mA
$I_{I/OK}$	I/O 端口钳位电流	$V_{I/O} < 0$		-50 mA
$I_{I/O}$	导通状态开关电流 ⁽⁵⁾			±128 mA
通过 V_{CC} 或 GND 的持续电流				±100 mA
θ_{JA}	封装热阻 ⁽⁶⁾	D 封装		73
		DBQ 封装		90
		DGV 封装		120
		PW 封装		108
T_{stg}	贮存温度范围	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除非另有说明，否则所有电压均以接地为基准。
- (3) 如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。
- (4) V_I 和 V_O 用于表示 $V_{I/O}$ 的特定条件。
- (5) I_I 和 I_O 用于表示 $I_{I/O}$ 的特定条件。
- (6) 封装热阻根据 JESD 51-7 计算。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压		2.3	3.6	V
V _{IH}	高电平控制输入电压	V _{CC} = 2.3V 至 2.7V	1.7	5.5	V
		V _{CC} = 2.7V 至 3.6V	2	5.5	
V _{IL}	低电平控制输入电压	V _{CC} = 2.3V 至 2.7V	0	0.7	V
		V _{CC} = 2.7V 至 3.6V	0	0.8	
V _{I/O}	输入/输出电压数据		0	5.5	V
T _A	自然通风条件下的工作温度范围		-40	85	°C

(1) 器件所有的未使用控制输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 [慢速或浮点 CMOS 输入影响](#) 应用说明。

5.4 热性能信息

热指标 ⁽¹⁾	SN74CB3T3253				单位
	D (SOIC)	DBQ (SSOP)	DGV (TVSOP)	PW (TSSOP)	
	16 引脚	16 引脚	16 引脚	16 引脚	
R _{θJA} 结至环境热阻	73	90	120	129.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内

参数		测试条件				最小值	典型值	最大值	单位
信号输入 (V _{IS}) 和输出 (V _{OS})									
		V _{CC} V	V _{I/O} V 或 I _I 或 V _{IN}	I _O mA 或 V _O 或 V _{IN}	T _A				
r _{ON}	导通状态开关电阻	2.3, 2.5V 时的典型值	V _I = 0V	I _O = 24mA	-40°C 至 +85°C	5	8	Ω	
r _{ON}	导通状态开关电阻	2.3, 2.5V 时的典型值	V _I = 0V	I _O = 16mA	-40°C 至 +85°C	5	8	Ω	
r _{ON}	导通状态开关电阻	3, 3.3V 时的典型值	V _I = 0V	I _O = 64mA	-40°C 至 +85°C	5	7	Ω	
r _{ON}	导通状态开关电阻	3, 3.3V 时的典型值	V _I = 0V	I _O = 32mA	-40°C 至 +85°C	5	7	Ω	
I _{off}	关断状态开关漏电流	0	V _I = 0V	0 ≤ V _O ≤ 5.5V	-40°C 至 +85°C	-10	10	μA	
I _{oz}	关断漏电流	3.6	V _I = 0V、V _{IN} = V _{CC} 或 GND	0 ≤ V _O ≤ 5.5V	-40°C 至 +85°C	-10	10	μA	
I _I	导通状态开关漏电流	3.6	V _I = V _{CC} -0.7 至 5.5V	V _{IN} = V _{CC} 或 GND	-40°C 至 +85°C	-20	20	μA	
I _I	导通状态开关漏电流	3.6	V _I = 0.7 至 V _{CC} -0.7	V _{IN} = V _{CC} 或 GND	-40°C 至 +85°C		-40	μA	
I _{II}	导通状态开关漏电流	3.6	V _I = 0 至 0.7V	V _{IN} = V _{CC} 或 GND	-40°C 至 +85°C	-5	5	μA	
I _{IN}	控制输入电流	3.6	V _{CC} ≤ V _{IN} ≤ 5.5 或 V _{IN} = 0V		-40°C 至 +85°C	-10	10	μA	
I _{CC}	电源电流	3.6	V _I = V _{CC} 或 GND, I _O = 0	V _{IN} = V _{CC} 或 GND	-40°C 至 +85°C		20	μA	
I _{CC}	电源电流	3.6	V _I = 5.5V, I _{I/O} = 0	V _{IN} = V _{CC} 或 GND	-40°C 至 +85°C		20	μA	
Δ I _{CC}	以控制输入为基准的静态器件电流	3V 至 3.6V	V _{IN} = V _{CC} 至 0.6V	在 0/V _{CC} 时的其他输入	-40°C 至 +85°C		300	μA	
C _I	控制输入电容	3.3	V _{IN} = V _{CC} 或 GND		25°C	3		pF	
C _{IO(off)}	A 端口：开关输入/输出电容	3.3	V _I = 5.5V、3.3V、0V	V _{IN} = 0/V _{CC} s.t 开关关断	25°C	15		pF	
C _{IO(on)}	A 端口：开关输入/输出电容	3.3	V _I = 5.5V 或 3.3V	V _{IN} = 0/V _{CC} S.t 开关接通	25°C	10		pF	
C _{IO(on)}	A 端口：开关输入/输出电容	3.3	V _I = 0V	V _{IN} = 0/V _{CC} S.t 开关接通	25°C	22		pF	
C _{IO(off)}	B 端口：开关输入/输出电容	3.3	V _I = 5.5V、3.3V、0V	V _{IN} = 0/V _{CC} s.t 开关关断	25°C	5		pF	
C _{IO(on)}	B 端口：开关输入/输出电容	3.3	V _I = 5.5V 或 3.3V	V _{IN} = 0/V _{CC} S.t 开关接通	25°C	4		pF	
C _{IO(on)}	B 端口：开关输入/输出电容	3.3	V _I = 0V	V _{IN} = 0/V _{CC} S.t 开关接通	25°C	22		pF	
V _{ik}	钳位电压	3	I _I = -18mA		-40°C 至 +85°C		-1.2	V	

5.6 开关特性 85C

在自然通风条件下的工作温度范围内测得 (除非另有说明)

带测试条件的参数		从 (输入)	至 (输出)	V _{CC}	最小值	标称值	最大值	单位
t _{pd}	R _L = 1GΩ、C _L = 30pF、V _{load} = 0V。使用开关电阻*CL 计算得出的 T _{pd}	A 或 B	B 或 A	2.5V ± 0.2V			0.15	ns
t _{pd}	R _L = 1GΩ、C _L = 50pF、V _{load} = 0V。使用开关电阻*CL 计算得出的 T _{pd}	A 或 B	B 或 A	3.3V ± 0.3V			0.25	ns
t _{en}	ZL : R _L = 250Ω、C _L = 30pF、V _{load} = V _{CC} 、 ZH : R _L = 500Ω、C _L = 30pF、V _{load} = GND, 输入端有 50Ω 终端	OE	A 或 B	2.5V ± 0.2V	1		10.4	ns
t _{en}	ZL : R _L = 250Ω、C _L = 50pF、V _{load} = V _{CC} 、 ZH : R _L = 500Ω、C _L = 50pF、V _{load} = GND, 输入端有 50Ω 终端	OE	A 或 B	3.3V ± 0.3V	1		8.3	ns
t _{dis}	LZ: R _L = 250Ω、C _L = 30pF、V _{load} = V _{CC} 、 V _▲ = 0.15V ; HZ : R _L = 500Ω、C _L = 30pF、V _{load} = GND、V _▲ = 0.15V ; 输入端有 50Ω 终端	OE	A 或 B	2.5V ± 0.2V	1		7.4	ns
t _{dis}	LZ : R _L = 250Ω、C _L = 50pF、V _{load} = V _{CC} 、 V _▲ = 0.3V ; HZ : R _L = 500Ω、C _L = 50pF、V _{load} = GND、V _▲ = 0.3V ; 输入端有 50Ω 终端	OE	A 或 B	3.3V ± 0.3V	1		8	ns
t _{pd(s)}	R _L = 500Ω、C _L = 30pF、V _{load} = 0V。V _{input} = 3.6V 域。输入端有 50Ω 终端	S	A	2.5V ± 0.2V			14.4	ns
t _{pd(s)}	R _L = 500Ω、C _L = 50pF、V _{load} = V _{CC} V _{input} = 5.5V 域。输入端有 50Ω 终端	S	A	3.3V ± 0.3V			11	ns
t _{en(s)}	ZL : R _L = 250Ω、C _L = 30pF、V _{load} = V _{CC} 、 ZH : R _L = 500Ω、C _L = 30pF、V _{load} = GND ; 输入端有 50Ω 终端	S	B	2.5V ± 0.2V	1		13.9	ns
t _{en(s)}	ZL : R _L = 250Ω、C _L = 50pF、V _{load} = V _{CC} 、 ZH : R _L = 500Ω、C _L = 50pF、V _{load} = GND ; 输入端有 50Ω 终端	S	B	3.3V ± 0.3V	1		10.6	ns
t _{dis(s)}	LZ : R _L = 250Ω、C _L = 30pF、V _{load} = V _{CC} 、 V _▲ = 0.15V ; HZ : R _L = 500Ω、C _L = 30pF、V _{load} = GND、V _▲ = 0.15V ; 输入端有 50Ω 终端	S	B	2.5V ± 0.2V	1		9.1	ns
t _{dis(s)}	LZ : R _L = 250Ω、C _L = 50pF、V _{load} = V _{CC} 、 V _▲ = 0.3V ; HZ : R _L = 500Ω、C _L = 50pF、V _{load} = GND、V _▲ = 0.3V ; 输入端有 50Ω 终端	S	B	3.3V ± 0.3V	1		8.5	ns

5.7 典型特性

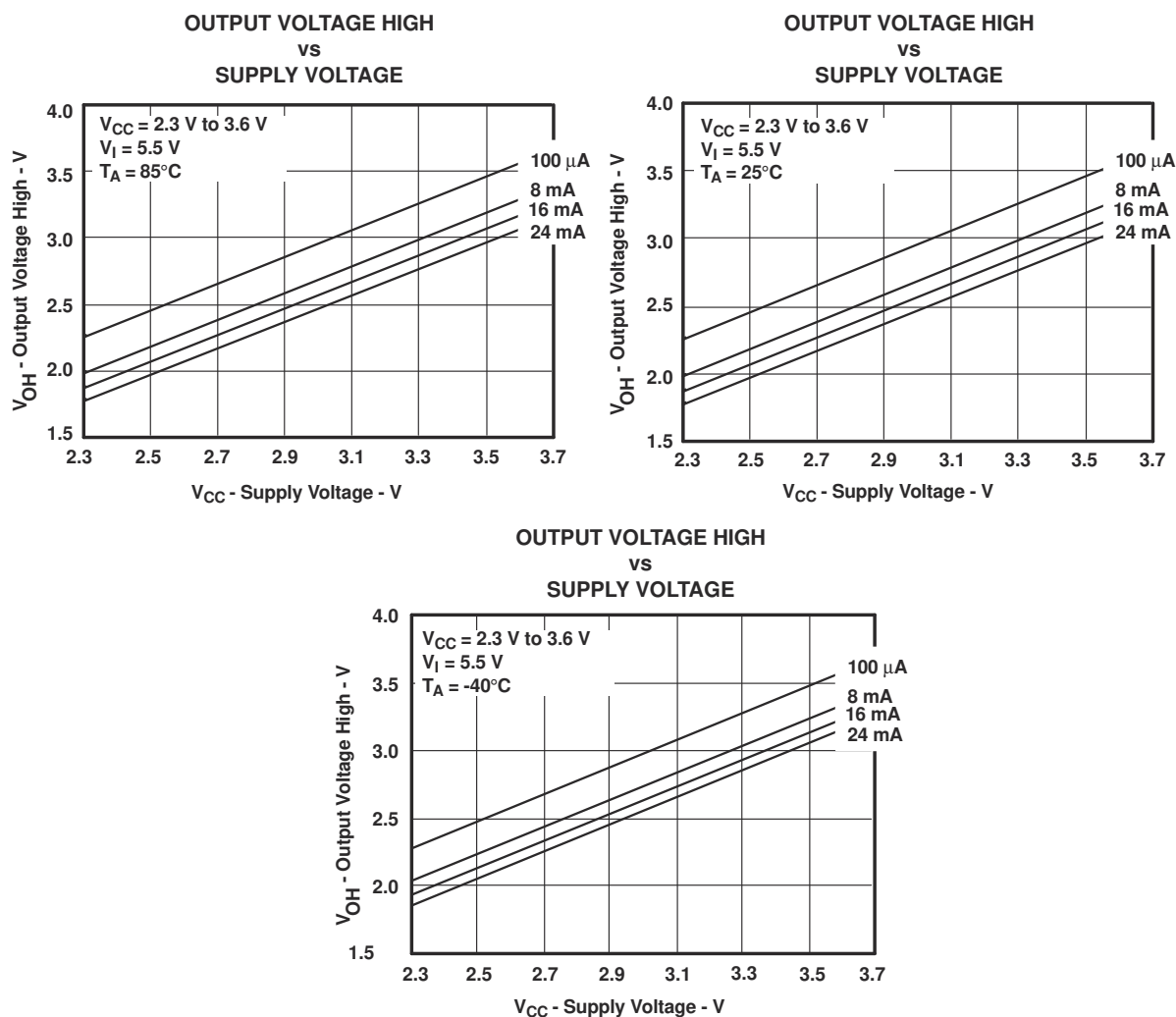
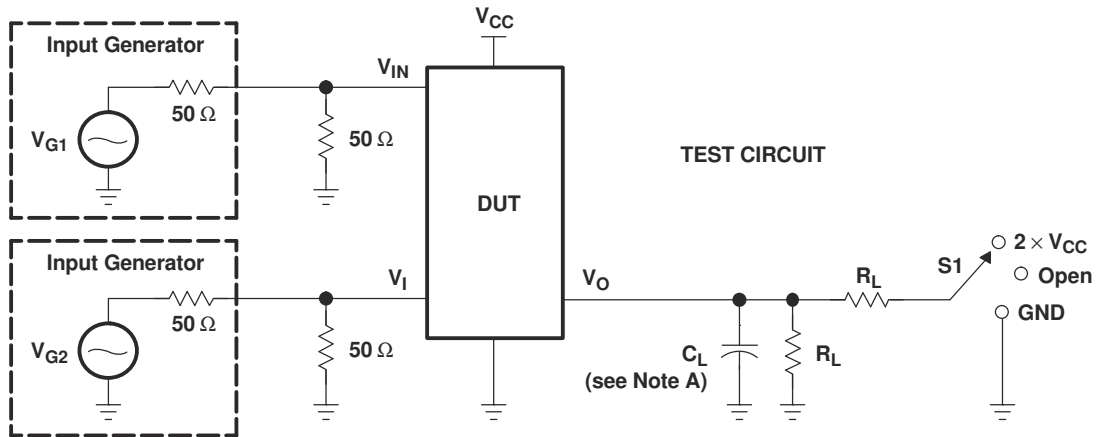
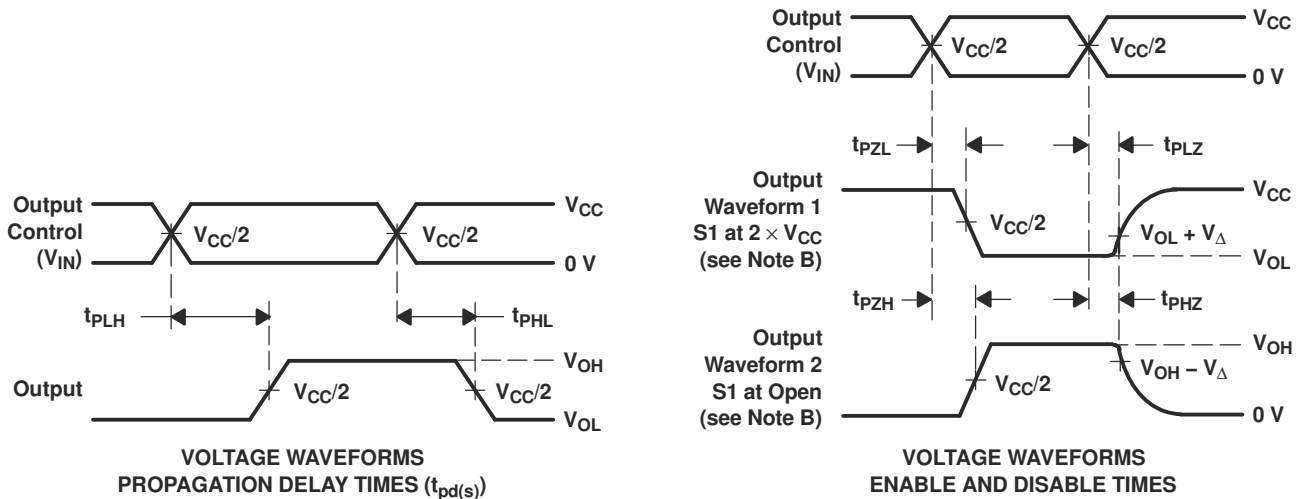


图 5-1. V_{OH} 值

6 参数测量信息



TEST	V _{CC}	S1	R _L	V _I	C _L	V _Δ
t _{pd(s)}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V or GND 5.5 V or GND	30 pF 50 pF	
t _{PLZ} /t _{PZL}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	2 × V _{CC} 2 × V _{CC}	500 Ω 500 Ω	GND GND	30 pF 50 pF	0.15 V 0.3 V
t _{PHZ} /t _{PZH}	2.5 V ± 0.2 V 3.3 V ± 0.3 V	Open Open	500 Ω 500 Ω	3.6 V 5.5 V	30 pF 50 pF	0.15 V 0.3 V



- NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2.5 ns, t_f ≤ 2.5 ns.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd(s)}. The t_{pd} propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 测试电路和电压波形

7 详细说明

7.1 概述

SN74CB3T3253 是一种具备低导通状态电阻 (r_{on}) 的高速 TTL 兼容型 FET 多路复用器/多路信号分离器, 可实现超短传播延迟。该器件通过提供可跟踪 V_{CC} 的电压转换, 完全支持在所有数据 I/O 端口上以混合模式信号运行。SN74CB3T3253 支持使用 5V TTL、3.3V LVTTTL 和 2.5V CMOS 开关标准以及用户定义的开关电平的系统 (参见典型直流电压转换特性)。

SN74CB3T3253 器件组织为两个具有独立输出使能 ($\overline{1OE}$ 、 $\overline{2OE}$) 输入的 4 选 1 多路复用器/多路信号分离器。选择 (S_0 、 S_1) 输入可控制每个多路复用器/多路信号分离器的数据路径。当 $\overline{OE}$ 为低电平时, 导通相关的多路复用器/多路信号分离器, 且 A 端口连接至 B 端口, 从而实现两个端口之间的双向数据流。当 $\overline{OE}$ 为高电平时, 关断相关的多路复用器/多路信号分离器, 且在 A 和 B 端口之间存在高阻抗状态。

该器件专用于使用 I_{off} 的局部断电应用。 I_{off} 特性可验证器件断电时破坏性电流不会通过器件回流。该器件可在关断时提供隔离。

为了验证上电或下电期间的高阻抗状态, 应通过一个上拉电阻器将 $\overline{OE}$ 连接至 V_{CC} ; 该电阻器的最小值由驱动器的电流吸收能力来决定。

7.2 功能方框图

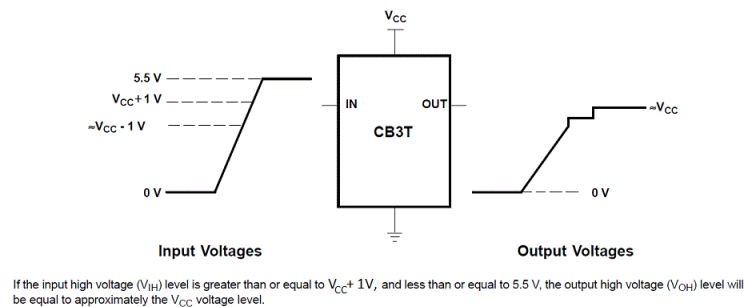


图 7-1. 典型直流电压转换特性

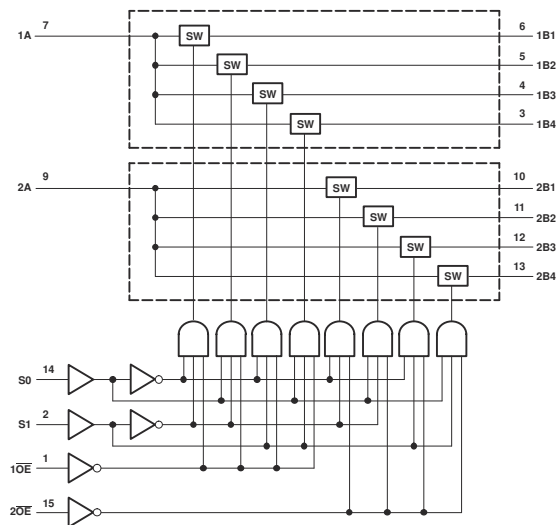
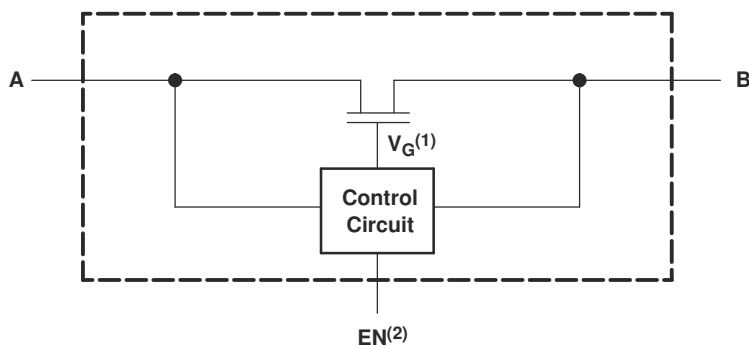


图 7-2. 逻辑图 (正逻辑)



- (1) Gate voltage (V_G) is approximately equal to $V_{CC} + V_T$ when the switch is ON and $V_I > V_{CC} + V_T$.
(2) EN is the internal enable signal applied to the switch.

图 7-3. 每个 FET 开关 (SW) 的简化版原理图)

7.3 特性说明

SN74CB3T3253 器件在功能上与 QS3253 等效，并在两个端口之间具有 5Ω 交换机连接。该器件还在数据 I/O 端口以及 I_{off} 上提供轨到轨开关，支持局部断电模式运行。

7.4 器件功能模式

表 7-1 列出了 SN74CBTLV3253 器件的功能模式。

表 7-1. 功能表 (每个多路复用器/多路信号分离器)

输入			功能
OE	S1	S0	
L	L	L	A 端口 = B1 端口
L	L	H	A 端口 = B2 端口
L	H	L	A 端口 = B3 端口
L	H	H	A 端口 = B4 端口
H	X	X	断开

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围, TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计, 以确保系统功能。

8.1 应用信息

SN74CB3T3253 可用于在 4:1 配置中同时对多达 2 个通道进行多路复用和多路信号分离。此处显示的应用是两个器件之间复用的 2 位总线。 $\overline{OE}$ 和 S 引脚用于控制总线控制器的芯片。这是通用示例，适用于许多情况。

8.2 典型应用

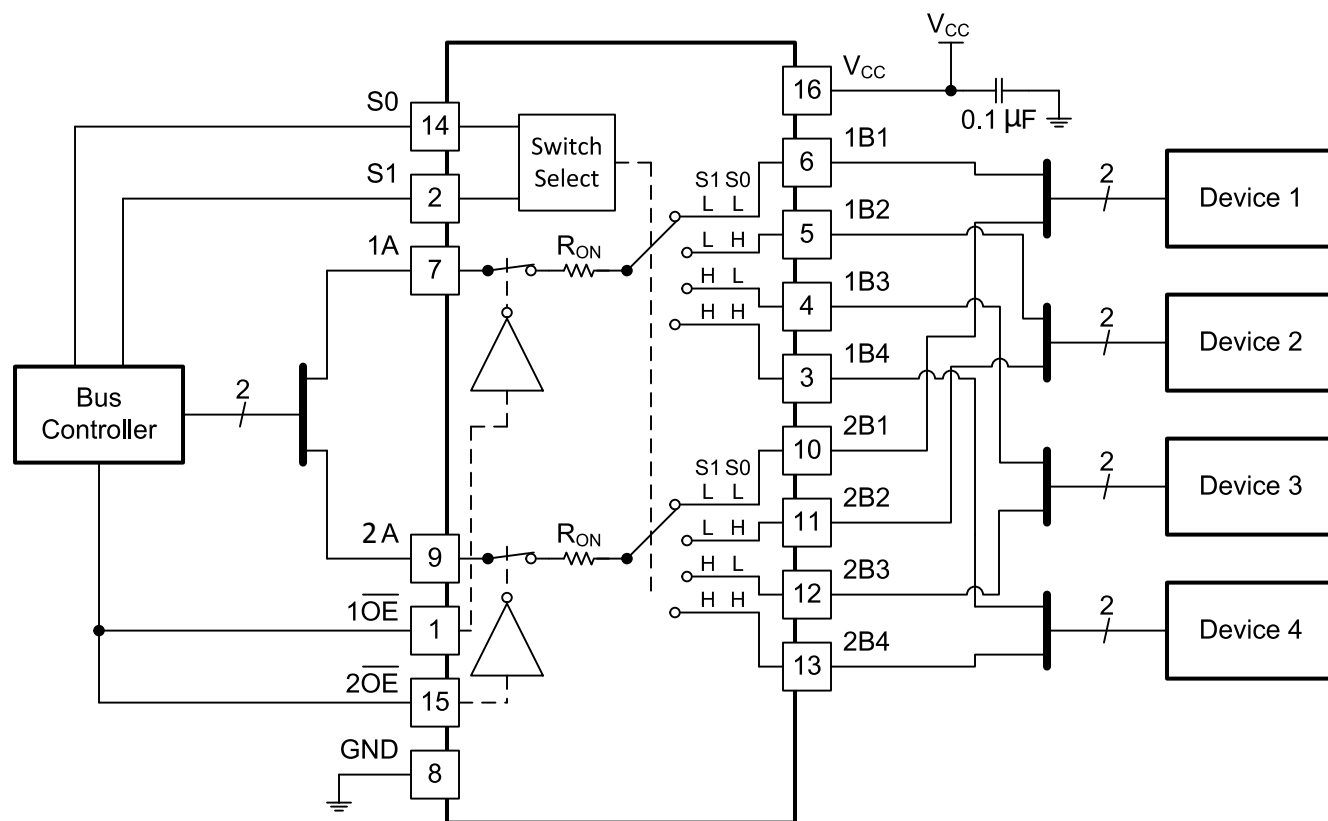


图 8-1. SN74CB3T3253 典型应用

8.2.1 设计要求

将 0.1 μ F 电容器放置在尽可能靠近器件的位置。

8.2.2 详细设计过程

1. 建议的输入条件：
 - 有关指定的高电平和低电平，请参阅 节 5.3 中的 V_{IH} 和 V_{IL} 。
 - 输入和输出具有过压容限，因此在任何有效 V_{CC} 下高达 4.6V。
2. 建议的输出条件：
 - 每个通道的负载电流不得超过 $\pm 128\text{mA}$ 。
3. 频率选择标准：
 - 增加布线电阻/电容可以降低最大频率能力；按照 布局 中的说明使用布局实践。

8.2.3 应用曲线

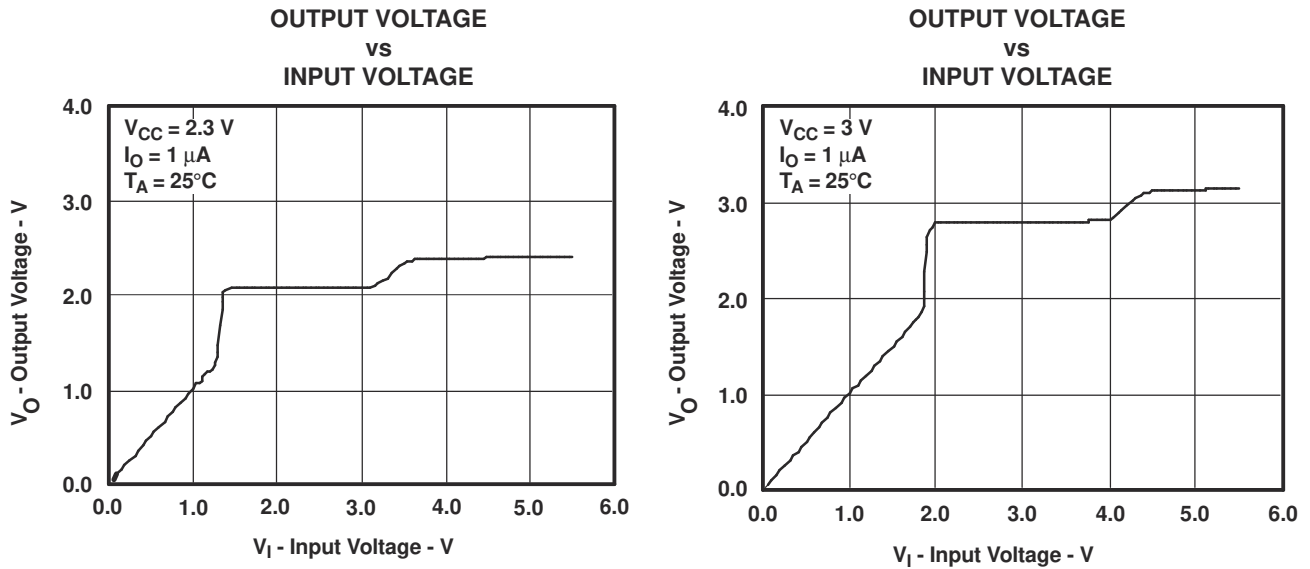


图 8-2. 数据输出电压与数据输入电压间的关系

8.3 电源相关建议

电源可以是 [建议运行条件](#) 中所列最小和最大电源电压额定值之间的任何电压。

为了防止功率干扰、请确认每个 V_{CC} 端子都具有良好的旁路电容器。对于单电源器件，建议使用 $0.1\text{ }\mu\text{F}$ 旁路电容器。如果多个引脚被标记为 V_{CC} ，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 $0.01\text{ }\mu\text{F}$ 或 $0.022\text{ }\mu\text{F}$ 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 $0.1\text{ }\mu\text{F}$ 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 $0.1\text{ }\mu\text{F}$ 和 $1\text{ }\mu\text{F}$ 的电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间存在显著差异，故而需要独立于该理论框架外进行探讨。当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。布线示例展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大幅度地减少反射。

8.4.2 布局示例

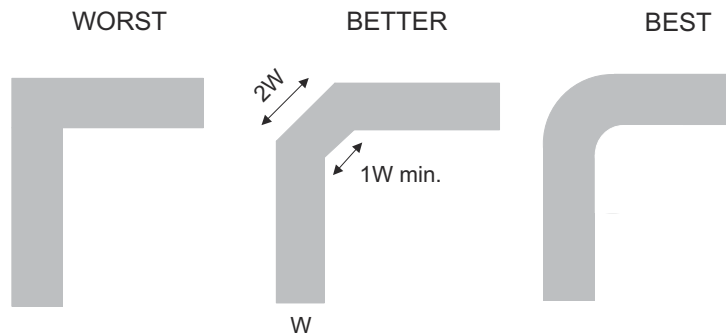


图 8-3. 布线示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

德州仪器 (TI), [CMOS 输入缓慢或悬空的影响 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2003) to Revision A (May 2025)	Page
• 添加了“应用”、“封装信息表”、“引脚配置和功能”、“规格”、“ESD 等级”、“热性能信息”、“详细说明”、“概述”、“功能方框图”、“特性说明”、“器件功能模式”、“应用和实施”、“应用信息”、“典型应用”、“电源建议”、“布局”以及“器件和文档支持”部分.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了 典型直流电压转换特性 中的图形和注释.....	1
• 更新了 电气特性 表中的规格.....	4
• 更新了 开关特性 表中的规格.....	4

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74CB3T3253D	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253D.B	Active	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253DBQR	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	KS253
SN74CB3T3253DBQR.B	Active	Production	SSOP (DBQ) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	KS253
SN74CB3T3253DGVR	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253DGVR.B	Active	Production	TVSOP (DGV) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253DR.B	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3T3253
SN74CB3T3253PW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 85	KS253
SN74CB3T3253PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253
SN74CB3T3253PWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	KS253

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3T3253DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CB3T3253DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CB3T3253DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3T3253DBQR	SSOP	DBQ	16	2500	340.5	338.1	20.6
SN74CB3T3253DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CB3T3253DR	SOIC	D	16	2500	340.5	336.1	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74CB3T3253D	D	SOIC	16	40	507	8	3940	4.32
SN74CB3T3253D.B	D	SOIC	16	40	507	8	3940	4.32



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



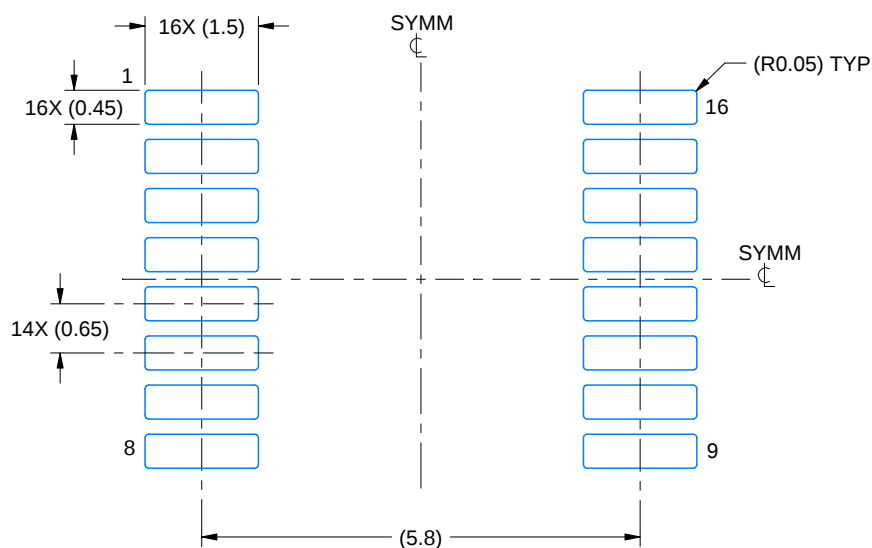
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

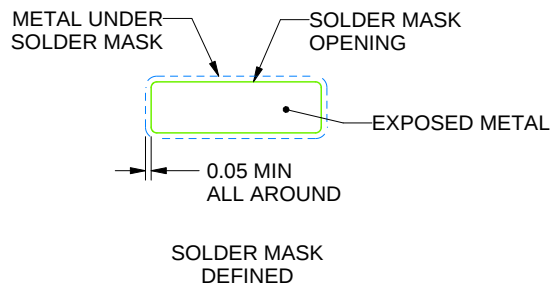
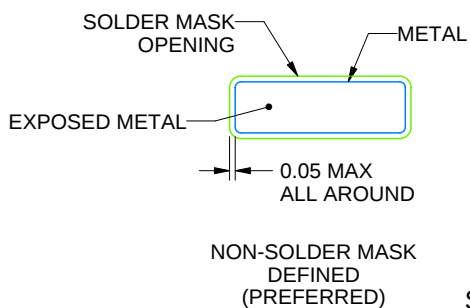
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

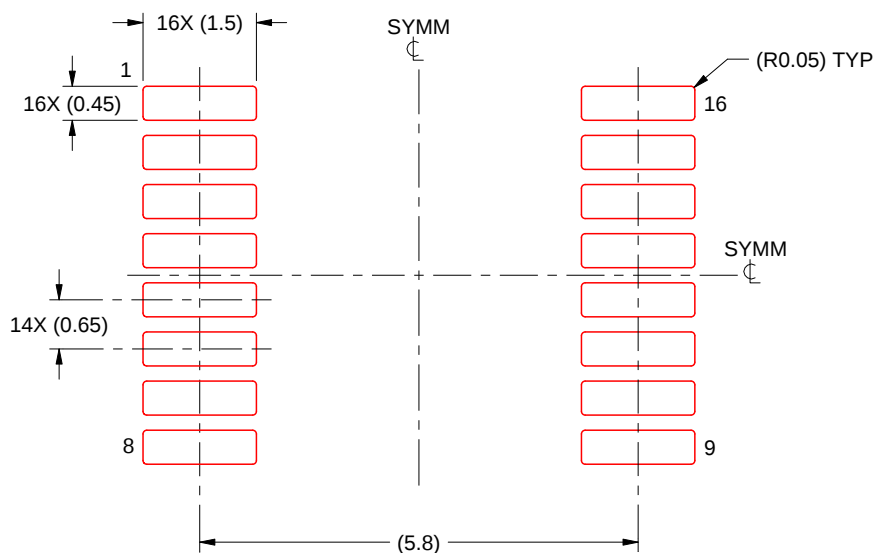
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

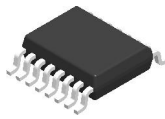


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

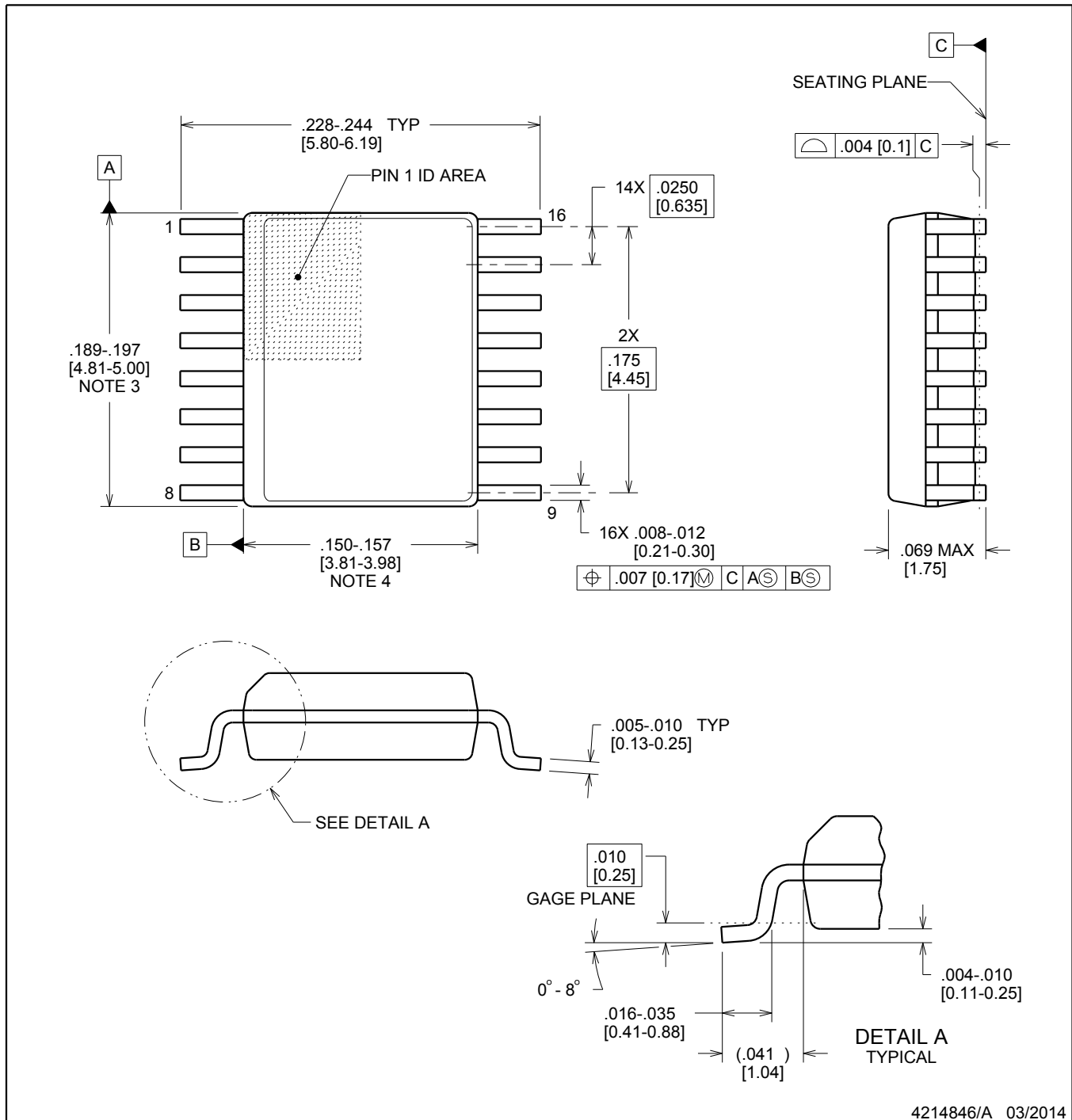


DBQ0016A

PACKAGE OUTLINE

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



4214846/A 03/2014

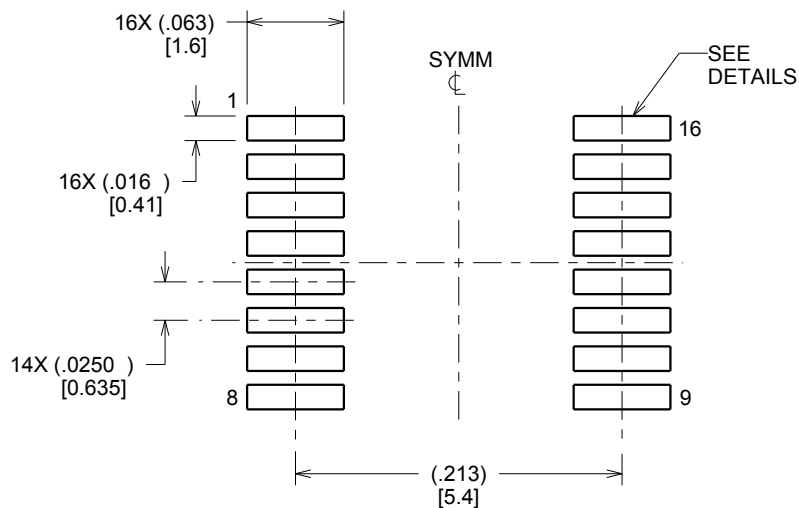
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.

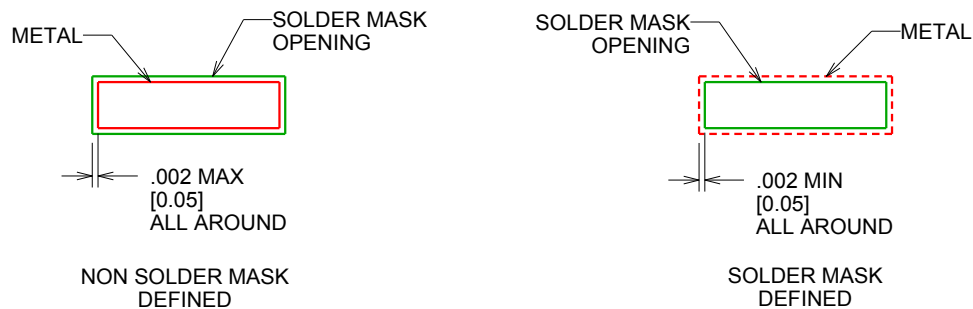
DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

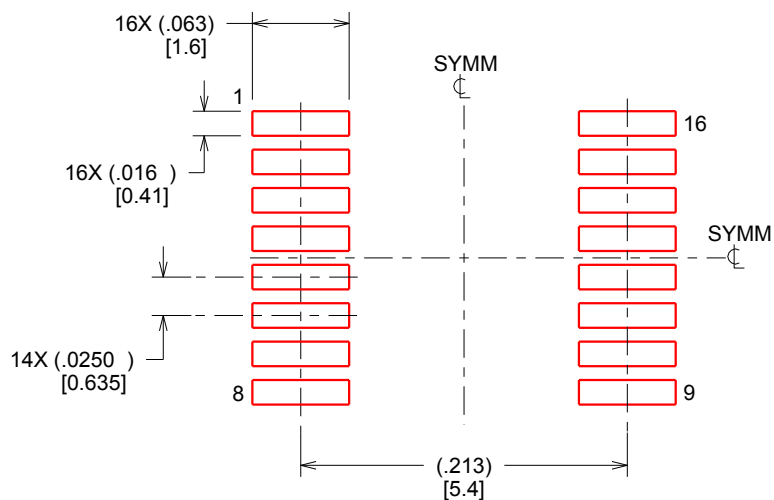
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

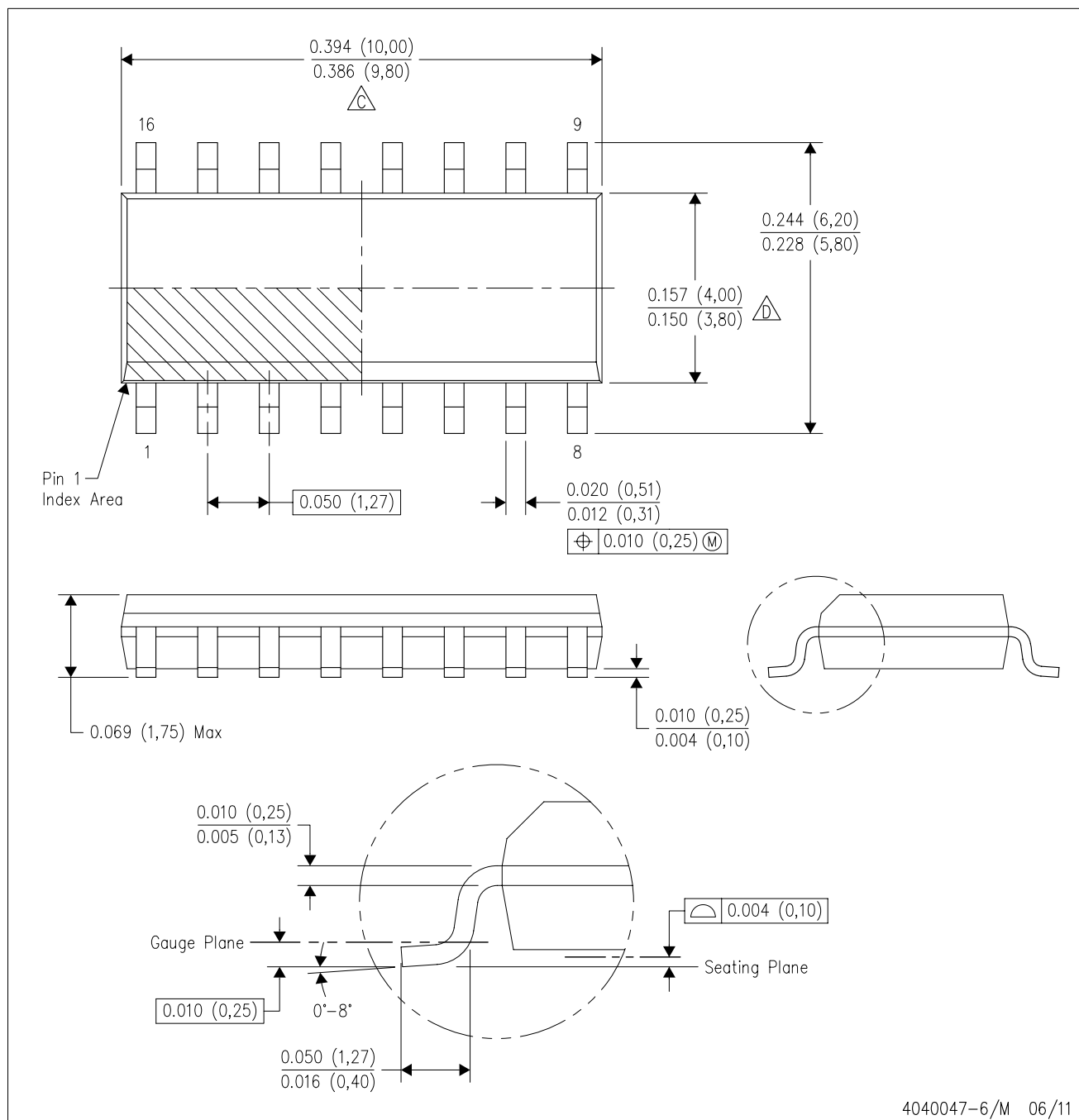
4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



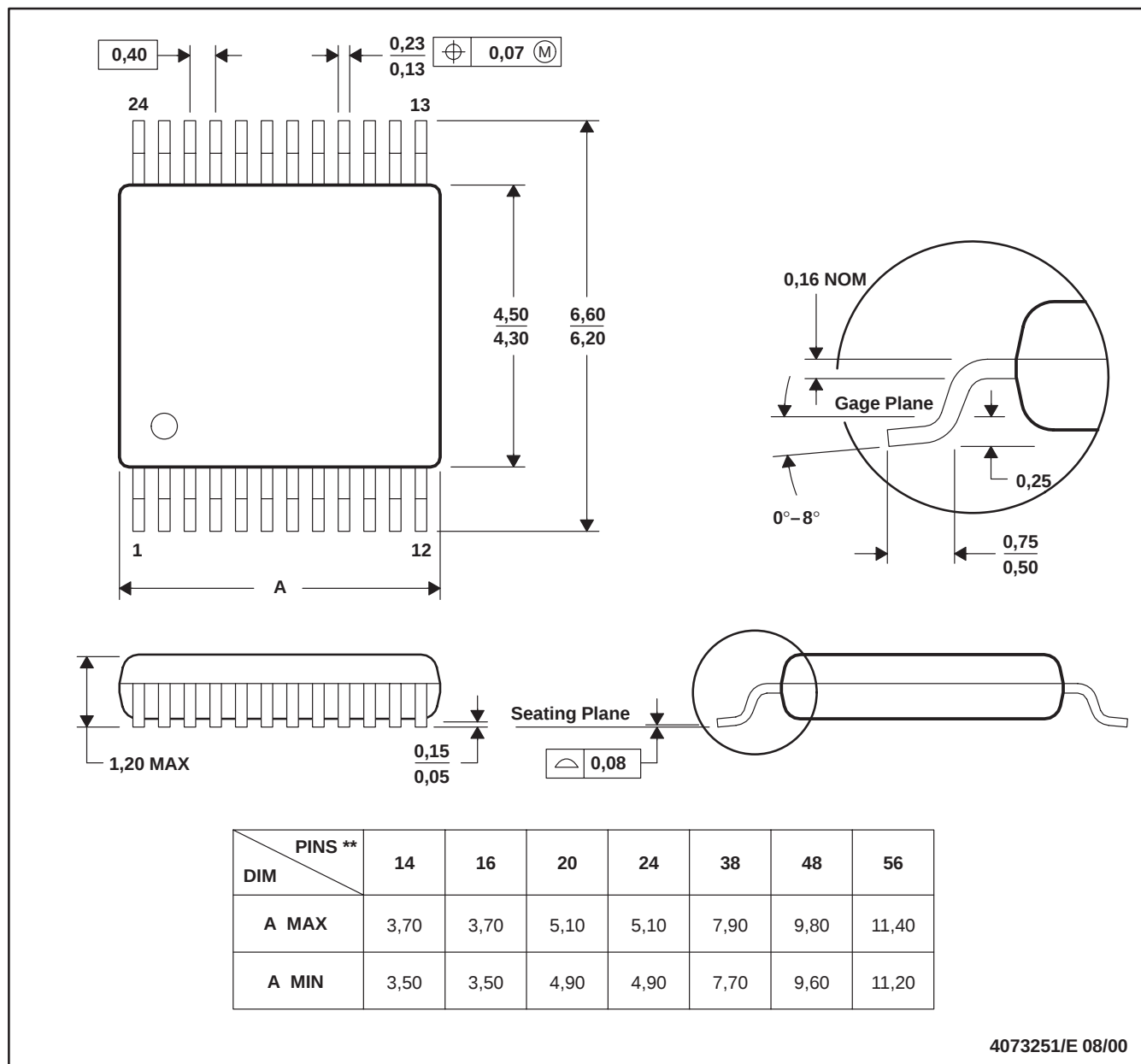
4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司