

SN74AC11-Q1 汽车类三通道 3 输入正与门

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：-40°C 至 +125°C
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 1.5V 至 6V 的宽工作电压范围
- 输入电压高达 6V
- 电压为 5V 时，为 24mA 的连续输出驱动
- 电压为 5V 时，支持高达 75mA 的输出驱动（短时突发）
- 驱动 50 Ω 传输线
- 电压为 5V 且负载为 50pF 时的最大 t_{pd} 为 7.5ns

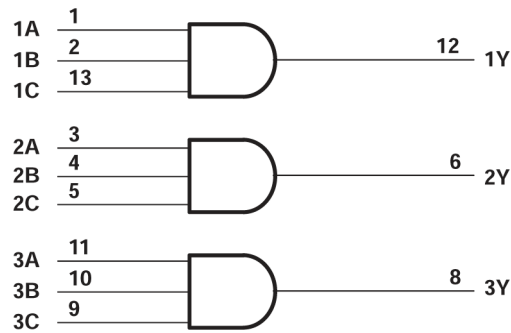
2 说明

SN74AC11-Q1 器件包含三个独立的 3 输入与门。此器件以正逻辑执行布尔函数 $Y = A \cdot B \cdot C$ 或 $Y = \overline{A} + \overline{B} + \overline{C}$

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74AC11-Q1	WQFN (BQA, 14)	3mm x 2.5mm	3mm x 2.5mm
	D (SOIC, 14)	8.65mm x 6mm	8.65mm x 3.9mm
	PW (TSSOP, 14)	5mm x 6.4mm	5mm x 4.4mm

- (1) 有关所有可用封装，请参阅节 10。
 (2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
 (3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图，每个逻辑门（正逻辑）



内容

1 特性	1	6.2 特性说明	7
2 说明	1	6.3 器件功能模式	7
3 引脚配置和功能	3	7 应用和实施	8
4 规格	4	7.1 电源相关建议.....	8
4.1 绝对最大额定值.....	4	7.2 布局.....	8
4.2 ESD 等级.....	4	8 器件和文档支持	10
4.3 建议运行条件.....	4	8.1 文档支持.....	10
4.4 热性能信息.....	5	8.2 接收文档更新通知.....	10
4.5 电气特性.....	5	8.3 支持资源.....	10
4.6 开关特性, $V_{CC} = 3.3V \pm 0.3V$	5	8.4 商标.....	10
4.7 开关特性, $V_{CC} = 5V \pm 0.5V$	5	8.5 静电放电警告.....	10
4.8 工作特性.....	6	8.6 术语表.....	10
5 参数测量信息	6	9 修订历史记录	10
6 详细说明	7	10 机械、封装和可订购信息	10
6.1 功能方框图.....	7		

3 引脚配置和功能

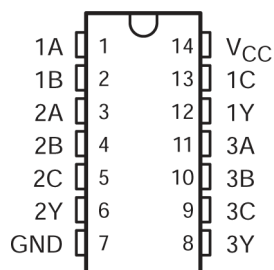


图 3-1. D 或 PW 封装，14 引脚 SOIC 或 TSSOP (顶视图)

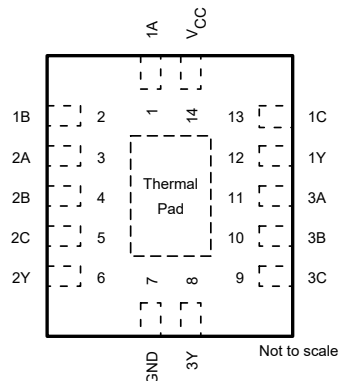


图 3-2. BQA 封装，14 引脚 WQFN (俯视图)

表 3-1. 引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
1A	1	输入	通道 1，输入 A
1B	2	输入	通道 1，输入 B
2A	3	输入	通道 2，输入 A
2B	4	输入	通道 2，输入 B
2C	5	输入	通道 2，输入 C
2Y	6	输出	通道 2，输出 Y
GND	7	—	接地
3Y	8	输出	通道 3，输出 Y
3C	9	输入	通道 3，输入 A
3B	10	输入	通道 3，输入 B
3A	11	输入	通道 3，输入 C
1Y	12	输出	通道 1，输出 Y
1C	13	输入	通道 1，输入 C
V _{CC}	14	—	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

(2) 仅限 BQA 封装

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	7	V
V_I ⁽²⁾	输入电压范围	-0.5	$V_{CC} + 0.5$	V
V_O ⁽²⁾	输出电压范围	-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < 0$ 或 $V_I > V_{CC}$		±20 mA
I_{OK}	输出钳位电流	$(V_O < 0$ 或 $V_O > V_{CC})$		±20 mA
I_O	持续输出电流	$(V_O = 0$ 至 $V_{CC})$		±50 mA
	通过 V_{CC} 或 GND 的持续电流			±200 mA
T_{stg}	贮存温度范围	-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100 - 002 标准 1	±2000 V

1. AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		SN74AC11-Q1		单位
		最小值	最大值	
V_{CC}	电源电压	2	6	V
V_{IH}	高电平输入电压	$V_{CC} = 3V$	2.1	V
		$V_{CC} = 4.5V$	3.15	
		$V_{CC} = 5.5V$	3.85	
V_{IL}	低电平输入电压	$V_{CC} = 3V$	0.9	V
		$V_{CC} = 4.5V$	1.35	
		$V_{CC} = 5.5V$	1.65	
V_I	输入电压	0	V_{CC}	V
V_O	输出电压	0	V_{CC}	V
I_{OH}	高电平输出电流	$V_{CC} = 3V$	-12	mA
		$V_{CC} = 4.5V$	-24	
		$V_{CC} = 5.5V$	-24	
I_{OL}	低电平输出电流	$V_{CC} = 3V$	12	mA
		$V_{CC} = 4.5V$	24	
		$V_{CC} = 5.5V$	24	
$\Delta t / \Delta v$	输入转换上升或下降速率		8	ns/V
T_A	自然通风条件下的工作温度范围	-40	85	°C

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 **CMOS 输入缓慢变化或悬空的影响**，文献编号 SCBA004。

4.4 热性能信息

热指标 ⁽¹⁾		SN74AC11-Q1			单位
		BQA (WQFN)	D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	
R _{θJA}	结至环境热阻	91.3	119.9	145.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	T _A = 25°C			SN74AC11-Q1		单位
			最小值	典型值	最大值	最小值	最大值	
V _{OH}	I _{OH} = -50μA	3V	2.9	2.99		2.9		V
		4.5V	4.4	4.49		4.4		
		5.5V	5.4	5.49		5.4		
	I _{OH} = -12mA	3V	2.56			2.46		
		4.5V	3.86			3.76		
	I _{OH} = -24mA	5.5V	4.86			4.76		
		5.5V						
V _{OL}	I _{OL} = 50μA	3V		0.002	0.1		0.1	V
		4.5V		0.001	0.1		0.1	
		5.5V		0.001	0.1		0.1	
	I _{OL} = 12mA	3V			0.36		0.44	
		4.5V			0.36		0.44	
	I _{OL} = 24mA	5.5V			0.36		0.44	
		5.5V						
I _I	V _I = V _{CC} 或 GND	5.5V			±0.1		±1	μA
		5.5V			2		20	μA
I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	5.5V						μA
C _i	V _I = V _{CC} 或 GND	5V		2.6				pF

(1) 一次不应测试超过一个输出，且测试持续时间不应超过 10ms。

4.6 开关特性，V_{CC} = 3.3V ± 0.3V

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	从（输入）	至（输出）	T _A = 25°C			SN74AC11-Q1		单位
			最小值	典型值	最大值	最小值	最大值	
t _{PLH}	A、B 或 C	Y	1.5	5.5	9.5	1	10	ns
t _{PHL}			1.5	5.5	8.5	1	9.5	

4.7 开关特性，V_{CC} = 5V ± 0.5V

在自然通风条件下的工作温度范围内测得（除非另有说明）

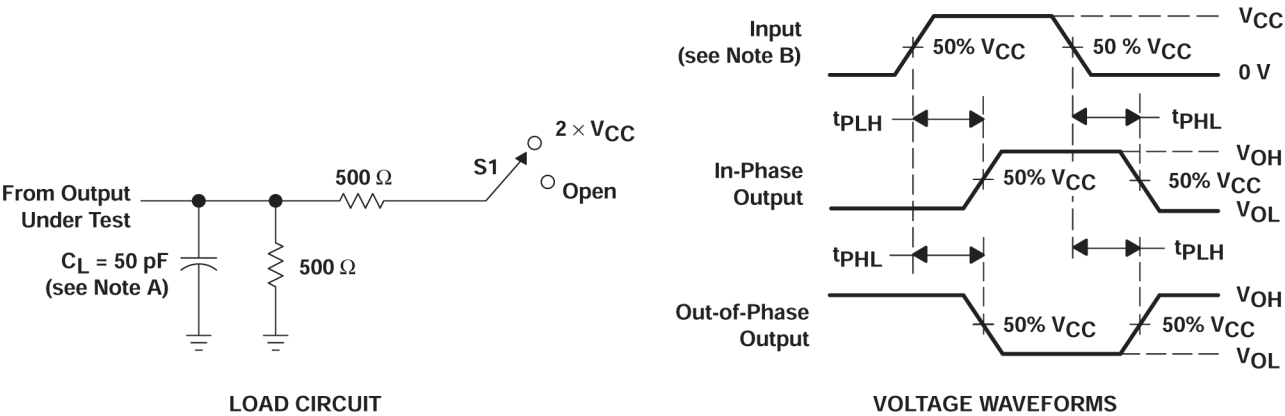
参数	从（输入）	至（输出）	T _A = 25°C			SN74AC11-Q1		单位
			最小值	典型值	最大值	最小值	最大值	
t _{PLH}	A、B 或 C	Y	1.5	4	8	1	8.5	ns
t _{PHL}			1.5	4	7	1	7.5	

4.8 工作特性

$V_{CC} = 5V$, $T_A = 25^{\circ}C$

参数	测试条件	典型值	单位
C_{pd} 功率耗散电容	$C_L = 50pF$, $f = 1MHz$	20	pF

5 参数测量信息



- A. C_L 包括探针和夹具电容。
- B. 所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1MHz$, $Z_O = 50\Omega$, $t_r \leq 2.5\text{ ns}$, $t_f \leq 2.5\text{ ns}$ 。
- C. 一次测量一个输出，每次测量一个输入转换。

图 5-1. 负载电路和电压波形

测试	S1
t_{PLH}/t_{PHL}	开路

6 详细说明

6.1 功能方框图

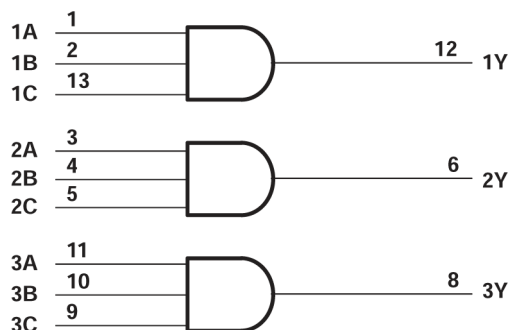


图 6-1. 逻辑图，每个逻辑门（正逻辑）

6.2 特性说明

6.2.1 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 [CMOS 输入缓慢或悬空的影响](#)。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

6.3 器件功能模式

表 6-1. 功能表（每个逻辑门）

输入			输出
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

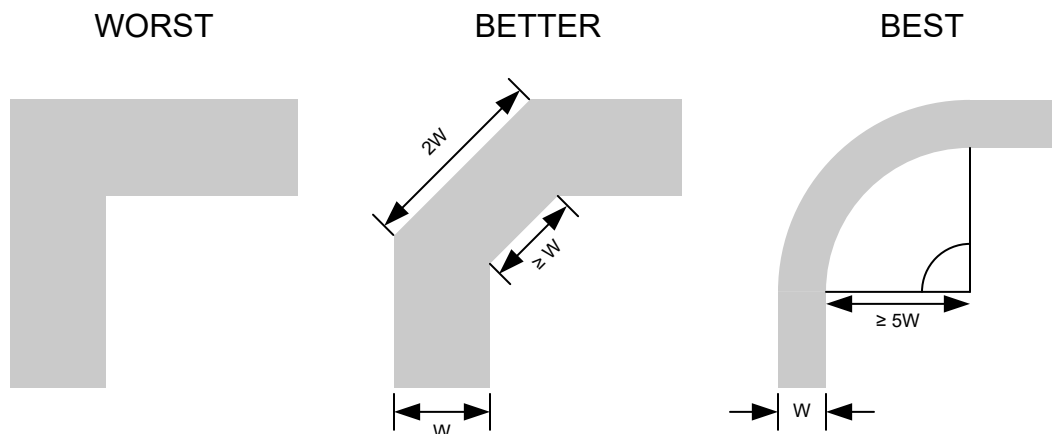


图 7-1. 可改善信号完整性的布线转角示例

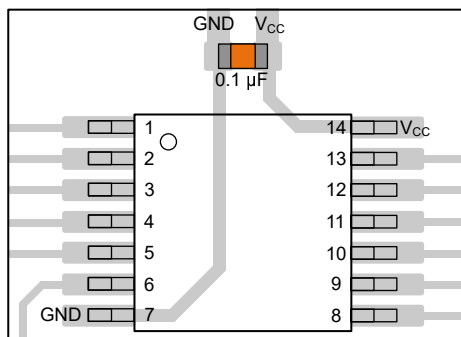


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

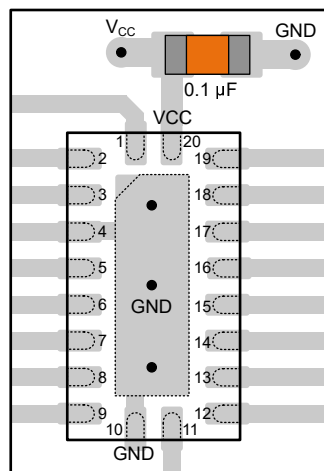


图 7-3. WQFN 和类似封装的旁路电容器放置示例

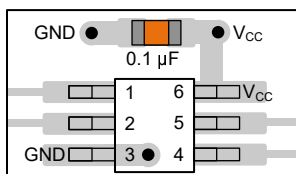


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

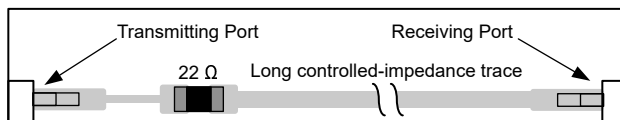


图 7-5. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (April 2008) to Revision B (February 2025)	Page
• 向封装信息表、引脚配置和功能部分以及热性能信息表中添加了 BQA 封装.....	1
• 添加了封装信息表、引脚功能表、ESD 等级表、热性能信息表、器件功能模式、“应用和实施”部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AC11IDRG4Q1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11IDRG4Q1.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11IPWRG4Q1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11IPWRG4Q1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11IQ1
SN74AC11WBQARQ1	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11Q
SN74AC11WBQARQ1.A	Active	Production	WQFN (BQA) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC11Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

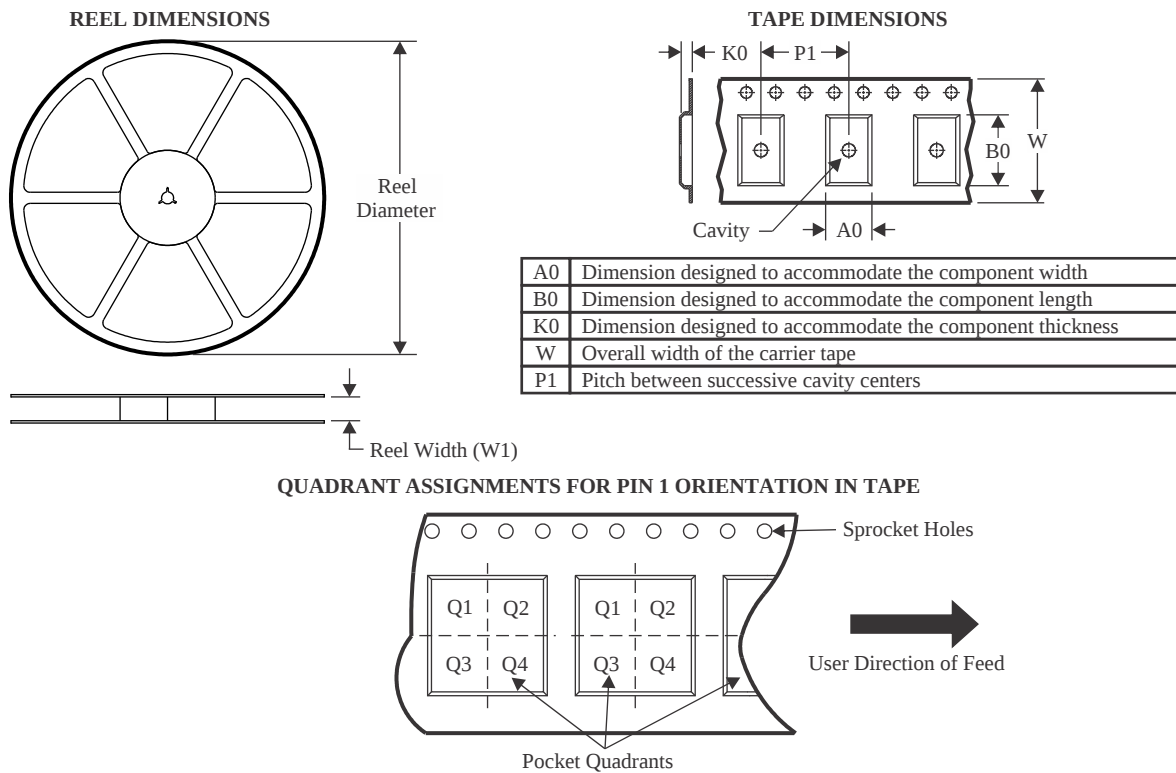
OTHER QUALIFIED VERSIONS OF SN74AC11-Q1 :

- Catalog : [SN74AC11](#)
- Enhanced Product : [SN74AC11-EP](#)
- Military : [SN54AC11](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

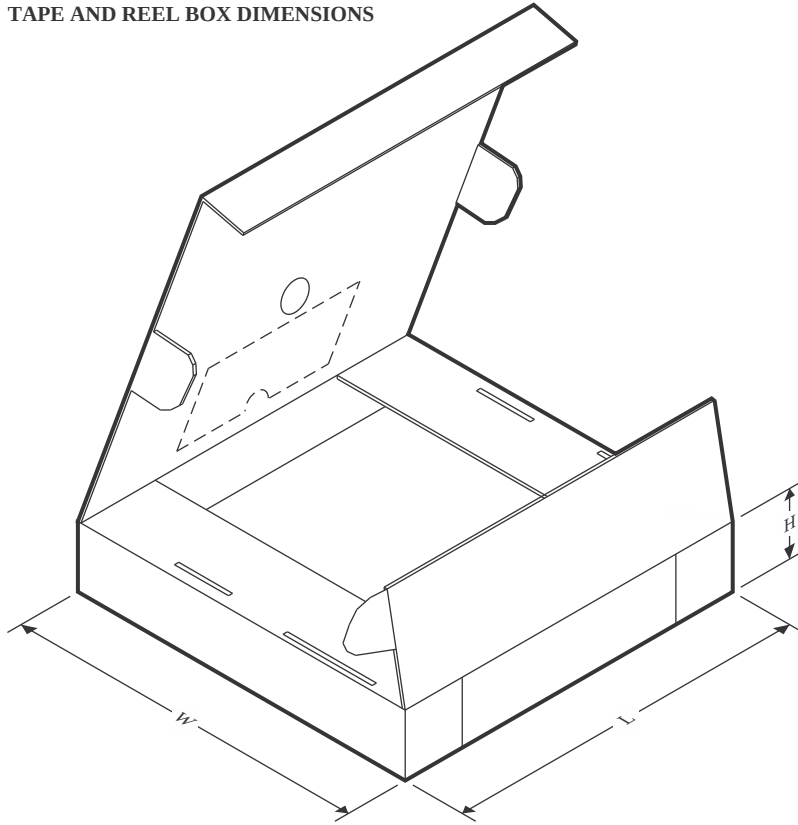
TAPE AND REEL INFORMATION



*All dimensions are nominal

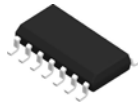
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC11IPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AC11WBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

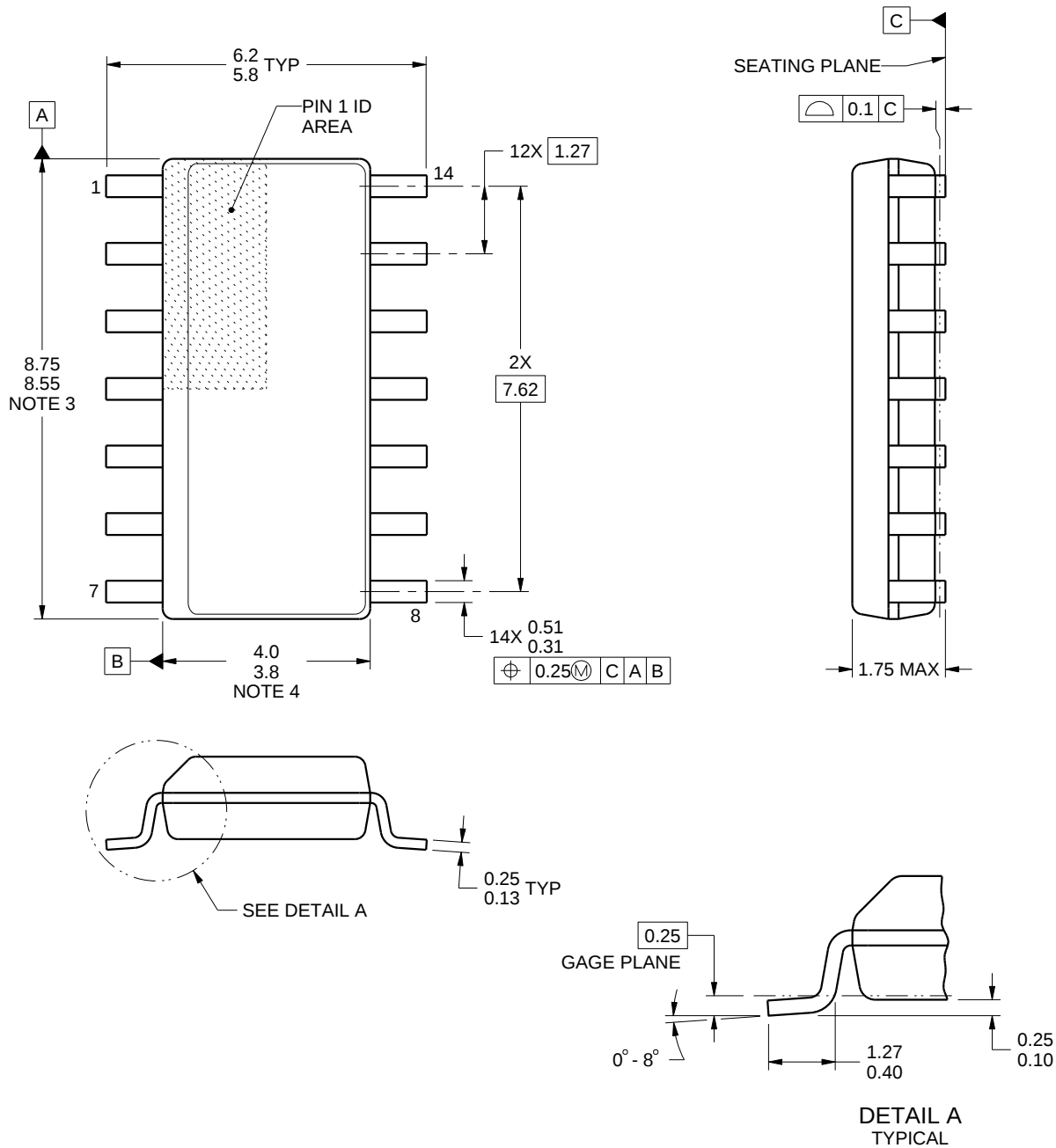


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC11IPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AC11WBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

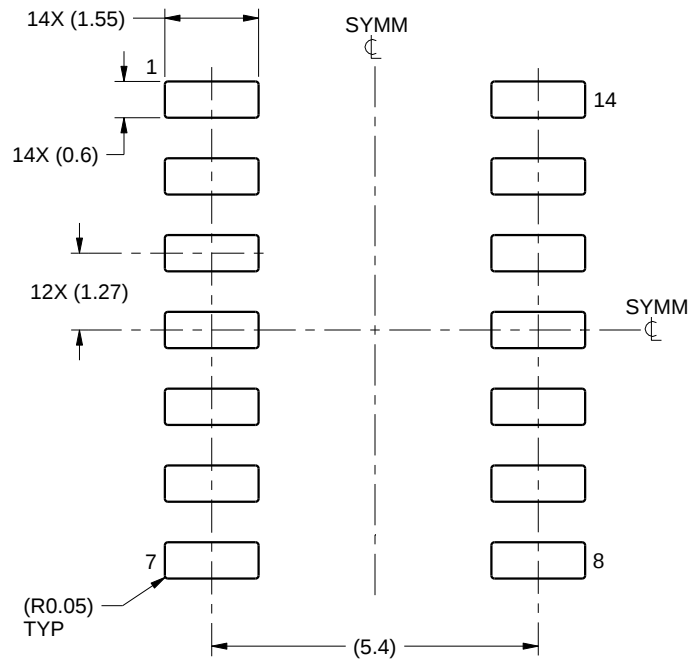
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

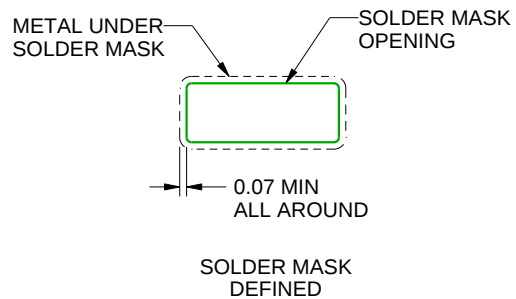
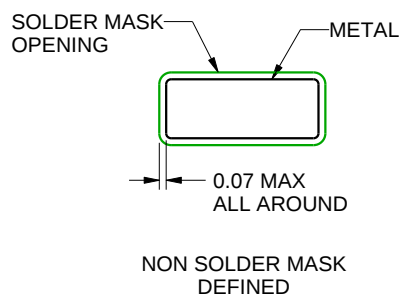
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

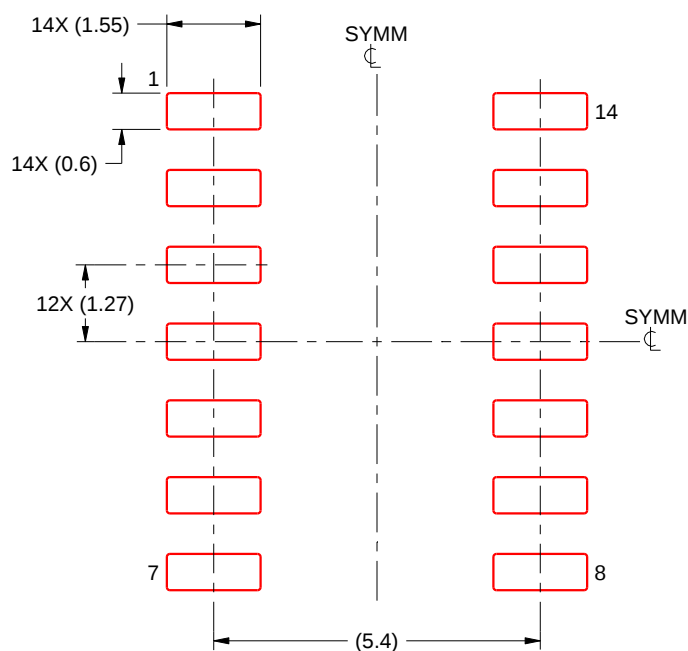
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

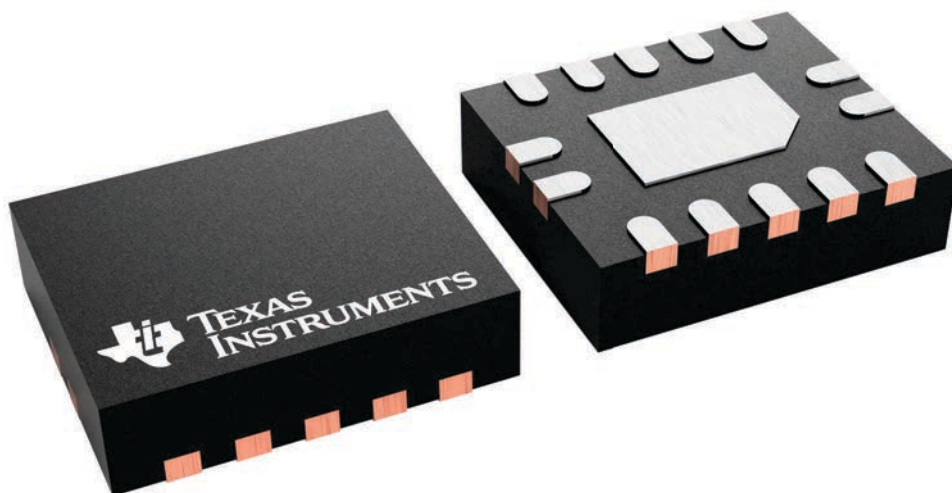
BQA 14

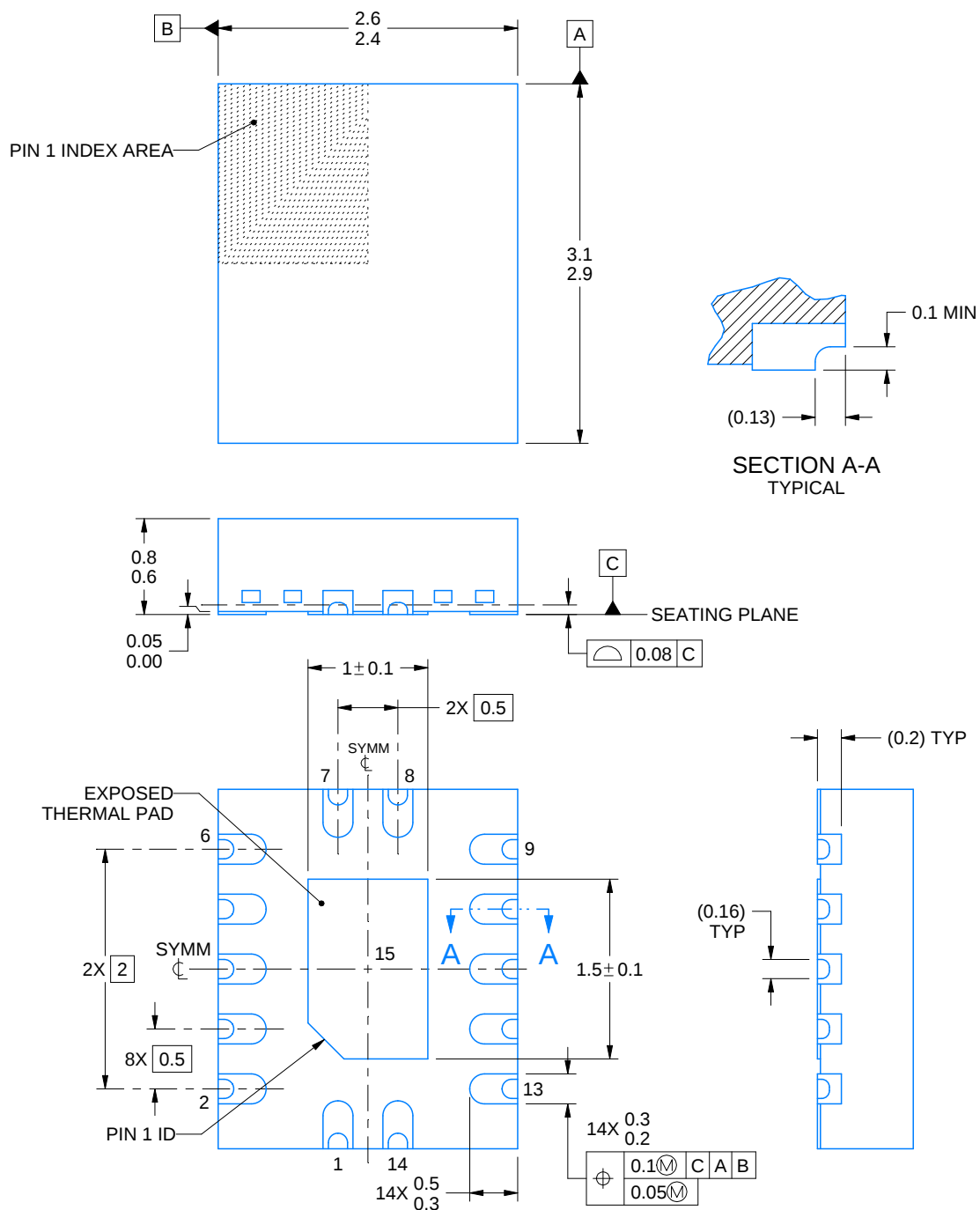
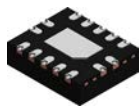
WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4227062/B 09/2021

NOTES:

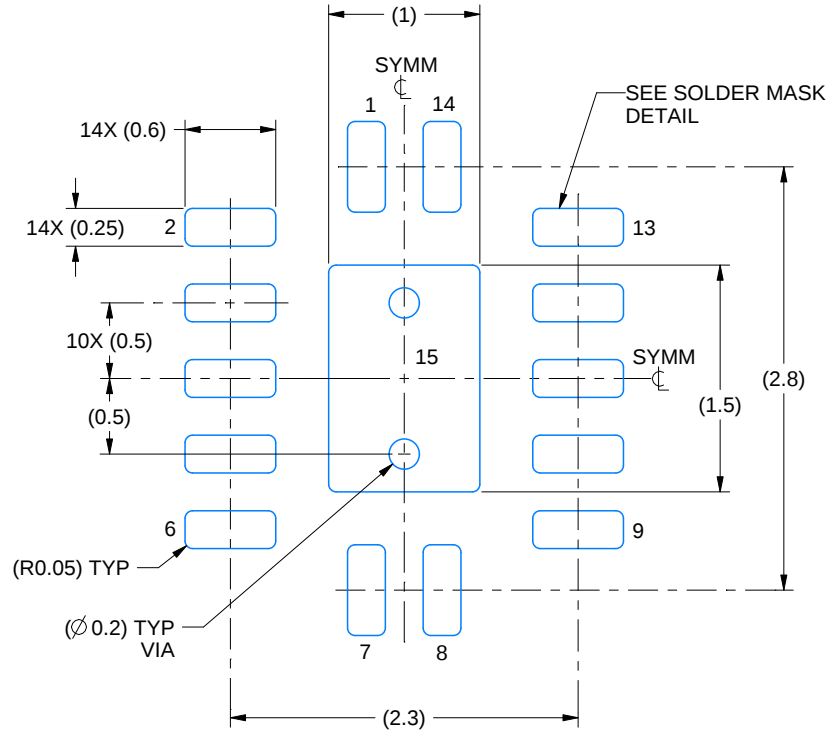
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

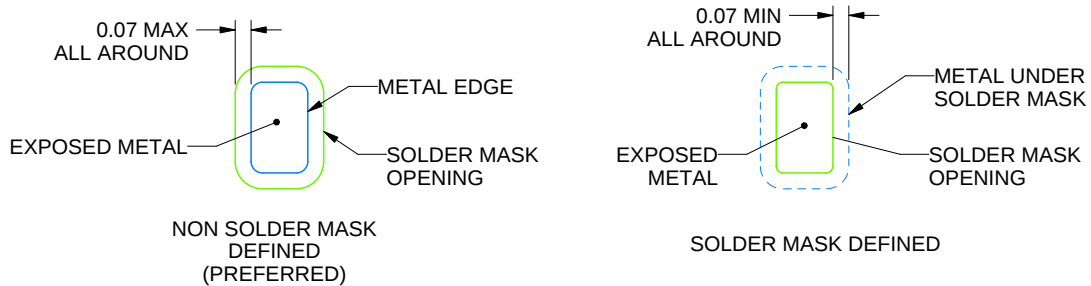
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

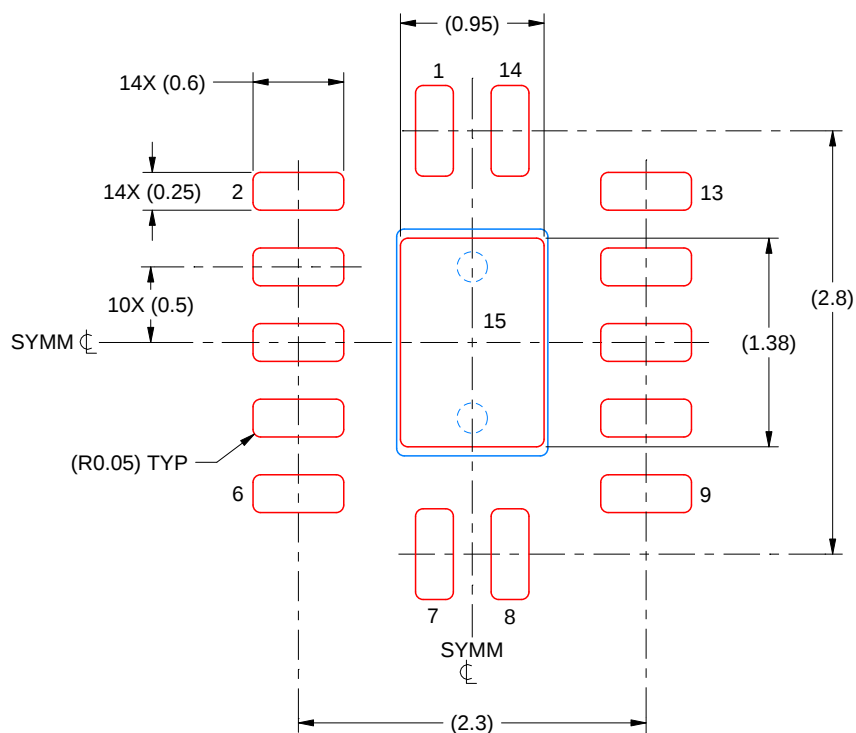
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



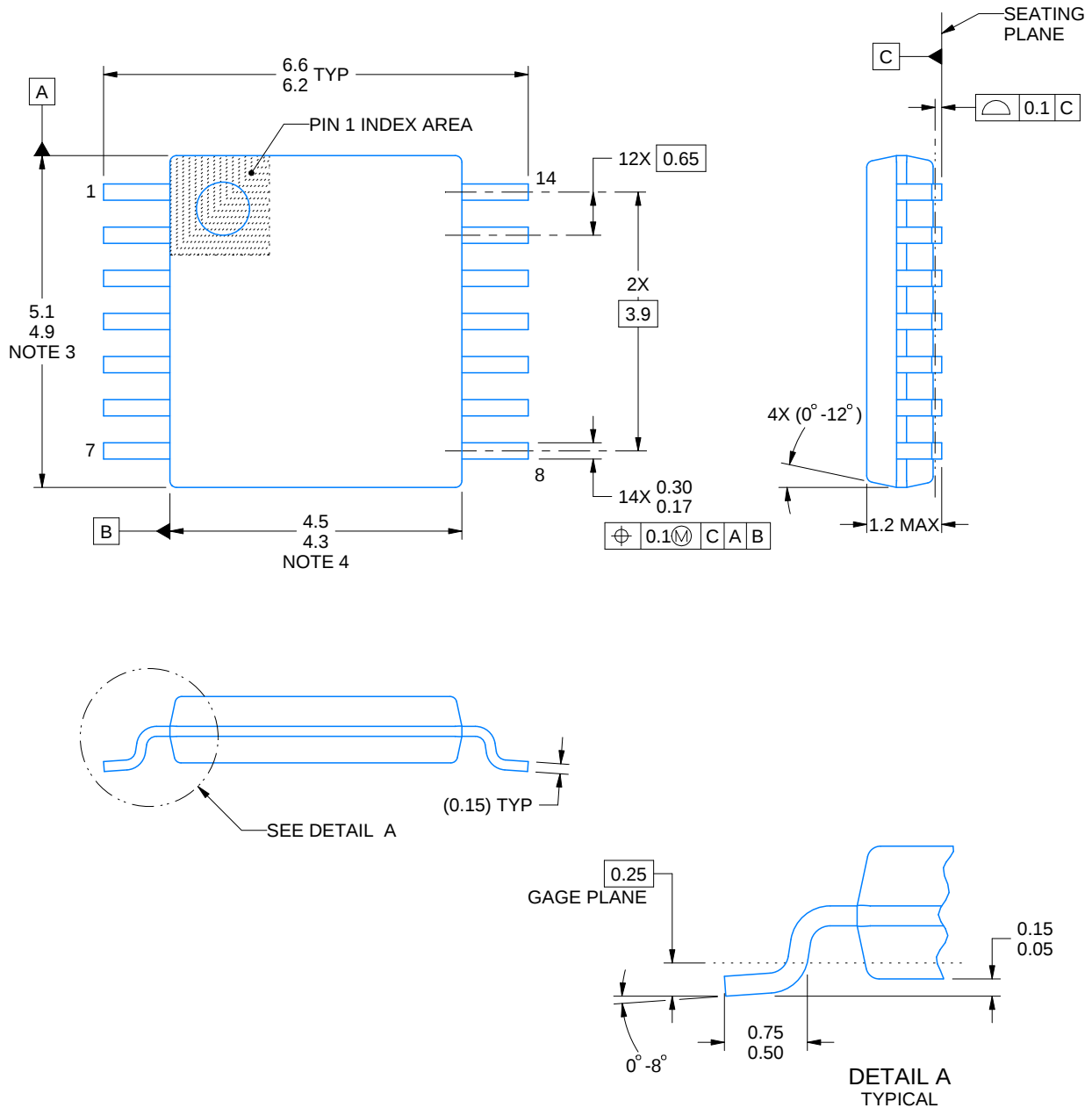
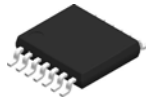
SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4220202/B 12/2023

NOTES:

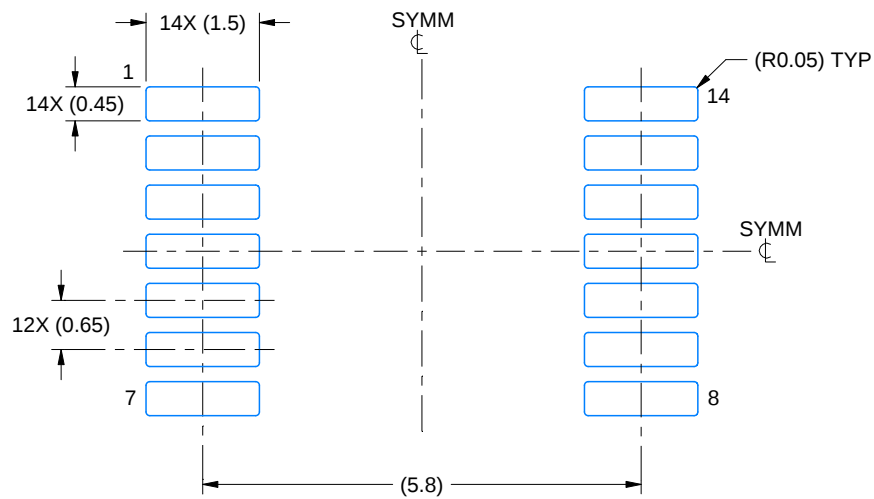
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

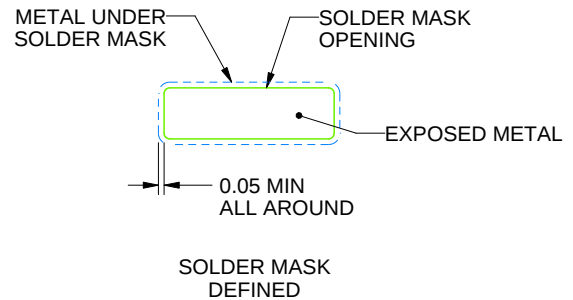
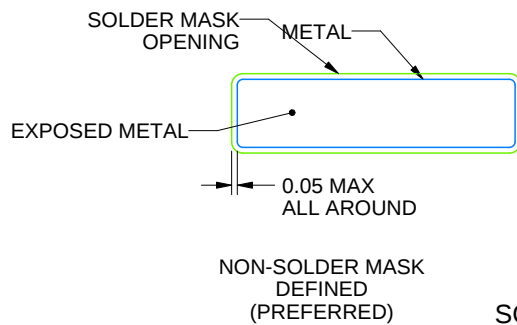
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

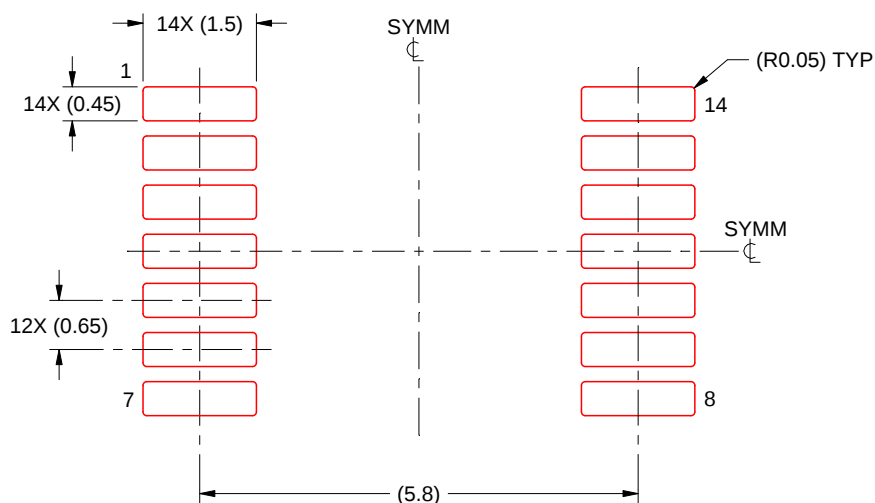
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司