

SN55LVTA4-SEP 辐射容忍四通道高速差分线路驱动器

1 特性

- VID V62/25605-01XE
- 电离辐射总剂量额定值为 30krad (Si)
 - 每个晶圆批次的辐射批次验收测试电离辐射总剂量 (TID RLAT) 额定值高达 30krad (Si)
- 单粒子效应 (SEE) 特性：
 - 单粒子锁定 (SEL) 对于线性能量传递 (LET) 的抗扰度 = 50MeV-cm²/mg
 - 单粒子瞬变 (SET) 额定值为 50MeV-cm²/mg。
- 符合或超出 ANSI TIA/EIA-644 标准要求
- 低电压差分信号，搭载 350mV 和 100Ω 负载的典型输出电压
- 典型输出电压上升和下降时间为 500ps (400Mbps)
- 传播延迟时间典型值为 1.7ns
- 由 3.3V 单电源供电运行
- 200MHz 时每个驱动器的功率耗散典型值为 25mW
- 当被禁用或 V_{CC} = 0 时，驱动器处于高阻抗状态
- 总线端子静电放电 (ESD) 保护超过 8kV
- 低电压 TTL (LVTTTL) 逻辑输入电平
- 用于需要冗余的空间和高可靠性应用的冷备份
- 增强型航天塑料 (SEP)
 - 受控基线
 - 金线，NiPdAu 铅涂层
 - 一个封测厂，一个制造厂
 - 延长了产品生命周期
 - 军用级 (-55°C 到 125°C) 温度范围
 - 产品可追溯性
 - 符合 NASA ASTM E595 释气规格要求

2 应用

- 近地轨道 (LEO) 卫星系统
- 命令和数据处理 (C&DH)
- 通信有效载荷
- 光学成像有效载荷
- 雷达成像有效载荷

3 说明

SN55LVTA4-SEP 是一款差分线路驱动器，可实现 3.3V 低压差分信号传输 (LVDS) 的电气特性。该驱动器在使能时向 100Ω 负载提供最小 247mV 的差分输出电压幅值。

此器件和信号传输技术的预期应用是通过约 100Ω 的受控阻抗介质进行点对点 and 多点（一个驱动器和多个接收器）数据传输。此传输介质可以是印刷电路板走线、底板、或者电缆。最终数据传输速率和距离取决于介质衰减特性和环境噪声耦合。

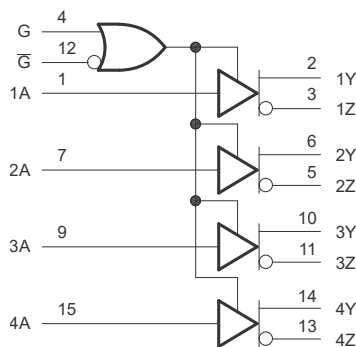
SN55LVTA4-SEP 的工作温度范围是 -55°C 至 125°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN55LVTA4-SEP	D (SOIC , 16)	9.9mm × 6mm

(1) 有关更多信息，请参阅 节 16。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



SN55LVTA4-SEP 逻辑图 (正逻辑)



内容

1 特性	1	7.2 功能方框图	10
2 应用	1	7.3 特性说明	10
3 说明	1	7.4 器件功能模式	11
4 引脚配置和功能	3	8 应用和实施	12
5 规格	4	8.1 应用信息	12
5.1 绝对最大额定值.....	4	9 器件和文档支持	19
5.2 ESD 等级.....	4	9.1 相关文档.....	19
5.3 建议运行条件.....	4	10 接收文档更新通知	19
5.4 热性能信息.....	4	11 支持资源	19
5.5 电气特性.....	5	12 商标	19
5.6 开关特性.....	5	13 静电放电警告	19
5.7 典型特性.....	6	14 术语表	19
6 参数测量信息	8	15 修订历史记录	19
7 详细说明	10	16 机械、封装和可订购信息	20
7.1 概述.....	10		

4 引脚配置和功能

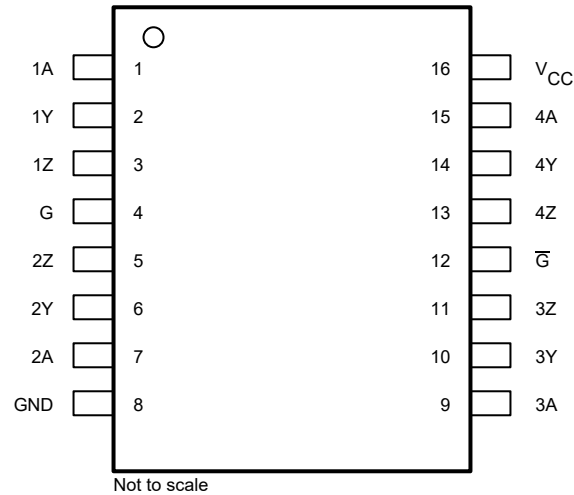


图 4-1. D 封装，16 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1A	1	I	LVTTL 输入信号、300k Ω 内部下拉
1Y	2	O	差分 (LVDS) 同相输出
1Z	3	O	差分 (LVDS) 反相输出
G	4	I	使能 (HI = 使能) (不得悬空)
2Z	5	O	差分 (LVDS) 反相输出
2Y	6	O	差分 (LVDS) 同相输出
2A	7	I	LVTTL 输入信号、300k Ω 内部下拉
GND	8	G	接地
3A	9	I	LVTTL 输入信号、300k Ω 内部下拉
3Y	10	O	差分 (LVDS) 同相输出
3Z	11	O	差分 (LVDS) 反相输出
$\overline{G}$	12	I	使能 (LO = 使能) (不得悬空)
4Z	13	O	差分 (LVDS) 反相输出
4Y	14	O	差分 (LVDS) 同相输出
4A	15	I	LVTTL 输入信号、300k Ω 内部下拉
V _{CC}	16	P	电源电压

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压	V_{CC}	-0.5	4	V
输入电压	V_I	-0.5	$V_{CC} + 0.5$	V
引线温度	10 秒内距离外壳 1.6mm (1/16 英寸)		260	°C
结温, T_J		-55	140	°C
贮存温度, T_{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	±8,000	V
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	±4,000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1,000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{CC}	电源电压		3	3.3	3.6	V
V_{IH}	高电平输入电压		2			V
V_{IL}	低电平输入电压				0.8	V
T_A	工作环境温度		-55		125	°C
TPCB	PCB 温度	距离器件 1mm	-55		128	°C
T_J	结温		-55		135	°C

5.4 热性能信息

热指标 ⁽¹⁾		D	单位
		(SOIC)	
		16 引脚	
$R_{\theta JA}$	结至环境热阻	84.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	46.0	°C/W
$R_{\theta JB}$	结至电路板热阻	41.8	°C/W
ψ_{JT}	结至顶部特征参数	11.1	°C/W
ψ_{JB}	结至电路板特征参数	41.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
驱动器							
V _{OD}	驱动器差分输出电压	R _L = 100 Ω		247	340	454	mV
Δ V _{OD}	逻辑状态之间的差分输出电压变化	R _L = 100 Ω		-50		50	mV
V _{OC(SS)}	稳态共模输出电压	R _L = 100 Ω		1.125	1.2	1.375	V
Δ V _{OC(SS)}	稳态共模输出电压的变化	R _L = 100 Ω		-50		50	mV
V _{OC(PP)}	峰峰值共模输出电压	R _L = 100 Ω			50		mV
I _O (OFF)	断电时的输出电流	V _{CC} = 0，V _O = 2.4V		-4		4	μA
I _{OZ}	高阻抗状态输出电流	V _O = 0 或 2.4V、G = 0.8V 且 $\overline{G}$ = 2V		-1		1	μA
I _{OS}	短路输出电流，Y 或 Z	V _O = 0V			-4	-24	mA
I _{OS}	短路输出电流，Y 和 Z	V _{OD} = 0V		-12		12	mA
输入							
V _{IH}	高电平输入电压 (G、 $\overline{G}$ 、A)	V _{CC} = 3V 至 3.6V		2			V
V _{IL}	低电平输入电压 (G、 $\overline{G}$ 、A)	V _{CC} = 3V 至 3.6V				0.8	V
I _{IH}	高电平输入电流 ($\overline{G}$)	V _{IH} = 3.6V，V _{CC} = 0V 或 3.6V			4	20	μA
I _{IL}	低电平输入电流 ($\overline{G}$)	V _{IL} = 0V，V _{CC} = 0V 或 3.6V			0.1	10	μA
I _{IH}	高电平输入电流 (G)	V _{IH} = 3.6V，V _{CC} = 0V 或 3.6V			4	20	μA
I _{IL}	低电平输入电流 (G)	V _{IL} = 0V，V _{CC} = 0V 或 3.6V			0.1	10	μA
I _{IH}	高电平输入电流 (A)	V _{IH} = 3.6V，V _{CC} = 0V 或 3.6V			4	20	μA
I _{IL}	低电平输入电流 (A)	V _{IL} = 0V，V _{CC} = 0V 或 3.6V			0.1	10	μA
C _I	接地输入电容(G、 $\overline{G}$ 、A)	V _{CC} = 0V 至 3.6V			5		pF
电源							
I _{CC}	电源电流	V _I = V _{CC} 或 GND，空载，启用	-55°C < T _A < 125°C		9	20	mA
		V _I = V _{CC} 或 GND，R _L = 100 Ω，启用	-55°C < T _A < 125°C		25	35	mA
I _{CC}	电源电流（静态）	V _I = V _{CC} 或 GND，空载，启用	-55°C < T _A < 125°C		0.25	1	mA

5.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

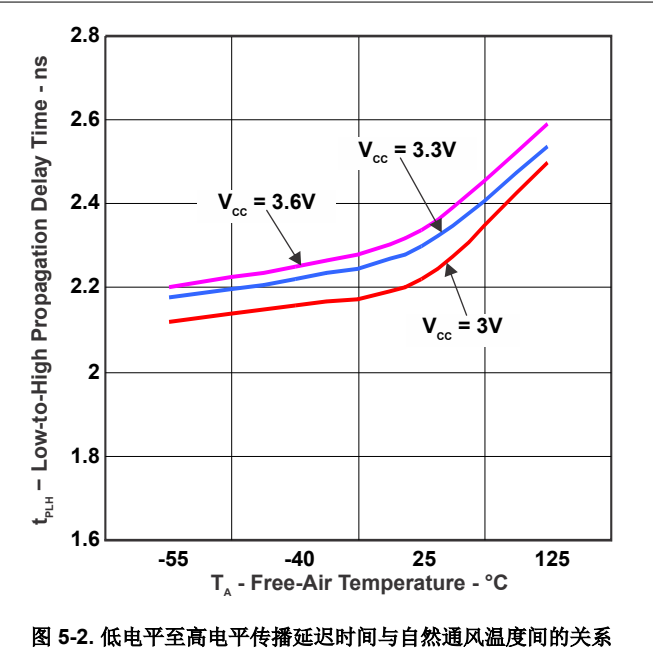
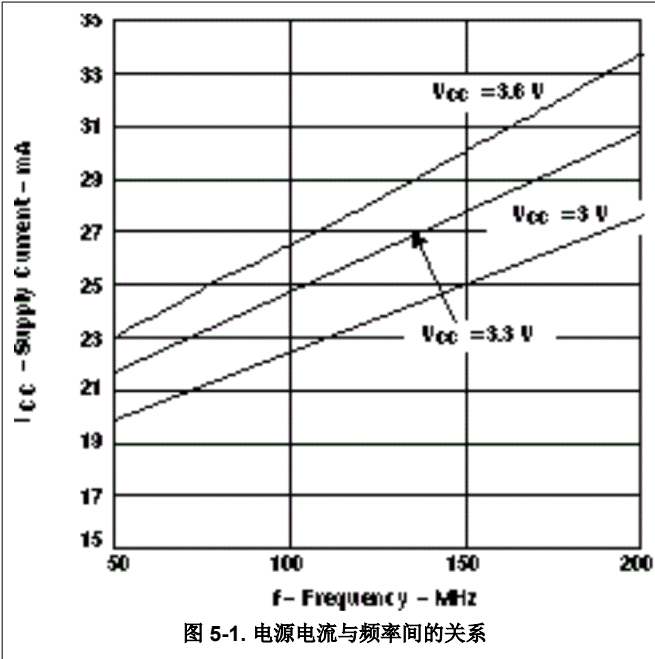
参数		测试条件		最小值	典型值	最大值	单位
驱动器							
t _r	差分输出上升时间（ 20% 至 80% ）	R _L = 100 Ω ， C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模 式，输入 V _{IL} = 0.8V , V _{IH} = V	V _{CC} = 3V 至 3.6V	0.4	0.5	1	ns
t _f	差分输出下降时间（ 80% 至 20% ）		V _{CC} = 3V 至 3.6V	0.4	0.5	1	ns
t _{PHL}	传播延时，高至低电平输出	R _L = 100 Ω ， C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模 式，输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V	0.5	1.7	4.5	ns

5.6 开关特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
t _{PLH}	传播延时, 低至高电平输出	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V	1	1.4	4	ns
t _{SK(P)}	脉冲延迟, t _{PHL} - t _{PLH}	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V		0.3	0.6	ns
t _{SK(O)}	通道间输出偏斜, t _{PHL} 至 t _{PHL} 或 t _{PLH} 至 t _{PLH}	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V		0.3	0.6	ns
F _(max)	最大工作频率	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 200MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V	200			MHz
t _{PHZ}	禁用时间, 1.4V 输入到 50% 输出	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 使能 1MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V	V _{CC} = 3V 至 3.6V		8.1	17	ns
t _{PLZ}	禁用时间, 1.4V 输入到 50% 输出	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 使能 1MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V			7.3	15	ns
t _{PZH}	启用时间, 1.4V 输入到 50% 输出	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 使能 1MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V			5.4	15	ns
t _{PZL}	启用时间, 1.4V 输入到 50% 输出	R _L = 100 Ω , C _L = 10pF 输入 t _r , t _f = 1ns , 使能 1MHz 时钟模式, 输入 V _{IL} = 0.8V V _{IH} = 2V			2.5	15	ns

5.7 典型特性



5.7 典型特性 (续)

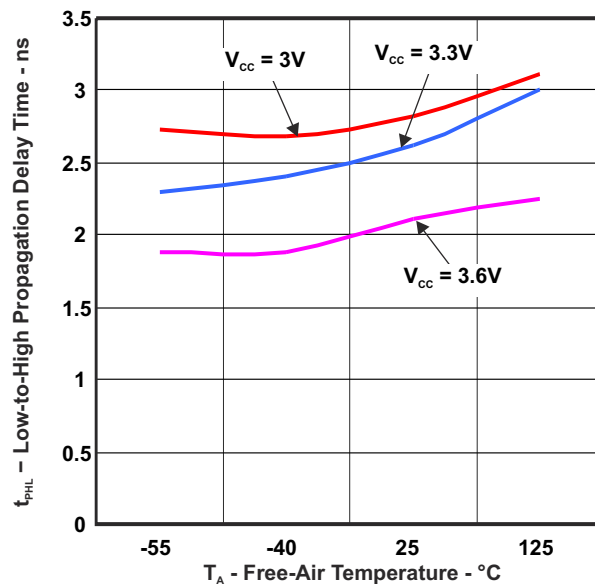


图 5-3. 高电平至低电平传播延迟时间与自然通风温度间的关系

6 参数测量信息

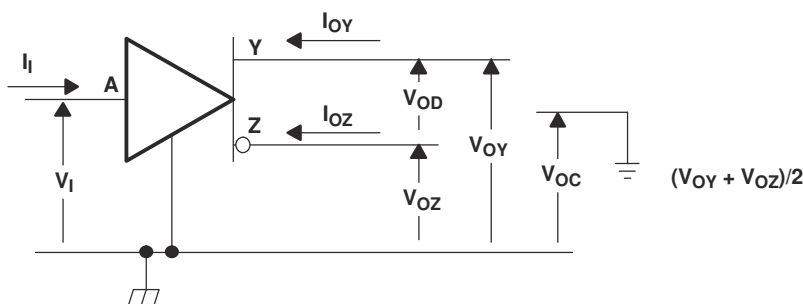
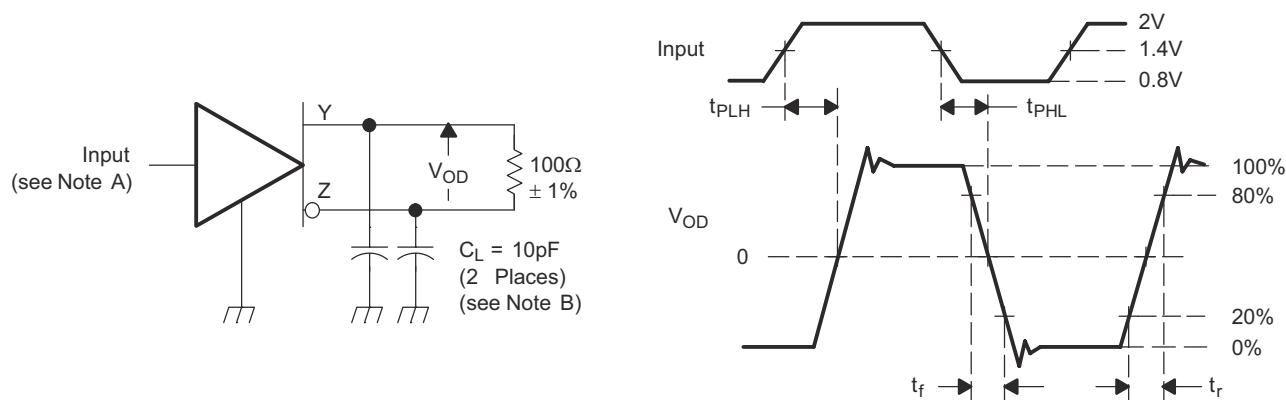
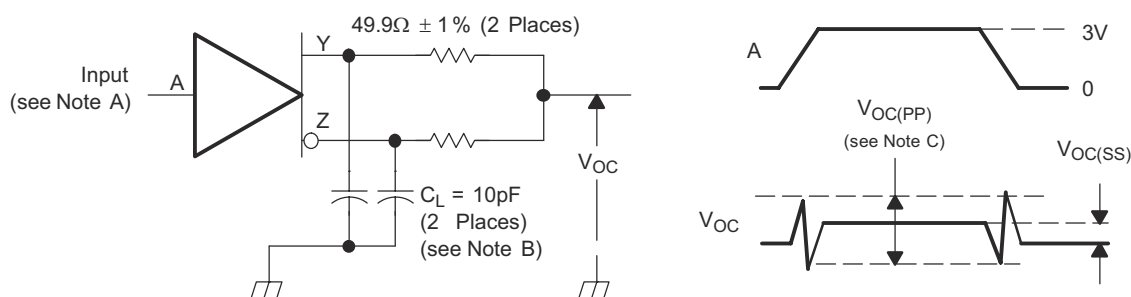


图 6-1. 电压和电流定义



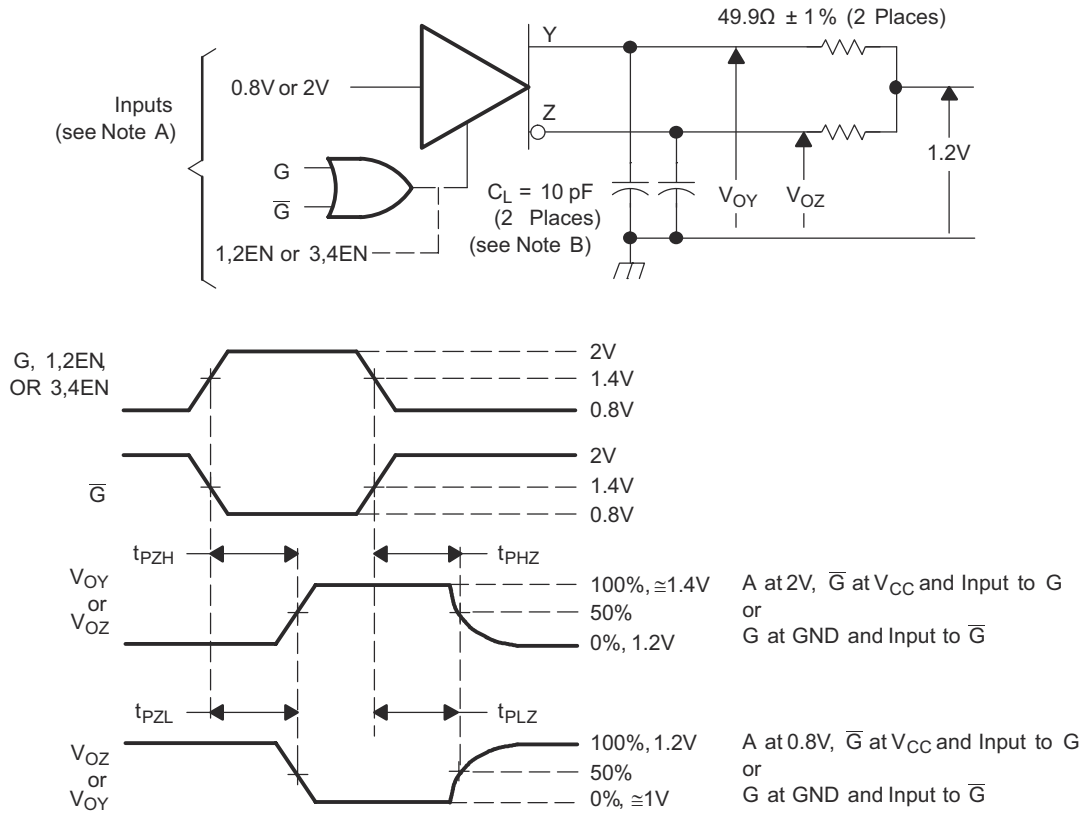
- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 t_f 3 ns、脉冲重复率 (PRR) = 50Mpps 且脉冲宽度 = 10 ± 0.2 ns
- B. C_L 包括距离受测器件 6mm 范围内的仪表和设备电容。

图 6-2. 差分输出信号的测试电路、时序和电压定义



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 t_f 3 ns、脉冲重复率 (PRR) = 50Mpps 且脉冲宽度 = 10 ± 0.2 ns。
- B. C_L 包括距离受测器件 6mm 范围内的仪表和设备电容。
- C. $V_{OC(PP)}$ 测量是在测试设备上使用 -3dB 带宽以至少 300MHz 的频率执行的。

图 6-3. 驱动器共模输出电压的测试电路和定义



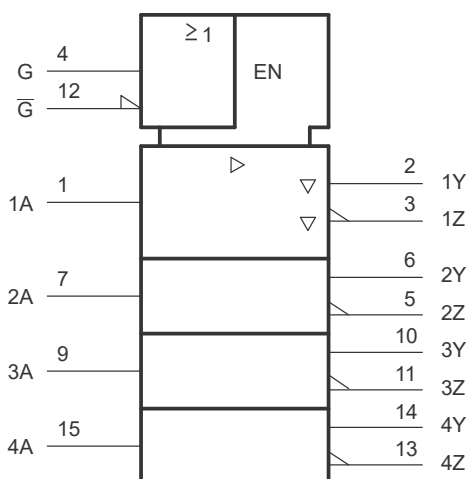
- A. 所有输入脉冲均由具有以下特性的发生器提供：tr 或 tf < 1ns、脉冲重复率 (PRR) = 50Mpps 且脉冲宽度 = 500 ± 10ns
- B. C_L 包括距离受测器件 6mm 范围内的仪表和设备电容

图 6-4. 启用和禁用时间电路和定义

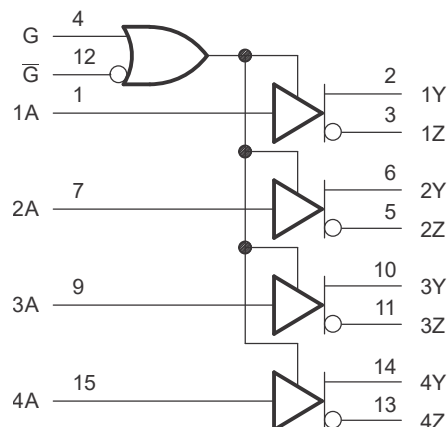
7 详细说明

7.1 概述

7.2 功能方框图



This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.



7.3 特性说明

7.3.1 未使用的使能引脚

未使用的使能引脚应根据需要连接至 V_{CC} 或 GND 。

7.3.2 驱动器禁用输出

当驱动器被禁用或器件断电时，驱动器输出为高阻抗。

7.3.3 驱动器等效原理图

驱动器输入由带 7V 齐纳二极管的 CMOS 反相器级表示。输入级为高阻抗，并包括内部下拉至地。如果驱动器输入端保持开路，则驱动器输入端向驱动器电路的其余部分提供低电平信号，从而在驱动器输出引脚上产生低电平信号。齐纳二极管提供 ESD 保护。驱动器输出级为差分对，其中一半如图 7-1 所示。与输入级一样，驱动器输出包括用于提供 ESD 保护的齐纳二极管。该原理图显示了一个输出级，其中包括一组根据输入级信号连接到输出负载电路的电流源（标称值为 3.5mA）。对于一阶，输出级充当恒流源。

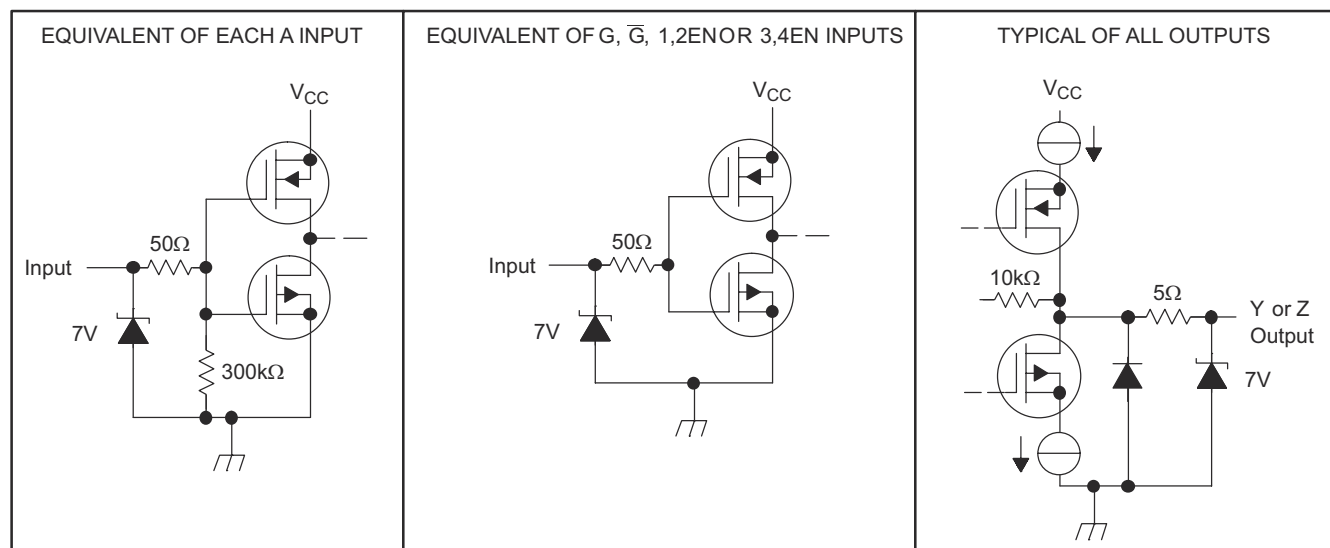


图 7-1. 等效输入和输出原理图

7.4 器件功能模式

表 7-1. SN55LVTA4-SEP 功能表 ⁽¹⁾

输入 A	使能		输出	
	G	$\bar{G}$	Y	Z
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z
开路	H	X	L	H
开路	X	L	L	H

(1) H = 高电平, L = 低电平, X = 不相关, Z = 高阻抗 (关断)

8 应用和实施

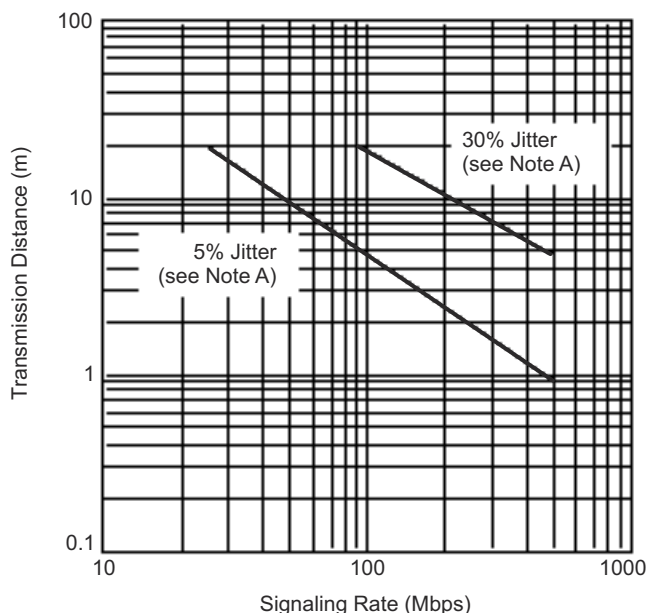
备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

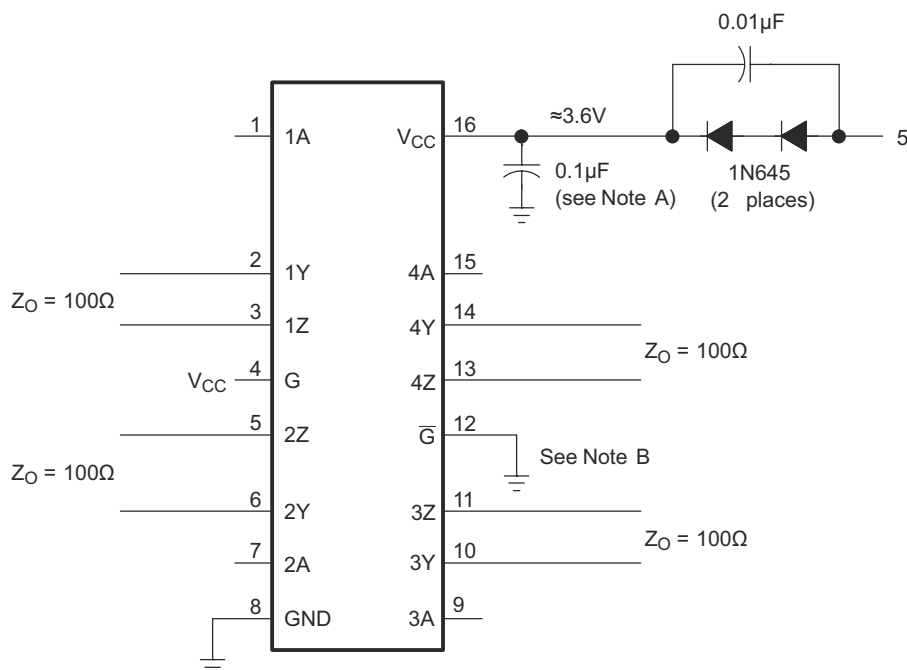
8.1.1 典型应用

SN55LVTA4-SEP 通常用作接地差小于 1V 的高速点对点数据传输的构建块。SN55LVTA4-SEP 可与 RS-422、PECL 和 IEEE-P1596 互操作。驱动器/接收器在不需要高功耗和双电源的情况下即可接近 ECL 速度。



A. 此参数是假随机数据模式下的单位间隔 (UI) 失真百分比。

图 8-1. 典型传输距离与信号传输速率之间的关系



8.1.1.3 应用曲线

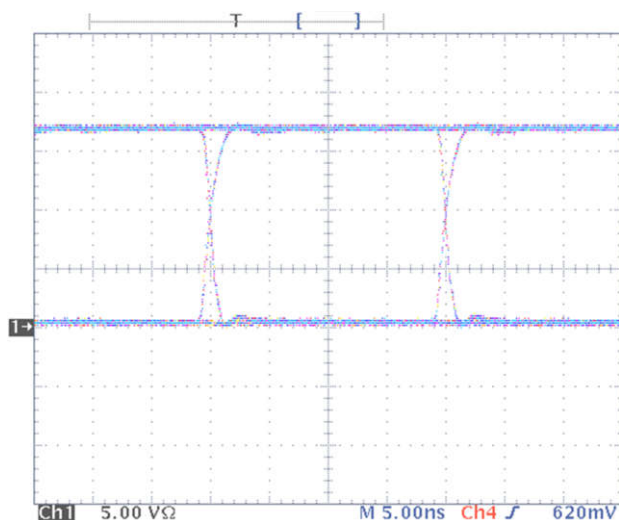


图 8-3. 点对点系统中的典型驱动器输出眼图

8.1.2 冷备用

使用冷备份的系统在未供电的情况下以电气方式连接冗余器件。为了支持该配置，备份必须向系统提供高输入阻抗，使其不会消耗可感知的功率。在冷备份中，可以在器件上电之前和期间向 I/O 施加电压。当器件断电时， V_{CC} 必须钳位到地，并且施加的 I/O 电压必须在指定的建议运行条件内。

8.1.3 电源相关建议

8.1.3.1 电源旁路电容

旁路电容器在配电电路中发挥着关键作用。具体来说，旁路电容器会在电源和接地之间以特定的频率（取决于值）建立低阻抗路径。在低频率下，稳压器在端子和接地之间提供低阻抗路径。但是，随着更高频率的电流通过电源布线传输，该电源通常无法保持低阻抗的接地路径。旁路电容器便用于解决这一问题。通常，板级大旁路电容器（ $10\mu\text{F}$ 至 $1000\mu\text{F}$ ）在 kHz 范围内可以很好地工作。由于引线的尺寸和长度，大电容器往往在现代数字电路的开关频率下具有较大的电感值。要解决这个问题，可以使用较小的电容器（nF 至 μF 范围）并将其安装在集成电路旁边。

多层陶瓷芯片或表面贴装电容器（尺寸 0603 或 0805）可以在高速环境中尽可能地减小旁路电容器的引线电感，因为它们的引线电感约为 1nH。为进行比较，带引线的典型电容器具有约 5nH 的引线电感。

根据下面的公式，方程 方程式 1 至 方程式 2，可以通过以下公式确定与 LVDS 芯片一起使用的局部旁路电容器值。200ps 的保守上升时间和 1A 的最坏情况下电源电流变化涵盖了德州仪器 (TI) 提供的 LVDS 器件的整个范围。在此示例中，所能承受的最大电源噪声为 200mV；但是，根据设计中可用的噪声预算，此数字会有所不同。

$$C_{chip} = \left(\frac{\Delta I_{Maximum Step Change Supply Current}}{\Delta V_{Maximum Power Supply Noise}} \right) \times T_{Rise Time} \quad (1)$$

$$C_{LVDS} = \left(\frac{1A}{0.2V} \right) \times 200 ps = 0.001 \mu F \quad (2)$$

以下示例降低了引线电感，并涵盖了板级电容器 ($>10\mu\text{F}$) 与上述电容值 ($0.001\mu\text{F}$) 之间的中间频率。最小电容值应放置在尽可能靠近芯片的位置。

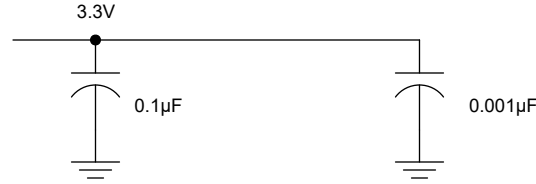


图 8-4. 建议的 LVDS 旁路电容器布局

8.1.4 布局

8.1.4.1 布局指南

8.1.4.1.1 微带与带状线拓扑

根据 [LVDS 应用和数据手册](#)，印刷电路板通常为设计人员提供两种传输线路选项：微带和带状线。微带是 PCB 外层的布线，如图 8-5 所示。

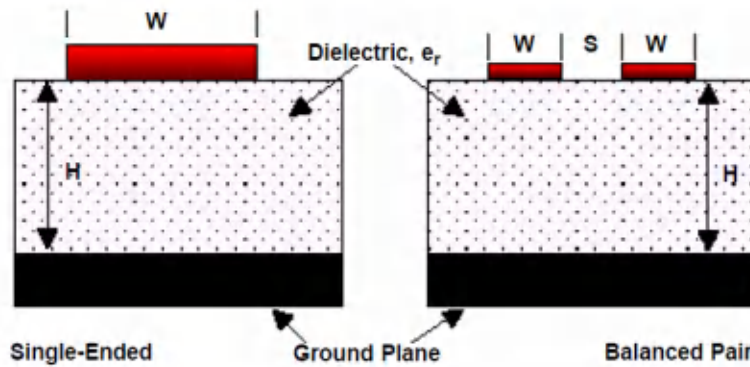


图 8-5. 微带拓扑

此外，带状线是位于两个接地平面之间的布线。带状线不易产生辐射和易感性问题，因为基准平面有效地屏蔽了嵌入的布线。但是，从高速传输的角度来看，将两个平面并置会产生额外的电容。TI 建议尽可能在微带传输线路上路由 LVDS 信号。利用 PCB 布线，设计人员可以根据整体噪声预算和反射容差指定 Z_0 的必要容差。

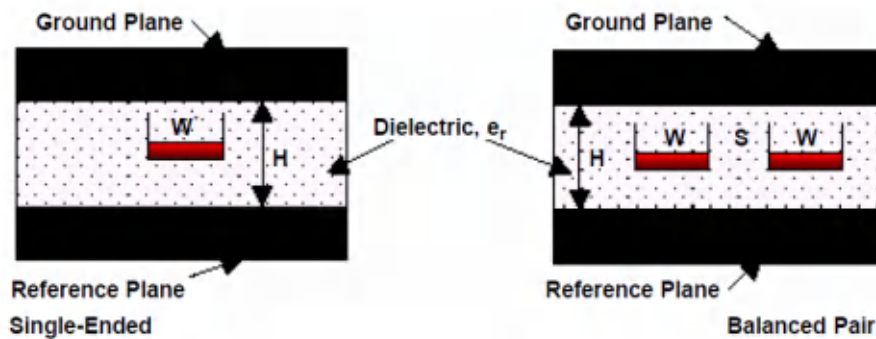


图 8-6. 带状线拓扑

8.1.4.1.2 电介质类型和电路板结构

信号在电路板上传输的速度决定了电介质的选择。通常，FR-4 或类似材料能够提供足够的性能来用于传输 LVDS 信号。如果 TTL/CMOS 信号的上升或下降时间小于 500ps，经验结果表明，介电常数接近 3.4 的材料（例如 Rogers™ 4350 或 Nelco N4000-13）更为适合。设计人员选择电介质后，有几个与电路板结构相关的参数可能会影响性能。以下一组准则是通过几个涉及 LVDS 器件的设计经过实验而开发出来的：

- 覆铜重量：起始重量为 15g 或 1/2 盎司，电镀后达到 30g 或 1 盎司
- 所有外露的电路都应进行镀焊 (60/40)，厚度为 $7.62\text{ }\mu\text{m}$ 或 0.0003 英寸（最小值）。
- 在电镀通孔中，镀铜厚度应为 $25.4\text{ }\mu\text{m}$ 或 0.001 英寸（最小值）。
- 在裸铜上涂覆阻焊层并进行焊料热气平整

8.1.4.1.3 建议的堆叠布局

选择电介质和设计规格后，用户应当确定要在栈中使用的级别数量。为了减少 TTL/CMOS 到 LVDS 的串扰，良好的做法是至少有两个独立的信号平面，如 图 8-7 中所示。

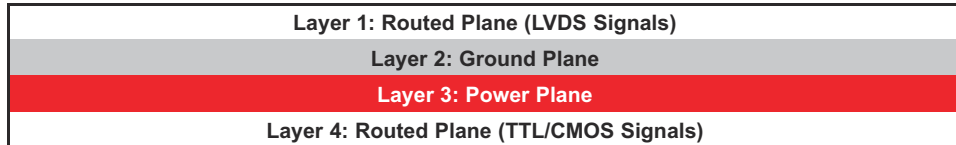


图 8-7. 四层 PCB 板

备注

第 2 层和第 3 层之间的间隔应为 $127\text{ }\mu\text{m}$ (0.005 英寸)。通过使电源平面和接地平面保持紧密耦合，增加的电容可用作瞬态的旁路。

最常见的堆叠配置之一是六层板，如 图 8-8 所示。

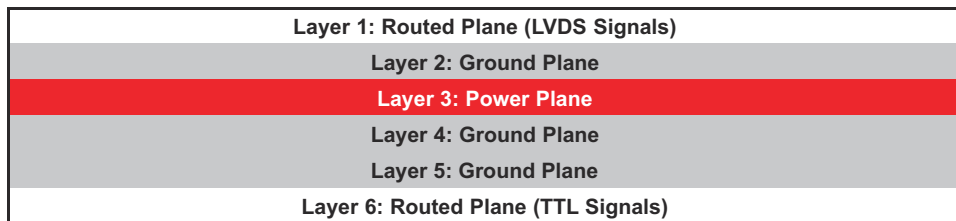


图 8-8. 六层 PCB 板

在这种特定配置中，可以通过至少一个接地平面将每个信号层与电源平面隔离。这样可以提高信号完整性，但是制造成本更高。最好使用 6 层电路板，因为除了确保信号层 1 和 6 基准接地平面之外，它还还为布局设计人员提供了更大的灵活性来改变信号层和基准平面之间的距离。

8.1.4.1.4 引线间距

引线间距取决于多个因素；然而，可承受的耦合量通常决定了实际的间距。低噪声耦合需要 LVDS 链路的差分对之间紧密耦合，以从电磁场消除中获益。布线应采用 $100\text{ }\Omega$ 差分，并以最符合此要求的方式进行耦合。此外，差分对的电气长度应保持一致，以确保差分平衡，从而更大程度地减少偏差和信号反射的问题。

如果两条单端布线相邻，应使用 3W 规则。该规则规定，两条布线之间的距离应当大于单条布线宽度的两倍；若从布线中心到中心测量，则应大于单条布线宽度的三倍。这种增加的间距可以有效地降低串扰的可能性。无论是边沿耦合还是宽侧耦合，相邻 LVDS 差分对之间的间隔都应采用相同的规则。

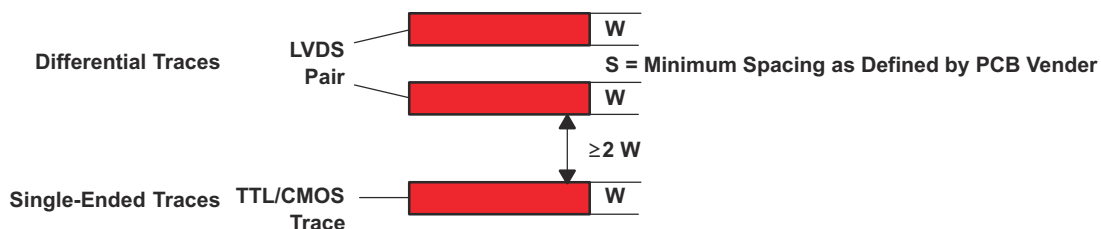


图 8-9. 单端和差分布线的 3W 规则（顶视图）

用户在使用自动布线工具时应格外谨慎，因为该工具并非总能考虑到所有影响串扰和信号反射的因素。例如，最好避免 90° 转弯，以避免信号路径中的不连续性。使用连续 45° 转弯可尽量减少反射。

8.1.4.1.5 串扰和接地反弹最小化

为了减少串扰，必须提供一条尽可能靠近其来源布线的高频电流返回路径。通常，接地平面可以实现这一点。返回电流总是选择电感最低的路径，因此它们很可能直接在原始布线下方返回，从而更大幅度地减少串扰。减小电流环路的面积可以降低发生串扰的可能性。当布线尽可能短，并且其下方有不间断的接地平面时，可以更大幅度地降低电磁场的辐射强度。接地平面中的不连续会增加返回路径的电感，因此应避免这种情况。

8.1.4.2 布局示例

为了尽量减少串扰，单端布线和差分对之间的间距至少应为单个布线宽度的两倍或三倍。通常，如果并行的单端布线长度小于上升或下降时间的波长，则串扰可以忽略不计。对于长距离并行运行，增加信号路径之间的间距可以减少串扰。空间有限的电路板可从交错布线布局中受益，如图 8-10 所示。

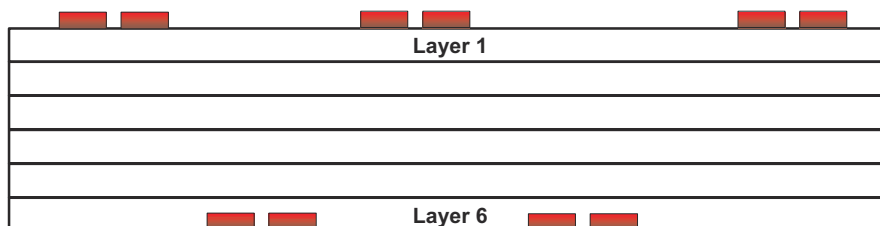


图 8-10. 交错布线布局

这种配置在不同的层上布置交替信号布线；因此，布线之间的水平间距可能小于单个布线宽度的 2 或 3 倍。为确保接地信号路径的连续性，TI 建议为每个信号过孔设置一个相邻的接地过孔，如图 8-11 所示。请注意，过孔会产生额外的电容。例如，典型过孔在 FR4 中具有 0.5pF 至 1pF 的集总电容效应。

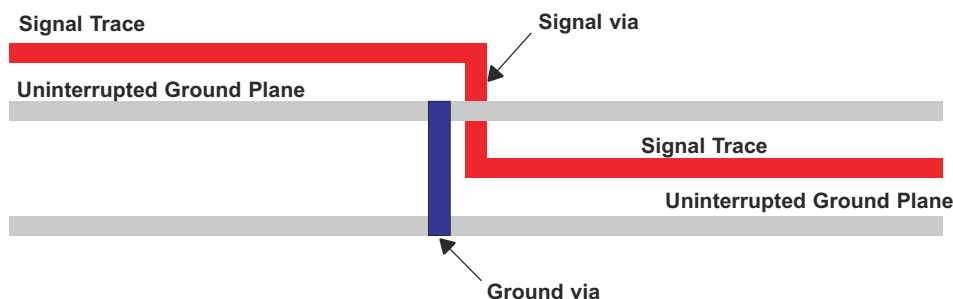


图 8-11. 接地过孔位置 (侧视图)

器件接地引脚与 PCB 接地平面之间的短距离低阻抗连接可减少接地反弹。接地平面中的孔和切口如果产生不连续性，从而导致返回电流环路面积增加，则会对电流返回路径产生不利影响。

为更大限度地减少 EMI 问题，TI 建议避免布线下方的不连续性（例如孔、缝隙等），并尽可能缩短布线。通过将类似的功能放置在同一个区域，而不是将它们混合在一起，来明智地对电路板进行分区，有助于减少易感性问题。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 相关文档

IBIS 建模可用于该器件。如需更多信息，请联系当地的 TI 销售办事处或访问 [TI 网站](#)。

如需更多应用指南，请参阅以下文档：

- 德州仪器 (TI)，[低电压差分信号设计说明](#)
- 德州仪器 (TI)，[TIA/EIA-644 \(LVDS\) 的接口电路](#)
- 德州仪器 (TI)，[利用 LVDS 降低 EMI](#)
- 德州仪器 (TI)，[LVDS 电路的压摆率控制](#)
- 德州仪器 (TI)，[使用具有 RS-422 数据的 LVDS 接收器](#)

10 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12 商标

Rogers™ is a trademark of Rogers Corporation.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

13 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

14 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

15 修订历史记录

Changes from Revision * (April 2025) to Revision A (June 2025)	Page
• 将文档从“预告信息”更改为量产数据.....	1
• 已将 VID 编号添加至特性部分.....	1
• 已将 SET 从 43MeV-cm ² /mg 更改为 50MeV-cm ² /mg (在特性部分中)	1
• 将电气特性中 C _I 的典型值从 3pF 更改为 5pF.....	5

16 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PSN55LVTA4MDTSEP	Active	Preproduction	SOIC (D) 16	250 SMALL T&R	-	Call TI	Call TI	-55 to 125	
SN55LVTA4MDTSEP	Active	Production	SOIC (D) 16	1 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LVTA4SEP

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN55LVTA4MDTSEP	SOIC	D	16	1	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

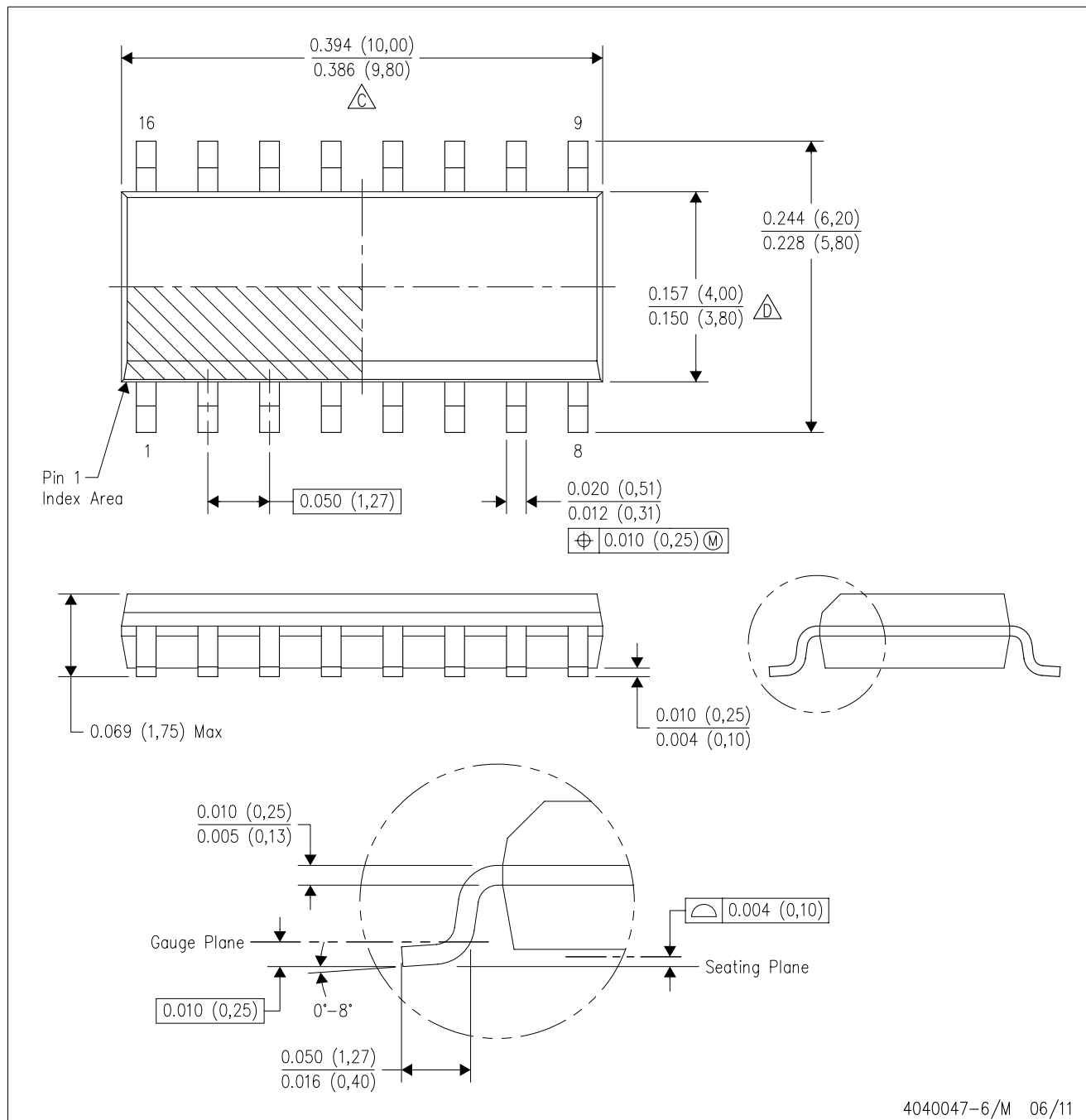


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN55LVTA4MDTSEP	SOIC	D	16	1	353.0	353.0	32.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司