

SNx4AHCT373 具有三态输出的八路透明 D 类锁存器

1 特性

- 工作范围为 4.5V 至 5.5V V_{CC}
- TTL 兼容输入
- 低延迟, 9.5ns (5V V_{CC} , $C_L = 15\text{pF}$)
- 闕锁性能超过 250mA, 符合 JESD 17 规范
- 对于符合 MIL-PRF-38535 标准的产品, 所有参数均经过测试, 除非另有说明。对于所有其他产品, 生产流程不一定包含对所有参数的测试。

2 应用

- 并行数据存储
- 数字总线缓冲器

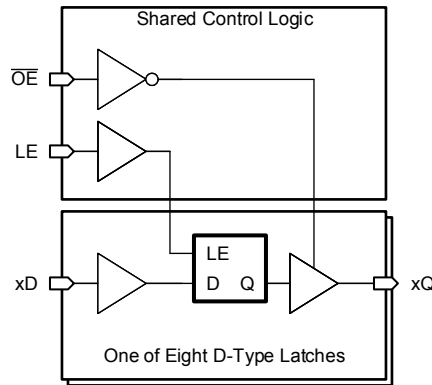
3 说明

SNx4AHCT373 包含八路 D 类锁存器。所有通道共享锁存器使能 (LE) 输入和输出使能 ($\overline{OE}$) 输入。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN54AHCT373	J (CDIP , 20)	24.2mm x 7.62mm	24.2mm x 6.92mm
	W (CFP , 20)	13.09mm x 8.13mm	13.09mm x 6.92mm
	FK (LCCC , 20)	8.89mm x 8.89mm	8.89mm x 8.89mm
SN74AHCT373	PW (TSSOP , 20)	6.5mm x 6.4mm	6.5mm x 4.4mm
	DW (SOIC , 20)	12.80mm x 10.3mm	12.8mm x 7.5mm
	DB (SSOP , 20)	7.2mm x 7.8mm	7.50mm x 5.3mm
	NS (SOP , 20)	12.6mm x 7.8mm	12.6mm x 5.3mm
	N (PDIP , 20)	24.33mm x 9.4mm	25.4mm x 6.35mm
	DGS (VSSOP , 20)	5.1mm x 4.9mm	5.1mm x 3.0mm
	RKS (VQFN , 20)	4.5mm x 2.5mm	4.5mm x 2.5mm

- (1) 有关更多信息, 请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。
 (3) 封装尺寸 (长 × 宽) 为标称值, 不包括引脚。



功能方框图



内容

1 特性	1	7.2 功能方框图.....	10
2 应用	1	7.3 特性说明.....	11
3 说明	1	7.4 器件功能模式.....	13
4 引脚配置和功能	3	8 应用和实施	14
5 规格	5	8.1 应用信息.....	14
5.1 绝对最大额定值.....	5	8.2 典型应用.....	14
5.2 ESD 等级.....	5	8.3 电源相关建议.....	18
5.3 建议运行条件.....	5	8.4 布局.....	18
5.4 热性能信息.....	6	9 器件和文档支持	20
5.5 电气特性.....	6	9.1 文档支持.....	20
5.6 时序要求, $V_{CC} = 5V \pm 0.5V$	6	9.2 接收文档更新通知.....	20
5.7 开关特性, $V_{CC} = 5V \pm 0.5V$	7	9.3 支持资源.....	20
5.8 噪声特性.....	7	9.4 商标.....	20
5.9 工作特性.....	7	9.5 静电放电警告.....	20
5.10 典型特性.....	8	9.6 术语表.....	20
6 参数测量信息	9	10 修订历史记录	20
7 详细说明	10	11 机械、封装和可订购信息	22
7.1 概述.....	10		

4 引脚配置和功能

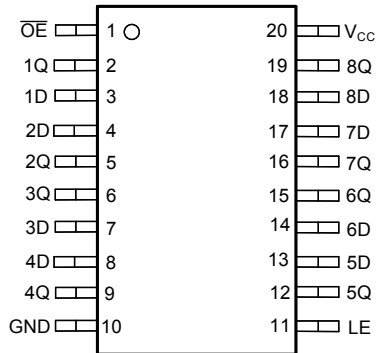


图 4-1. SN54AHCT373 J、W 封装 (顶视图)

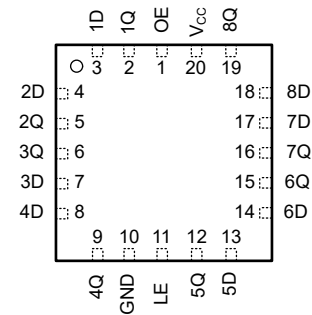


图 4-2. SN54AHCT373 FK 封装 (顶视图)

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
OE	1	I	输出使能, 低电平有效
1Q	2	O	通道 1 输出
1D	3	I	通道 1 输入
2D	4	I	通道 2 输入
2Q	5	O	通道 2 输出
3Q	6	O	通道 3 输出
3D	7	I	通道 3 输入
4D	8	I	通道 4 输入
4Q	9	O	通道 4 输出
GND	10	G	接地
LE	11	I	锁存器使能
5Q	12	O	通道 5 输出
5D	13	I	通道 5 输入
6D	14	I	通道 6 输入
6Q	15	O	通道 6 输出
7Q	16	O	通道 7 输出
7D	17	I	通道 7 输入
8D	18	I	通道 8 输入
8Q	19	O	通道 8 输出
V _{CC}	20	P	正电源

(1) 信号类型: I = 输入, O = 输出, G = 地, P = 电源。

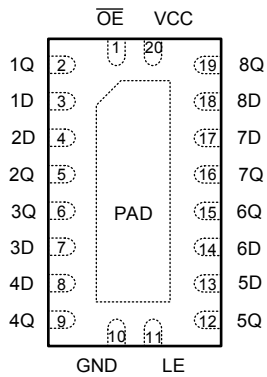


图 4-3. SN74AHCT373 RKS 封装 (顶视图)

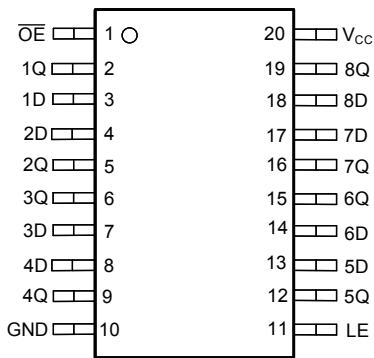


图 4-4. SN74AHCT373 PW、DW、NS、N、DB、DGS 封装 (顶视图)

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
OE	1	I	输出使能, 低电平有效
1Q	2	O	通道 1 输出
1D	3	I	通道 1 输入
2D	4	I	通道 2 输入
2Q	5	O	通道 2 输出
3Q	6	O	通道 3 输出
3D	7	I	通道 3 输入
4D	8	I	通道 4 输入
4Q	9	O	通道 4 输出
GND	10	G	接地
LE	11	I	锁存器使能
5Q	12	O	通道 5 输出
5D	13	I	通道 5 输入
6D	14	I	通道 6 输入
6Q	15	O	通道 6 输出
7Q	16	O	通道 7 输出
7D	17	I	通道 7 输入
8D	18	I	通道 8 输入
8Q	19	O	通道 8 输出
V _{CC}	20	P	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) 信号类型: I = 输入, O = 输出, G = 地, P = 电源。

(2) 仅限 RKS 封装。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	7	V
V_I	输入电压范围 ⁽²⁾	-0.5	7	V
V_O	输出电压范围 ⁽²⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < 0$	-20	mA
I_{OK}	输出钳位电流	$V_O < 0$ 或 $V_O > V_{CC}$	±20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}	±25	mA
	通过 V_{CC} 或 GND 的持续电流		±75	mA
T_{stg}	贮存温度	-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电		
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		SN54AHCT373		SN74AHCT373		单位
		最小值	最大值	最小值	最大值	
V_{CC}	电源电压	4.5	5.5	4.5	5.5	V
V_{IH}	高电平输入电压	2		2		V
V_{IL}	低电平输入电压		0.8		0.8	V
V_I	输入电压	0	5.5	0	5.5	V
V_O	输出电压	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流		-8		-8	mA
I_{OL}	低电平输出电流		8		8	mA
$\Delta t/\Delta v$	输入转换上升或下降速率		20		20	ns/V
T_A	自然通风条件下的工作温度	-55	125	-40	85	°C

- (1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND，以确保器件正常运行。请参阅 TI 应用报告，CMOS 输入缓慢或悬空的影响 (SCBA004)。

5.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	不适用	°C/W
PW (TSSOP)	20	116.8	-	-	-	-	不适用	°C/W
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	°C/W
DW (SOIC)	20	58	-	-	-	-	不适用	°C/W
DB (SSOP)	20	70	-	-	-	-	不适用	°C/W
N (PDIP)	20	69	-	-	-	-	不适用	°C/W
NS (SOP)	20	60	-	-	-	-	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	测试条件	V_{CC}	$T_A = 25^{\circ}\text{C}$			SN54AHCT373		SN74AHCT373		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	$I_{OH} = -50\mu\text{A}$	4.5V	4.4	4.5		4.4		4.4		V
	$I_{OH} = -8\text{mA}$		3.94			3.8		3.8		
V_{OL}	$I_{OL} = 50\mu\text{A}$	4.5V			0.1		0.1		0.1	V
	$I_{OL} = 8\text{mA}$				0.36		0.44		0.44	
I_{OZ}	$V_O = V_{CC}$ 或 GND	5.5V			± 0.25		± 2.5		± 2.5	μA
I_I	$V_I = 5.5\text{V}$ 或 GND	0V 至 5.5V			± 0.1		± 1 ⁽¹⁾		± 1	μA
I_{CC}	$V_I = V_{CC}$ 或 GND, $I_O = 0$	5.5V			4		40		40	μA
$\Delta I_{CC}^{\dagger}$	一个输入电压为 3.4V, 其他输入电压为 V_{CC} 或 GND	5.5V			1.35		1.5		1.5	mA
C_i	$V_I = V_{CC}$ 或 GND	5V		4	10				10	pF
C_o	$V_O = V_{CC}$ 或 GND	5V		9						pF

(1) 对于符合 MIL-PRF-38535 标准的产品, 此参数未经量产测试 (在 $V_{CC} = 0\text{V}$ 时)。

5.6 时序要求, $V_{CC} = 5\text{V} \pm 0.5\text{V}$

在自然通风条件下的建议工作温度范围内测得 (除非另有说明) (请参阅 [参数测量信息](#))

参数		$T_A = 25^{\circ}\text{C}$		SN54AHCT373		SN74AHCT373		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w	脉冲持续时间, $\overline{LE}$ 高电平	6.5		6.5		6.5		ns
t_{su}	设置时间, $\overline{LE} \downarrow$ 前的数据	1.5		1.5		1.5		ns
t_h	保持时间, $\overline{LE} \downarrow$ 后的数据	3.5		3.5		3.5		ns

5.7 开关特性, $V_{CC} = 5V \pm 0.5V$

在自然通风条件下的建议工作温度范围内测得 (除非另有说明) (请参阅 [参数测量信息](#))

参数	从 (输入)	至 (输出)	负载 电容	$T_A = 25^\circ C$			SN54AHCT373		SN74AHCT373		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	D	Q	$C_L = 15pF$		5.1 ⁽¹⁾	8.5 ⁽¹⁾	1 ⁽¹⁾	9.5 ⁽¹⁾	1	9.5	ns
t_{PHL}					5.1 ⁽¹⁾	8.5 ⁽¹⁾	1 ⁽¹⁾	9.5 ⁽¹⁾	1	9.5	
t_{PLH}	LE	Q	$C_L = 15pF$		7.7 ⁽¹⁾	12.3 ⁽¹⁾	1 ⁽¹⁾	13.5 ⁽¹⁾	1	13.5	ns
t_{PHL}					7.7 ⁽¹⁾	12.3 ⁽¹⁾	1 ⁽¹⁾	13.5 ⁽¹⁾	1	13.5	
t_{PZH}	$\overline{OE}$	Q	$C_L = 15pF$		6.3 ⁽¹⁾	10.9 ⁽¹⁾	1 ⁽¹⁾	12.5 ⁽¹⁾	1	12.5	ns
t_{PZL}					6.3 ⁽¹⁾	10.9 ⁽¹⁾	1 ⁽¹⁾	12.5 ⁽¹⁾	1	12.5	
t_{PHZ}	$\overline{OE}$	Q	$C_L = 15pF$		6 ⁽¹⁾	10.2 ⁽¹⁾	1 ⁽¹⁾	11 ⁽¹⁾	1	11	ns
t_{PLZ}					6 ⁽¹⁾	10.2 ⁽¹⁾	1 ⁽¹⁾	11 ⁽¹⁾	1	11	
t_{PLH}	D	Q	$C_L = 50pF$		5.9	9.5	1	10.5	1	10.5	ns
t_{PHL}					5.9	9.5	1	10.5	1	10.5	
t_{PLH}	LE	Q	$C_L = 50pF$		8.5	13.3	1	14.5	1	14.5	ns
t_{PHL}					8.5	13.3	1	14.5	1	14.5	
t_{PZH}	$\overline{OE}$	Q	$C_L = 50pF$		7.1	11.9	1	13.5	1	13.5	ns
t_{PZL}					7.1	11.9	1	13.5	1	13.5	
t_{PHZ}	$\overline{OE}$	Q	$C_L = 50pF$		6.8	11.2	1	12	1	12	ns
t_{PLZ}					6.8	11.2	1	12	1	12	
$t_{sk(o)}$			$C_L = 50pF$			1 ⁽²⁾				1	ns

(1) 对于符合 MIL-PRF-38535 标准的产品, 此参数未经量产测试。

(2) 对于符合 MIL-PRF-38535 标准的产品, 此参数不适用。

5.8 噪声特性

$V_{CC} = 5V$, $C_L = 50pF$, $T_A = 25^\circ C$ ⁽¹⁾

参数		SN74AHCT373			单位
		最小值	典型值	最大值	
$V_{OL(P)}$	安静输出, 最大动态 V_{OL}		0.8	1.2	V
$V_{OL(V)}$	安静输出, 最小动态 V_{OL}		-0.8	-1.2	V
$V_{OH(V)}$	安静输出, 最小动态 V_{OH}	4.1			V
$V_{IH(D)}$	高电平动态输入电压	2			V
$V_{IL(D)}$	低电平动态输入电压			0.8	V

(1) 特性仅适用于表面贴装封装。

5.9 工作特性

$V_{CC} = 5V$, $T_A = 25^\circ C$

参数	测试条件	典型值	单位
C_{pd} 功率耗散电容	无负载, $f = 1MHz$	17	pF

5.10 典型特性

$T_A = 25^\circ\text{C}$ (除非另外注明)

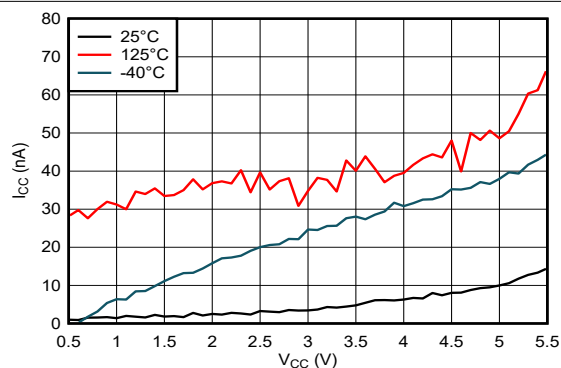


图 5-1. 电源电压两端的电源电流

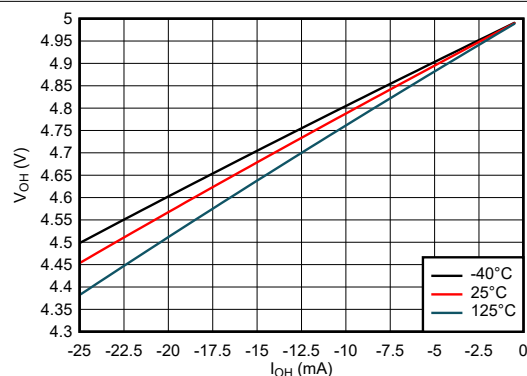


图 5-2. 高电平状态下输出电压与电流间的关系 (5V 电源)

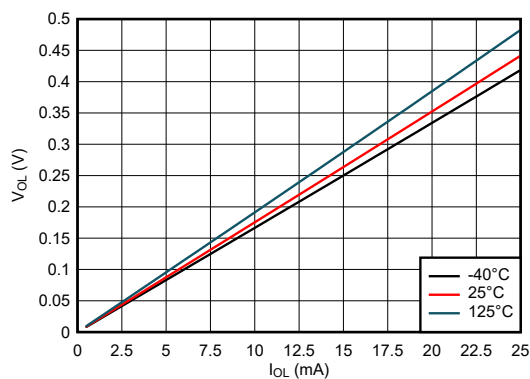


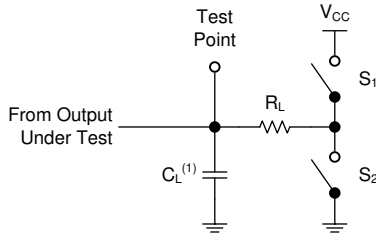
图 5-3. 低电平状态下输出电压与电流间的关系 (5V 电源)

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 3\text{ns}$ 。

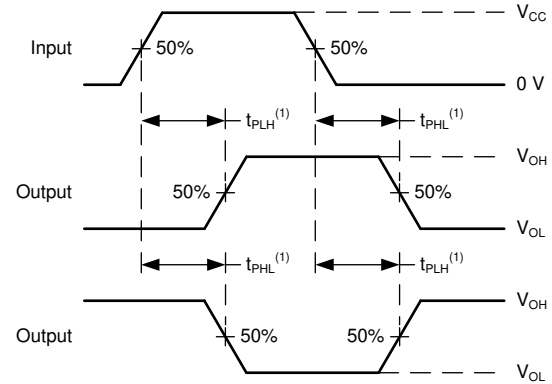
对于时钟输入， f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-2. 电压波形传播延迟

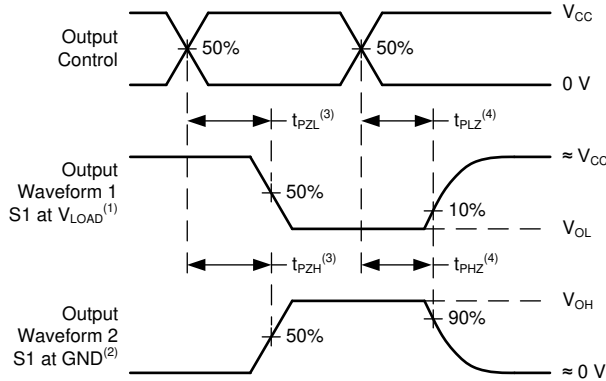
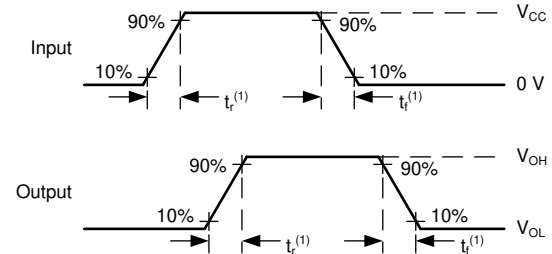


图 6-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-4. 电压波形，输入和输出转换时间

7 详细说明

7.1 概述

SNx4AHCT373 包含八路 D 类锁存器。所有通道共享锁存器使能 (LE) 和输出使能 ($\overline{OE}$) 输入。

启用锁存器 (LE 为高电平) 后, 允许数据从 D 输入传递到 Q 输出。

禁用锁存器 (LE 为低电平) 后, 无论 D 输入如何变化, Q 输出都会保持其最后的状态。

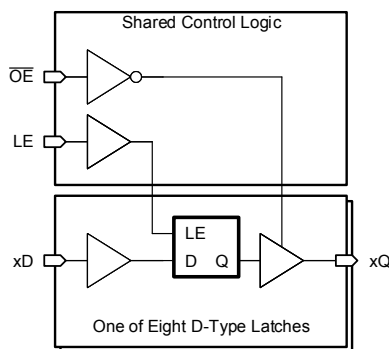
如果在启动期间锁存器使能 (LE) 输入保持低电平, 则所有通道的输出状态均未知, 直到所有数据 (D) 输入端的有效输入信号将锁存器使能 (LE) 输入驱动为高电平。

启用输出 ($\overline{OE}$ 为低电平) 后, 输出会主动驱动为低电平或高电平。

当输出被禁用 ($\overline{OE}$ 为高电平) 时, 输出被设置为高阻抗状态。

低电平有效输出使能 ($\overline{OE}$) 对锁存器中的存储状态没有任何影响。

7.2 功能方框图



7.3 特性说明

7.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以驱动为高电平、低电平和高阻抗这三种状态。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10k Ω 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

7.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是使用 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，根据欧姆定律 ($R = V \div I$) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

7.3.3 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-1 所示。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

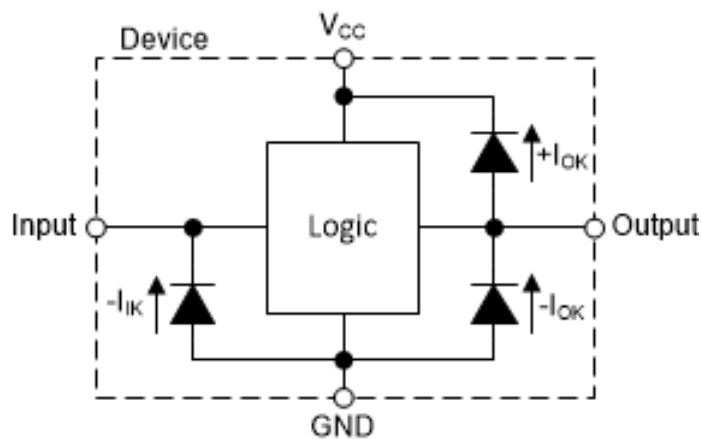


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入 ⁽¹⁾			输出 ⁽²⁾
OE	LE	D	Q
L	H	L	L
L	H	H	H
L	L	X	Q ₀ ⁽³⁾
H	X	X	Z

- (1) L = 输入低电平, H = 输入高电平, ↑ = 输入从低电平转换到高电平, ↓ = 输入从高电平转换到低电平, X = 不用考虑
- (2) L = 输出低电平, H = 输出高电平, Q₀ = 上一状态, Z = 高阻抗
- (3) 启动时 Q₀ 未知

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

在此应用中，SNx4AHCT373 用于控制 8 位数据总线。

输出可以保持在高阻抗状态、保持在最后的已知状态或与数据输入一起变化，具体取决于 LE 和 $\overline{OE}$ 上来自总线控制器的控制输入。

8.2 典型应用

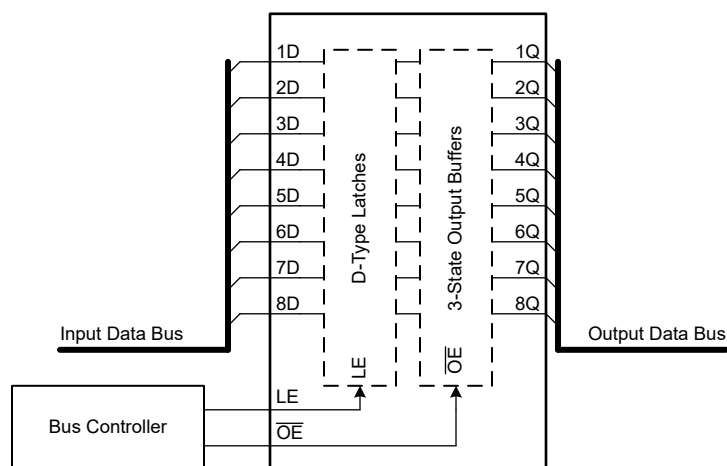


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在 [电气特性](#) 中规定的范围内。电源电压按照 [电气特性](#) 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 **SNx4AHCT373** 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 [电气特性](#) 中列出) 以及开关所需的任意瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 [绝对最大额定值](#) 中列出的通过 V_{CC} 的最大总电流。

接地必须能够灌入的电流等于 **SNx4AHCT373** 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 [电气特性](#) 中列出) 以及开关所需的任意瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 [绝对最大额定值](#) 中列出的通过 **GND** 的最大总电流。

SNx4AHCT373 可以驱动总电容小于或等于 50pF 的负载, 同时仍满足所有数据表规格。可以施加更大的容性负载; 但建议不要超过 50pF。

SNx4AHCT373 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载, 输出电压和电流在 [电气特性](#) 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时, 公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 [CMOS 功耗与 Cpd 计算](#) 应用手册中提供的信息进行计算。

可以使用 [标准线性和逻辑 \(SLL\) 封装和器件的热特性](#) 应用手册中提供的信息计算热增量。

小心

[绝对最大额定值](#) 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 [绝对最大额定值](#) 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。请勿超过 [绝对最大额定值](#) 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4AHCT373 的漏电流（如 [电气特性](#) 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

SNx4AHCT373 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 [电气特性](#) 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅 [特性说明](#) 部分。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据 [电气特性](#) 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据 [电气特性](#) 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅 [特性说明](#) 部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。布局部分中展示了示例布局。
2. 验证输出端的容性负载是否 $\leq 50\text{pF}$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SNx4AHCT373 向一个或多个接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC}/I_{O(max)})\Omega$ 。这可防止超出绝对最大额定值中的最大输出电流。大多数 CMOS 输入具有以 $M\Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用手册 CMOS 功耗与 C_{pd} 计算中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

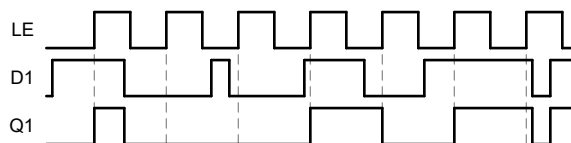


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 并行布线之间必须至少间隔 3 倍电介质厚度
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

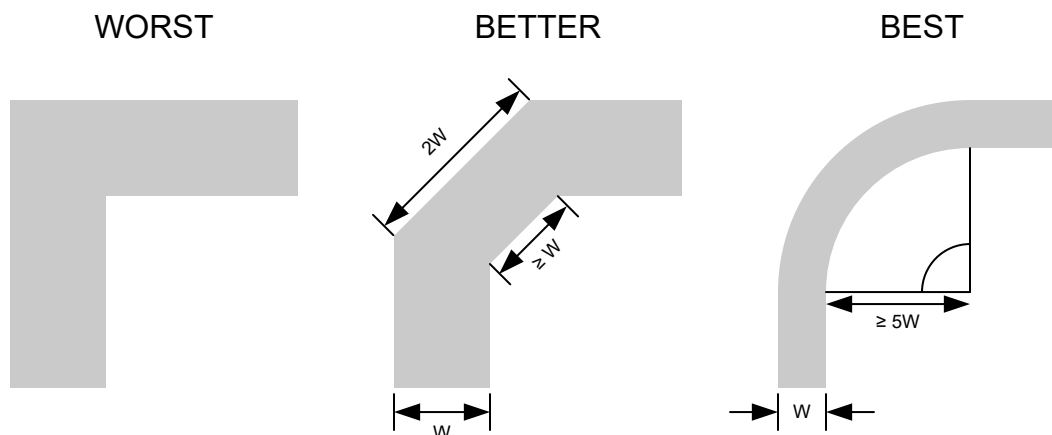


图 8-3. 可改善信号完整性的布线转角示例

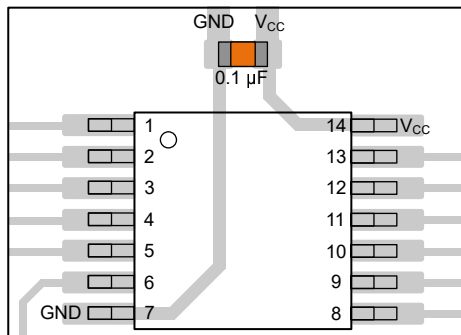


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

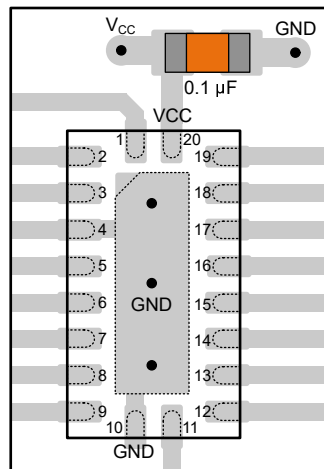


图 8-5. WQFN 和类似封装的旁路电容器放置示例

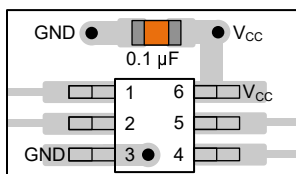


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

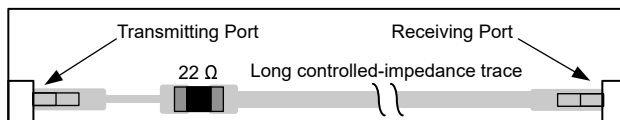


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用手册](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用手册](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision O (August 2024) to Revision P (July 2025)	Page
• 添加了 RKS 和 DGS 封装.....	6

Changes from Revision N (August 2023) to Revision O (August 2024)	Page
• 向 器件信息 表添加了封装尺寸.....	2
• 更新了 R _{θJA} 值：PW = 83 至 116.8，所有值均以 °C/W 为单位.....	6

Changes from Revision M (July 2023) to Revision N (August 2023)

Page

-
- 添加了器件信息表、引脚功能表、ESD 等级表、热信息表、器件功能模式、器件和文档支持部分以及机械、封装和可订购信息部分..... [2](#)
-

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9686701Q2A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 9686701Q2A SNJ54AHCT 373FK
5962-9686701QRA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QR A SNJ54AHCT373J
5962-9686701QSA	Active	Production	CFP (W) 20	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QS A SNJ54AHCT373W
SN74AHCT373DBR	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373DBR.A	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB273
SN74AHCT373DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 85	AHCT373
SN74AHCT373DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373N	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT373N
SN74AHCT373N.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT373N
SN74AHCT373NSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373NSR.A	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373PW	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	HB373
SN74AHCT373PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373PWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373RKSR	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SNJ54AHCT373FK	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 9686701Q2A SNJ54AHCT 373FK
SNJ54AHCT373FK.A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962- 9686701Q2A SNJ54AHCT 373FK

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHCT373J	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QR A SNJ54AHCT373J
SNJ54AHCT373J.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QR A SNJ54AHCT373J
SNJ54AHCT373W	Active	Production	CFP (W) 20	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QS A SNJ54AHCT373W
SNJ54AHCT373W.A	Active	Production	CFP (W) 20	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QS A SNJ54AHCT373W

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT373, SN74AHCT373 :

- Catalog : [SN74AHCT373](#)
- Automotive : [SN74AHCT373-Q1](#), [SN74AHCT373-Q1](#)
- Military : [SN54AHCT373](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT373DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74AHCT373DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHCT373DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHCT373NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AHCT373PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHCT373RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



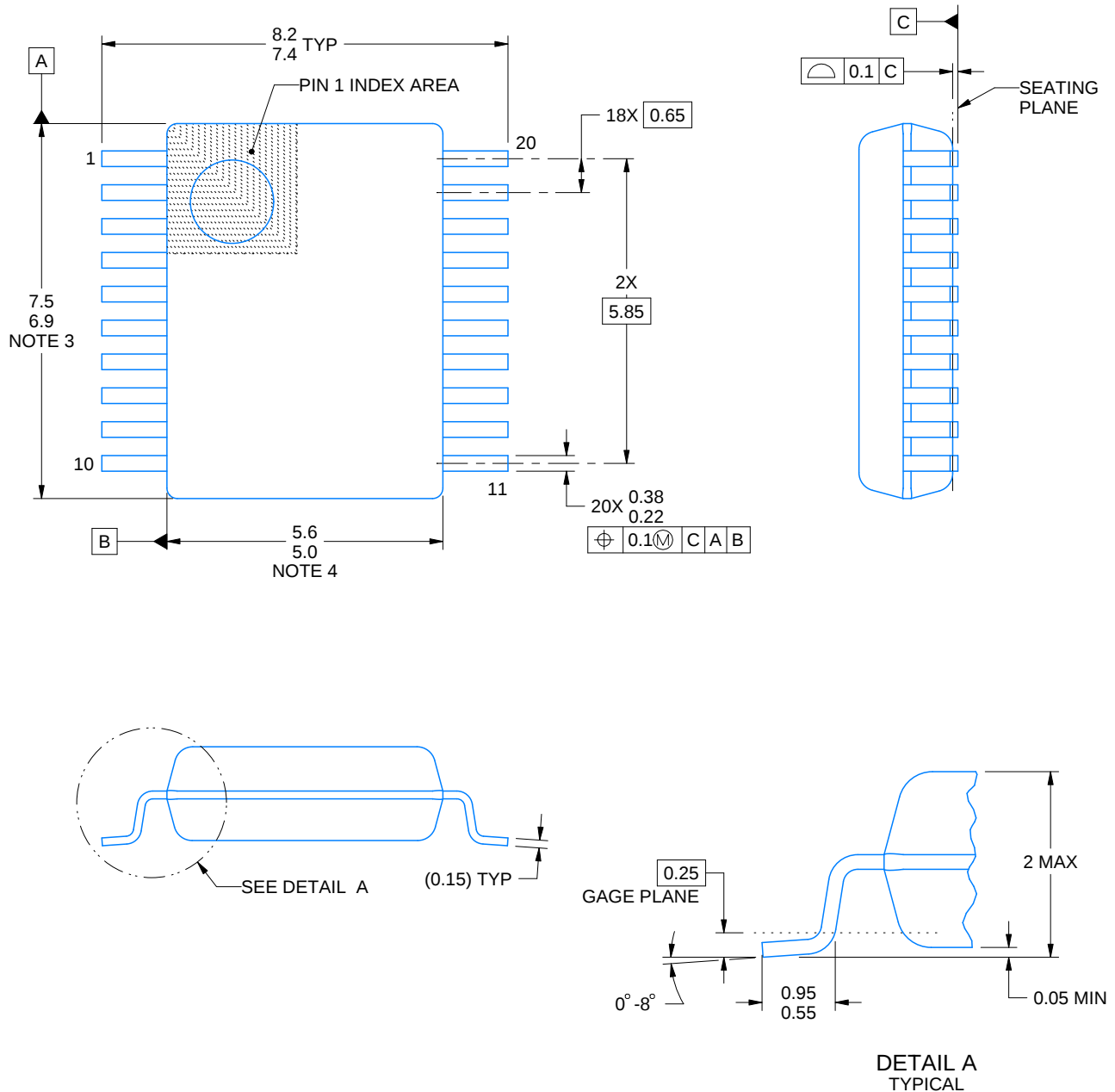
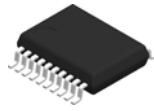
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT373DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74AHCT373DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHCT373DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHCT373NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74AHCT373PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHCT373RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9686701Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686701QSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74AHCT373N	N	PDIP	20	20	506	13.97	11230	4.32
SN74AHCT373N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54AHCT373FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT373FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT373W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54AHCT373W.A	W	CFP	20	25	506.98	26.16	6220	NA



4214851/B 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

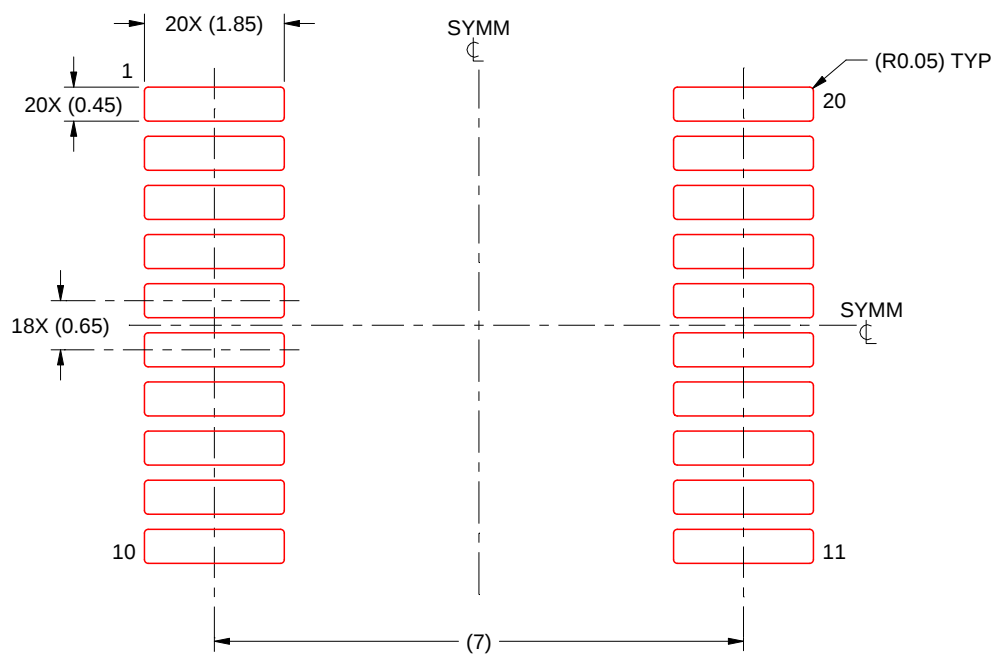
6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

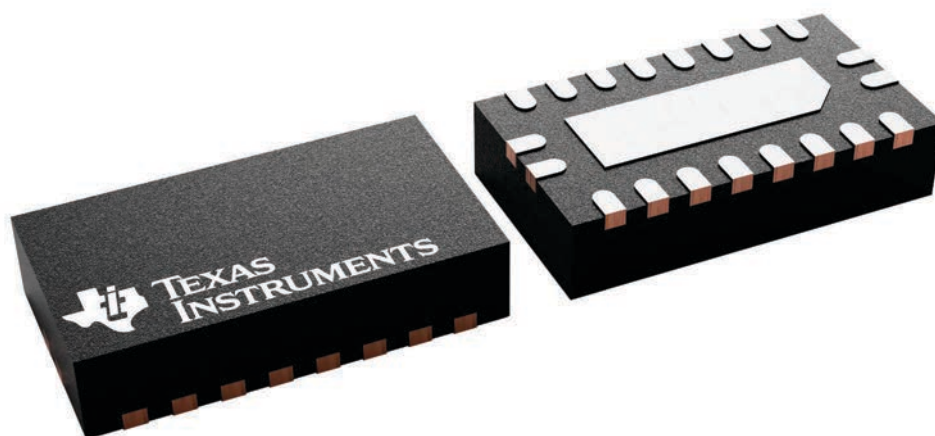
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

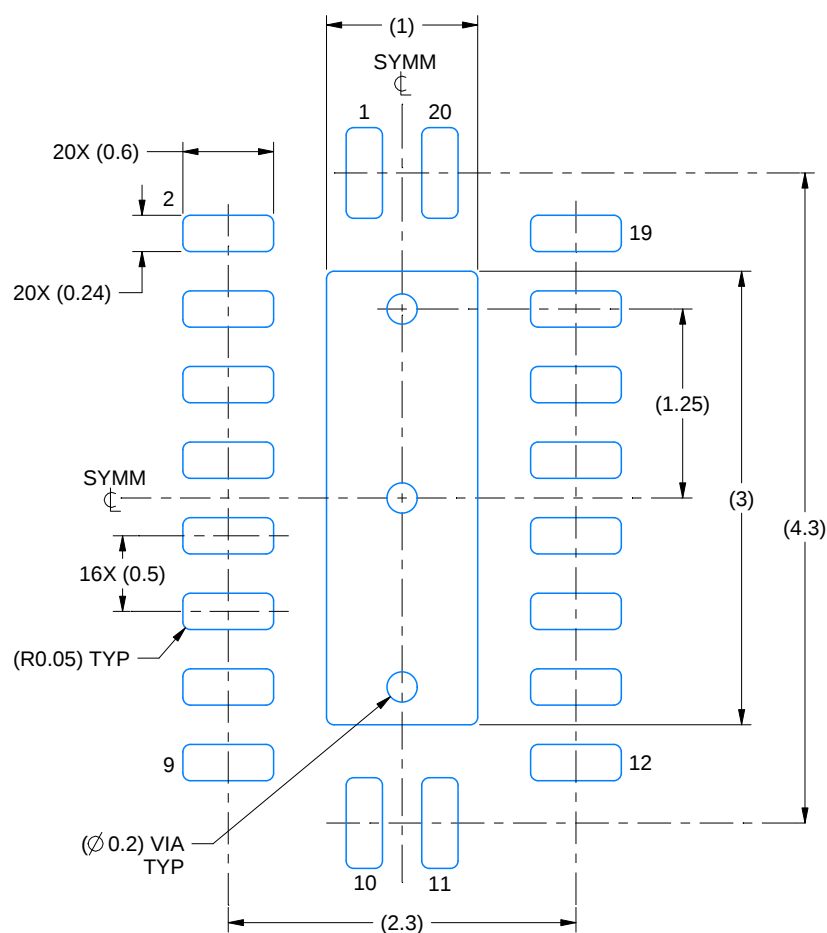


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

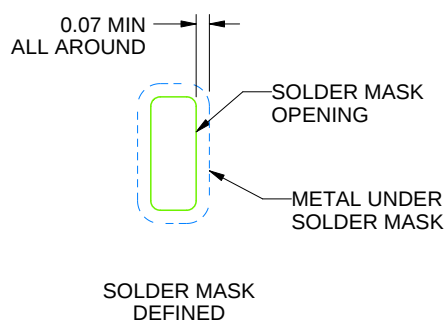
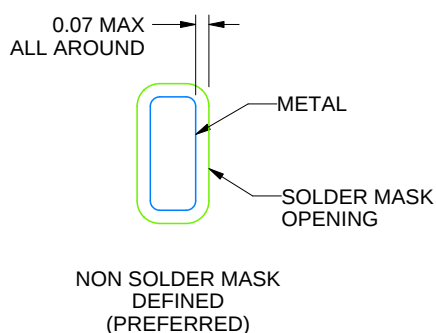
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

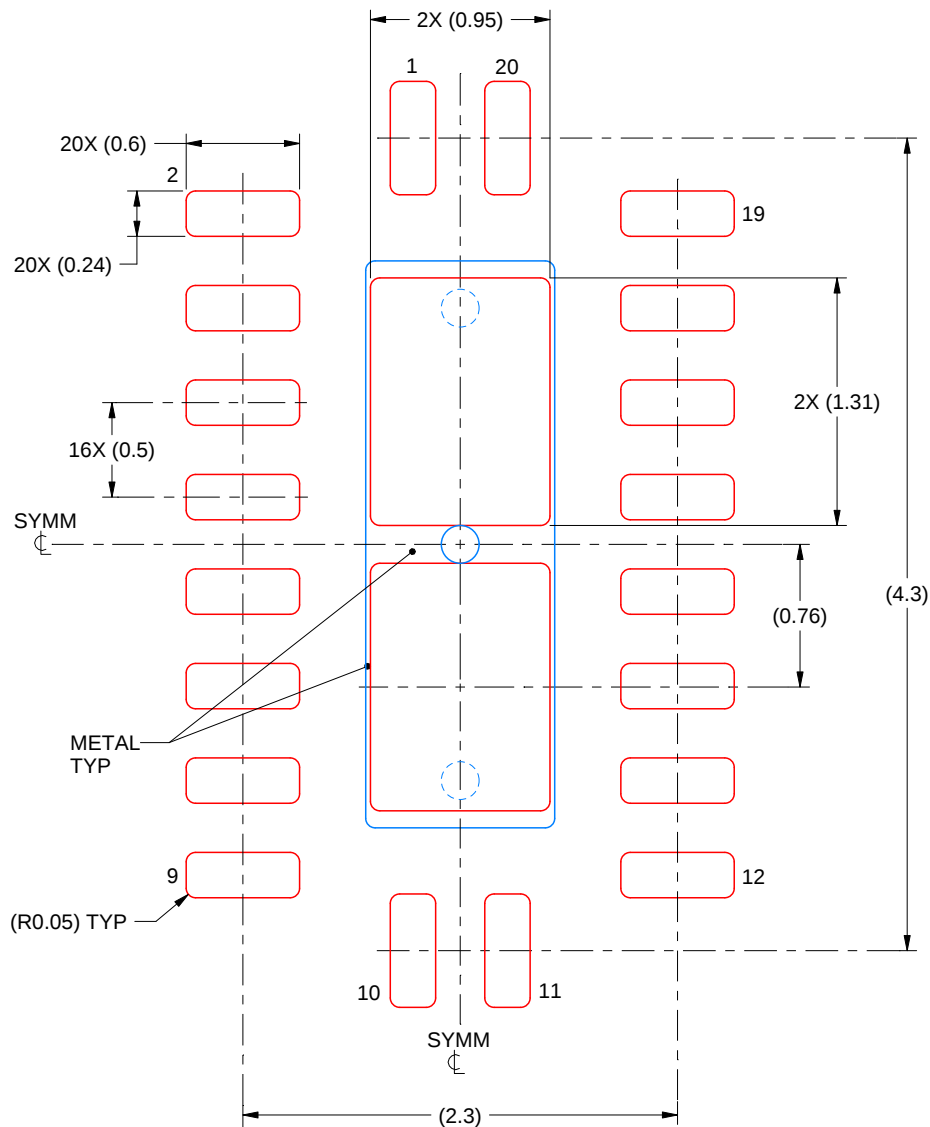
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

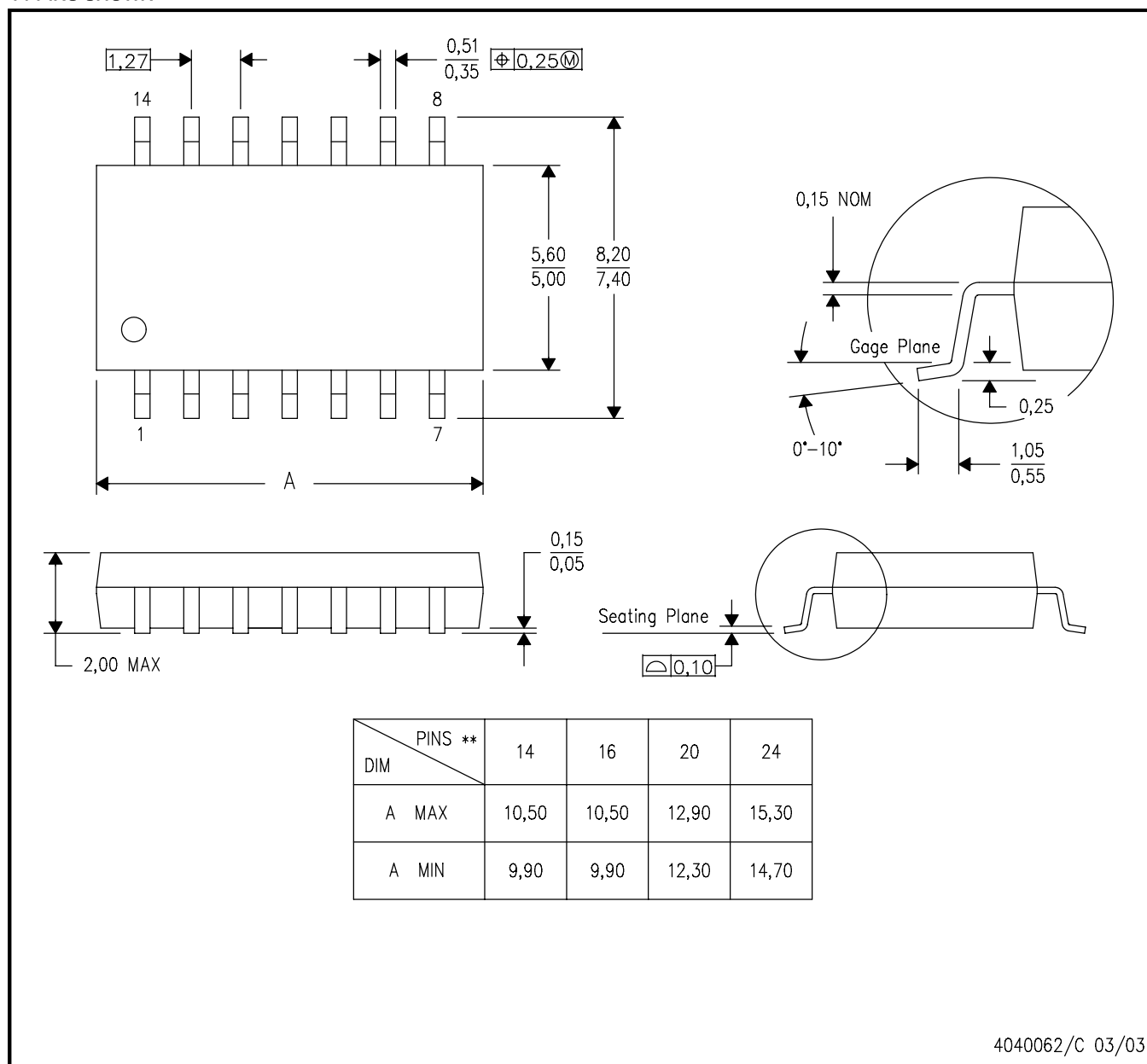
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN

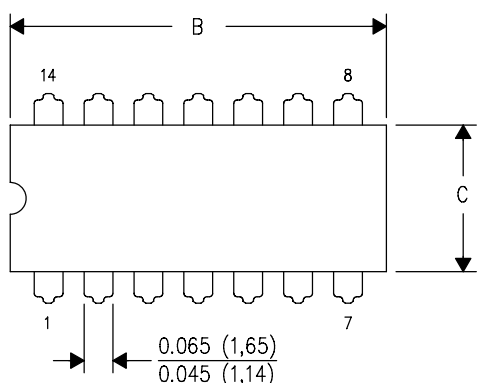


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

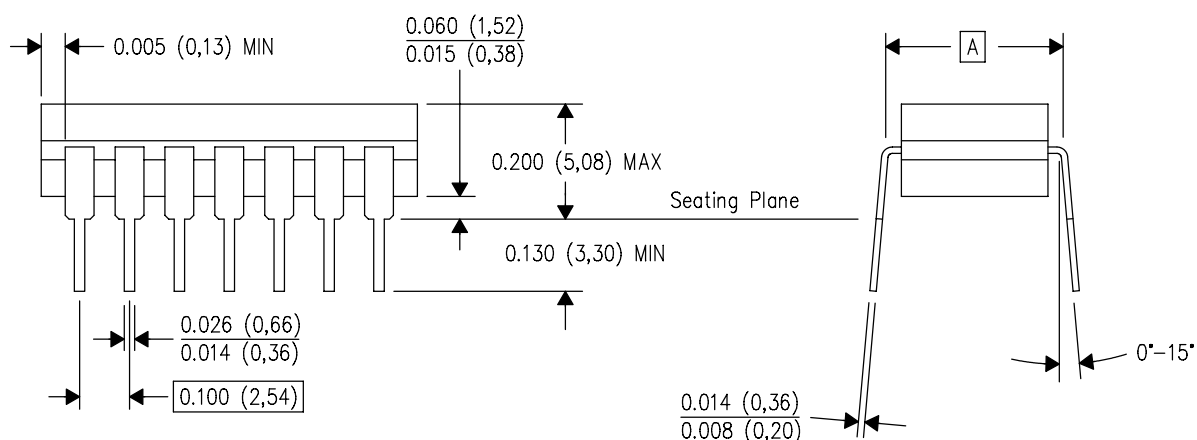
J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



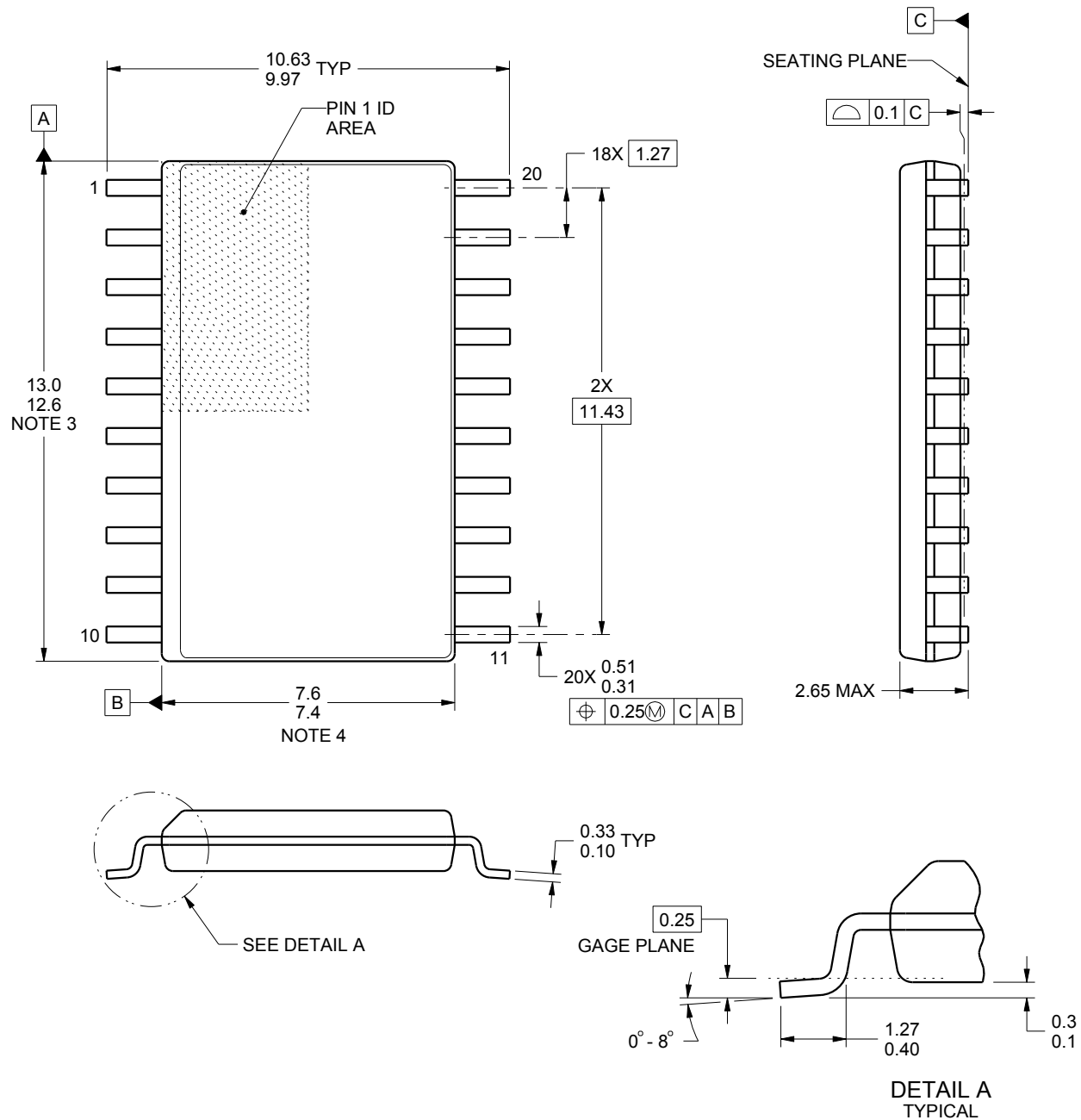
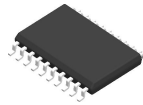
PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220724/A 05/2016

NOTES:

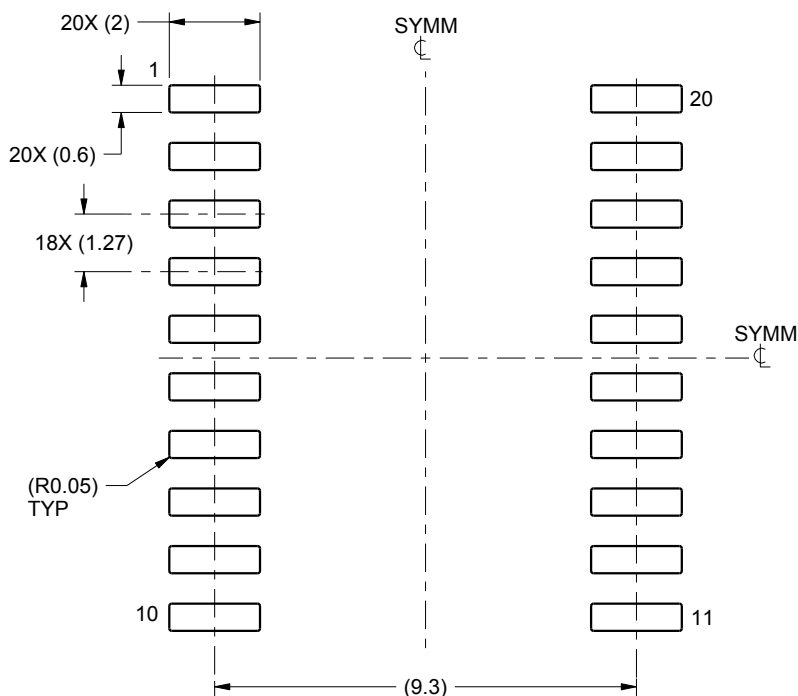
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

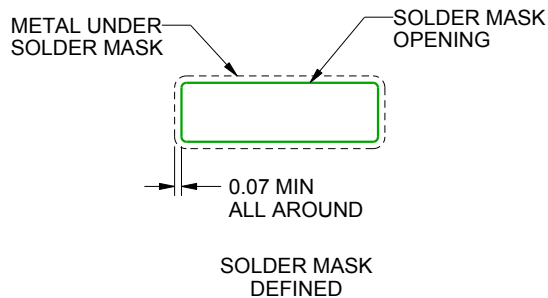
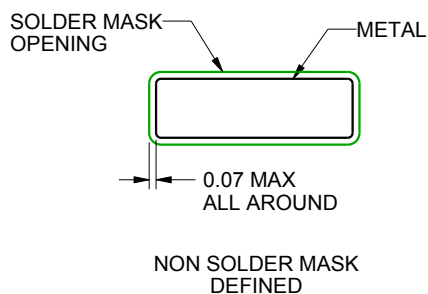
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

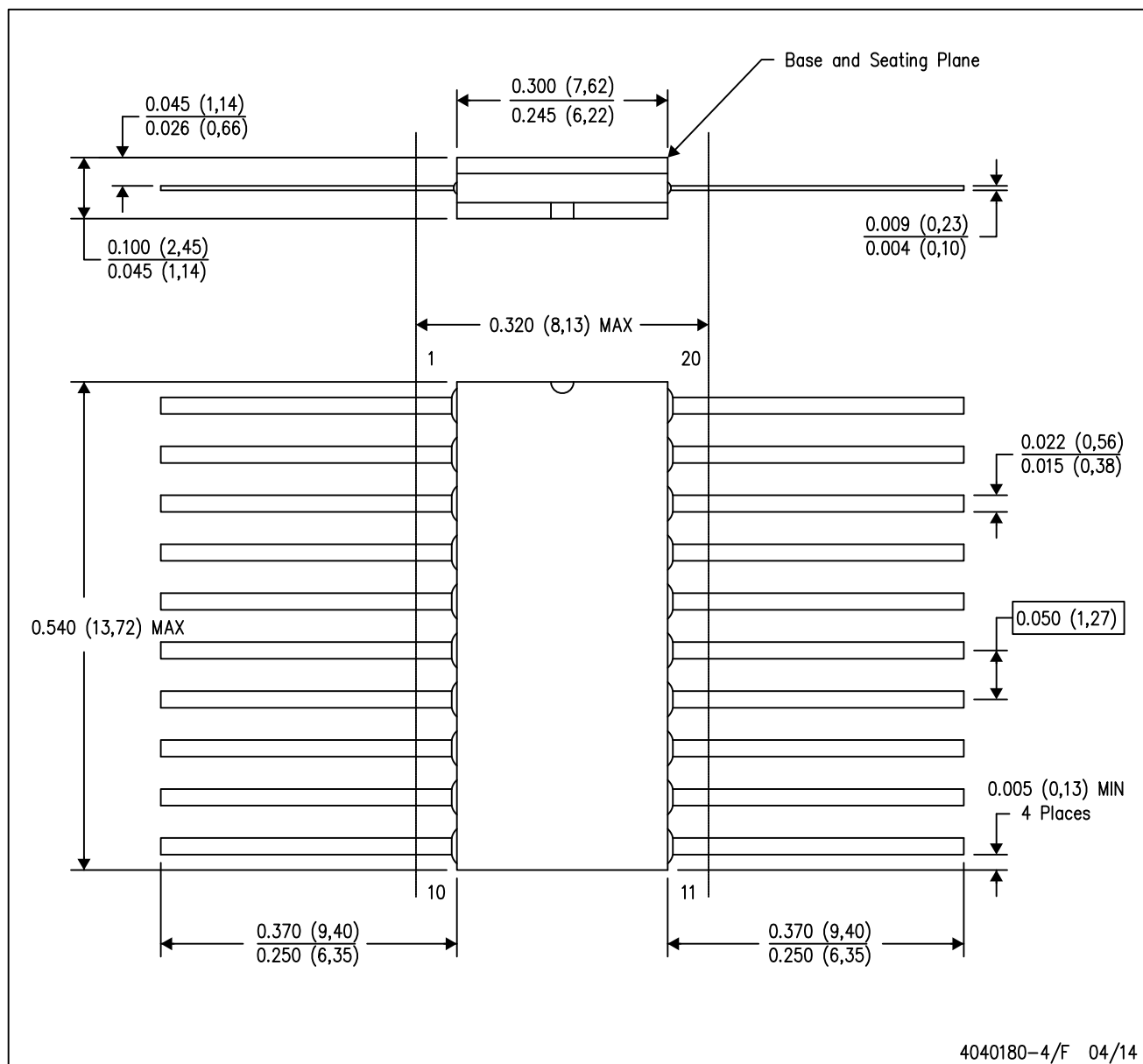
4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R-GDFP-F20)

CERAMIC DUAL FLATPACK



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package can be hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only.
- E. Falls within Mil-Std 1835 GDFP2-F20



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



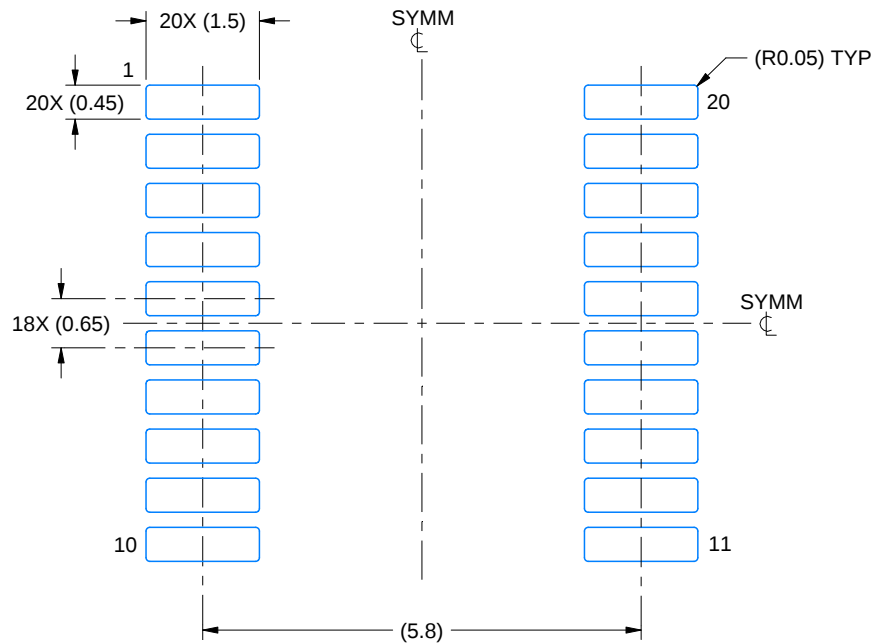
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

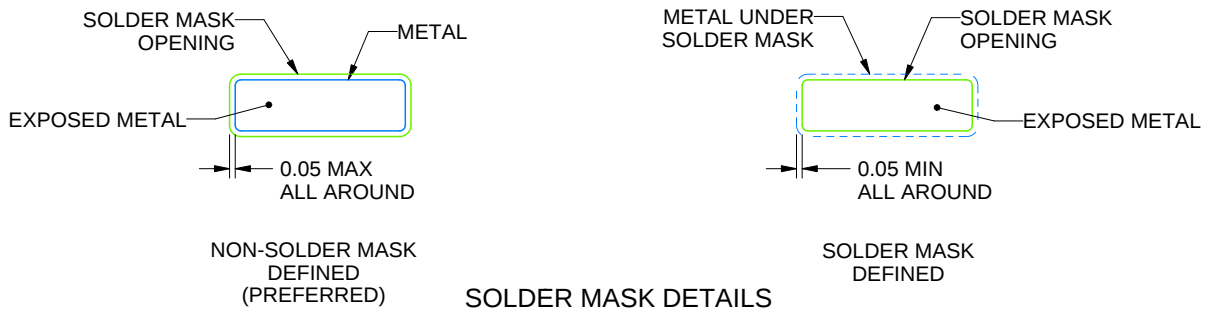
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

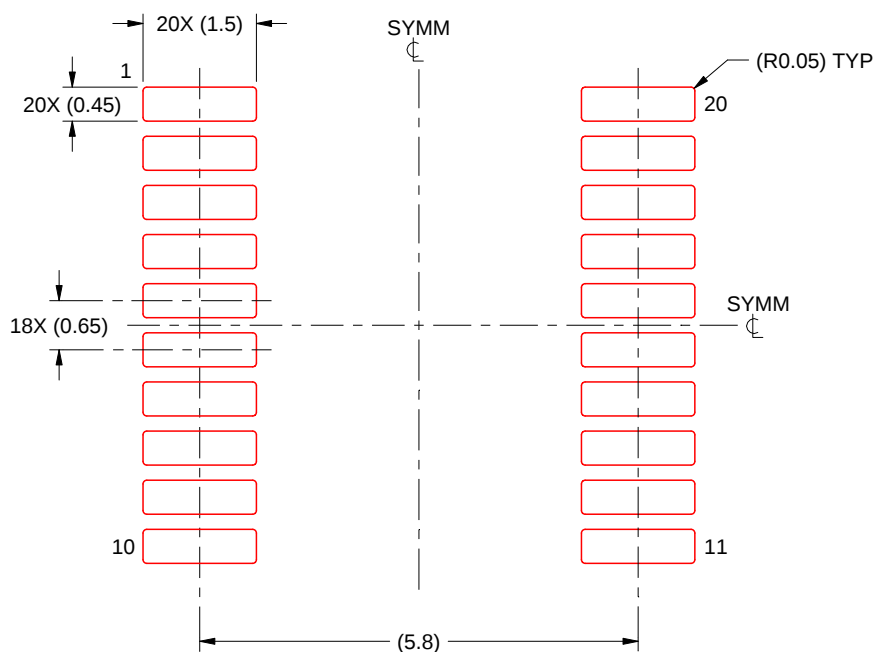
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

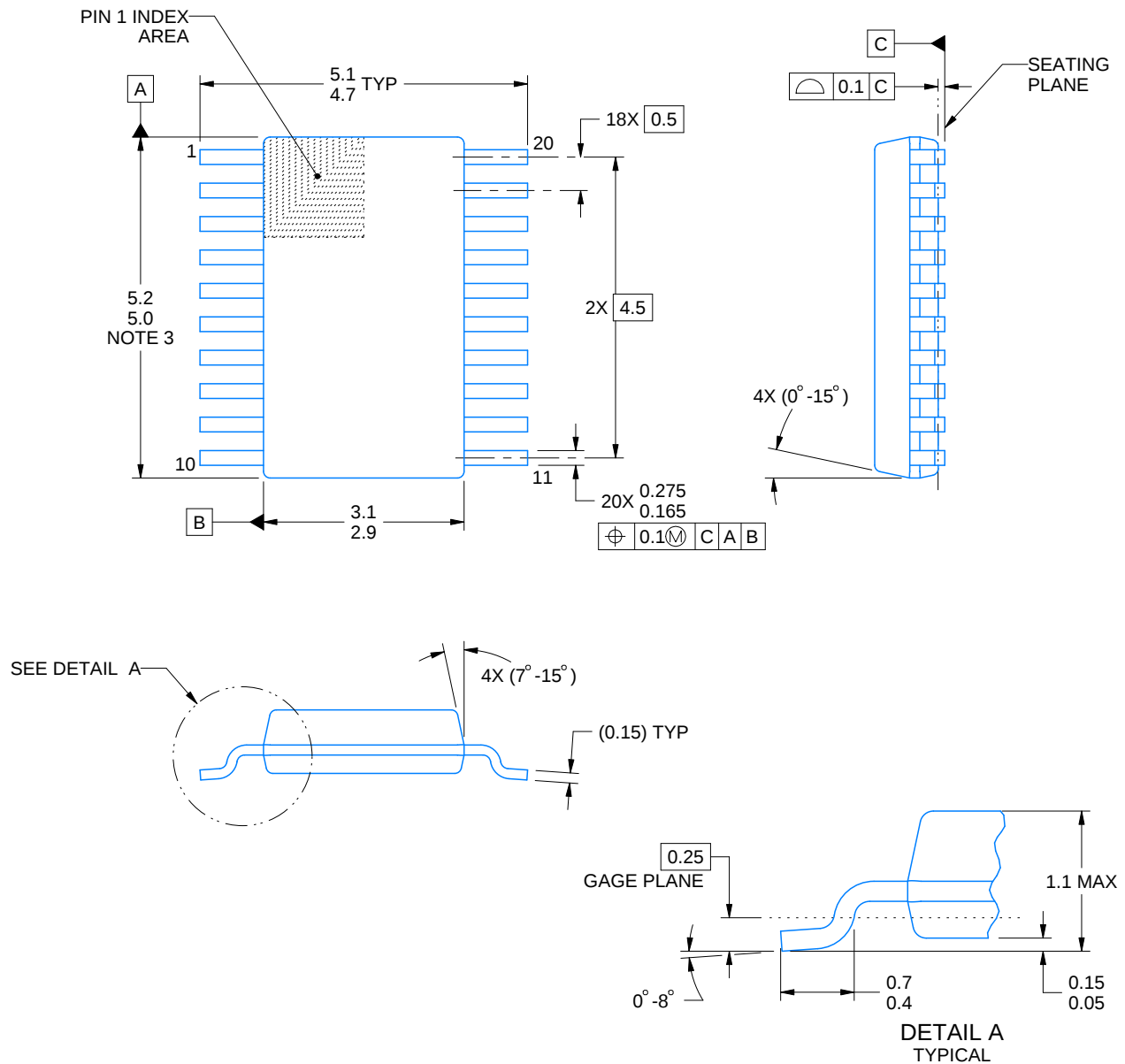


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

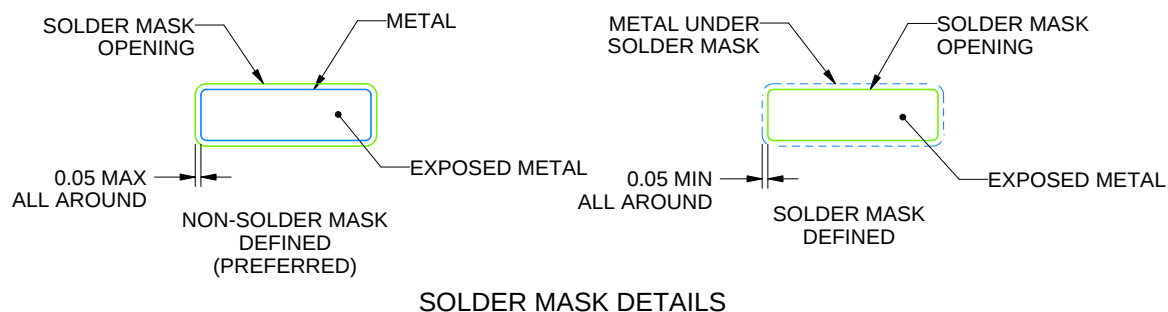
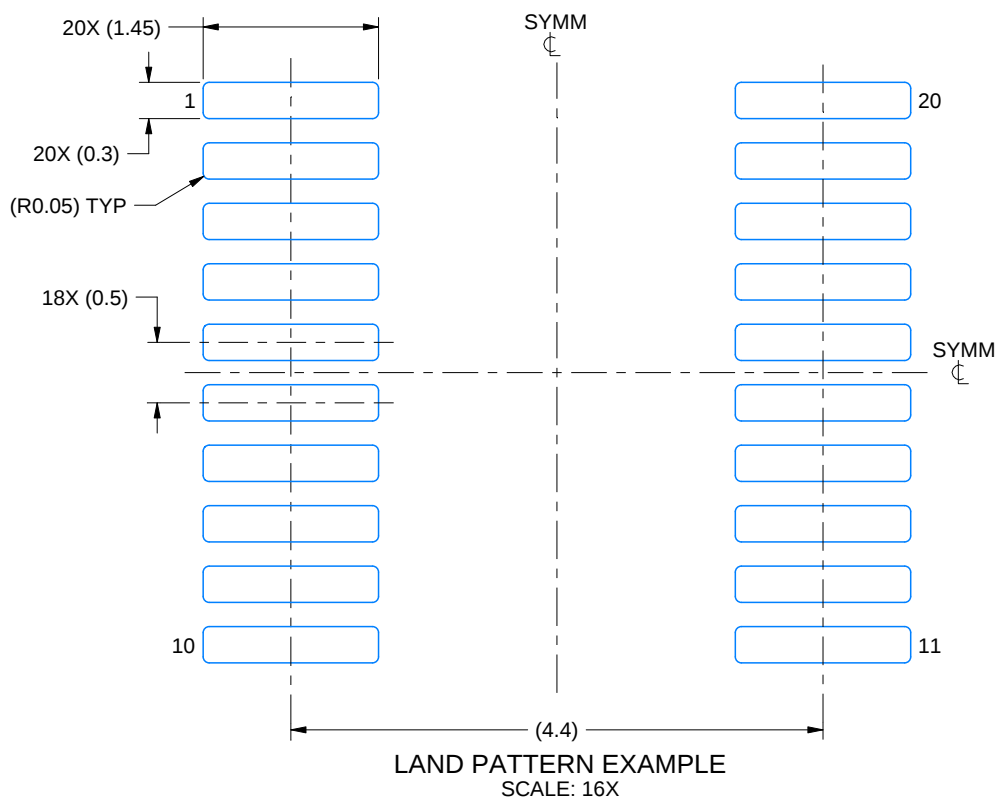
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

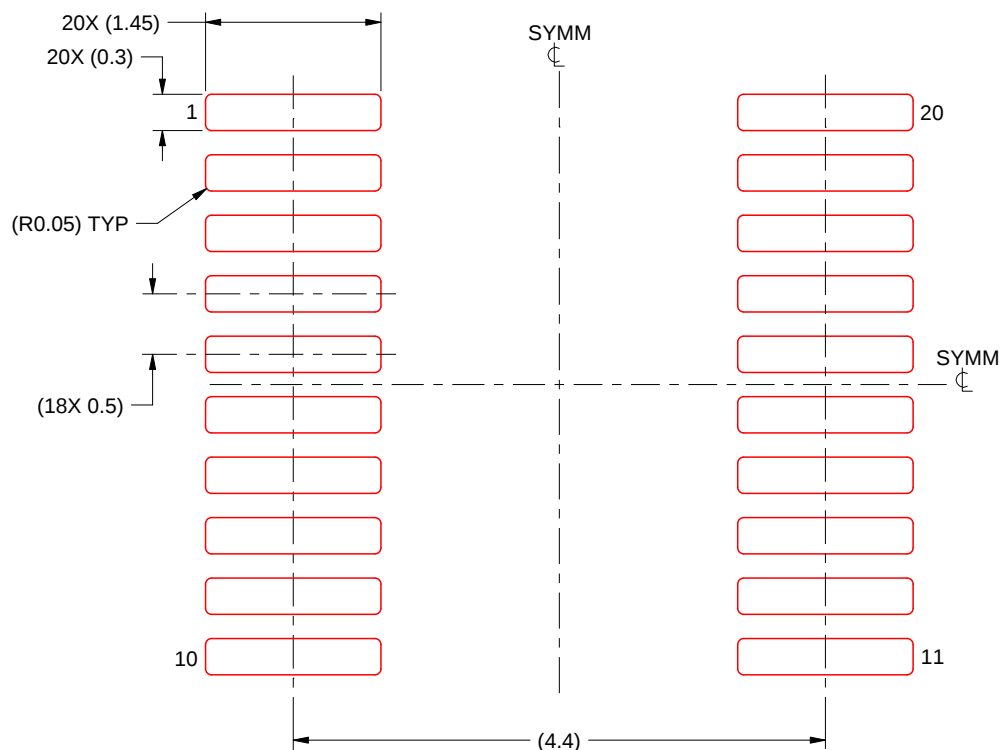
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司