

OPAx863A 105MHz、轨到轨输入/输出高精度放大器

1 特性

- 增益带宽积：50MHz
- 高精度：
 - 输入失调电压：95 μ V (最大值)
 - 温漂：1.2 μ V/°C (最大值)
- 低功耗：
 - 静态电流：800 μ A/通道 (典型值)
 - 电源电压：2.7V 至 12.6V
- 输入电压噪声：6.3nV/√Hz
- 压摆率：100V/ μ s
- 轨到轨输入和输出
- HD₂ 和 HD₃：
 - 20kHz (2V_{PP}) 时为 -129dBc 和 -138dBc
- 工作温度范围：-40°C 至 +125°C
- 其他特性：
 - 过载功率限制
 - 输出短路保护

2 应用

- 低功耗 SAR 和 Δ - Σ ADC 驱动器
- ADC 基准缓冲器
- 低侧电流检测
- 光电二极管 TIA 接口
- 电感式传感
- 电池供电仪表
- 增益和有源滤波器级

3 说明

OPA863A 和 OPA2863A 器件 (OPAx863A) 是单位增益稳定的低功耗、轨到轨输入和输出、电压反馈运算放大器。这些器件经过封装调整, 可提供高精度性能, 最大输入失调电压为 95 μ V, 温漂为 1.2 μ V/°C, 可在整个温度范围内实现高精度测量。

OPAx863A 每通道仅消耗 800 μ A 电流, 可提供 50MHz 的增益带宽积、100V/ μ s 的压摆率和 6.3nV/√Hz 的电压噪声密度。由 2.7V 电源供电的轨到轨输入级适用于便携式电池供电型应用。轨到轨输入级可在整个输入共模电压范围内很好地匹配增益带宽积和噪声, 从而在宽输入动态范围内实现出色的性能。

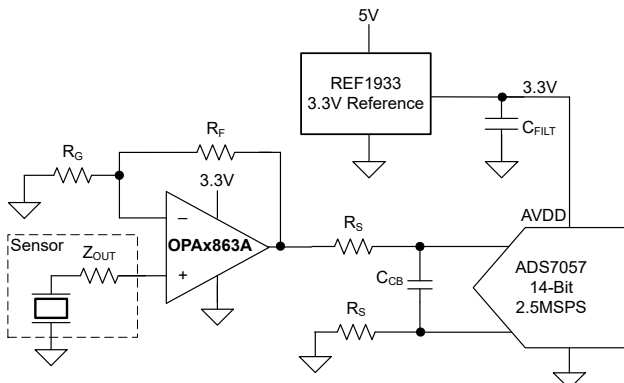
OPAx863A 包括过载功率限制功能, 可限制输出饱和时 I_Q 的增加, 从而避免电池供电的功率敏感型系统中出现过度功率耗散。输出级具有短路保护功能, 使得此类器件可适应恶劣的环境。

器件信息

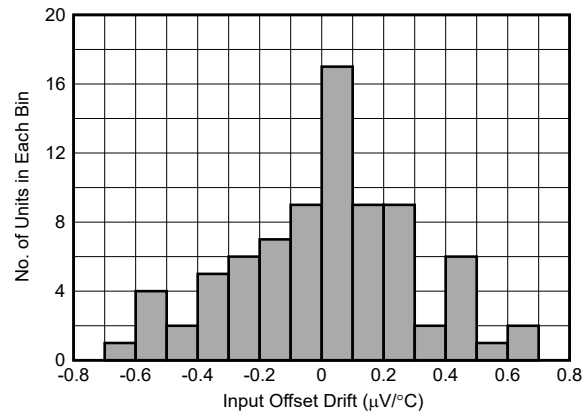
器件型号 ⁽¹⁾	通道数	封装 ⁽²⁾
OPA863A	单通道	DBV (SOT-23, 5)
OPA2863A	双通道	D (SOIC, 8)
		DGK (VSSOP, 8)
		DSN (USON, 10)

(1) 请参阅节 4。

(2) 有关更多信息, 请参阅节 11。



OPAx863A 用作精密 SAR ADC 输入驱动器



具有低输入失调电压漂移的精密性能



内容

1 特性	1	7.2 功能方框图	21
2 应用	1	7.3 特性说明	22
3 说明	1	7.4 器件功能模式	23
4 器件比较表	2	8 应用和实施	24
5 引脚配置和功能	3	8.1 应用信息	24
6 规格	5	8.2 典型应用	24
6.1 绝对最大额定值.....	5	8.3 电源相关建议	26
6.2 ESD 等级.....	5	8.4 布局	26
6.3 建议运行条件.....	5	9 器件和文档支持	28
6.4 OPA863A 热性能信息.....	6	9.1 文档支持.....	28
6.5 OPA2863A 热性能信息.....	6	9.2 接收文档更新通知.....	28
6.6 电气特性 $V_S = \pm 5\text{ V}$	7	9.3 支持资源.....	28
6.7 电气特性 $V_S = 3\text{ V}$	10	9.4 商标.....	28
6.8 典型特性: $V_S = \pm 5\text{ V}$	12	9.5 静电放电警告.....	28
6.9 典型特性: $V_S = 3\text{ V}$	17	9.6 术语表.....	28
6.10 典型特性: $V_S = 3\text{ V}$ 至 10 V	19	10 修订历史记录	28
7 详细说明	21	11 机械、封装和可订购信息	28
7.1 概述.....	21		

4 器件比较表

器件	$\pm V_S$ (V)	I_Q /通道 (mA)	GBWP (MHz)	压摆率 (V/ μs)	电压噪声 (nV/ $\sqrt{\text{Hz}}$)	放大器说明
OPAx863A	± 6.3	0.80	50	100	6.3	单位增益稳定的 RRIO 双极放大器
LMH6643	± 6.4	2.7	65	130	17	单位增益稳定的 NRI/RRO 双极放大器
OPA810	± 13.5	3.6	70	200	6.3	单位增益稳定的 RRIO FET 输入放大器
OPA837	± 2.7	0.6	50	105	4.7	单位增益稳定的 NRI/RRO 双极放大器
OPA607	± 2.75	0.9	50	24	3.8	6V/V 稳定 CMOS 放大器的非完全补偿增益

5 引脚配置和功能

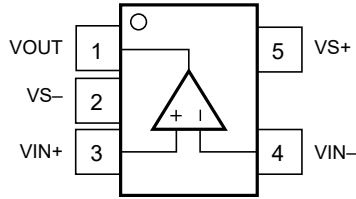


图 5-1. OPA863A DBV 封装，5 引脚 SOT-23 (顶视图)

表 5-1. 引脚功能：OPA863A

引脚		类型	说明
名称	编号		
VIN+	3	输入	非反相输入引脚
VIN-	4	输入	反相输入引脚
VOUT	1	输出	输出引脚
VS -	2	电源	负极电源输入引脚
VS+	5	电源	正极电源引脚

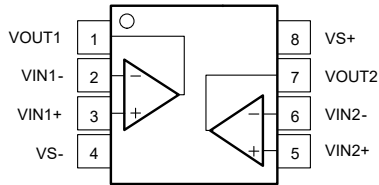


图 5-2. OPA2863A D 封装，
8 引脚 SOIC 和 DGK 封装，
8 引脚 VSSOP (顶视图)

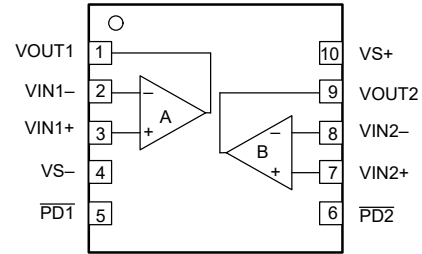


图 5-3. OPA2863A DSN 封装，10 引脚 USON (带有
外露散热焊盘) (顶视图)

表 5-2. 引脚功能：OPA2863A

引脚			类型	说明
名称	编号			
	D (SOIC)、 DGK (VSSOP)	DSN (USON)		
PD1	—	5	输入	放大器 1 断电。 低电平 = 禁用，高电平 = 启用
PD2	—	6	输入	放大器 2 断电。 低电平 = 禁用，高电平 = 启用
VIN1 -	2	2	输入	放大器 1 反相输入引脚
VIN1+	3	3	输入	放大器 1 非反相输入引脚
VIN2 -	6	8	输入	放大器 2 反相输入引脚
VIN2+	5	7	输入	放大器 2 非反相输入引脚
VOUT1	1	1	输出	放大器 1 输出引脚
VOUT2	7	9	输出	放大器 2 输出引脚
VS -	4	4	电源	负极电源输入引脚
VS+	8	10	电源	正极电源引脚

表 5-2. 引脚功能：OPA2863A（续）

引脚			类型	说明
名称	编号			
	D (SOIC)、 DGK (VSSOP)	DSN (USON)		
散热焊盘	—	散热焊盘	—	散热焊盘。与器件电气隔离。连接到散热平面，通常为接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{S-} 至 V_{S+}	电源电压		13	V
	电源导通/关断最大 dV/dT		1	V/ μ s
V_I	输入电压	$V_{S-} - 0.5$	$V_{S+} + 0.5$	V
V_{ID}	差分输入电压		± 1	V
I_I	连续输入电流 ⁽²⁾		± 10	mA
I_O	连续输出电流 ⁽³⁾		± 30	mA
	连续功耗	请参阅 热性能信息		
T_J	结温		150	°C
T_A	工作环境温度	-40	125	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
- (2) ESD 二极管到电源引脚和放大器差分输入钳位二极管有连续输入电流限制。差分输入钳位二极管将两个输入端之间的电压限制为 1V，持续输入电流流经这些二极管。
- (3) 用于电迁移限制的长期连续电流。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{S-} 至 V_{S+}	总电源电压	2.7	10	12.6	V
T_A	环境温度	-40	25	125	°C

6.4 OPA863A 热性能信息

热指标 ⁽¹⁾		OPA863A	单位
		DBV (SOT-23)	
		5 引脚	
$R_{\theta JA}$	结至环境热阻	191.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	122.9	°C/W
$R_{\theta JB}$	结至电路板热阻	91.6	°C/W
Ψ_{JT}	结至顶部特征参数	65.5	°C/W
Ψ_{JB}	结至电路板特征参数	91.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 OPA2863A 热性能信息

热指标 ⁽¹⁾		OPA2863A			单位
		D (SOIC)	DGK (VSSOP)	DSN (USON)	
		8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	120.0	180.3	52.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	63.3	67.5	41.7	°C/W
$R_{\theta JB}$	结至电路板热阻	63.2	101.9	25.5	°C/W
Ψ_{JT}	结至顶部特征参数	17.2	9.8	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	62.5	100.1	25.5	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	8.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.6 电气特性 $V_S = \pm 5\text{ V}$

$G = 1\text{ V/V}$ 时, $R_F = 0\ \Omega$, 否则, 其他增益时, $R_F = 1\text{ k}\Omega$, $C_L = 1\text{ pF}$, $R_L = 2\text{ k}\Omega$ (参考 $1/2\text{ Vs}$), $G = 1\text{ V/V}$, 输入和输出参考 $1/2\text{ Vs}$, 且 $T_A \approx 25^\circ\text{C}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SSBW	微小信号带宽	$V_{OUT} = 20\text{ mV}_{PP}$, $G = 1$		105		MHz
GBWP	增益带宽积			50		MHz
LSBW	大信号带宽	$V_{OUT} = 2V_{PP}$		14		MHz
	0.1dB 平坦度带宽	$V_{OUT} = 20\text{ mV}_{PP}$		15		MHz
SR	压摆率	$V_{OUT} = 2\text{-V}$ 阶跃		100		V/ μs
	上升/下降时间	$V_{OUT} = 200\text{-mV}$ 阶跃		9		ns
	趋稳时间	至 0.1%, $V_{OUT} = 2\text{-V}$ 阶跃		50		ns
		至 0.01%, $V_{OUT} = 2\text{-V}$ 阶跃		70		
	过冲和下冲	$V_{OUT} = 2\text{-V}$ 阶跃		1		%
	过驱恢复时间	$G = -1$, 0.5-V 过驱超出电源		70		ns
		$G = 1$, 0.5-V 过驱超出电源		90		
HD2	二阶谐波失真	$f = 20\text{ kHz}$, $V_{OUT} = 2V_{PP}$		-129		dBc
HD3	三阶谐波失真	$f = 20\text{ kHz}$, $V_{OUT} = 2V_{PP}$		-138		dBc
HD2	二阶谐波失真	$f = 100\text{ kHz}$, $V_{OUT} = 2V_{PP}$		-107		dBc
HD3	三阶谐波失真	$f = 100\text{ kHz}$, $V_{OUT} = 2V_{PP}$		-125		dBc
e_N	输入电压噪声			6.3		nV/ $\sqrt{\text{Hz}}$
i_N	输入电流噪声			0.5		pA/ $\sqrt{\text{Hz}}$
	闭环输出阻抗	$f = 1\text{ MHz}$		0.2		Ω
	通道间串扰	$f = 1\text{ Mhz}$, 一个通道上的 $V_{OUT} = 2\text{ V}_{PP}$		-120		dBc
直流性能						
A_{OL}	开环电压增益	$V_{OUT} = \pm 2.5\text{ V}$	110	128		dB
V_{OS}	输入失调电压		-95	± 10	95	μV
	输入失调电压漂移	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-1.2	± 0.3	1.2	$\mu\text{V}/^\circ\text{C}$
	输入偏置电流	$T_A \approx 25^\circ\text{C}$		0.3	0.73	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			1.2	
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			1.6	
	输入偏置电流漂移	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 3		nA/ $^\circ\text{C}$
	输入失调电流		-30	± 10	30	nA
输入						
	输入共模电压		$V_{S-} - 0.2$		$V_{S+} + 0.2$	V
CMRR	共模抑制比	$V_{CM} = V_{S-} - 0.2\text{ V}$ 至 $V_{S+} - 1.6\text{ V}$	95	120		dB
	输入阻抗共模			650 0.8		M Ω pF
	输入阻抗差模			200 0.5		k Ω pF
输出						
V_{OL}	输出电压, 低位	$T_A \approx 25^\circ\text{C}$		$V_{S-} + 0.14$	$V_{S-} + 0.2$	V
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		$V_{S-} + 0.15$	$V_{S-} + 0.22$	
V_{OH}	输出电压, 高位	$T_A \approx 25^\circ\text{C}$		$V_{S+} - 0.2$	$V_{S+} - 0.14$	V
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		$V_{S+} - 0.2$	$V_{S+} - 0.15$	
	线性输出驱动 (拉电流和灌电流)	$V_{OUT} = \pm 2.5\text{ V}$, $\Delta V_{OS} < 1\text{ mV}^{(1)}$	23	30		mA

6.6 电气特性 $V_S = \pm 5\text{ V}$ (续)

$G = 1\text{ V/V}$ 时, $R_F = 0\ \Omega$, 否则, 其他增益时, $R_F = 1\text{ k}\Omega$, $C_L = 1\text{ pF}$, $R_L = 2\text{ k}\Omega$ (参考 $1/2\text{ V}_S$), $G = 1\text{ V/V}$, 输入和输出参考 $1/2\text{ V}_S$, 且 $T_A \cong 25^\circ\text{C}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
	短路电流			45		mA

6.6 电气特性 $V_S = \pm 5\text{ V}$ (续)

$G = 1\text{ V/V}$ 时, $R_F = 0\ \Omega$, 否则, 其他增益时, $R_F = 1\text{ k}\Omega$, $C_L = 1\text{ pF}$, $R_L = 2\text{ k}\Omega$ (参考 $1/2\ V_S$), $G = 1\text{ V/V}$, 输入和输出参考 $1/2\ V_S$, 且 $T_A \approx 25^\circ\text{C}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_Q	每个放大器的静态电流	$T_A \approx 25^\circ\text{C}$		800	925	μA
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			1040	
PSRR	电源抑制比	$\Delta V_S = \pm 2\text{ V}^{(2)}$	100	120		dB
断电						
	启用电压阈值	规定 $> V_{S+} - 0.5\text{ V}$ 时 <i>导通</i>			4.5	V
	禁用电压阈值	规定 $< V_{S+} - 1.5\text{ V}$ 时 <i>关断</i>	3.5			V
	每通道断电静态电流	$V_{PD} \leq V_{S+} - 1.5\text{ V}$		11	28	μA
		$V_{PD} \leq V_{S+} - 1.5\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			35	
	的断电引脚偏置电流			1	2.5	μA
	开通延时时间			8		μs
	关断延时时间			3.5		μs
辅助输入级						
	增益带宽积			50		MHz
	输入电压噪声			6.3		$\text{nV}/\sqrt{\text{Hz}}$
	输入电流噪声			0.5		$\text{pA}/\sqrt{\text{Hz}}$
	输入失调电压		-95	± 10	95	μV
	输入偏置电流	$T_A \approx 25^\circ\text{C}$		0.2	0.6	μA
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.2	1.3	
	共模抑制比	$V_{CM} = 4.1\text{ V}$ 至 5.2 V		120		dB
	电源抑制比	$\Delta V_S = \pm 0.6\text{ V}$		120		dB

- (1) 无负载条件下的输入失调电压变化。
 (2) 电源电压在默认测试条件的变化, 仅正电源或负电源随 $+PSRR$ 和 $-PSRR$ 而变化。

6.7 电气特性 $V_S = 3V$

$G = 1V/V$ 时, $R_F = 0\ \Omega$, 否则, 其他增益时, $R_F = 1\ k\Omega$, $C_L = 1\ pF$, $R_L = 2\ k\Omega$ (连接至 $1V$), $G = 1V/V$, 输入和输出 $V_{CM} = 1V$, 且 $T_A \approx 25^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SSBW	微小信号带宽	$V_{OUT} = 20\ mV_{PP}$, $G = 1$		85		MHz
GBWP	增益带宽积			50		MHz
LSBW	大信号带宽	$V_{OUT} = 1V_{PP}$		23		MHz
	0.1dB 平坦度带宽	$V_{OUT} = 20mV_{PP}$		10		MHz
SR	压摆率	$V_{OUT} = 1-V$ 阶跃		53		V/ μs
	上升/下降时间	$V_{OUT} = 200-mV$ 阶跃		10		ns
	稳定时间	至 0.1%, $V_{OUT} = 1-V$ 阶跃		58		ns
		至 0.01%, $V_{OUT} = 1-V$ 阶跃		90		
	过冲	$V_{OUT} = 1-V$ 阶跃		2		%
	下冲	$V_{OUT} = 1-V$ 阶跃		16		%
	过驱恢复时间	$G = -1$, 0.5-V 过驱超出电源		85		ns
		$G = 1$, 0.5-V 过驱超出电源		130		
HD2	二阶谐波失真	$f = 20kHz$, $V_{OUT} = 1V_{PP}$		-123		dBc
HD3	三阶谐波失真	$f = 20kHz$, $V_{OUT} = 1V_{PP}$		-132		dBc
HD2	二阶谐波失真	$f = 100kHz$, $V_{OUT} = 1V_{PP}$		-109		dBc
HD3	三阶谐波失真	$f = 100kHz$, $V_{OUT} = 1V_{PP}$		-129		dBc
e_N	输入电压噪声			6.3		nV/ $\sqrt{Hz}$
i_N	输入电流噪声			0.5		pA/ $\sqrt{Hz}$
	闭环输出阻抗	$f = 1MHz$		0.2		Ω
	通道间串扰	$f = 1\ Mhz$, 一个通道上的 $V_{OUT} = 1\ V_{PP}$		-120		dBc
直流性能						
A_{OL}	开环电压增益	$V_{OUT} = 1\ V$ 至 $2\ V$	104	123		dB
V_{OS}	输入失调电压		-95	± 10	95	μV
	输入失调电压漂移	$T_A = -40^\circ C$ 至 $+125^\circ C$	-1.2	± 0.3	1.2	$\mu V/^\circ C$
	输入偏置电流	$T_A \approx 25^\circ C$		0.3	0.73	μA
		$T_A = -40^\circ C$ 至 $+85^\circ C$			1.2	
		$T_A = -40^\circ C$ 至 $+125^\circ C$			1.56	
	输入偏置电流漂移	$T_A = -40^\circ C$ 至 $+125^\circ C$		± 3		nA/ $^\circ C$
	输入失调电流		-30	± 10	30	nA
输入						
	输入共模电压		$V_{S-} - 0.2$		$V_{S+} + 0.2$	V
CMRR	共模抑制比	$V_{CM} = V_{S-} - 0.2\ V$ 至 $V_{S+} - 1.6\ V$	92	115		dB
	输入阻抗共模			$360 \parallel 0.9$		M $\Omega \parallel pF$
	输入阻抗差模			$200 \parallel 0.5$		k $\Omega \parallel pF$
输出						
V_{OL}	输出电压, 低位	$T_A \approx 25^\circ C$		$V_{S-} + 0.13$	$V_{S-} + 0.15$	V
		$T_A = -40^\circ C$ 至 $+125^\circ C$		$V_{S-} + 0.13$	$V_{S-} + 0.16$	
V_{OH}	输出电压, 高位	$T_A \approx 25^\circ C$	$V_{S+} - 0.15$	$V_{S+} - 0.13$		V
		$T_A = -40^\circ C$ 至 $+125^\circ C$	$V_{S+} - 0.15$	$V_{S+} - 0.13$		

6.7 电气特性 $V_S = 3V$ (续)

$G = 1V/V$ 时, $R_F = 0 \Omega$, 否则, 其他增益时, $R_F = 1 k\Omega$, $C_L = 1 pF$, $R_L = 2 k\Omega$ (连接至 $1V$), $G = 1V/V$, 输入和输出 $V_{CM} = 1V$, 且 $T_A \approx 25^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
	线性输出驱动 (拉电流和灌电流)	$V_{OUT} = \pm 0.7V$, $\Delta V_{OS} < 1 mV^{(1)}$	23	33		mA
	短路电流			45		mA
电源						
I_Q	每个放大器的静态电流	$T_A \approx 25^\circ C$		770	890	μA
		$T_A = -40^\circ C$ 至 $+125^\circ C$			995	
PSRR	电源抑制比	$V_{CM} = \pm 1V^{(2)}$	100	120		dB
断电						
	启用电压阈值	规定 $> V_{S+} - 0.5V$ 时 <i>导通</i>			2.5	V
	禁用电压阈值	规定 $< V_{S+} - 1.5V$ 时 <i>关断</i>	1.5			V
	每通道断电静态电流	$V_{PD} \leq V_{S+} - 1.5V$		8.5	20	μA
		$V_{PD} \leq V_{S+} - 1.5V$, $T_A = -40^\circ C$ 至 $+125^\circ C$			30	
	的断电引脚偏置电流			1	2.5	μA
	开通延时时间			8		μs
	关断延时时间			3.5		μs
辅助输入级						
	增益带宽积			50		MHz
	输入电压噪声			6.3		$nV/\sqrt{Hz}$
	输入电流噪声			0.5		$pA/\sqrt{Hz}$
	输入失调电压		-95	± 10	95	μV
	输入偏置电流	$T_A \approx 25^\circ C$		0.2	0.6	μA
		$T_A = -40^\circ C$ 至 $+125^\circ C$		0.4	1.2	
	共模抑制比	$V_{CM} = 2.1V$ 至 $3.2V$		115		dB
	电源抑制比	$\Delta V_S = \pm 0.6V$		115		dB

(1) 无负载条件下的输入失调电压变化。

(2) 电源电压在默认测试条件的变化, 仅正电源或负电源随 +PSRR 和 -PSRR 而变化。

6.8 典型特性： $V_S = \pm 5V$

$V_{S+} = 5V$ 的情况下, $V_{S-} = -5V$, $G = 1V/V$ 时 $R_F = 0\Omega$, 否则, 其他增益时, $R_F = 1k\Omega$, $C_L = 1pF$, $R_L = 2k\Omega$ (参考 1/2 V_S), $G = 1V/V$, 输入和输出参考 1/2 V_S , 且 $T_A \approx 25^\circ C$ (除非另有说明)

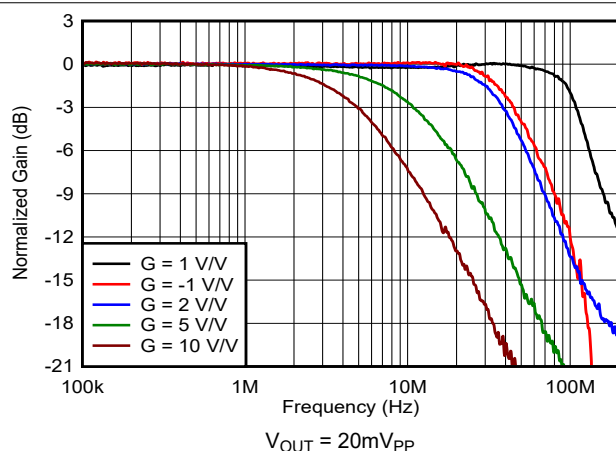


图 6-1. 小信号频率响应与增益间的关系

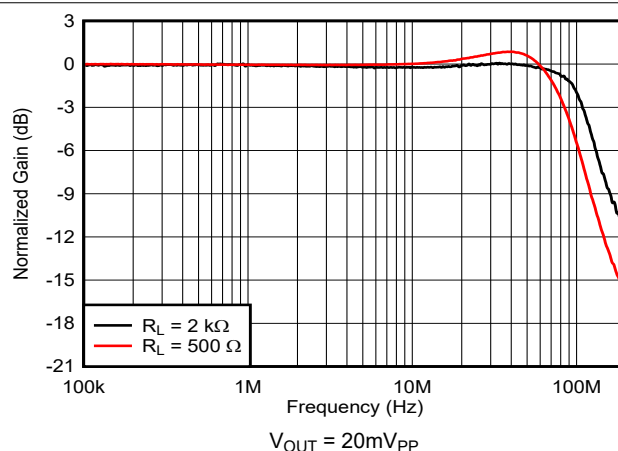


图 6-2. 微小信号频率响应与输出负载间的关系

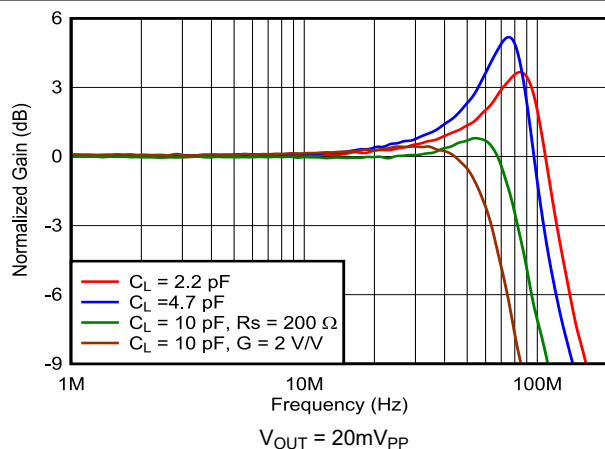


图 6-3. 频率响应与电容负载间的关系

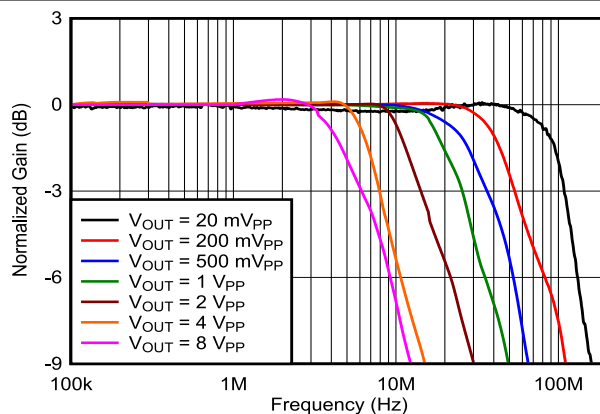


图 6-4. 频率响应与输出电压间的关系

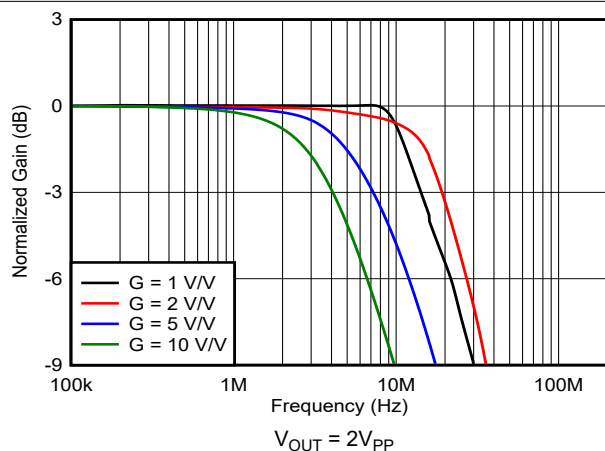


图 6-5. 大信号频率响应与增益间的关系

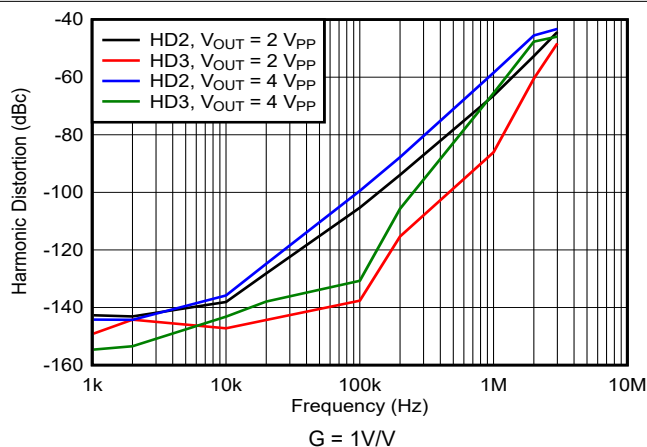


图 6-6. 谐波失真与频率间的关系

6.8 典型特性： $V_S = \pm 5V$ （续）

$V_{S+} = 5V$ 的情况下， $V_{S-} = -5V$ ， $G = 1V/V$ 时 $R_F = 0\Omega$ ，否则，其他增益时， $R_F = 1k\Omega$ ， $C_L = 1pF$ ， $R_L = 2k\Omega$ （参考 1/2 V_S ）， $G = 1V/V$ ，输入和输出参考 1/2 V_S ，且 $T_A \approx 25^\circ C$ （除非另有说明）

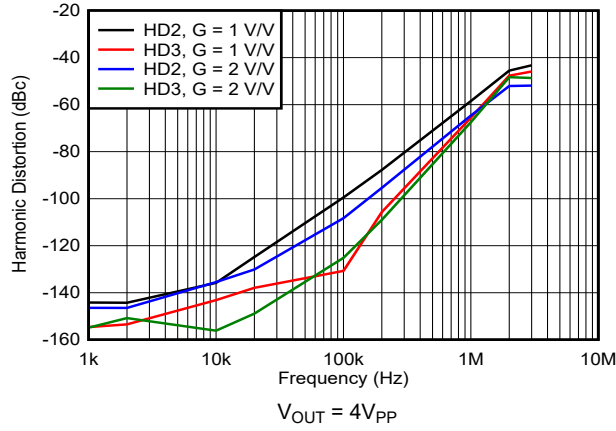


图 6-7. 谐波失真与增益间的关系

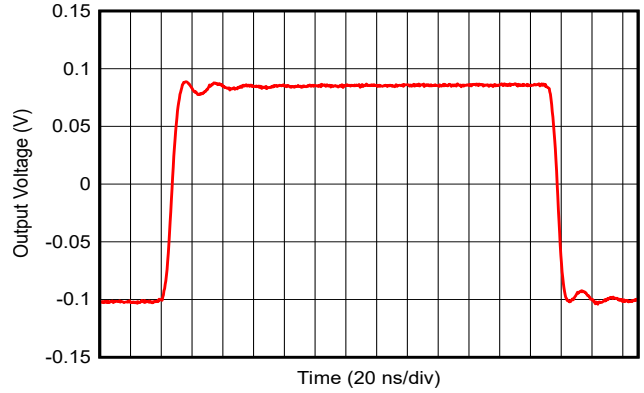


图 6-8. 小信号瞬态响应

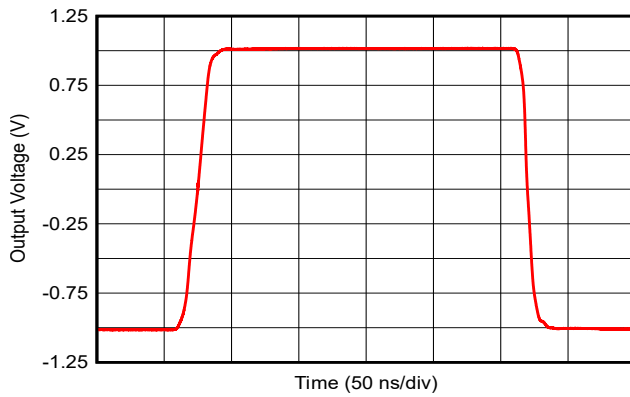


图 6-9. 大信号瞬态响应

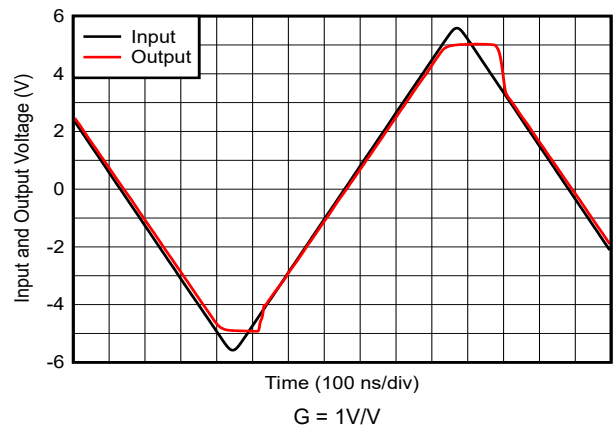


图 6-10. 输入过驱恢复

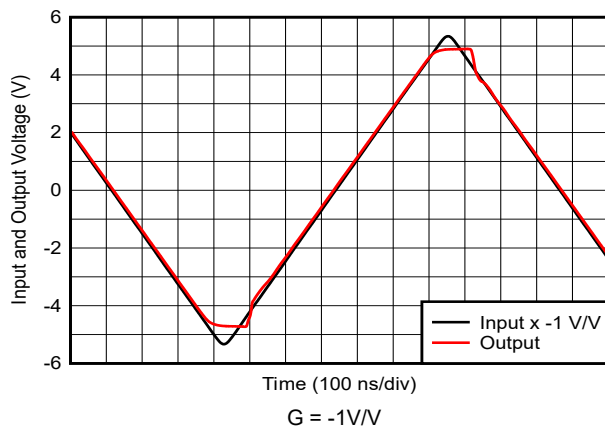


图 6-11. 输出过驱恢复

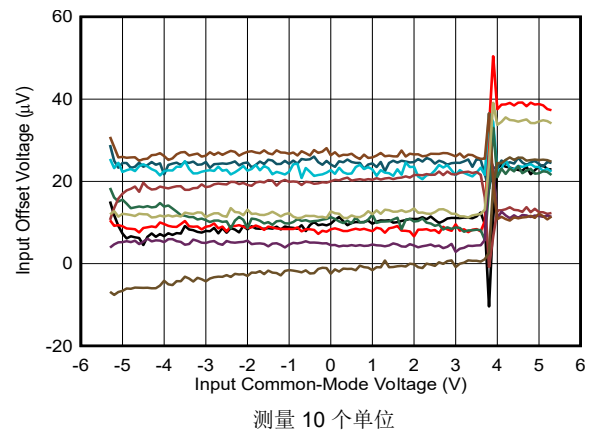


图 6-12. 输入失调电压与输入共模电压间的关系

6.8 典型特性： $V_S = \pm 5V$ （续）

$V_{S+} = 5V$ 的情况下， $V_{S-} = -5V$ ， $G = 1V/V$ 时 $R_F = 0\Omega$ ，否则，其他增益时， $R_F = 1k\Omega$ ， $C_L = 1pF$ ， $R_L = 2k\Omega$ （参考 1/2 V_S ）， $G = 1V/V$ ，输入和输出参考 1/2 V_S ，且 $T_A \cong 25^\circ C$ （除非另有说明）

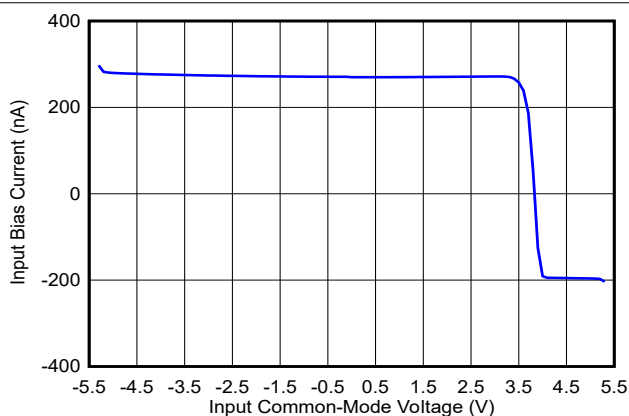


图 6-13. 输入偏置电流与输入共模电压间的关系

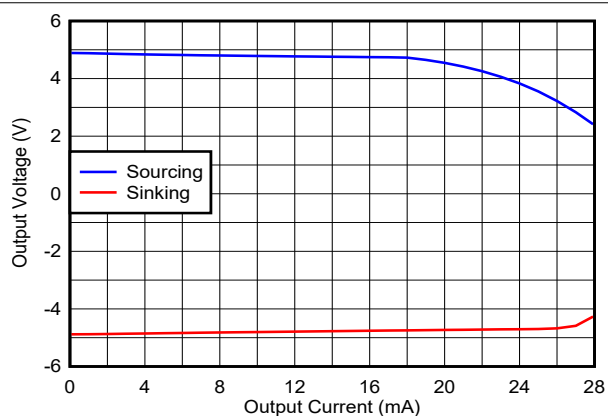
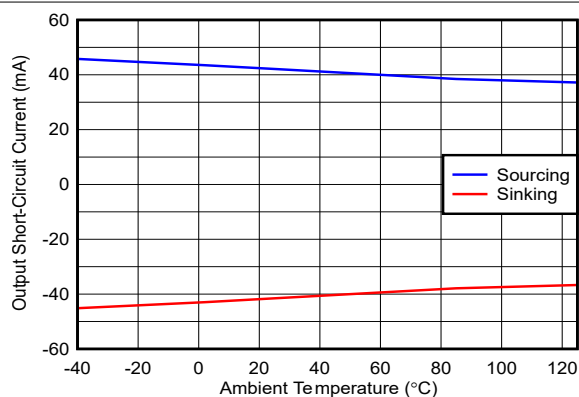
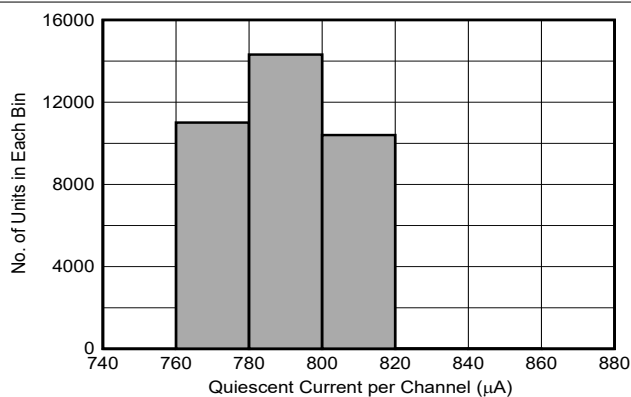


图 6-14. 输出电压与负载电流间的关系



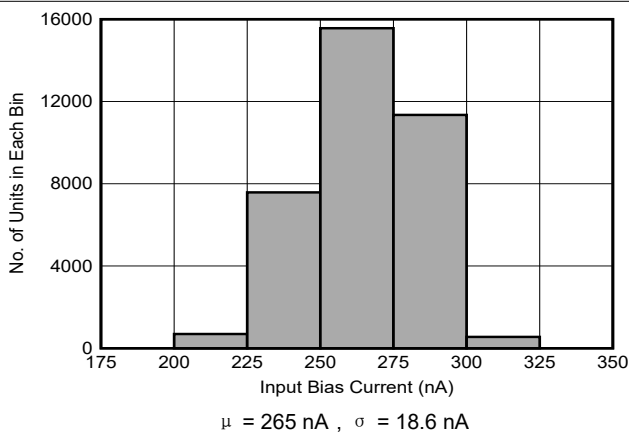
输出饱和，然后对相反电源短路

图 6-15. 输出短路电流与环境温度间的关系



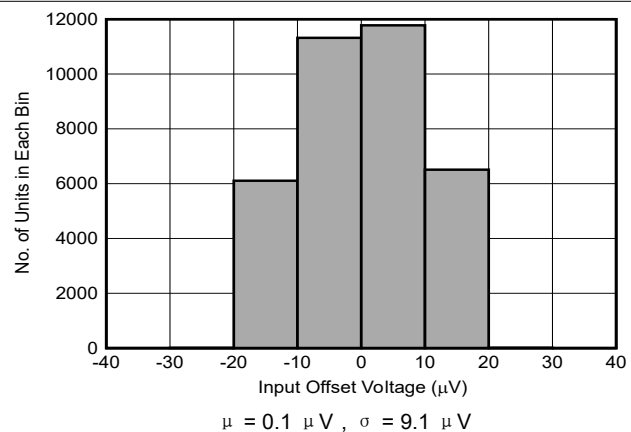
$\mu = 790 \mu A$ ， $\sigma = 13.8 \mu A$

图 6-16. 静态电流分布



$\mu = 265 nA$ ， $\sigma = 18.6 nA$

图 6-17. 输入偏置电流分布

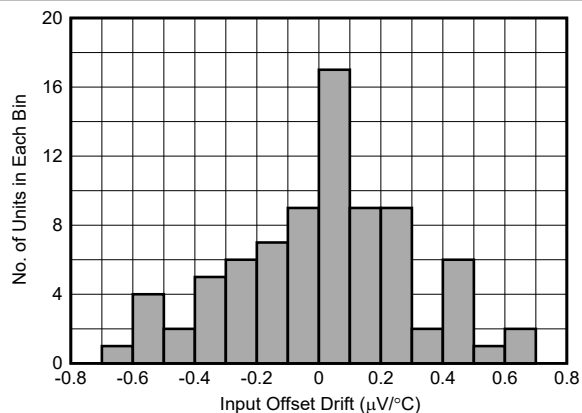


$\mu = 0.1 \mu V$ ， $\sigma = 9.1 \mu V$

图 6-18. 输入失调电压分布

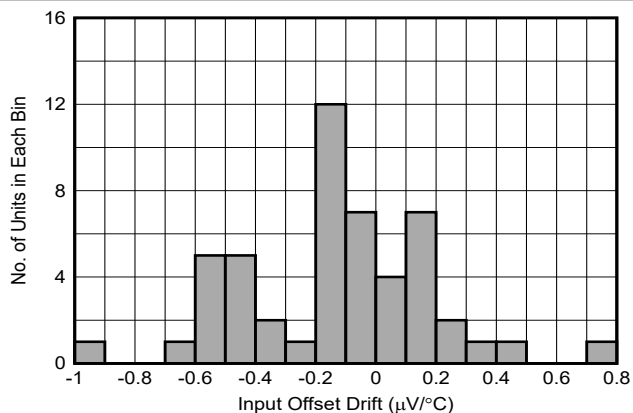
6.8 典型特性： $V_S = \pm 5V$ （续）

$V_{S+} = 5V$ 的情况下， $V_{S-} = -5V$ ， $G = 1V/V$ 时 $R_F = 0\Omega$ ，否则，其他增益时， $R_F = 1k\Omega$ ， $C_L = 1pF$ ， $R_L = 2k\Omega$ （参考 1/2 V_S ）， $G = 1V/V$ ，输入和输出参考 1/2 V_S ，且 $T_A \approx 25^\circ C$ （除非另有说明）



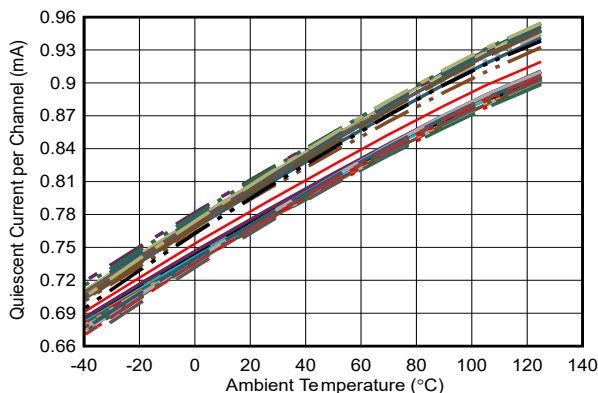
80 个单位， $\mu = 0.01 \mu V/^\circ C$ ， $\sigma = 0.29 \mu V/^\circ C$ ，DSN 封装

图 6-19. 输入失调电压漂移分布



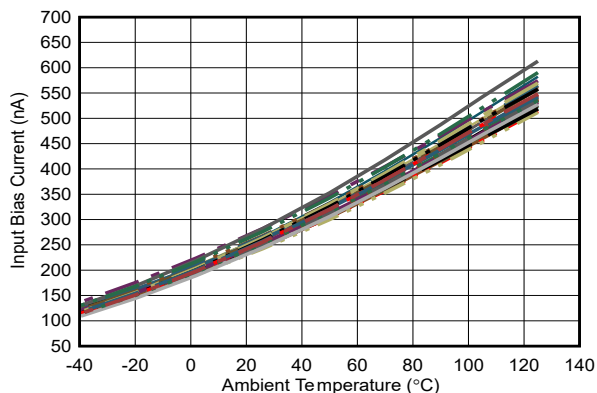
50 个单位， $\mu = -0.12 \mu V/^\circ C$ ， $\sigma = 0.31 \mu V/^\circ C$ ，DBV-5 封装

图 6-20. 输入失调电压漂移分布



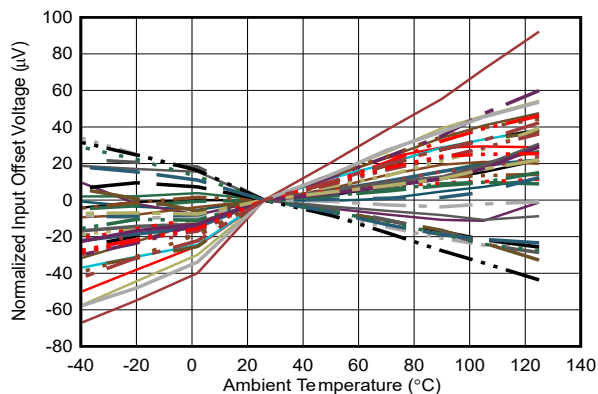
35 个单元

图 6-21. 静态电流与环境温度间的关系



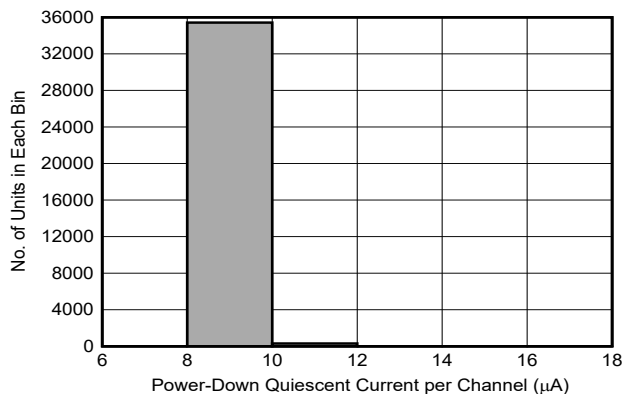
35 个单元

图 6-22. 输入偏置电流与环境温度间的关系



标准化为 25°C 值、35 个单位、DSN 封装

图 6-23. 输入失调电压与环境温度间的关系



$\mu = 9.3 \mu A$ ， $\sigma = 0.32 \mu A$

图 6-24. 关断静态电流分布

6.8 典型特性： $V_S = \pm 5V$ （续）

$V_{S+} = 5V$ 的情况下， $V_{S-} = -5V$ ， $G = 1V/V$ 时 $R_F = 0\Omega$ ，否则，其他增益时， $R_F = 1k\Omega$ ， $C_L = 1pF$ ， $R_L = 2k\Omega$ （参考 1/2 V_S ）， $G = 1V/V$ ，输入和输出参考 1/2 V_S ，且 $T_A \cong 25^\circ C$ （除非另有说明）

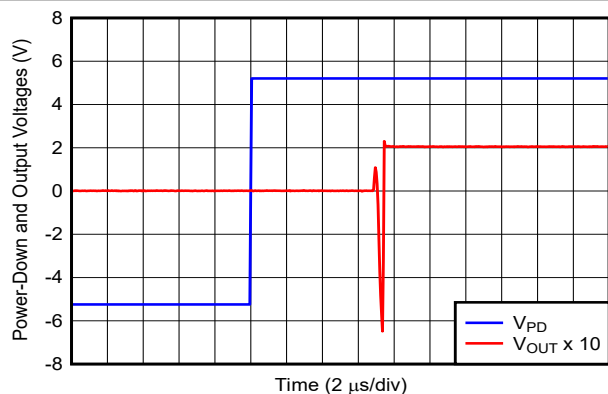


图 6-25. 直流输入的导通时间

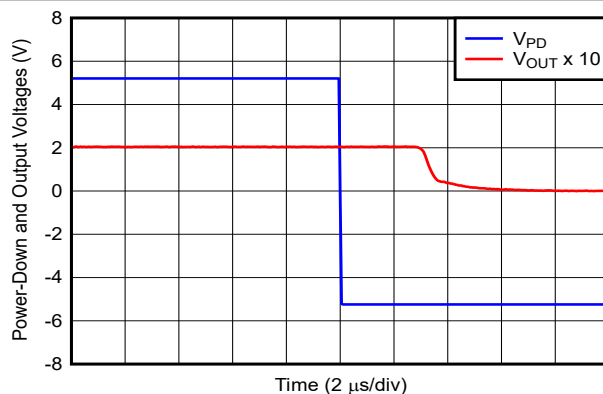
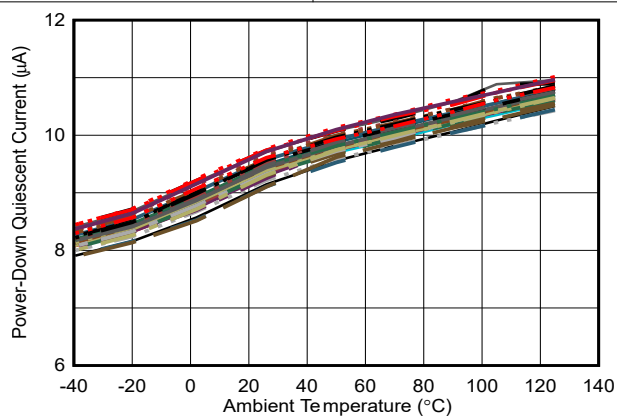


图 6-26. 直流输入的关断时间

图 6-27. 断电 I_Q 与环境温度间的关系

6.9 典型特性 : $V_S = 3V$

$V_{S+} = 3V$ 的情况下, $V_{S-} = 0V$, $G = 1V/V$ 时, $R_F = 0\Omega$, 否则, 其他增益时, $R_F = 1k\Omega$, $C_L = 1pF$, $R_L = 2k\Omega$ (连接至 $1V$), $G = 1V/V$, 输入和输出 $V_{CM} = 1V$, 且 $T_A \cong 25^\circ C$ (除非另有说明)

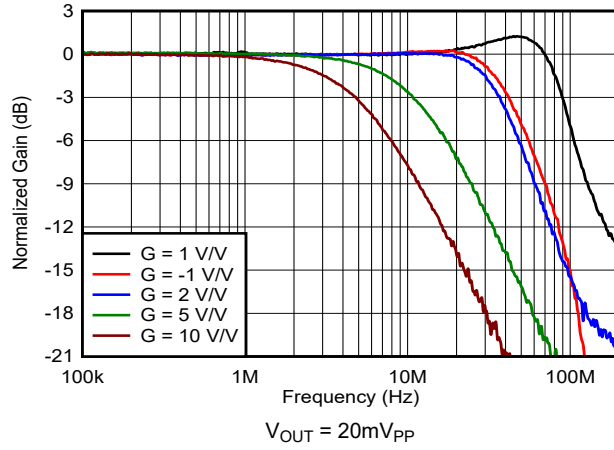


图 6-28. 小信号频率响应与增益间的关系

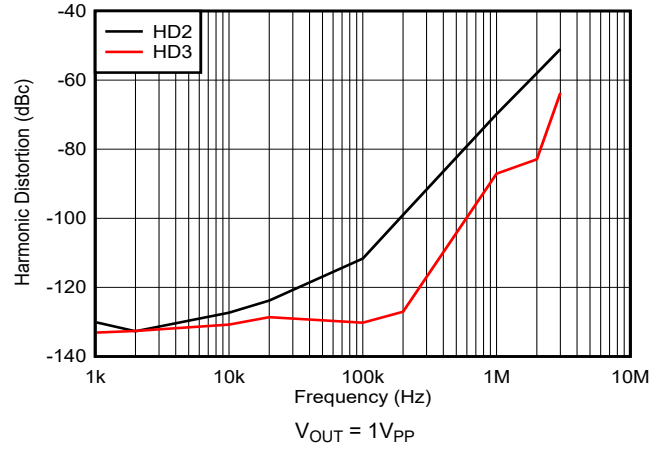


图 6-29. 谐波失真与频率间的关系

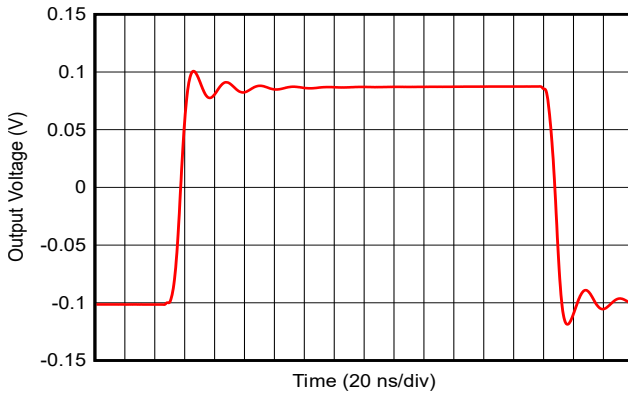


图 6-30. 小信号瞬态响应

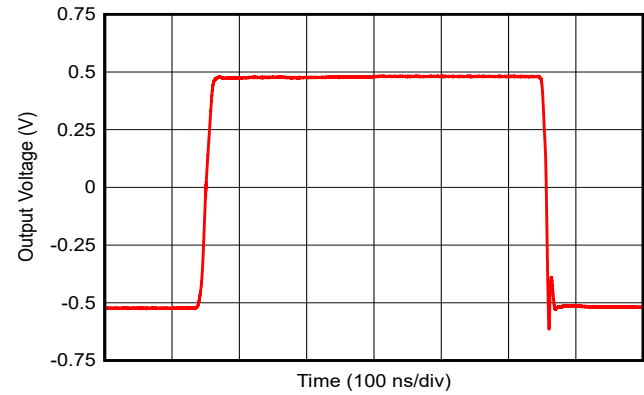


图 6-31. 大信号瞬态响应

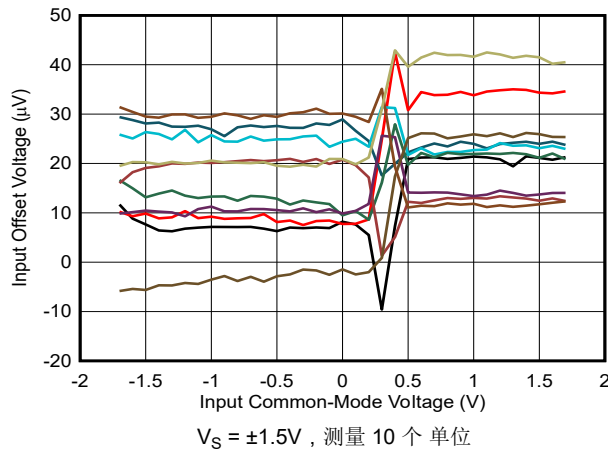


图 6-32. 输入失调电压与输入共模电压间的关系

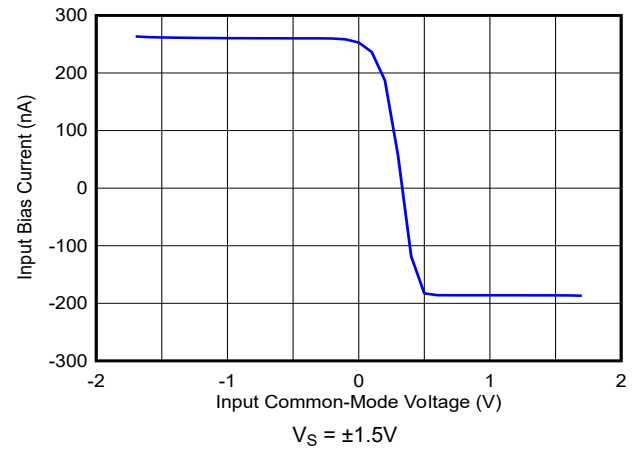


图 6-33. 输入偏置电流与输入共模电压间的关系

6.9 典型特性： $V_S = 3V$ (续)

$V_{S+} = 3V$ 的情况下, $V_{S-} = 0V$, $G = 1V/V$ 时, $R_F = 0\Omega$, 否则, 其他增益时, $R_F = 1k\Omega$, $C_L = 1pF$, $R_L = 2k\Omega$ (连接至 $1V$), $G = 1V/V$, 输入和输出 $V_{CM} = 1V$, 且 $T_A \cong 25^\circ C$ (除非另有说明)

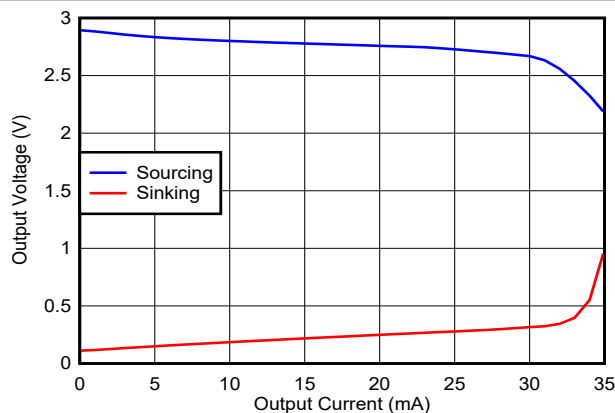
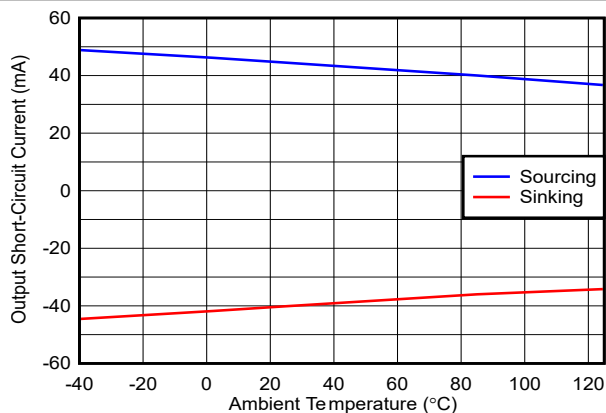


图 6-34. 输出电压与负载电流间的关系



输出饱和, 然后对其他电源短路

图 6-35. 输出短路电流与环境温度间的关系

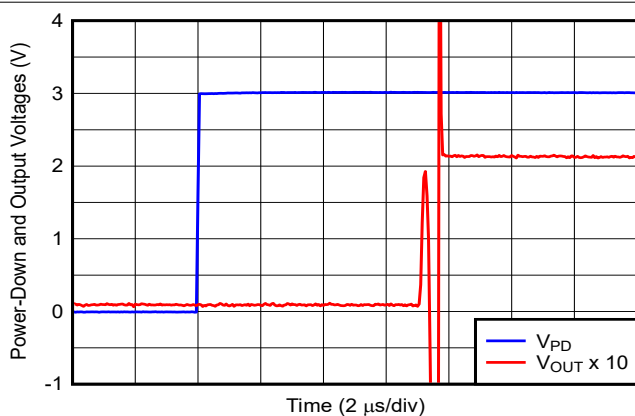


图 6-36. 直流输入的导通时间

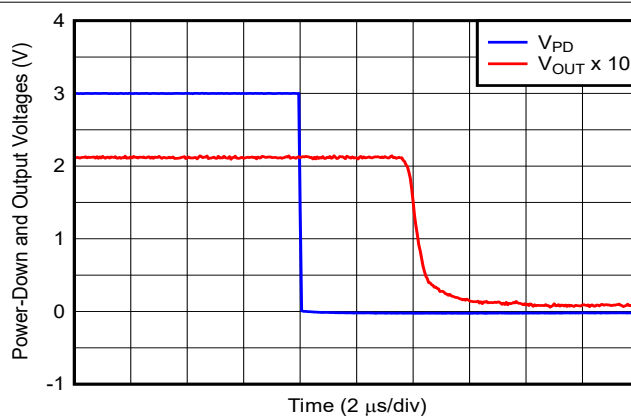


图 6-37. 直流输入的关断时间

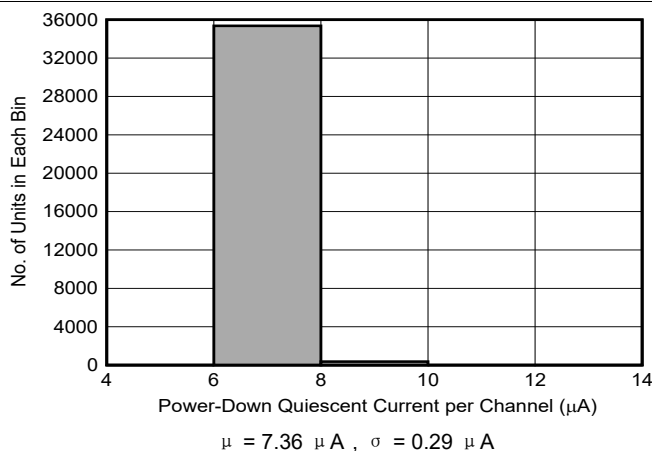
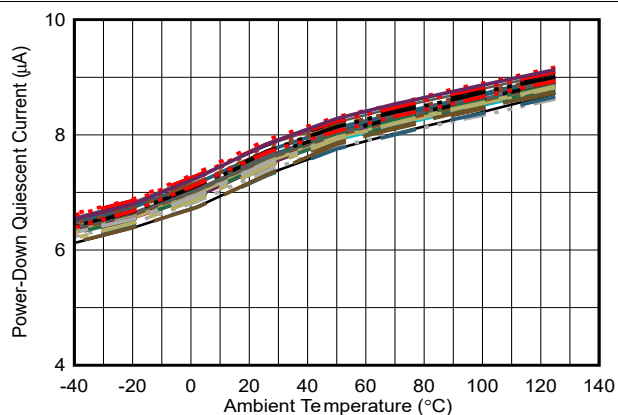


图 6-38. 关断静态电流分布

图 6-39. 断电 I_Q 与环境温度间的关系

6.10 典型特性：V_S = 3V 至 10V

V_{OUT} = 2 V_{PP} 的情况下，G = 1 V/V 时，R_F = 0 Ω，否则，其他增益时，R_F = 1 kΩ，C_L = 1 pF，R_L = 2 kΩ（参考 1/2 V_S），G = 1 V/V，输入和输出参考 1/2 V_S，且 T_A ≅ 25°C（除非另有说明）

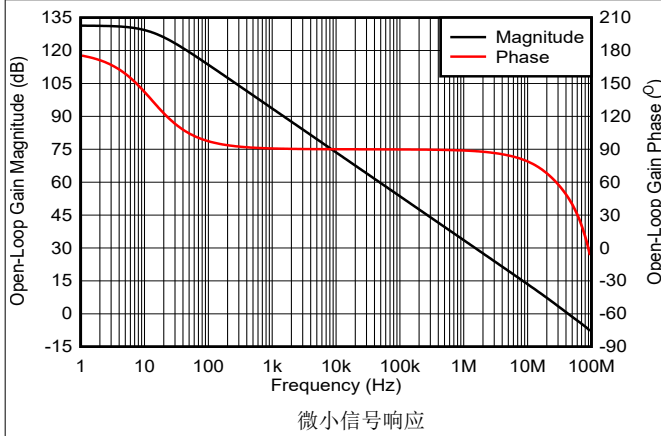


图 6-40. 开环增益和相位与频率间的关系

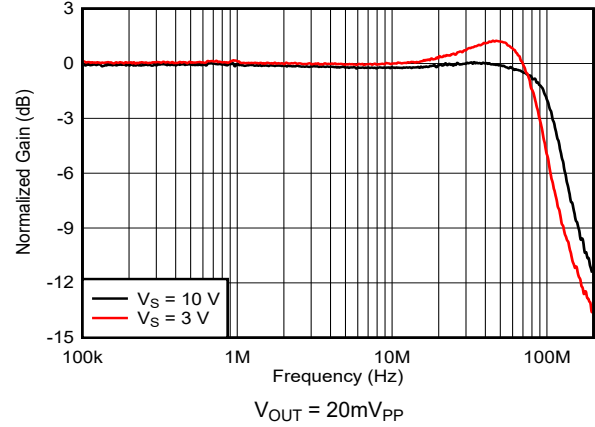


图 6-41. 频率响应与电源电压间的关系

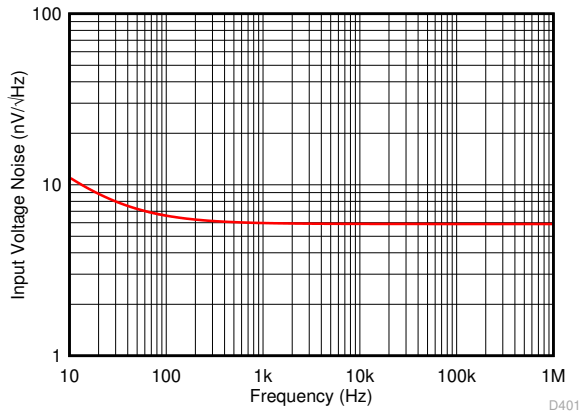


图 6-42. 输入电压噪声密度与频率间的关系

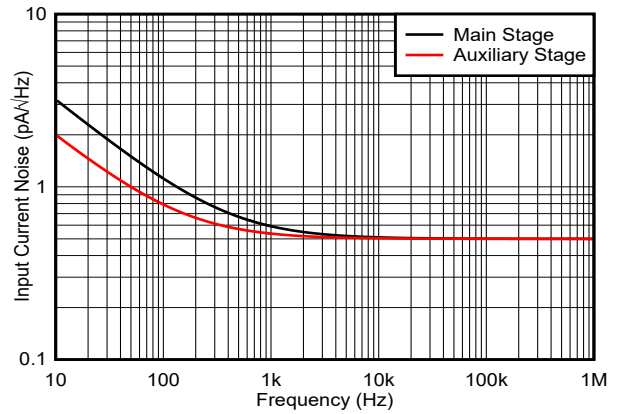


图 6-43. 输入电压噪声密度与频率间的关系

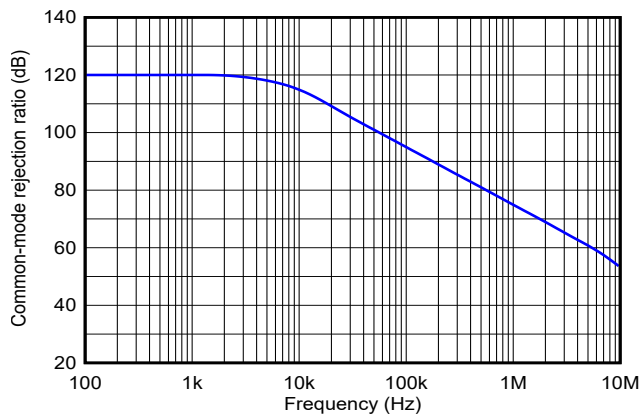


图 6-44. 共模抑制比与频率间的关系

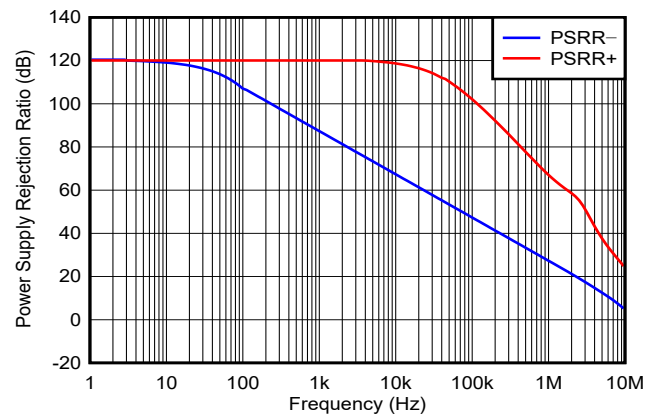


图 6-45. 电源抑制比与频率间的关系

6.10 典型特性： $V_S = 3V$ 至 $10V$ （续）

$V_{OUT} = 2 V_{PP}$ 的情况下， $G = 1 V/V$ 时， $R_F = 0 \Omega$ ，否则，其他增益时， $R_F = 1 k\Omega$ ， $C_L = 1 pF$ ， $R_L = 2 k\Omega$ （参考 $1/2 V_S$ ）， $G = 1 V/V$ ，输入和输出参考 $1/2 V_S$ ，且 $T_A \cong 25^\circ C$ （除非另有说明）

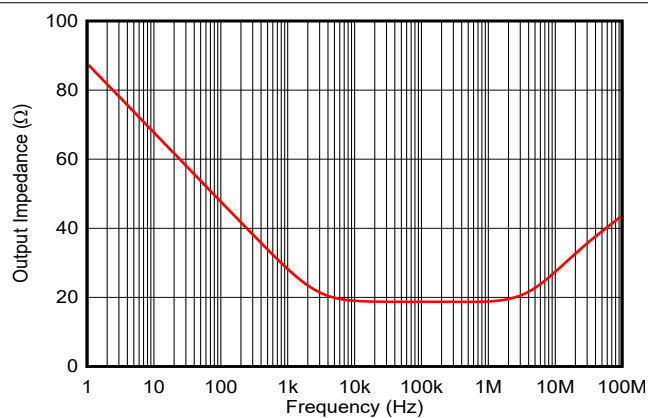


图 6-46. 开环输出阻抗与频率间的关系

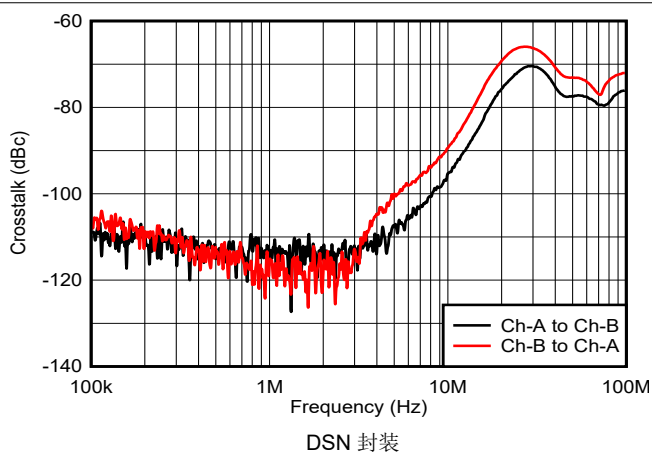


图 6-47. 串扰与频率间的关系

7 详细说明

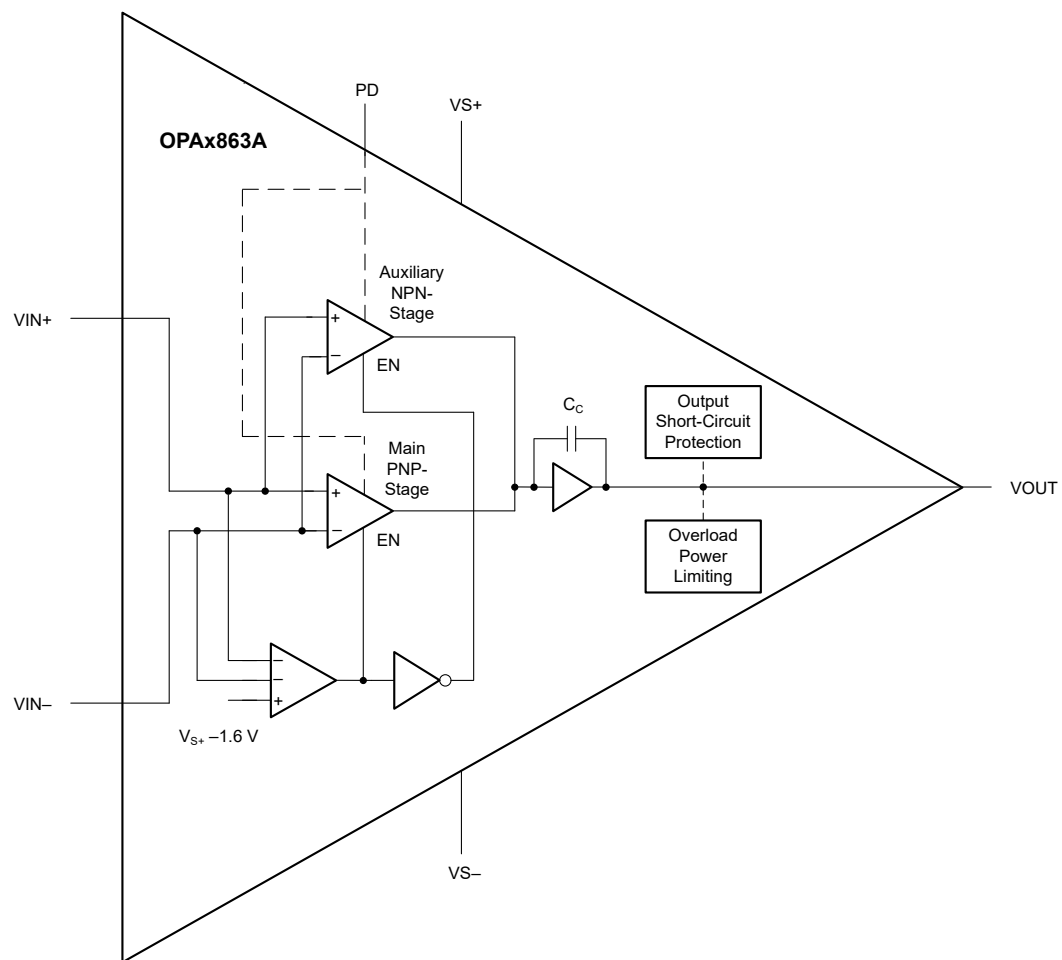
7.1 概述

OPAx863A 双极电压反馈放大器提供采用专有封装内修调技术的 **50MHz** 增益带宽积，可实现高精度性能，最大输入失调电压为 **95- μ V**，温移为 **1.2- μ V/°C**。**OPAx863A** 是低功耗、轨到轨输入和输出 (**RRIO**) 运算放大器，电压噪声密度为 **6.3 nV/√Hz**，1/f 噪声转角为 **25 Hz**。**OPAx863A** 可在 **2.7 V** 至 **12.6 V** 的宽电源电压范围内工作，仅消耗 **800 μ A** 的静态电流。**OPAx863A** 由 **2.7-V** 电源供电运行，支持 **RRIO**，功耗低，并可提供断电模式，因此非常适合需要出色交流性能的 **3.3-V** 或更低电压应用的放大器。放大器的主输入级和辅助输入级针对增益带宽积 (**GBW**)、噪声和失调电压进行匹配，专为需要宽动态输入范围和良好 **SNR** 的应用而设计。

该器件包含过载功率限制特性，限制任一电源轨的过载驱动和输出饱和的静态电流增加。有关此过载功率限制特性的详情请参见 [节 7.3.2.1](#)。放大器输出可避免出现短路故障情况。

OPAx863A 具有断电模式 (PD)，PD 静态电流为 20 μ A (最大值)，电源电压为 3-V，导通和关断时间小于 8 μ s。

7.2 功能方框图



7.3 特性说明

7.3.1 输入级

OPAx863A 包含一个轨到轨输入级。使用 PNP 双极晶体管的主级差分对在 $V_{S-} - 0.2\text{ V}$ 至 $V_{S+} - 1.6\text{ V}$ 的共模输入电压范围内运行。对于共模输入电压范围 $V_{S+} - 1.6\text{ V}$ 至 $V_{S+} + 0.2\text{ V}$ ，该放大器输入使用 NPN 晶体管转换到辅助级。PNP 和 NPN 输入级具有 50 MHz 的增益带宽积和 6.3 nV/√Hz 的电压噪声密度。两个输入级的失调电压匹配到器件规格范围内。在大信号瞬态响应期间，辅助 NPN 输入级不使用压摆增强电路。PNP 和 NPN 输入级的输入偏置电流在极性中是相反的，这会根据增益设置电阻器和反馈电阻器的值增加额外的失调电压。这些输入级之间的共模输入电压切换会导致交越失真，在需要出色线性度的高频应用中必须考虑这一点。对于整个工艺和环境温度范围内的主级运行，共模输入电压限制为 $V_{S+} - 1.6\text{ V}$ (最大值)。

OPAx863A 是双极放大器，因此，两个输入端由输入端之间的反并联、背对背二极管保护，可将最大输入差分电压限制在约 1 V。该放大器受到压摆限制，而两个输入端等到反并联二极管开始在极速输入或输出瞬态情况下导通时被拉开到 1 V。确保使用足够大的增益设置和反馈电阻器来限制在快速压摆条件下流经这些二极管的电流。

7.3.2 输出级

OPAx863A 具有轨到轨输出级，信号摆幅可能为 $V_{S-} + 0.2\text{ V}$ 至 $V_{S+} - 0.2\text{ V}$ 。超出任一电源的输出余量会导致输出信号截断以及失真。

OPAx863A 集成了一个输出短路保护电路，使该器件非常耐用，适合实际应用。

7.3.2.1 过载功率限制

在过载或故障情况下，双极轨到轨输出 (RRO) 放大器在输出饱和时消耗过多的静态电流 (五到七次)。当输出饱和时，来自输出预驱动器级的较高基极电流对输出信号进行限幅，从而导致器件静态电流增加。在这种情况下，禁用负反馈控制，因此出现输入差分电压，导致输入过驱。在输入过驱期间，压摆增强电路接合，导致尾电流增加，器件静态电流因此增加。整体增加静态电流会导致便携式产品中的电池过度放电，从而缩短工作寿命，或者破坏热平衡，导致因多通道设计中的系统功耗增加而产生不可逆转的损坏。

OPAx863A 包含智能过载检测电路，可监测输出饱和情况，并限制输出预驱动器电路的基极驱动，在这种情况下禁用压摆增强电路。表 7-1 对比 OPAx863A 器件在 500-mV 输入过驱时和其他无过载功率限制的电压反馈放大器的静态电流的增加情况。

表 7-1. 输出饱和的静态电流

器件	输入差分电压	过载期间的静态电流	稳态条件下 I_Q 的增加
具有过载功率限制的 OPAx863A	500mV	1.4mA	1.8 ×
无过载功率限制的同类竞争放大器	500mV	4.05mA	7.1 ×

7.3.3 ESD 保护

如图 7-1 所示，所有器件引脚都由连接到电源的内部 ESD 保护二极管进行保护。这些二极管会适当对大于电源的输入过驱电压进行保护。这些保护二极管通常可支持 10-mA 的连续输入和输出电流。如果放大器输入端的输入电压超过电源电压，请使用串联限流电阻，确保流经 ESD 二极管的电流保持在额定值范围内。OPA863A 是双极放大器，因此，两个输入端由输入端之间的反并联、背对背二极管保护，可将最大输入差分电压限制在约 1 V。确保使用足够大的增益设置和反馈电阻器来限制在快速压摆条件下流经这些二极管的电流。

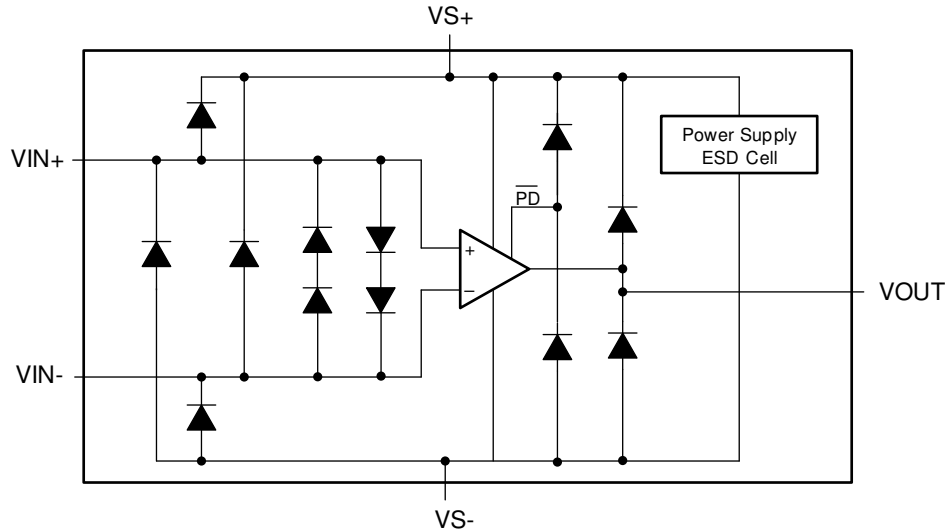


图 7-1. 内部 ESD 保护

7.4 器件功能模式

7.4.1 断电模式

OPA863A 包含用于低功耗待机运行的断电模式，静态电流为 8.5 μA (典型值)，输出阻抗较高。测量相关参数时，许多低功耗系统在短时间间隔内处于激活状态，在大部分时间内保持低功耗待机模式，总体平均功耗较小。OPA863A 可在不到 8 μs 的情况下实现快速导通的低功耗运行。有关断电引脚控制阈值，请参阅电气特性表。

OPA863A 可在 $\overline{\text{PD}}$ 引脚驱动至 $V_{S+} - 0.5\text{V}$ 或更高电压时启用。如果将 $\overline{\text{PD}}$ 引脚驱动至 $V_{S+} - 1.5\text{V}$ 或更低电压，并且驱动器器件能够从 $\overline{\text{PD}}$ 引脚灌入大约 1 μA (典型值) 的电流，则该器件将断电。如果需要电平转换来实现 $\overline{\text{PD}}$ 引脚阈值，以用于启动或断电运行模式，请在 $\overline{\text{PD}}$ 引脚和 V_{S+} 之间使用一个外部上拉电阻器 (使用集电极开路断电控制逻辑驱动)。

8 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx863A 是典型的电压反馈放大器，其中每个通道都有两个高阻抗输入和一个低阻抗输出。这些器件具有 50 MHz 的 GBW、6.3-nV/√Hz 的噪声、RRIO 功能以及仅消耗 800 μA 静态电流的高精度性能。这些特性使 OPAx863A 非常适用于精密数据采集、快速稳定的基准缓冲、高增益和滤波电路。过载功率限制特性使 OPAx863A 能够在高增益多通道系统中实现真正的低功耗，限制输出过载情况下静态电流的任何增加。

8.2 典型应用

8.2.1 有源滤波器

有源滤波器电路用于放大通带内的信号、衰减阻带内的信号，还限制放大器输出端的集成噪声。OPAx863A 具有宽带宽和高精度性能，非常适合用于设计多反馈 (MFB) 低通滤波器电路。

8.2.1.1 设计要求

本节讨论了 2 MHz 截止频率的 MFB 低通有源滤波器设计以及放大器增益带宽 (GBW) 对滤波器性能的影响。

8.2.1.2 详细设计过程

图 8-1 显示了在截止频率为 2 MHz 的二阶多反馈 (MFB) 低通滤波器中使用 OPAx863A 的情况。将图 8-1 中电路的频率响应与具有不同增益带宽积的各种放大器进行比较，如图 8-2 所示：

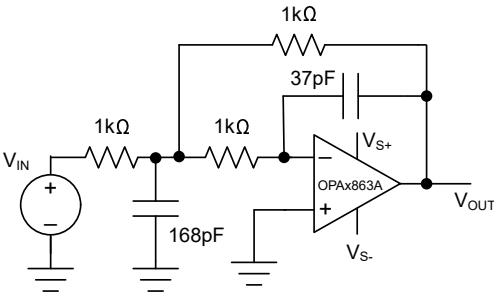


图 8-1. 使用 OPAx863A 的 MFB 低通滤波器电路

表 8-1. 放大器 GBW 对截止频率的影响

器件	GBW (MHz)	截止频率 (MHz)
TLV9051	5	1.59
LMV641	10	1.78
OPA2834	20	1.87
OPAx863A	50	1.95
OPA836	110	1.98

表 8-1 提供了在 MFB 低通滤波器电路中使用 OPAx863A 的以下优势：

- 在通带低频信号的工作温度范围内以低失调电压实现高精度测量
- 由于通带低频信号的 GBW 和环路增益较大，因此具有高线性度
- 截止频率具有更高的精度，并且工艺和温度变化更小
- 低通滤波可降低集成输出噪声

基于 图 8-2，以及与 OPAx863A 一样，使用增益带宽积至少比滤波器截止频率大 $20 \times$ 的放大器。此配置可实现高精度、高线性度、低通滤波器设计。

8.2.1.3 应用曲线

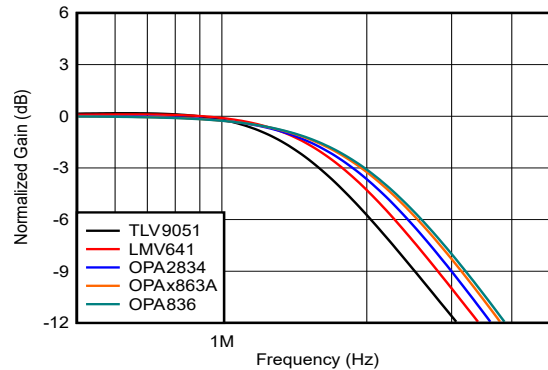


图 8-2. MFB 低通滤波器频率响应与 GBW 间的关系

8.2.2 低功耗 SAR ADC 驱动器和基准缓冲器

图 8-3 展示了如何将 OPAx863A 用作 SAR ADC 输入驱动器 来驱动。ADS7057 传感器用于与物理环境连接，输出阻抗较高，但无法直接驱动 SAR ADC 输入。需要用到 OPAx863A 等宽 GBW 放大器对 SAR ADC 输入端的开关电容器充电，并在给定的采集时间内快速稳定至所需的精度。OPAx863A 宽 GBW、高精度性能可实现精密 ADC 的快速稳定、高精度传感器测量和基准缓冲。

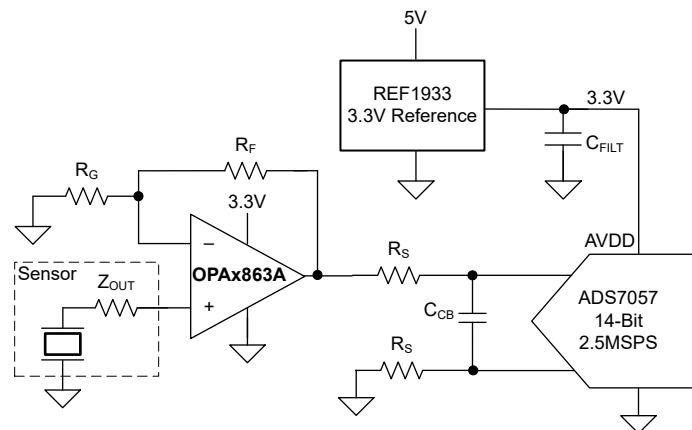


图 8-3. 精密 SAR ADC 输入驱动器 OPAx863A

8.3 电源相关建议

OPAx863A 可在 2.7 V 至 12.6 V 的电源电压范围内运行。OPAx863A 器件由单电源、双电源和平衡双极电源和不平衡双极电源供电运行。单电源供电有很多优势。通过接地的负极电源，可最大限度减少因 - PSRR 项引起的直流误差。通常，交流性能在 10-V 工作电压下略有改善，而电源电流的增加量则微乎其微。尽可能减小电源引脚到高频、0.01- μ F 去耦电容器的距离 (< 0.1)。在器件电源引脚处将一个较大电容器 (典型值 2.2 μ F) 与一个高频、0.01- μ F 电源去耦电容器结合使用。只有正极电源具有这些电容器用于单电源运行。使用双电源时，在每个电源和接地之间使用这些电容器。如有必要，将较大电容器放置在远离器件的位置，并在印刷电路板 (PCB) 同一区域的多个器件之间共享这些电容器。两个电源 (用于双电源运行) 之间的可选电源去耦合电容器可降低二次谐波失真。

8.4 布局

8.4.1 布局指南

为了实现 OPAx863A 等高频放大器的出色性能，需要特别注意电路板布局寄生效应和外部元件类型。[高速放大器通用 DSN 评估模块用户指南](#) 可在设计电路板时用作参考。优化性能的建议如下：

1. **尽可能减小所有信号 I/O 引脚的连接**到任何交流接地端的寄生电容。输出引脚和反相输入引脚上的寄生电容可能导致非反相不稳定，并可与源阻抗发生反应，造成意外带限。为了减少不必要的电容，在那些引脚周围的所有接地平面和电源平面中的信号 I/O 引脚周围开启一个窗口。否则，接地平面和电源平面必须在电路板上的其他地方完好无损。
2. **尽可能减小电源引脚到高频 0.01- μ F 去耦电容器的距离** (< 0.1)。避免电源布线和接地布线过于狭窄，以便尽可能减小引脚和去耦电容器之间的电感。电源连接应始终与这些电容器去耦合。在电源引脚上使用较大的 (2.2- μ F 至 6.8- μ F) 去耦电容器，该去耦电容器应在较低频率有效。可将这些电容器放置在远离器件的位置，并可在 PCB 同一区域内的多个器件之间共享这些电容器。
3. **谨慎选择和放置外部元件以保持 OPAx863A 的高频性能**。使用低电抗类型的电阻器。表面贴装式电阻器最适合，并可实现更紧密的总体布局。将其他网络组件 (例如同相输入终端电阻器) 放置在封装附近。尽可能降低电阻值，符合负载驱动的注意事项。减小电阻值，使电阻器噪声项保持较低水平，并最大限度减小寄生电容产生的影响。但是，降低电阻值会增加动态功耗，因为 R_F 和 R_G 是放大器输出负载网络的一部分。

8.4.2 布局示例

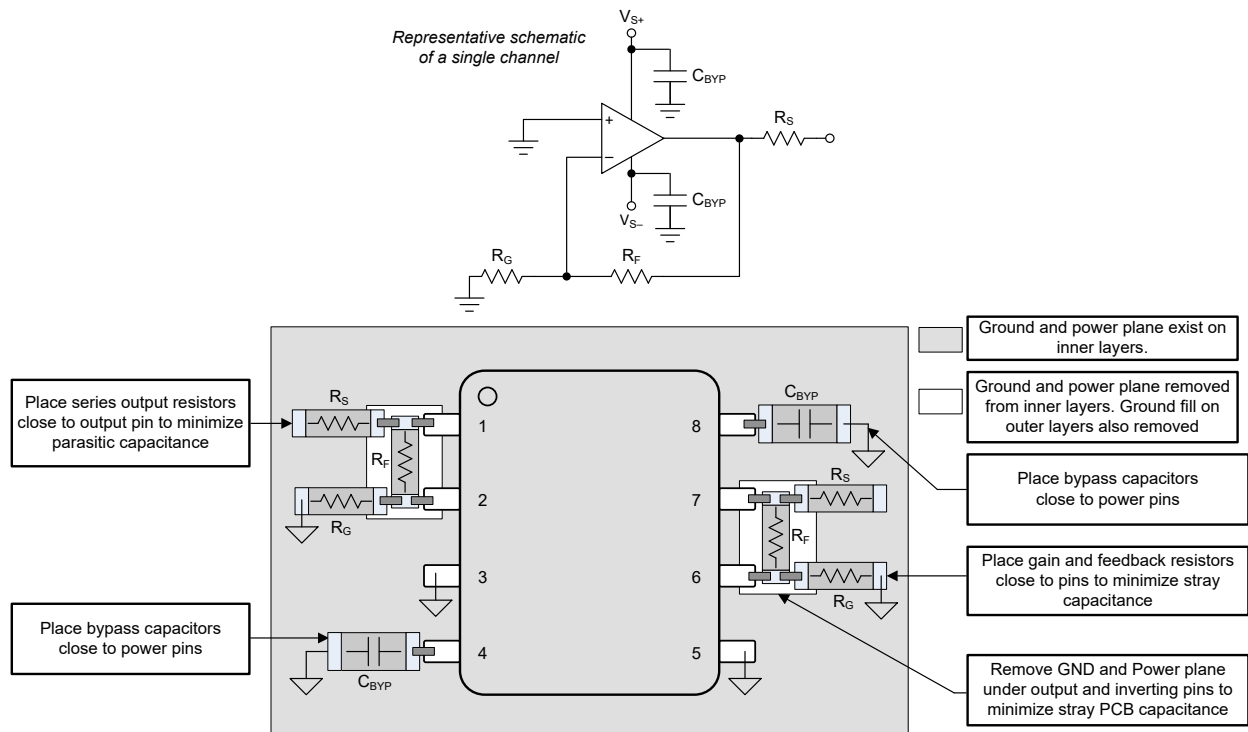


图 8-4. 双通道 DGK 封装的布局建议

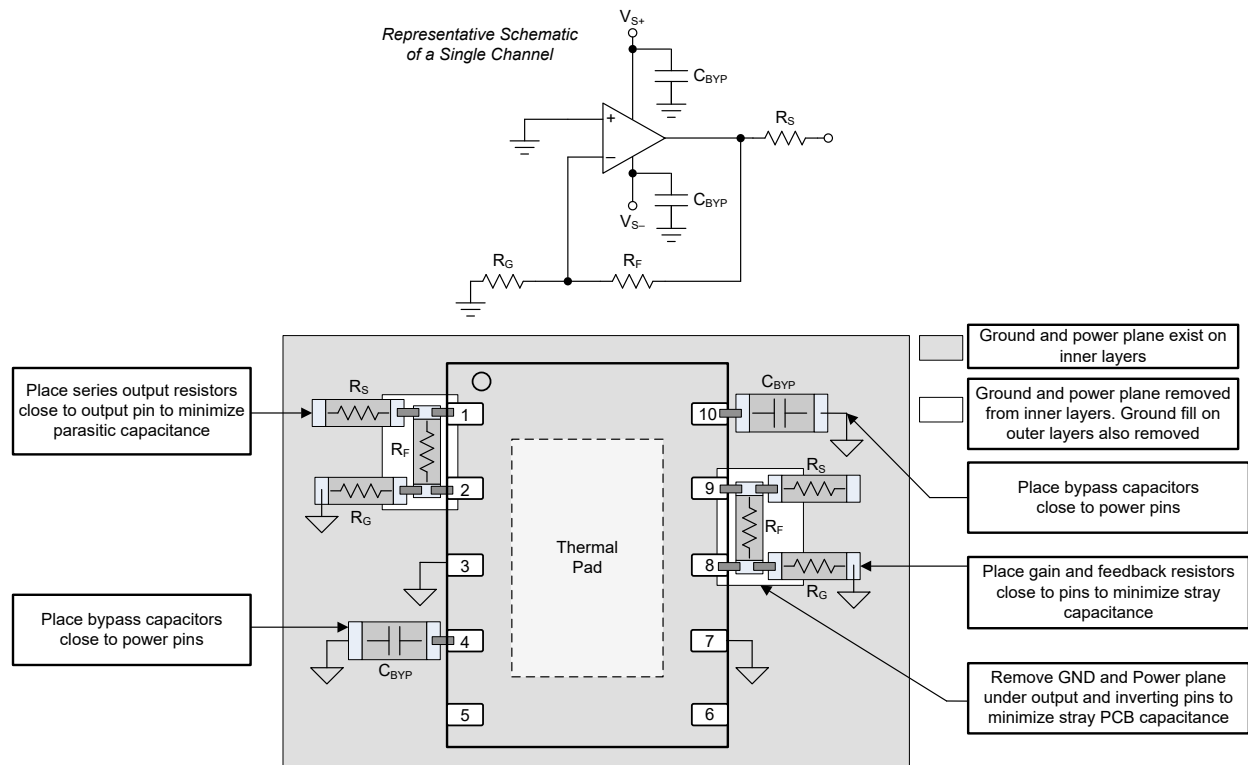


图 8-5. 双通道 DSN 封装的布局建议

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[高速放大器通用 DSN 评估模块用户指南](#)
- 德州仪器 (TI)，[单电源运算放大器设计技术应用报告](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (October 2024) to Revision G (December 2024) Page

- | | |
|---|---|
| • 将 DGK (VSSOP, 8) 封装状态从预发布更改为量产数据 (正在供货) | 1 |
|---|---|

Changes from Revision E (June 2024) to Revision F (October 2024) Page

- | | |
|--|---|
| • 将 D (SOIC, 8) 封装状态从预发布更改为量产数据 (正在供货) | 1 |
|--|---|

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2863ADGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28A3
OPA2863ADGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	28A3
OPA2863ADR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2863A
OPA2863ADR.B	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2863A
OPA2863AIDSNR	Active	Production	SON (DSN) 10	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2863A
OPA2863AIDSNR.B	Active	Production	SON (DSN) 10	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2863A
OPA863ADBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O863A
OPA863ADBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O863A
XOPA2863ADGKR	Active	Preproduction	VSSOP (DGK) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XOPA2863ADGKR.B	Active	Preproduction	VSSOP (DGK) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XOPA2863ADR	Active	Preproduction	SOIC (D) 8	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XOPA2863ADR.B	Active	Preproduction	SOIC (D) 8	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2863ADGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2863ADR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2863AIDSNR	SON	DSN	10	5000	330.0	12.4	3.15	3.15	0.75	8.0	12.0	Q2
OPA863ADBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

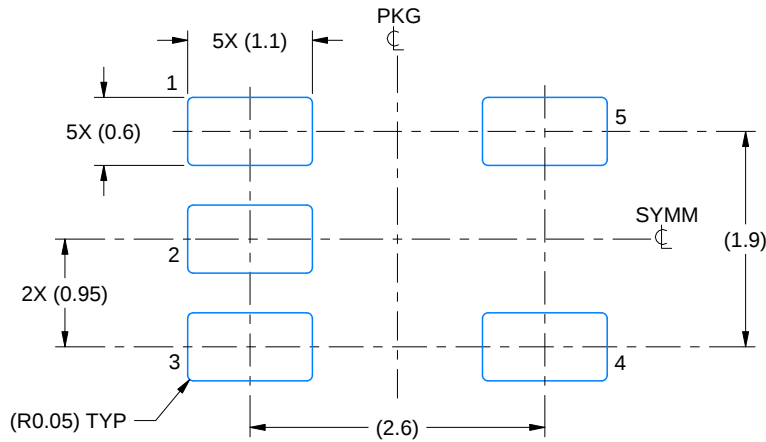
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2863ADGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2863ADR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2863AIDSNR	SON	DSN	10	5000	364.0	357.0	31.0
OPA863ADBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

EXAMPLE BOARD LAYOUT

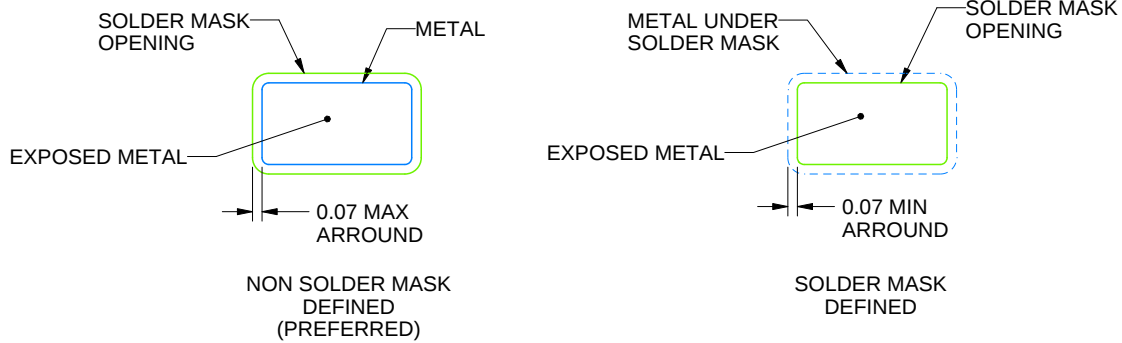
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

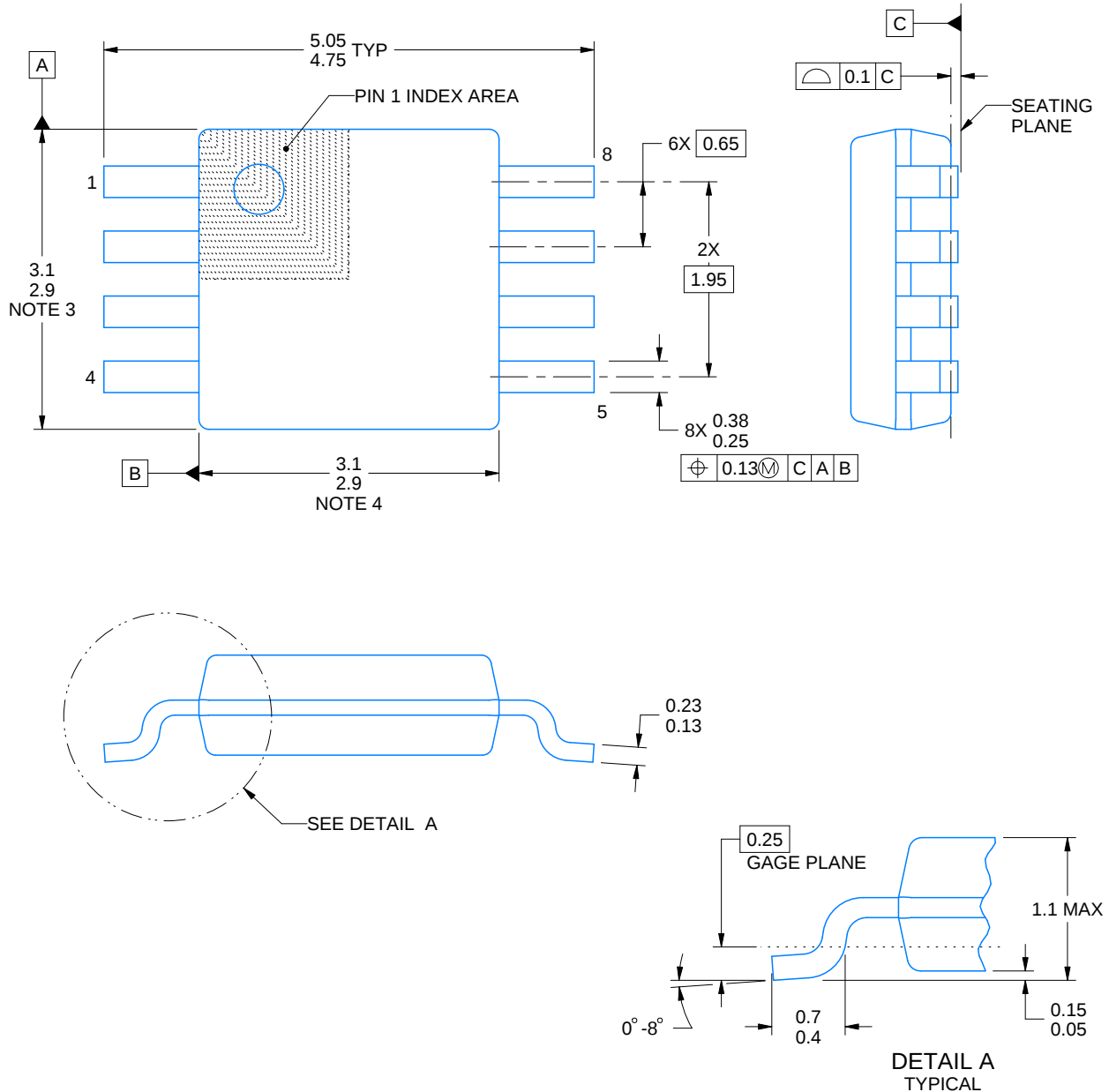
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

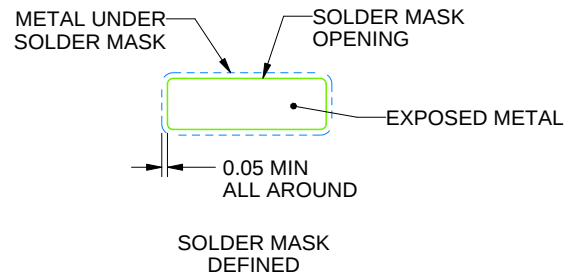
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

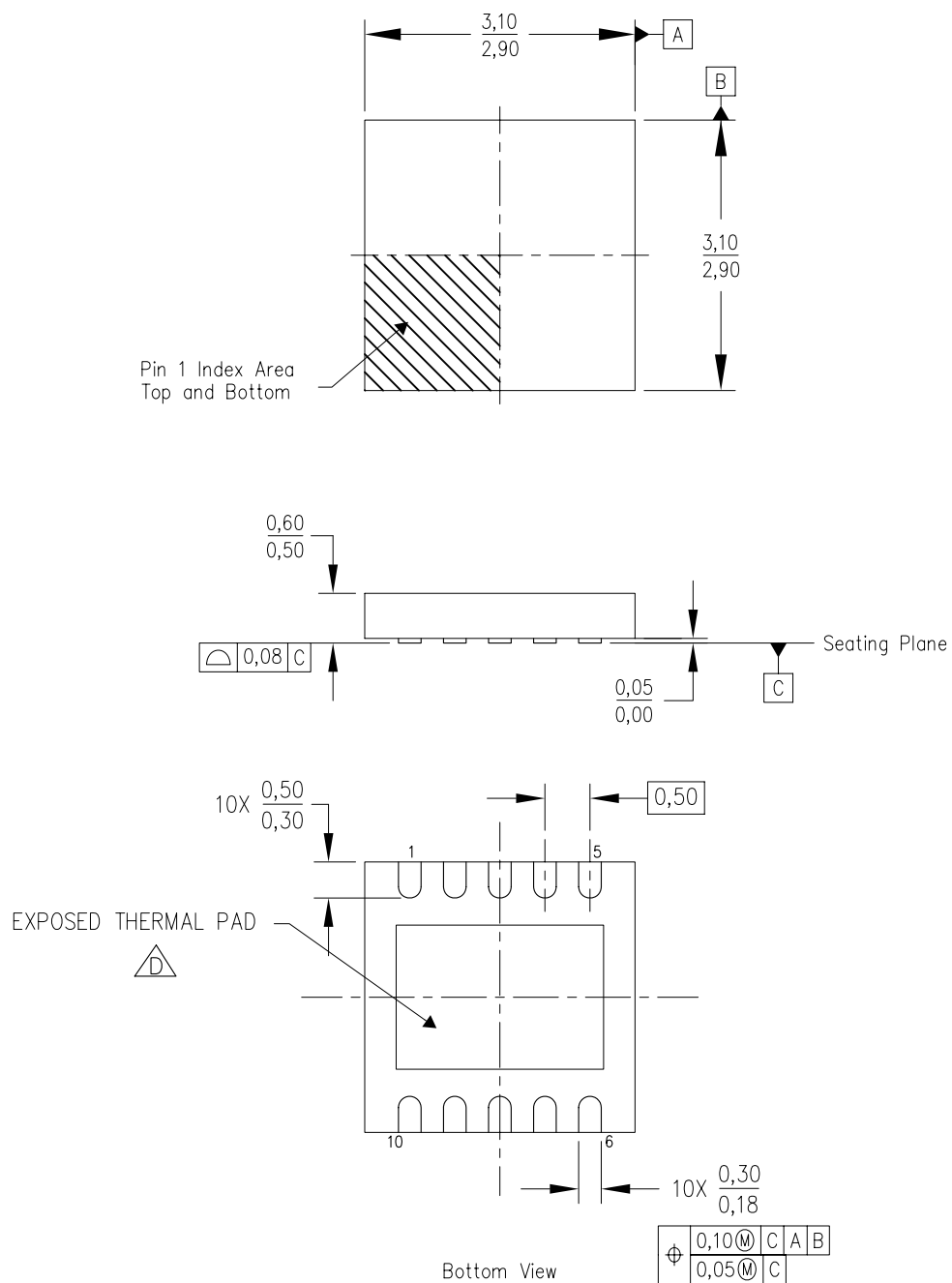
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DSN (S-PUSON-N10)

PLASTIC QUAD FLATPACK NO-LEAD



4209052/B 11/10

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 -  D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司