

OPAx310 高输出电流、快速关断、低电压（1.5V 至 5.5V）、RRIO、3MHz 运算放大器

1 特性

- 高输出电流：5.5V 时 I_{SC} 典型值为 $\pm 150\text{mA}$
- 从关断状态快速使能：0.9 μs （典型值）
- 宽工作电源电压：1.5V 至 5.5V
- 低输入失调电压： $\pm 250\mu\text{V}$ （典型值）
- 失效防护输入：输入端与 $V+$ 之间没有二极管
- 优化的静态电流：165 μA /通道（典型值）
- 轨到轨输入和输出
- 增益带宽积：5.5V 时典型值为 3MHz
- 热本底噪声：16nV/ $\sqrt{\text{Hz}}$ （典型值）
- 单位增益稳定
- 驱动高达 250pF 的电容，而不会出现持续振荡
- 内置 RFI 和 EMI 滤波输入引脚
- 工作温度范围：-40°C 至 125°C

2 应用

- 光学模块
- 基准缓冲器、保护放大器
- 麦克风前置放大器
- 照明和 LED 驱动器
- 4 mA 至 20 mA 环路驱动器
- 可编程电流源
- 低侧电流检测电路

3 说明

OPAx310 系列运算放大器包括单通道 (OPA310)、双通道 (OPA2310) 和四通道 (OPA4310) 低压（1.5V 至 5.5V）高输出电流运算放大器，具有轨到轨输入和输出摆幅功能。OPAx310S 还具有非常快的关断响应，启用时间通常为 0.9 μs ，当应用涉及放大器信号链的占空比时，可以节省功耗。OPAx310 系列具有强大的 ESD 性能和失效防护输入 ESD 结构，输入端与正电源轨之间无二极管连接。

OPAx310 提供电源板、标准、小型封装等型号，并具有内部电流限制保护和热关断保护功能，可在以高输出电流运行时实现更高的稳健性。OPAx310 的摆幅非常接近电源轨，并且在 5.5V 电源电压下的整个温度范围内短路电流最小为 75mA。通过仔细并联连接多个运算放大器，可以提高输出电流能力。OPAx310 器件非常适合 LED 驱动器、LCD 驱动器、激光驱动器、TEC 驱动器应用，也可用作基准缓冲器、保护放大器或分立式 LDO。

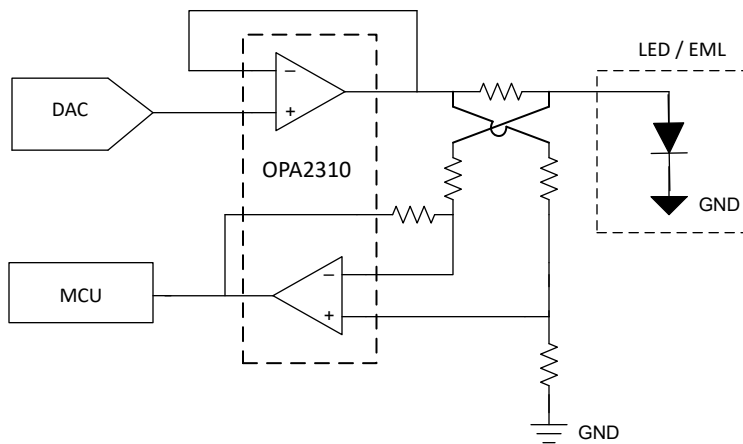
OPAx310 系列的可靠设计有助于简化电路设计。这些运算放大器集成了 RFI 和 EMI 抑制滤波器，在输入过驱条件下不会出现相位反转。这些器件还提供出色的交流性能，增益带宽为 3MHz，无持续振荡时的容性负载高达 250pF，使设计人员能够实现更高的性能和更低的功耗。

器件信息

器件型号 ⁽¹⁾	通道数	封装 ⁽²⁾	封装尺寸 ⁽⁴⁾
OPA310	单	DBV (SOT-23 , 5)	2.9mm × 2.8mm
		DCK (SC70 , 5)	2.1mm × 1.25mm
		DPW (X2SON , 5) (3)	0.8mm × 0.8mm
		DRL (SOT-5X3 , 5) (3)	1.6mm × 1.6mm
OPA310S	单通道，关断	DBV (SOT-23 , 6)	2.9mm × 2.8mm
		DCK (SC70 , 6)	2mm × 1.25mm
OPA2310	双通道	D (SOIC , 8)	4.9mm × 6mm
		DDF (SOT-23 , 8) (3)	2.9mm × 2.8mm
		DSG (WSON , 8)	2mm × 2mm
		DGK (VSSOP , 8)	3mm × 4.9mm
		PW (TSSOP , 8) (3)	3mm × 6.4mm
OPA2310S	双通道，关断	RUG (X2QFN , 10)	1.5mm × 2mm
		DGQ (HVSSOP , 10) (3)	3mm × 4.9mm
OPA4310	四通道	D (SOIC , 14)	8.65mm × 6mm
		PW (TSSOP , 14)	5mm × 6.4mm
		RUC (X2QFN , 14) (3)	2mm × 2mm
OPA4310S	四通道，关断	RTE (WQFN , 16)	3mm × 3mm
		DYY (SOT-23 , 16) (3)	4.2mm × 2mm

- (1) 请参阅节 4
- (2) 有关更多信息，请参阅节 11。
- (3) 封装仅为预发布状态。
- (4) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。





具有电流检测功能的 LED/EML 偏置

内容

1 特性.....	1	7.2 功能方框图.....	26
2 应用.....	1	7.3 特性说明.....	27
3 说明.....	1	7.4 器件功能模式.....	31
4 器件比较表.....	3	8 应用和实现.....	32
5 引脚配置和功能.....	4	8.1 应用信息.....	32
6 规格.....	10	8.2 典型应用.....	32
6.1 绝对最大额定值.....	10	8.3 电源相关建议.....	34
6.2 ESD 等级.....	10	8.4 布局.....	34
6.3 建议运行条件.....	10	9 器件和文档支持.....	36
6.4 单通道器件的热性能信息.....	10	9.1 文档支持.....	36
6.5 双通道器件的热性能信息.....	11	9.2 接收文档更新通知.....	36
6.6 四通道器件的热性能信息.....	11	9.3 支持资源.....	36
6.7 电气特性.....	12	9.4 静电放电警告.....	36
6.8 典型特性.....	16	9.5 术语表.....	36
7 详细说明.....	26	10 修订历史记录.....	36
7.1 概述.....	26	11 机械、封装和可订购信息.....	37

4 器件比较表

器件	通道数	SHDN	封装引线													
			SC70 DCK	SOIC D	SOT-23 DBV	SOT-23 DDF ⁽¹⁾	SOT-553 DRL ⁽¹⁾	SOT-23 DYY ⁽¹⁾	TSSOP PW	VSSOP DGK	HVSSOP DGQ ⁽¹⁾	WQFN RTE	WSON DSG	X2QFN RUC ⁽¹⁾	X2SON DPW ⁽¹⁾	X2QFN RUG
OPA310	1	否	5	—	5	—	5	—	—	—	—	—	—	—	5	—
OPA310S	1	是	6	—	6	—	—	—	—	—	—	—	—	—	—	—
OPA2310	2	NO	—	8	—	8	—	—	8	8	—	—	8	—	—	—
OPA2310S	2	是	—	—	—	—	—	—	—	—	10	—	—	—	—	10
OPA4310	4	NO	—	14	—	—	—	—	14	—	—	—	—	14	—	—
OPA4310S	4	是	—	—	—	—	—	16	—	—	—	16	—	—	—	—

(1) 封装仅为预发布版。

5 引脚配置和功能

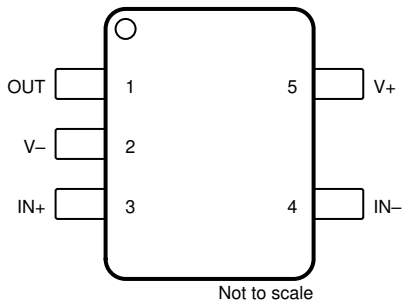


图 5-1. OPA310 DBV 封装，
5 引脚 SOT-23
(顶视图)

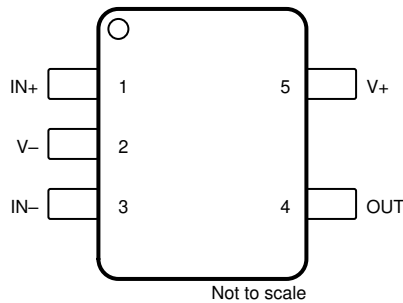


图 5-2. OPA310 DCK 和 DRL 封装，
5 引脚 SC70 和 5 引脚 SOT-5X3
(顶视图)

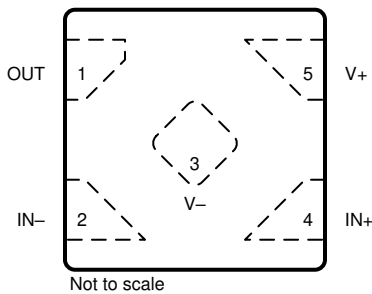


图 5-3. OPA310 DPW 封装，
5 引脚 X2SON
(顶视图)

表 5-1. 引脚功能：OPA310

引脚				(1)类型	说明
名称	SOT-23	SC70、 SOT-5X3	X2SON		
IN -	4	3	2	I	反相输入
IN+	3	1	4	I	同相输入
OUT	1	4	1	O	输出
V -	2	2	3	I	负 (低) 电源或接地 (对于单电源供电)
V+	5	5	5	I	正 (高) 电源

(1) I = 输入，O = 输出

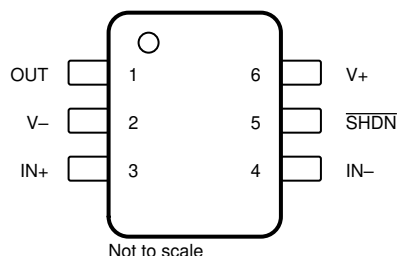


图 5-4. OPA310S DBV 封装，
 6 引脚 SOT-23
 (顶视图)

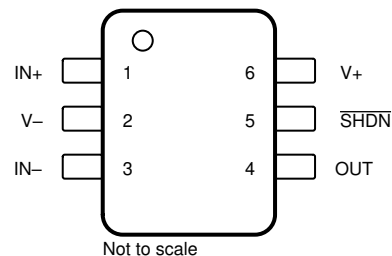


图 5-5. OPA310S DCK 封装，
 6 引脚 SC70
 (顶视图)

表 5-2. 引脚功能：OPA310S

引脚			(1)类型	说明
名称	SOT-23	SC70		
IN -	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
SHDN	5	5	I	关断：低 = 禁用放大器，高 = 启用放大器 请参阅 关断功能 了解详情
V -	2	2	I	负（低）电源或接地（对于单电源供电）
V+	6	6	I	正（高）电源

(1) I = 输入，O = 输出

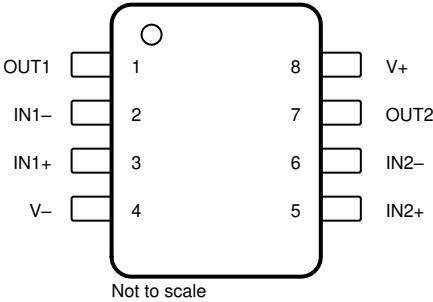
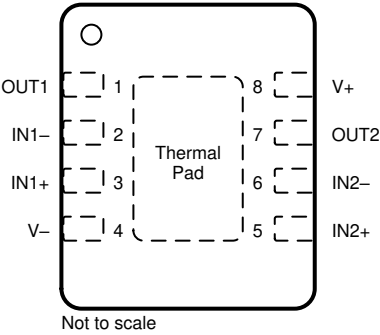


图 5-6. OPA2310 D、DDF、DGK 和 PW 封装，
8 引脚 SOIC、SOT-23-THIN、VSSOP 和 TSSOP
(顶视图)



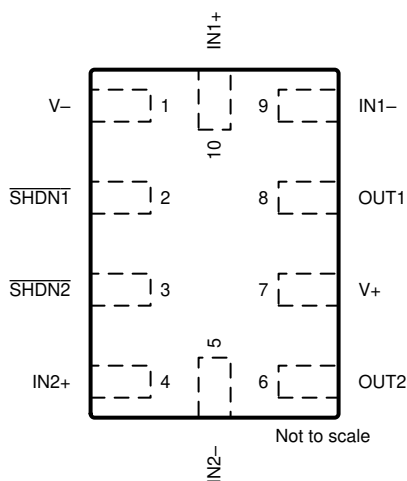
将外露散热焊盘连接至 V-。更多信息，请参阅节 7.3.10。

图 5-7. OPA2310 DSG 封装，
8 引脚 WSON (带有外露散热焊盘)
(顶视图)

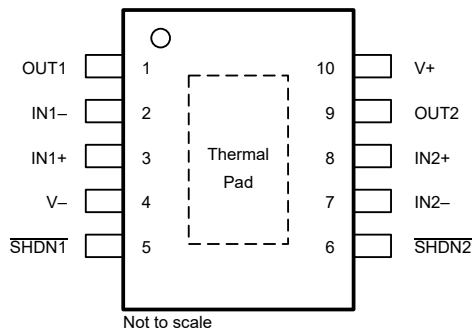
表 5-3. 引脚功能：OPA2310

引脚		(1)类型	说明
名称	编号		
IN1 -	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 -	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V -	4	I	负 (低) 电源或接地 (对于单电源供电)
V+	8	I	正 (高) 电源

(1) I = 输入，O = 输出



**图 5-8. OPA2310S RUG 封装，
10 引脚 X2QFN
(顶视图)**



**图 5-9. OPA2310S DGQ 封装，
10 引脚 HVSSOP
(顶视图)**

表 5-4. 引脚功能：OPA2310S

名称	引脚		(1)类型	说明
	X2QFN	HVSSOP		
IN1 -	9	2	I	反相输入，通道 1
IN1+	10	3	I	同相输入，通道 1
IN2 -	5	7	I	反相输入，通道 2
IN2+	4	8	I	同相输入，通道 2
OUT1	8	1	O	输出，通道 1
OUT2	6	9	O	输出，通道 2
SHDN1	2	5	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 1 请参阅 关断功能 了解详情
SHDN2	3	6	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 2 请参阅 关断功能 了解详情
V -	1	4	I	负 (低) 电源或接地 (对于单电源供电)
V+	7	10	I	正 (高) 电源

(1) I = 输入，O = 输出

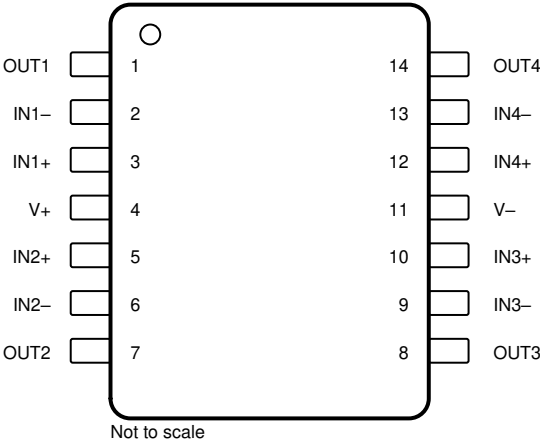


图 5-10. OPA4310 D 和 PW 封装，
14 引脚 SOIC 和 TSSOP
(顶视图)

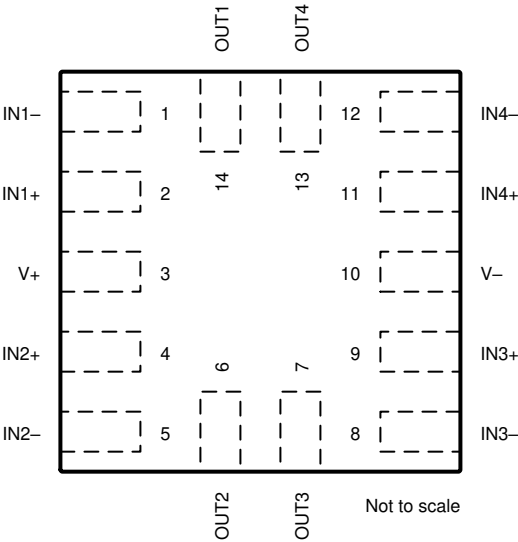
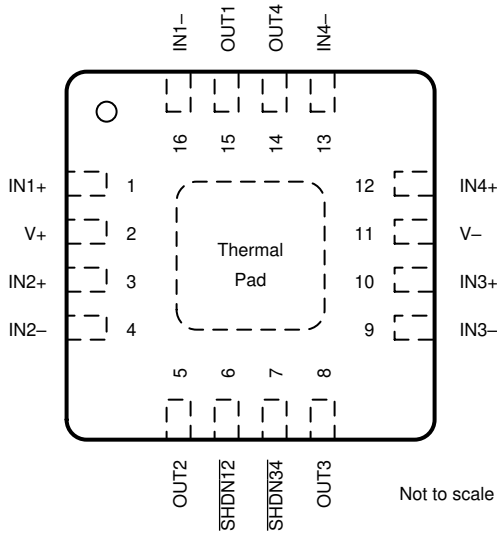


图 5-11. OPA4310 RUC 封装，
14 引脚 X2QFN
(顶视图)

表 5-5. 引脚功能 : OPA4310

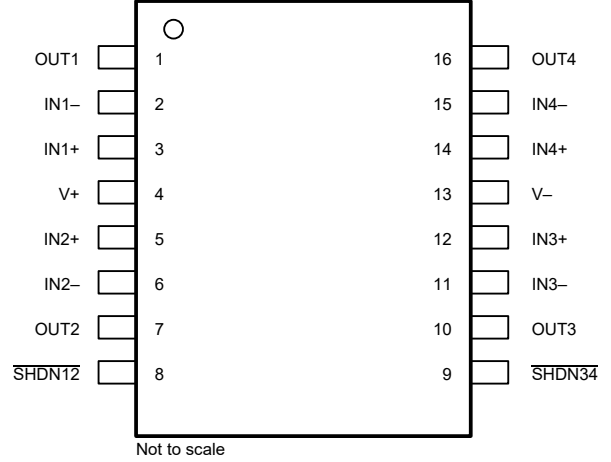
引脚			(1)类型	说明
名称	SOIC、 TSSOP	X2QFN		
IN1 -	2	1	I	反相输入，通道 1
IN1+	3	2	I	同相输入，通道 1
IN2 -	6	5	I	反相输入，通道 2
IN2+	5	4	I	同相输入，通道 2
IN3 -	9	8	I	反相输入，通道 3
IN3+	10	9	I	同相输入，通道 3
IN4 -	13	12	I	反相输入，通道 4
IN4+	12	11	I	同相输入，通道 4
OUT1	1	14	O	输出，通道 1
OUT2	7	6	O	输出，通道 2
OUT3	8	7	O	输出，通道 3
OUT4	14	13	O	输出，通道 4
V -	11	10	I	负 (低) 电源或接地 (对于单电源供电)
V+	4	3	I	正 (高) 电源

(1) I = 输入，O = 输出



A. 将散热焊盘连接至 V⁻。

图 5-12. OPA4310S RTE 封装，
16 引脚 WQFN (带有外露散热焊盘)
(顶视图)



A. 将散热焊盘连接至 V⁻。

图 5-13. OPA4310S DYY 封装，
16 引脚 SOT-23-THIN
(顶视图)

表 5-6. 引脚功能：OPA4310S

引脚			(1)类型	说明
名称	WQFN	SOT-23-THIN		
IN1+	1	3	I	同相输入，通道 1
IN1 -	16	2	I	反相输入，通道 1
IN2+	3	5	I	同相输入，通道 2
IN2 -	4	6	I	反相输入，通道 2
IN3+	10	12	I	同相输入，通道 3
IN3 -	9	11	I	反相输入，通道 3
IN4+	12	14	I	同相输入，通道 4
IN4 -	13	15	I	反相输入，通道 4
SHDN12	6	8	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 1 和 2。 更多信息请参阅 关断功能 部分
SHDN34	7	9	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 3 和 4。 更多信息请参阅 关断功能 部分
OUT1	15	1	O	输出，通道 1
OUT2	5	7	O	输出，通道 2
OUT3	8	10	O	输出，通道 3
OUT4	14	16	O	输出，通道 4
V ⁻	11	13	I	负（低）电源或接地（对于单电源供电）
V ⁺	2	4	I	正（高）电源

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压, $V_S = (V+) - (V-)$	电源电压, $V_S = (V+) - (V-)$	0	7	V
信号输入引脚	共模电压 ^{(2) (3)}	- 0.5	6.0	V
	差分电压 ^{(2) (3)}		±6.0	V
	电流 ⁽³⁾	-10	10	mA
输出短路 ⁽⁴⁾	持续			
工作环境温度, T_A		-55	150	°C
结温, T_J			150	°C
贮存温度, T_{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 只要输入引脚在 6.0V 内保持不变，它们就可以超过 (V+)。从输入引脚到 (V+) 没有二极管结构。
- (3) 输入引脚被二极管钳制至 (V-)。低于 (V-) 0.3V 的输入信号的电流必须限制在 10mA 或更低。
- (4) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

器件型号				值	单位
OPA2310	$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±4000	V
OPA2310	$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JS-002 ⁽²⁾	±1500	V
OPA310、 OPA4310	$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±8000	V
OPA310、 OPA4310	$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JS-002 ⁽²⁾	±1500	V

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压, (V+) - (V-)	1.5	5.5	V
V_I	输入电压范围	- 0.1	5.6	V
T_A	额定温度	-40	125	°C

6.4 单通道器件的热性能信息

热指标 ⁽¹⁾		OPA310				OPA310S		单位
		DBV (SOT-23)	DCK (SC70)	DPW ⁽²⁾ (X2SON)	DRL ⁽²⁾ (X2SON)	DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	5 引脚	5 引脚	6 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	211.5	214.6	待定	待定	190.7	195.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	109.4	110.0	待定	待定	110.5	122.9	°C/W
$R_{\theta JB}$	结至电路板热阻	77.8	60.7	待定	待定	70.8	55.5	°C/W
Ψ_{JT}	结至顶部特征参数	45.2	32.1	待定	待定	47.4	38.3	°C/W
Ψ_{JB}	结至电路板特征参数	77.5	60.4	待定	待定	70.5	55.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	待定	待定	不适用	不适用	°C/W

- (1) 有关新旧热性能指标的更多信息，请参阅半导体和 IC 封装热指标应用报告 [SPRA953](#)。

(2) 此封装选项处于预发布状态。

6.5 双通道器件的热性能信息

热指标 ⁽¹⁾		OPA2310					OPA2310S		单位
		DSG (WSON)	D (SOIC)	DDF ⁽²⁾ (SOT-23-8)	DGK (VSSOP)	PW ⁽²⁾ (TSSOP)	DGQ ⁽²⁾ (HVSSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	10 引脚	10 引脚	
R _{θJA}	结至环境热阻	90.1	139.0	待定	187.7	待定	待定	179.4	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	112.1	81.2	待定	78.1	待定	待定	66.7	°C/W
R _{θJB}	结至电路板热阻	56.3	82.4	待定	109.5	待定	待定	104.5	°C/W
Ψ _{JT}	结至顶部特征参数	9.2	31.3	待定	17.9	待定	待定	1.4	°C/W
Ψ _{JB}	结至电路板特征参数	56.3	81.6	待定	107.9	待定	待定	104.2	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	31.8	不适用	待定	不适用	待定	待定	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告 SPRA953](#)。

(2) 此封装选项处于预发布状态。

6.6 四通道器件的热性能信息

热指标 ⁽¹⁾		OPA4310			OPA4310S		单位
		RUC ⁽²⁾ (X2QFN)	D (SOIC)	PW (TSSOP)	RTE (WQFN)	DYY ⁽²⁾ (SOT)	
		14 引脚	14 引脚	14 引脚	16 引脚	16 引脚	
R _{θJA}	结至环境热阻	待定	101.5	128.2	57.6	待定	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	待定	57.8	58.7	62.4	待定	°C/W
R _{θJB}	结至电路板热阻	待定	58.0	71.4	32.9	待定	°C/W
Ψ _{JT}	结至顶部特征参数	待定	20.9	13.0	3.4	待定	°C/W
Ψ _{JB}	结至电路板特征参数	待定	57.6	70.8	32.9	待定	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	待定	不适用	不适用	16.6	待定	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告 SPRA953](#)。

(2) 此封装选项处于预发布状态。

6.7 电气特性

$V_S = (V+) - (V-) = 1.5V$ 至 $5.5V$ ($\pm 0.75V$ 至 $\pm 2.75V$) , $T_A = 25^\circ C$, $R_L = 10k\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$, 除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V _{OS}	输入失调电压	V _{CM} = V -		±0.25	±1.3	mV	
		V _{CM} = V -	T _A = -40℃ 至 125℃		±1.4		
dV _{OS} /dT	输入失调电压温漂	V _{CM} = V -		±0.5		μV/℃	
PSRR	输入失调电压与电源间的关系	V _S = 1.5V 至 5.5V , V _{CM} = V -		±10	±50	μV/V	
	通道隔离	f = 10kHz		±1		μV/V	
输入偏置电流							
I _B	输入偏置电流 ⁽¹⁾	V _S = 1.8V 至 V _S = 5V		±1	±30	pA	
I _{OS}	输入失调电流 ⁽¹⁾	V _S = 1.8V 至 V _S = 5V		±0.5	±25	pA	
噪声							
E _N	输入电压噪声	f = 0.1Hz 至 10Hz		4		μ V _{PP}	
e _N	输入电压噪声密度	f = 100Hz		32		nV/ √ Hz	
		f = 1kHz		16			
		f = 10kHz		13			
i _N	输入电流噪声 ⁽³⁾	f = 1kHz		10		fA/ √ Hz	
输入电压范围							
V _{CM}	共模电压范围 ⁽¹⁾	V _S = 1.8V	T _A = -40℃ 至 125℃	(V -)	(V+)	V	
	共模电压范围 ⁽¹⁾	V _S = 5.5V	T _A = -40℃ 至 125℃	(V -) - 0.1	(V+) + 0.1	V	
CMRR	共模抑制比	V _S = 1.8V , (V -) ≤ V _{CM} ≤ (V+) - 0.6V		75	85	dB	
		V _S = 1.8V , (V -) ≤ V _{CM} ≤ (V+) - 0.6V	T _A = -40℃ 至 125℃	65	78	dB	
		V _S = 5.5V , (V -) ≤ V _{CM} ≤ (V+) - 0.6V		83	95	dB	
		V _S = 5.5V , (V -) ≤ V _{CM} ≤ (V+) - 0.6V	T _A = -40℃ 至 125℃	75	85	dB	
		完整范围 : V _S = 1.8V , (V -) ≤ V _{CM} ≤ (V+)	T _A = -40℃ 至 125℃	57.5	70		
		完整范围 : V _S = 5.5V (V -) - 0.1V ≤ V _{CM} ≤ (V+) + 0.1V	T _A = -40℃ 至 125℃	66.5	80		
输入阻抗							
Z _{ID}	差分输入阻抗			80 1.4		G Ω pF	
Z _{ICM}	共模输入阻抗			100 0.5		G Ω pF	

6.7 电气特性 (续)

$V_S = (V+) - (V-) = 1.5V$ 至 $5.5V$ ($\pm 0.75V$ 至 $\pm 2.75V$) , $T_A = 25^\circ C$, $R_L = 10k\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{O\ UT} = V_S/2$, 除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
开环增益						
A_{OL}	开环电压增益	$V_S = 1.8V$, $(V-) + 0.05V < V_O < (V+) - 0.05V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	102	115		dB
	开环电压增益 ⁽²⁾	$V_S = 1.8V$, $(V-) + 0.10V < V_O < (V+) - 0.10V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	95	105		dB
		$V_S = 5.5V$, $(V-) + 0.10V < V_O < (V+) - 0.10V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	109	125		dB
	开环电压增益	$V_S = 5.5V$, $(V-) + 0.15V < V_O < (V+) - 0.15V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	105	115		dB
		$V_S = 1.8V$, $(V-) + 0.05V < V_O < (V+) - 0.05V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	90	100		dB
		$V_S = 1.8V$, $(V-) + 0.10V < V_O < (V+) - 0.10V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		90		
		$V_S = 5.5V$, $(V-) + 0.10V < V_O < (V+) - 0.10V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		105		
		$V_S = 5.5V$, $(V-) + 0.15V < V_O < (V+) - 0.15V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	90	100		
		$T_A = -40^\circ C$ 至 $125^\circ C$				
	开环电压增益 ⁽⁶⁾	$V_S = 3.3V$, $(V-) + 0.25V < V_O < (V+) - 0.25V$, $I_L = \pm 50mA$	80	102		dB
		$T_A = 25^\circ C$				
频率响应						
GBW	增益带宽积	$V_S = 1.8V$, $G = +1$, $R_L = 10k\Omega$, $C_L = 100pF$		2.5		MHz
		$V_S = 5.5V$, $G = +1$, $R_L = 10k\Omega$, $C_L = 100pF$		3		MHz
SR	压摆率	$V_S = 1.8V$, $G = +1$, $R_L = 10k\Omega$		2.8		V/ μs
		$V_S = 5.5V$, $G = +1$, $R_L = 10k\Omega$		3		V/ μs
THD+N	总谐波失真 + 噪声 ⁽⁴⁾	$V_S = 5.5V$, $G = +1$, $V_O = 1V_{RMS}$, $f = 1kHz$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		0.0005		%
		$V_S = 5.5V$, $G = +1$, $V_O = 1V_{RMS}$, $f = 1kHz$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		0.0035		%
		$V_S = 5.5V$, $G = +1$, $V_O = 1V_{RMS}$, $f = 1kHz$, $R_L = 600\Omega$ (连接至 $V_S/2$)		0.0080		%
t_s	稳定时间	精度达到 0.1% , $V_S = 5.5V$, $V_{STEP} = 4V$, $G = +1$, $C_L = 10pF$		1.8		μs
		精度达到 0.1% , $V_S = 5.5V$, $V_{STEP} = 2V$, $G = +1$, $C_L = 10pF$		1.3		
		精度达到 0.01% , $V_S = 5.5V$, $V_{STEP} = 4V$, $G = +1$, $C_L = 10pF$		2.3		
		精度达到 0.01% , $V_S = 5.5V$, $V_{STEP} = 2V$, $G = +1$, $C_L = 10pF$		1.6		
PM	相位裕度	$G = +1$, $R_L = 10k\Omega$ (连接至 $V_S/2$) , $C_L = 10pF$		60		°
C_L 驱动	容性负载驱动	$G = +1$, $R_L = 10k\Omega$ (连接至 $V_S/2$) , 相位裕度 = 40°		75		pF
		$G = +1$, $R_L = 10k\Omega$ (连接至 $V_S/2$) , 无持续振荡		250		pF
$t_{overload}$	过载恢复时间	$V_{IN} \times \text{增益} > V_S$		0.6		μs
EMIRR	电磁干扰抑制比	$f = 1.8GHz$, $V_{IN_EMIRR} = 100mV$		75		dB

6.7 电气特性 (续)

$V_S = (V+) - (V-) = 1.5V$ 至 $5.5V$ ($\pm 0.75V$ 至 $\pm 2.75V$) , $T_A = 25^\circ C$, $R_L = 10k\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{O\ UT} = V_S/2$, 除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
输出						
V_{OH}	相对于正电源轨的电压输出摆幅	$V_S = 1.8V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		10	21	mV
		$V_S = 1.8V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		2	11	
		$V_S = 1.8V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		51	
		$V_S = 1.8V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		26	
		$V_S = 5.5V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		3.5	20	
		$V_S = 5.5V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		0.75	9	
		$V_S = 5.5V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		30	
		$V_S = 5.5V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		14	
V_{OL}	相对于负电源轨的电压输出摆幅	$V_S = 1.8V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		5.5	15	
		$V_S = 1.8V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		1.2	10	
		$V_S = 1.8V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		45	
		$V_S = 1.8V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		25	
		$V_S = 5.5V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)		3.5	17.5	
		$V_S = 5.5V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)		0.75	10	
		$V_S = 5.5V$, $R_L = 2k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		27.5	
		$V_S = 5.5V$, $R_L = 10k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$		11	
I_{SC}	短路电流 ⁽⁵⁾	$V_S = 1.8V$		± 20		mA
	短路电流 ^{(2) (5)}	$V_S = 1.8V$, $T_A = -40^\circ C$ 至 $125^\circ C$	± 6			mA
	短路电流 ⁽⁵⁾	$V_S = 5.5V$, OPA2310	± 75	± 150		mA
I_{SC}	短路电流 ⁽⁵⁾	$V_S = 5.5V$, OPA310 和 OPA4310	± 110			mA
Z_O	开环输出阻抗	$f = 10kHz$		1000		Ω
电源						
I_Q	每个放大器的静态电流	$V_S = 1.5V$, $I_O = 0A$, $\overline{SHDN} = V+$ (对于关断器件)		165	190	μA
		$V_S = 1.5V$, $I_O = 0A$, $\overline{SHDN} = V+$ (对于关断器件)	$T_A = -40^\circ C$ 至 $125^\circ C$	165	210	μA
		$V_S = 5.5V$, $I_O = 0A$, $\overline{SHDN} = V+$ (对于关断器件)		165	200	μA
		$V_S = 5.5V$, $I_O = 0A$, $\overline{SHDN} = V+$ (对于关断器件)	$T_A = -40^\circ C$ 至 $125^\circ C$		215	
	加电时间	$T_A = 25^\circ C$, $V_S = 5.5V$, V_S 升降速率 $> 0.3V/\mu s$		125		μs
关断						
I_{Q_SHDN}	每个放大器的关断电流	所有放大器均为禁用状态, $\overline{SHDN} = V-$, OPA4310S		0.100	0.150	μA
		所有放大器均为禁用状态, $\overline{SHDN} = V-$, OPA310S		0.265	0.475	μA
I_{Q_SHDN}	每个放大器的关断电流	所有放大器均为禁用状态, $\overline{SHDN} = V-$, OPA2310S		0.200	0.375	μA
I_{Q_SHDN}	每个放大器的关断电流 ⁽¹⁾	所有放大器均为禁用状态, $\overline{SHDN} = V-$, $T_A = -40^\circ C$ 至 $85^\circ C$, OPA4310S			0.300	μA
		所有放大器均为禁用状态, $\overline{SHDN} = V-$, $T_A = -40^\circ C$ 至 $85^\circ C$, OPA310S			0.700	μA
I_{Q_SHDN}	每个放大器的关断电流 ⁽¹⁾	所有放大器均为禁用状态, $\overline{SHDN} = V-$, $T_A = -40^\circ C$ 至 $85^\circ C$, OPA2310S			0.600	μA
Z_{OUT_SHDN}	关断时的输出阻抗	已禁用放大器		43 11.5		$G\Omega pF$
V_{SHDN_IH}	逻辑高电平电压 (放大器为启用状态)		$(V-) + 1.2$			V
V_{SHDN_IL}	逻辑低电平电压 (放大器为禁用状态)			$(V-) + 0.2$		V

6.7 电气特性 (续)

$V_S = (V+) - (V-) = 1.5V$ 至 $5.5V$ ($\pm 0.75V$ 至 $\pm 2.75V$), $T_A = 25^\circ C$, $R_L = 10k\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{O UT} = V_S/2$, 除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
t_{ON}	放大器启用时间 (完全关断) ⁽⁷⁾ (1)	$G = +1$, $V_{CM} = V_S/2$, $V_O = 0.9 \times V_S/2$, R_L 连接至 $V-$		1	1.6	μs
t_{OFF}	放大器禁用时间 (7)	$G = +1$, $V_{CM} = V_S/2$, $V_O = 0.1 \times V_S/2$, R_L 连接至 $V-$		1		μs
I_{B_SHDN}	SHDN 引脚输入 偏置电流 (每个 引脚)	$(V+) \geq \overline{SHDN} \geq (V-) + 1V$		50		nA
		$(V-) \leq \overline{SHDN} \leq (V-) + 0.2V$		100		

- (1) 根据表征结果指定最大数据。
- (2) 根据表征结果指定最小数据。
- (3) 典型的输入电流噪声数据是根据设计仿真结果指定的。
- (4) 三阶滤波器; -3dB 时的带宽 = 80kHz。
- (5) 此处指定的短路电流是短路拉电流和灌电流的平均值。
- (6) 测得的 A_{OL} 为 $(V_{OSA} - V_{OSB})/(V_{OUTA} - V_{OUTB})$ 之间的差值。 V_{OSA} 是 OUT 引脚偏置在 $(V+) - 0.25V$ 而器件拉电流为 50mA 时测得的偏移, V_{OSB} 是当 OUT 引脚偏置在 $(V-) + 0.25V$ 而器件灌电流为 50mA 时测得的偏移。
- (7) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10% (禁用) 或 90% (启用) 电平时之间的间隔。

6.8 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

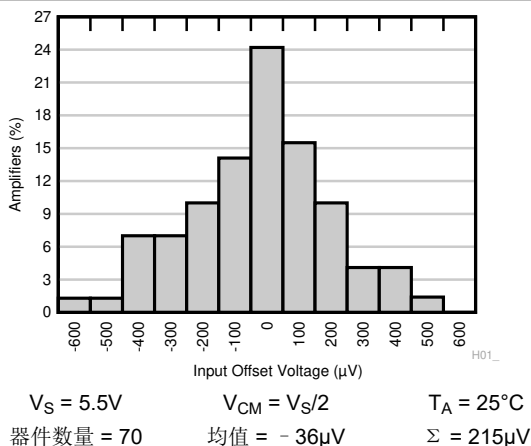


图 6-1. 失调电压分布直方图

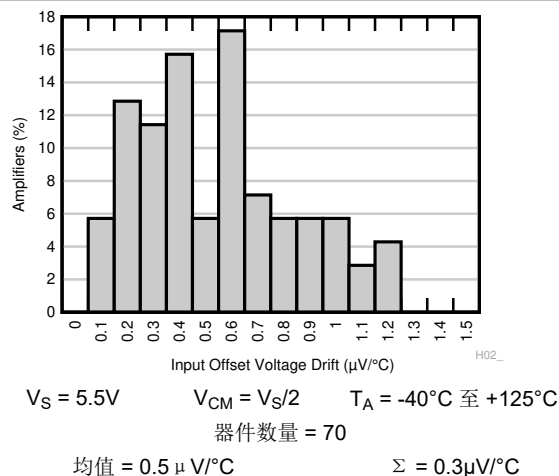


图 6-2. 失调电压漂移分布直方图

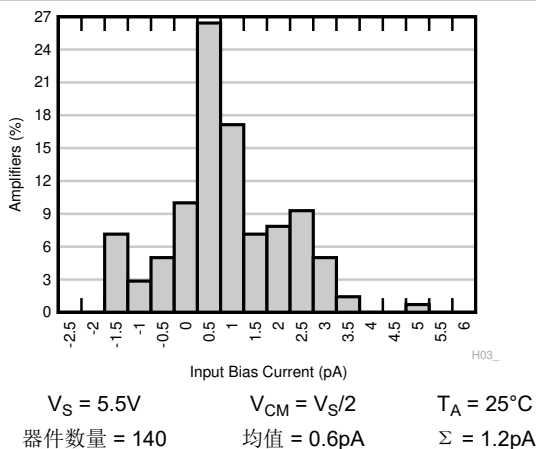


图 6-3. 输入偏置电流分布直方图

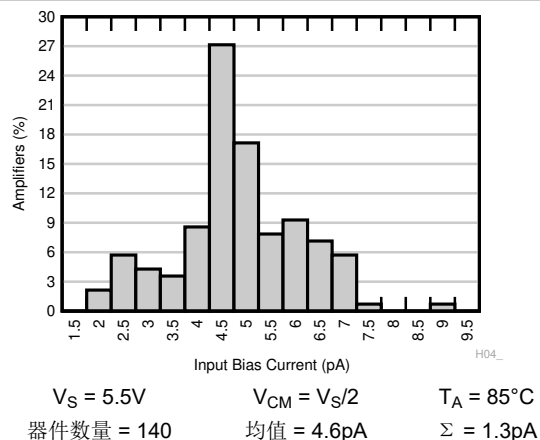


图 6-4. 输入偏置电流分布直方图

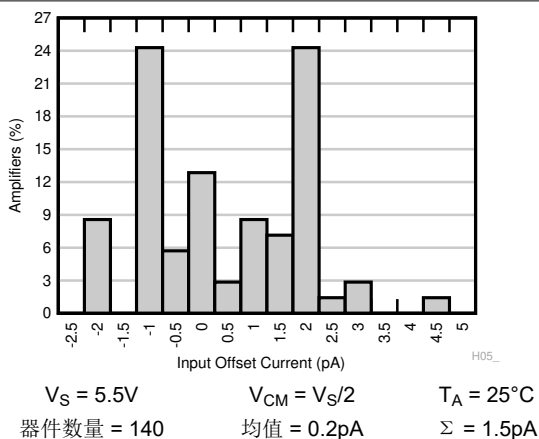


图 6-5. 输入失调电流分布直方图

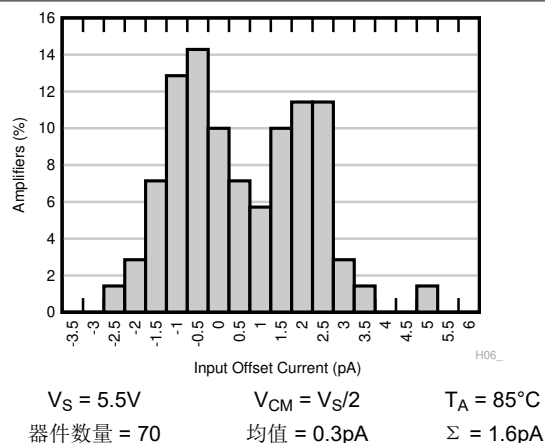


图 6-6. 输入失调电流分布直方图

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

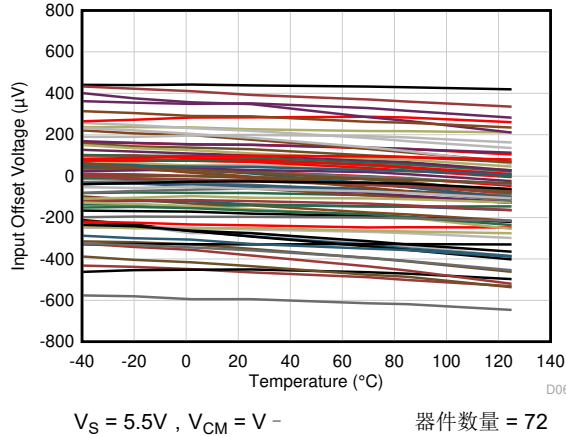


图 6-7. 输入失调电压与温度间的关系

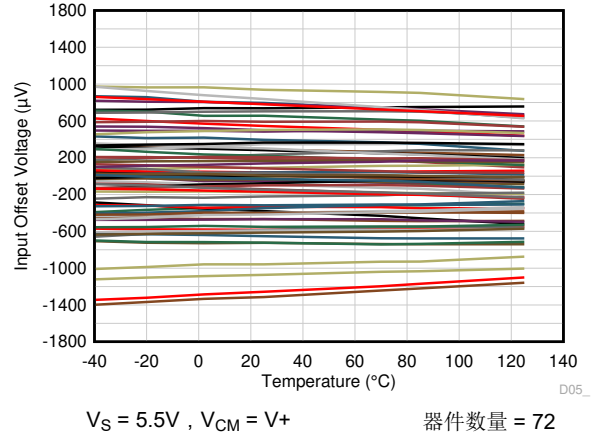


图 6-8. 输入失调电压与温度间的关系

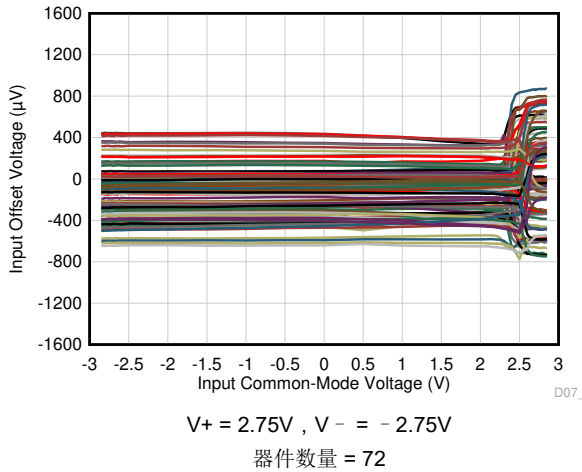


图 6-9. 失调电压与共模间的关系

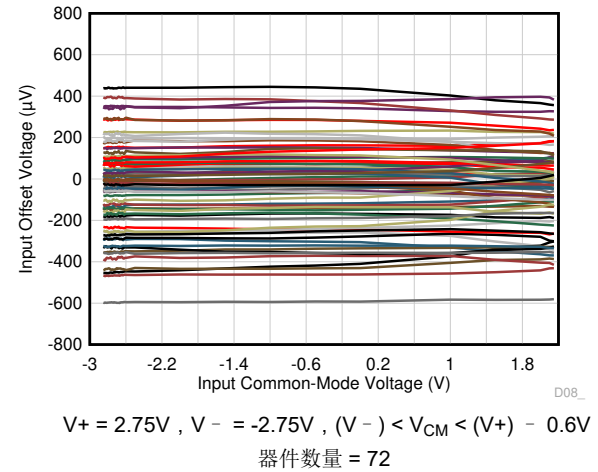


图 6-10. 失调电压与共模间的关系

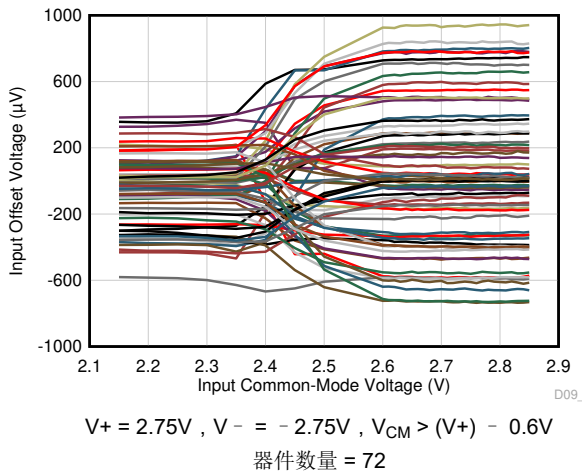


图 6-11. 失调电压与共模间的关系

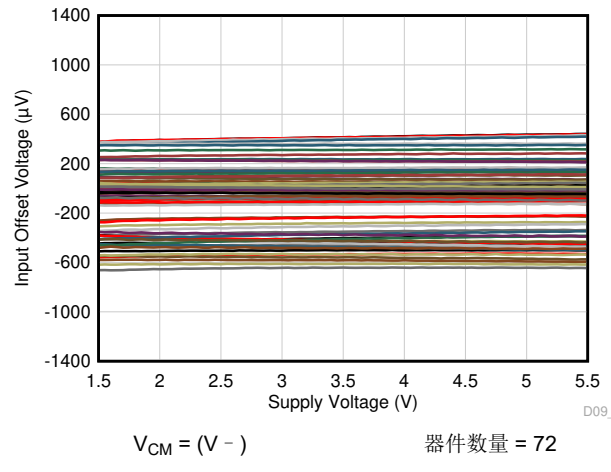
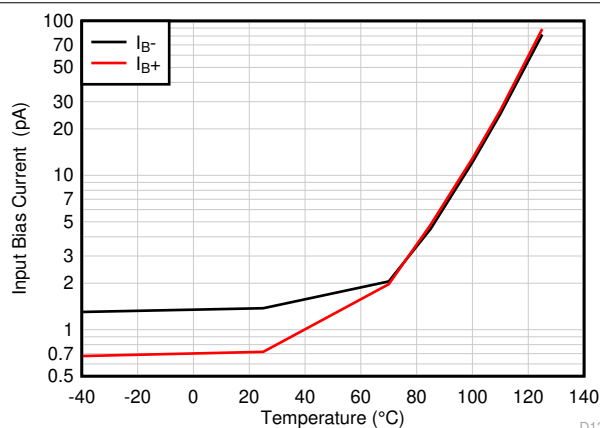


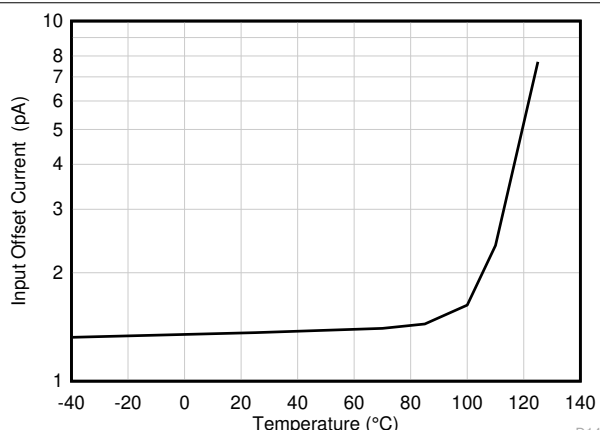
图 6-12. 失调电压与电源电压间的关系

6.8 典型特性 (续)

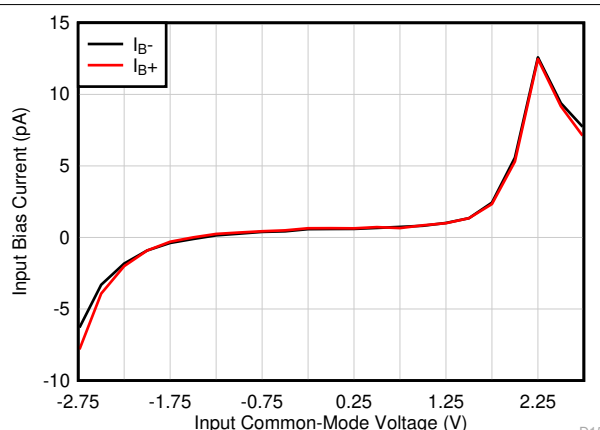
在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



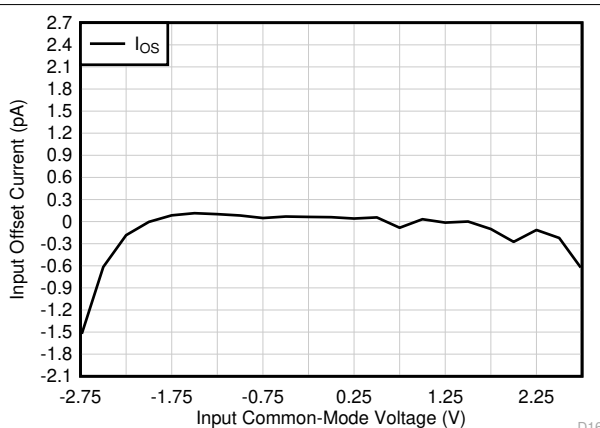
$V_S = 5.5\text{V}$, $V_{CM} = V_S/2$
图 6-13. I_B 与温度间的关系



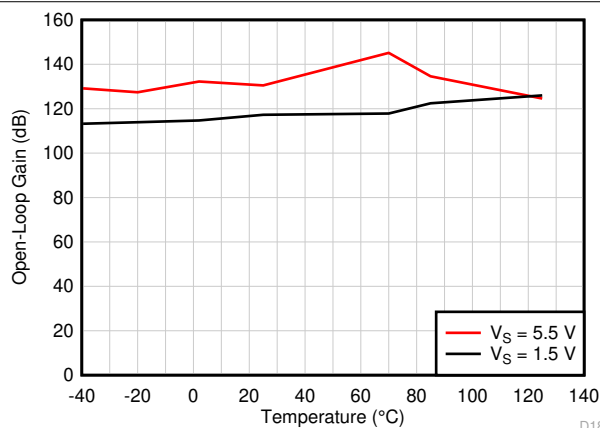
$V_S = 5.5\text{V}$, $V_{CM} = V_S/2$
图 6-14. I_{OS} 与温度间的关系



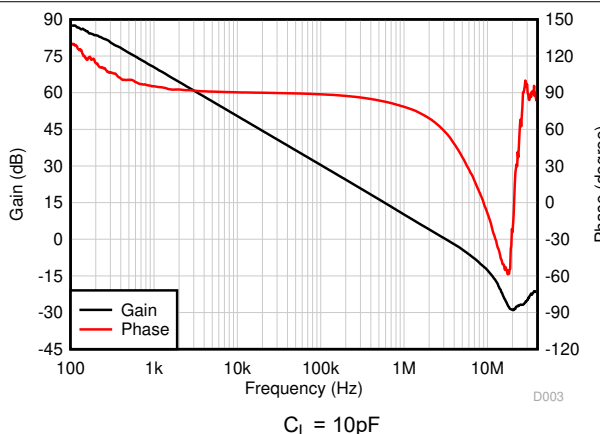
$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $V_{CM} = V_S/2$
图 6-15. I_B 与共模电压间的关系



$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $V_{CM} = V_S/2$
图 6-16. I_{OS} 与共模电压间的关系



$R_L = 10\text{k}\Omega$
图 6-17. 开环增益与温度间的关系



$C_L = 10\text{pF}$
图 6-18. 开环增益和相位与频率间的关系

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

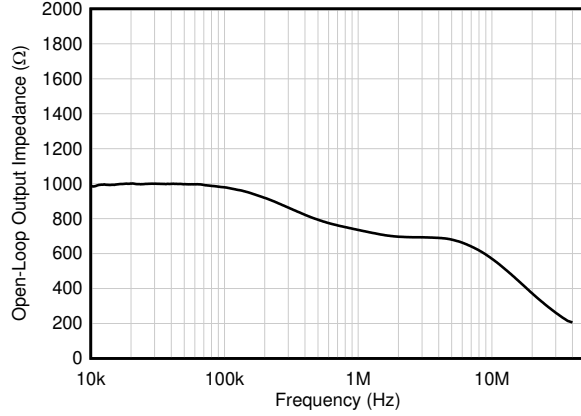


图 6-19. 开环输出阻抗与频率间的关系

D008

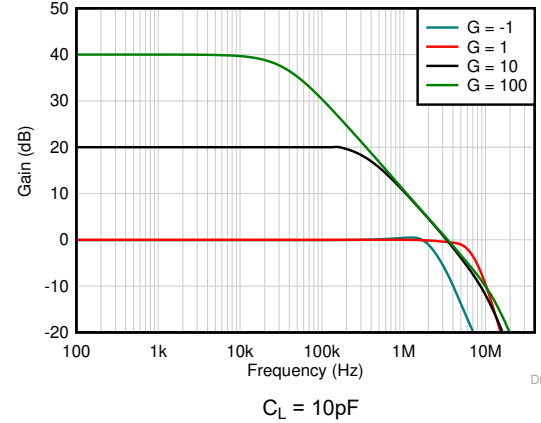
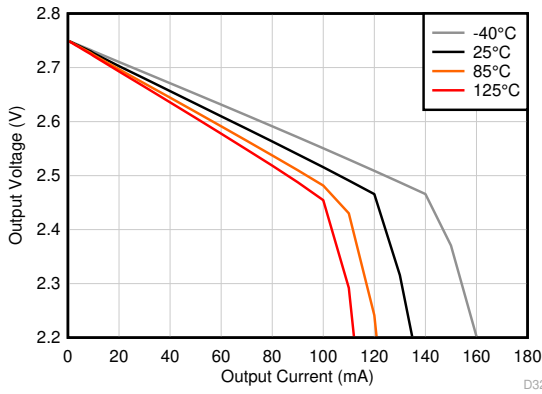


图 6-20. 闭环增益与频率间的关系

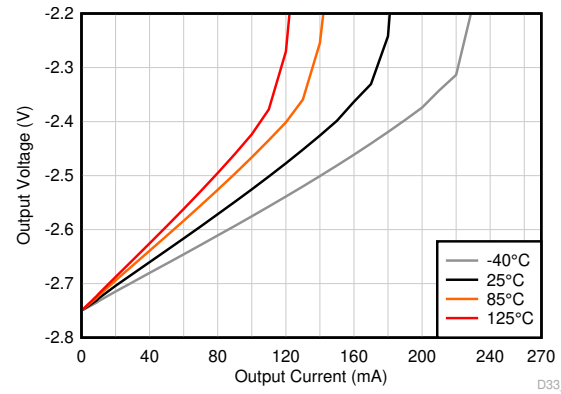
D017



$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

图 6-21. 输出电压摆幅与输出电流 (拉电流) 间的关系

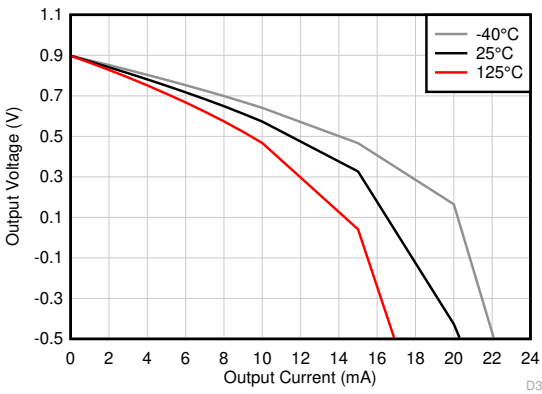
D32_



$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

图 6-22. 输出电压摆幅与输出电流 (灌电流) 间的关系

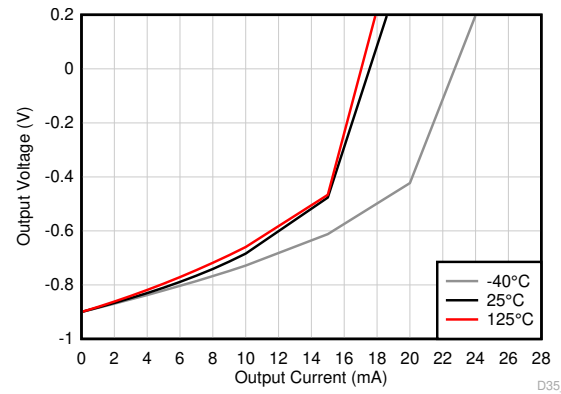
D33_



$V_+ = 0.9\text{V}$, $V_- = -0.9\text{V}$

图 6-23. 输出电压摆幅与输出电流 (拉电流) 间的关系

D34_



$V_+ = 0.9\text{V}$, $V_- = -0.9\text{V}$

图 6-24. 输出电压摆幅与输出电流 (灌电流) 间的关系

D35_

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

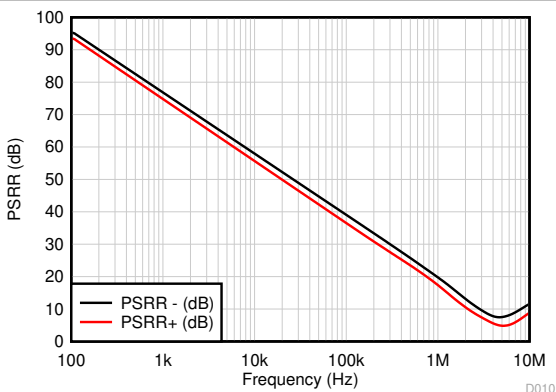


图 6-25. PSRR 与频率间的关系

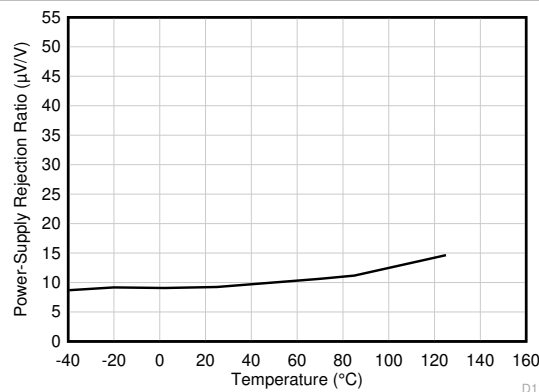
 $V_S = 1.5\text{V}$ 至 5.5V

图 6-26. DC PSRR 与温度间的关系

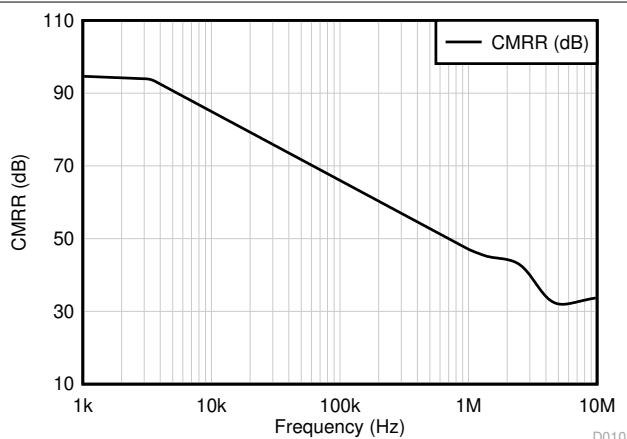


图 6-27. CMRR 与频率间的关系

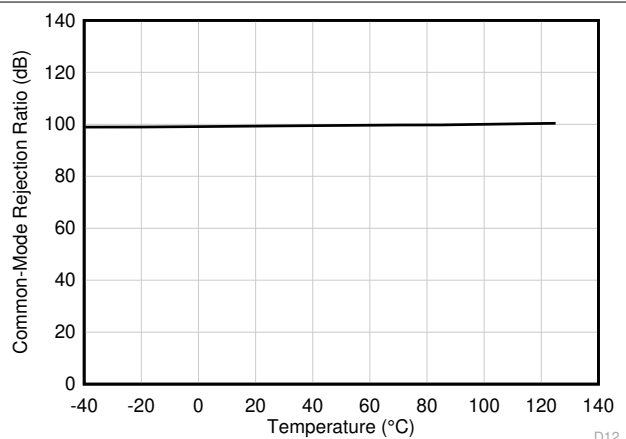
 $V_S = 5.5\text{V}$, $(V_-) < V_{CM} < (V_+) - 0.6\text{V}$

图 6-28. DC CMRR 与温度间的关系

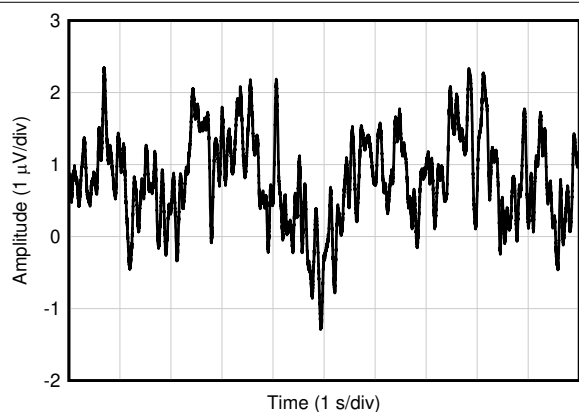


图 6-29. 0.1Hz 至 10Hz 时域电压噪声

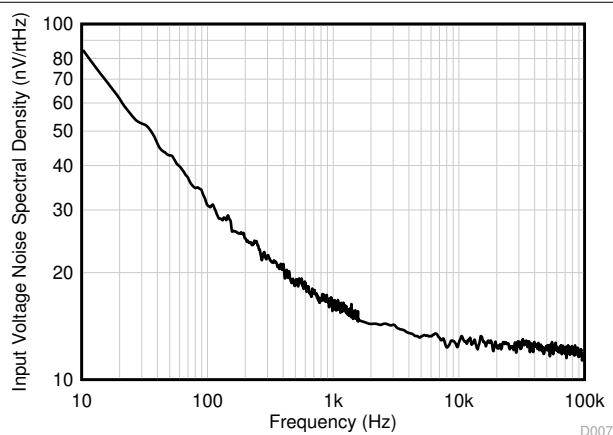


图 6-30. 输入电压噪声频谱密度

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

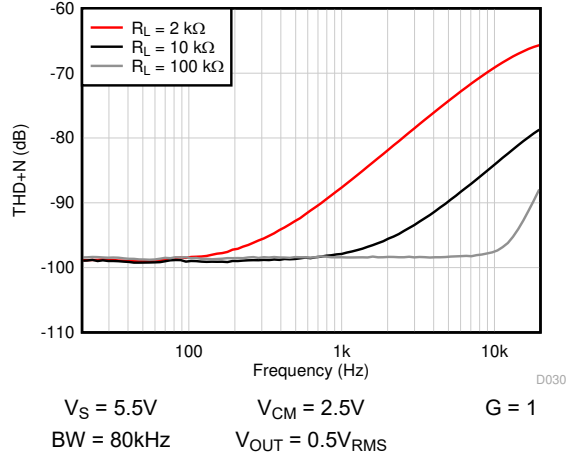


图 6-31. THD+N 与频率间的关系

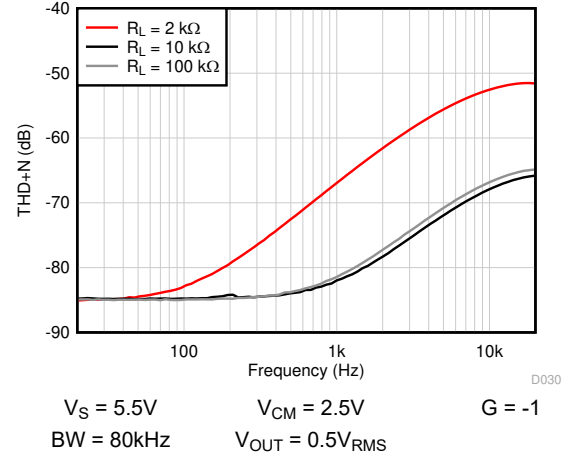


图 6-32. THD+N 与频率间的关系

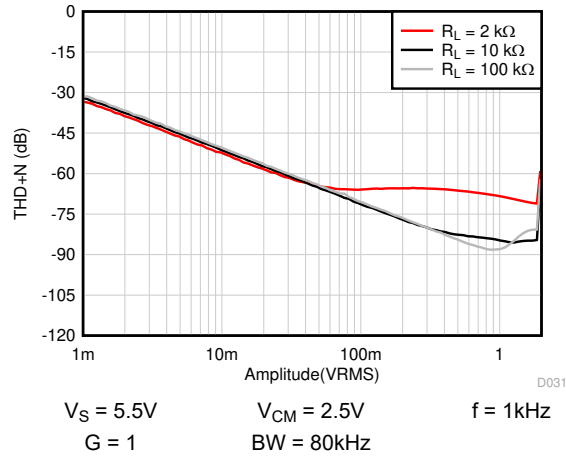


图 6-33. THD + N 与幅度间的关系

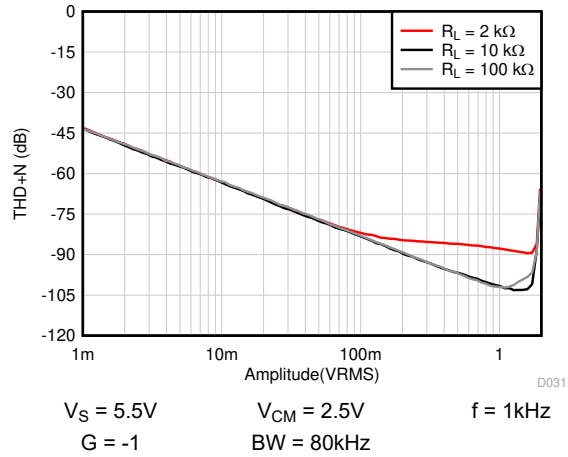


图 6-34. THD + N 与幅度间的关系

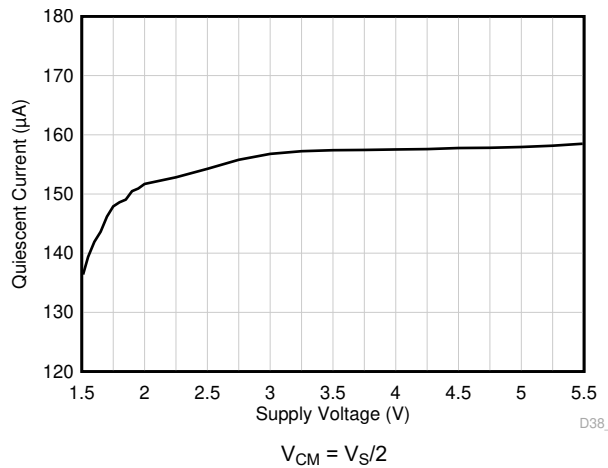


图 6-35. 静态电流与电源电压间的关系

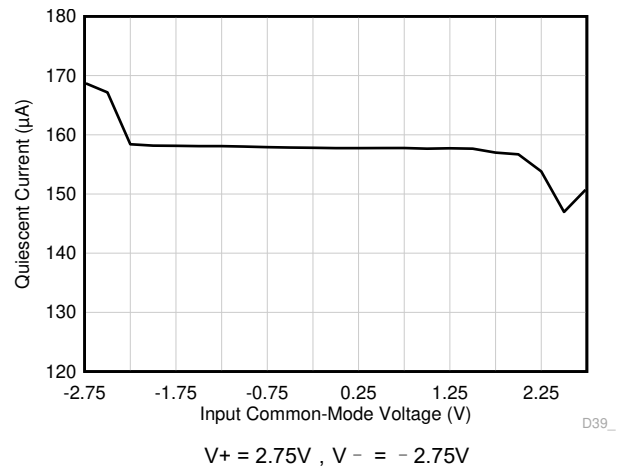


图 6-36. 静态电流与共模电压间的关系

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

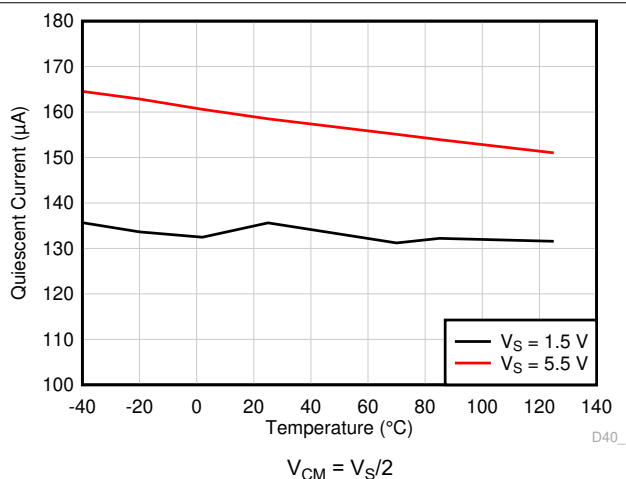


图 6-37. 静态电流与温度间的关系

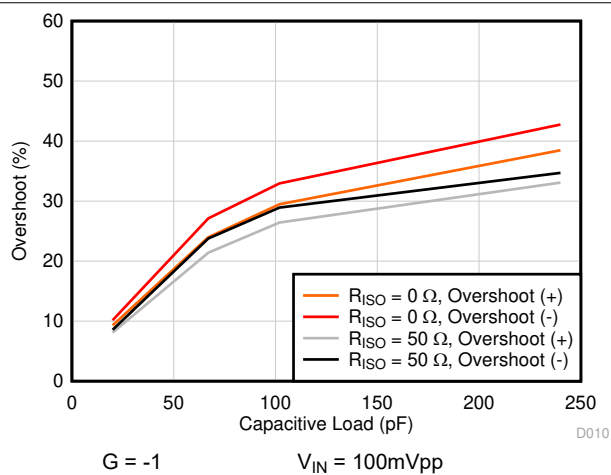


图 6-38. 小信号过冲与容性负载间的关系

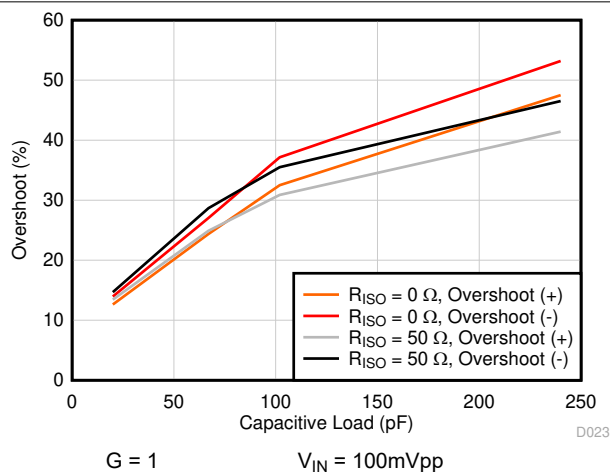


图 6-39. 小信号过冲与容性负载间的关系

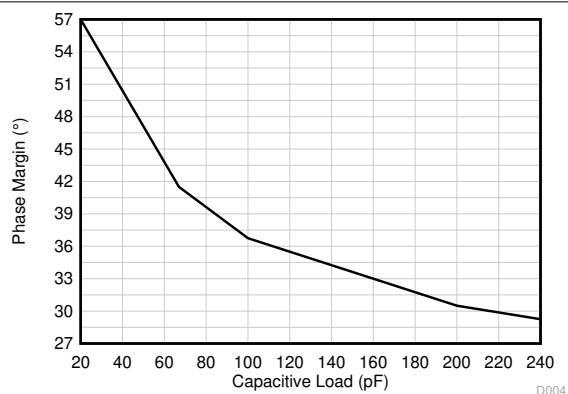


图 6-40. 相位裕度与容性负载间的关系

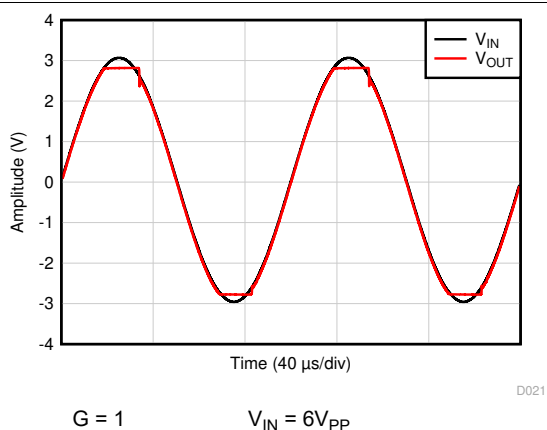


图 6-41. 无相位反转

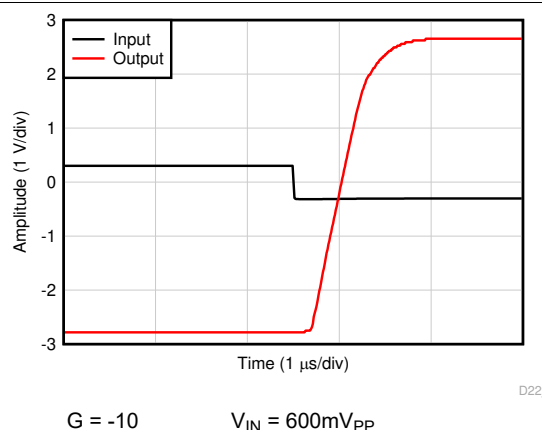
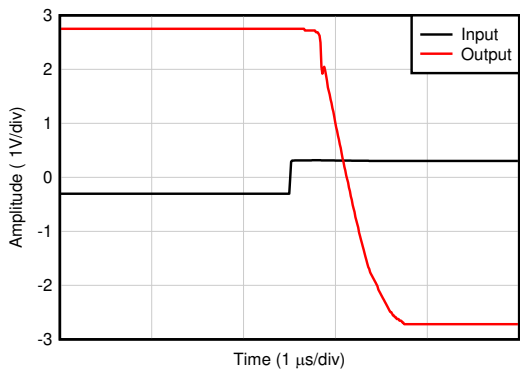


图 6-42. 过载恢复

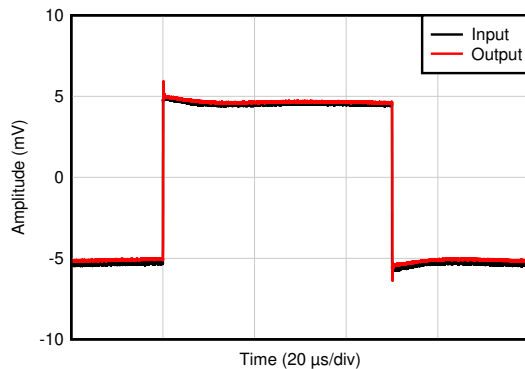
6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



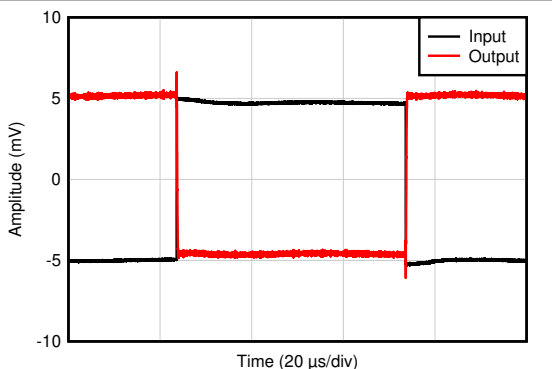
$G = -10$ $V_{IN} = 600\text{mV}_{PP}$

图 6-43. 过载恢复



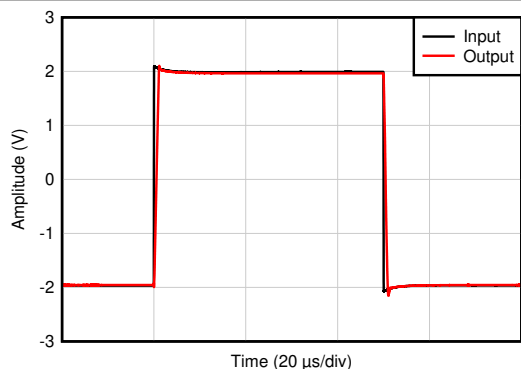
$G = 1$ $V_{IN} = 10\text{mV}_{PP}$ $C_L = 10\text{pF}$

图 6-44. 小信号阶跃响应



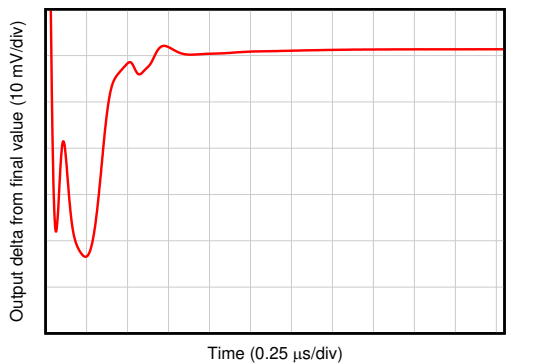
$G = -1$ $V_{IN} = 10\text{mV}_{PP}$ $C_L = 10\text{pF}$

图 6-45. 小信号阶跃响应



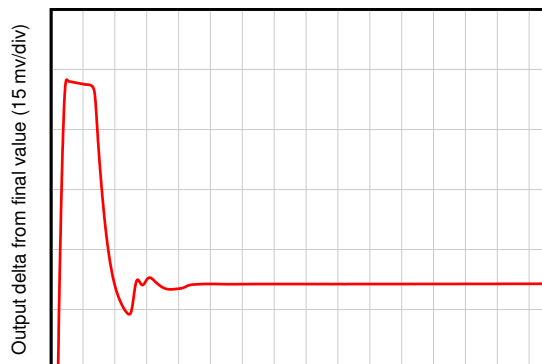
$G = 1$ $V_{IN} = 4\text{V}_{PP}$ $C_L = 10\text{pF}$

图 6-46. 大信号阶跃响应



$G = 1$ $V_{IN} = 4\text{V}_{PP}$ $C_L = 10\text{pF}$

图 6-47. 大信号建立时间 (负)



$G = 1$ $V_{IN} = 4\text{V}_{PP}$ $C_L = 10\text{pF}$

图 6-48. 大信号建立时间 (正)

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

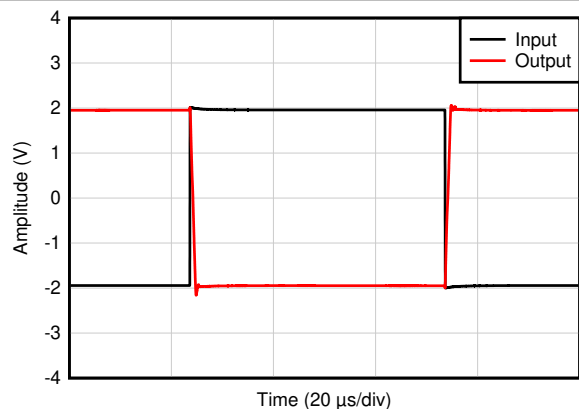
 $G = -1$ $V_{IN} = 4V_{PP}$ $C_L = 10\text{pF}$

图 6-49. 大信号阶跃响应

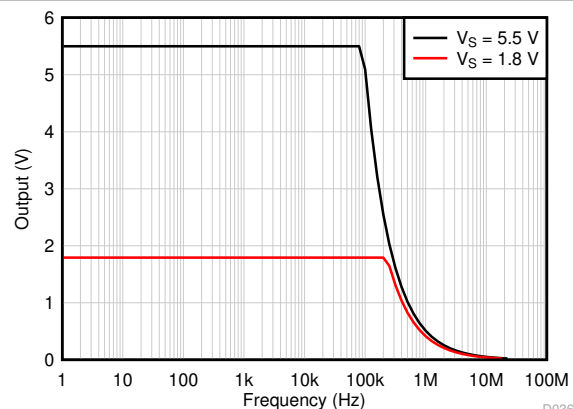


图 6-50. 最大输出电压与频率间的关系

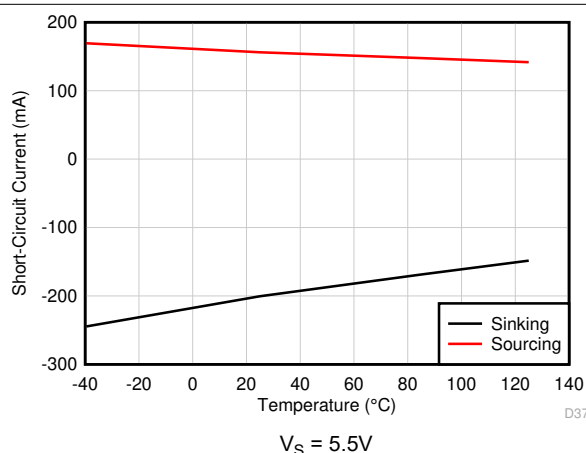
 $V_S = 5.5\text{V}$

图 6-51. 短路电流与温度间的关系

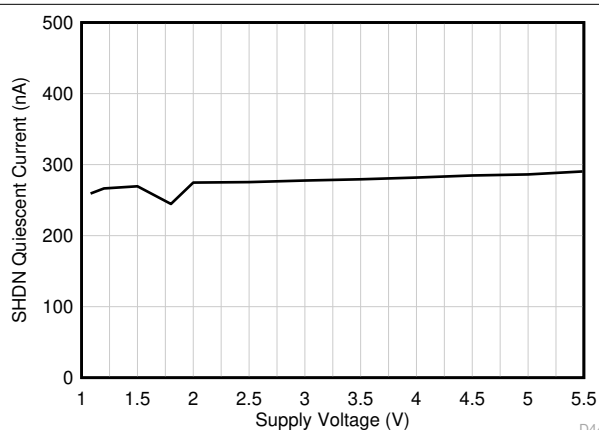


图 6-52. 关断模式静态电流与电源电压间的关系

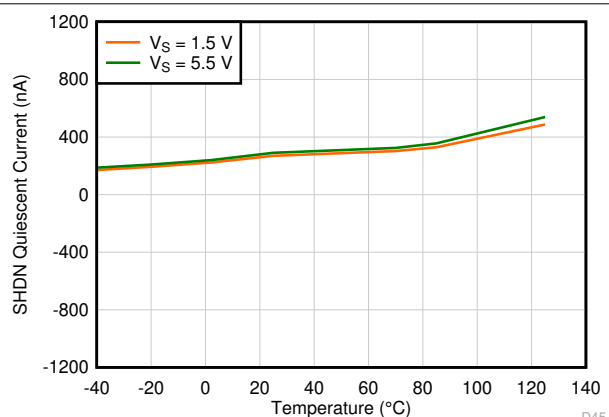


图 6-53. 关断模式静态电流与温度间的关系

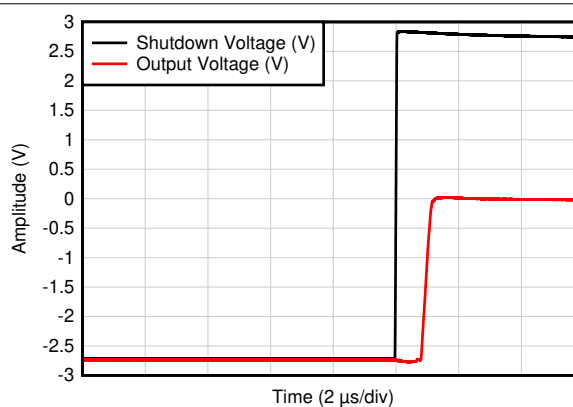
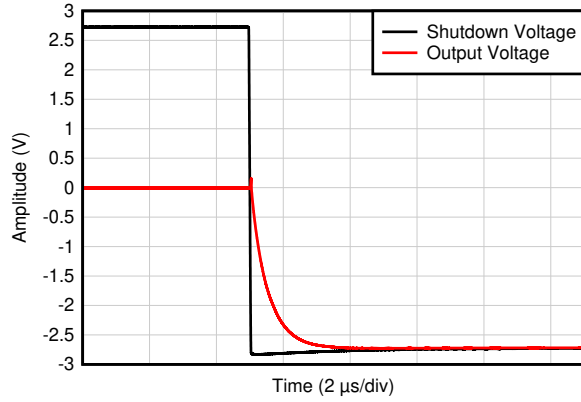
 $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

图 6-54. 放大器启用响应

6.8 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

图 6-55. 放大器禁用响应

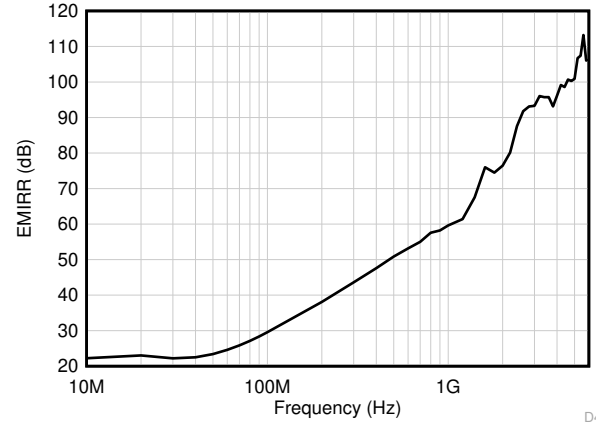


图 6-56. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

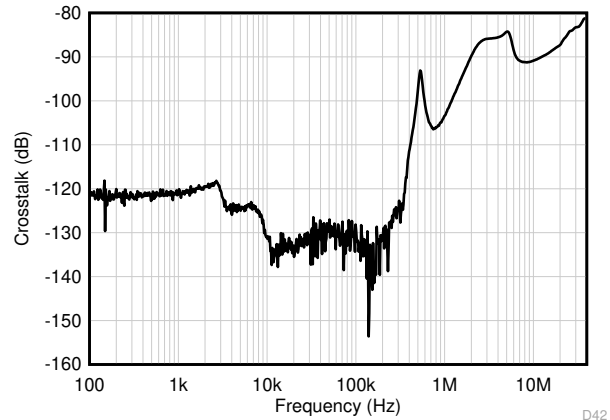


图 6-57. 通道隔离

7 详细说明

7.1 概述

OPAx310 系列运算放大器包括单通道 (OPA310)、双通道 (OPA2310) 和四通道 (OPA4310) 超低压 (1.5V 至 5.5V) 高输出电流运算放大器, 具有轨到轨输入和输出摆幅功能。OPAx310 还具有非常快的关断响应和典型值仅为 0.9 μ s 的启用时间规格。当应用涉及放大器信号链的占空比时, 此功能可实现节能。OPAx310 具有强大的 ESD 性能和失效防护输入 ESD 结构, 输入端与正电源轨之间无二极管连接。

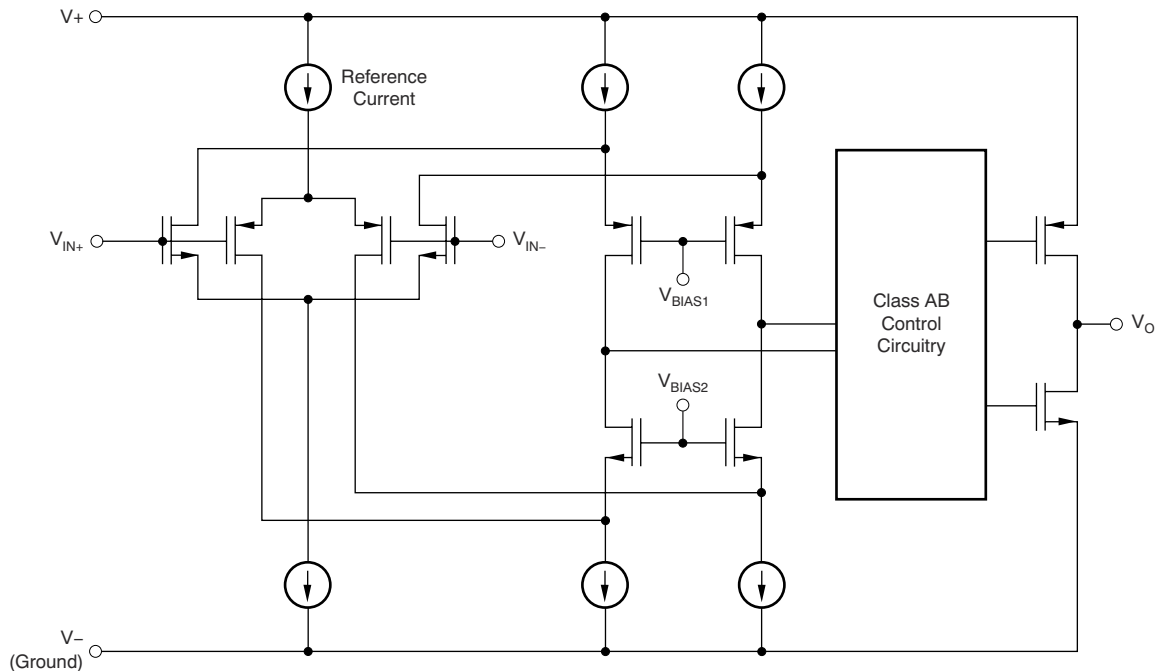
OPAx310 提供电源板、标准、小型封装, 并具有内部电流限制和热关断保护功能, 可在以高输出电流运行时实现更高的稳健性。OPAx310 的摆幅非常接近电源轨, 并且在 5.5V 电源电压下的整个温度范围内短路电流最小为 ± 75 mA, 而静态电流却仅有 165 μ A。这种低电压、低 I_Q 和高输出电流能力的组合使该器件非常独特, 是各种通用和高电流应用的理想选择。通过并联连接多个运算放大器, 可以轻松提高输出电流能力。这些器件非常适合 LED 驱动器、LCD 驱动器、激光驱动器、TEC 驱动器应用, 也可用作基准缓冲器、保护放大器或分立式 LDO。

输入共模电压范围包括两个电源轨, 并支持将 OPAx310 系列用于许多单电源或双电源配置。轨到轨输入和输出摆动显著增加了动态范围, 特别是在低电源应用中, 使这些器件非常适合驱动低速采样模数转换器 (ADC)。此外, AB 类输出级能够驱动连接至 $V+$ 和接地间任一点的较小阻性负载。

OPAx310 可以驱动典型相位裕度为 40°、高达 75pF 的器件, 并具有 3MHz 增益带宽积, 3V/ μ s 转换率, 4 μ V_{p-p} 集成噪声 (0.1Hz 至 10Hz), 同时每个通道仅消耗 165 μ A 的电源电流, 从而能够以极低的功耗提供良好的交流性能。直流应用还具有低输入偏置电流 (典型值为 1pA)、良好的输入失调电压 (典型值为 0.25mV) 和良好的 PSRR (典型值为 10 μ V/V)、CMRR (典型值为 80dB) 和 A_{OL} (典型值为 125dB)。

OPAx310 系列稳健耐用的设计可简化电路设计。这些运算放大器集成了射频抗扰 (RFI) 和电磁干扰 (EMI) 抑制滤波器, 具有单位增益稳定性, 并且在输入过驱条件下不会出现相位反转。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

OPAx310 系列运算放大器的额定工作电压范围为 1.8V 至 5.5V，并针对 1.5V 至 1.8V 的放大器工作电压进行了测试。此外，许多规格在 -40°C 至 125°C 的温度范围内都适用。典型特性中提供了随工作电压或温度的变化而显著变化的参数。TI 强烈建议使用至少 $0.01\ \mu\text{F}$ 的陶瓷电容器旁路电源引脚。

7.3.2 轨到轨输入

OPAx310 系列的输入共模电压范围可以扩展到任何一个电源轨。即使在 1.5V 的超低电源电压，一直到 5.5V 的标准电源电压下工作时都是如此。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联。有关详细信息，请参阅功能框图。

对于大多数具有互补输入级的放大器，其中一个输入对（通常是 P 通道输入对）设计用于在输入失调电压、N 通道对上的温漂方面提供稍微更好的性能。因此，P 通道对旨在覆盖大部分共模范围，而 N 通道对则被设计为在一定阈值电压下从正轨缓慢接管。就在阈值电压之后，两个输入对都在一个称为过渡区的小范围内工作。在这个区域之外，N 通道对完全接管。与器件在此区域外运行相比，器件在转换区域内运行时，PSRR、CMRR、失调电压、温漂和 THD 会降级。因此，大多数应用通常更喜欢在性能稍好一些的 P 通道输入范围内运行。

对于 OPAx310，P 通道对通常对从 $(V-) - 0.4\text{V}$ 到 $(V+) - 0.4\text{V}$ 的输入电压有效，而 N 通道对通常对从正电源到 $(V+) - 0.4\text{V}$ 的输入电压有效。过渡区域通常出现在 $(V+) - 0.5\text{V}$ 到 $(V+) - 0.3\text{V}$ 之间，在过渡区域内时，两对均开启。上面提到的这些电压电平可能随着与晶体管的阈值电压相关联的工艺变化而变化。在 OPAx310 中，上述 200mV 过渡区域在任一方向上的变化最高可达 200mV。因此，此转换区域（两个级都打开）在低侧上的范围介于 $(V+) - 0.7\text{V}$ 至 $(V+) - 0.5\text{V}$ 之间，在高侧上的范围高达 $(V+) - 0.3\text{V}$ 至 $(V+) - 0.1\text{V}$ 之间。

鉴于 P 通道输入对通常提供比 N 通道输入对更好的性能，OPAx310 与业内大多数互补输入放大器相比，提供了更宽的 P 通道输入对范围。下面提供了 OPAx310 和 TLV900x 的并排比较。请注意，TLV900x 可保证 P 通道对仅在距正电源轨 1.4V 之前运行，而 OPAx310 保证 P 通道对一直运行到距正电源轨 0.7V。OPAx310 的这个额外 700mV P 通道输入对范围在 P 通道输入范围通常在很大程度上受到限制的较低电源电压（1.5V、1.8V 等）下运行时特别有用。

因此，输入信号的宽共模摆幅可以更容易地容纳在 OPAx310 的 P 通道输入对中，同时可能避开过渡区域，从而保持线性度。

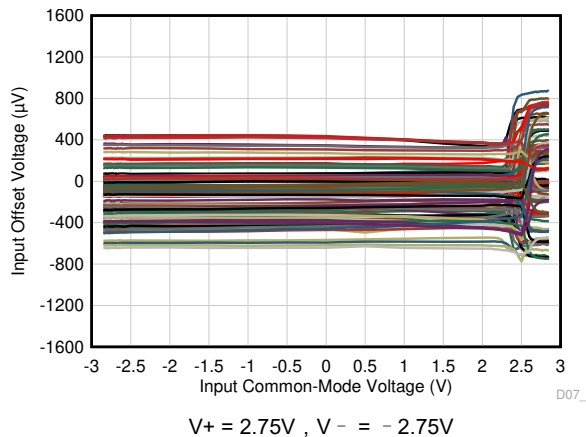


图 7-1. OPAx310 失调电压与共模间的关系

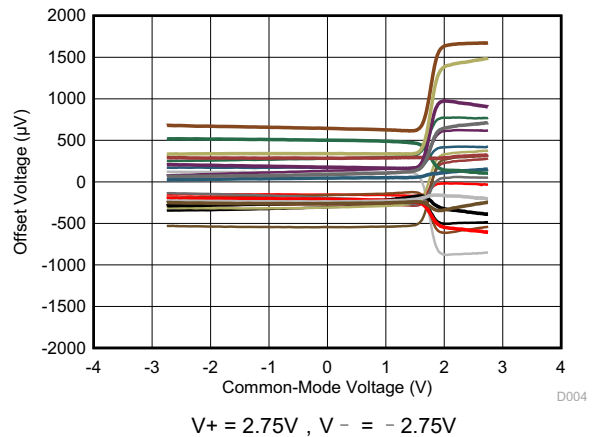


图 7-2. TLV900x 失调电压与共模间的关系

7.3.3 轨到轨输出

OPAx310 器件设计为一种低功耗、高输出电流运算放大器，可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨到轨输出摆幅功能。在室温和 5.5V 电源下，对于高达 2k Ω 的电阻负载，输出在任一电源轨的最大 20mV 范围内摆动。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

7.3.4 容性负载和稳定性

OPAx310 旨在用于需要驱动容性负载的应用中。与所有运算放大器一样，OPAx310 可能会存在不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。在单位增益 (1V/V) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相补角降级的极点。当容性负载增加时，相补角的降级会增大。在单位增益配置下运行时，OPAx310 具有良好的相位裕度（典型值为 40°），在高达约 75pF 的纯容性负载下仍能保持稳定，并且不超过 250pF 时无持续振荡。某些超大电容器（ C_L 大于 1 μ F）的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

放大器在单位增益配置下运行时增大容性负载驱动能力的一种方法就是串行插入一个小电阻器（一般为 10 Ω 到 20 Ω ），与输出串联（如图 7-3 中所示）。这个电阻器大大减少了与大容量负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

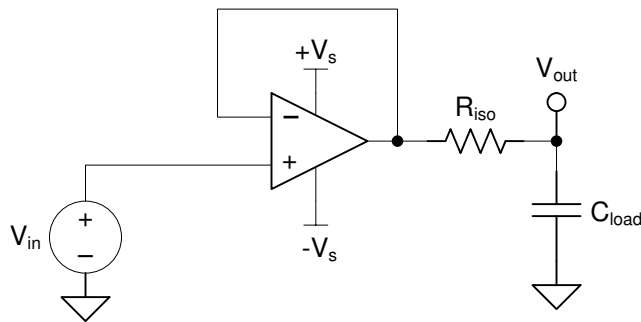


图 7-3. 增强容性负载驱动能力

7.3.5 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。一旦其中一个输出器件进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级恢复线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。

OPAx310 系列的过载恢复时间通常约为 0.75 μ s。

7.3.6 EMI 抑制

OPAx310 使用集成电磁干扰 (EMI) 滤波来降低干扰源（如无线通信设备（射频干扰 (RFI)）以及混合使用模拟信号链和数字组件的高密度电路板）产生的 EMI。通过电路设计技术可改进 EMI 抗扰度；OPAx310 受益于这些设计改进措施。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 7-4 展示了在 OPAx310 上执行此测试的结果。表 7-1 展示了 OPAx310 在实际应用中通常会遇到的特定频率下的 EMIRR IN+ 值。运算放大器的 EMI 抑制比应用报告包含了与运算放大器相关的 EMIRR 性能主题，该报告可在 www.ti.com 上下载。

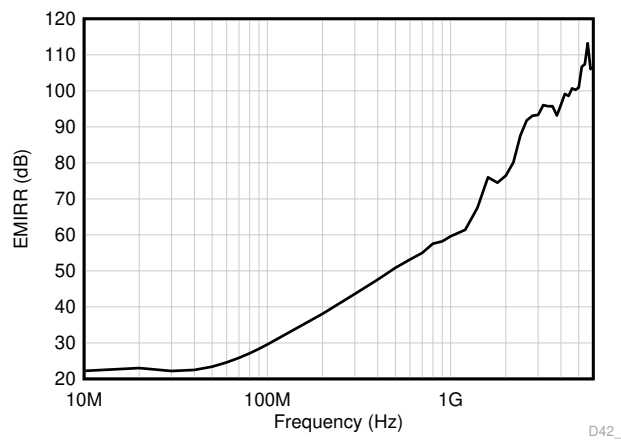


图 7-4. EMIRR 测试

表 7-1. OPAx310 目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	48dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS (最高可达 1.6GHz)、GSM、航空移动通信及 UHF 应用	58dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段 (1GHz 至 2GHz)	75dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段 (2GHz 至 4GHz)	90dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	95dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段 (4GHz 至 8GHz)	102dB

7.3.7 ESD 和电气过载

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。图 7-5 展示了 OPAx310 器件中包含的 ESD 电路。ESD 保护电路中涉及多个导流二极管，这些二极管从输入引脚和输出引脚连接回内部供电线路，并且输入和输出引脚均连接到运算放大器内部的吸收器件。该保护电路在电路正常工作时处于未运行状态。

请注意，OPAx310 在输入和正电源引脚之间没有连接导流二极管。

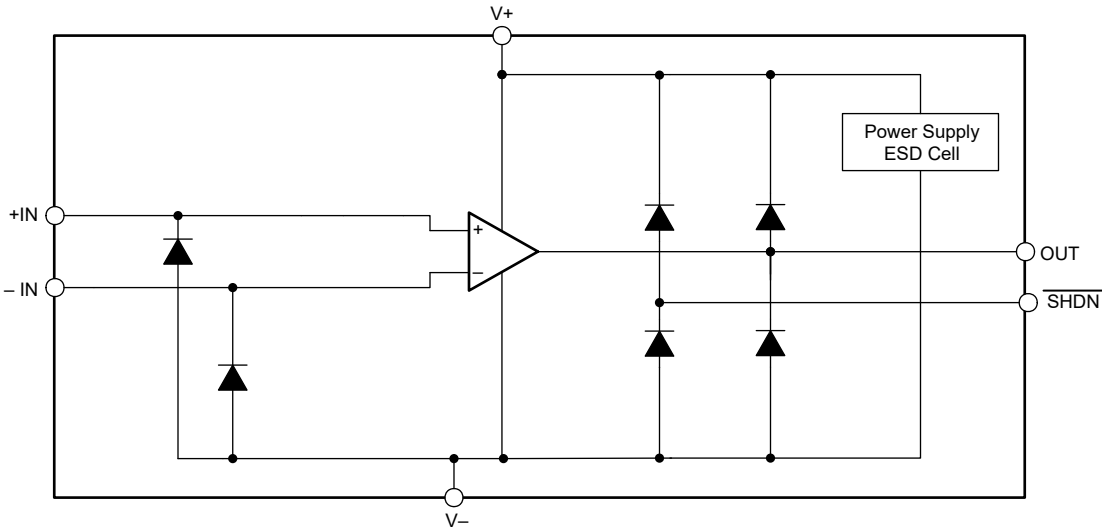


图 7-5. 等效内部 ESD 电路

7.3.8 输入 ESD 保护

OPAx310 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入，此保护主要由失效防护 ESD 输入结构组成，该结构在输入和正电源引脚之间没有连接电流导向二极管，如图 7-5 所示。在电源时序场景中，此功能非常有用，在这些场景中，输入信号可以出现在正电源轨之前。失效防护输入 ESD 结构可防止输入与正电源之间发生短路。

7.3.9 关断功能

OPAx310 S 器件具有 $\overline{\text{SHDN}}$ 引脚，可禁用运算放大器，将其置于低功耗待机模式。在此模式下，运算放大器在室温下消耗的电流通常低于 500nA。 $\overline{\text{SHDN}}$ 引脚为低电平有效，这意味着当 $\overline{\text{SHDN}}$ 引脚的输入为有效逻辑低电平时启用关断模式。

$\overline{\text{SHDN}}$ 引脚以运算放大器的负电源电压为基准。关断特性的阈值在 500mV (典型值) 左右，且不随电源电压的变化而变化。开关阈值中包含了迟滞，以确保顺畅的开关特性。为了确保正确的关断行为，必须通过有效逻辑信号驱动 $\overline{\text{SHDN}}$ 引脚。有效逻辑低电平是指介于 V^- 和 $(V^-) + 0.2V$ 之间的电压。有效逻辑高电平是指介于 $(V^-) + 1.2V$ 和 V^+ 之间的电压。要启用放大器，必须将 $\overline{\text{SHDN}}$ 引脚驱动至有效逻辑高电平。若要禁用放大器，必须将 $\overline{\text{SHDN}}$ 引脚驱动至有效逻辑低电平。TI 强烈建议将关断引脚连接到有效的高电压或低电压或进行驱动。 $\overline{\text{SHDN}}$ 引脚上允许的最大电压为 $(V^+) + 0.5V$ 。超过此电压水平会导致器件损坏。

$\overline{\text{SHDN}}$ 引脚为高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电应用，这种特性可用于大幅降低平均电流并延长电池寿命。启用和禁用时间的目标是低于 1 μ s，以完全关闭所有通道。禁用时，输出呈现高阻抗状态。该架构支持将 OPAx310S 用作门控放大器 (或将器件输出复用到公共模拟输出总线上)。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断 (禁用)，指定的 10k Ω 负载需加载到中间电源 ($V_S/2$)。

7.3.10 带外露散热焊盘的封装

OPAx310 系列采用具有外露散热焊盘的 WQFN-16 (RTE) 封装。在封装内部，使用导电化合物将内核连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 (V^-)。不得将散热焊盘连接到 (V^-) 以外的电势，否则可能导致器件的性能与 [电气特性](#) 表不一致。

7.4 器件功能模式

OPAx310 器件具有一种功能模式。只要电源电压在 1.5V ($\pm 0.75V$) 与 5.5V ($\pm 2.75V$) 之间，这些器件就处于通电状态。

OPAx310 器件具有关断引脚，可用于将运算放大器置于低功耗模式。更多信息请参阅 [关断功能](#) 部分。

8 应用和实现

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

OPAx310 系列轨到轨输入和输出运算放大器专为高输出电流应用而设计。这些器件的工作电压范围为 1.5V 至 5.5V，具有单位增益稳定特性，也是各种通用应用的卓越选择。只要器件不强制进入短路模式或热关断模式，AB 类输出级就能够驱动连接到 $V+$ 和 $V-$ 之间任意点的小电阻负载。输入共模电压范围包括两个电源轨，并支持将 OPAx310 系列用于许多单电源或双电源配置。

8.2 典型应用

8.2.1 OPAx310 低侧电流检测应用

图 8-1 展示了低侧电流检测应用中配置的 OPAx310。

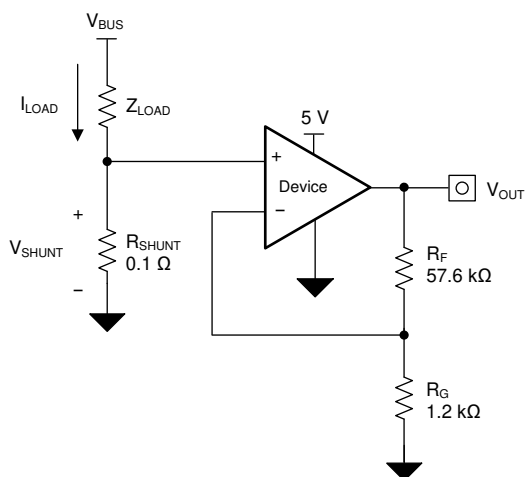


图 8-1. OPAx310 位于低侧电流检测应用

8.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

8.2.1.2 详细设计过程

方程式 1 提供了图 8-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times \text{Gain} \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 计算最大分流电阻：

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\text{ mV}}{1\text{ A}} = 100\text{ m}\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100m Ω 。 I_{LOAD} 和 R_{SHUNT} 产生的压降由 OPAx310 放大，从而产生约 0V 至 4.9V 的输出电压。OPAx310 产生必要输出电压时所需的增益根据方程式 3 算出。

$$\text{Gain} = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 OPAx310 的增益设置为 49V/V。

$$\text{Gain} = 1 + \frac{R_F}{R_G} \quad (4)$$

选择 R_F 为 57.6k Ω ， R_G 为 1.2k Ω 可提供等于 49V/V 的组合。图 8-2 展示了图 8-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的正确阻抗选择；应选择适合您的系统参数的阻抗。

8.2.1.3 应用曲线

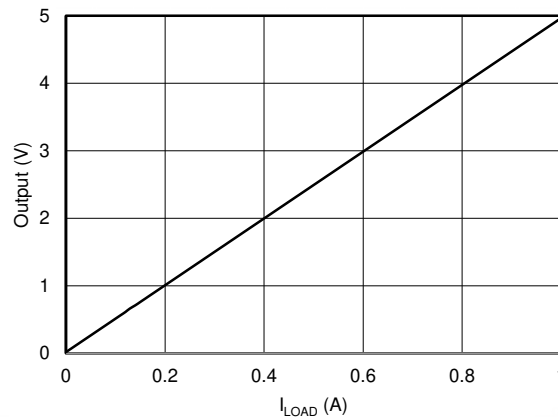


图 8-2. 低侧电流感测传递函数

8.3 电源相关建议

OPAx310 系列的额定工作电压范围为 1.5V 至 5.5V ($\pm 0.75V$ 至 $\pm 2.75V$) ; 多种规格适用于 -40°C 至 125°C 的温度范围。 [电气特性](#) 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

小心

电源电压超过 7V 可能会对器件造成损坏；请参阅 [绝对最大额定值](#) 表。

将 0.1 μF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置位置的详细信息，请参阅 [布局指南](#)。

8.4 布局

8.4.1 布局指南

为了使器件具有最佳运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器本身的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1 μF 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的一个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如 [布局示例](#) 中所示。使 R₁ 和 R₂ 接近反相输入可更大限度地减小寄生电容。
- 尽可能缩短输入走线。切记，输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可显著减少附近走线在不同电势下产生的漏电流。
- TI 建议在组装 PCB 板之后对其进行清洁，以获得卓越性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，TI 建议将 PCB 组装烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85 $^{\circ}\text{C}$ 下低温烘干 30 分钟即可。

8.4.2 布局示例

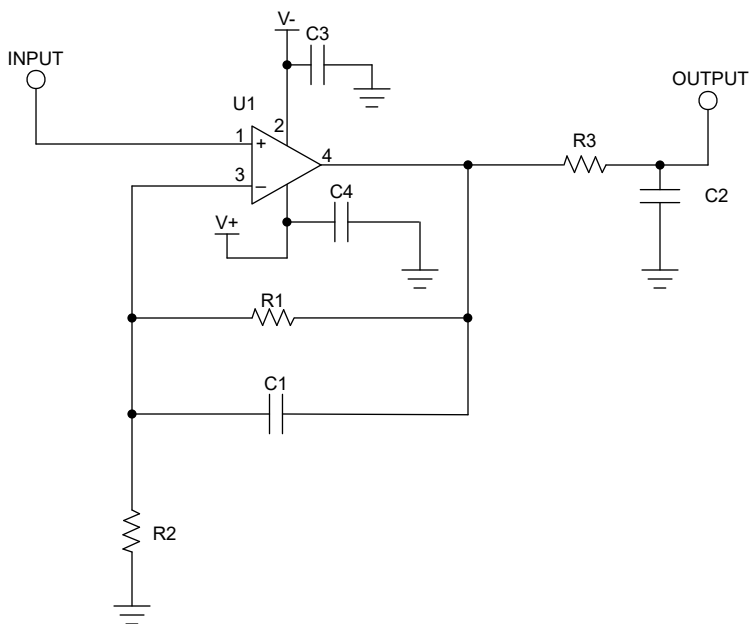


图 8-3. 同相配置布局示例的原理图

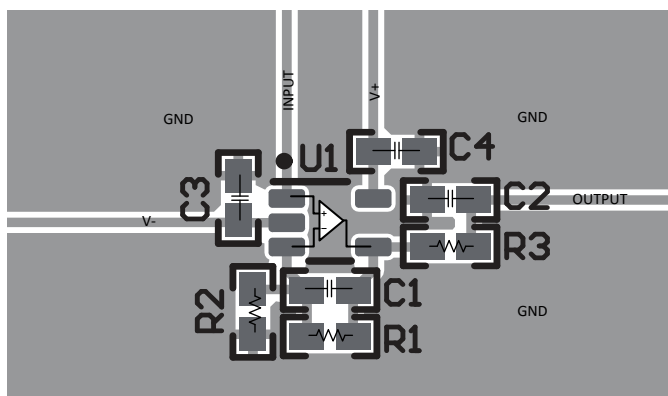


图 8-4. 同相配置的运算放大器电路板布局布线 - SC70 (DCK) 封装

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[运算放大器的 EMI 抑制比 \(以 OPA333 和 OPA333-Q1 为例\) 应用报告](#)
- 德州仪器 (TI)，[QFN/SON PCB 连接应用报告](#)
- 德州仪器 (TI)，[四方扁平封装无引线逻辑封装应用报告](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

商标

TI E2E™ is a trademark of Texas Instruments.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (January 2024) to Revision H (November 2024)	Page
• 删除了数据表中提到的所有 OPAx310-Q1.....	1

Changes from Revision F (June 2023) to Revision G (January 2024)	Page
• 更新了 电源建议 ，将 6V 修正为 7V	34

Changes from Revision E (December 2022) to Revision F (June 2023)	Page
• 更新了 器件信息 表格式以包含通道数和封装引线.....	1

Changes from Revision D (October 2022) to Revision E (December 2022)	Page
• 删除了 OPA2310S RUG 和 OPA4310 D、PW 封装的预发布标签.....	1
• 删除了 OPA2310S RTE 和 OPA4310 D、PW 封装的预发布标签.....	3
• 在规格部分添加了 OPA2310S 的关断静态电流.....	10

Changes from Revision C (September 2022) to Revision D (October 2022)	Page
• 将 OPA310/OPA310S DBV、DCK 封装从“预发布”更改为“量产”.....	1
• 删除了 OPA310/OPA310S DBV、DCK 封装的预发布标签.....	3
• 在规格部分中将启用时间最大限制更改为 1.6μs.....	10

Changes from Revision B (July 2022) to Revision C (September 2022)	Page
• 将典型启用时间更新为 0.9μs.....	1
• 删除了 OPA310 DBV 和 OPA4310S RTE 封装的预发布标签.....	1
• 从规格部分删除了关断部分处于预发布模式脚注.....	10

Changes from Revision A (June 2022) to Revision B (July 2022)	Page
• 将 DGK 从“预发布”更改为“量产”.....	1
• 更新了器件比较部分以包含有关关断的信息.....	3
• 删除了 DGK 封装的预发布标签.....	3
• 在规格部分添加了关断部分处于预发布模式脚注.....	10
• 更新了 ESD 和电气过载部分以显示关断引脚上的 ESD 结构.....	30

Changes from Revision * (April 2022) to Revision A (June 2022)	Page
• 将状态从“预告信息”更改为“量产数据”.....	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2310IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O231
OPA2310IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O231
OPA2310IDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2310D
OPA2310IDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2310D
OPA2310IDSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O23G
OPA2310IDSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O23G
OPA2310SIRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NZ
OPA2310SIRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NZ
OPA310IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O310
OPA310IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O310
OPA310IDCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NN
OPA310IDCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NN
OPA310SIDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O31S
OPA310SIDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O31S
OPA310SIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NP
OPA310SIDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1NP
OPA4310IDR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4310D
OPA4310IDR.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4310D
OPA4310IPWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4310PW
OPA4310IPWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4310PW
OPA4310SIRTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4310S
OPA4310SIRTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4310S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA310 :

- Automotive : [OPA310-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2310IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2310IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2310IDSGR	WSO	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2310SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
OPA310IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA310SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA310SIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4310IDR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4310IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4310SIRTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2310IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2310IDR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2310IDSGR	WSO	DSG	8	3000	210.0	185.0	35.0
OPA2310SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
OPA310IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA310IDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA310SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA310SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA310SIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
OPA4310IDR	SOIC	D	14	3000	353.0	353.0	32.0
OPA4310IPWR	TSSOP	PW	14	3000	353.0	353.0	32.0
OPA4310SIRTER	WQFN	RTE	16	5000	367.0	367.0	35.0

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

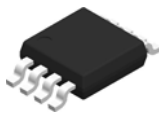


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

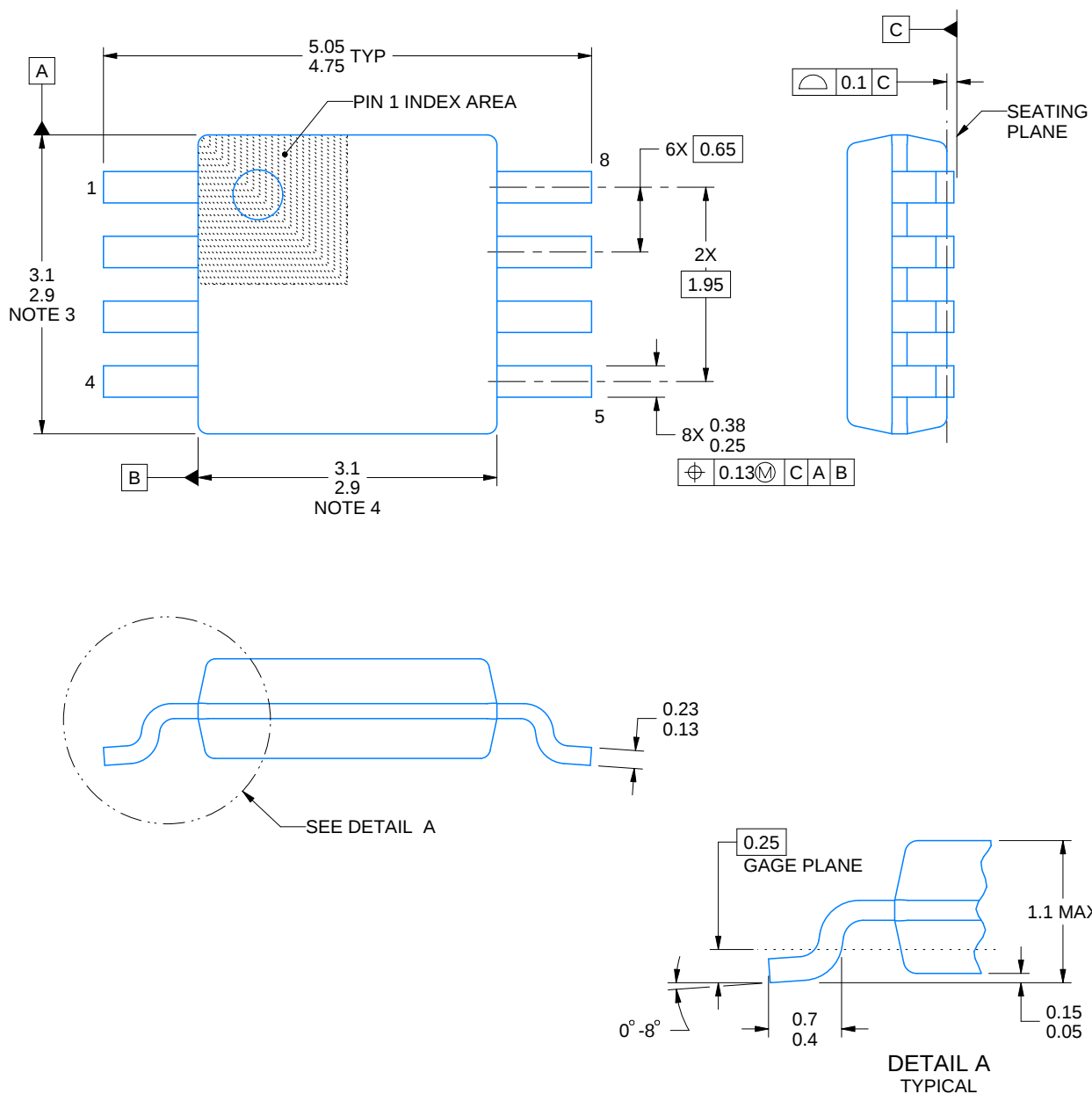
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A**PACKAGE OUTLINE****VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

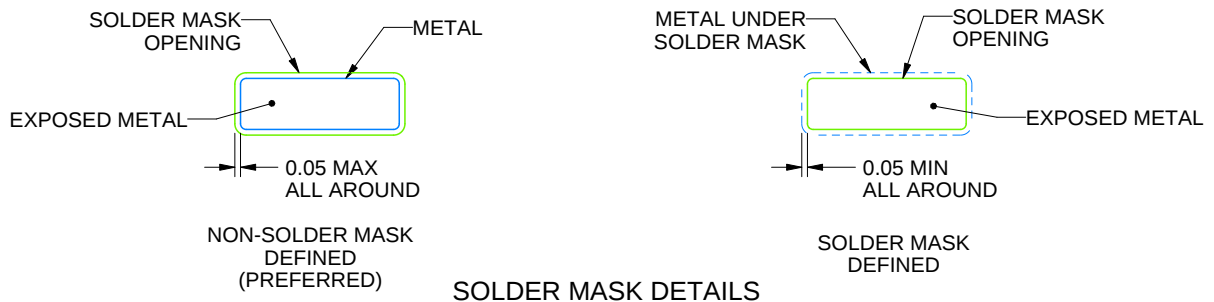
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

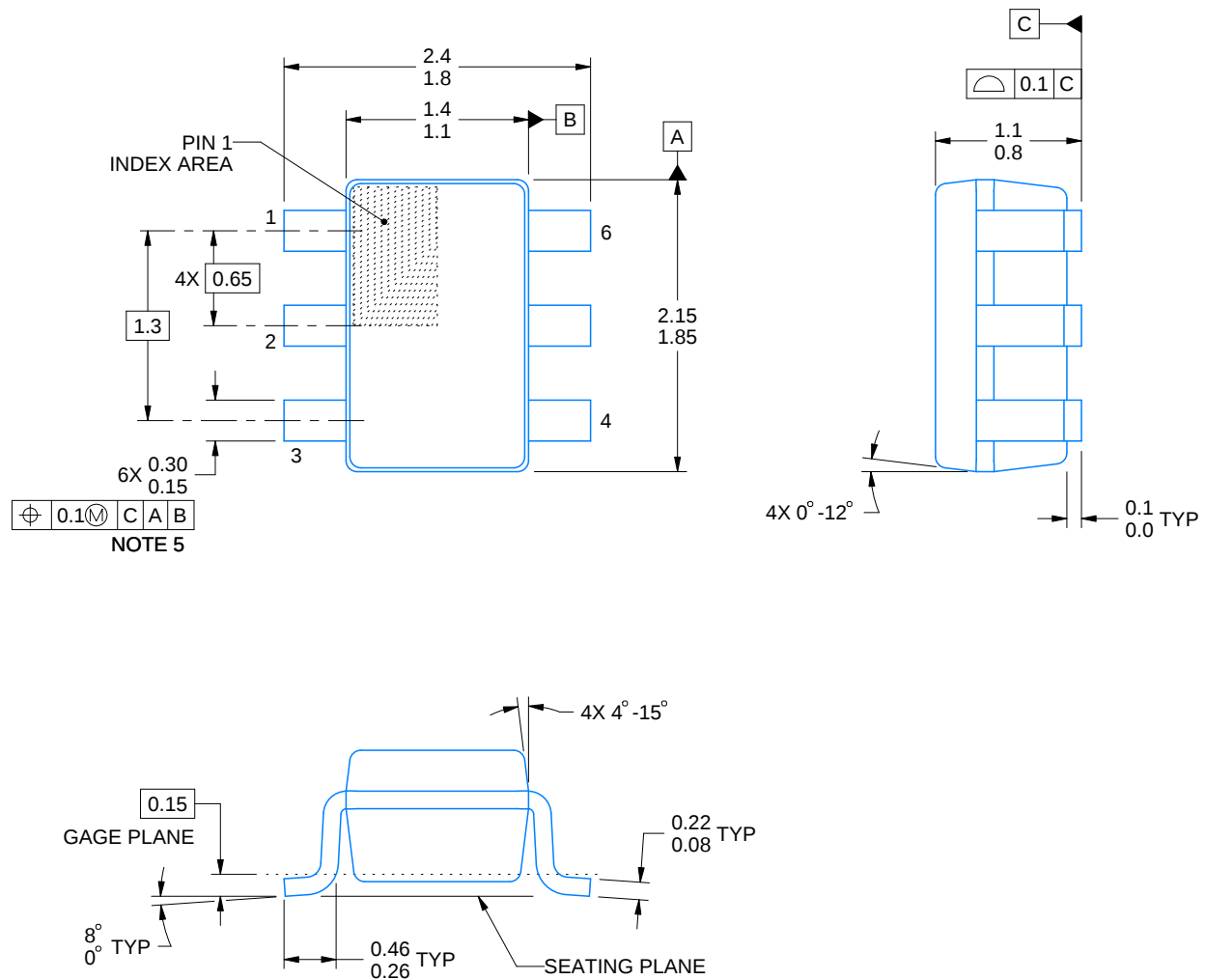


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

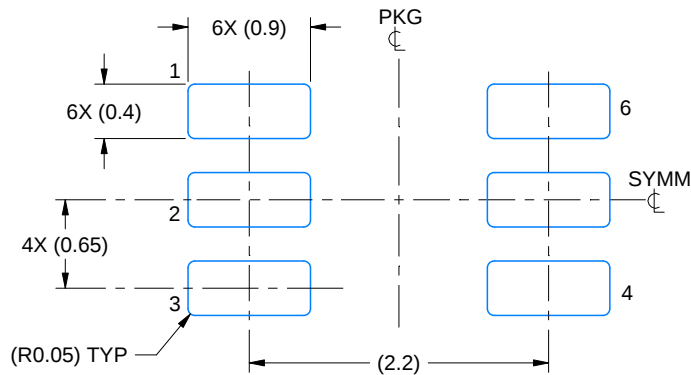
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



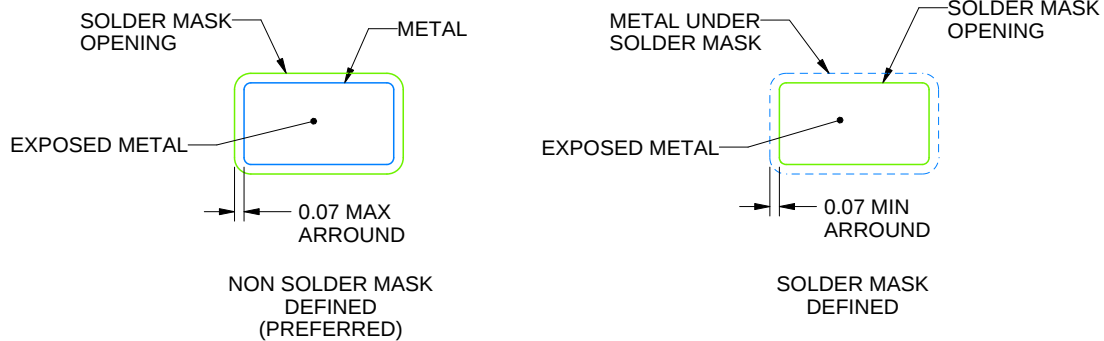
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

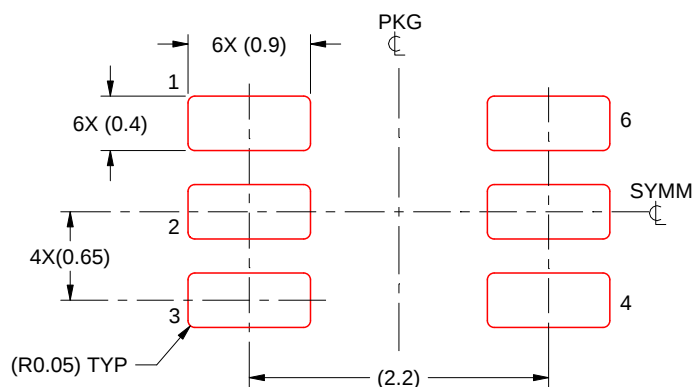


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

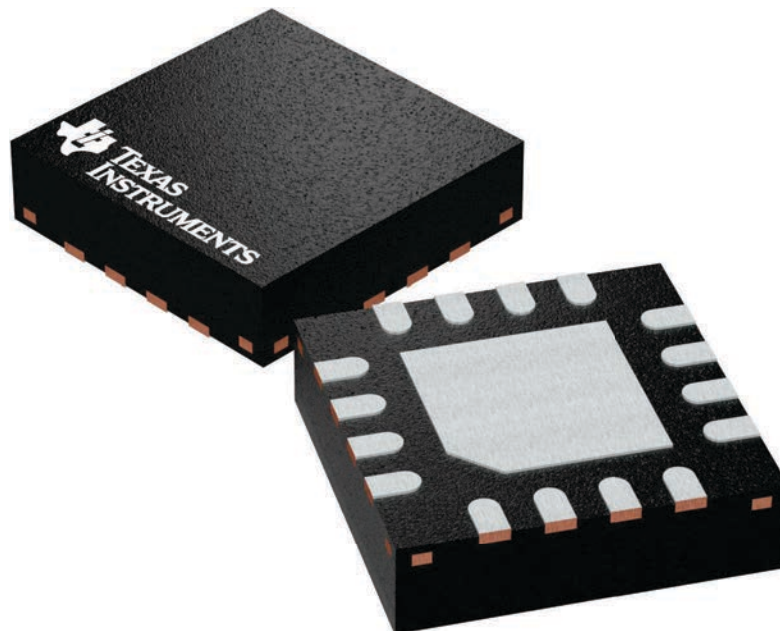
RTE 16

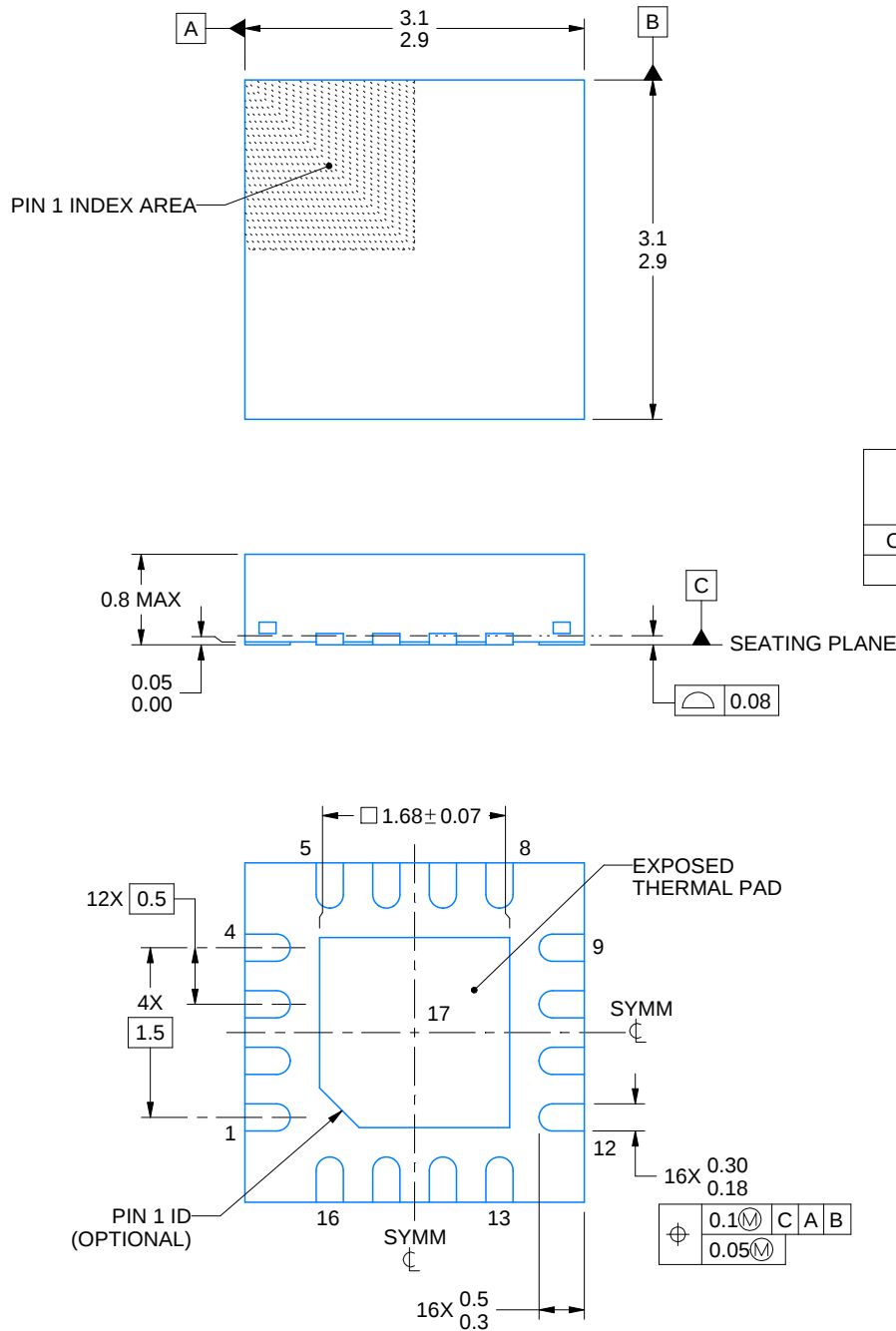
WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4219117/B 04/2022

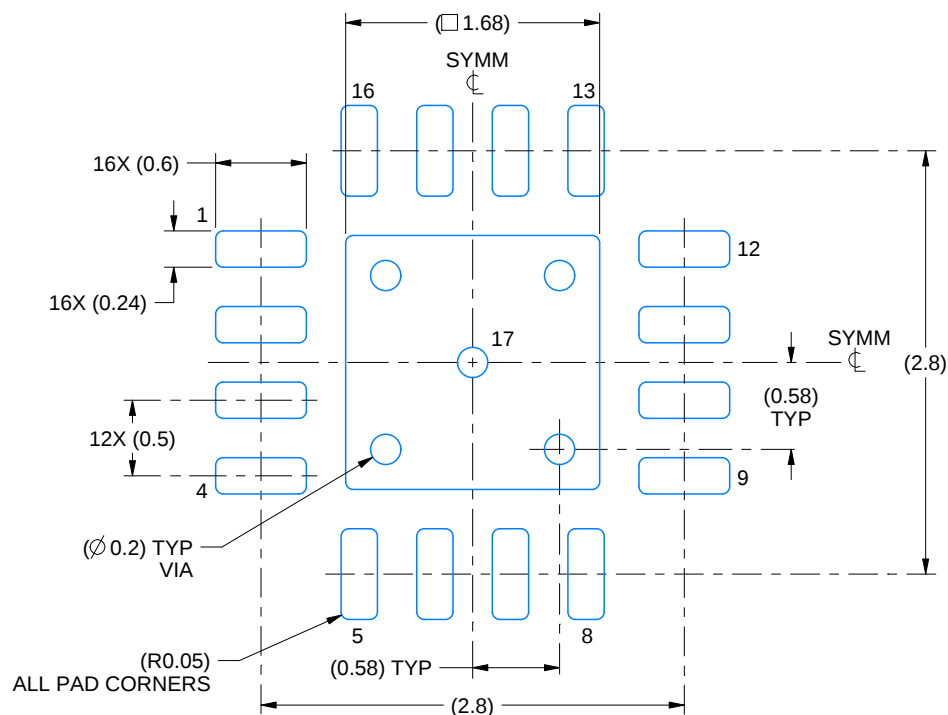
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

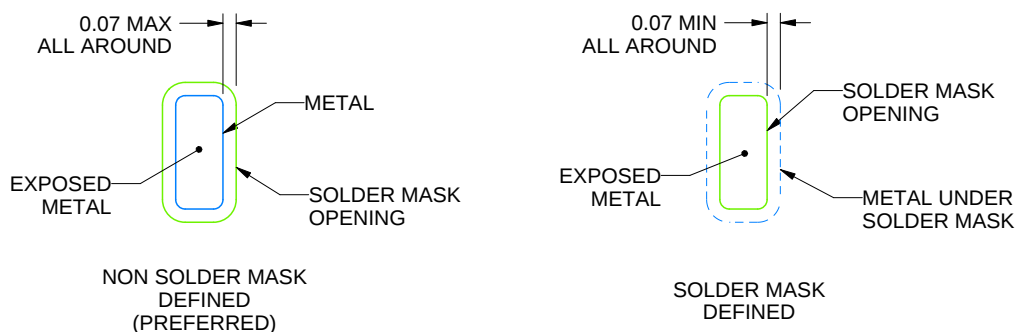
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

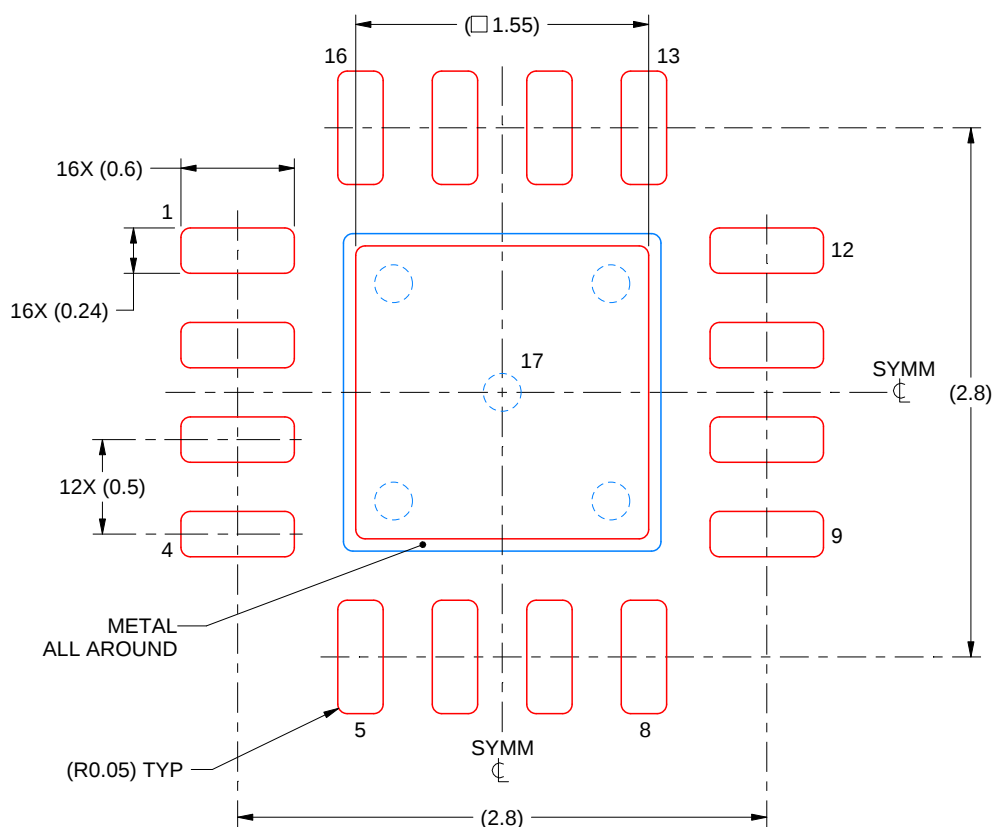
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



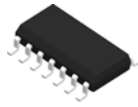
SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

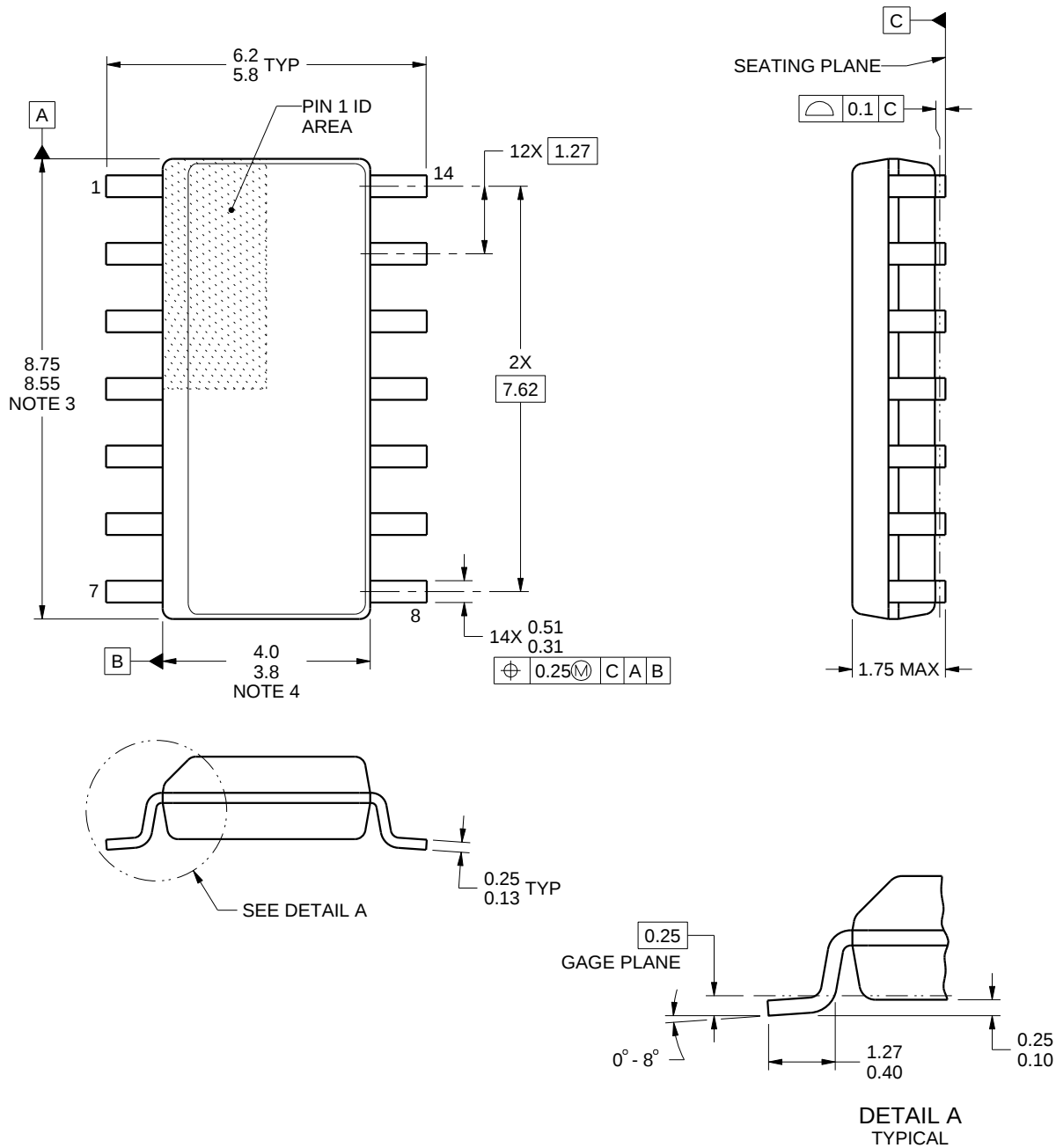
4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

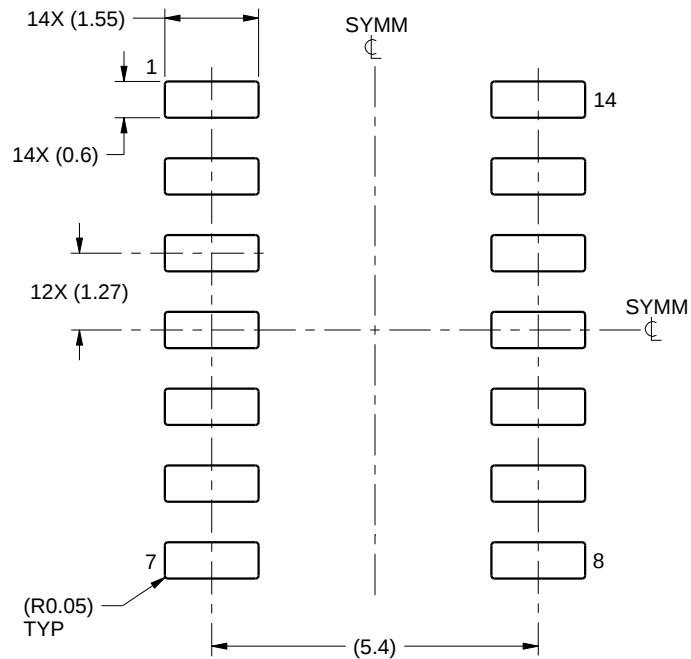
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

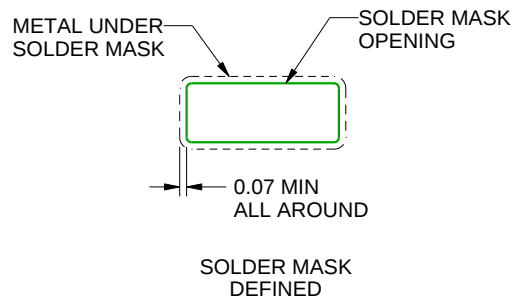
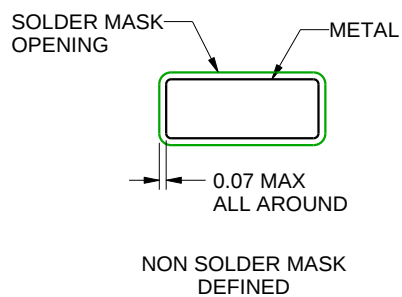
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

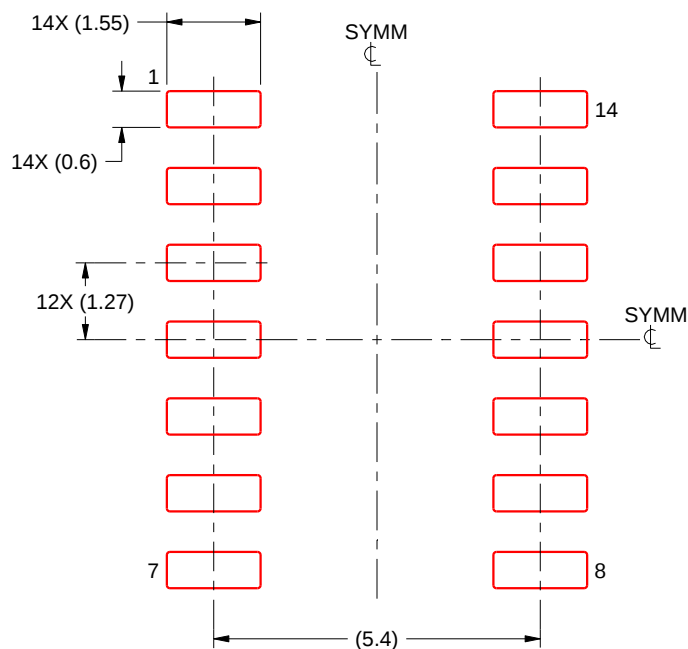
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

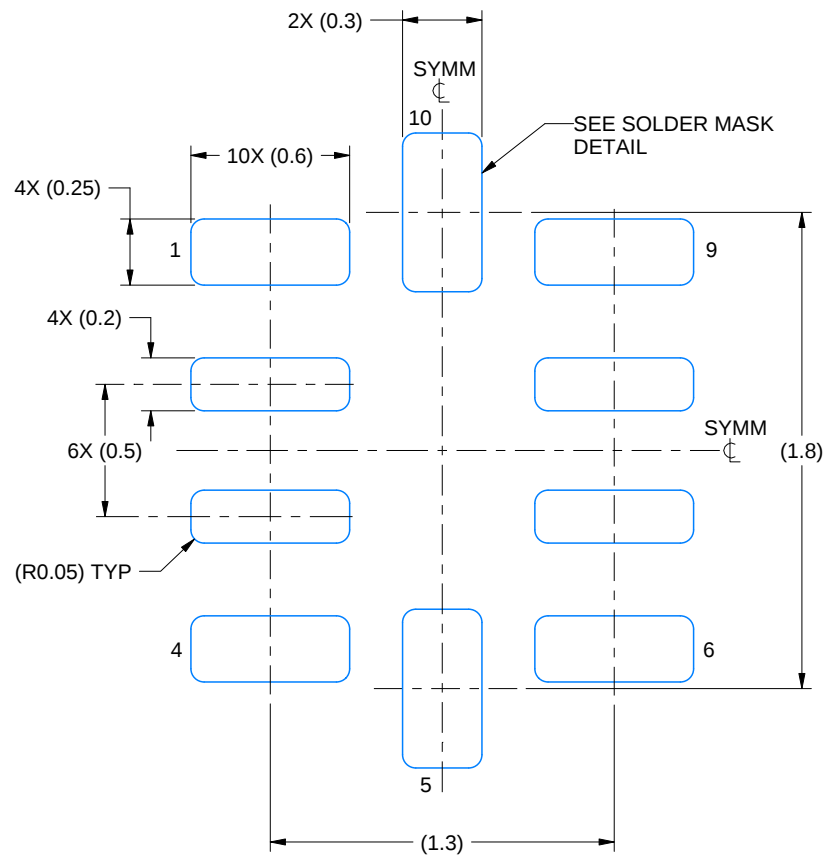


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.

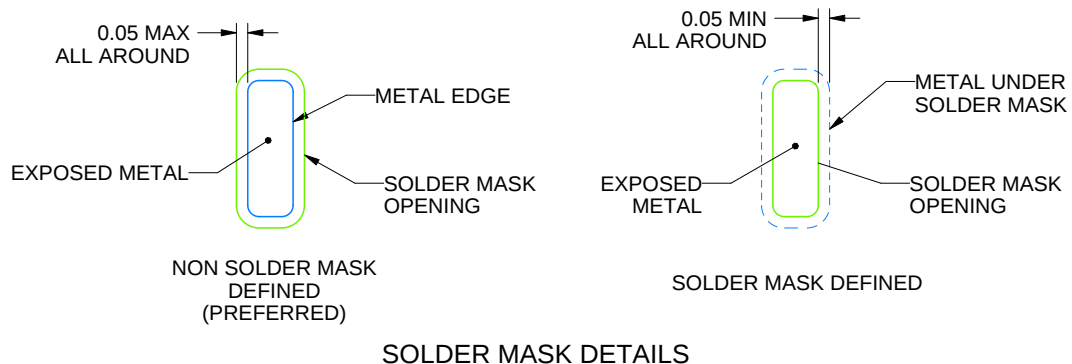
RUG0010B

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



4220582/B 05/2025

NOTES: (continued)

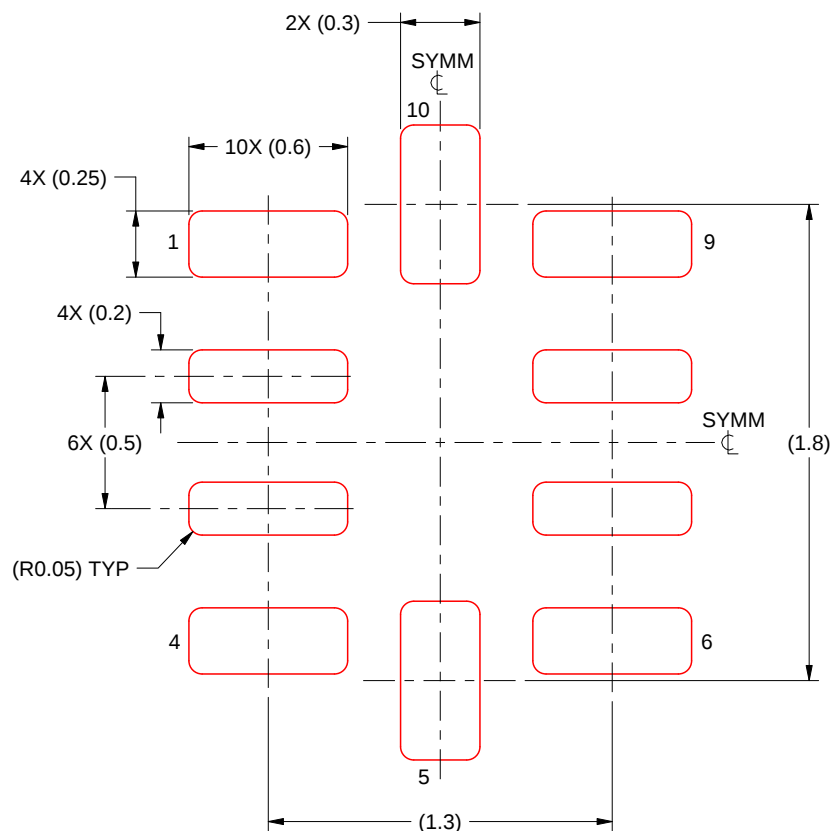
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

EXAMPLE STENCIL DESIGN

RUG0010B

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4220582/B 05/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



SOT - 1.1 max height

Technical drawing of a mechanical part showing three views: front, side, and top.

Front View:

- Overall dimensions: 2.4 (width) x 2.15 (height).
- Feature locations: 1.4 (width), 1.1 (width), 1.3 (height), 1.3 (height).
- Hole sizes: 0.15 (diameter), 0.1 (diameter).
- Feature 'NOTE 4' is indicated.
- Feature 'PIN 1 INDEX AREA' is indicated with a hatched area.
- Feature control frames: C (top right), C (top left), C (bottom left), A (bottom left), B (bottom left).

Side View:

- Overall width: 1.1 MAX.
- Thickness: 0.1.
- Feature control frame: C (top right).

Top View:

- Overall width: 0.46 TYP.
- Overall height: 0.22 TYP.
- Feature control frame: C (top right).

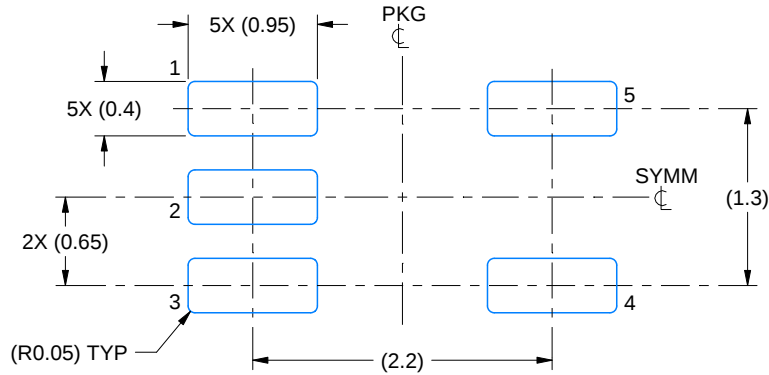
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

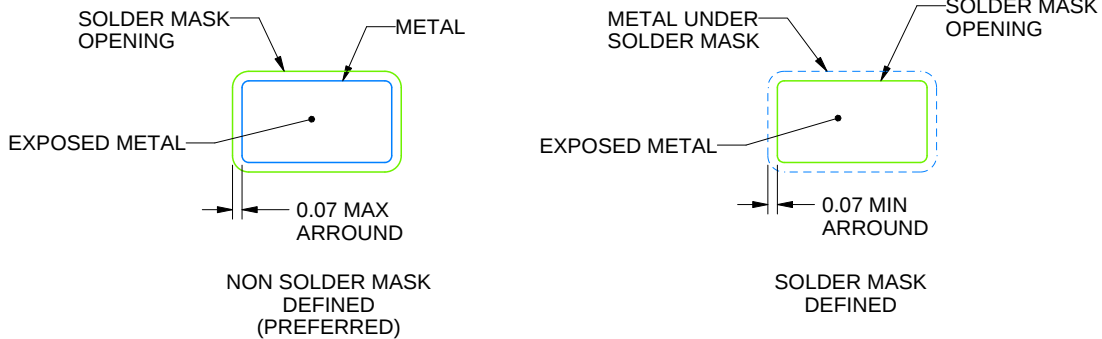
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

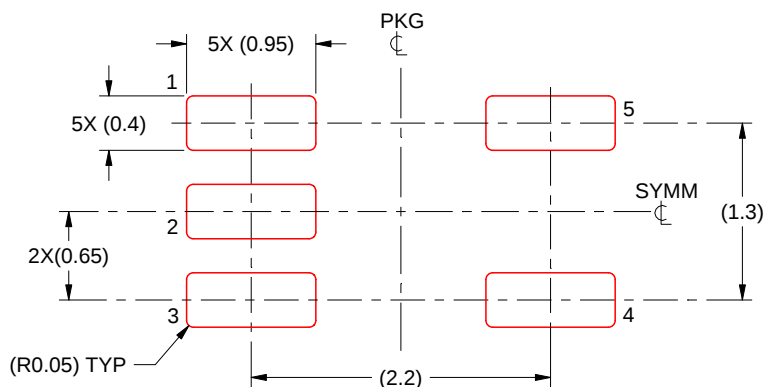


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 THICK STENCIL
 SCALE:18X

4214834/G 11/2024

NOTES: (continued)

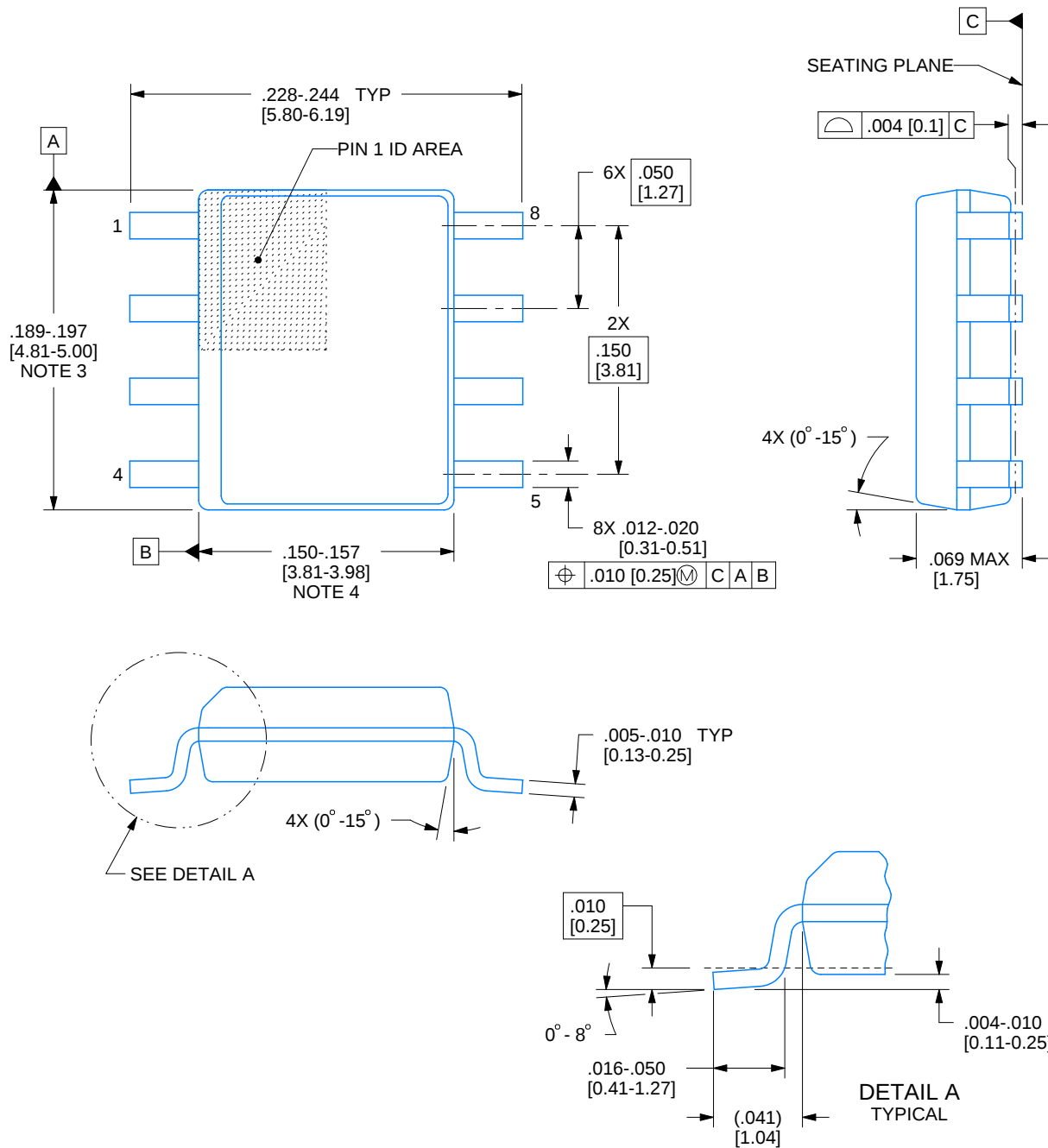
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

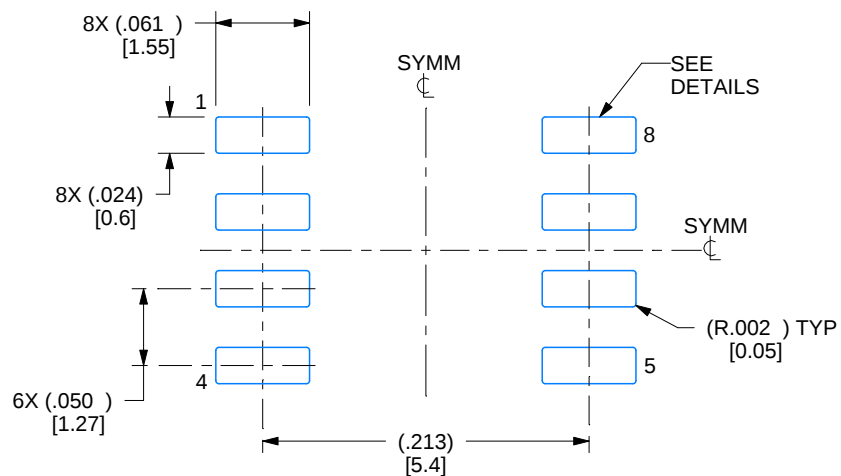
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

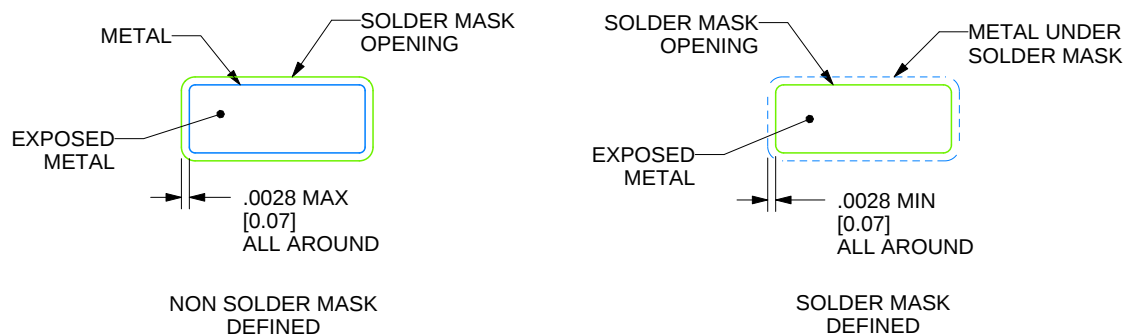
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

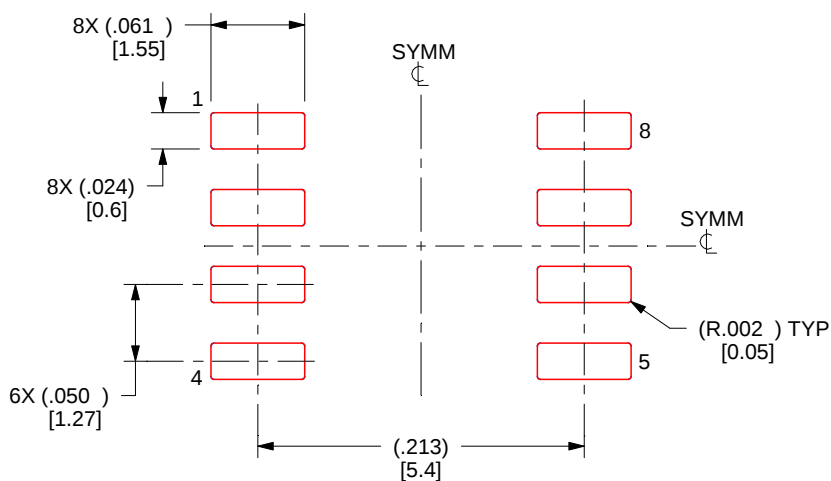
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

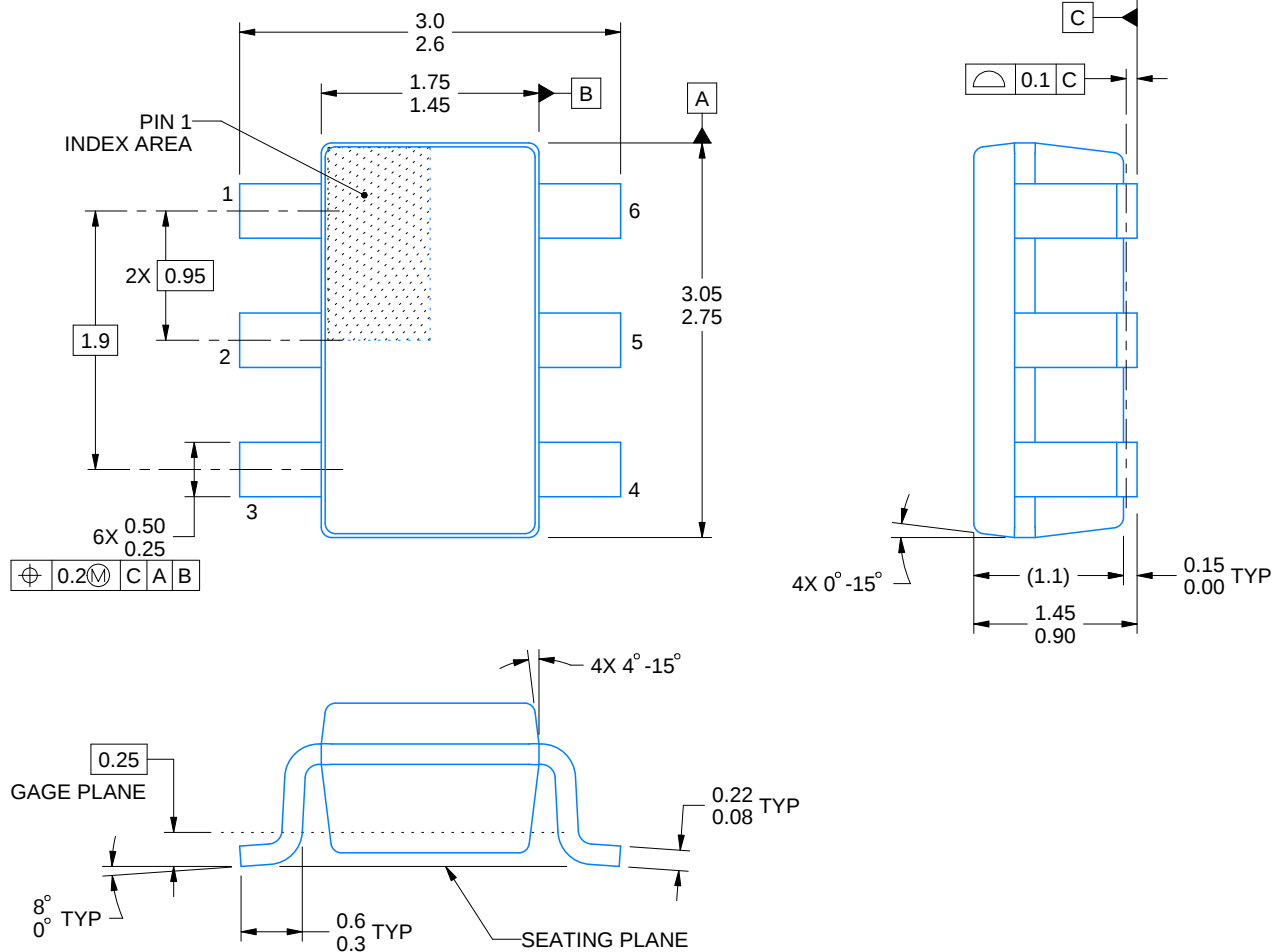
DBV0006A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

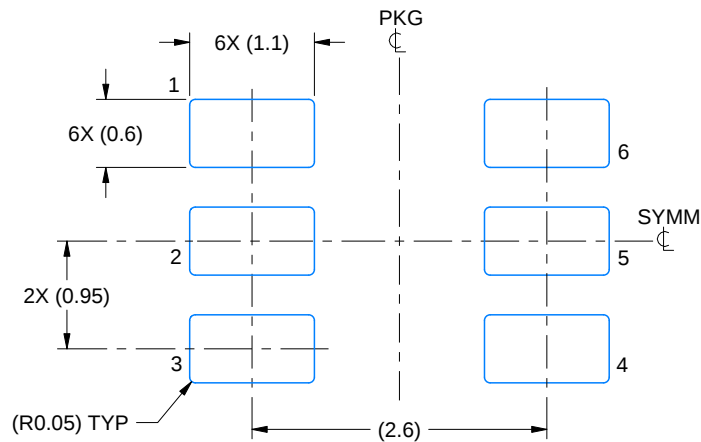
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

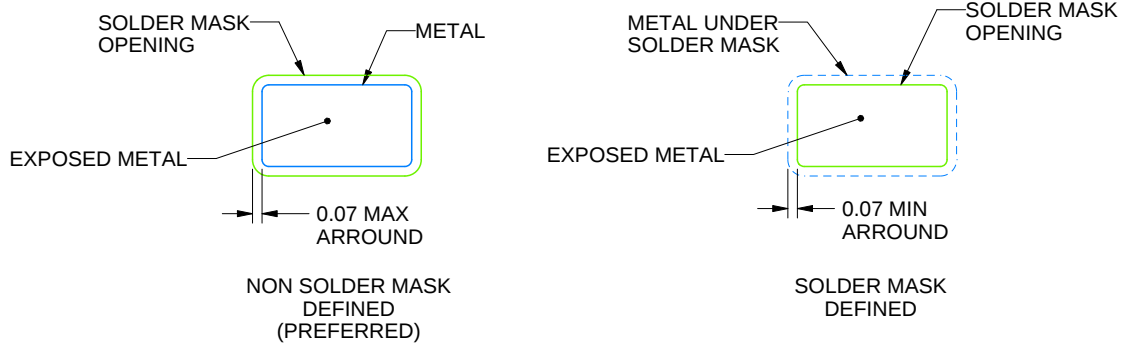
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

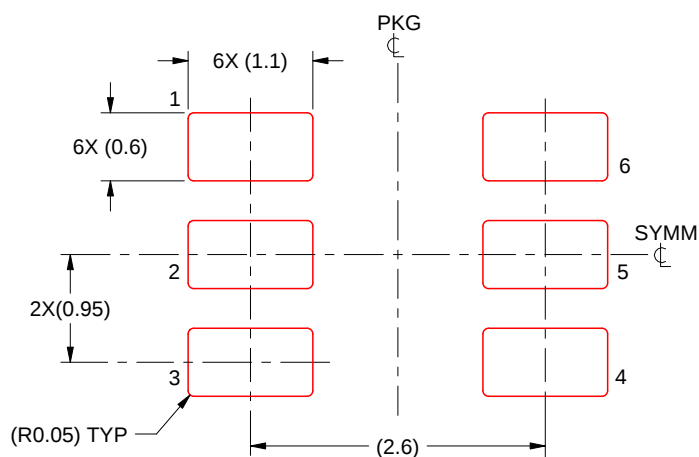
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

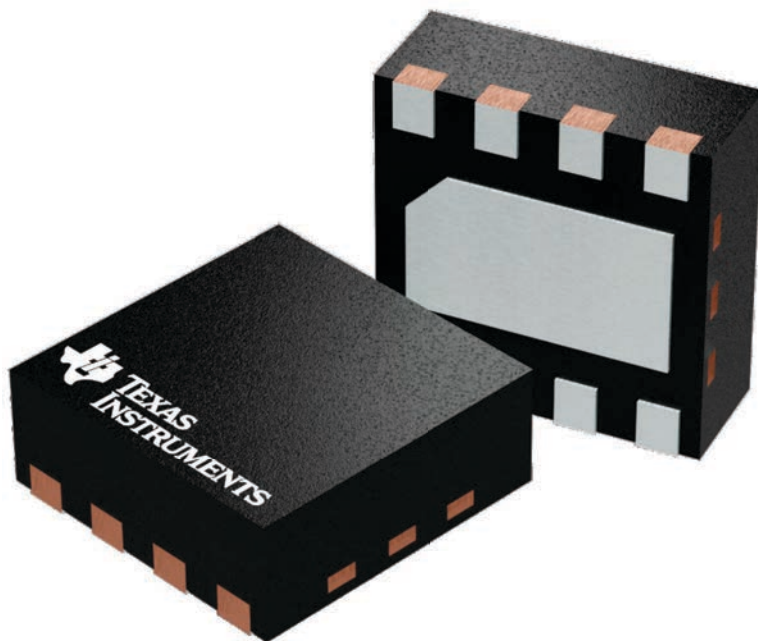
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

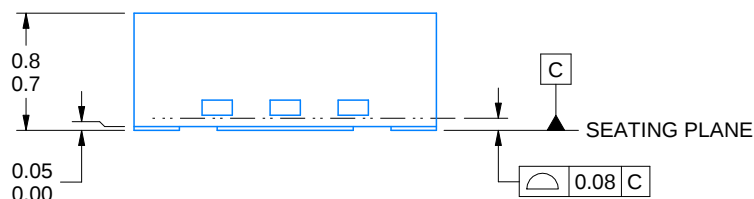
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



MECHANICAL DRAWING OF A 16-PIN CONNECTOR. The drawing shows a top view of a rectangular component with 16 pins arranged in two rows of eight. Key dimensions and features include:

- Overall Dimensions:**
 - Width: 9.9 ± 0.1
 - Height: 1.6 ± 0.1
- Pin Dimensions and Spacing:**
 - Pin width: 0.5
 - Pin pitch (center-to-center): 0.6×0.5
 - Pin height: 0.4
 - Pin thickness: 0.2
- Other Features:**
 - EXPOSED THERMAL PAD:** Indicated by a line pointing to the top-left corner of the component.
 - PIN 1 ID ($45^\circ \times 0.25$):** Indicated by a line pointing to the bottom-left corner of the component.
 - Internal Dimensions:**
 - Distance from top edge to first row of pins: 0.4
 - Distance from bottom edge to first row of pins: 0.8
 - Distance from left edge to first column of pins: 0.2
 - Distance from right edge to last column of pins: 0.2

$\oplus$	0.1 (M)	C	A	B
	0.05 (M)	C		

→| |← (DIM A) TYP

4218900/E 08/2022

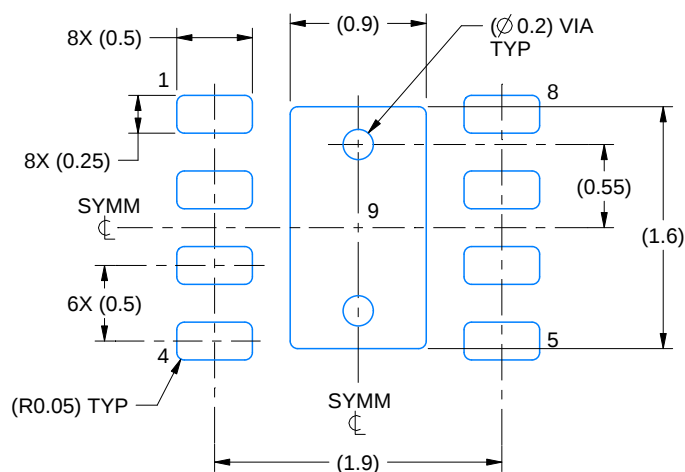
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

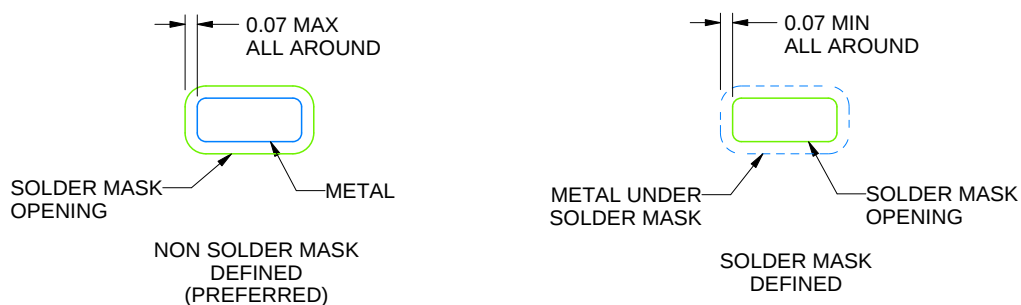
DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

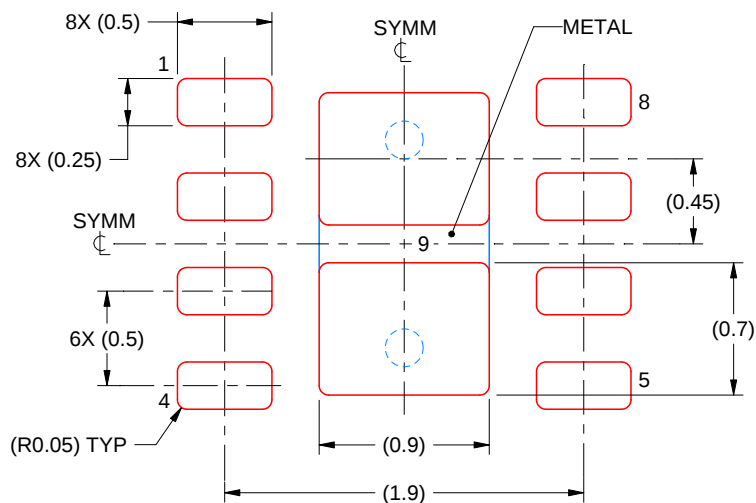
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

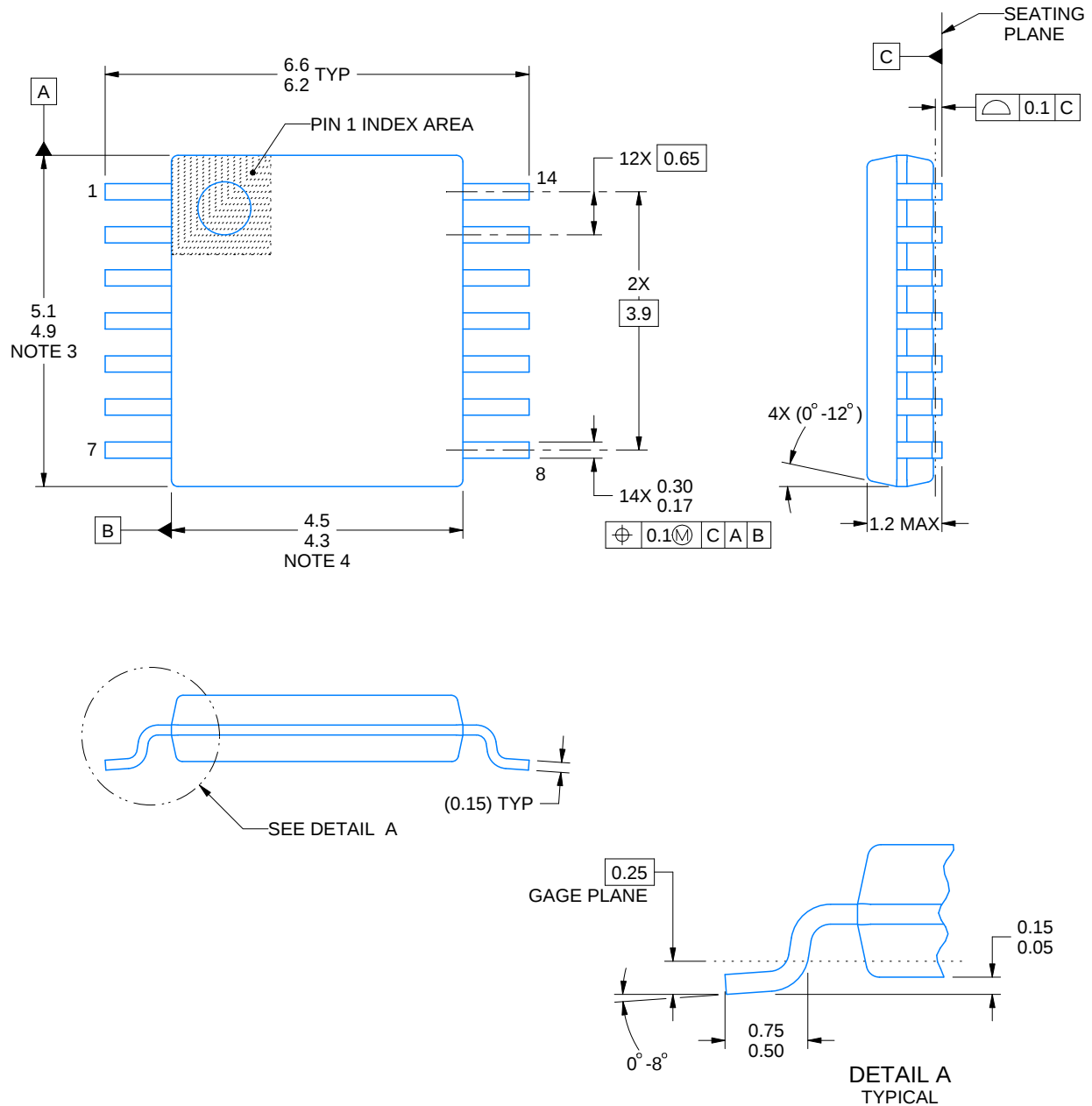
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

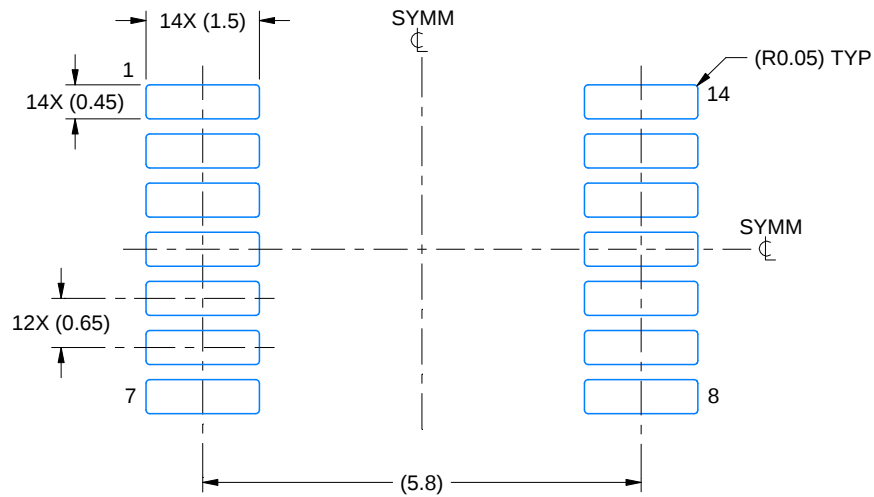
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

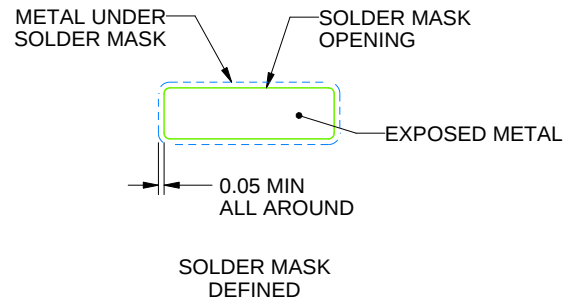
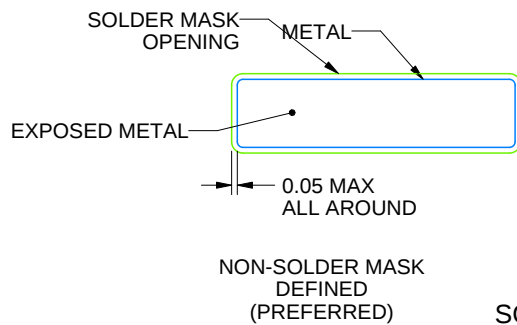
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司