

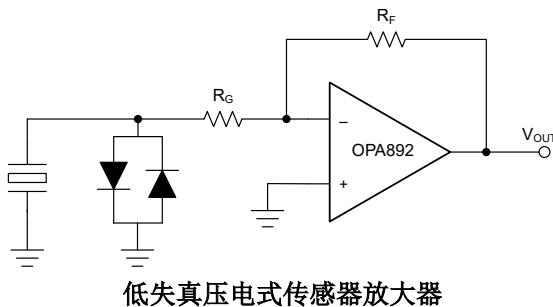
OPAx892 2GHz、10V/V 稳定增益、0.95nV/√Hz、超低 THD 运算放大器

1 特性

- 超低 0.95nV/√Hz 电压噪声
- 高速：
 - 2GHz 增益带宽积
 - 700V/μs 压摆率
 - 30ns 稳定时间 (0.1%)
- 在增益 ≥10V/V 时保持稳定
- 输出驱动， $I_O = 200\text{mA}$ (典型值)
- 极低失真：
 - THD = -78dBc ($f = 1\text{MHz}$, $R_L = 150\Omega$)
 - THD+N = -114dBc ($f = 1\text{kHz}$, $\text{BW} = 80\text{kHz}$)
- 宽电压范围的电源：
 - $V_{CC} = \pm 4.5\text{V}$ 至 $\pm 18\text{V}$
- OPA892 上的失调电压归零引脚

2 应用

- 超声波扫描仪
- 源测量单元 (SMU)
- 电源品质测定器
- 超声波扫描仪
- 矢量信号收发器 (VST)
- 专业音频混合器或控制平面
- 专业麦克风和无线系统
- 专业扬声器系统
- 专业音频放大器
- 条形音箱
- 转盘
- 专业摄像机
- 吉他和其他乐器放大器
- 数据采集 (DAQ)



3 说明

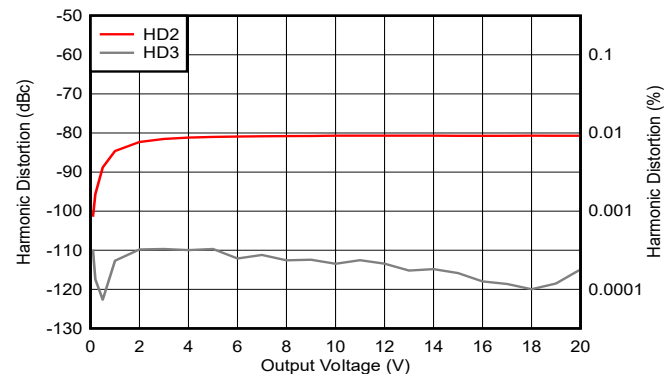
OPA892 和 OPA2892 (OPAx892) 是超低电压噪声、高速电压反馈放大器，非常适合需要低电压噪声的应用（包括通信和成像）。单通道放大器 OPA892 和双通道放大器 OPA2892 可提供卓越的交流性能，带宽为 290MHz，压摆率为 700V/μs，稳定时间为 30ns (0.1%)，增益为 10V/V。OPAx892 在增益为 10 或更高以及 -9 或更低时保持稳定。这些放大器具有 200mA 的高驱动能力，每个放大器只消耗 7.5mA 的电源电流。OPAx892 在 $f = 1\text{MHz}$ 时总谐波失真 (THD) 为 -68dBc，专为需要低失真的应用而设计。由于在宽输出电压范围内保持低失真，因此 OPAx892 适用于成像、声纳和音频等大动态范围应用。

器件信息

器件型号	放大器	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
OPA892	一个	D (SOIC, 8)	4.9mm × 6mm
OPA2892	两个	DGN (HVSSOP, 8)	3mm × 4.9mm

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



$V_{CC} = \pm 15\text{V}$, $R_L = 150\Omega$, $f = 1\text{MHz}$

谐波失真与
峰峰值输出电压间的关系



内容

1 特性	1	6.4 器件功能模式	16
2 应用	1	7 应用和实施	17
3 说明	1	7.1 应用信息.....	17
4 引脚配置和功能	3	7.2 典型应用.....	18
5 规格	5	7.3 电源相关建议.....	20
5.1 绝对最大额定值.....	5	7.4 布局.....	20
5.2 ESD 等级.....	5	8 器件和文档支持	24
5.3 建议运行条件.....	5	8.1 文档支持.....	24
5.4 热性能信息.....	5	8.2 接收文档更新通知.....	24
5.5 电气特性.....	6	8.3 支持资源.....	24
5.6 典型特性.....	8	8.4 商标.....	24
6 详细说明	15	8.5 静电放电警告.....	24
6.1 概述.....	15	8.6 术语表.....	24
6.2 功能方框图.....	15	9 修订历史记录	24
6.3 特性说明.....	16	10 机械、封装和可订购信息	24

4 引脚配置和功能

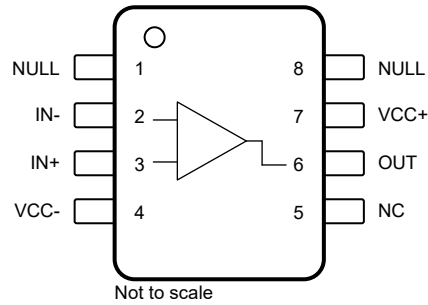


图 4-1. OPA892 : D 封装, 8 引脚 SOIC (顶视图)

表 4-1. 引脚功能 : OPA892

引脚		类型	说明
名称	编号		
IN -	2	输入	反相输入
IN+	3	输入	同相输入
NC	5	—	无连接
NULL	1、8	输入	失调电压调整
OUT	6	输出	放大器的输出
VCC -	4	—	负电源
VCC+	7	—	正电源

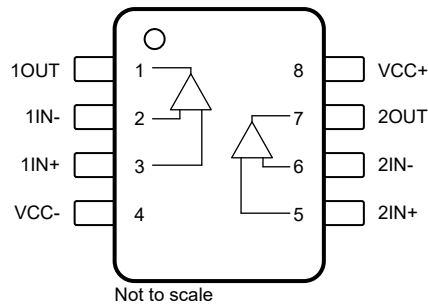


图 4-2. OPA2892 : DGN 封装, 8 引脚 HVSSOP (顶视图)

表 4-2. 引脚功能 : OPA2892

引脚		类型	说明
名称	编号		
1IN -	2	输入	通道 1 反相输入
1IN+	3	输入	通道 1 同相输入
1OUT	1	输出	通道 1 输出
2IN -	6	输入	通道 2 反相输入
2IN+	5	输入	通道 2 同相输入
2OUT	7	输出	通道 2 输出
VCC -	4	—	负电源
VCC+	8	—	正电源

表 4-2. 引脚功能：OPA2892（续）

引脚		类型	说明
名称	编号		
散热焊盘		—	散热焊盘。仅限 DGN (HVSSOP) 封装。为了获得出色的热性能，请将焊盘连接到一个较大的铜平面。如果散热焊盘上的电压保持在 VCC+ 和 VCC- 之间，该散热焊盘可以连接到器件上的任何引脚或电路板上的任何其他电位。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压, V _{CC+} - V _{CC-}		37	V
V _I	输入电压		±V _{CC}	V
I _O	输出电流 ⁽²⁾		240	mA
V _{IO}	差分输入电压		±1.5	V
I _{IN}	连续输入电流		10	mA
T _J	结温	任何条件下	150	°C
		长期持续可靠运行 ⁽³⁾	125	
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 当在任何输出电流下持续运行时, 不要超过最高结温。无论时间间隔如何, 都要使输出电流小于绝对最大额定值。
- (3) 针对持续运行的最大结温受到封装的限制。在超过此温度的条件下运行有可能降低器件的可靠性并/或缩短使用寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±4000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±1500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V _{CC}	电源电压	双电源	±4.5	±15	V
		单电源	9	30	
T _A	自然通风条件下的工作温度范围	-40	25	85	°C

5.4 热性能信息

热指标 ⁽¹⁾		OPA892	OPA2892	单位
		D (SOIC)	DGN (HVSSOP)	
		8 引脚	8 引脚	
R _{θJA}	结至环境热阻	124.5	52	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	65.0	75.2	°C/W
R _{θJB}	结至电路板热阻	72.2	24.5	°C/W
Ψ _{JT}	结至顶部特征参数	13.6	4	°C/W
Ψ _{JB}	结至电路板特征参数	71.4	24.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	9.1	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 且 $R_L = 150\ \Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
动态性能							
BW	小信号带宽 (- 3dB)	增益 = 10	V _{CC} = ±15V	290		MHz	
			V _{CC} = ±5V	250			
		增益 = 20	V _{CC} = ±15V	110			
			V _{CC} = ±5V	100			
	0.1dB 平坦度带宽	增益 = 10	V _{CC} = ±15V	17			
			V _{CC} = ±5V	17			
全功率带宽 ⁽¹⁾	V _{O(PP)} = 20V , V _{CC} = ±15V			11.1			
	V _{O(PP)} = 5V , V _{CC} = ±5V			31.8			
SR	压摆率 ⁽²⁾	增益 = 10	V _{CC} = ±15V , 20V 阶跃	700		V/μs	
			V _{CC} = ±5V , 5V 阶跃	500			
t _s	精度达 0.1% 的稳定时间	增益 = -10	V _{CC} = ±15V , 5V 阶跃	22		ns	
			V _{CC} = ±5V , 2V 阶跃	22			
	精度达 0.01% 的稳定时间	增益 = -10	V _{CC} = ±15V , 5V 阶跃	160			
			V _{CC} = ±5V , 2V 阶跃	160			
音频性能							
THD+N	总谐波失真 + 噪声	增益 = 10 , f = 1kHz , BW = 80kHz	V _{CC} = ±15V , R _L = 600 Ω , V _O = 3V _{RMS}	-114	dB		
				0.0002	%		
			V _{CC} = ±15V , R _L = 2k Ω , V _O = 3V _{RMS}	-114	dB		
				0.0002	%		
			V _{CC} = ±5V , R _L = 600 Ω , V _O = 1V _{RMS}	-106	dB		
				0.0005	%		
IMD	互调失真	增益 = 10 , SMPTE/DIN 双音 , 4:1 (60Hz 和 7kHz)	V _{CC} = ±15V , V _O = 3V _{RMS} , R _L = 600 Ω	-109	dB		
				0.00036	%		
			V _{CC} = ±15V , V _O = 3V _{RMS} , R _L = 2k Ω	-109	dB		
				0.00036	%		
			V _{CC} = ±5V , V _O = 1V _{RMS} , R _L = 600 Ω	-105	dB		
				0.00056	%		
			V _{CC} = ±5V , V _O = 1V _{RMS} , R _L = 2k Ω	-105	dB		
				0.00056	%		
噪声和失真性能							
THD	总谐波失真	V _{O(pp)} = 2V , f = 1MHz , 增益 = 10 , V _{CC} = ±15V		-78		dBc	
			R _L = 1k Ω	-86			
		V _{O(pp)} = 2V , f = 1MHz , 增益 = 10 , V _{CC} = ±5V		-77			
			R _L = 1k Ω	-85			
V _n	输入电压噪声	V _{CC} = ±5V 或 ±15V , f > 10kHz		0.95		nV/ √ Hz	
I _n	输入电流噪声	V _{CC} = ±5V 或 ±15V , f > 10kHz		2.3		pA/ √ Hz	
X _T	通道间串扰 (仅限 OPA2892)	V _{CC} = ±5V 或 ±15V , f = 1MHz		-54		dBc	

5.5 电气特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 且 $R_L = 150\ \Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
直流性能							
	开环增益	$V_{CC} = \pm 15V$, $V_O = \pm 10V$, $R_L = 1k\Omega$	$T_A = 25^{\circ}C$	93	100		dB
			$T_A = \text{全范围}$	92			dB
		$V_{CC} = \pm 5V$, $V_O = \pm 2.5V$, $R_L = 1k\Omega$	$T_A = 25^{\circ}C$	92	98		dB
			$T_A = \text{全范围}$	91			dB
V_{OS}	输入失调电压	$V_{CC} = \pm 5V$ 或 $\pm 15V$, $T_A = 25^{\circ}C$			0.2	1	mV
	失调电压温漂	$V_{CC} = \pm 5V$ 或 $\pm 15V$, $T_A = \text{全范围}$			1		$\mu V/^{\circ}C$
I_{IB}	输入偏置电流	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^{\circ}C$		9	20	μA
			$T_A = \text{全范围}$			33	μA
I_{OS}	输入失调电流	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^{\circ}C$		30	250	nA
			$T_A = \text{全范围}$			400	nA
	输入失调电流漂移	$V_{CC} = \pm 5V$ 或 $\pm 15V$, $T_A = \text{全范围}$			0.2		nA/ $^{\circ}C$
输入特性							
V_{ICR}	共模输入电压	$V_{CC} = \pm 15V$		± 13.8	± 14.3		V
		$V_{CC} = \pm 5V$		± 3.8	± 4.3		
CMRR	共模抑制比	$V_{CC} = \pm 15V$, $V_{ICR} = \pm 12V$	$T_A = 25^{\circ}C$	85	104		dB
			$T_A = \text{全范围}$	80			
		$V_{CC} = \pm 5V$, $V_{ICR} = \pm 2.5V$	$T_A = 25^{\circ}C$	90	106		
			$T_A = \text{全范围}$	85			
	输入阻抗	共模			$10 \parallel 1.2$		$M\Omega \parallel pF$
		差分模式			$6 \parallel 1.8$		$k\Omega \parallel pF$
输出特性							
V_O	输出电压摆幅	$V_{CC} = \pm 15V$, $R_L = 250\Omega$		± 12	± 12.9		V
		$V_{CC} = \pm 5V$, $R_L = 150\Omega$		± 3	± 3.5		
		$V_{CC} = \pm 15V$, $R_L = 1k\Omega$		± 13	± 13.6		
		$V_{CC} = \pm 5V$, $R_L = 1k\Omega$		± 3.4	± 3.8		
I_O	输出电流	$R_L = 10\Omega$	$V_{CC} = \pm 15V$	160	200		mA
			$V_{CC} = \pm 5V$	120	160		
R_O	输出电阻 ⁽³⁾	开环			8		Ω
电源							
I_{CC}	电源电流 (每个放大器)	$V_{CC} = \pm 15V$	$T_A = 25^{\circ}C$	7.5		10	mA
			$T_A = \text{全范围}$	11			
		$V_{CC} = \pm 5V$	$T_A = 25^{\circ}C$	9			
			$T_A = \text{全范围}$	6.5		10	
PSRR	电源抑制比	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^{\circ}C$	90	105		dB
			$T_A = \text{全范围}$	85			

- (1) 全功率带宽 = 压摆率 / $[\pi V_{O(P-P)}]$ 。
- (2) 转换率是在 25% 至 75% 的输出电平范围内测量的。
- (3) 当输出负载过大或短路时, 使结温低于绝对最大额定值; 另请参阅节 5.1。

5.6 典型特性

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)

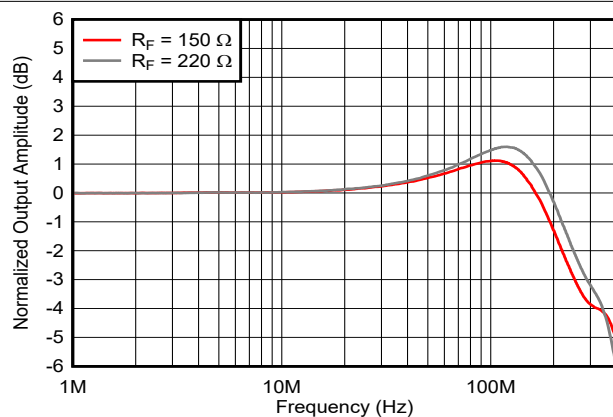


图 5-1. 频率响应与反馈电阻间的关系

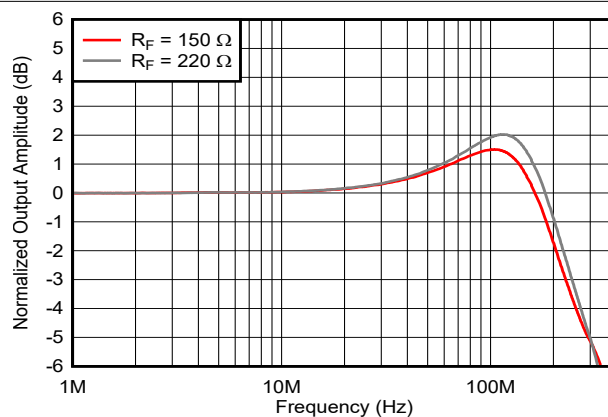


图 5-2. 频率响应与反馈电阻间的关系

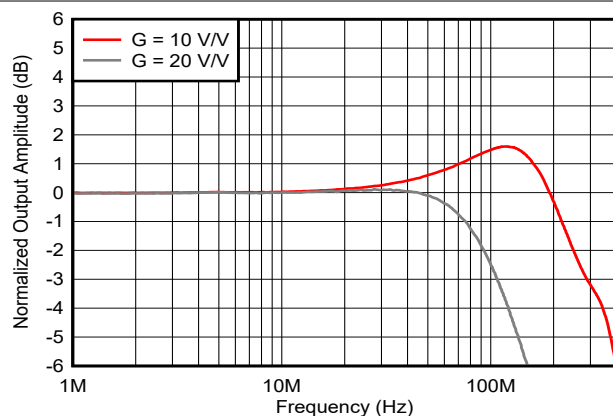


图 5-3. 频率响应与增益间的关系

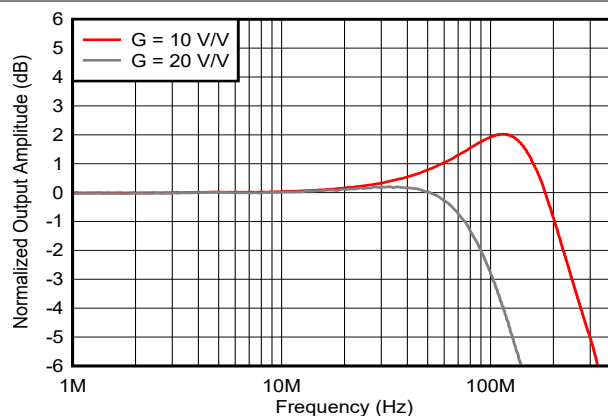


图 5-4. 频率响应与增益间的关系

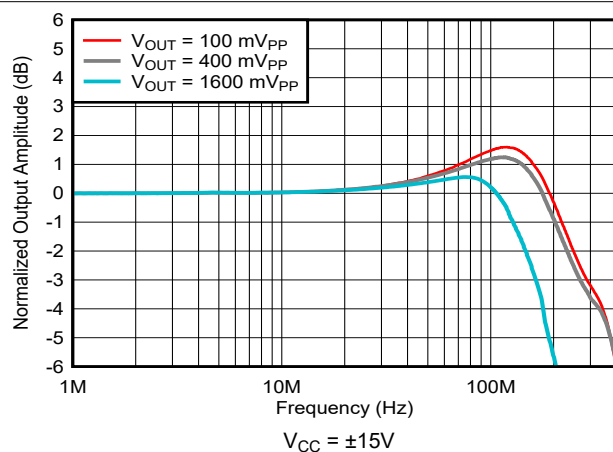


图 5-5. 大信号频率响应

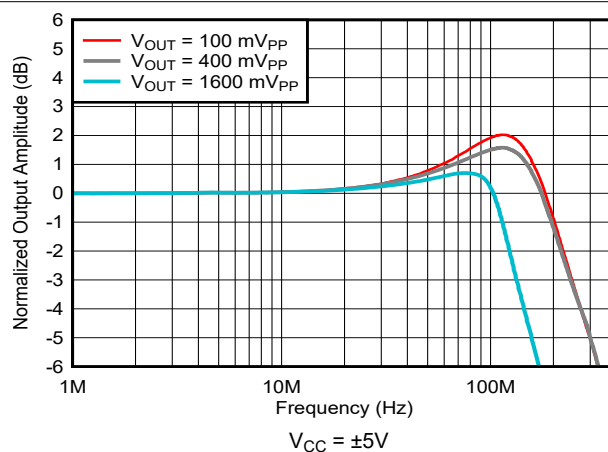


图 5-6. 大信号频率响应

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)

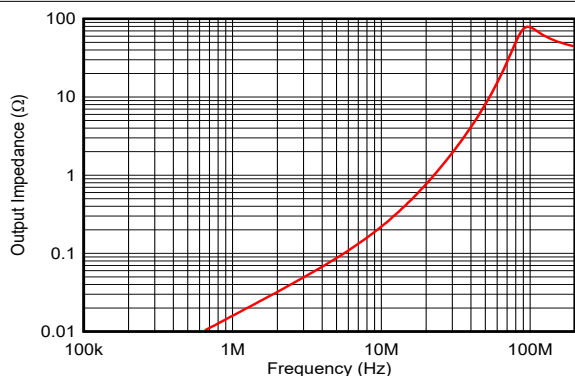


图 5-7. 闭环输出阻抗

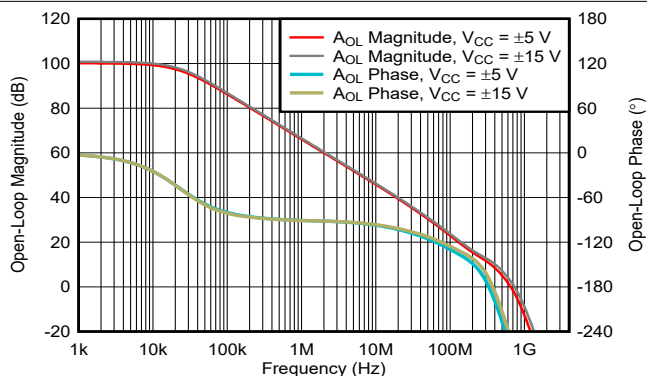


图 5-8. 开环增益与相位响应间的关系

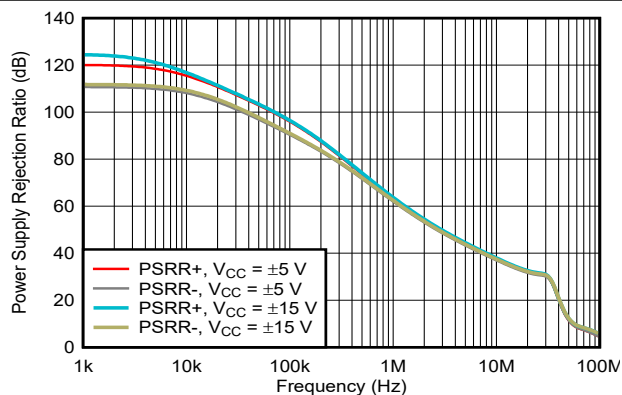


图 5-9. 电源抑制比与频率间的关系

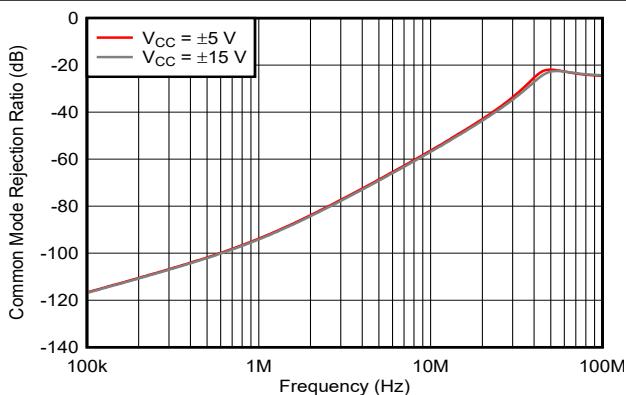


图 5-10. 共模抑制比与频率之间的关系

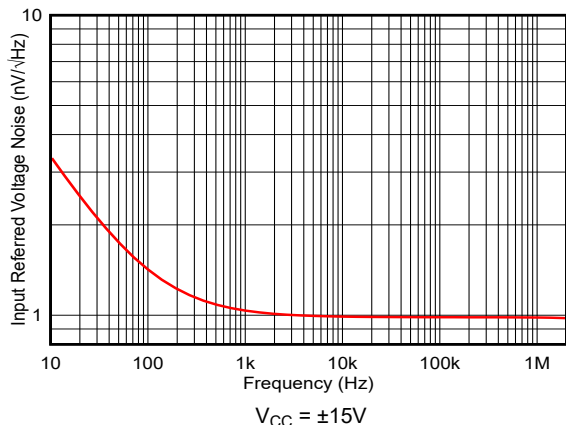


图 5-11. 输入基准电压噪声与频率间的关系

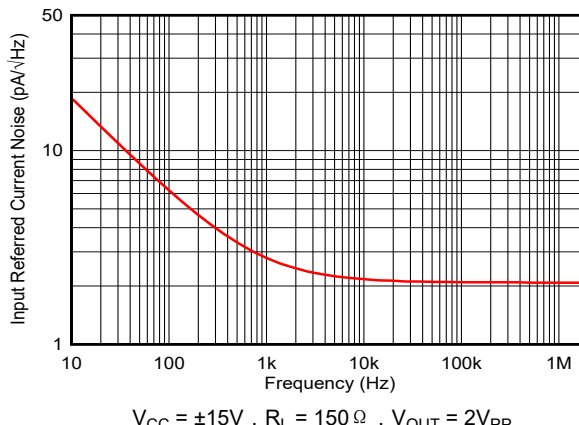
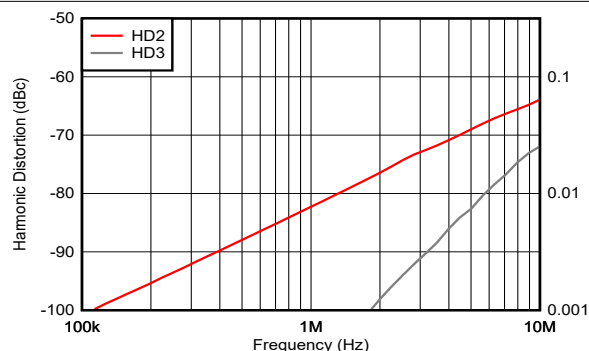


图 5-12. 输入参考电流噪声与频率间的关系

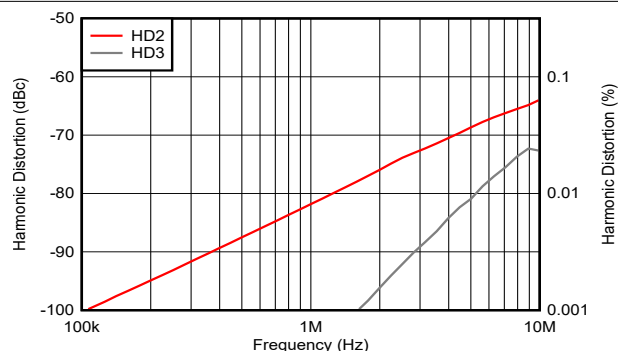
5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)



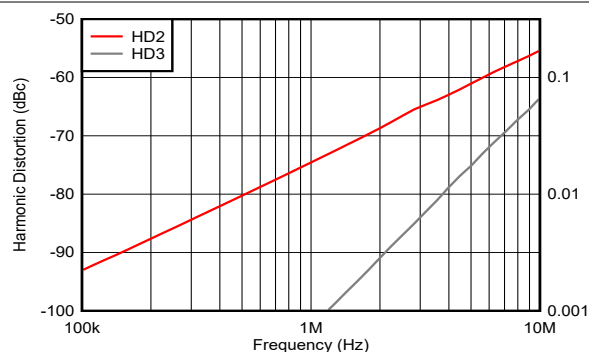
$V_{CC} = \pm 15\text{V}$, $R_L = 1\text{k}\Omega$, $V_{OUT} = 2V_{PP}$

图 5-13. 谐波失真与频率间的关系



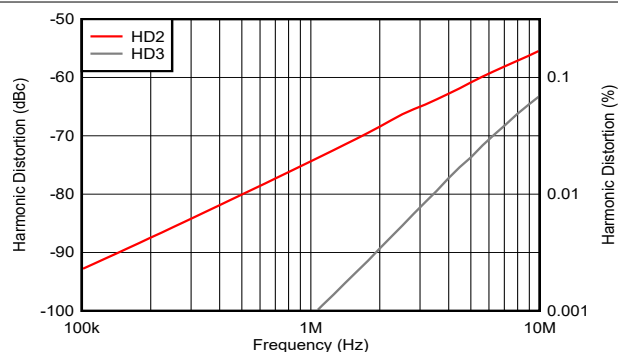
$V_{CC} = \pm 5\text{V}$, $R_L = 1\text{k}\Omega$, $V_{OUT} = 2V_{PP}$

图 5-14. 谐波失真与频率间的关系



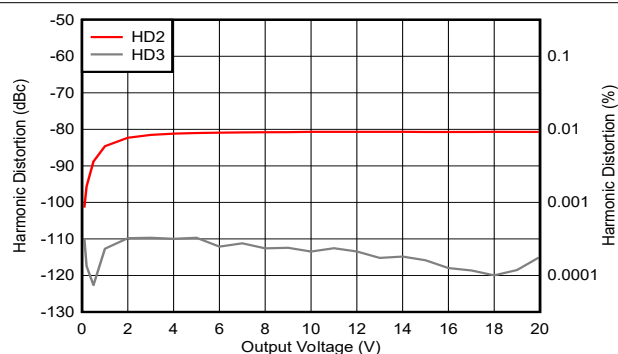
$V_{CC} = \pm 15\text{V}$, $R_L = 150\ \Omega$, $V_{OUT} = 2V_{PP}$

图 5-15. 谐波失真与频率间的关系



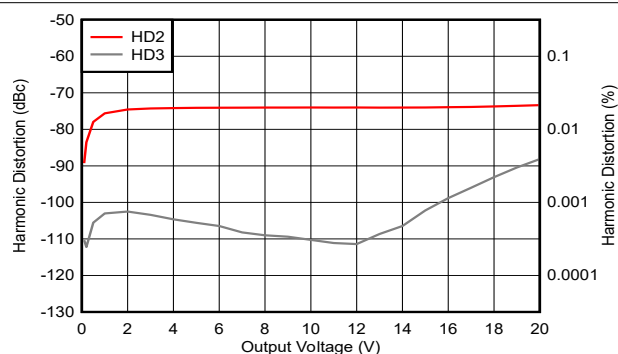
$V_{CC} = \pm 5\text{V}$, $R_L = 150\ \Omega$, $V_{OUT} = 2V_{PP}$

图 5-16. 谐波失真与频率间的关系



$V_{CC} = \pm 15\text{V}$, $R_L = 1\text{k}\Omega$, $f = 1\text{MHz}$

图 5-17. 谐波失真与峰间输出电压间的关系



$V_{CC} = \pm 15\text{V}$, $R_L = 150\ \Omega$, $f = 1\text{MHz}$

图 5-18. 谐波失真与峰间输出电压间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)

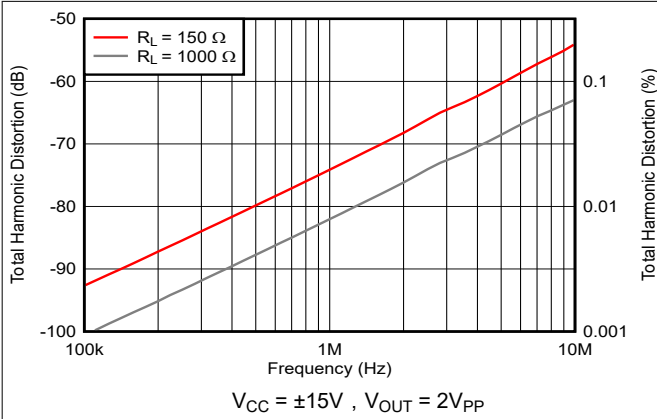


图 5-19. 总谐波失真与频率间的关系

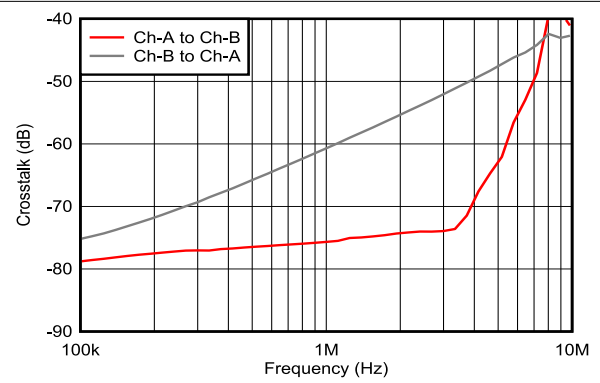


图 5-20. OPA2892 串扰与频率间的关系

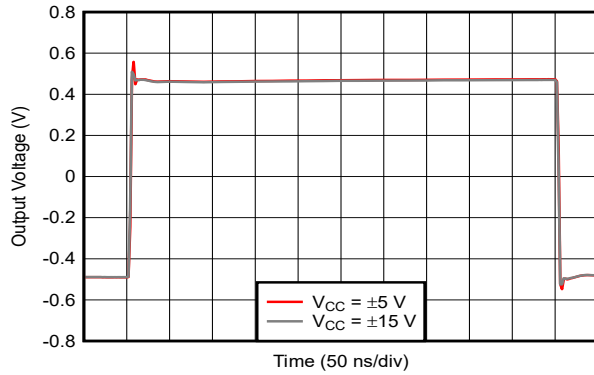


图 5-21. 1V 阶跃响应

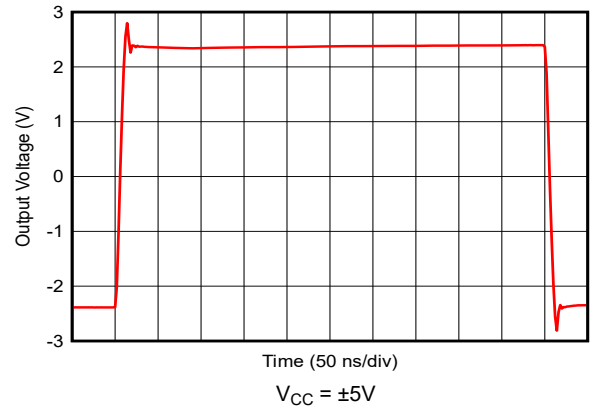


图 5-22. 5V 阶跃响应

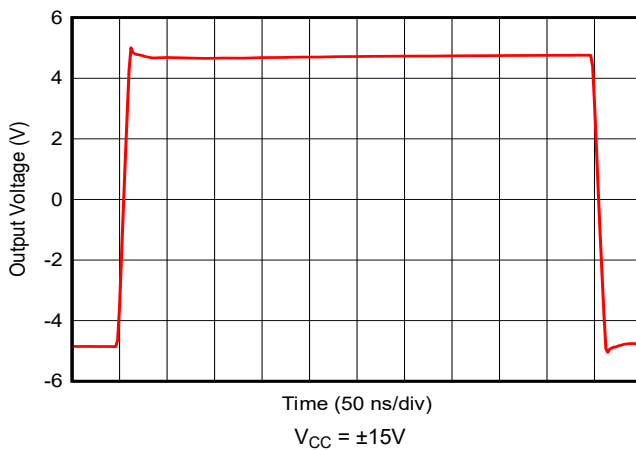


图 5-23. 10V 阶跃响应

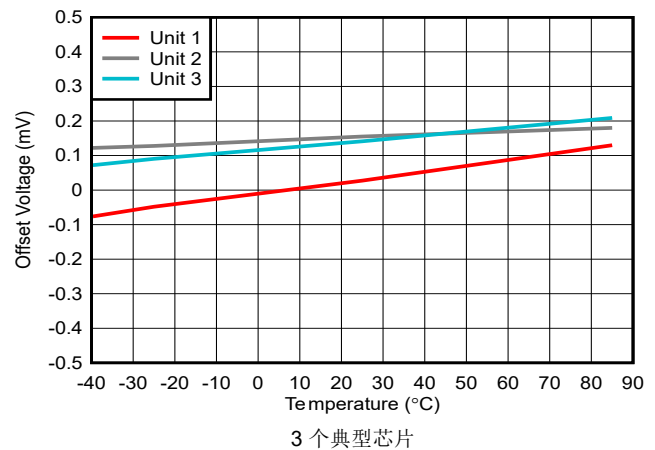


图 5-24. 输入失调电压与环境温度间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)

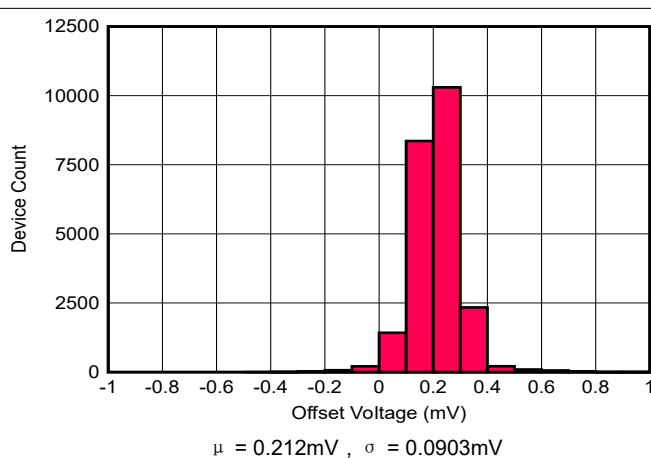


图 5-25. 失调电压分布

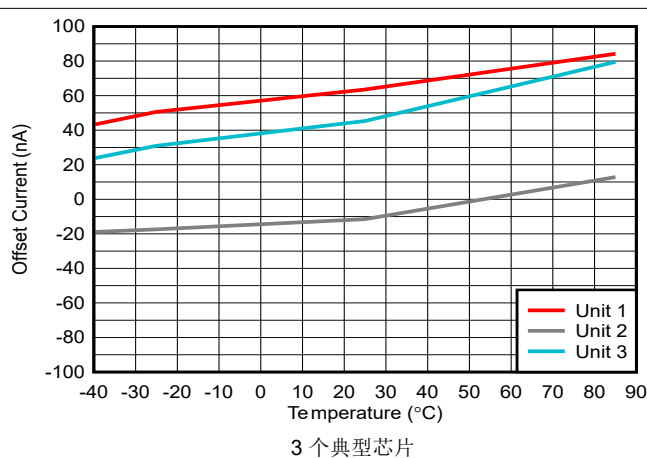


图 5-26. 输入失调电流与环境温度间的关系

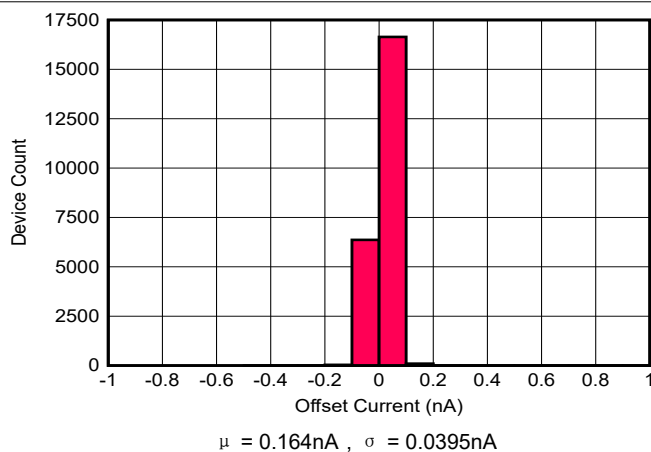


图 5-27. 输入失调电流与环境温度间的关系

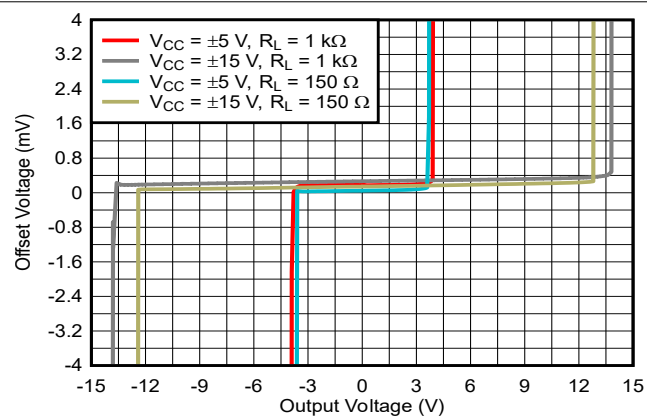


图 5-28. 失调电压与输出电压间的关系

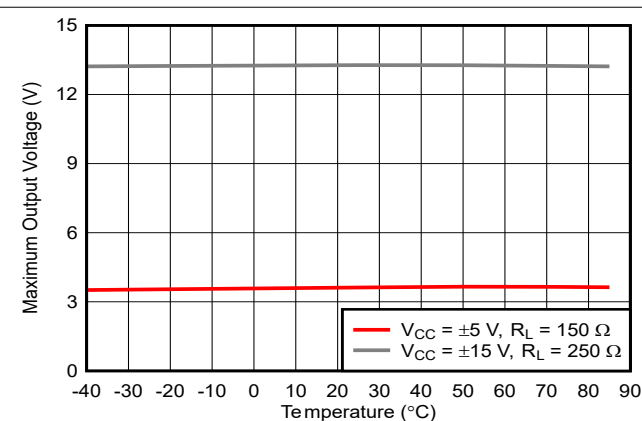


图 5-29. 最大输出电压摆幅与环境温度间的关系

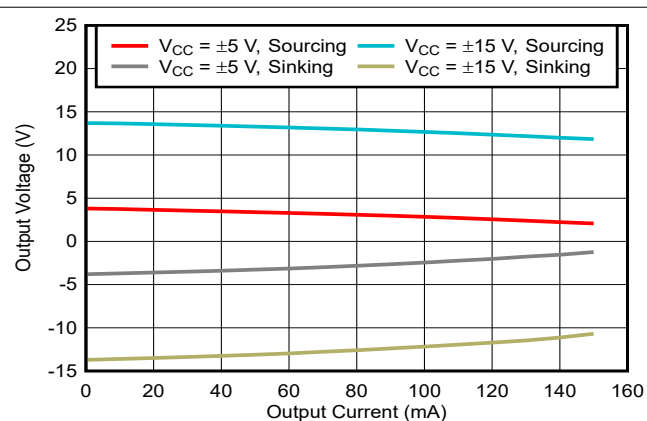


图 5-30. 输出摆幅与负载电流间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)

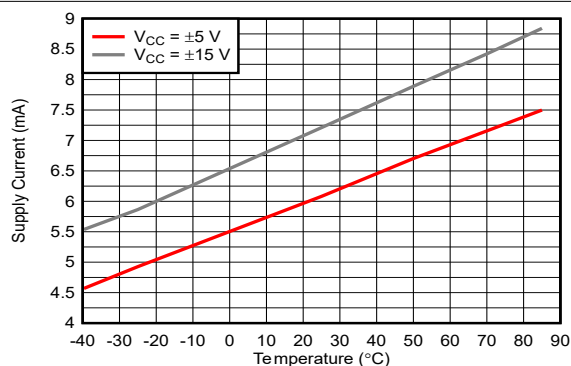


图 5-31. 电源电流与环境温度间的关系

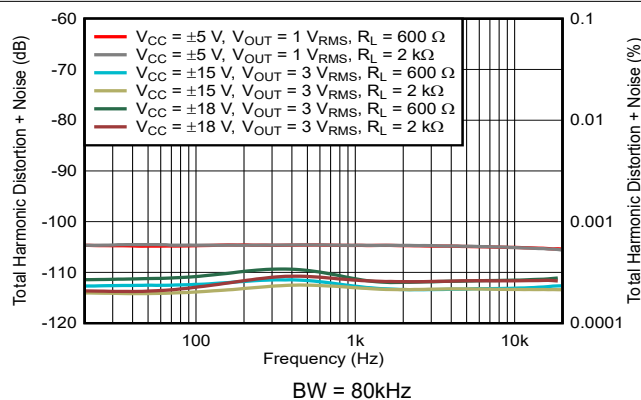


图 5-32. THD+N 与频率间的关系

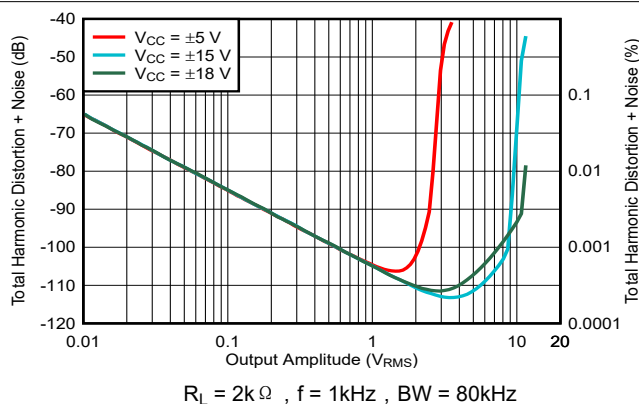


图 5-33. THD+N 比与输出幅值间的关系

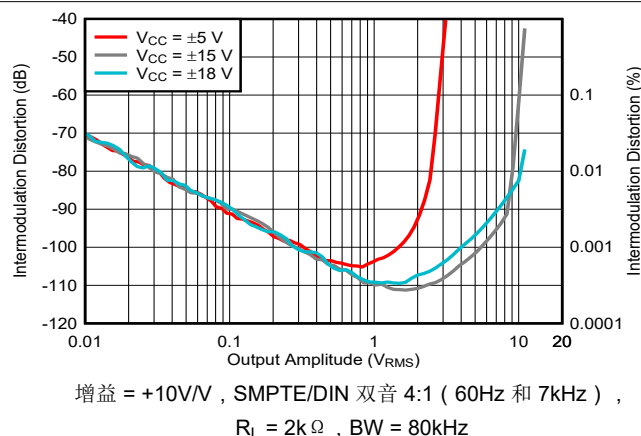


图 5-34. 互调失真与振幅间的关系

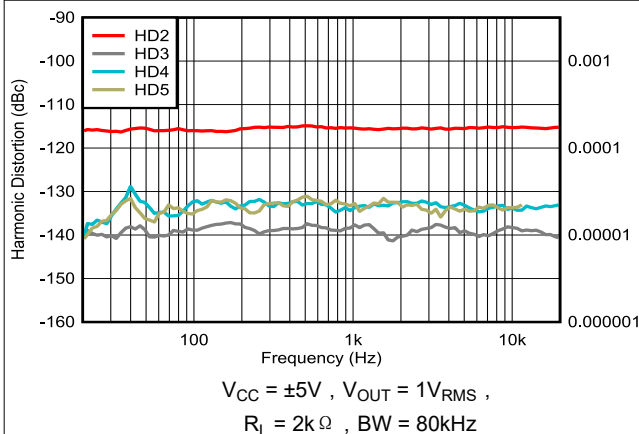


图 5-35. 谐波失真与频率间的关系

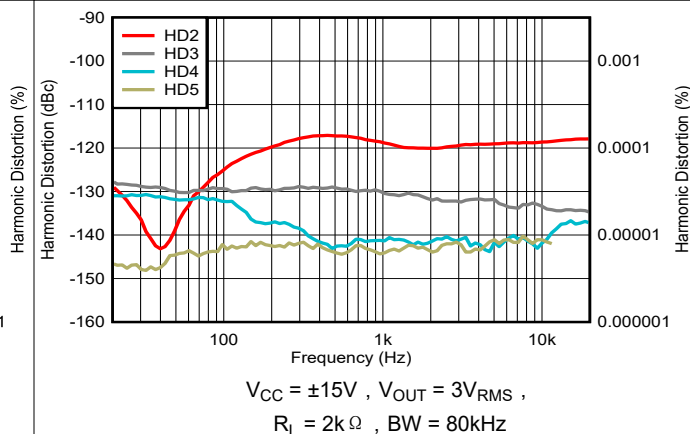
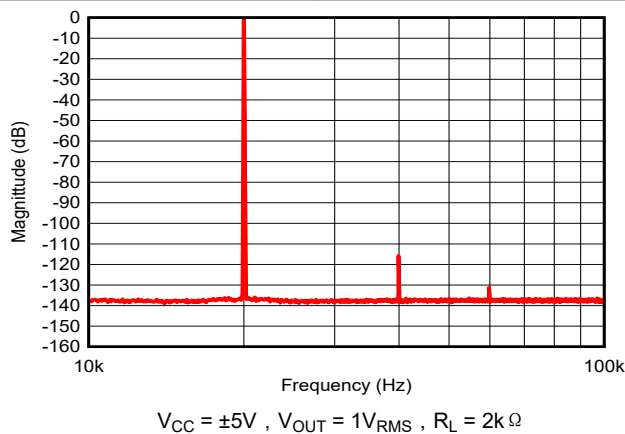
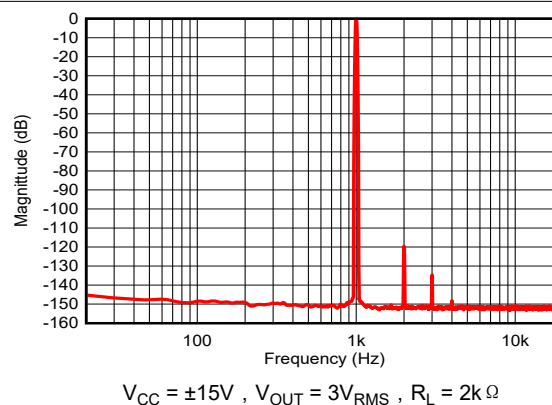
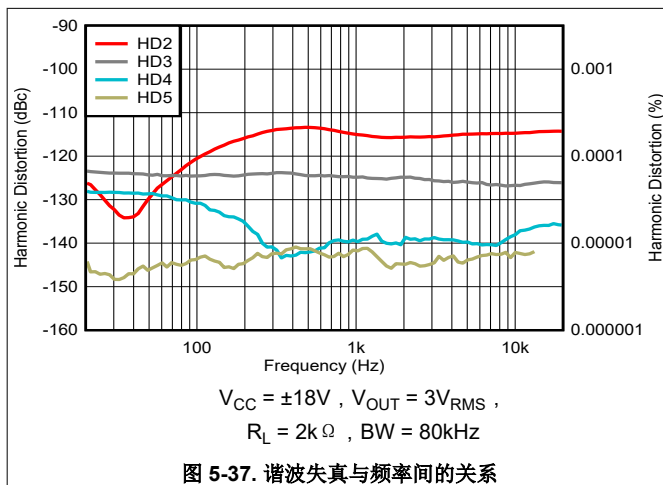


图 5-36. 谐波失真与频率间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+10\text{V/V}$, $R_L = 150\ \Omega$, $R_F = 220\ \Omega$ 时 (除非另有说明)



6 详细说明

6.1 概述

OPAx892 是采用解补偿电压反馈架构配置的高速运算放大器。OPAx892 在 10V/V 或更高增益配置下保持稳定。这些放大器采用大于 30V 的互补双极性工艺构建而成，并采用具有数 GHz f_T 的 NPN 和 PNP 晶体管。这种配置可实现具有宽带宽、高压摆率、快速稳定时间和低失真的超高性能放大器。

6.2 功能方框图

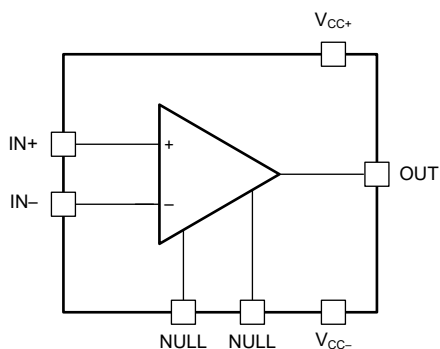


图 6-1. OPA892 : 单通道

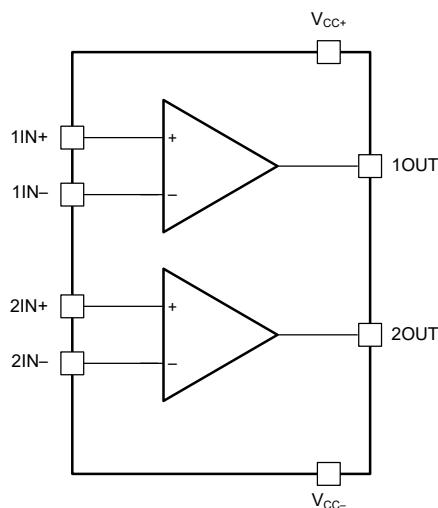


图 6-2. OPA2892 : 双通道

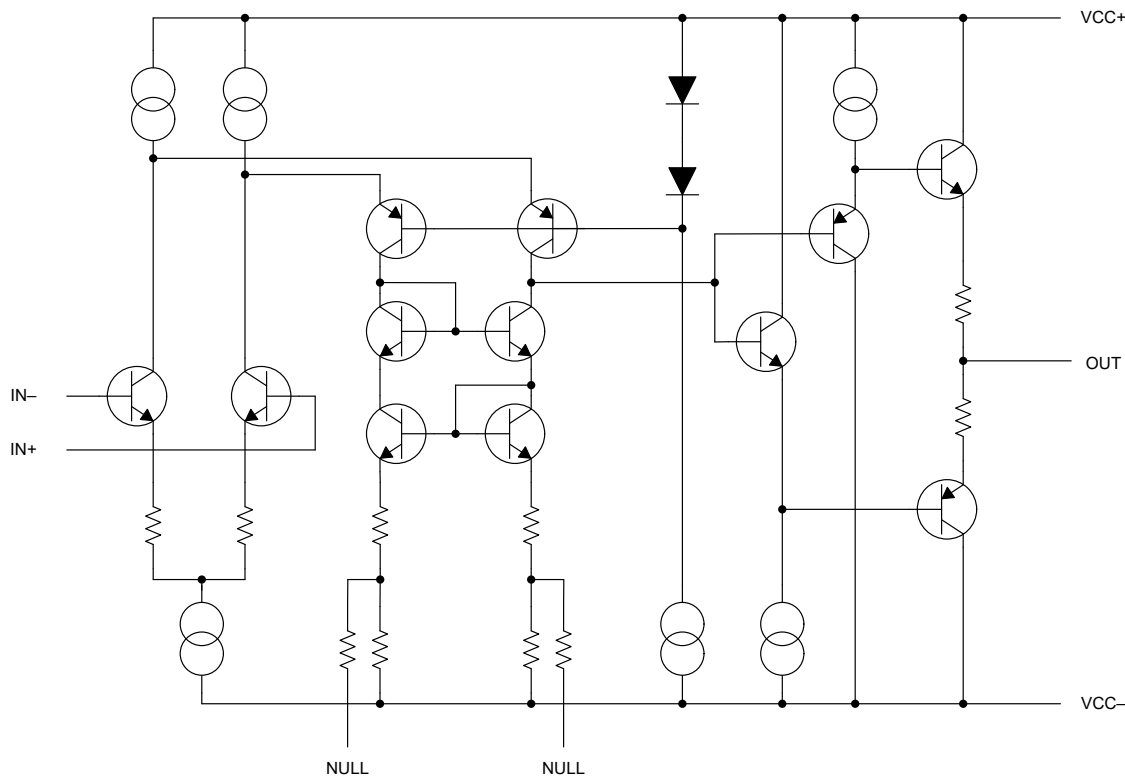


图 6-3. OPA892 简化原理图

6.3 特性说明

6.3.1 失调电压归零

OPAx892 具有非常低的输入失调电压，适用于高速放大器。但是，如果需要额外的校正，OPA892 上提供了失调电压归零功能。若要调整输入失调电压，请在器件的引脚 1 和引脚 8 之间放置电位器，并将抽头连接到负电源。图 6-4 展示了此功能。

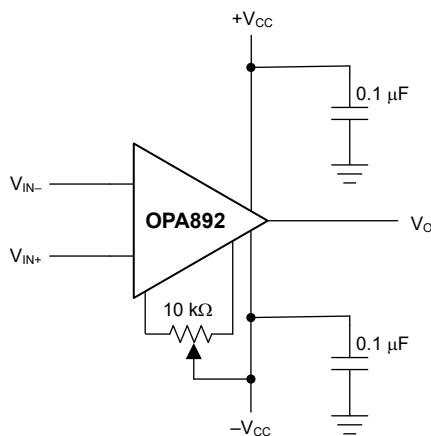


图 6-4. 失调电压归零原理图

6.4 器件功能模式

OPAx892 系列具有单功能模式，可使用单电源或分离电源配置。电源电压必须大于 9V ($\pm 4.5V$) 且小于 36V ($\pm 18V$)。

7 应用和实施工

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 驱动容性负载

OPAx892 具有内部补偿功能，可更大幅度地提高带宽和压摆率性能。为了保持稳定，在使用高性能放大器驱动容性负载时采取额外的预防措施。由于内部补偿，直接位于输出节点上的显著容性负载会降低器件的相位裕度，并可能导致高频振铃或振荡。所以，对于大于 10pF 的容性负载，请将隔离电阻与放大器输出端串联。图 7-1 显示了该配置。对于大多数应用，建议最小电阻为 20 Ω。在 75 Ω 传输系统中，将串联电阻器值设置为 75 Ω 是一个有益的选择，因为该值可隔离任何电容负载并提供源阻抗匹配。

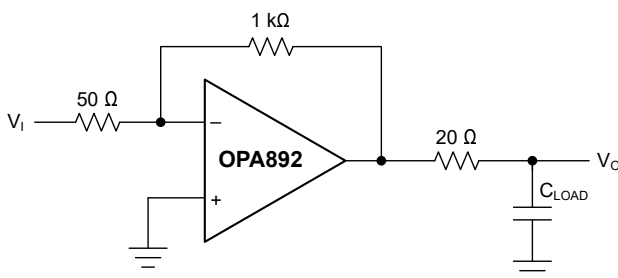


图 7-1. 驱动容性负载

7.1.2 一般配置

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。图 7-2 显示了实现这种限制的最简单方法是在放大器的同相引脚上放置一个 RC 滤波器。

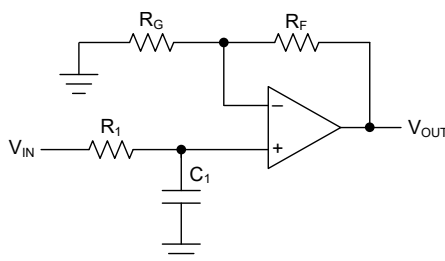


图 7-2. 单极点低通滤波器

$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \times \left(\frac{1}{1 + sR_I C_1}\right) \quad (1)$$

7.2 典型应用

OPAx892 放大器的一个重要特性是解补偿架构。通过使用这种常见技术将主导极点推送到更高的频率，放大器在较低增益配置中不再稳定。OPAx892 的最小稳定增益指定为 10V/V。当前置放大器或缓冲器应用中需要较低的增益时，要考虑的相关产品是 OPA891。由于 OPA891 没有解补偿，因此增益带宽积大约比 OPAx892 低一个数量级。这两种放大器都具有相似的噪声性能，但根据应用的增益需求使用正确的放大器会获得更好的带宽和失真性能。

当应用需要 10V/V 或更大的增益时，可选择 OPAx892 来获得低的谐波失真和 THD+N 值。图 7-3 展示了模拟信号链中可能需要此类放大的位置。通常在超声波、音频和声纳等应用中，在输入传感器附近使用前置放大器将信号提升到更实用的水平，重点是保持尽可能小的噪声和失真。然后，在信号链中，可能需要显著提高增益来实现其他所需功能，例如模拟滤波、混合、分离或仅仅需要将信号电平与后续器件相匹配。OPAx892 等放大器通过提供所需的增益来保持信号的保真度，这些增益在宽带宽和输出摆幅范围内会显著影响失真。图 7-4 显示了放大器设计示例。放大级为模拟信号链提供额外的 10V/V 增益。

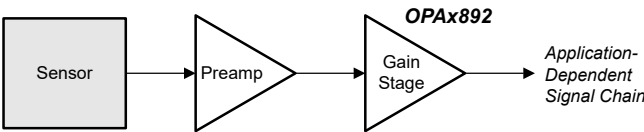


图 7-3. 模拟前端方框图中的增益级

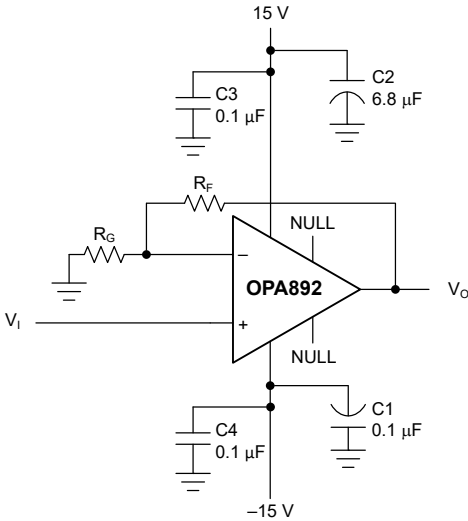


图 7-4. 同相增益配置

7.2.1 设计要求

目标是为中间级放大器设计一个 10V/V 放大器，以便在表 7-1 中所示的输出范围内更大程度地减小信号的 THD。

表 7-1. 设计参数

参数	值
电源电压	±15V
电压增益	+10V/V
小信号峰值	< 2dB
负载电阻	1kΩ

7.2.2 详细设计过程

如图 7-4 详图所示，示例设计是一种常见的同相运放配置。在本设计示例中， $\pm 15\text{V}$ 双电源被一对电容器绕过，如节 7.4.1 中所述。虽然未明确显示，但可以从同相输入到地之间添加一个等于 $R_F \parallel R_G$ 的可选电阻器，以保持输入平衡，从而帮助减轻输入偏置电流的影响。

使用公式 方程式 2 正确选择两个电阻器，将增益设置为 10V/V 。在本例中，将电阻的比率设置为 9 即可实现增益为 10 的设计目标。在保持电阻器值的额定比率的同时，还存在第二个自由度，允许绝对值具有一定的任意性。增大反馈电阻会导致小信号频率响应的过冲量增加（参阅图 5-1）。在时域中，该影响表现为阶跃函数输入信号的振铃和稳定时间增加。如果电阻非常小，则功率耗散影响会增加。

$$\text{gain} = \frac{V_O}{V_I} = 1 + \frac{R_F}{R_G} \quad (2)$$

最佳实践是选择阻值适中的电阻器，避免两个极端条件下的不利影响。选择 $R_F = 220\ \Omega$ 是介于这两个极端之间的一个很好的折衷方案。使用 方程式 2 计算出相应的增益电阻为 $24\ \Omega$ 。小信号峰值的大小适中，达到 1.5dB （参阅图 5-1），满足设计目标。

此放大器系列的一项独特功能是，所设计的输出级可驱动大量输出电流。这种选择使 OPAX892 即使在输入信号非常大的情况下也能保持相当大的带宽。图 7-5 显示了带宽的适度降低，即使对于高达 20V_{PP} 的输出信号也是如此。此功能的时域影响是，即使对于大动态范围输入信号，也能实现更精确的放大（即更低的失真）。

使用本节设计的放大器，图 7-6 显示了 THD 降至 5 次谐波的测量分量。图中显示了二次谐波决定了 THD 性能，其中四次谐波是次高的分量。其他放大器可以在较低的输入电平下产生低失真，但随着输出幅值的上升，失真会迅速上升。图 5-17 显示谐波失真保持近似恒定，即使在高输出幅值下也是如此，这使得 OPAX892 成为失真和噪声是关键考虑因素的高幅值应用的可靠选择。

7.2.3 应用曲线

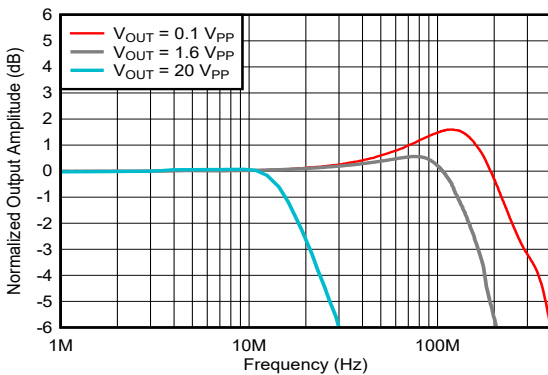


图 7-5. 超大信号频率响应

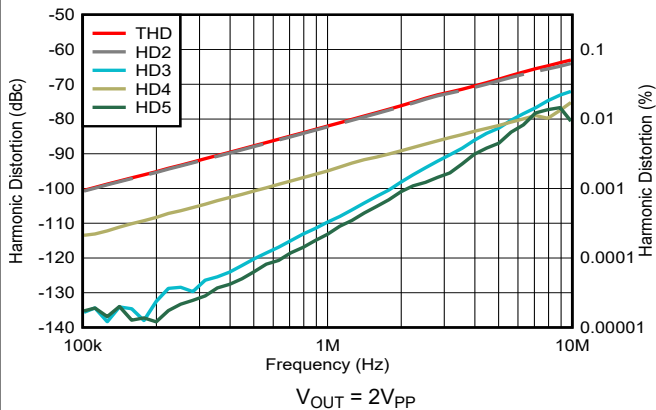


图 7-6. 谐波失真元件与频率间的关系

7.3 电源相关建议

OPAx892 器件设计为由 $\pm 4.5\text{V}$ 至 $\pm 16\text{V}$ 的电源 (9V 至 32V 单端电源) 供电。使用 5% 或更高的电源精度。在具有高速数字信号的电路板上运行时, 在数字信号噪声和模拟输入引脚之间提供隔离。OPAx892 分别通过引脚 7 和引脚 8 连接到正电源 (V_{CC+})。两种器件都使用引脚 4 作为负电源 (V_{CC-})。在尽可能靠近器件的位置对每个电源引脚到 GND 进行去耦。

7.4 布局

7.4.1 布局指南

为了达到 OPAx892 的高频性能水平, 应遵循正确的印刷电路板 (PCB) 高频设计技巧。下面给出了一组通用的准则。此外, 还提供 OPAx892 评估板作为布局或评估器件性能的指南。

- **接地平面** - 确保电路板上使用的接地平面为所有元件提供低电感接地连接。但是, 在放大器输入和输出区域, 可移除接地平面以便尽可能减小杂散电容。
- **适当的电源去耦** - 在每个电源引脚上使用一个 $6.8\mu\text{F}$ 钽电容器与一个 $0.1\mu\text{F}$ 陶瓷电容器并联。根据应用情况, 在若干放大器之间共享钽电容器, 但每个放大器的电源引脚上必须始终使用 $0.1\mu\text{F}$ 陶瓷电容器。另外, $0.1\mu\text{F}$ 电容器应尽可能靠近电源引脚放置。随着此距离增大, 连接迹线中的电感会使电容器效率降低。力求使器件电源引脚和陶瓷电容器之间的距离小于 0.1 英寸 (2.54mm)。
- **短布线或紧凑型器件放置** - 当杂散串联电感最小时, 即可实现出色的高频性能。为了实现这一点, 电路布局必须尽可能紧凑, 从而尽量减少所有布线的长度。特别注意放大器的输入端, 尽可能缩短布线长度。此布局有助于尽可能减小放大器输入端的杂散电容。

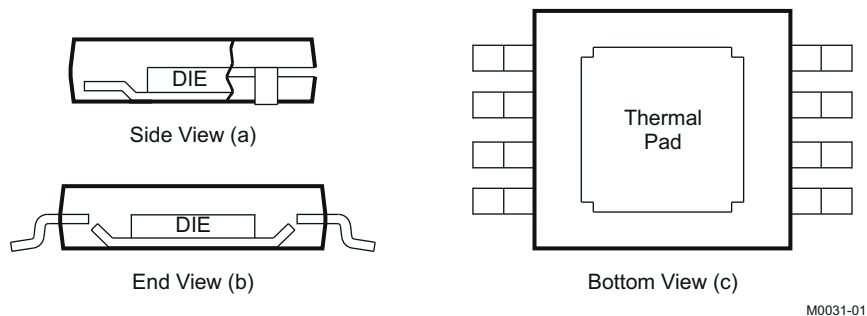
7.4.1.1 通用 PowerPAD™ 集成电路封装设计注意事项

OPAx892 采用热增强型 DGN 封装，属于 PowerPAD™ 集成电路封装系列。图 7-7 a 和 图 7-7 b 展示了此封装使用下行引线框构建，芯片安装在此引线框上。图 7-7 c 展示了这种布置如何导致引线框作为散热焊盘暴露在封装底部。由于散热垫与裸片发生直接热接触，因此通过散热垫提供的良好散热路径可实现出色的散热性能。

借助 PowerPAD 集成电路封装，一次生产操作即可实现组装管理和散热管理。在表面贴装焊接操作（焊接引线时）中，也可将散热焊盘焊接在封装底面上的覆铜区域内。通过在此覆铜区域内使用散热路径，可将封装上的热量传递到接地平面或其他散热器件上。

PowerPAD 集成电路封装在面积小、组装方便的表面贴装和以前难以处理的散热机械方法之间取得了巨大突破。

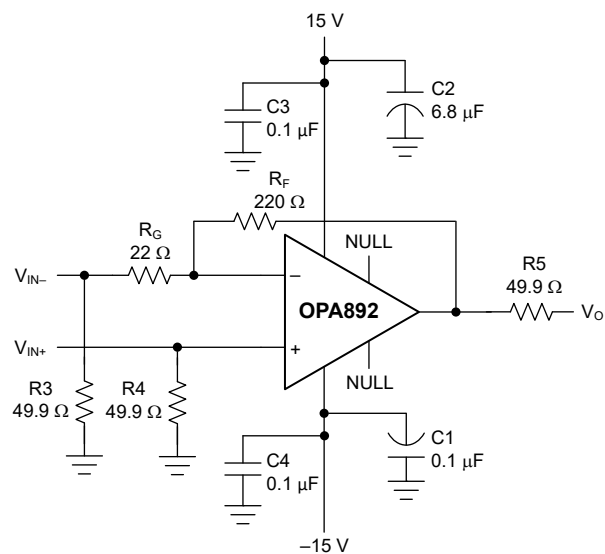
有关 PowerPAD 集成电路封装安装过程和热管理技术的更多详细信息，请参阅 [PowerPAD 热增强型封装](#)。可以在 TI 网站 (www.ti.com) 上通过搜索关键字 PowerPAD 而找到本文档。该文档也可通过您当地的 TI 销售办事处订购；订购时请参阅 SLMA002。



注意：散热焊盘（PowerPAD 集成电路封装）与所有其他引脚电气隔离，并且可以连接到从 V_{CC-} 到 V_{CC+} 的任何电势。通常，散热焊盘连接到接地平面，因为该平面在物理上通常是最大的，能够耗散最多的热量。

图 7-7. 热增强型 DGN 封装视图

7.4.2 布局示例



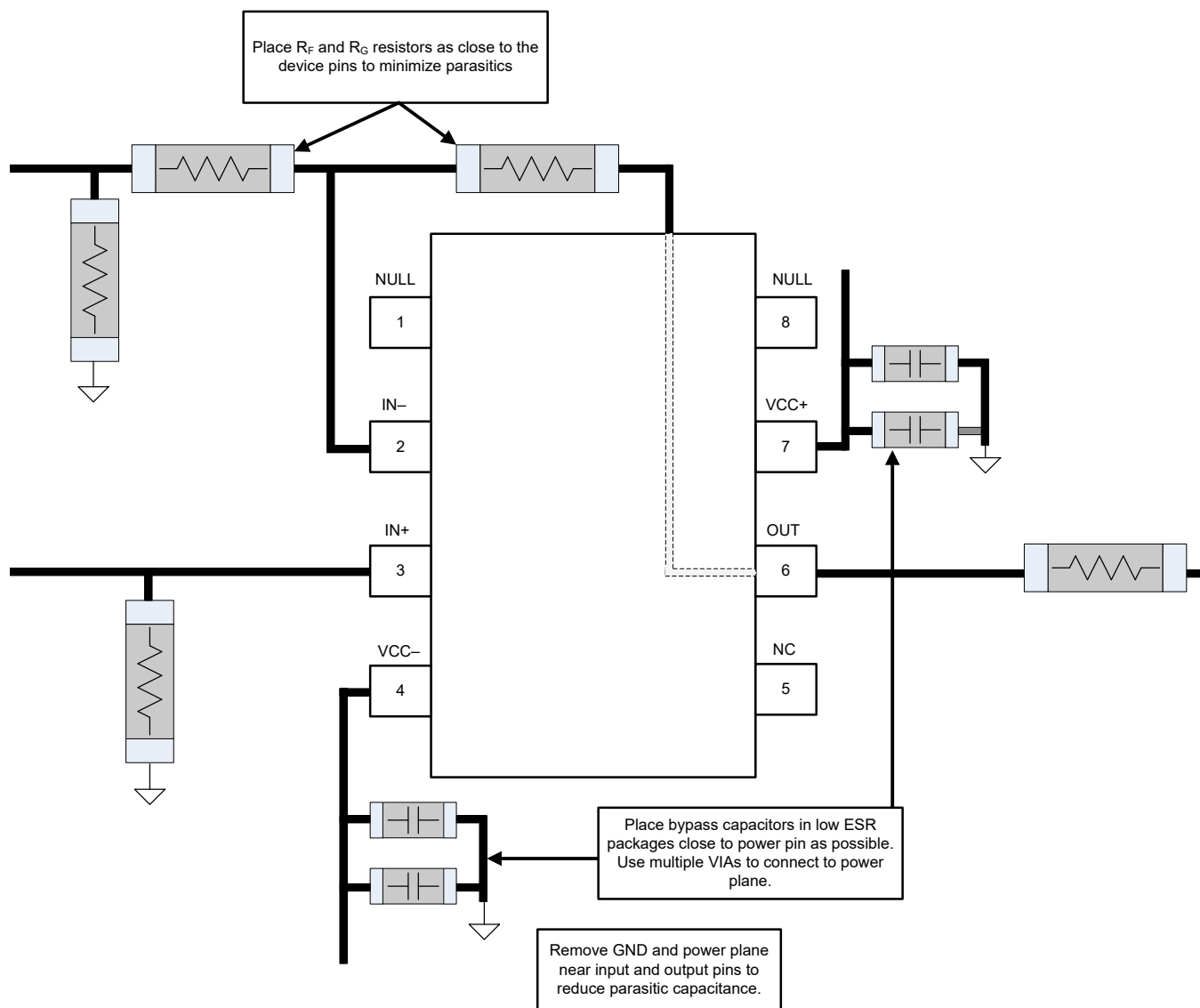


图 7-8. 布局建议

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [运算放大器电路中的噪声分析应用报告](#)
- 德州仪器 (TI), [PowerPAD 热增强型封装应用报告](#)
- 德州仪器 (TI), [采用 SO-8 封装的单通道运算放大器评估模块用户指南](#)
- 德州仪器 (TI), [采用 SO-8 封装的双通道运算放大器评估模块用户指南](#)
- 德州仪器 (TI), [采用 MSOP-8 封装的双通道运算放大器评估模块用户指南](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2023) to Revision A (July 2024)	Page
• 将 OPA2892 状态从“预发布”更改为“量产数据 (正在供货)”	1
• 向表 4-2 引脚功能 : OPA2892 中添加了散热焊盘信息	3
• 在 电气特性 中添加了缺失的电源电流单位	6
• 添加了图 5-20 OPA2892 串扰与频率间的关系	8

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2892DGNR	Active	Production	HVSSOP (DGN) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2892
OPA2892DGNR.B	Active	Production	HVSSOP (DGN) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	2892
OPA892DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	O892
OPA892DR.B	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	O892

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

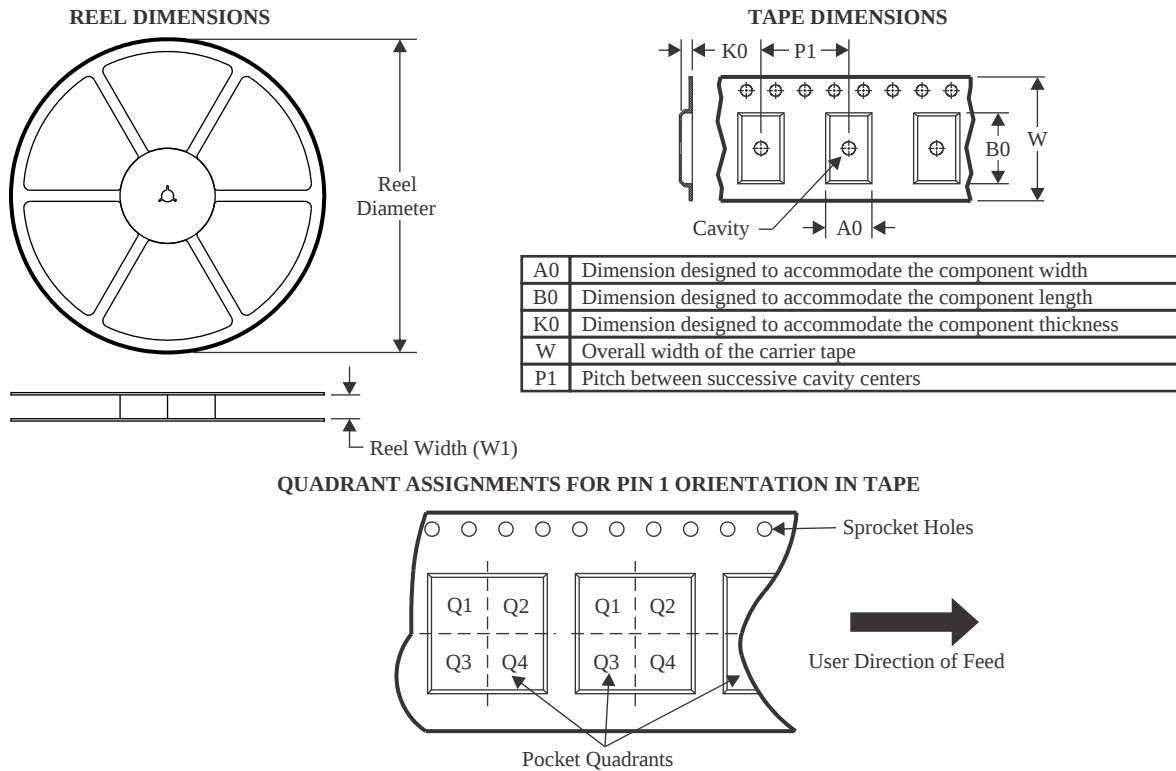
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

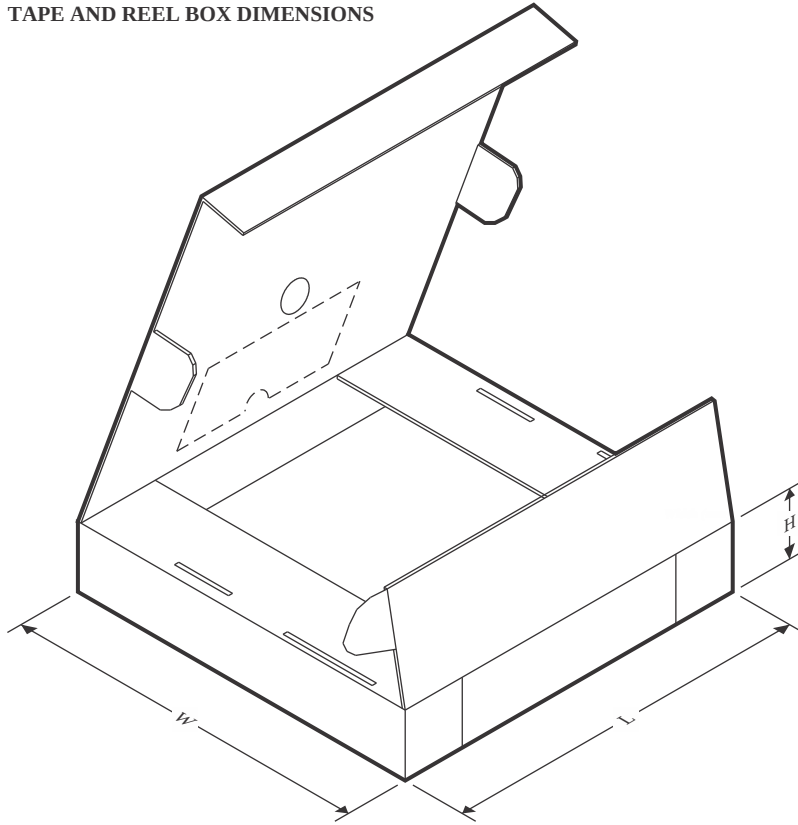
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2892DGNR	HVSSOP	DGN	8	3000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA892DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2892DGNR	HVSSOP	DGN	8	3000	353.0	353.0	32.0
OPA892DR	SOIC	D	8	3000	356.0	356.0	35.0



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



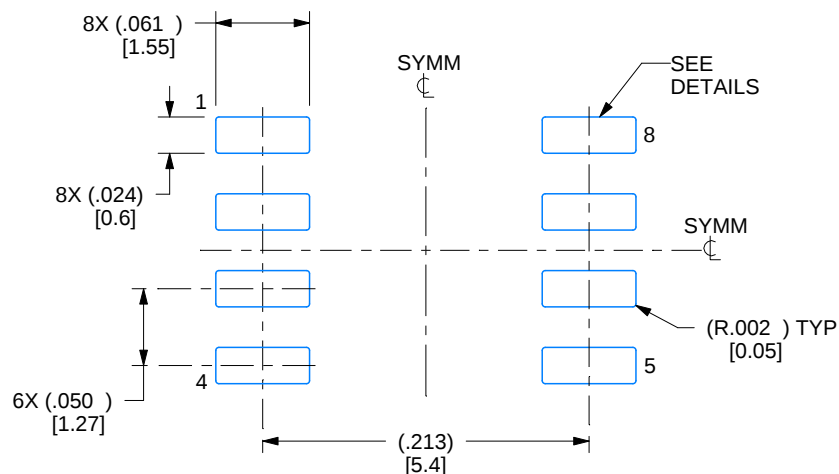
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

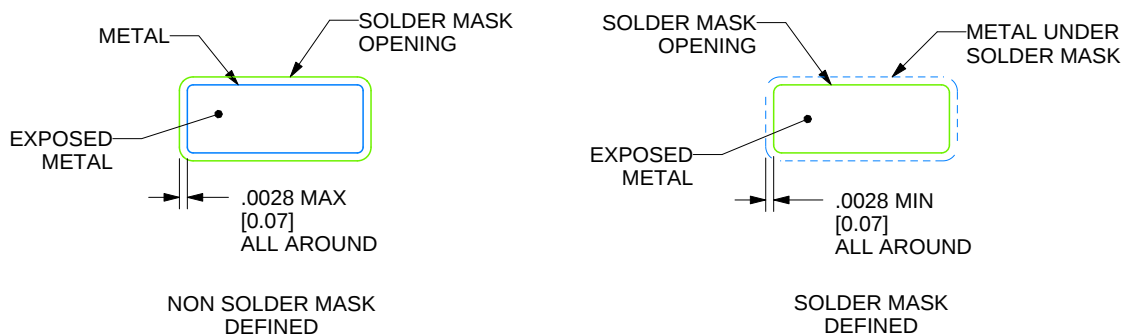
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

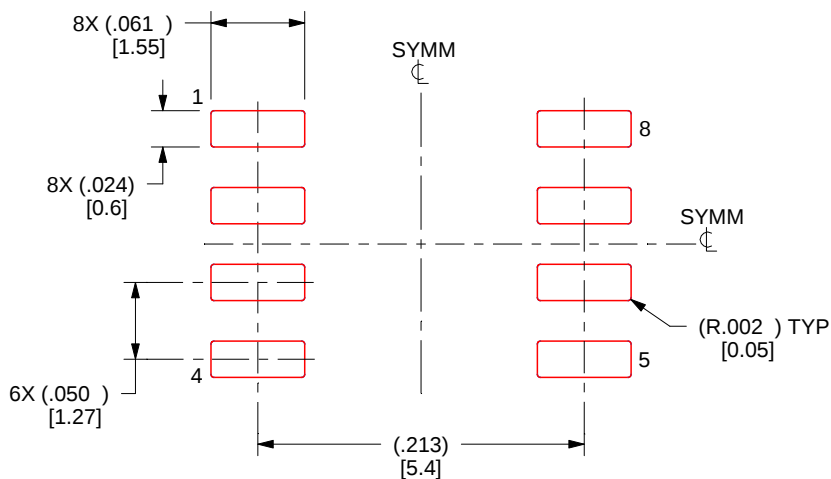
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

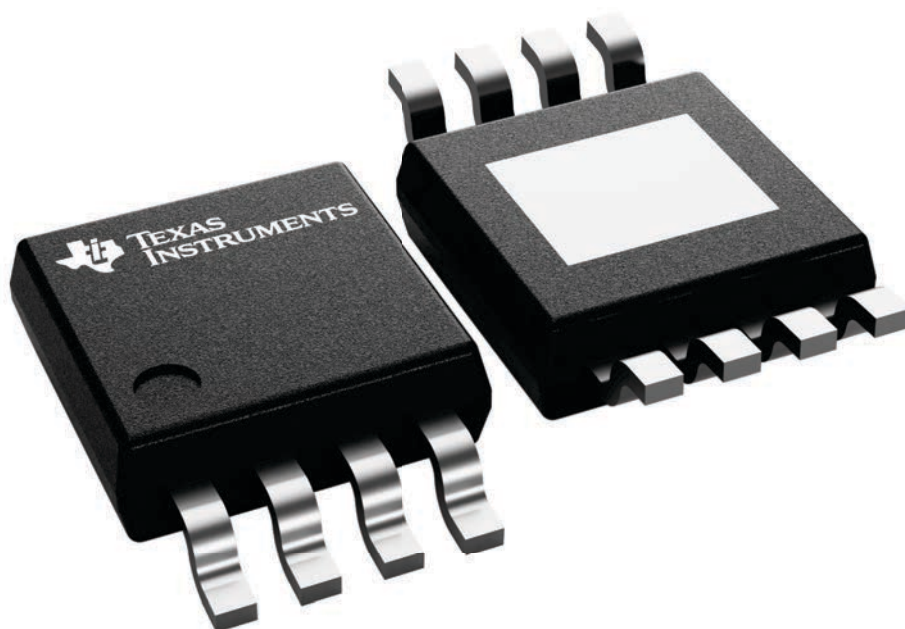
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

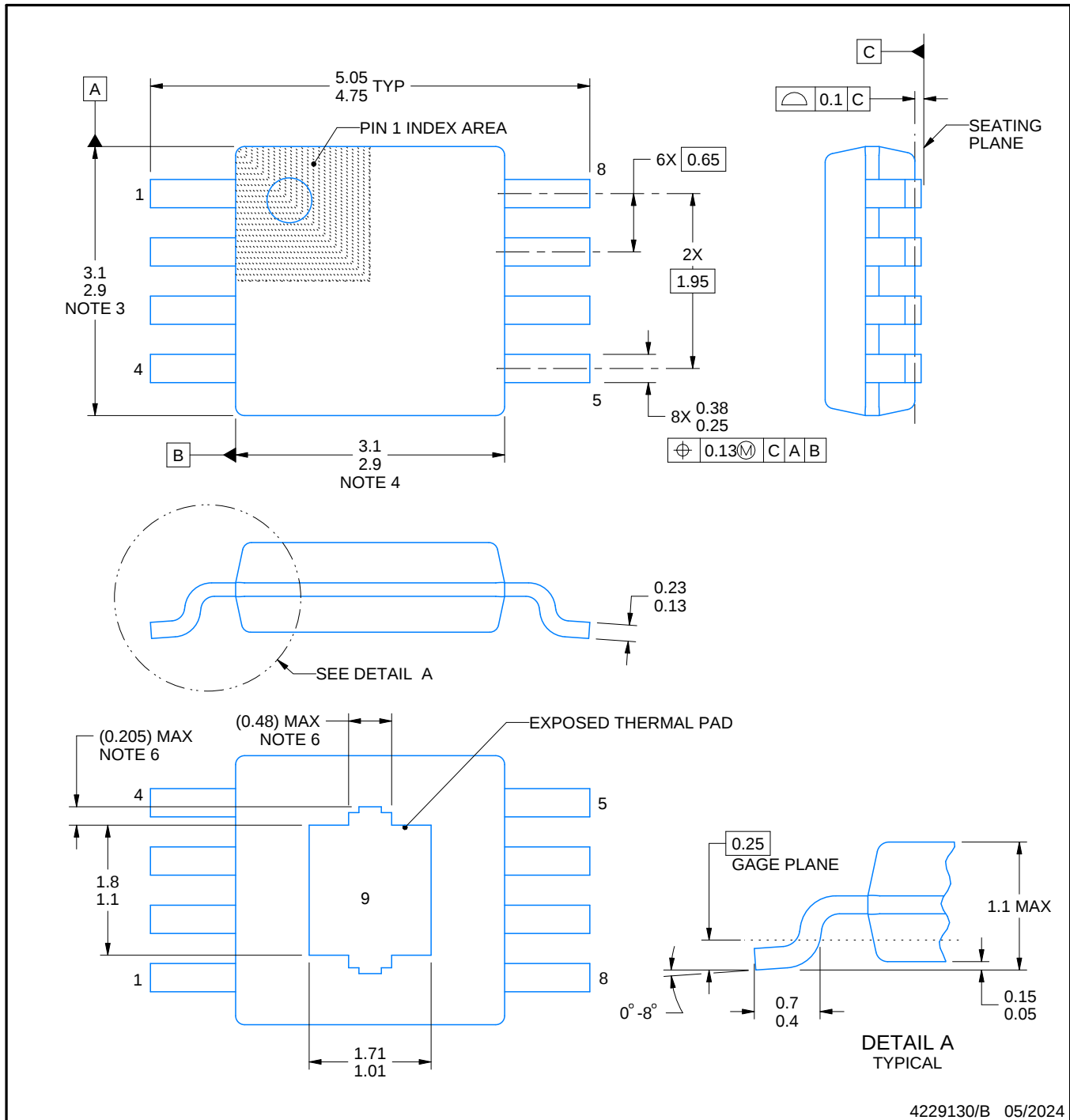
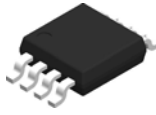
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4229130/B 05/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

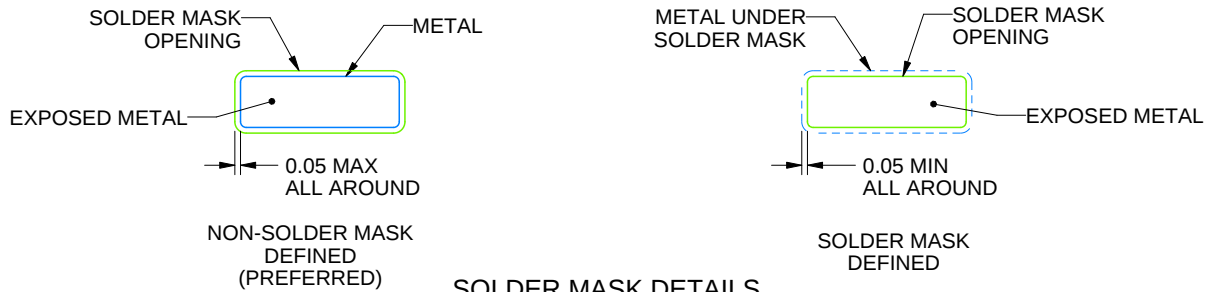
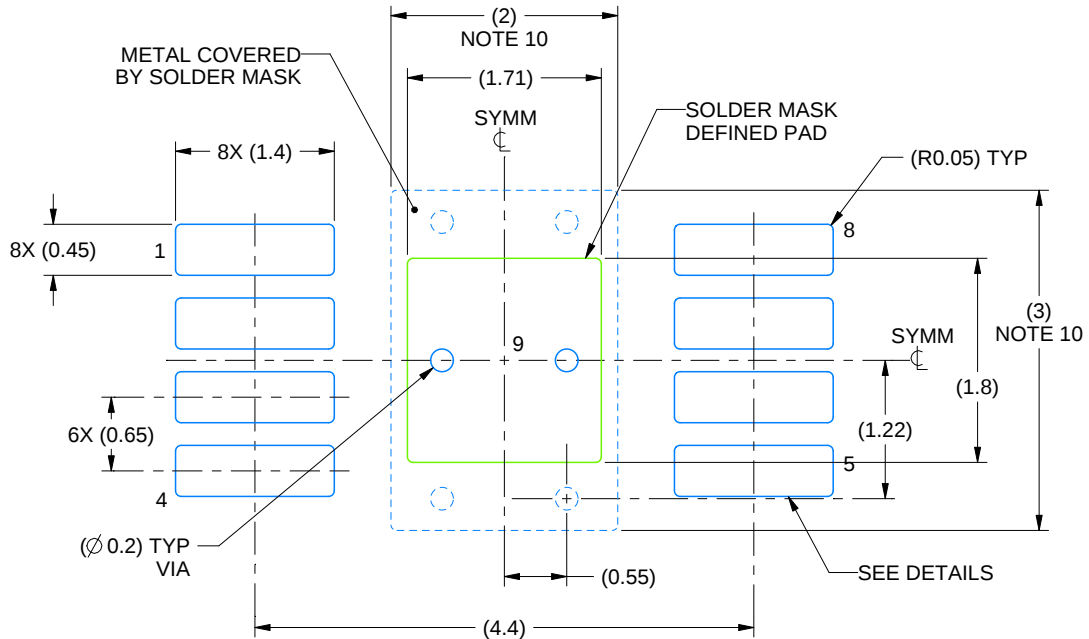
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4229130/B 05/2024

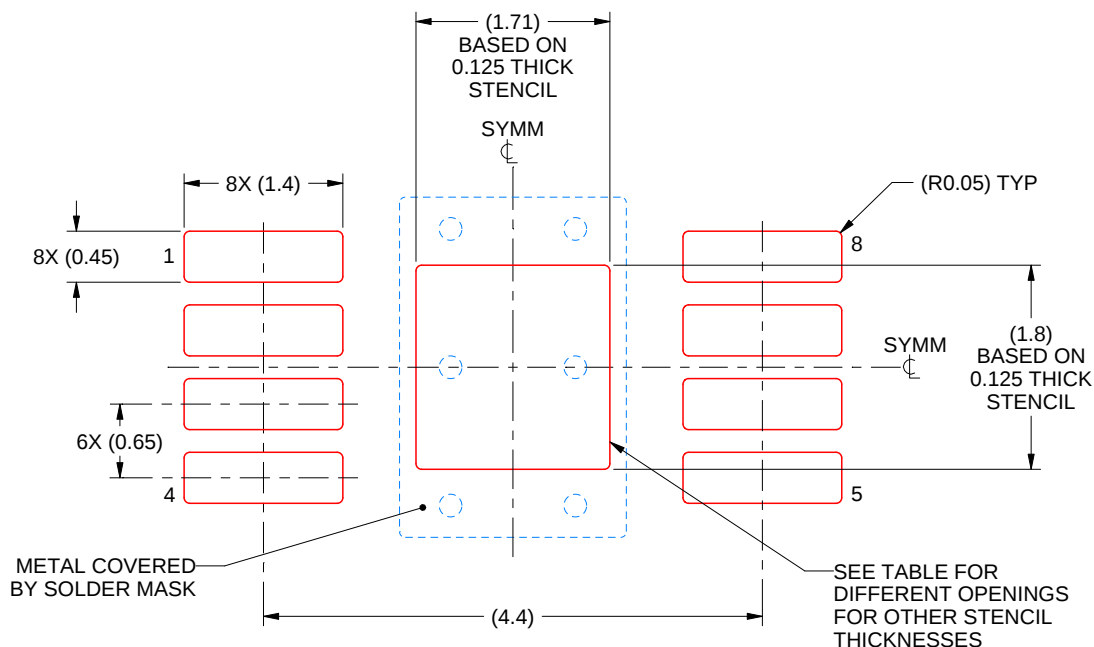
NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE

EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司