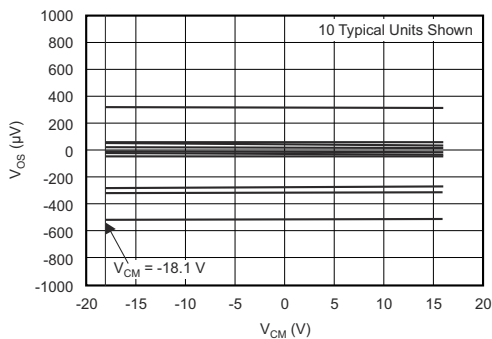


适用于成本敏感型汽车系统的 OPAx171-Q1 36V 单电源通用 运算放大器

1 特性

- 符合汽车应用要求
- AEC-Q100 测试指导结果如下：
 - 温度等级 1：
 - 40°C 至 +125°C 环境工作温度范围
 - 器件 HBM ESD 分类等级：
 - OPA171-Q1 的等级为 3A
 - OPA4171-Q1 的等级为 2
 - 器件 CDM ESD 分类等级
 - OPA171-Q1 TLV171-Q1 的等级为 C4A
 - OPA2171-Q1 的等级为 C6
 - OPA4171-Q1 的等级为 C6
- 电源电压范围：
 - 单电源：2.7V 至 36V
 - 双电源 $\pm 1.35V$ 至 $\pm 18V$
- 低噪声：1kHz 时为 14 nV/√Hz
- 低温漂： $\pm 0.3\mu V/^\circ C$ (典型值)
- 输入范围包括负电源
- 输入范围运行至正电源，性能降低
- 轨到轨输出
- 增益带宽：3MHz
- 低静态电流：每个放大器 475μA
- 高共模抑制：120dB (典型值)
- 低输入偏置电流：10pA
- 行业标准封装：
 - 5 引脚 Small-Outline Transistor SOT-23 (DBV) 封装



失调电压与共模电压间的关系：
 $V_{SUPPLY} = \pm 18V$

2 应用

- 电源模块内的跟踪放大器
- 商用电源
- 传感器放大器
- 桥接放大器
- 温度测量
- 应力计放大器
- 精密积分器
- 电池供电仪表
- 测试设备

3 说明

OPA171-Q1 系列器件是 36V 单电源低噪声运算放大器，能够在 2.7V ($\pm 1.35V$) 至 36V ($\pm 18V$) 的电源电压范围内运行。该系列采用多种封装，并且具有低偏移、低漂移以及低静态电流特性。单通道、双通道和四通道版本均具有相同的技术规格，可最大程度地提高设计灵活性。

大多数运算放大器仅有一个指定的电源电压，OPAx171-Q1 系列则有所不同，其可在 2.7V 至 36V 电压范围内可额定运行。超过电源轨的输入信号并不会导致反相。

OPAx171-Q1 系列器件与高达 300pF 的容性负载搭配使用时可保持稳定。输入可在负电源轨以下 100mV 到顶轨以上 2V 范围内正常运行。该器件可在正电源轨之上 100mV 轨到轨满输入电压下运行，但在正电源轨 2V 范围内运行时会降低性能。

OPAx171-Q1 运算放大器系列额定运行温度范围为 -40°C 至 +125°C。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
OPA171-Q1	SOT-23 (5)	2.90mm × 1.60mm
OPA2171-Q1	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
OPA4171-Q1	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	7.3 特性说明	16
2 应用	1	7.4 器件功能模式	18
3 说明	1	8 应用和实施	19
4 修订历史记录	2	8.1 应用信息	19
5 引脚配置和功能	3	8.2 典型应用	21
引脚功能：OPA171-Q1 和 OPA2171-Q1.....	3	9 电源相关建议	23
引脚功能：OPA4171-Q1.....	4	10 布局	24
6 规格	5	10.1 布局指南	24
6.1 绝对最大额定值.....	5	10.2 布局示例	24
6.2 ESD 等级.....	5	11 器件和文档支持	25
6.3 建议运行条件.....	5	11.1 文档支持	25
6.4 热性能信息 - OPA171-Q1 和 OPA2171-Q1.....	6	11.2 相关链接	25
6.5 热性能信息 — OPA4171-Q1.....	6	11.3 接收文档更新通知	25
6.6 电气特性.....	7	11.4 支持资源	25
6.7 典型特性.....	9	11.5 商标	25
7 详细说明	16	11.6 静电放电警告	25
7.1 概述.....	16	11.7 术语表	25
7.2 功能方框图.....	16	12 机械、封装和可订购信息	25

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2015) to Revision D (August 2020)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更改了 OPA2171-Q1 V+ 引脚排列表的值以正确反映引脚排列图.....	3
• 重新编写了 <i>电气过载</i> 一节，以与 TLV171 商业数据表匹配.....	19

Changes from Revision B (December 2014) to Revision C (December 2015)	Page
• 更改了 <i>特性</i> 列表中 HBM 和 CDM 的 ESD 分类等级.....	1
• 为 OPA2171-Q1 器件添加了 8 引脚 VSSOP (DGK) 封装选项.....	1
• 阐明了 <i>ESD</i> 等级表中每个器件的 ESD 值.....	5

Changes from Revision A (September 2012) to Revision B (December 2014)	Page
• 添加了 <i>处理额定值表</i> 、 <i>特性说明</i> 部分、 <i>器件功能模式</i> 部分、 <i>应用和实施</i> 部分、 <i>电源相关建议</i> 部分、 <i>布局</i> 部分、 <i>器件和文档支持</i> 部分以及 <i>机械、封装和可订购信息</i> 部分.....	1
• 向数据表中添加了 OPA2171-Q1 和 OPA4171-Q1.....	1

Changes from Revision * (June, 2011) to Revision A (September, 2012)	Page
• 向特性中添加了要点：AEC-Q100 测试指导结果如下：- 器件温度 1 级：-40°C 至 125°C 的环境运行温度范围 - 器件 HBM ESD 分类等级 H2 - 器件 CDM ESD 分类等级 C3A.....	1
• 向“绝对最大额定值”表中的 ESD 等级添加了分类等级.....	5
• 向“绝对最大额定值”表中添加了行：闩锁效应抑制，符合 JESD78D 要求，具有 1 类值.....	5

5 引脚配置和功能

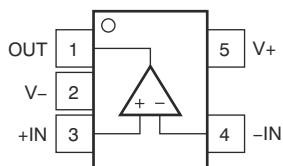


图 5-1. OPA171-Q1 DBV 封装
5 引脚 SOT-23
顶视图

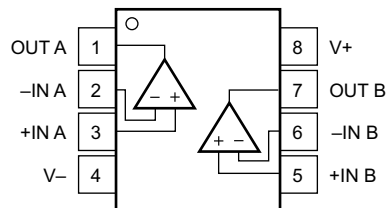


图 5-2. OPA2171-Q1 D 和 DGK 封装
8 引脚 SOIC 和 VSSOP
顶视图

引脚功能：OPA171-Q1 和 OPA2171-Q1

引脚			I/O	说明
名称	OPA171-Q1 SOT-23	OPA2171-Q1 SOIC 和 VSSOP		
+IN	3	—	I	同相输入
+IN A	—	3	I	同相输入，通道 A
+IN B	—	5	I	同相输入，通道 B
- IN	4	—	I	反相输入
- IN A	—	2	I	反相输入，通道 A
- IN B	—	6	I	反相输入，通道 B
OUT	1	—	O	输出
OUT A	—	1	O	输出，通道 A
OUT B	—	7	O	输出，通道 B
V+	5	8	—	正（最高）电源
V -	2	4	—	负（最低）电源

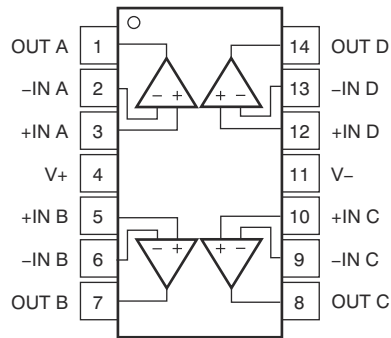


图 5-3. OPA4171-Q1 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
(顶视图)

引脚功能 : OPA4171-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入, 通道 A
+IN B	5	I	同相输入, 通道 B
+IN C	10	I	同相输入, 通道 C
+IN D	12	I	同相输入, 通道 D
- IN A	2	I	反相输入, 通道 A
- IN B	6	I	反相输入, 通道 B
- IN C	9	I	反相输入, 通道 C
- IN D	13	I	反相输入, 通道 D
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
OUT C	8	O	输出, 通道 C
OUT D	14	O	输出, 通道 D
V+	4	—	正 (最高) 电源
V -	11	—	负 (最低) 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压, V_S			40	V
信号输入端子	电压	$(V_-) - 0.5$	$(V_+) + 0.5$	V
	电流		± 10	mA
输出短路 ⁽²⁾			持续	
结温, T_J			150	°C
闩锁效应抑制, 符合 JESD78D 要求			1 级	
贮存温度, T_{stg}		-65	150	°C

- (1) 超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能会降低器件的可靠性。这些只是应力额定值，并不意味着器件在这些条件或者任何超过指定的其他条件下能够正常工作。
- (2) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

		值	单位
OPA171-Q1			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±4000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500	
OPA2171-Q1			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±4000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	±1000	
OPA4171-Q1			
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	±1000	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压 ($V_+ - V_-$)	4.5 (± 2.25)		36 (± 18)	V
额定工作温度	-40		125	°C

6.4 热性能信息 - OPA171-Q1 和 OPA2171-Q1

热性能指标 ⁽¹⁾		OPA171-Q1	OPA2171-Q1		单位
		DBV (SOT-23)	D (SOIC)	DGK (VSSOP)	
		5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	277.3	116.1	186.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	193.3	69.8	78	°C/W
$R_{\theta JB}$	结至电路板热阻	121.2	56.6	107.8	°C/W
Ψ_{JT}	结至顶部特征参数	51.8	22.5	15.6	°C/W
Ψ_{JB}	结至电路板特征参数	109.5	56.1	106.2	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告 SPRA953](#)。

6.5 热性能信息 — OPA4171-Q1

热性能指标 ⁽¹⁾		OPA4171-Q1		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	93.2	106.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	51.8	24.4	°C/W
$R_{\theta JB}$	结至电路板热阻	49.4	59.3	°C/W
Ψ_{JT}	结至顶部特征参数	13.5	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	42.2	54.3	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告 SPRA953](#)。

6.6 电气特性

在 $T_A = 25^\circ\text{C}$, $V_S = 2.7\text{V}$ 至 36V , $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_{LOAD} = 10\text{k}\Omega$, 连接到 $V_S / 2$ (除非另外说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压			0.25	± 1.8	mV
输入失调电压随温度变化的情况	$T_A = -40^\circ\text{C}$ 至 125°C		0.3	± 2	mV
dV_{OS}/dT 输入失调电压漂移 (随温度变化情况)	$T_A = -40^\circ\text{C}$ 至 125°C		0.3	± 2 (2)	$\mu\text{V}/^\circ\text{C}$
PSRR 随温度变化的输入失调电压与电源间的关系	$V_S = 4.5\text{V}$ 至 36V		120	± 3	$\mu\text{V}/\text{V}$
通道分离, 直流			5		$\mu\text{V}/\text{V}$
输入偏置电流					
I_B 输入偏置电流			± 8	± 15	pA
全温度范围内输入偏置电流				± 3.5	nA
I_{OS} 输入失调电流			± 4		pA
输入失调电流随温度变化的情况				± 3.5	nA
噪声					
输入电压噪声	$f = 0.1\text{Hz}$ 至 10Hz		3		μV_{PP}
e_n 输入电压噪声密度	$f = 100\text{Hz}$		25		$\text{nV}/\sqrt{\text{Hz}}$
	$f = 1\text{kHz}$		14		$\text{nV}/\sqrt{\text{Hz}}$
输入电压					
V_{CM} 共模电压范围(1)		$(V_-) - 0.1$		$(V_+) - 2$	V
CMRR 共模抑制比随温度的变化	$V_S = \pm 2.25\text{V}$ $(V_-) - 0.1\text{V} < V_{CM} < (V_+) - 2\text{V}$	90	104		dB
	$V_S = \pm 18\text{V}$ $(V_-) - 0.1\text{V} < V_{CM} < (V_+) - 2\text{V}$	104	120		dB
输入阻抗					
差分			$100 \parallel 3$		$\text{M}\Omega \parallel \text{pF}$
共模			$6 \parallel 3$		$10^{12} \Omega \parallel \text{pF}$
开环增益					
A_{OL} 开环电压增益随温度的变化	$V_S = 4.5\text{V}$ 至 36V $(V_-) + 0.35\text{V} < V_O < (V_+) - 0.35\text{V}$	110	130		dB
频率响应					
GBP 增益带宽积			3		MHz
SR 压摆率	$G = 1$		1.5		$\text{V}/\mu\text{s}$
t_s 稳定时间	精度达到 0.1%, $V_S = \pm 18\text{V}$ $G = 1$, 10V 阶跃		6		μs
	精度达到 0.01% (12 位), $V_S = \pm 18\text{V}$ $G = 1$, 10V 阶跃		10		μs
过载恢复时间	$V_{\pm IN} \times \text{增益} > V_S$		2		μs
THD+N 总谐波失真 + 噪声	$G = 1$, $f = 1\text{kHz}$ $V_O = 3V_{RMS}$		0.0002%		
输出					
V_O 相对于电源轨的电压输出摆幅 (随温度变化情况)	$R_L = 10\text{k}\Omega$ $A_{OL} \geq 110\text{dB}$	$(V_-) + 0.35$		$(V_+) - 0.35$	V
I_{SC} 短路电流	拉电流		25		mA
	灌电流		-37		
C_{LOAD} 容性负载驱动		请参阅 节 6.7			pF
R_O 开环输出电阻	$f = 1\text{MHz}$, $I_O = 0\text{A}$		150		Ω
电源					
V_S 额定电压范围	$T_A = -40^\circ\text{C}$ 至 125°C	4.5		36	V

6.6 电气特性 (续)

在 $T_A = 25^\circ\text{C}$, $V_S = 2.7\text{V}$ 至 36V , $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_{LOAD} = 10\text{k}\Omega$, 连接到 $V_S / 2$ (除非另外说明)

参数	测试条件	最小值	典型值	最大值	单位
I_Q 每个放大器的静态电流	$I_O = 0\text{A}$, $T_A = -40^\circ\text{C}$ 至 125°C		475	595	μA

- (1) 输入范围可超出 $(V+) - 2\text{V}$, 最高为 $V+$, 性能降低。有关更多信息, 请参阅 [节 6.7](#) 和 [节 7](#)。
- (2) 未经生产测试。

6.7 典型特性

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 连接至 $V_S/2$, 且 $C_L = 100pF$ (除非另外说明)

表 6-1. 特征性能测量

说明	图表
失调电压产生分布	图 6-1
失调电压漂移分配	图 6-2
失调电压与温度间的关系	图 6-3
失调电压与共模电压间的关系	图 6-4
失调电压与共模电压间的关系 (前级)	图 6-5
失调电压与电源间的关系	图 6-6
I_B 和 I_{OS} 与共模电压间的关系	图 6-7
输入偏置电流与温度间的关系	图 6-8
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 6-9
CMRR 和 PSRR 与频率间的关系 (以输入为基准)	图 6-10
CMRR 与温度间的关系	图 6-11
PSRR 与温度间的关系	图 6-12
0.1Hz 至 10Hz 噪声	图 6-13
输入电压噪声频谱密度与频率间的关系	图 6-14
THD+N 比与频率间的关系	图 6-15
THD+N 与输出幅度间的关系	图 6-16
静态电流与温度间的关系	图 6-17
静态电流与电源电压间的关系	图 6-18
开环增益和相位与频率间的关系	图 6-19
闭环增益与频率间的关系	图 6-20
开环增益与温度间的关系	图 6-21
开环输出阻抗与频率间的关系	图 6-22
小信号过冲与容性负载间的关系 (100mV 输出阶跃)	图 6-23、图 6-24
无相位反转	图 6-25
正过载恢复	图 6-26
负过载恢复	图 6-27
小信号阶跃响应 (100mV)	图 6-28、图 6-29
大信号阶跃响应	图 6-30、图 6-31
大信号建立时间 (10V 正阶跃)	图 6-32
大信号建立时间 (10V 负阶跃)	图 6-33
短路电流与温度间的关系	图 6-34
最大输出电压与频率间的关系	图 6-35
通道隔离与频率间的关系	图 6-36

6.7.1 典型特性

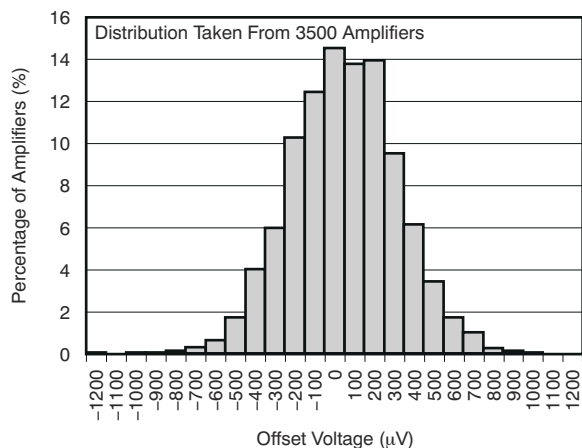


图 6-1. 失调电压产生分布

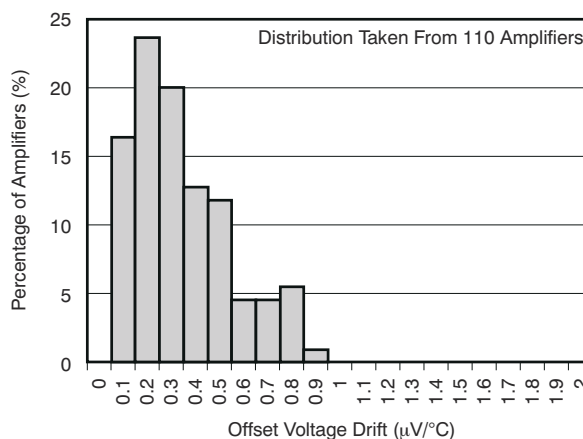


图 6-2. 失调电压漂移分配

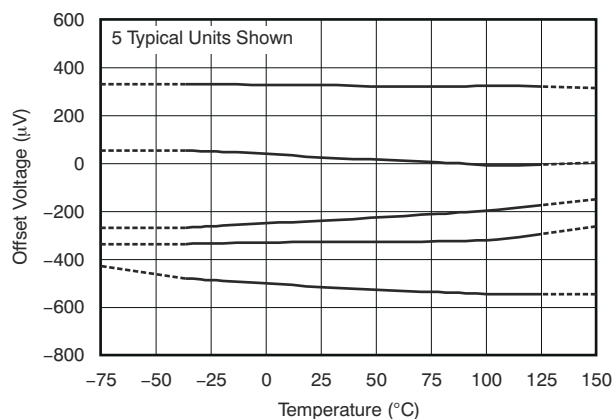


图 6-3. 失调电压与温度间的关系

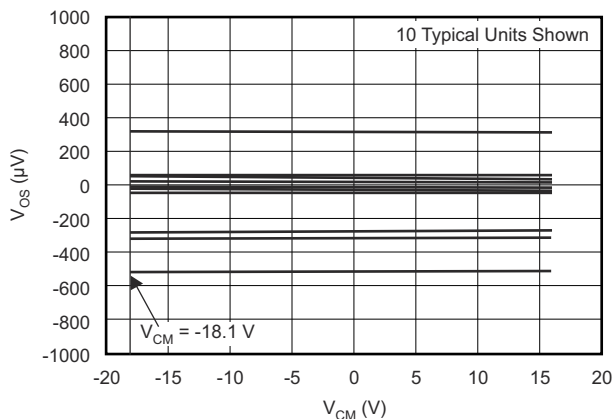


图 6-4. 失调电压与共模电压间的关系: $V_{SUPPLY} (V) = \pm 18V$

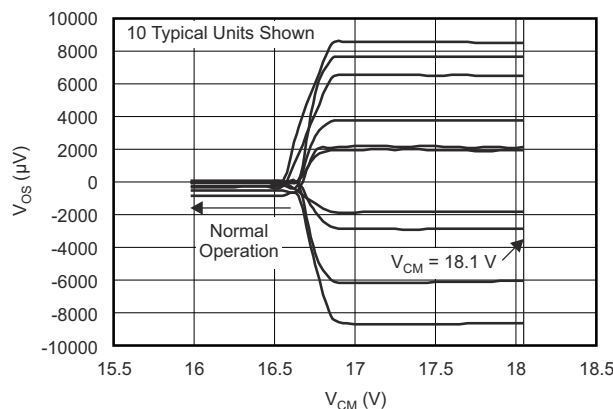


图 6-5. 失调电压与共模电压间的关系: $V_{SUPPLY} (V) = \pm 18V$
(前级)

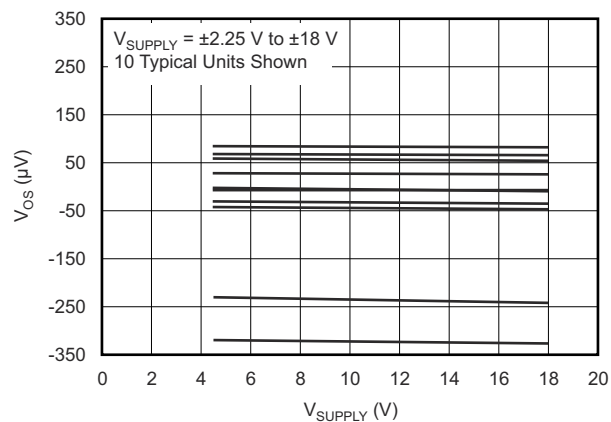


图 6-6. 失调电压与电源间的关系

6.7.1 典型特性 (续)

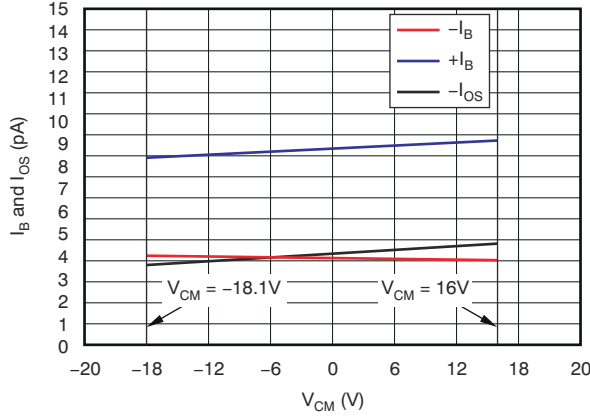


图 6-7. I_B 和 I_{OS} 与共模电压间的关系

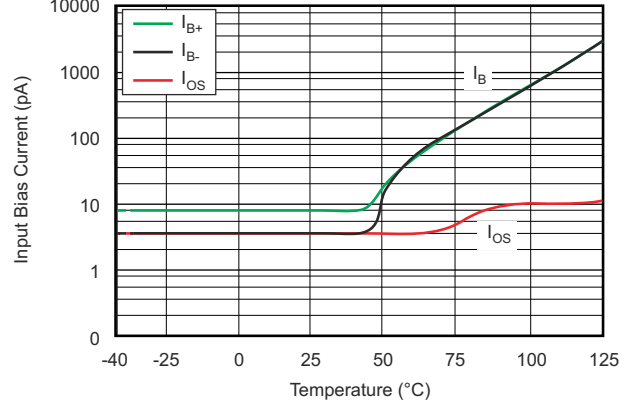


图 6-8. 输入偏置电流与温度间的关系

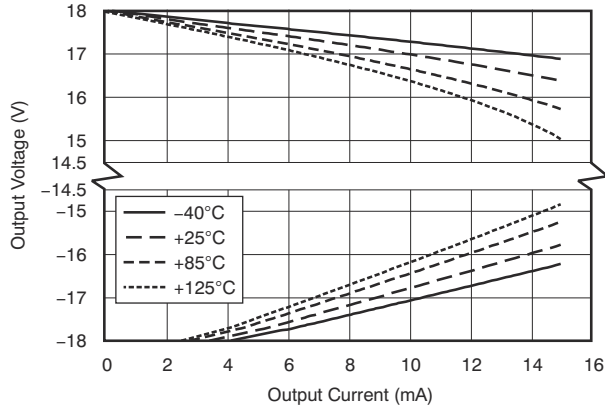


图 6-9. 输出电压摆幅与输出电流间的关系 (最大电源电压)

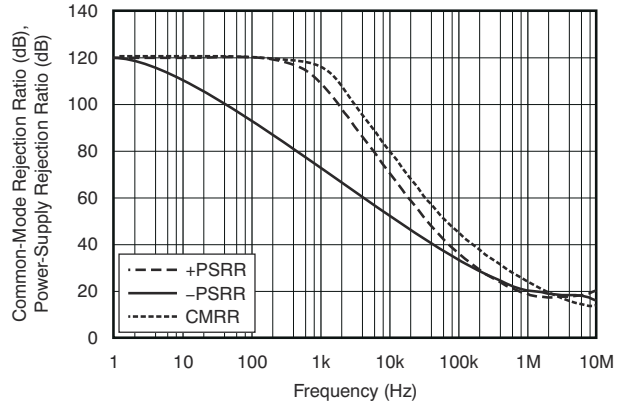


图 6-10. CMRR 和 PSRR 与频率间的关系 (以输入为基准)

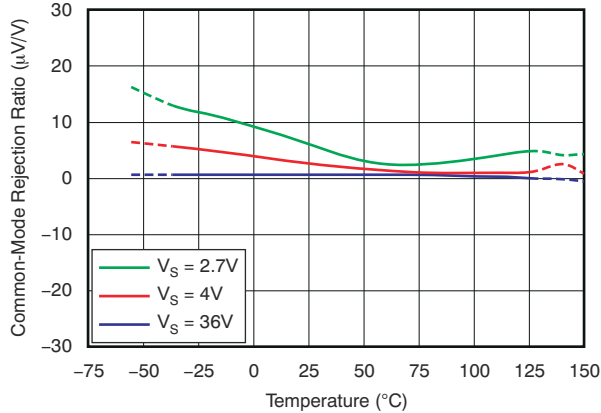


图 6-11. CMRR 与温度间的关系

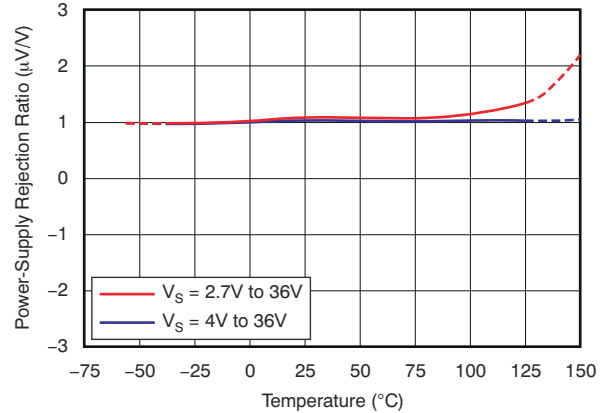


图 6-12. PSRR 与温度间的关系

6.7.1 典型特性 (续)

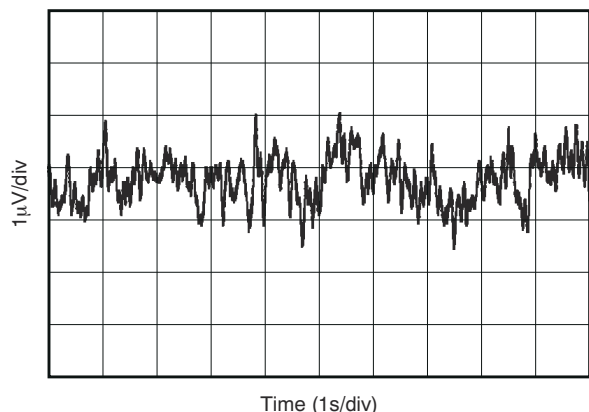


图 6-13. 0.1Hz 至 10Hz 噪声

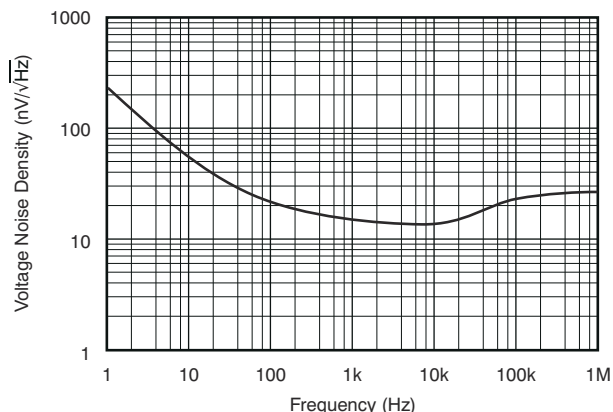


图 6-14. 输入电压噪声频谱密度与频率间的关系

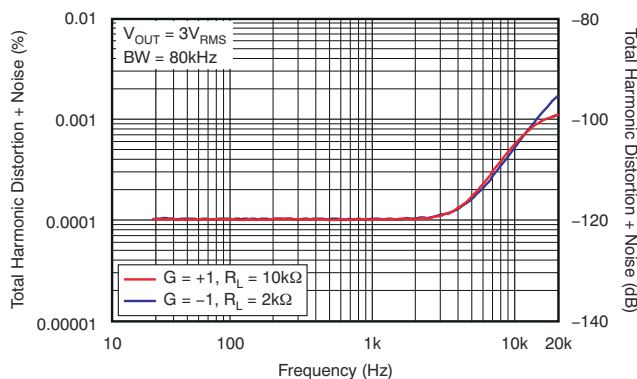


图 6-15. THD+N 比与频率间的关系

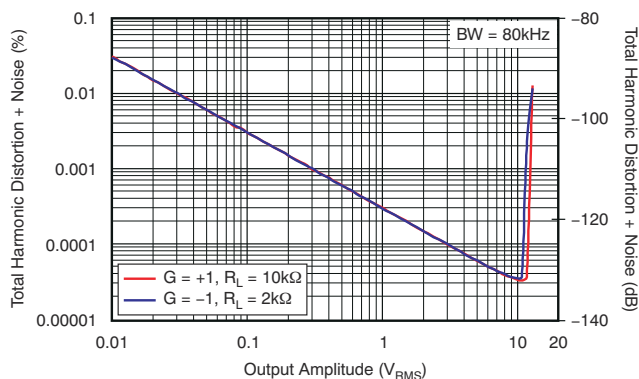


图 6-16. THD+N 与输出幅度间的关系

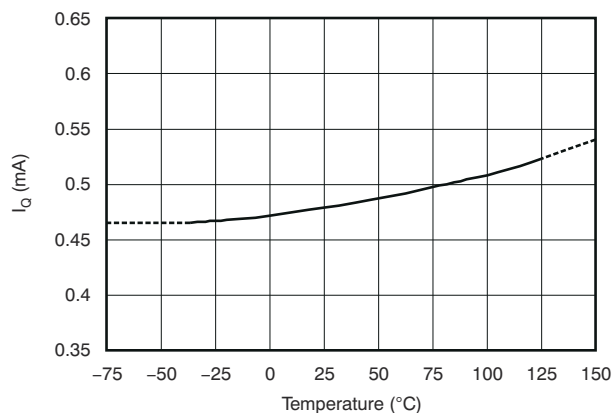


图 6-17. 静态电流与温度间的关系

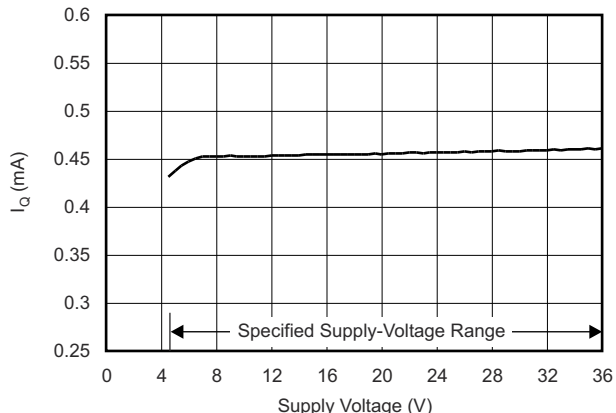


图 6-18. 静态电流与电源电压间的关系

6.7.1 典型特性 (续)

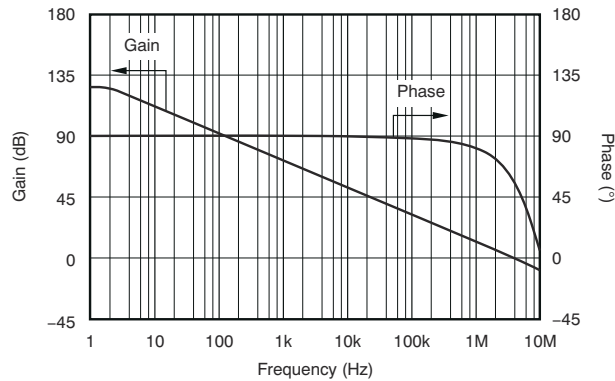


图 6-19. 开环增益和相位与频率间的关系

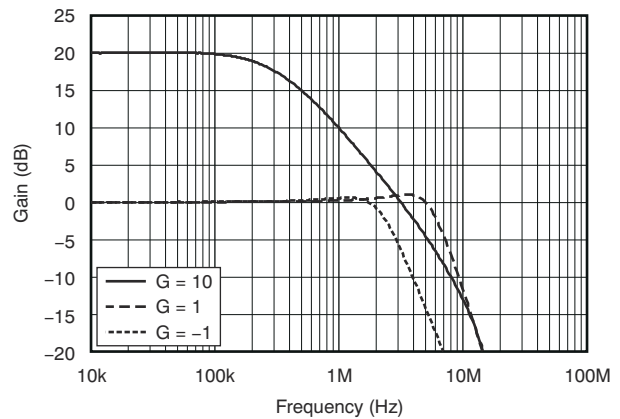


图 6-20. 闭环增益与频率间的关系

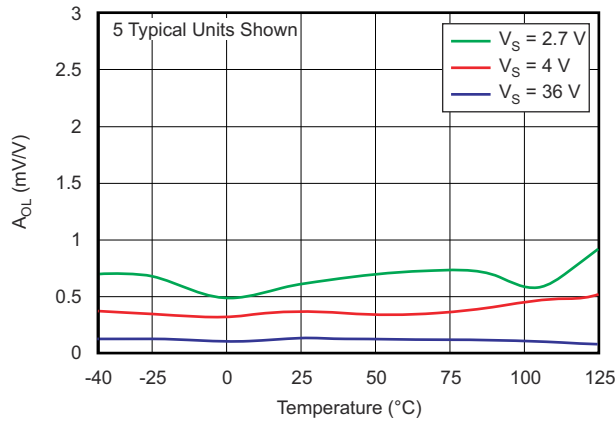


图 6-21. 开环增益与温度间的关系

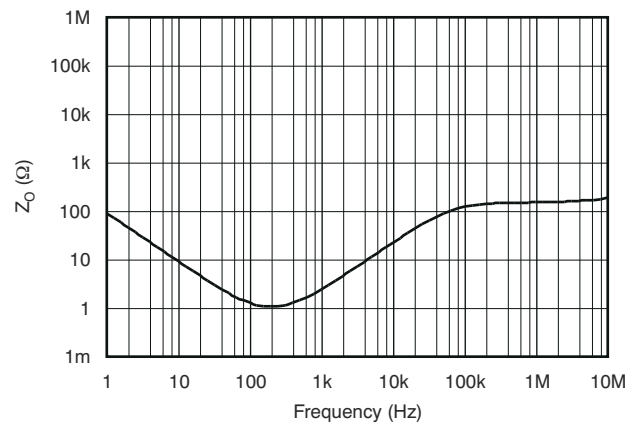


图 6-22. 开环输出阻抗与频率间的关系

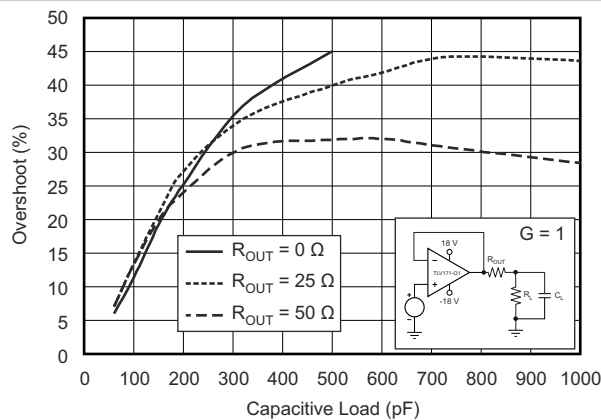


图 6-23. 小信号过冲与容性负载间的关系
(100mV 输出阶跃)

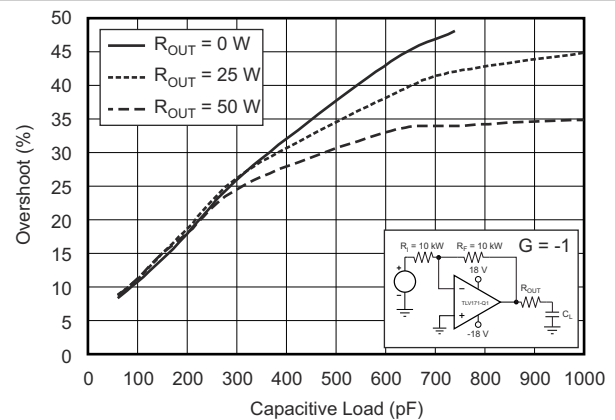
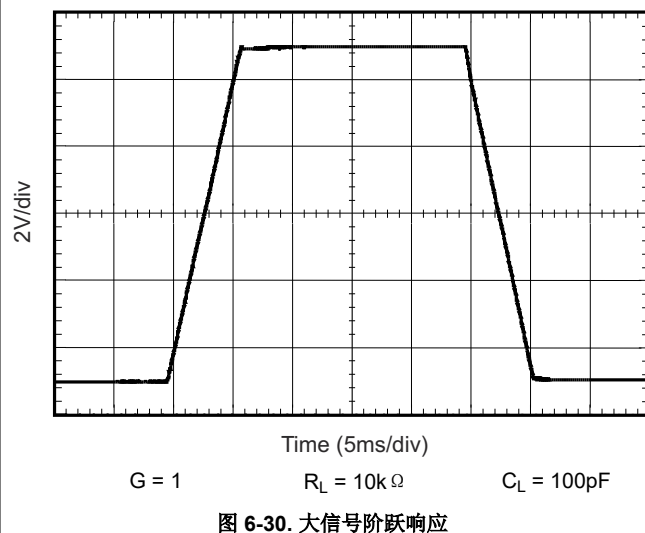
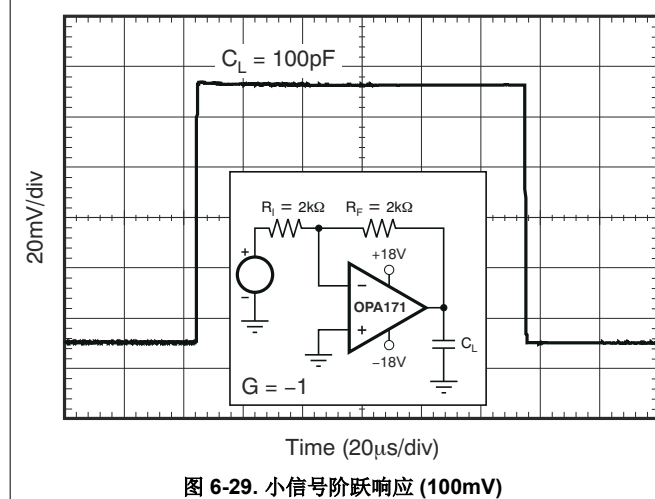
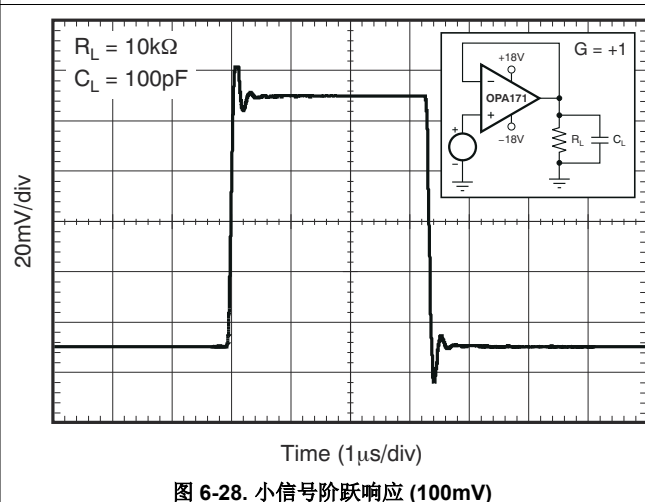
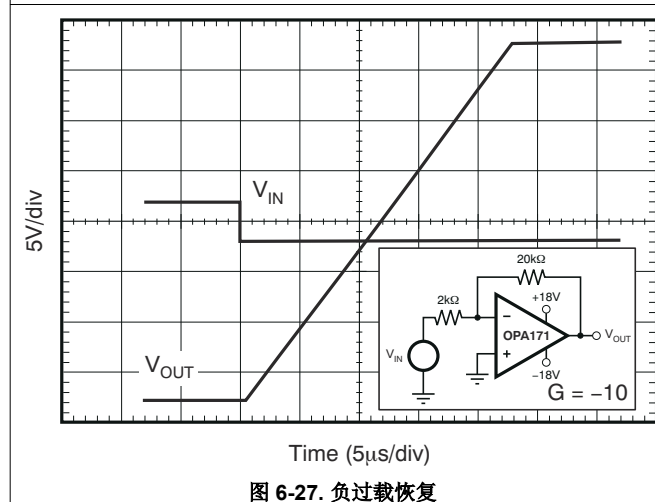
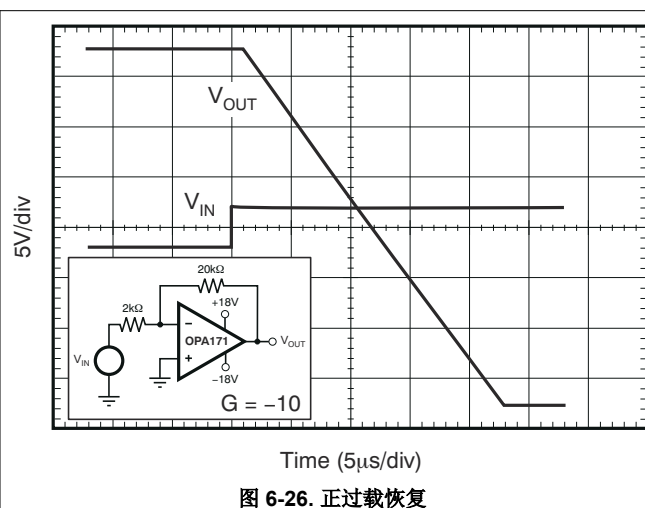
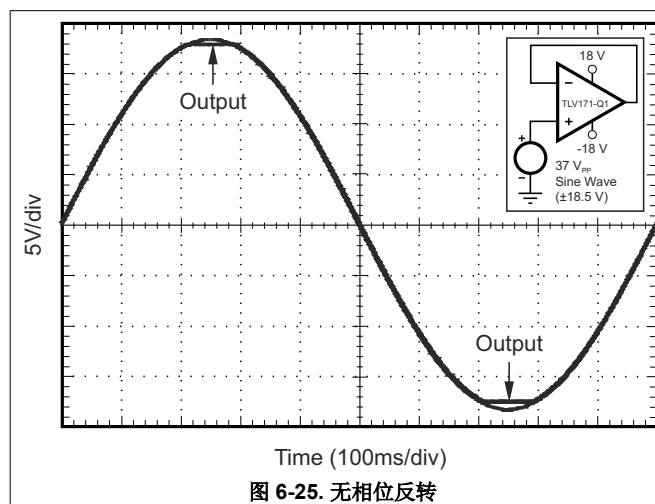


图 6-24. 小信号过冲与容性负载间的关系
(100mV 输出阶跃)

6.7.1 典型特性 (续)



6.7.1 典型特性 (续)

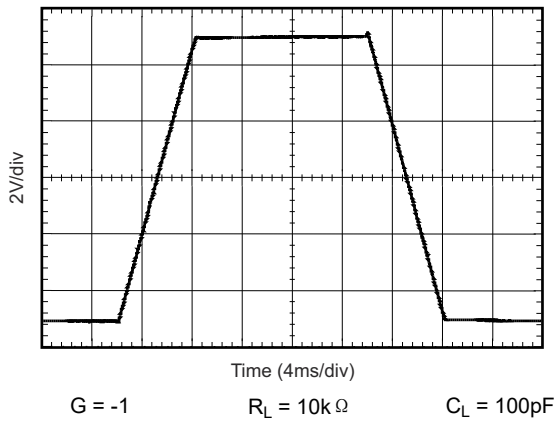


图 6-31. 大信号阶跃响应

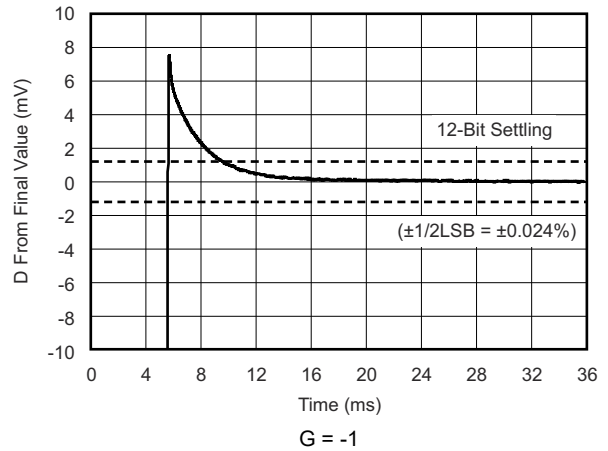


图 6-32. 大信号建立时间 (10V 正阶跃)

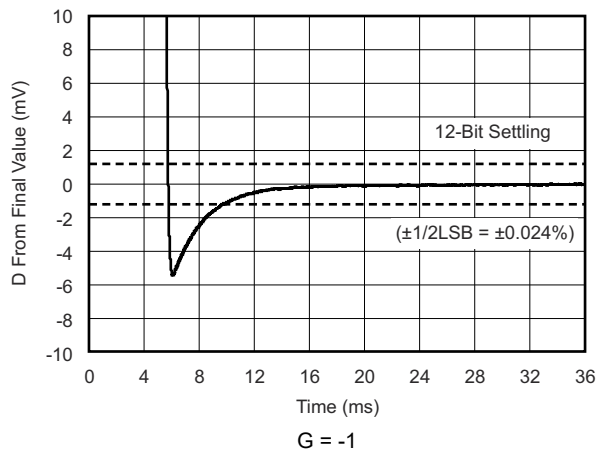


图 6-33. 大信号建立时间 (10V 负阶跃)

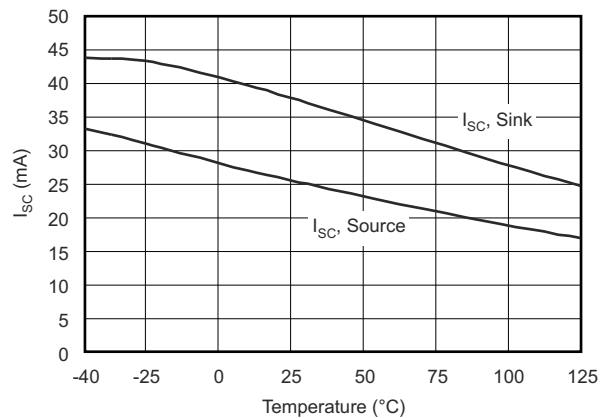


图 6-34. 短路电流与温度间的关系

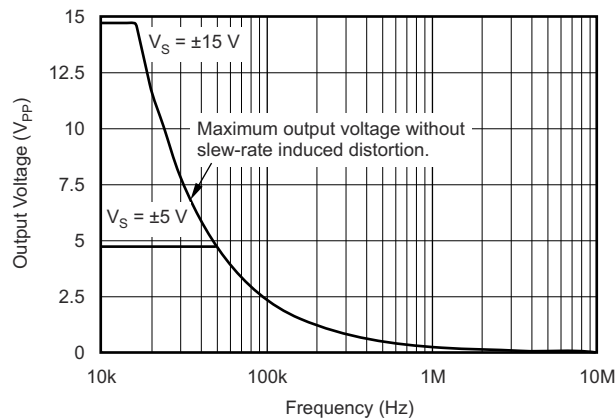


图 6-35. 最大输出电压与频率间的关系

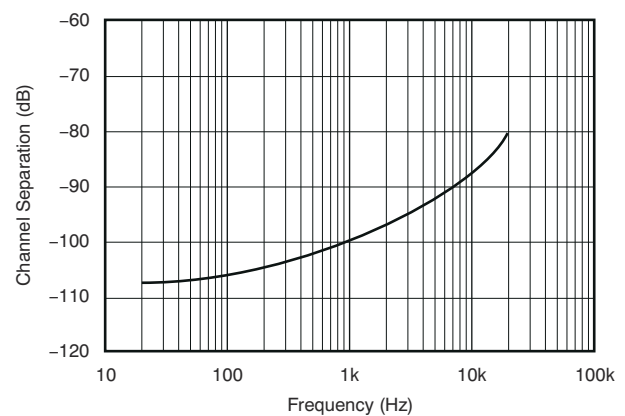


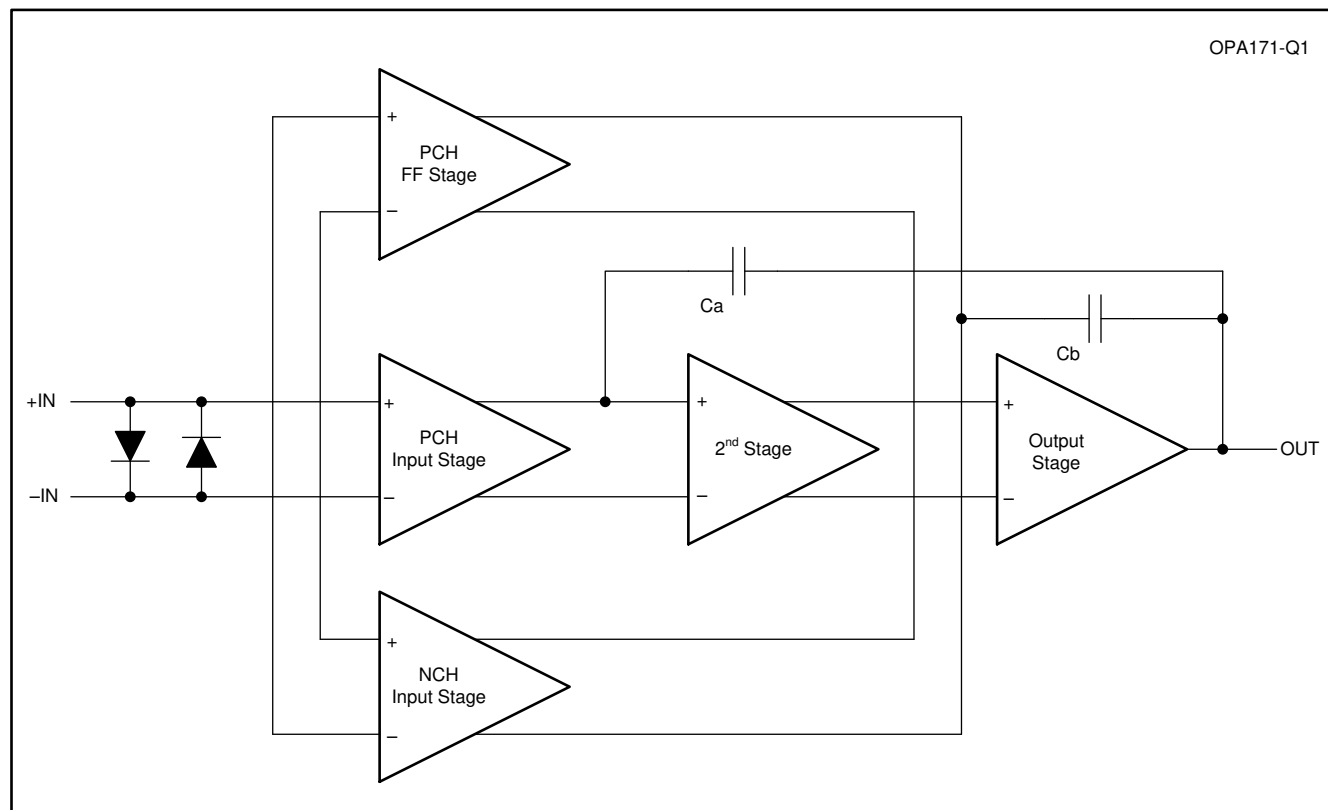
图 6-36. 通道隔离与频率间的关系

7 详细说明

7.1 概述

OPAx171-Q1 系列运算放大器可提供优异的总体性能，非常适合于多种通用应用。仅为 $1.5 \mu\text{V}/^\circ\text{C}$ (最大值) 的出色温漂，可在整个温度范围内提供极佳的稳定性。此外，该器件整体性能优异，具有高 CMRR、PSRR、AOL 及出色的 THD。

7.2 功能方框图



7.3 特性说明

7.3.1 工作特性

OPAx171-Q1 系列器件的额定工作电压范围为 2.7V 至 36V ($\pm 1.35\text{V}$ 至 $\pm 18\text{V}$)。许多规格在 -40°C 至 $+125^\circ\text{C}$ 的温度下适用。节 6.7 中展示了可能会随工作电压或温度的变化而显著变化的参数。

7.3.2 相位反转保护

OPAx171-Q1 系列器件具有内部相位反转保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对电源轨。OPAx171-Q1 系列器件的输入采用额外的共模电压来防止相位反转。或者，输出被限制至适当的电源轨。图 7-1 展示了该性能。

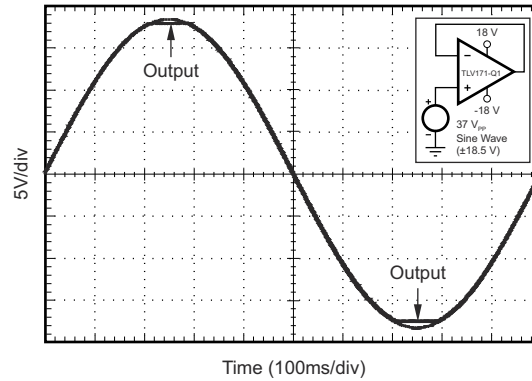


图 7-1. 无相位反转

7.3.3 容性负载和稳定性

OPAx171-Q1 系列器件的动态特性针对常用工作条件进行了优化。低闭环增益和高容性负载的组合减少了放大器的相位裕度并可导致增益降低或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT} ）。图 7-2 和图 7-3 展示了小信号过冲和容性负载在不同 R_{OUT} 值时的关系图。有关分析技术和应用电路的详细信息，请参阅应用公告 AB-028，下载地址为 [Ti.com](http://www.ti.com)。

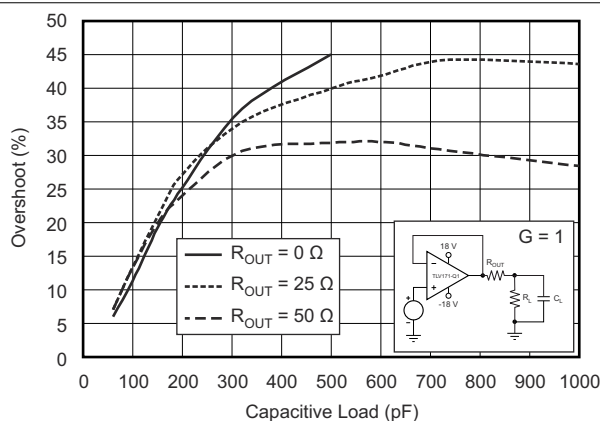


图 7-2. 小信号过冲与容性负载间的关系 (100mV 输出阶跃)

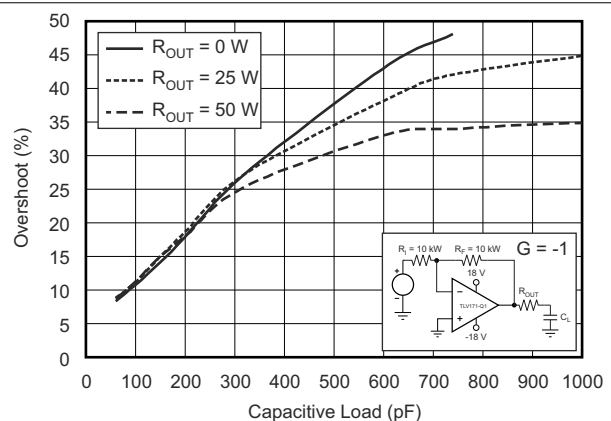


图 7-3. 小信号过冲与容性负载间的关系 (100mV 输出阶跃)

7.4 器件功能模式

7.4.1 共模电压范围

为了实现正常运行，OPAx171-Q1 系列器件的输入共模电压范围扩展至低于负电源轨 100mV 并且在顶轨 2V 之内。

该器件可在超出最高电压轨 100mV 的完整轨到轨输入电压下正常运行，但在高于电压轨 2V 范围内运行时，性能会有所下降。此范围内的典型性能如表 7-1 所示。

表 7-1. 典型性能范围

参数	最小值	典型值	最大值	单位
输入共模电压	$(V+) - 2$		$(V+) + 0.1$	V
失调电压		7		mV
失调电压与温度间的关系		12		$\mu\text{V}/^{\circ}\text{C}$
共模抑制		65		dB
开环增益		60		dB
GBW		0.7		MHz
压摆率		0.7		V/ μs
f = 1kHz 时的噪声		30		nV/ $\sqrt{\text{Hz}}$

8 应用和实施

备注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx171-Q1 运算放大器系列可提供出色的总体性能，因此非常适合多种通用应用。仅为 $2\mu\text{V}/^\circ\text{C}$ 的出色温漂，可在整个温度范围内提供极佳的稳定性。此外，此器件还具有较高 CMRR，PSRR 和 A_{OL} 等极佳总体性能。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下， $0.1\mu\text{F}$ 电容器已足够满足需求。

8.1.1 电气过载

设计人员经常会问到关于运算放大器耐受电气过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。展示了中包含的 ESD 电路 (虚线区域所示)。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

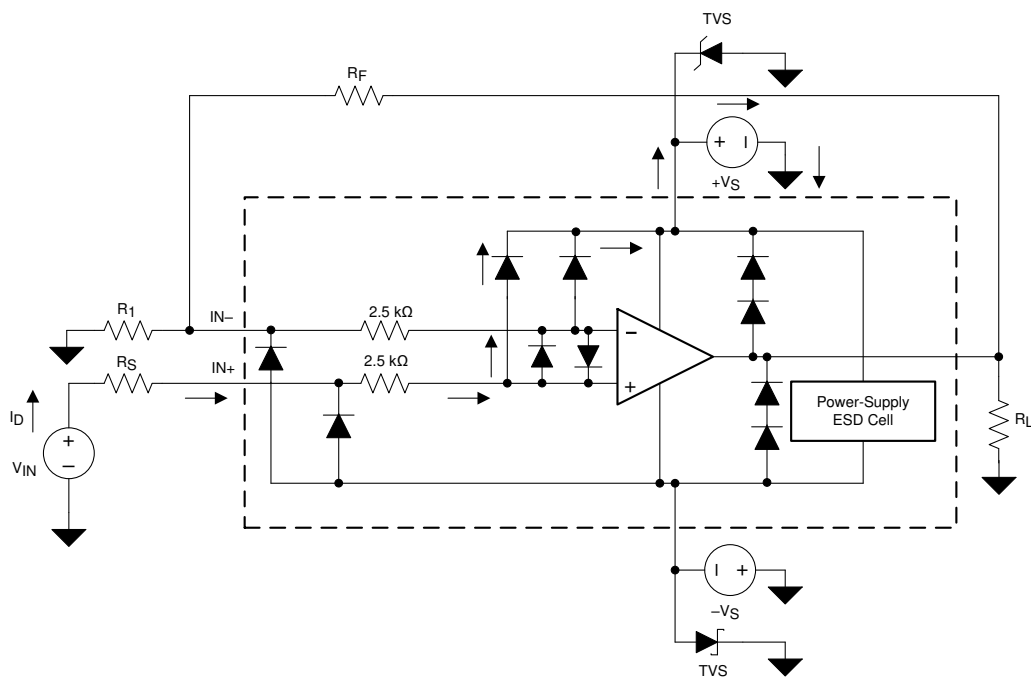


图 8-1. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个驱动二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发或阈值电压，该电压介于 OPAx171-Q1 的正常工作电压和器件击穿电压级别之间。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路时（如所示），ESD 保护元件将保持未激活状态并且不会介入应用电路的运行。不过，如果施加的电压超出指定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 ($V+$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $V+$ 能够吸收电流，那么上面的一个输入导向二极管就会导通，并将电流传导至 $V+$ 。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流， V_{IN} 就会将电流拉至运算放大器，然后将其用作正电源。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 ($V+$ 或 $V-$) 为 0V 时向输入端施加输入信号，放大器如何回应。同样，这个问题取决于电源在 0V 或低于输入信号幅度时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接齐纳二极管；请参阅。选择齐纳电压可确保二极管不会在正常运行过程中导通。但齐纳电压必须足够低，以便齐纳二极管在电源引脚电压超过安全工作电压时导通。

OPAx171-Q1 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 $G = 1$ 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx171-Q1 的低噪声性能。所示为使用限流反馈电阻的示例配置。

8.2 典型应用

8.2.1 采用隔离电阻器的容性负载驱动解决方案

OPAx171-Q1 器件可用于电缆屏蔽层、基准缓冲器、MOSFET 栅极和二极管等容性负载。电路采用隔离电阻器 (R_{ISO}) 来稳定运算放大器的输出。 R_{ISO} 修改了系统的开环增益，可确保电路具有足够的相位裕度。

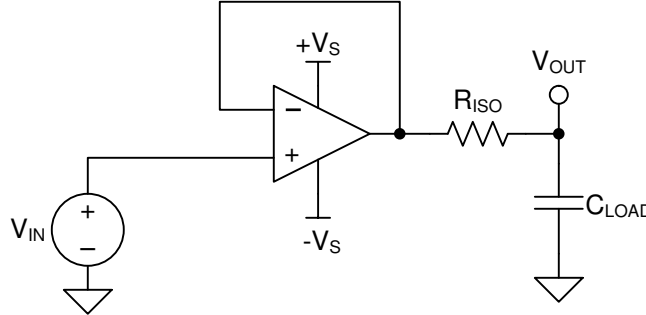


图 8-2. 具有 R_{ISO} 稳定性补偿的单位增益缓冲器

8.2.1.1 设计要求

设计要求包括：

- 电源电压：30V ($\pm 15V$)
- 容性负载：100pF、1000pF、0.01 μF 、0.1 μF 和 1 μF
- 相位裕度：45° 和 60°

8.2.1.2 详细设计过程

图 8-3 展示了驱动容性负载的单位增益缓冲器。方程式 1 展示了图 8-3 中的电路传递函数。图 8-3 未展示运算放大器的开环输出电阻 R_o 。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

方程式 1 中的传递函数存在极点和零点。极点频率 (f_p) 取决于 $(R_o + R_{ISO})$ 和 C_{LOAD} 。元件 R_{ISO} 和 C_{LOAD} 决定了零点频率 (f_z)。通过选择 R_{ISO} ，可使开环增益 (A_{OL}) 与 $1/\beta$ 间的接近率 (ROC) 达到 20dB/十倍频，从而确保系统稳定性。图 8-3 阐述了这一概念。单位增益缓冲器的 $1/\beta$ 曲线为 0dB。

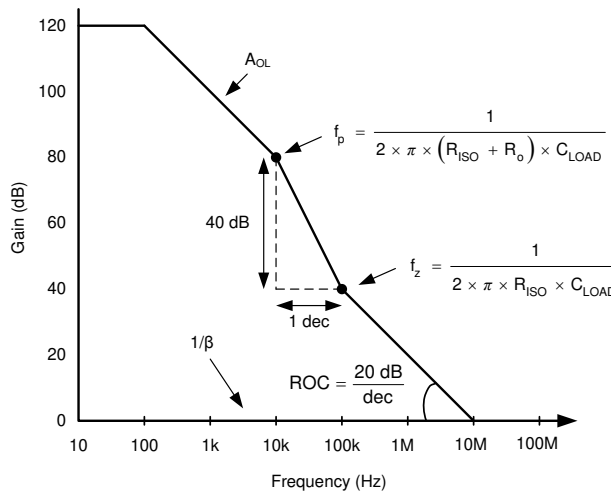


图 8-3. 具有 R_{ISO} 补偿的单位增益放大器

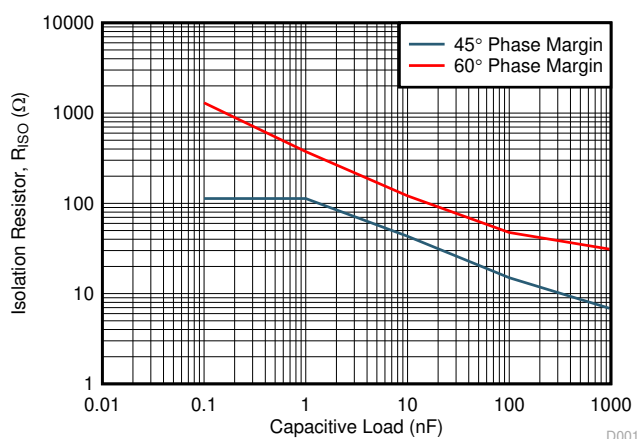
ROC 稳定性分析通常为模拟结果。分析的有效性取决于多种因素，尤其是准确的 R_o 建模。除仿真 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器对电路的过冲百分比和/或交流增益峰值进行测量。然后，通过这些测量值计算相位裕度。表 8-1 列出了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计以及可用于代替 OPA171-Q1 的其他备选器件的更多详细信息，请参阅[采用隔离电阻器的容性负载驱动解决方案](#)。

表 8-1. 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

8.2.1.3 应用曲线

OPAx171-Q1 可满足 30V 的电源电压需求。已针对不同的容性负载对 OPAx171-Q1 器件进行了测试，并且已对 R_{ISO} 进行调整以得到与表 8-1 相对应的过冲。图 8-4 展示了测试结果。

图 8-4. R_{ISO} 与 C_{LOAD} 间的关系

9 电源相关建议

OPAx171-Q1 系列器件的额定工作电压为 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$) ; 多种规格适用于 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。节 6.7 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

小心

电源电压超过 40V 可能会对器件造成永久损坏；请参阅 节 6.1 表。

将 $0.1\ \mu\text{F}$ 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 节 10。

10 布局

10.1 布局指南

为了使器件具有最佳运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
 - 在每个电源引脚和接地端之间接入低 ESR 0.1 μ F 陶瓷旁路电容，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，输入走线运行时应尽量远离电源或输出走线。如果这些迹线不能保持分离状态，最好让敏感走线与有噪声的走线垂直相交，而不是平行相交。
- 外部元件应尽量靠近器件放置。如图 10-1 所示，使 RF 和 RG 靠近反相输入可更大限度减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

10.2 布局示例

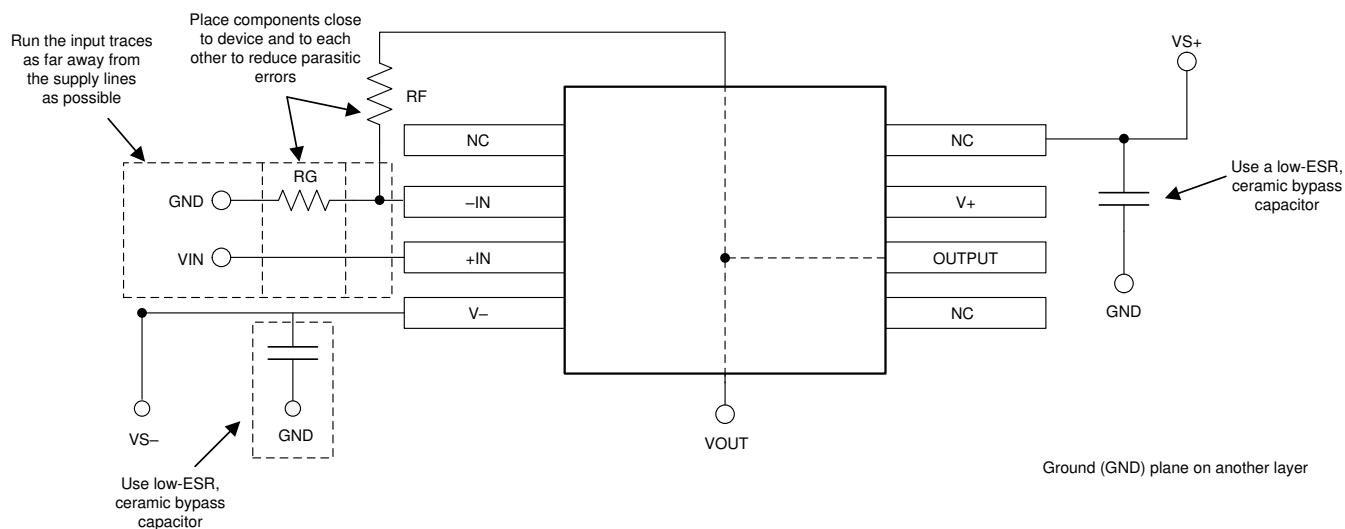


图 10-1. 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- [应用公告 AB-028](#)
- [采用隔离电阻器的容性负载驱动解决方案](#)

11.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 11-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA171-Q1	点击此处	点击此处	点击此处	点击此处	点击此处
OPA2171-Q1	点击此处	点击此处	点击此处	点击此处	点击此处
OPA4171-Q1	点击此处	点击此处	点击此处	点击此处	点击此处

11.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA171AQDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OULQ
OPA171AQDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OULQ
OPA2171AQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2171
OPA2171AQDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2171
OPA2171AQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2171AQ
OPA2171AQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2171AQ
OPA4171AQDRQ1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171Q1
OPA4171AQDRQ1.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171Q1
OPA4171AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4171Q1
OPA4171AQPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4171Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

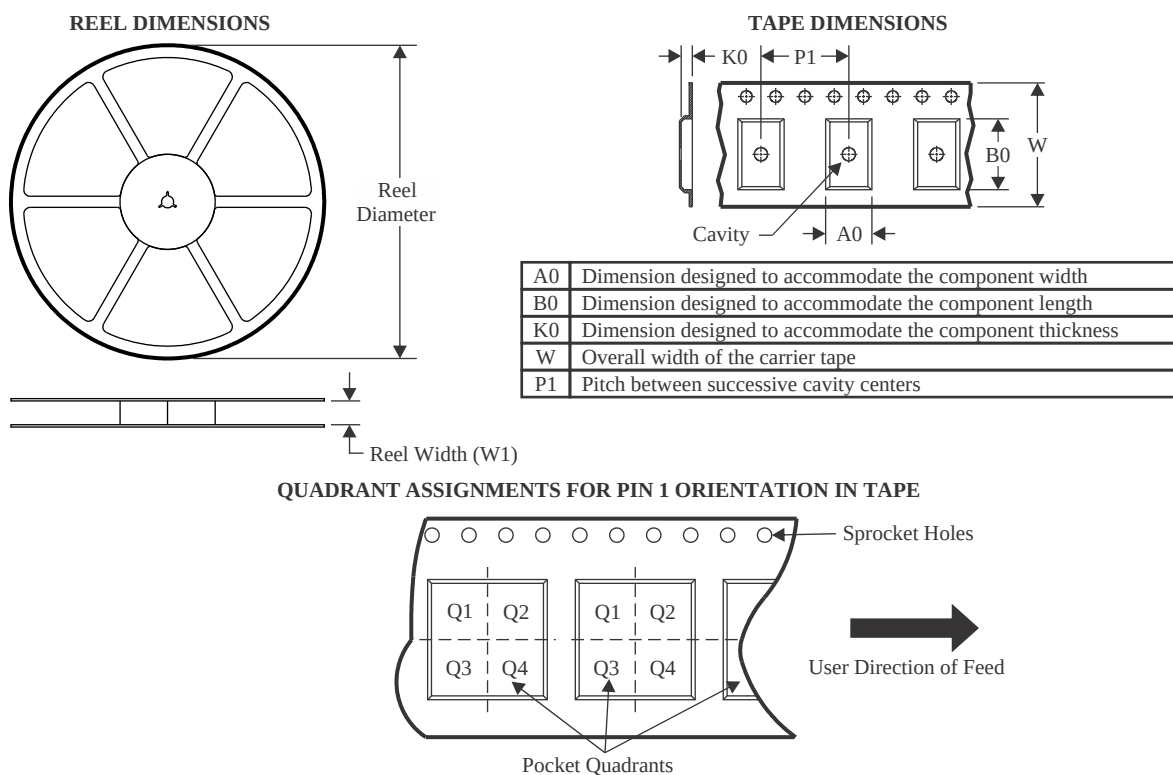
OTHER QUALIFIED VERSIONS OF OPA171-Q1, OPA2171-Q1, OPA4171-Q1 :

- Catalog : [OPA171](#), [OPA2171](#), [OPA4171](#)
- Enhanced Product : [OPA2171-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

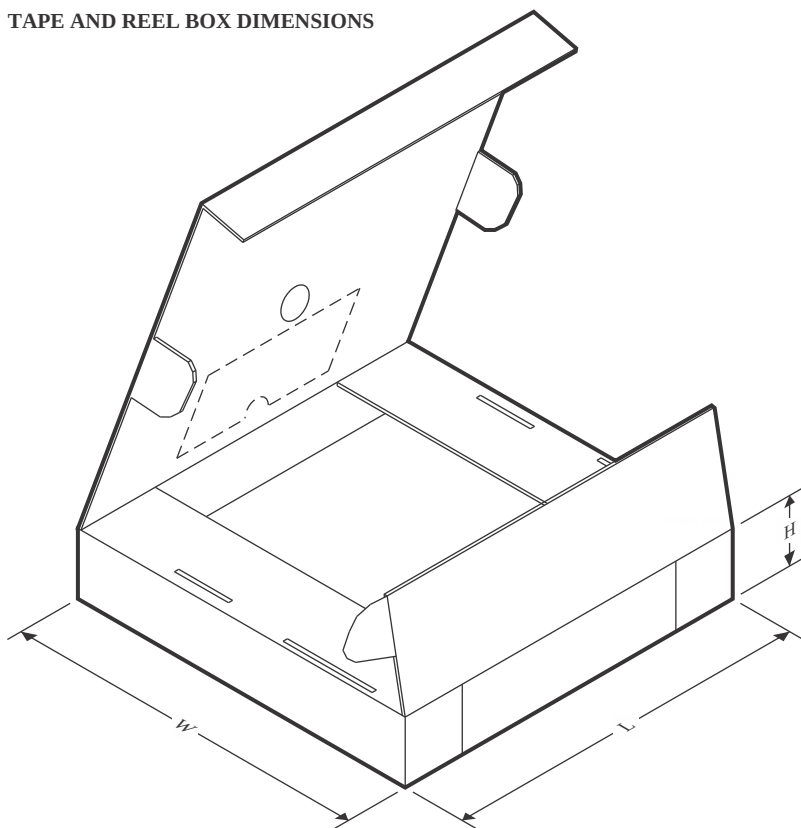
TAPE AND REEL INFORMATION



*All dimensions are nominal

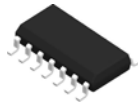
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA171AQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA2171AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4171AQDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

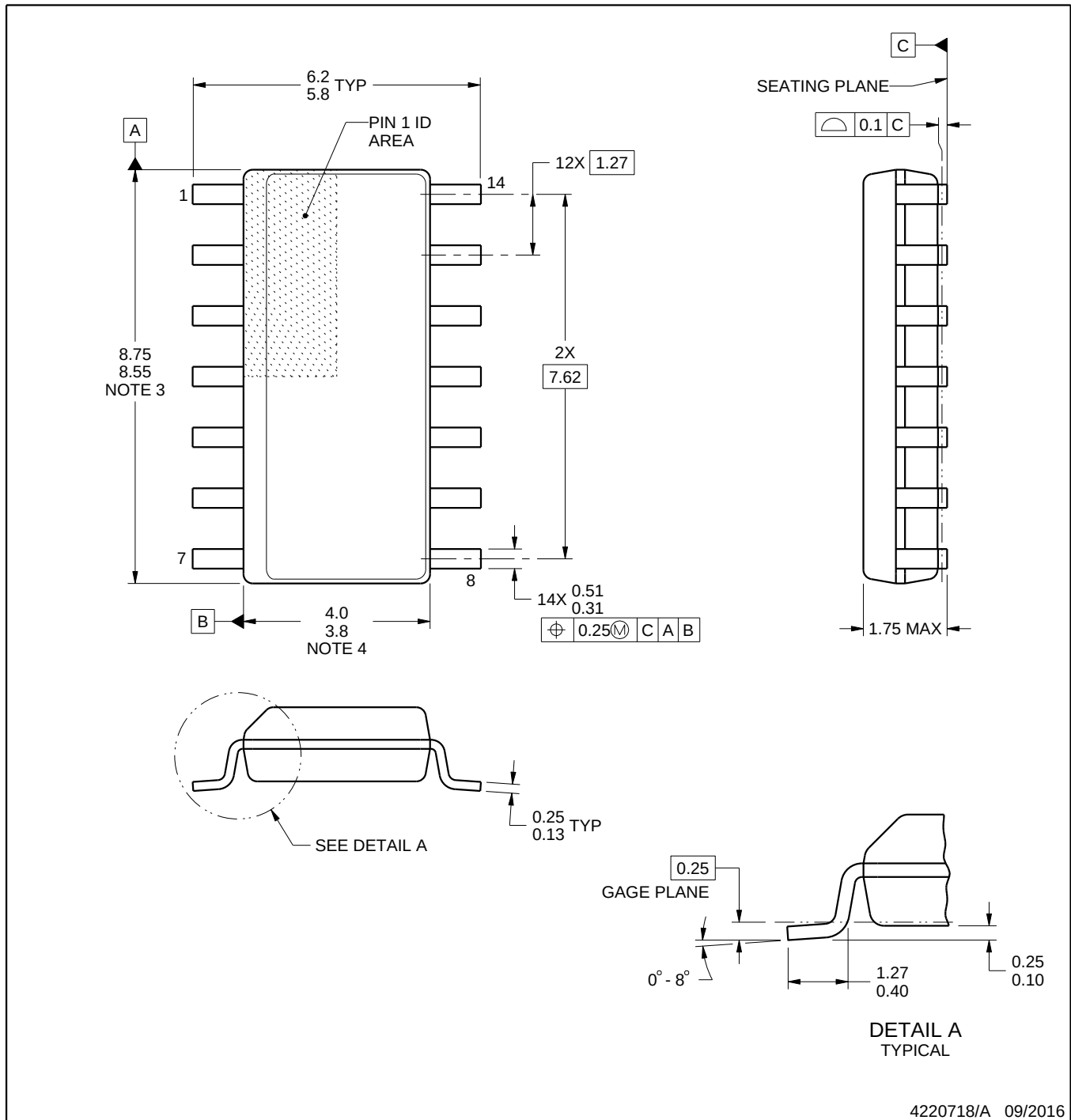


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA171AQDBVRQ1	SOT-23	DBV	5	3000	202.0	201.0	28.0
OPA2171AQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2171AQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
OPA4171AQDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
OPA4171AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

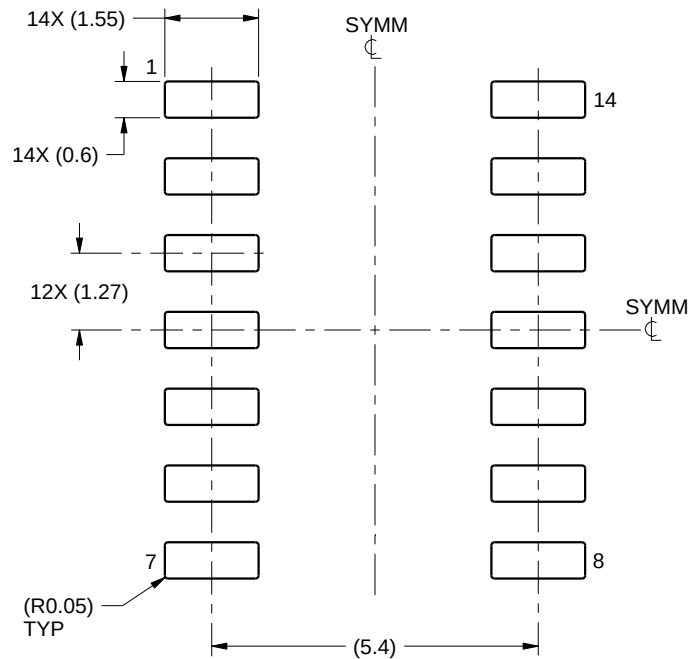
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

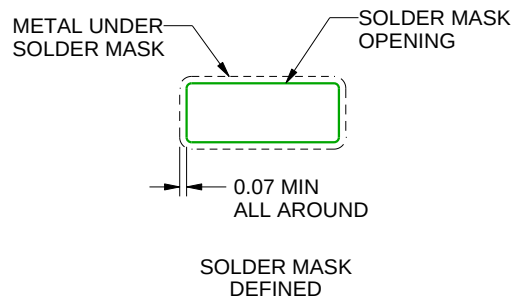
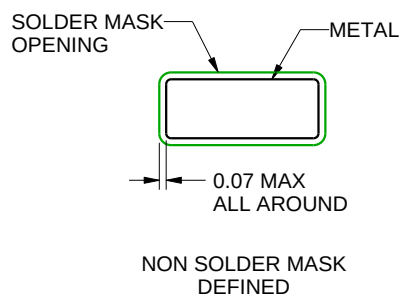
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

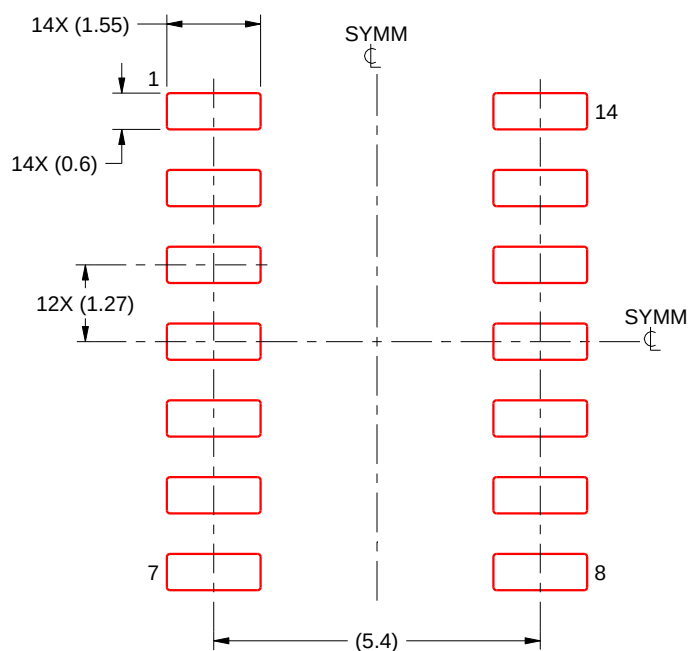
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

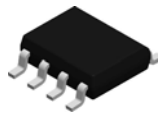


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

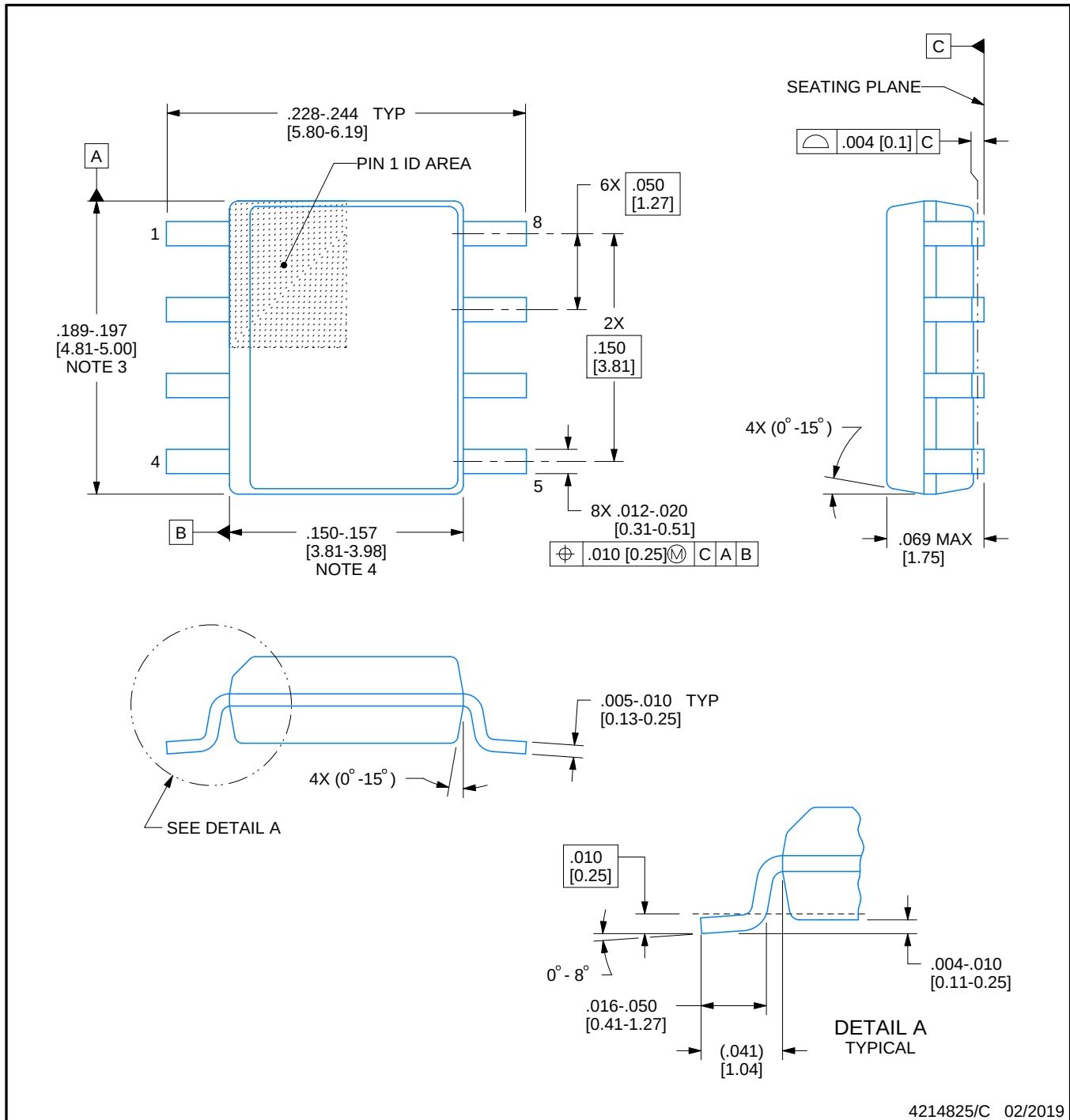


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

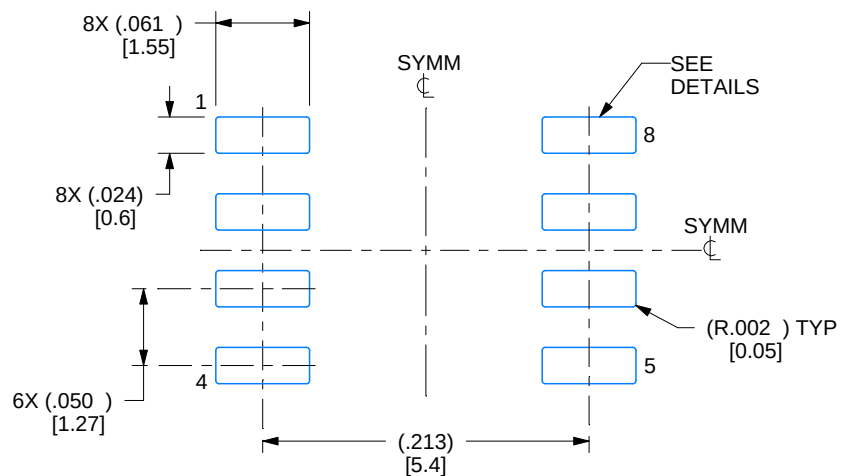
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

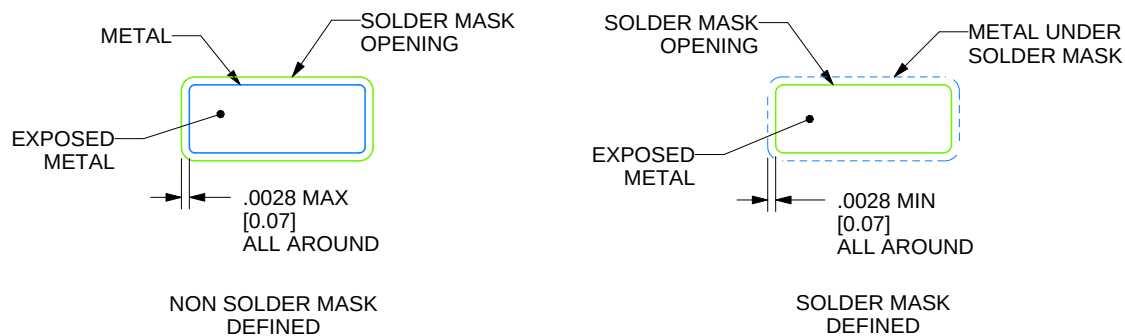
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

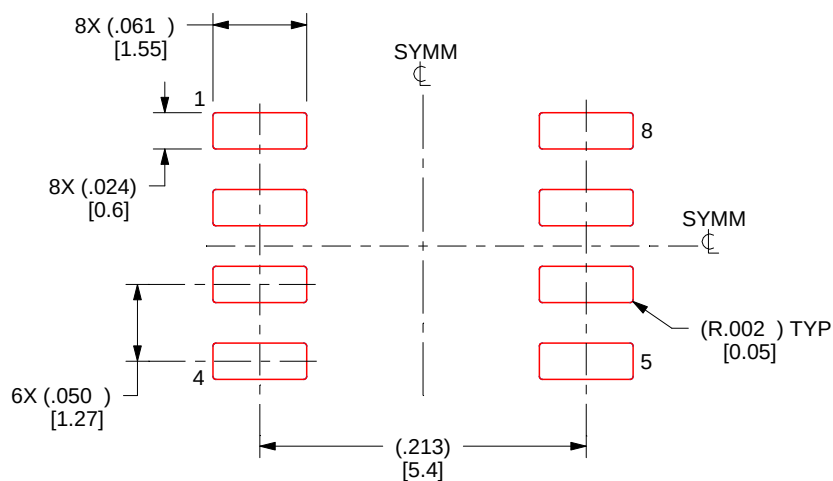
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

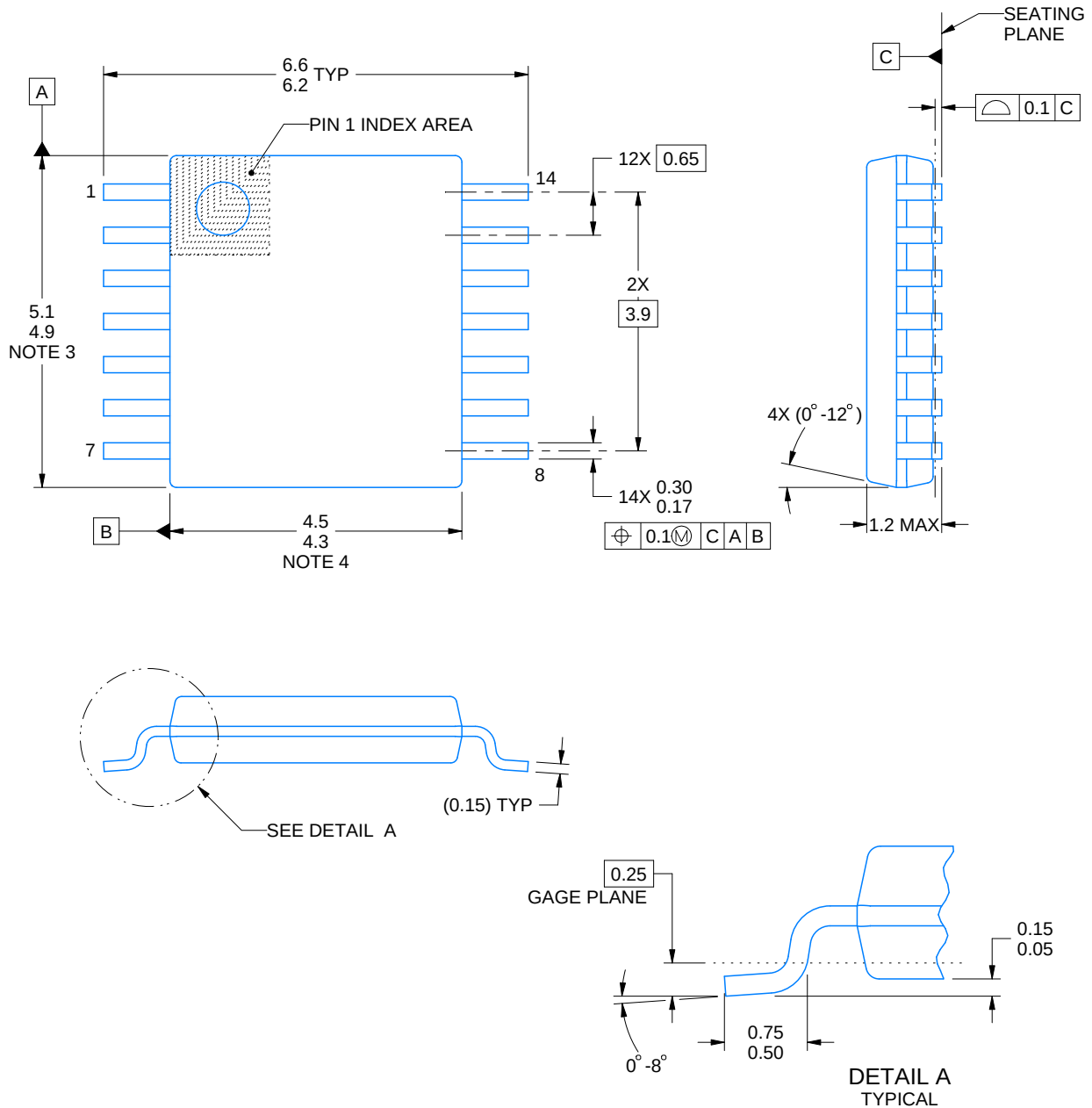
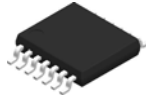


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

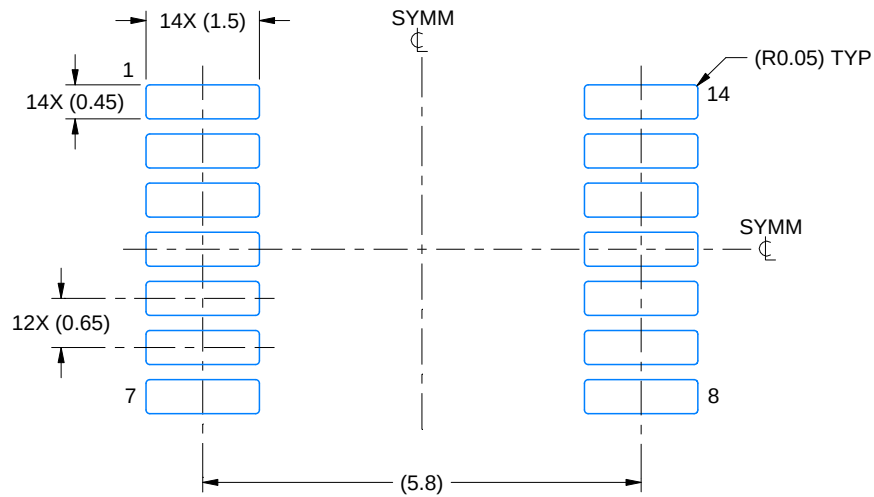
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

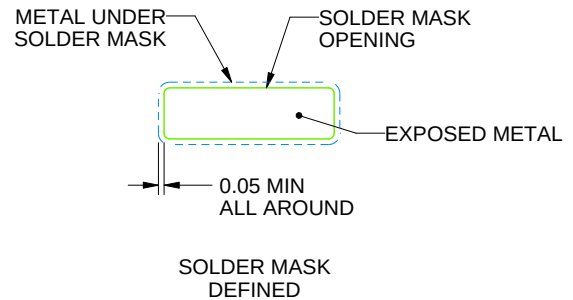
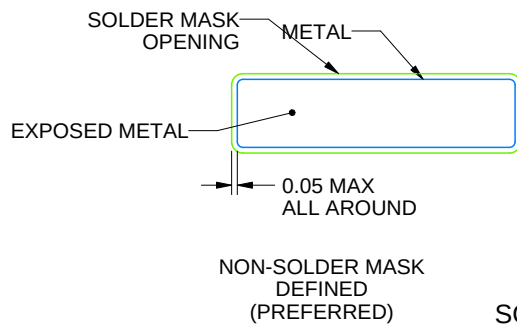
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

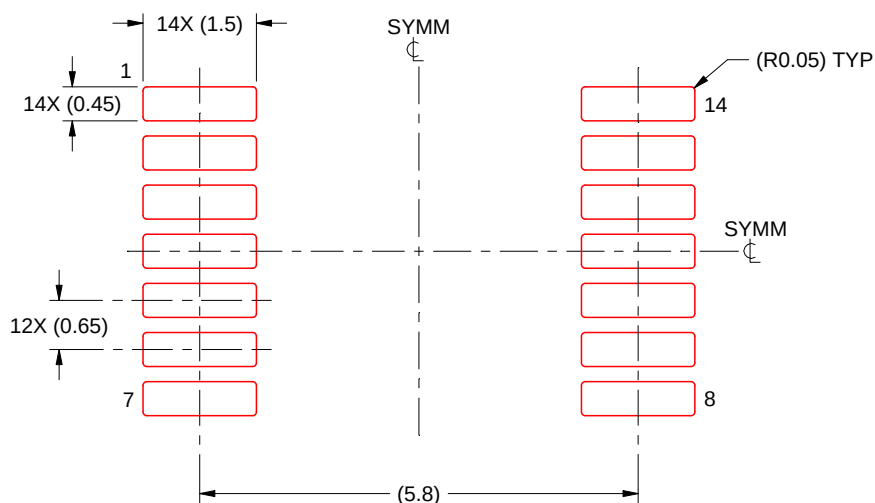
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

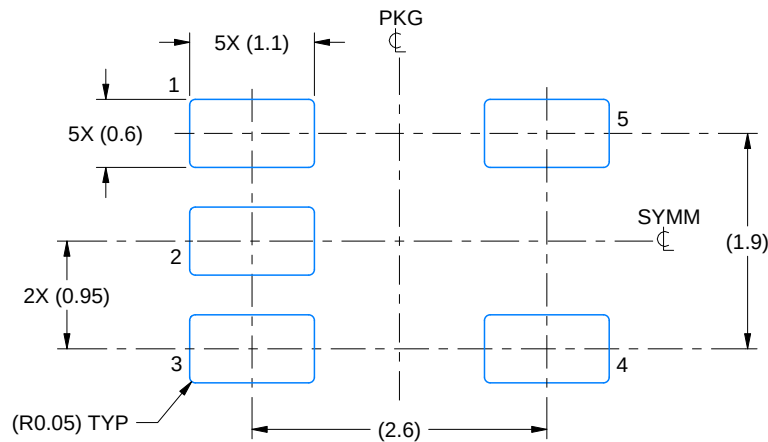
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

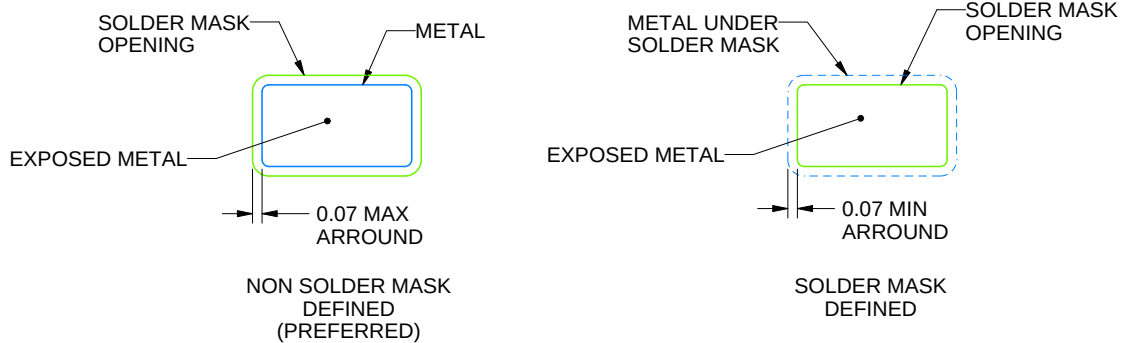
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

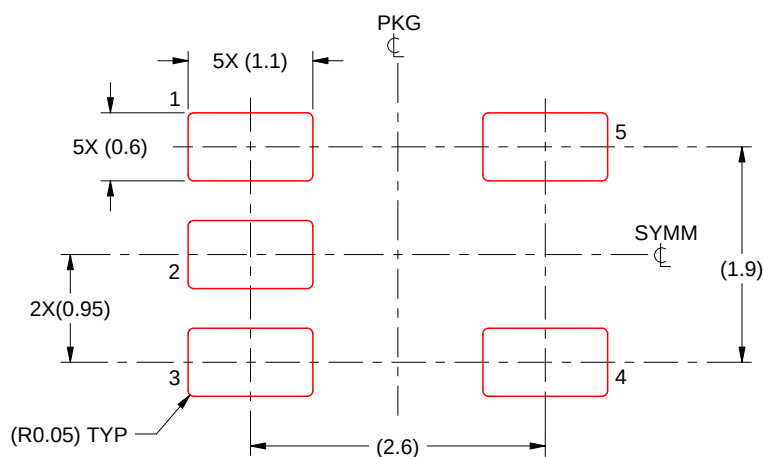
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



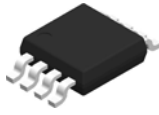
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

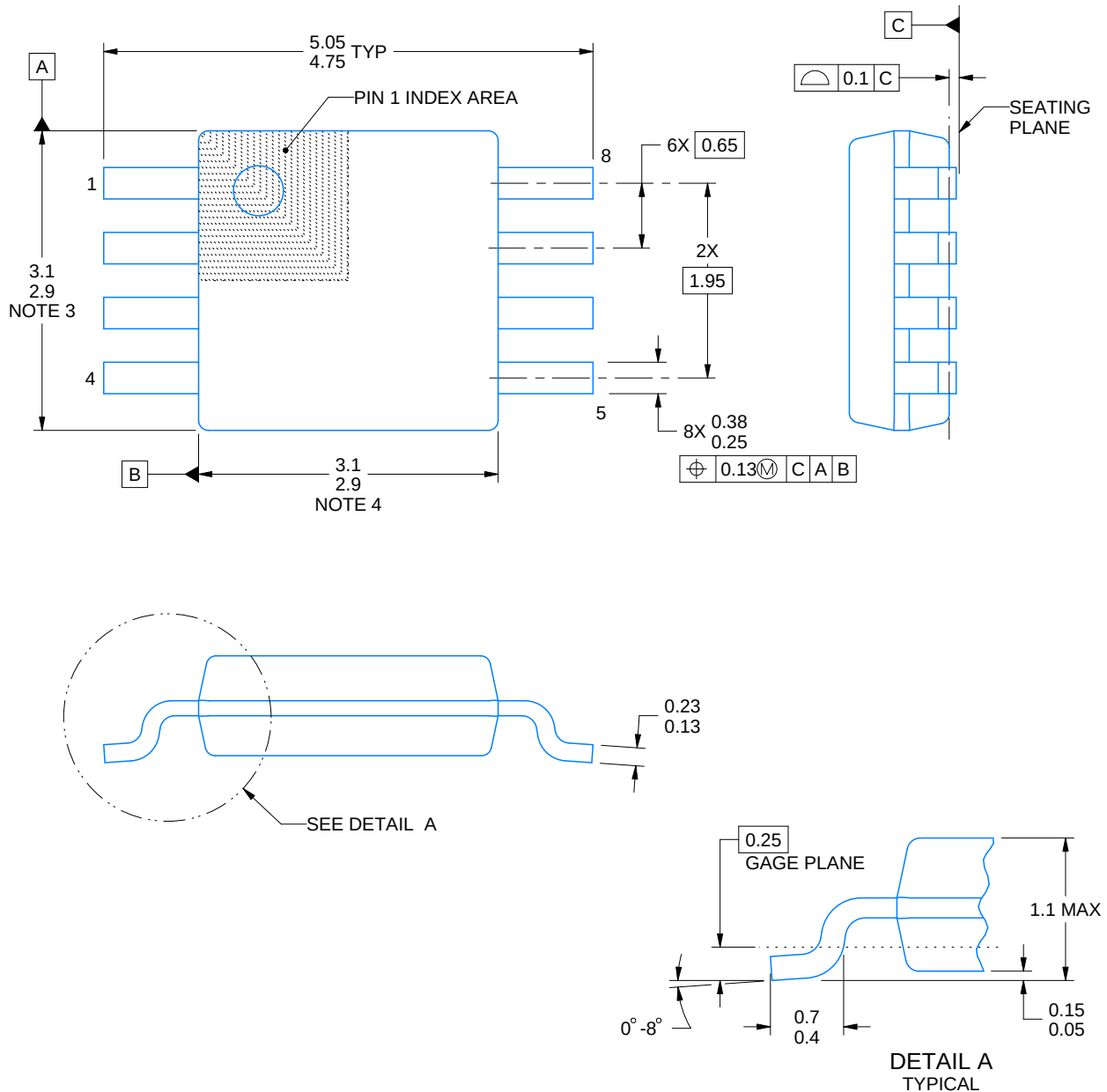
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

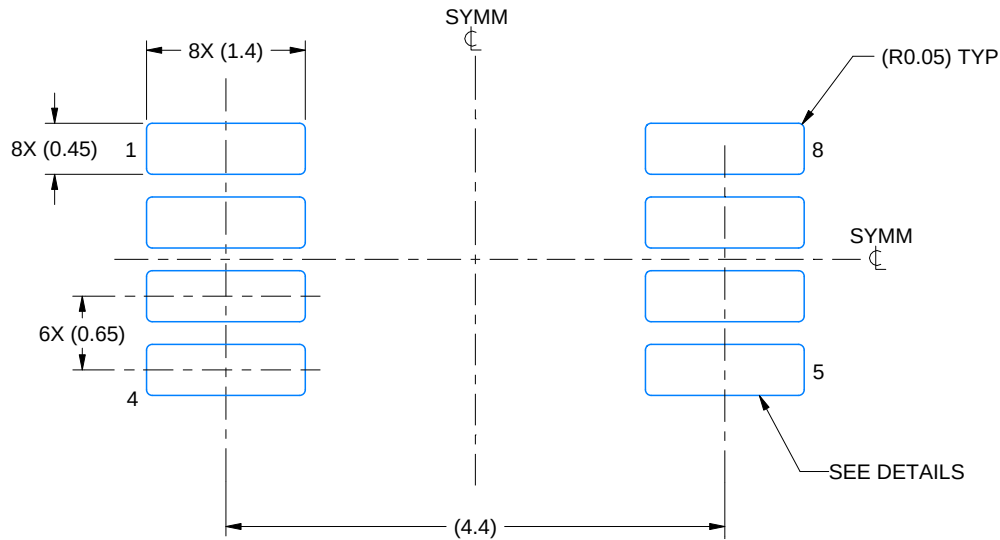
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

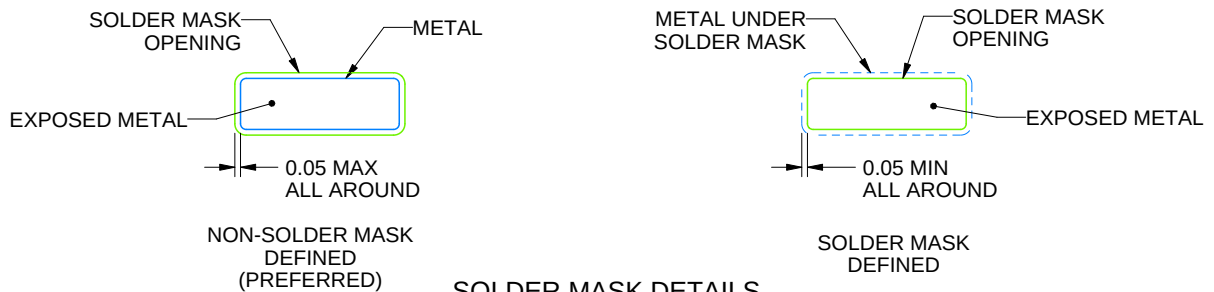
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

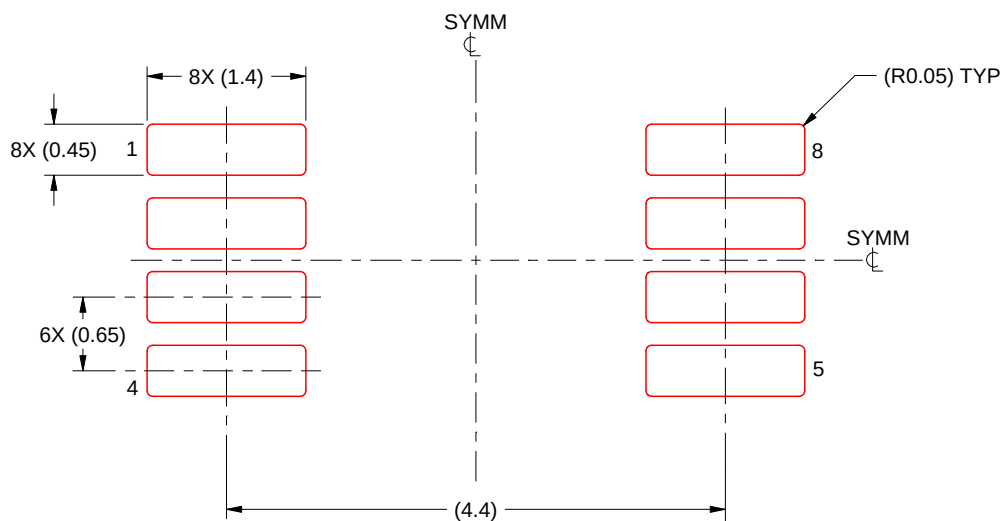
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司