

OPA166x 低功耗、低噪声和低失真、双极输入 SoundPlus™ 音频运算放大器



1 特性

- 低噪声：1kHz 时为 $3.3\text{nV}/\sqrt{\text{Hz}}$
- 低失真：1kHz 时为 0.00006%
- 低静态电流：
每通道 1.5mA
- 压摆率：17V/ μs
- 宽增益带宽：22 MHz ($G = +1$)
- 单位增益稳定
- 轨到轨输出
- 宽电源电压范围：
 $\pm 1.5\text{V}$ 至 $\pm 18\text{V}$ 或 3V 至 36V
- 提供双路和四路版本
- 小封装尺寸：
双路：SOIC-8 和 VSSOP-8
四路：SOIC-14 和 TSSOP-14

2 应用

- USB 和 Firewire 音频系统
- 模拟和数字混频器
- 便携式录音系统
- 音效处理器
- 高端 A/V 接收器
- 高端 DVD 和 Blu-Ray™ 播放器
- 高端车载音频

3 说明

双路 OPA1662 与四路 OPA1664 (OPA166x) 双极输入 SoundPlus™ 音频运算放大器系列能够以超低失真 (1kHz 时为 0.00006%) 实现 $3.3\text{nV}/\sqrt{\text{Hz}}$ 的低噪声密度。OPA166x 系列运算放大器可在 $2\text{k}\Omega$ 负载下支持 600mV 以内的轨到轨输出摆幅，其可提高预留空间，将动态范围最大化。此外，这些器件还具有 $\pm 30\text{mA}$ 高输出驱动能力。

这些器件可在 $\pm 1.5\text{V}$ 至 $\pm 18\text{V}$ ，或者 3V 至 36V 很宽的电源电压范围内运行，每通道电源电流仅为 1.5mA。OPA166x 运算放大器的单位增益稳定，在宽范围负载条件下可保持出色的动态性能。

它们还采用完全独立的电路系统，可将串扰降到最低，即便在过驱动或过载时也不受通道间相互作用而带来的干扰。

OPA166x 的额定运行温度范围为 -40°C 至 $+85^\circ\text{C}$ 。

器件信息

产品	通道数	封装 ⁽¹⁾
OPA1662	双路	D (SOIC, 8)
		DGK (VSSOP, 8)
OPA1664	四路	D (SOIC, 14)
		PW (TSSOP, 14)

(1) 有关更多信息，请参阅节 9。



内容

1 特性.....	1	5.8 典型特性.....	8
2 应用.....	1	6 应用和实施.....	15
3 说明.....	1	6.1 应用信息.....	15
4 引脚配置.....	2	6.2 典型应用.....	21
5 规格.....	3	7 器件和文档支持.....	22
5.1 绝对最大额定值.....	3	7.1 接收文档更新通知.....	22
5.2 ESD 等级.....	3	7.2 支持资源.....	22
5.3 建议运行条件.....	3	7.3 商标.....	22
5.4 热性能信息：OPA1662.....	4	7.4 静电放电警告.....	22
5.5 热性能信息：OPA1664.....	4	7.5 术语表.....	22
5.6 电气特性： $V_S = \pm 15V$	5	8 修订历史记录.....	22
5.7 电气特性： $V_S = 5V$	6	9 机械、封装和可订购信息.....	22

4 引脚配置

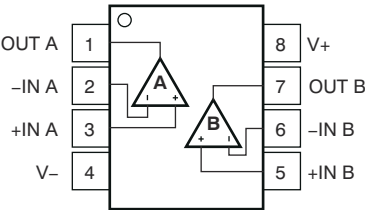


图 4-1. OPA1662：D 和 DGK 封装，SOIC-8 和 VSSOP-8 (顶视图)

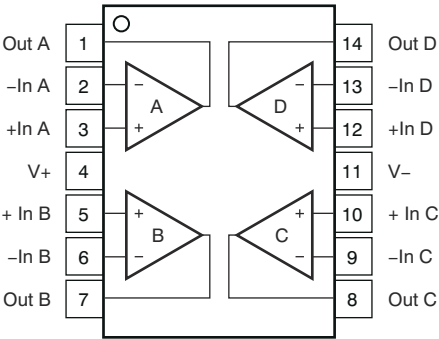


图 4-2. OPA1664：D 和 PW 封装，SOIC-14 和 TSSOP-14 (顶视图)

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）。⁽¹⁾

		最小值	最大值	单位
V _S	电源电压, V _S = (V ₊) - (V ₋)		40	V
	输入电压	(V ₋) - 0.5	(V ₊) + 0.5	V
	输入电流 (除电源引脚外的全部引脚)		±10	mA
	输出短路 ⁽²⁾	持续		
T _A	工作温度	-55	125	°C
T _J	结温		150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 短接到 V_S/2（在对称双电源供电的情况下，接地），每个封装一个放大器。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	1000	
		机器模型 (MM)	200	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _S	电源电压, (V ₊) - (V ₋)	±1.5		±18	V
T _A	环境温度	-40		85	°C

5.4 热性能信息：OPA1662

热指标 ⁽¹⁾		OPA1662		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	156.3	225.4	°C/W
$R_{\theta JCTop}$	结至外壳 (顶部) 热阻	85.5	78.8	°C/W
$R_{\theta JB}$	结至电路板热阻	64.9	110.5	°C/W
ψ_{JT}	结至顶部特征参数	33.8	14.6	°C/W
ψ_{JB}	结至电路板特征参数	64.3	108.5	°C/W
$R_{\theta JCbott}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

5.5 热性能信息：OPA1664

热指标 ⁽¹⁾		OPA1664		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	78.6	125.8	°C/W
$R_{\theta JCTop}$	结至外壳 (顶部) 热阻	37.0	45.2	°C/W
$R_{\theta JB}$	结至电路板热阻	24.9	57.5	°C/W
ψ_{JT}	结至顶部特征参数	9.7	5.5	°C/W
ψ_{JB}	结至电路板特征参数	24.6	56.7	°C/W
$R_{\theta JCbott}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

5.6 电气特性：V_S = ±15V

T_A = 25°C, R_L = 2kΩ, 且 V_{CM} = V_{OUT} = 1/2 V_S (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
音频性能							
THD+N	总谐波失真 + 噪声	G = +1, f = 1kHz, V _O = 3V _{RMS}		0.00006			%
				-124			dB
IMD	互调失真	G = +1, V _O = 3V _{RMS}	SMPTE/DIN 双音, 4:1 (60Hz 和 7kHz)	0.00004			%
				-128			dB
			DIM 30 (3kHz 方波和 15kHz 正弦波)	0.00004			%
				-128			dB
			CCIF 双音 (19kHz 和 20kHz)	0.00004			%
				-128			dB
频率响应							
GBW	增益带宽积	G = +1		22			MHz
SR	压摆率	G = -1		17			V/ μ s
	全功率带宽 ⁽¹⁾	V _O = 1V _P		2.7			MHz
	过载恢复时间	G = -10		1			μ s
	通道分离 (双通道和四通道)	f = 1kHz		-120			dB
噪声							
e _n	输入电压噪声	f = 20Hz 至 20kHz		2.8			μ V _{PP}
	输入电压噪声密度	f = 1kHz		3.3			nV/ √ Hz
		f = 100Hz		5			
I _n	输入电流噪声密度	f = 1kHz		1			pA/ √ Hz
		f = 100Hz		2			
失调电压							
V _{OS}	输入失调电压	V _S = ±1.5V 至 ±18V		±0.5		±1.5	mV
		V _S = ±1.5V 至 ±18V, T _A = - 40°C 至 +85°C ⁽²⁾		2		8	μ V/°C
PSRR	电源抑制比	V _S = ±1.5V 至 ±18V		1		3	μ V/V
输入偏置电流							
I _B	输入偏置电流	V _{CM} = 0V		600		1200	nA
I _{OS}	输入失调电流	V _{CM} = 0V		±25		±100	nA
输入电压							
V _{CM}	共模电压			(V -) + 0.5		(V+) - 1	V
CMRR	共模抑制比			106		114	dB
输入阻抗							
	差分			170 2			kΩ pF
	共模			600 2.5			MΩ pF
开环增益							
A _{OL}	开环电压增益	(V -) + 0.6V ≤ V _O ≤ (V+) - 0.6V, R _L = 2kΩ		106		114	dB
输出							
V _{OUT}	输出电压	R _L = 2kΩ		(V -) + 0.6		(V+) - 0.6	V
I _{OUT}	输出电流			请参阅典型特性			mA
Z _O	开环输出阻抗			请参阅典型特性			Ω
I _{SC}	短路电流 ⁽³⁾			±50			mA
C _{LOAD}	容性负载驱动			200			pF
电源							
I _Q	静态电流 (每通道)	I _{OUT} = 0A		1.5		1.8	mA
			T _A = -40°C 至 +85°C ⁽²⁾	2			

(1) 全功率带宽 = SR / (2 π × V_P), 其中 SR = 压摆率。

OPA1662, OPA1664

ZHCS619A – DECEMBER 2011 – REVISED DECEMBER 2024

(2) 取决于具体的设计和特性。

(3) 一次一个通道。

5.7 电气特性：V_S = 5V

T_A = 25°C，R_L = 2kΩ，且 V_{CM} = V_{OUT} = 1/2 V_S (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
音频性能							
THD+N	总谐波失真 + 噪声	G = +1 , f = 1kHz , V _O = 3V _{RMS}		0.0001			%
				-120			dB
IMD	互调失真	G = +1 , V _O = 3V _{RMS}	SMPTE/DIN 双音 , 4:1 (60Hz 和 7kHz)	0.00004			%
				-128			dB
			DIM 30 (3kHz 方波和 15kHz 正弦波)	0.00004			%
				-128			dB
			CCIF 双音 (19kHz 和 20kHz)	0.00004			%
				-128			dB
频率响应							
GBW	增益带宽积	G = +1		20			MHz
SR	压摆率	G = -1		13			V/ μ s
	全功率带宽 ⁽¹⁾	V _O = 1V _P		2			MHz
	过载恢复时间	G = -10		1			μ s
	通道分离 (双通道和四通道)	f = 1kHz		-120			dB
噪声							
e _n	输入电压噪声	f = 20Hz 至 20kHz		3.3			μ V _{PP}
	输入电压噪声密度	f = 1kHz		3.3			nV/ √ Hz
		f = 100Hz		5			
I _n	输入电流噪声密度	f = 1kHz		1			pA/ √ Hz
		f = 100Hz		2			
失调电压							
V _{OS}	输入失调电压	V _S = ±1.5V 至 ±18V		±0.5	±1.5		mV
		V _S = ±1.5V 至 ±18V , T _A = - 40°C 至 +85°C ⁽²⁾		2	8		μ V/°C
PSRR	电源抑制比	V _S = ±1.5V 至 ±18V		1	3		μ V/V
输入偏置电流							
I _B	输入偏置电流	V _{CM} = 0V		600	1200		nA
I _{OS}	输入失调电流	V _{CM} = 0V		±25	±100		nA
输入电压							
V _{CM}	共模电压			(V -) + 0.5	(V+) - 1		V
CMRR	共模抑制比			86	100		dB
输入阻抗							
	差分			170 2			kΩ pF
	共模			600 2.5			MΩ pF
开环增益							
A _{OL}	开环电压增益	(V -) + 0.6V ≤ V _O ≤ (V+) - 0.6V , R _L = 2kΩ		90	100		dB
输出							
V _{OUT}	输出电压	R _L = 2kΩ		(V -) + 0.6	(V+) - 0.6		V
I _{OUT}	输出电流			请参阅 典型特性			mA
Z _O	开环输出阻抗			请参阅 典型特性			Ω
I _{SC}	短路电流 ⁽³⁾			±40			mA
C _{LOAD}	容性负载驱动			200			pF
电源							

$T_A = 25^{\circ}\text{C}$, $R_L = 2\text{k}\Omega$, 且 $V_{CM} = V_{OUT} = 1/2 V_S$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I_Q	静态电流 (每通道)	$I_{OUT} = 0\text{A}$		1.4	1.7	mA
		$T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ (2)			2	

- (1) 全功率带宽 = $SR / (2 \pi \times V_P)$, 其中 SR = 压摆率。
(2) 取决于具体的设计和特性。
(3) 一次一个通道。

5.8 典型特性

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

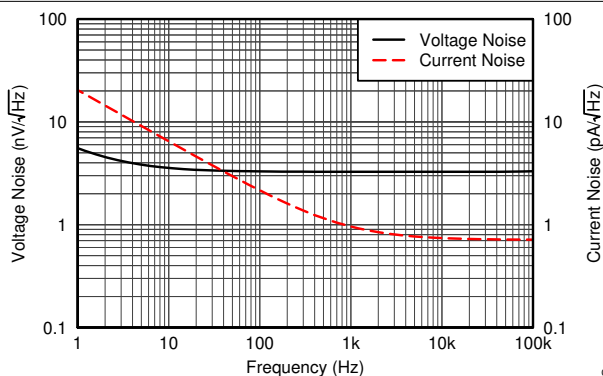


图 5-1. 输入电压噪声密度和输入电流噪声密度与频率间的关系

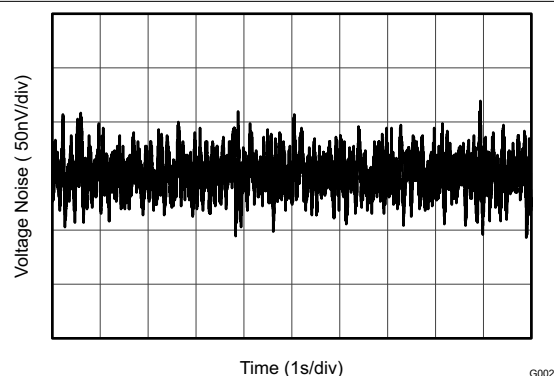


图 5-2. 0.1Hz 至 10Hz 噪声

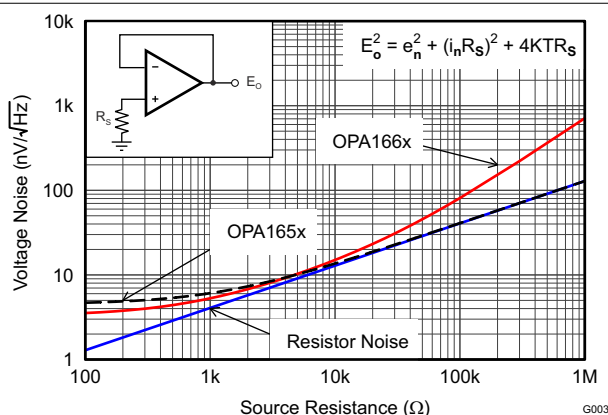


图 5-3. 电压噪声与源阻抗间的关系

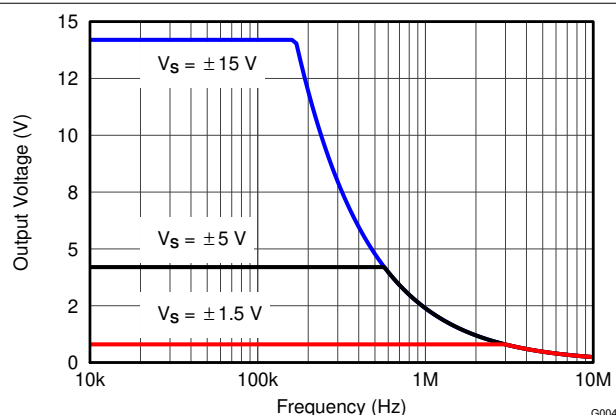


图 5-4. 最大输出电压与频率间的关系

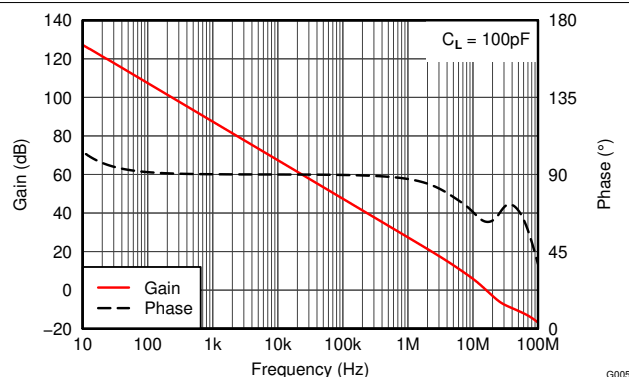


图 5-5. 增益和相位与频率间的关系

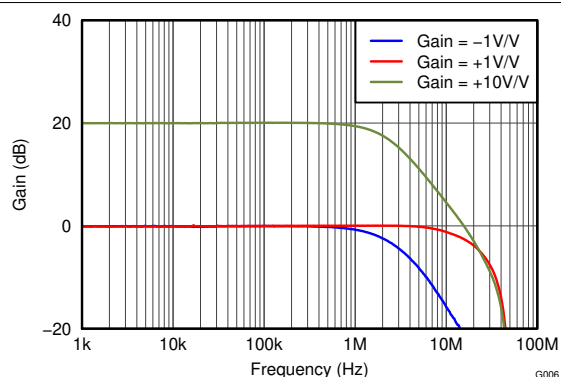


图 5-6. 闭环增益与频率间的关系

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

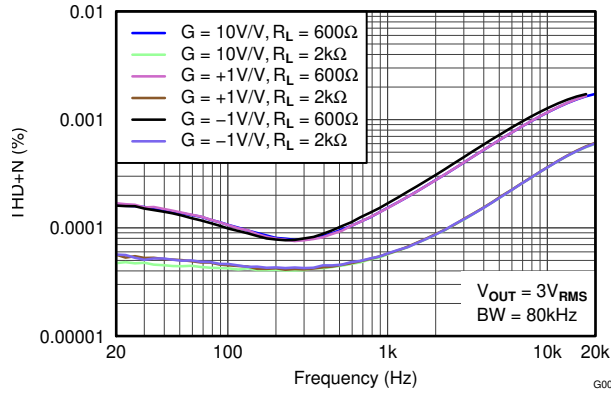


图 5-7. THD+N 比与频率间的关系

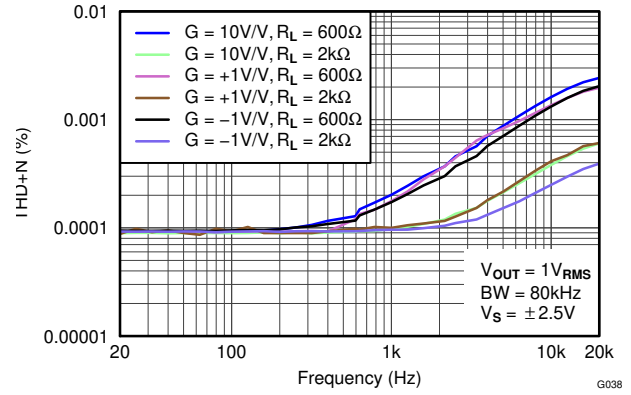


图 5-8. THD+N 比与频率间的关系

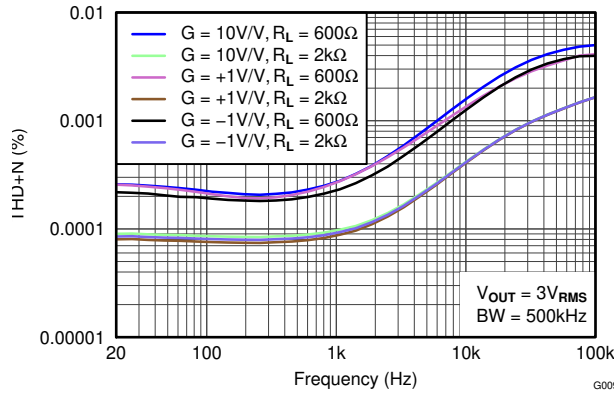


图 5-9. THD+N 比与频率间的关系

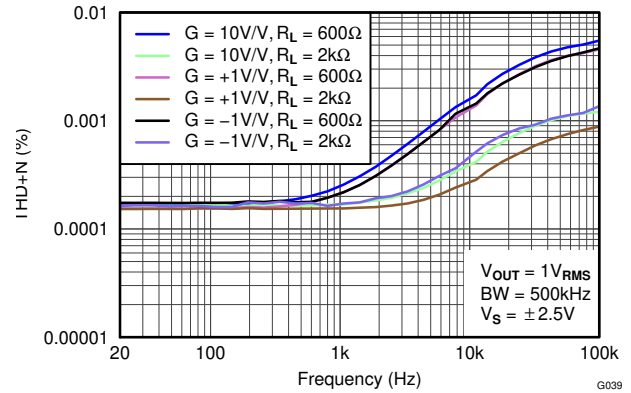


图 5-10. THD+N 比与频率间的关系

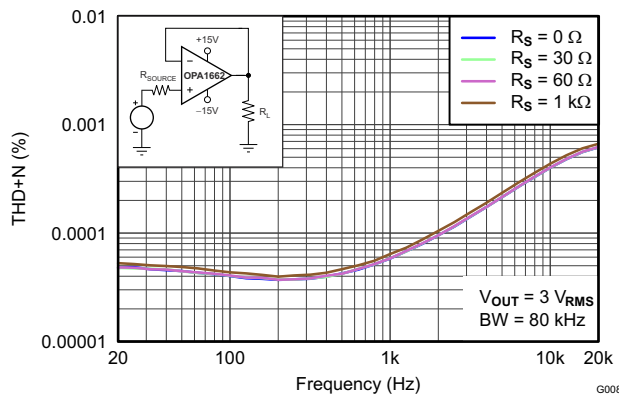


图 5-11. THD+N 比与频率间的关系

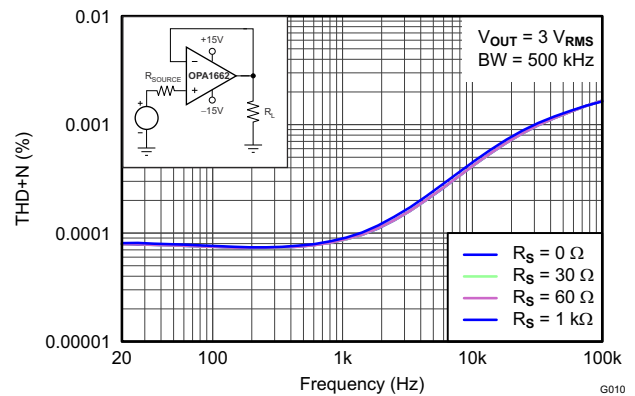


图 5-12. THD+N 比与频率间的关系

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

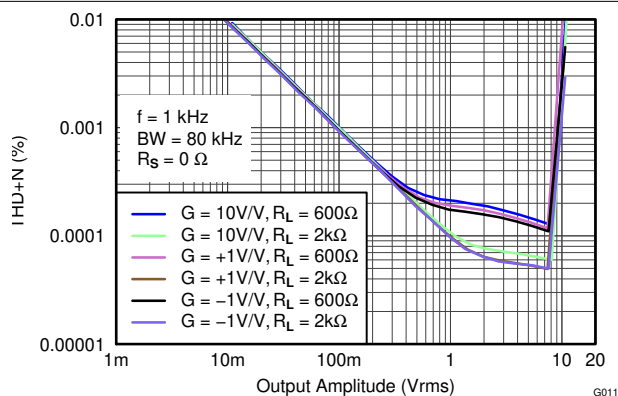


图 5-13. THD+N 比与输出幅值间的关系

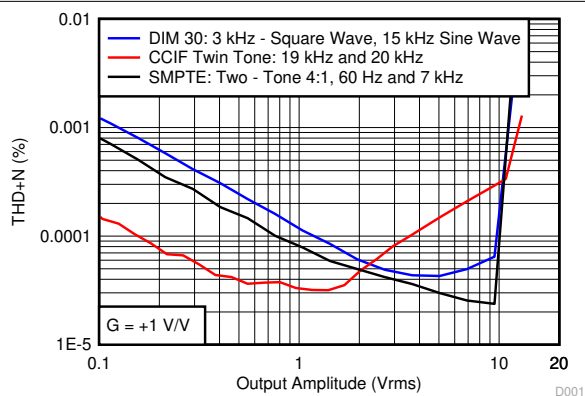


图 5-14. 互调失真与输出幅值间的关系

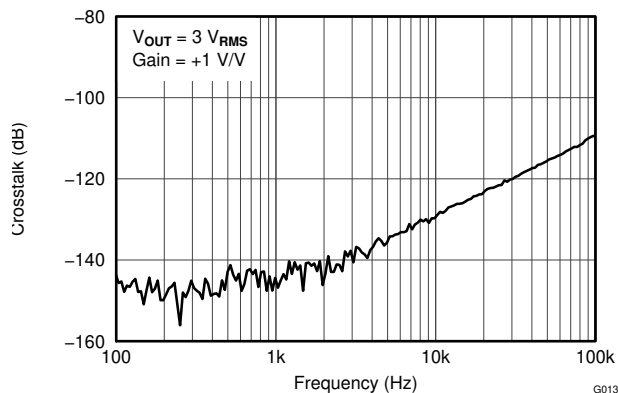


图 5-15. 通道隔离与频率间的关系

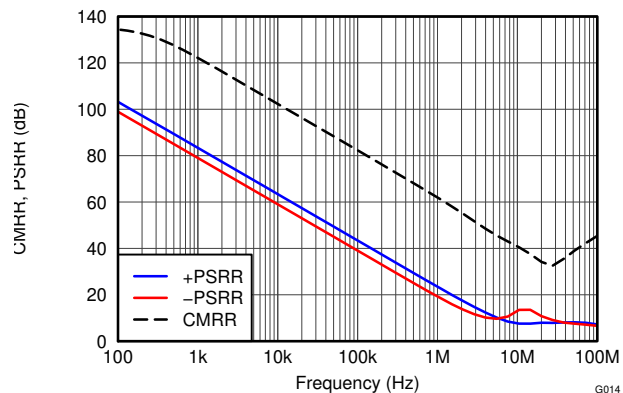


图 5-16. CMRR 和 PSRR 与频率间的关系 (以输入为基准)

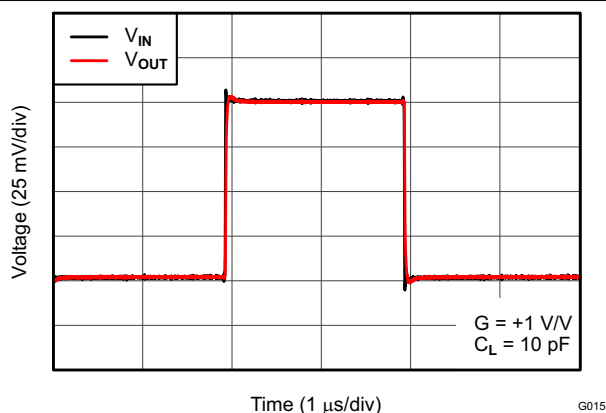


图 5-17. 小信号阶跃响应

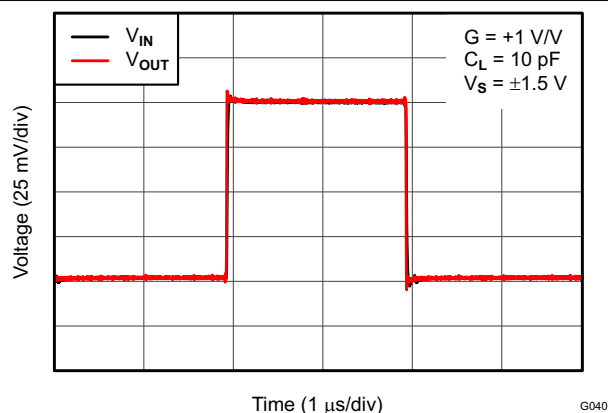


图 5-18. 小信号阶跃响应

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

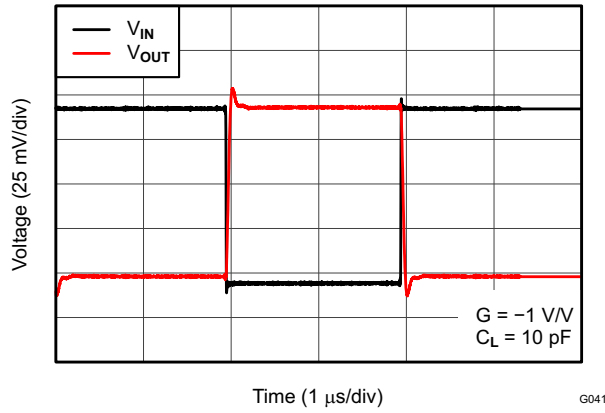


图 5-19. 小信号阶跃响应

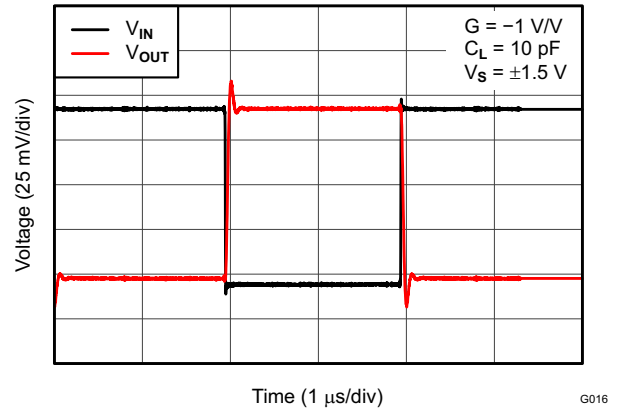


图 5-20. 小信号阶跃响应

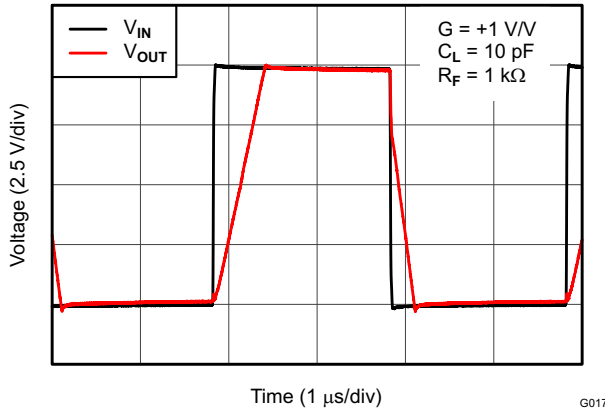


图 5-21. 大信号阶跃响应

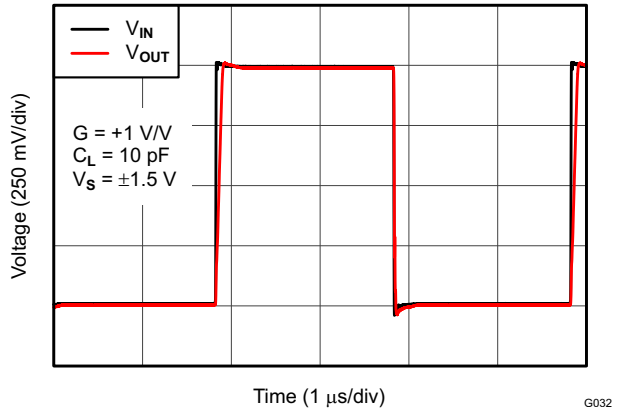


图 5-22. 大信号阶跃响应

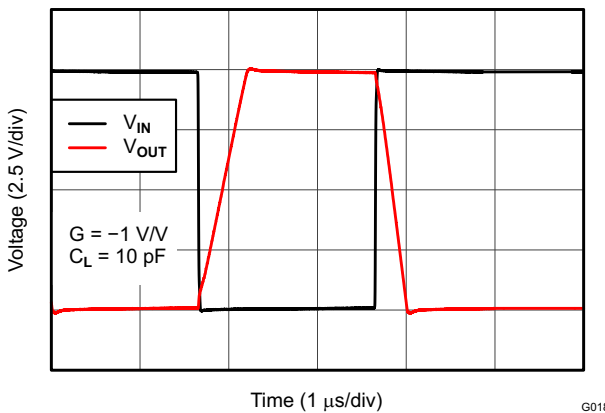


图 5-23. 大信号阶跃响应

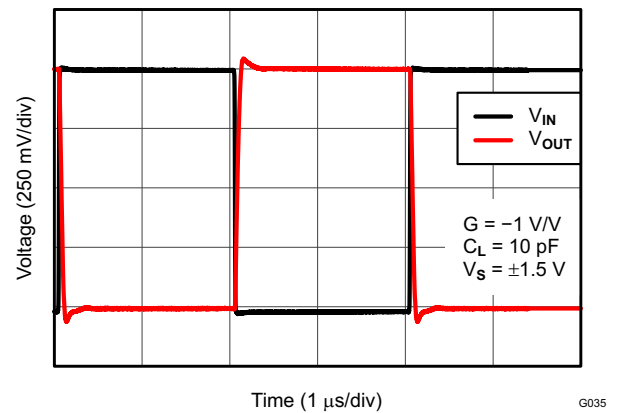


图 5-24. 大信号阶跃响应

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

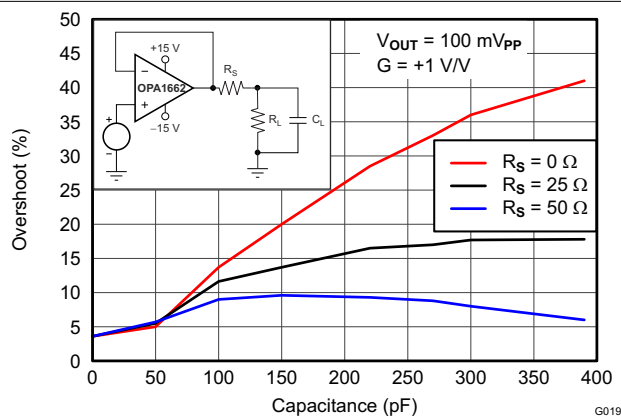


图 5-25. 小信号过冲与容性负载间的关系

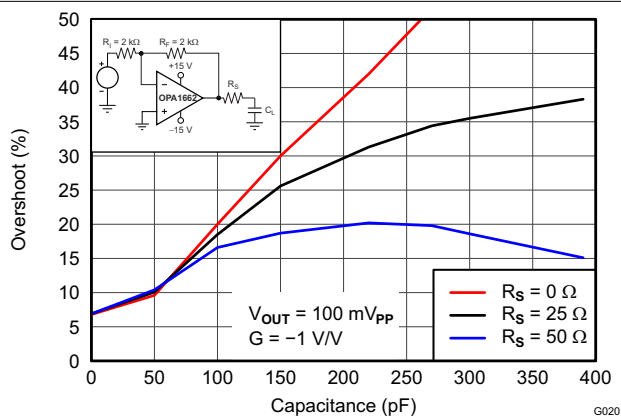


图 5-26. 小信号过冲与容性负载间的关系

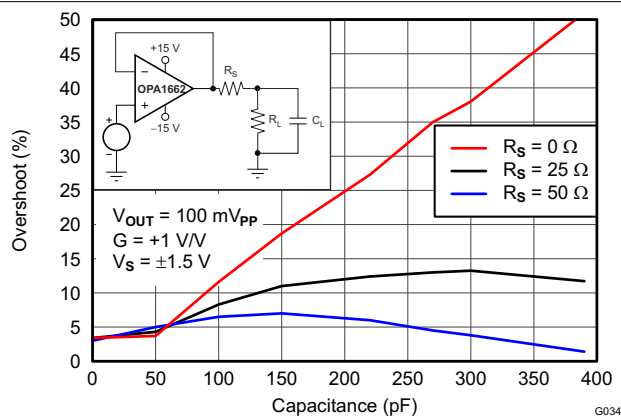


图 5-27. 小信号过冲与容性负载间的关系

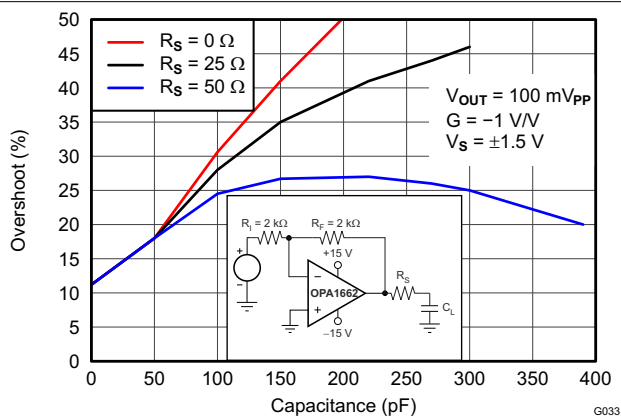


图 5-28. 小信号过冲与容性负载间的关系

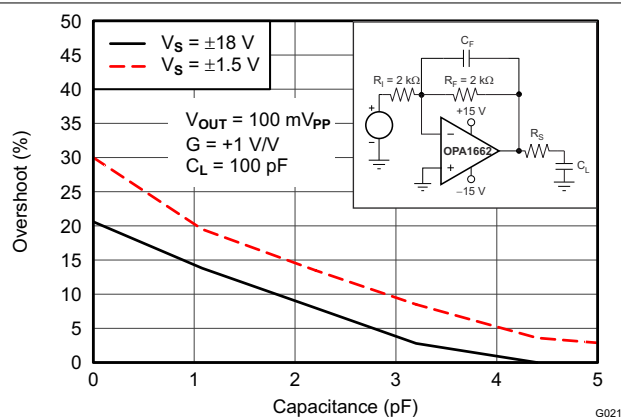


图 5-29. 小信号过冲与反馈电容器间的关系

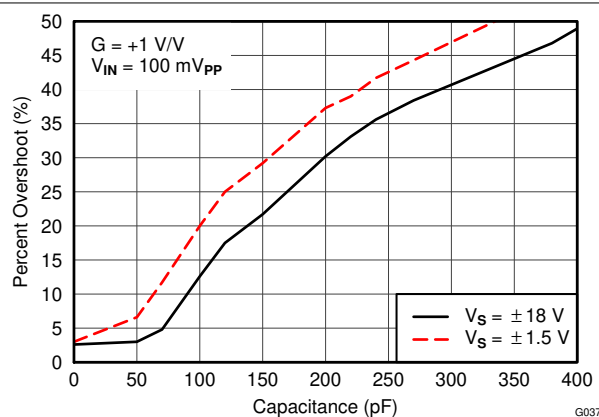


图 5-30. 过冲百分比与容性负载间的关系

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

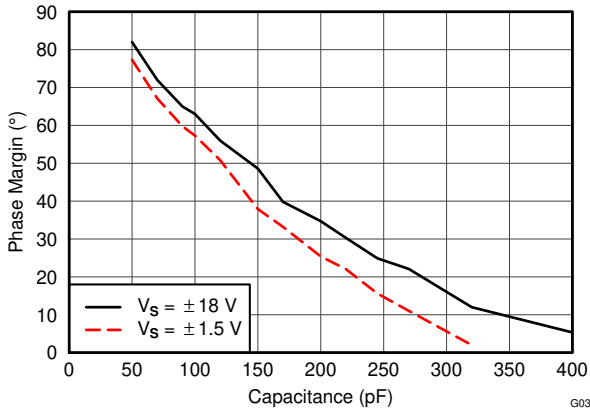


图 5-31. 相位裕度与容性负载间的关系

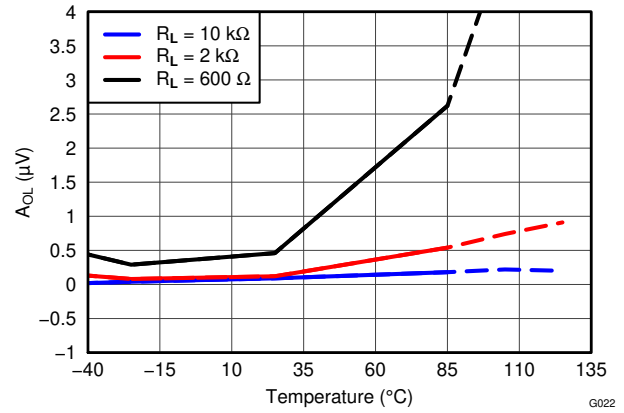


图 5-32. 开环增益与温度间的关系

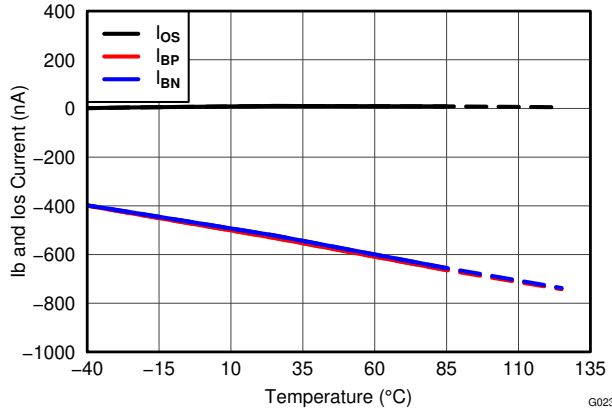


图 5-33. I_B 和 I_{OS} 与温度间的关系

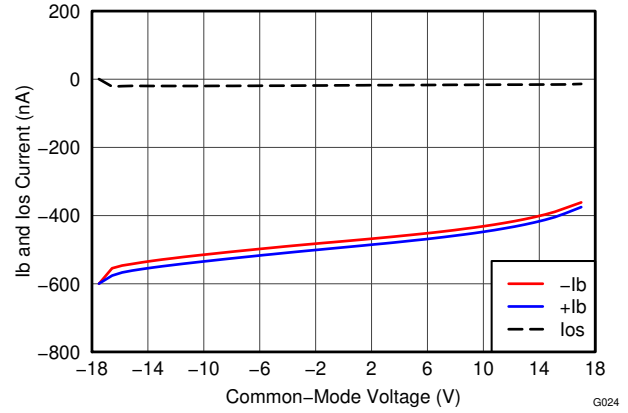


图 5-34. I_B 和 I_{OS} 与共模电压间的关系

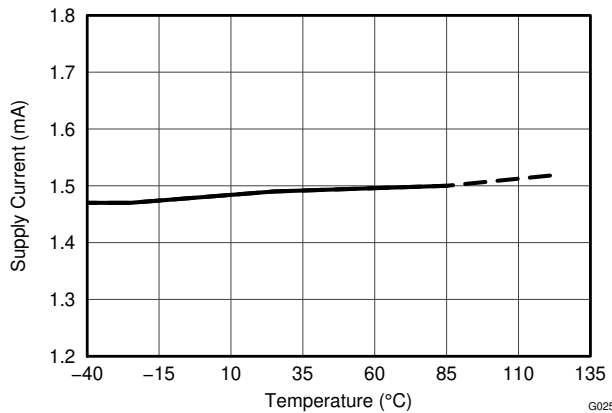


图 5-35. 电源电流与温度间的关系

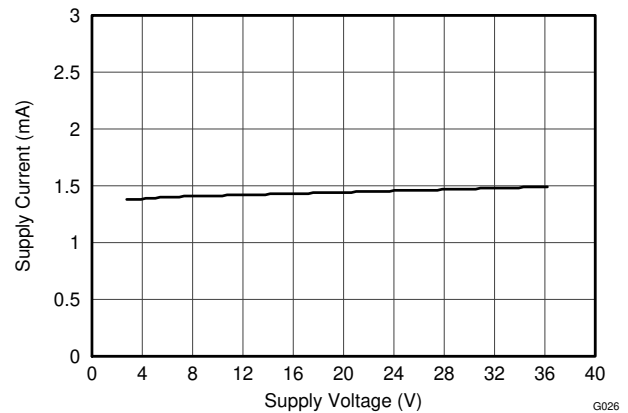


图 5-36. 电源电流与电源电压间的关系

5.8 典型特性 (续)

$T_A = +25^\circ\text{C}$, $V_S = \pm 15\text{V}$, 且 $R_L = 2\text{k}\Omega$ (除非另有说明)

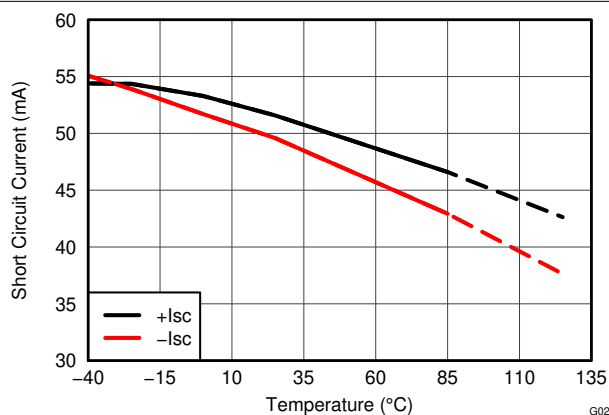


图 5-37. 短路电流与温度间的关系

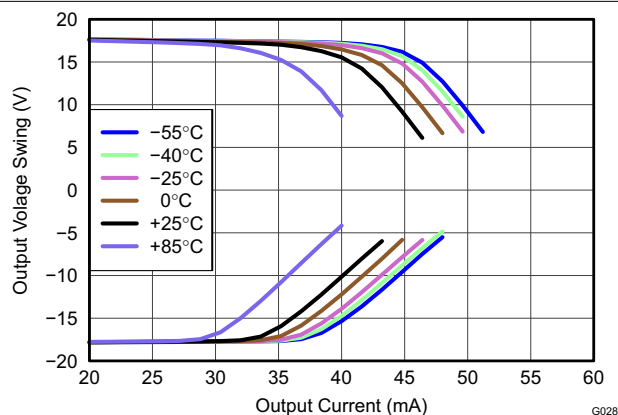


图 5-38. 输出电压与输出电流间的关系

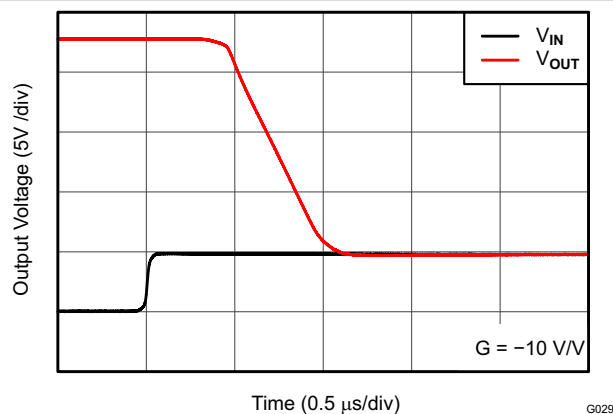


图 5-39. 正过载恢复

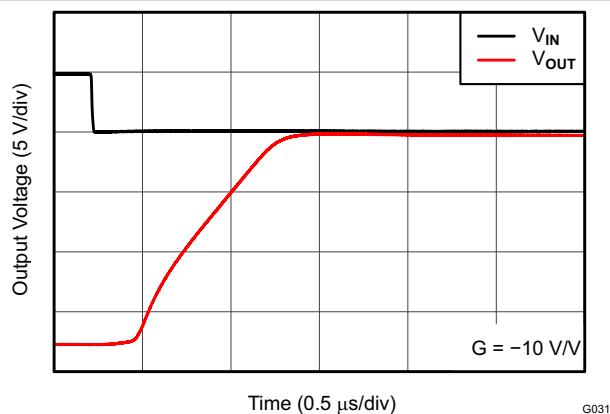


图 5-40. 负过载恢复

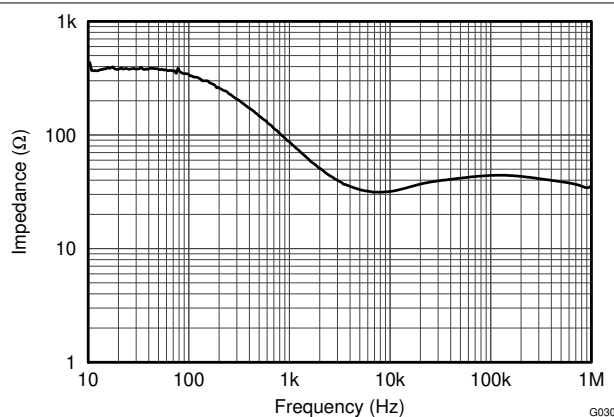


图 5-41. 开环输出阻抗与频率间的关系

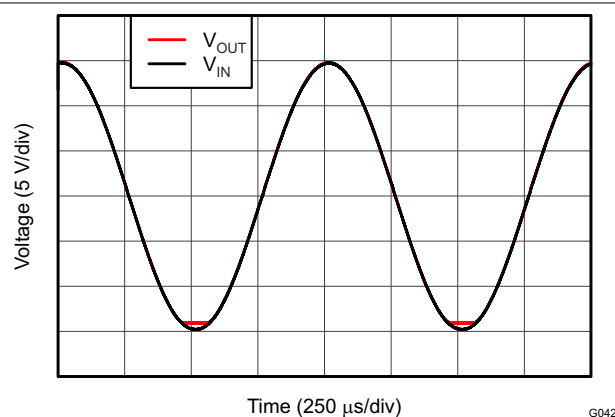


图 5-42. 无相位反转

6 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

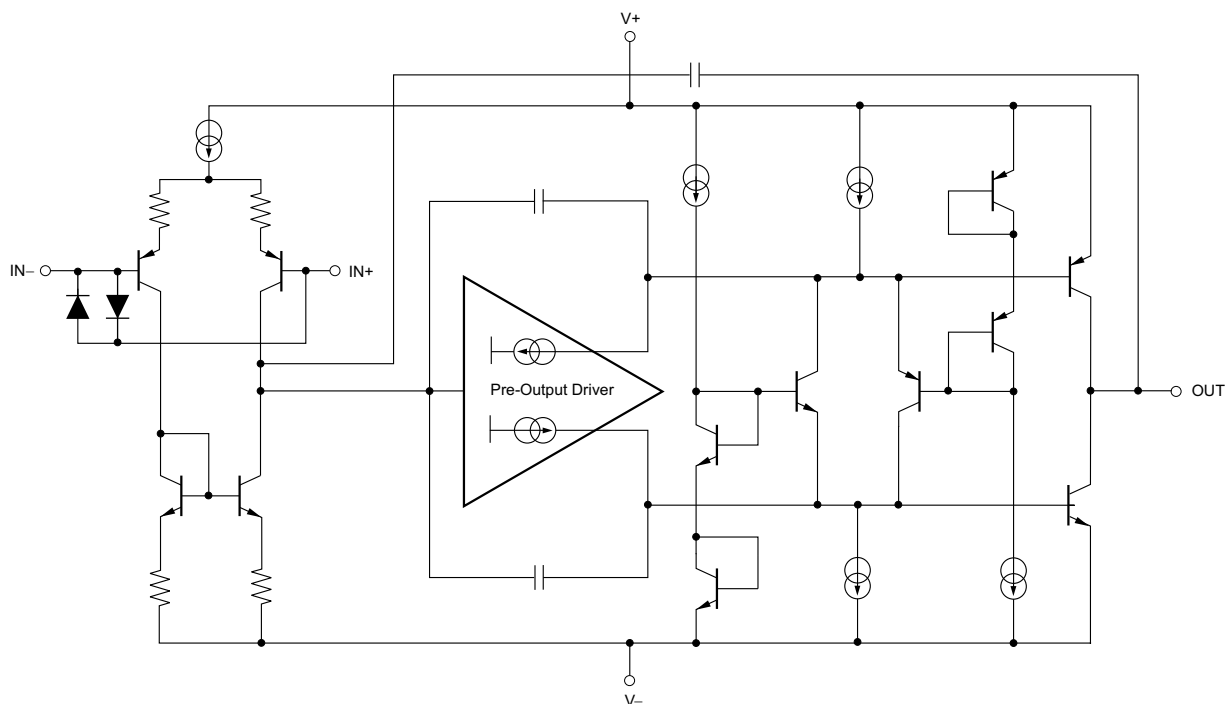
6.1 应用信息

OPA166x 是单位增益稳定精密双路和四路运算放大器，噪声极低。采用高噪声或高阻抗电源的应用要求去耦电容器靠近器件引脚。在大多数情况下， $0.1\ \mu\text{F}$ 电容器已足够满足需求。图 6-1 展示了 OPA166x 的简化版原理图（所示为单通道）。

6.1.1 工作电压

OPA166x 系列运算放大器由 $\pm 1.5\text{V}$ 至 $\pm 18\text{V}$ 电源供电运行，并保持出色性能。OPA166x 系列器件支持的工作电源压差最低为 3V ，最高为 36V 。不过，有些应用不要求正负输出电压的摆幅相同。对于 OPA166x 系列器件来说，正负供电电源电压不需要相等。例如，将正电源设置为 25V ，将负电源设置为 -5V 。

但无论何时，共模电压都必须保持在指定范围内。此外，主要参数的额定工作温度范围为 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。典型特性中显示了随工作电压或温度的变化而显著变化的参数。



Copyright © 2016, Texas Instruments Incorporated

图 6-1. OPA166x 简化原理图

6.1.2 输入保护

OPA166x 的输入端子由背对背二极管提供保护，不会因差分电压过大而受损，如图 6-2 中所示。在大部分电路应用中，输入保护电路并不产生实际影响。但在低增益或 $G = +1$ 的电路中，快速变化的输入信号可能会导致这些二极管发生正向偏置，因为放大器的输出无法足够快地响应该输入变化。如果输入信号的变化速度足以建立这种正向偏置条件，那么输入信号电流必须限定为不高于 10mA。如果未对输入信号电流进行限定，则可使用输入串联电阻 (R_i) 和/或反馈电阻 (R_F) 来限制信号输入电流。该电阻会降低 OPA166x 的低噪声性能，节 6.1.3 对其进行了探讨。图 6-2 所示为同时使用限流输入电阻和反馈电阻的配置示例。

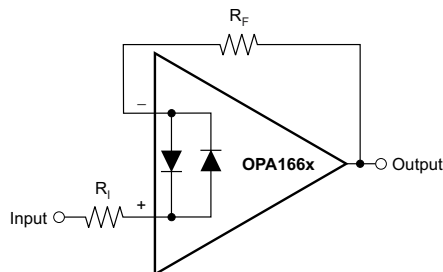


图 6-2. 脉冲操作

6.1.3 噪声性能

图 6-3 所示为采用单位增益配置的运算放大器在使用不同源阻抗值时的总电路噪声（无反馈电阻网络，因此不产生额外的噪声）。

图中为计算得出的 OPA166x ($GBW = 22MHz$, $G = +1$) 总电路噪声。运算放大器本身能够产生电压噪声分量和电流噪声分量。电压噪声通常按失调电压时变分量建模。电流噪声则按输入偏置电流时变分量建模，并根据不同的源阻抗生成一个噪声电压分量。因此，特定应用中运算放大器的最低噪声取决于源阻抗。源阻抗较低时，电流噪声可忽略不计，电压噪声占主导。OPA166x 系列运算放大器具有低电压噪声，是低于 $1k\Omega$ 的低源阻抗的更好选择。

图 6-3 所示为总电路噪声计算公式，相关参数如下：

- e_n = 电压噪声
- i_n = 电流噪声
- R_S = 源阻抗
- k = 玻尔兹曼常数 $1.38 \times 10^{-23} J/K$
- T = 开氏温度 (K)

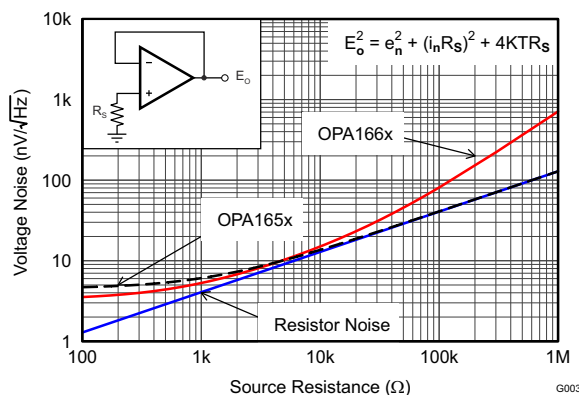


图 6-3. 采用单位增益缓冲器配置的 OPA166x 的噪声性能

6.1.4 基本噪声计算

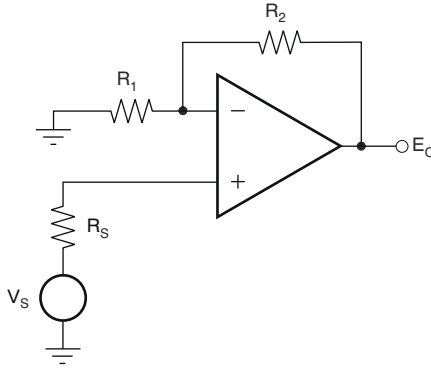
低噪声运算放大器的设计必须仔细考量多种噪声来源：信号源噪声、运算放大器产生的噪声以及反馈网络电阻产生的噪声。电路总噪声是所有噪声分量的平方和根值。

源阻抗的电阻部分产生的热噪声与电阻的方根成正比。图 6-3 描绘了该公式。源阻抗通常为固定值；因此，需通过选择运算放大器和反馈电阻来最大限度降低总噪声的相应分量。

图 6-4 所示为采用增益配置的反相和同相运算放大器电路。在增益配置电路中，反馈网络电阻也会产生噪声。运算放大器的电流噪声根据反馈电阻不同，进而产生额外的噪声分量。一般可通过选择合适的反馈电阻值使这些噪声源降低至忽略不计。以下为两种配置的总噪声计算公式。

A) Noise in Noninverting Gain Configuration

Noise at the output:



$$E_O^2 = \left(1 + \frac{R_2}{R_1}\right)^2 e_n^2 + \left(\frac{R_2}{R_1}\right)^2 e_1^2 + e_2^2 + \left(1 + \frac{R_2}{R_1}\right)^2 e_s^2$$

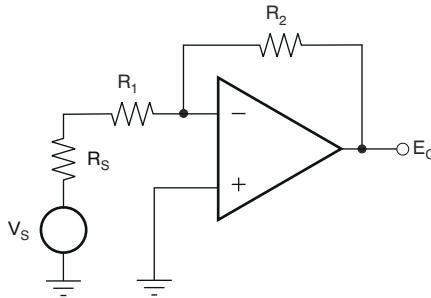
Where $e_s = \sqrt{4kTR_S}$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1}$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

B) Noise in Inverting Gain Configuration

Noise at the output:



$$E_O^2 = \left(1 + \frac{R_2}{R_1 + R_S}\right)^2 e_n^2 + \left(\frac{R_2}{R_1 + R_S}\right)^2 e_1^2 + e_2^2 + \left(\frac{R_2}{R_1 + R_S}\right)^2 e_s^2$$

Where $e_s = \sqrt{4kTR_S}$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1}$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

对于 OPA166x 系列运算放大器， $e_n = 3.3\text{nV}/\sqrt{\text{Hz}}$ (1kHz 时)。

图 6-4. 增益配置中的噪声计算

6.1.5 总谐波失真测定

OPA166x 系列运算放大器具有出色的低失真特性。驱动负载 $2\text{k}\Omega$ 时，整个音频范围（ 20Hz 到 20kHz ）内的 THD+N 低于 0.0006% （ $G = +1$ ， $V_O = 3\text{V}_{\text{RMS}}$ ， $\text{BW} = 80\text{kHz}$ ），具体性能特点请参阅图 5-7。

OPA166x 系列运算放大器的失真程度低于许多市售失真分析仪的测量本底值。不过，可通过特殊的测试电路（如图 6-5 所示）进一步提高测量能力。

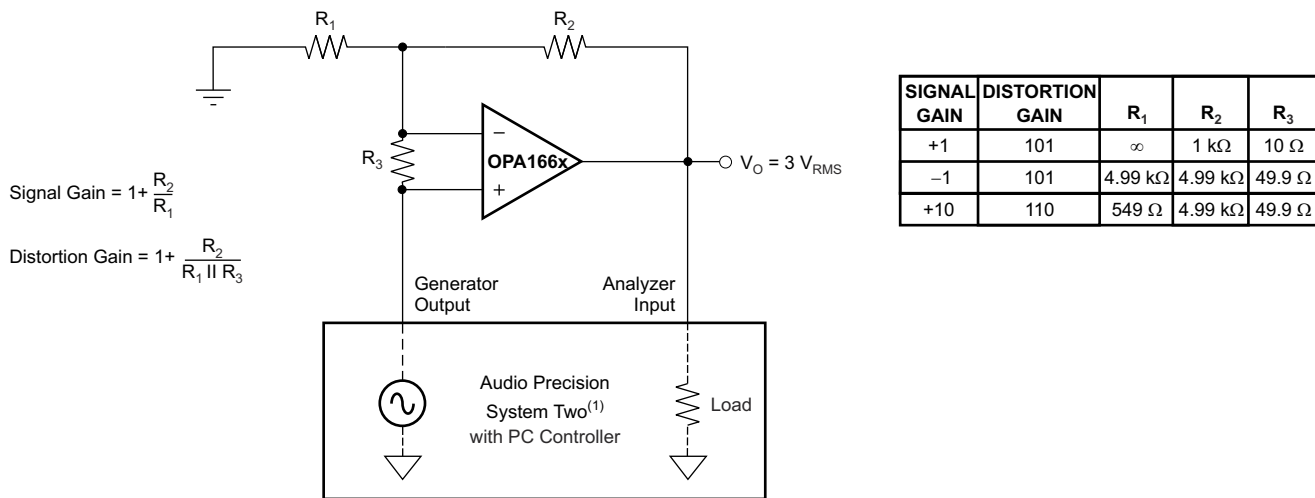
运算放大器失真可理解为一个以输入为基准的内部误差源。图 6-5 展示了导致运算放大器失真放大的电路（有关各种信号增益的失真增益系数，请参阅图 6-5 中的表）。如果在标准同相放大器配置中额外添加 R_3 ，则会改变电路的反馈系数或噪声增益。闭环增益保持不变，但可用于误差校正的反馈按失真增益系数降低，因此分辨率可提高相同的倍数。注意，运算放大器上应用的输入信号和负载与没有增加 R_3 时的原反馈电路相同。必须选用较小的 R_3 值以更大限度降低其对失真测量的影响。

这一方法可通过在高增益/高频条件下重复测定来加以验证，此时测试设备应能够对该放大器的失真进行测定。本数据表中的数据是通过使用 Audio Precision System Two 系列的失真/噪声分析仪测定的，此工具能够大幅简化这种重复测量工作。不过，也可以通过使用手动失真测量仪来实现这一测量方法。

6.1.6 容性负载

OPA1662 和 OPA1664 的动态特性已针对常见增益、负载和工作条件进行了优化。低闭环增益和高容性负载的特性组合降低了放大器的相位裕度，并导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现该隔离的简单方法是在输出端串联一个小电阻（例如 50Ω R_S ）。

这个小串联电阻还能够在器件输出短路时防止功耗过高。图 5-25 展示了小信号过冲与容性负载间的关系图（不同 R_S 值）。此外，详细分析技巧和应用电路请参考应用期刊 AB-028（文献编号 SBOA015），此文件可从 TI 网站内下载。



(1) 有关测量带宽，请参阅图 5-7 到图 5-12。

图 6-5. 失真测试电路

6.1.7 功率耗散

OPA1662 和 OPA1664 系列运算放大器能够在高达 $\pm 18\text{V}$ 的电源电压和整个工作温度范围内驱动 $2\text{k}\Omega$ 负载。以较高的电源电压运行时，内部功率损耗增加。OPA166x 系列运算放大器采用铜引线框架结构，相比采用传统材料的结构，散热性能得到改善。其电路板布局还有助于尽量缓解结温上升。加粗铜走线相当于附加散热器，可帮助散热。相比直接使用插槽连接器件，将器件焊接到电路板可以进一步缓解温度上升。

6.1.8 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性很重要。图 6-6 展示了 OPA166x 中包含的 ESD 电路（虚线区域所示）。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

ESD 事件可产生短时高压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路旨在围绕运算放大器核心提供一个电流路径，用于防止放大器损坏。保护电路吸收的能量将以热量形式耗散。

当两个或多个放大器器件引脚上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。OPA166x 内的吸收器件的触发条件是电源引脚上外加短时 ESD 电压脉冲。触发后，ESD 单元迅速激活，将 ESD 脉冲钳位到安全电压电平。

当运算放大器接入某个电路（如图 6-6 所示的电路）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行过程。不过，如果施加的电压超出指定引脚的工作电压范围，可能会引起一些问题。出现这种情况时，有可能导致某些内部的 ESD 保护电路被偏置导通并导电。此类电流都将流经钳位二极管路径，但很少涉及吸收器件。

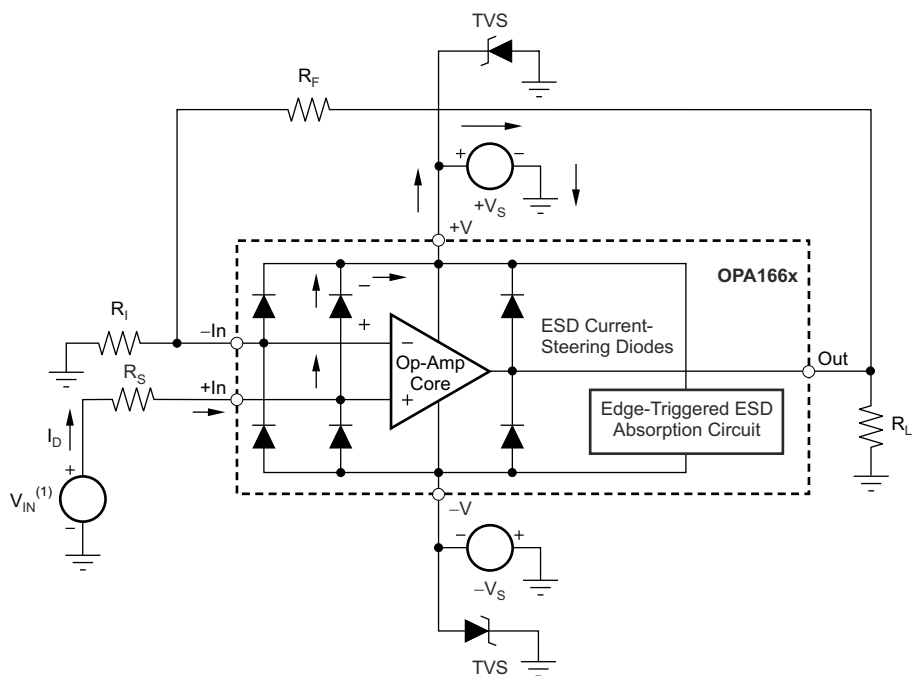
图 6-6 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_{\text{S}}$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_{\text{S}}$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_{\text{S}}$ 。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA 。

如果电源无法吸收电流， V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。在极端但罕见的情况下，吸收器件可在施加了 $+V_{\text{S}}$ 和 $-V_{\text{S}}$ 时触发。如果出现这种情况， $+V_{\text{S}}$ 和 $-V_{\text{S}}$ 电源间就会建立直接电流路径。此时吸收器件的功耗将会立刻超限，巨大的内部热量将损坏运算放大器。

另一个常见问题是，如果在电源 $+V_{\text{S}}$ 和/或 $-V_{\text{S}}$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。具体结果也取决于电源在 0V 或低于输入信号幅值时的特性。如果电源表现为高阻态，那么运算放大器电源电流可由输入源经电流钳位二极管提供。但该状态并非正常偏置条件；放大器将无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，则可以在电源引脚处添加外部齐纳二极管，如图 6-6 中所示。

必须正确选择齐纳电压，以便二极管不会在正常工作期间导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。



(1) $V_{IN} = +V_S + 500\text{mV}$.

图 6-6. 等效内部 ESD 电路以及与典型电路应用的关系 (所示为单通道)

6.2 典型应用

图 6-7 展示了其他应用创意。

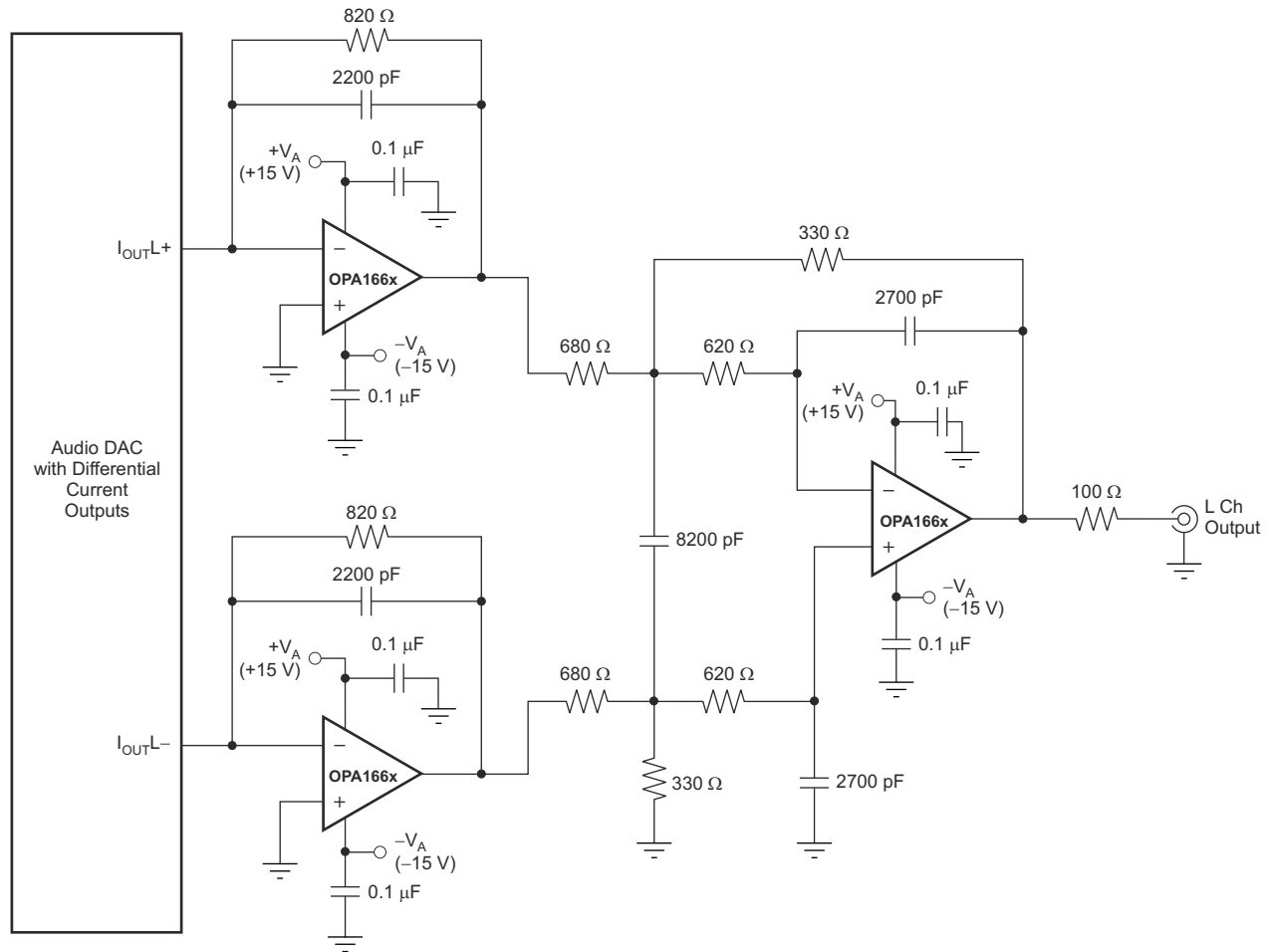


图 6-7. 音频 DAC I/V 转换器和输出滤波器

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.3 商标

Blu-Ray™ is a trademark of Blu-Ray Disc Association.

SoundPlus™ is a trademark of Texas Instruments Incorporated.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

7.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2011) to Revision A (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了规格、ESD 等级、建议运行条件、应用和实施、典型应用、器件和文档支持、修订历史记录以及机械、封装和可订购信息 部分.....	1
• 更新了绝对最大额定值 中的表注 1.....	3
• 将绝对最大额定值 中的结温从 200°C 更改为 150°C.....	3

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA1662AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1662AID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1662AIDGK	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDGK.B	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDGKRG4.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	OUQI
OPA1662AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1662AIDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1662AIDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1662AIDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OP1662
OPA1664AID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AID.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIDRG4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIDRG4.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIPW	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIPW.B	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664
OPA1664AIPWR.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA1664

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA1662 :

- Automotive : [OPA1662-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

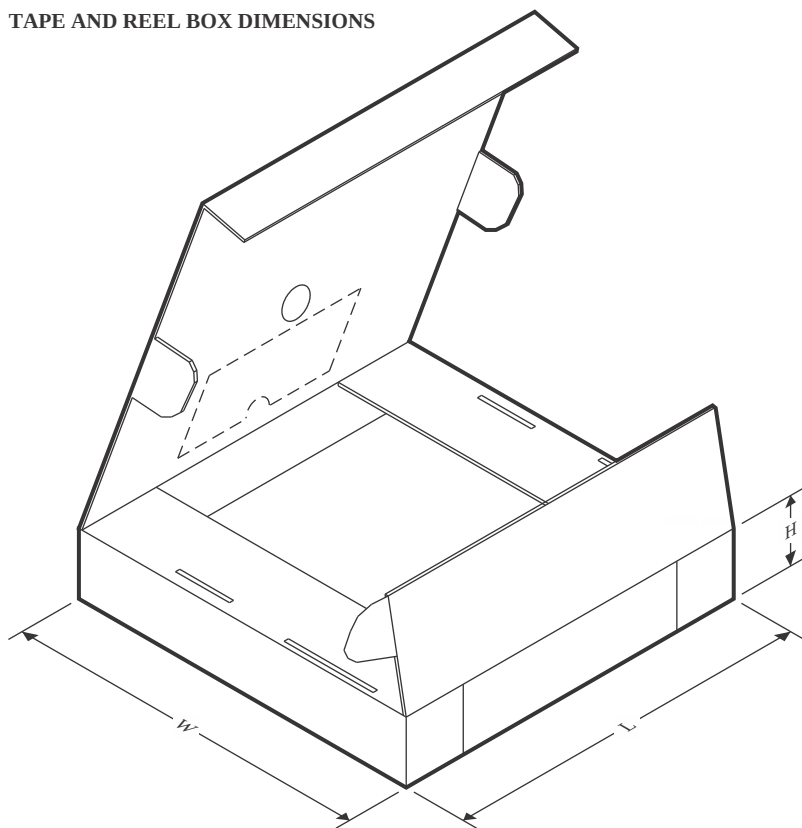
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA1662AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA1662AIDGKR4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA1662AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1662AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA1664AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA1664AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA1664AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

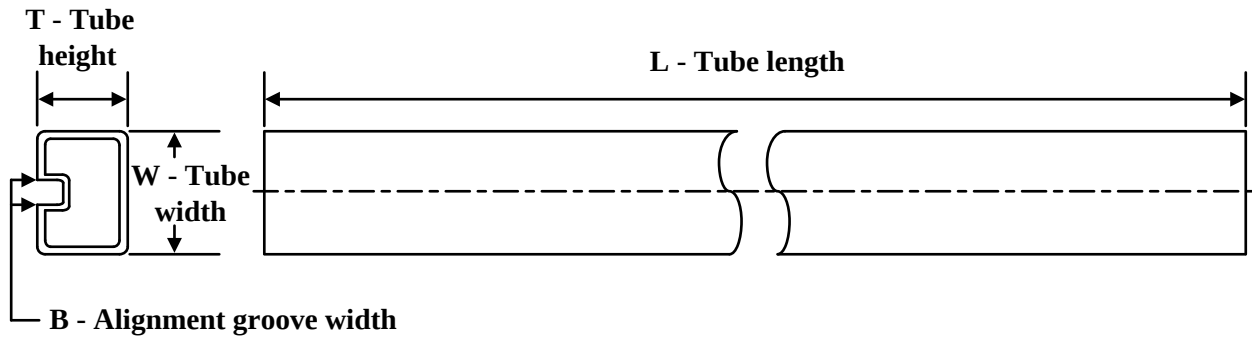
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA1662AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA1662AIDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA1662AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA1662AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA1664AIDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA1664AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
OPA1664AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

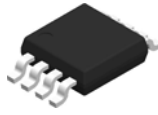
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA1662AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA1662AID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA1662AIDGK	DGK	VSSOP	8	80	274	6.55	500	2.88
OPA1662AIDGK.B	DGK	VSSOP	8	80	274	6.55	500	2.88
OPA1664AID	D	SOIC	14	50	506.6	8	3940	4.32
OPA1664AID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA1664AIPW	PW	TSSOP	14	90	530	10.2	3600	3.5
OPA1664AIPW.B	PW	TSSOP	14	90	530	10.2	3600	3.5

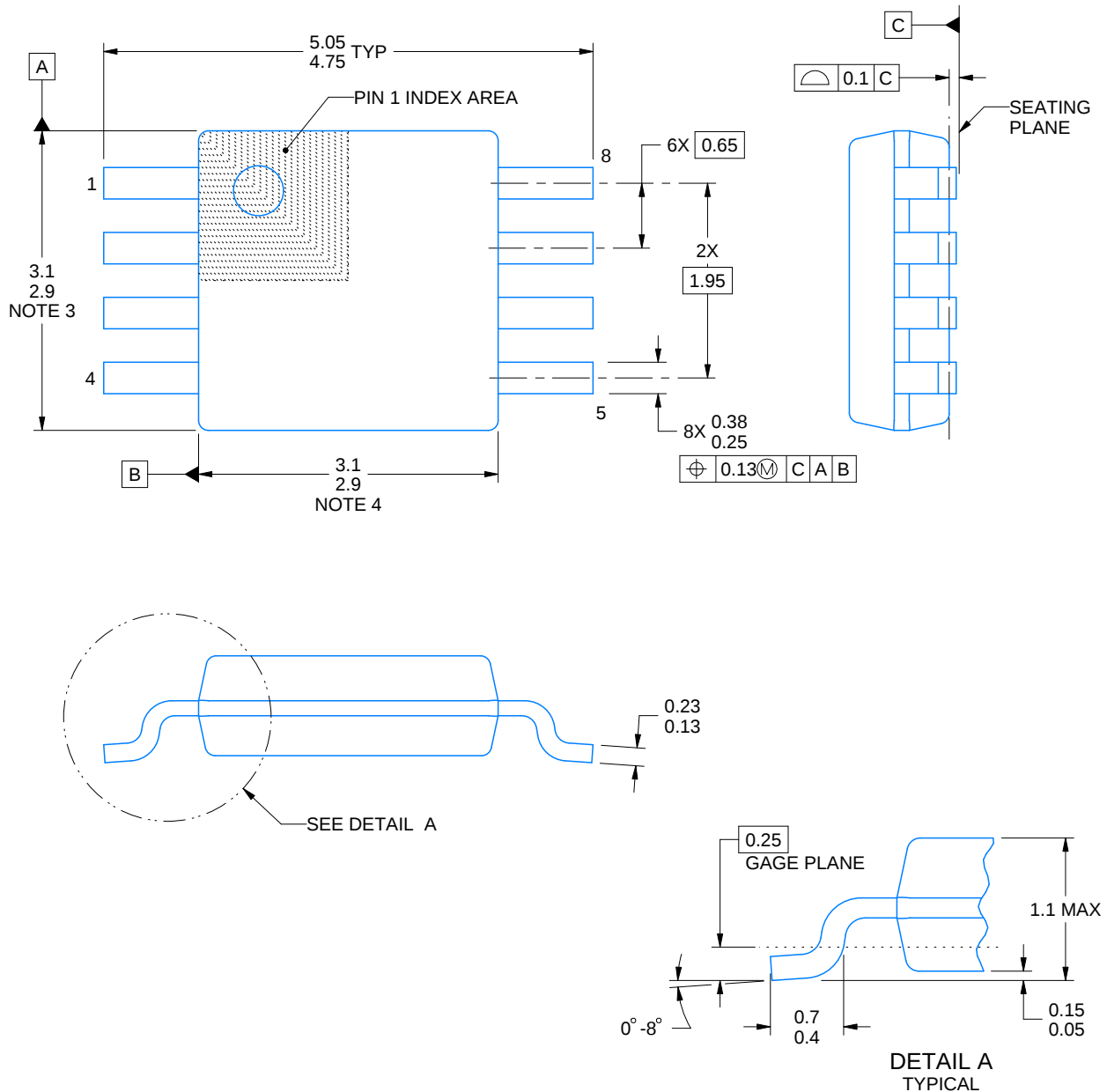
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

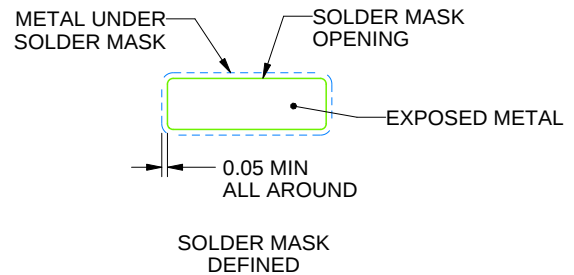
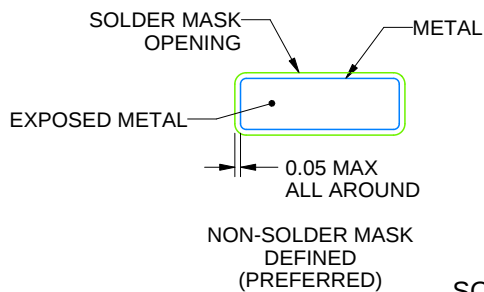
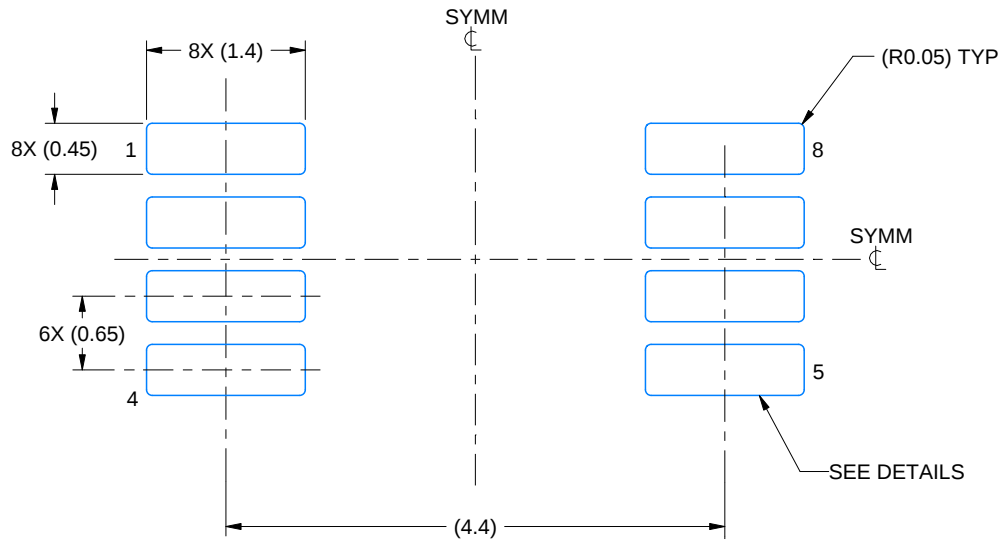
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

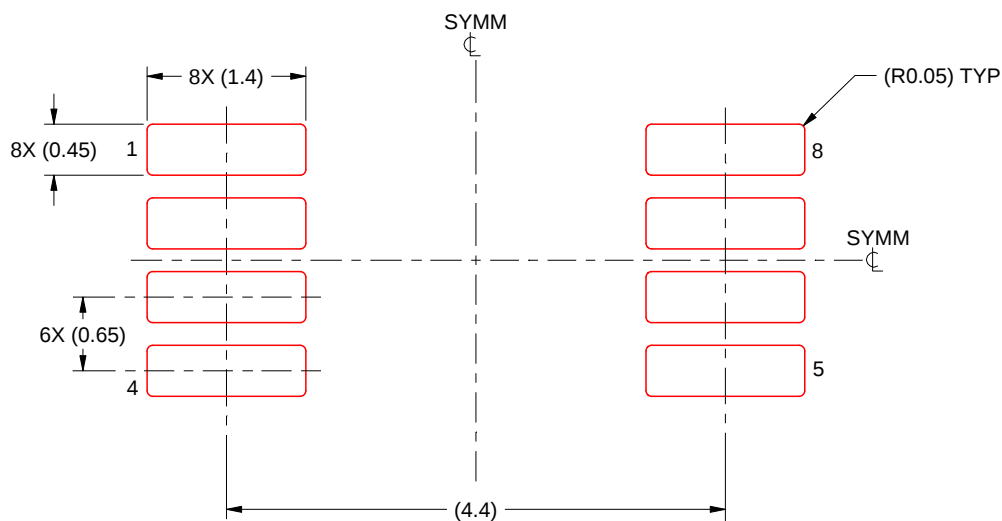
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

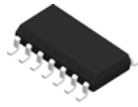


SOLDER PASTE EXAMPLE
SCALE: 15X

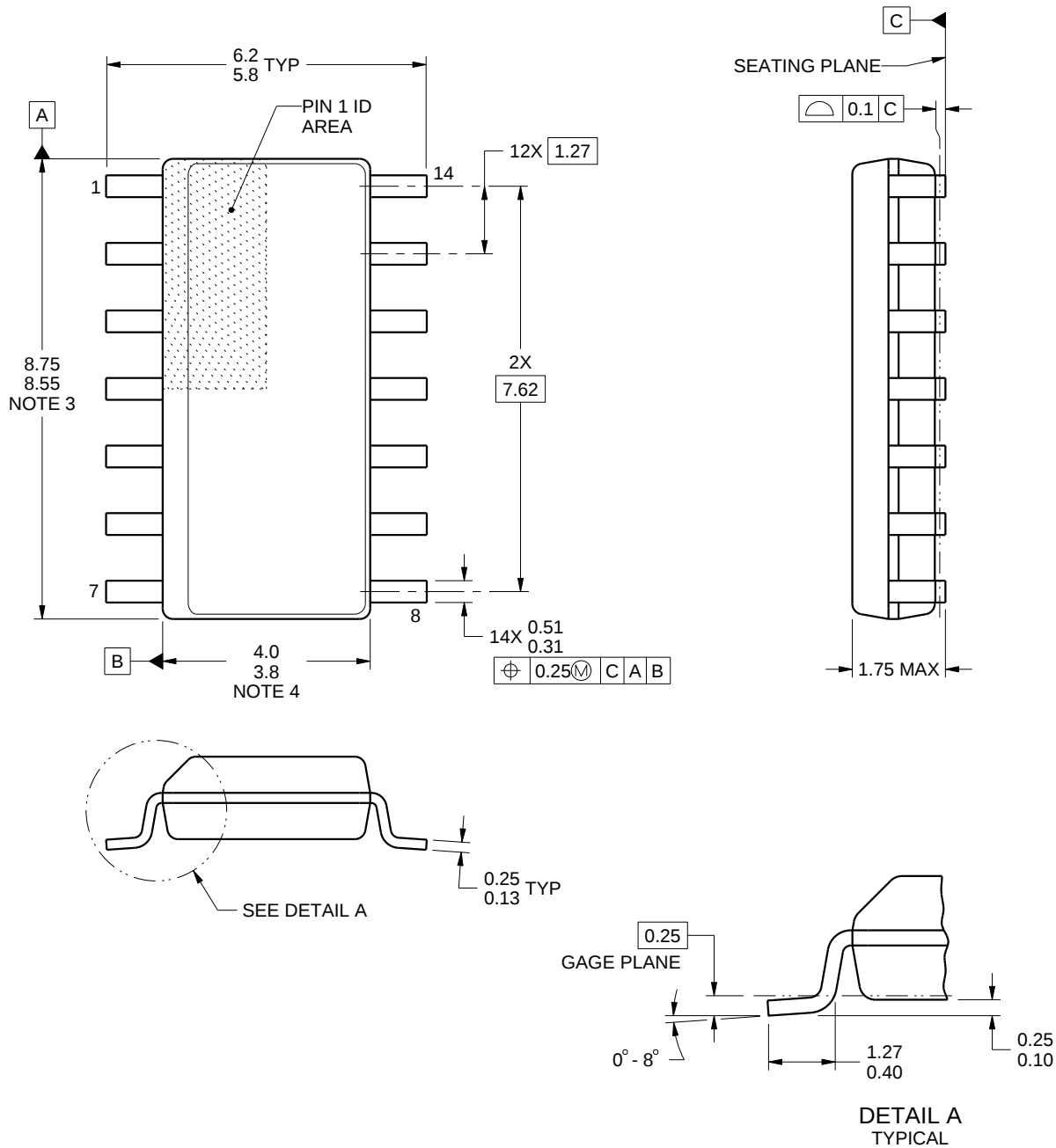
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

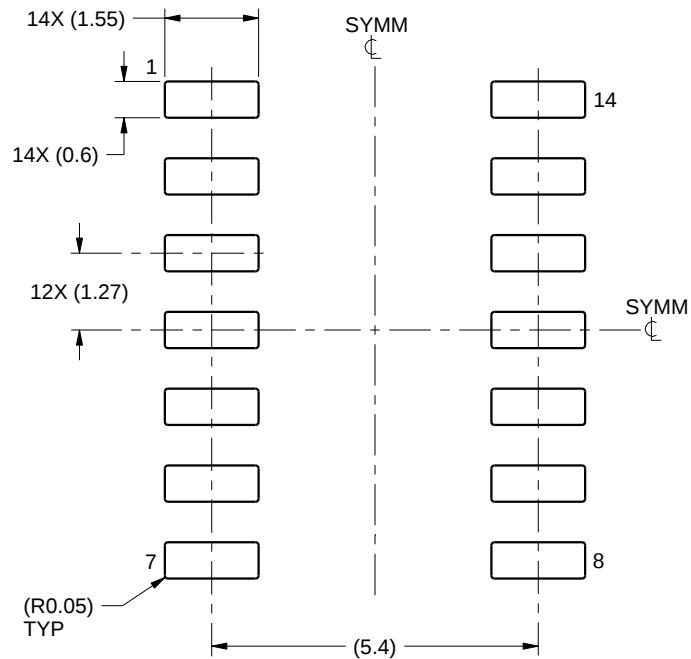
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

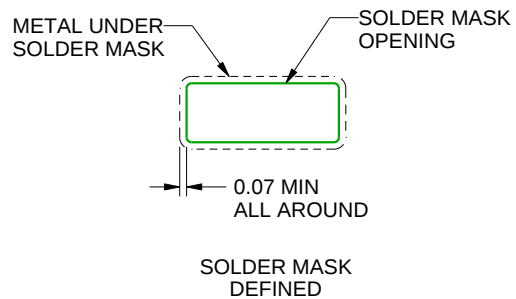
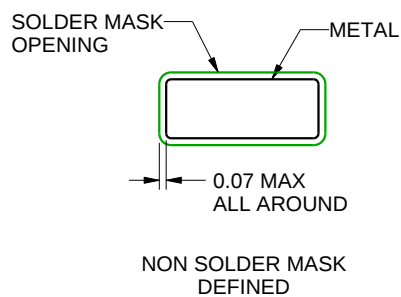
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

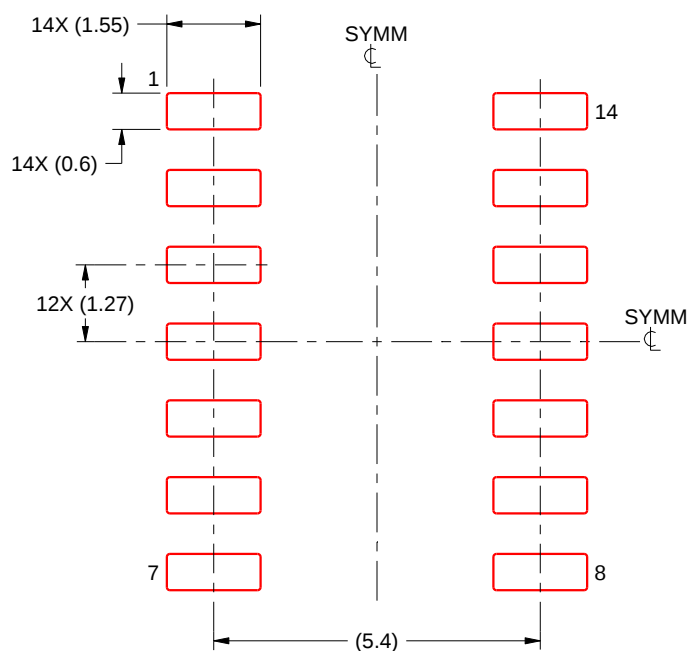
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

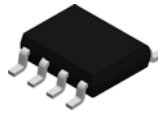


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

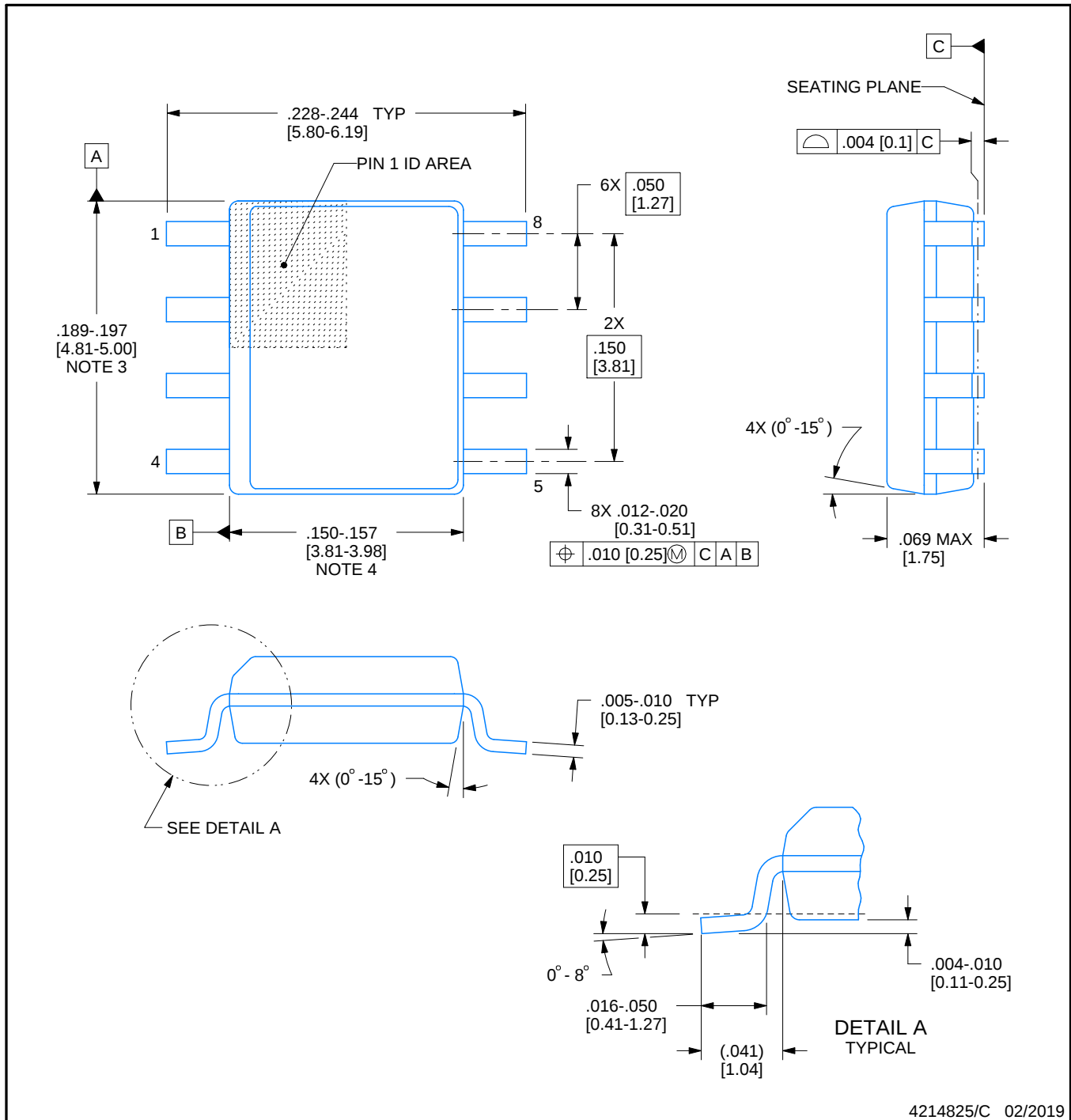


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

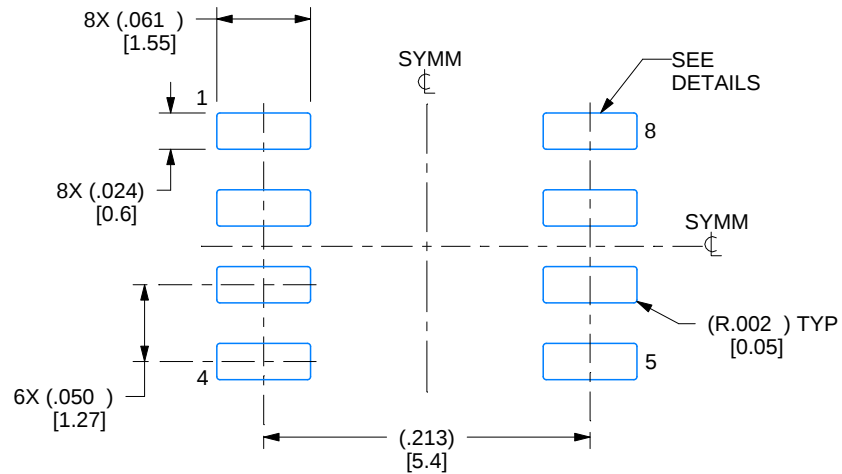
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

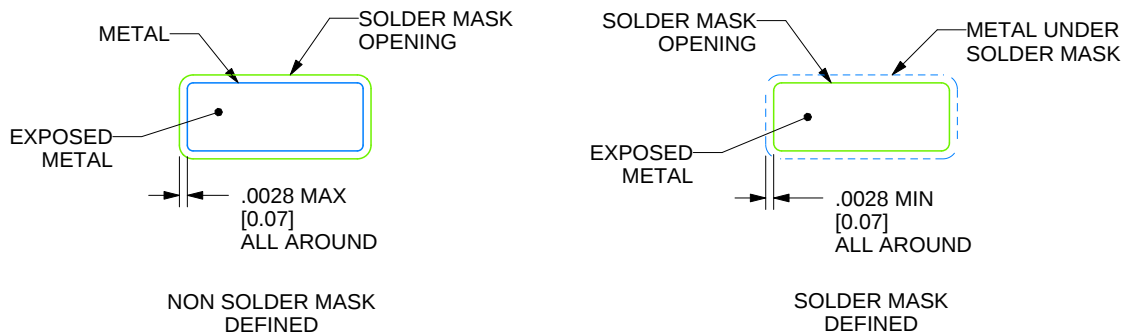
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

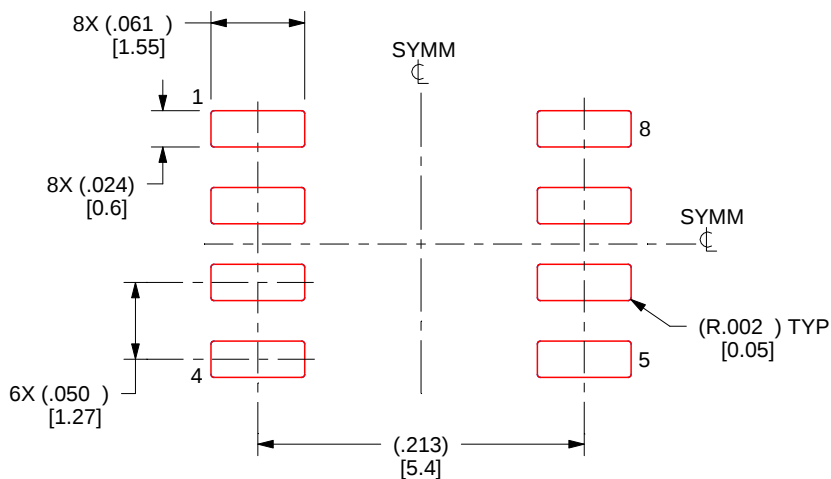
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

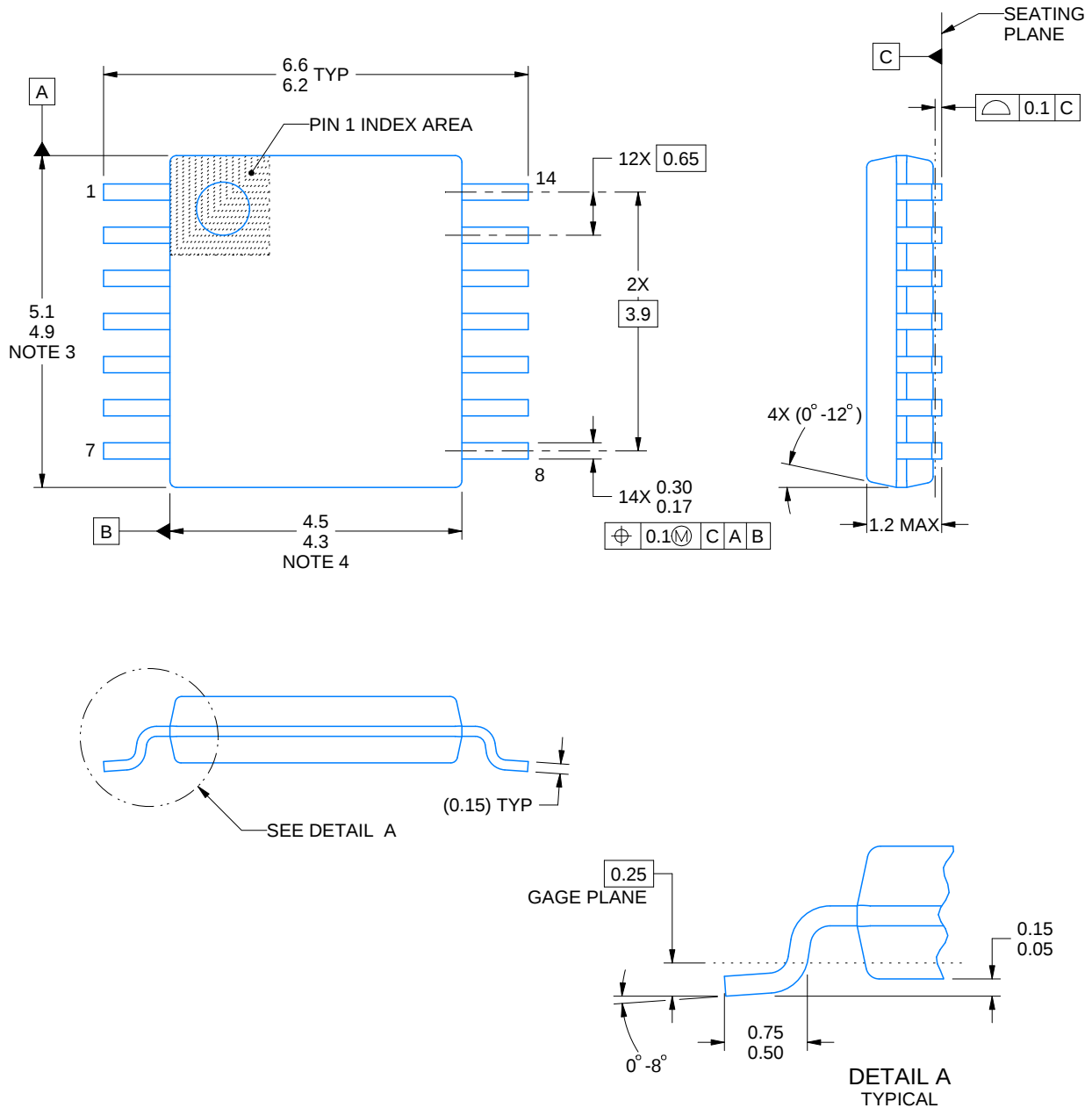
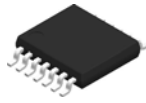


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

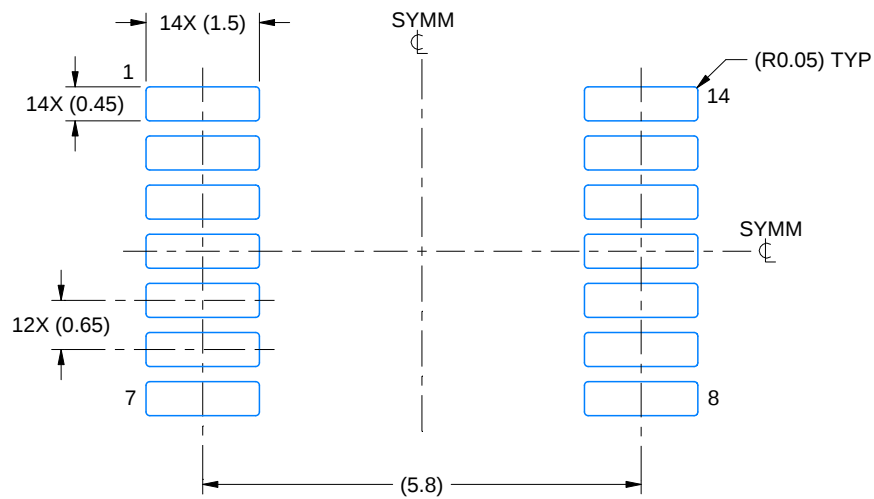
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

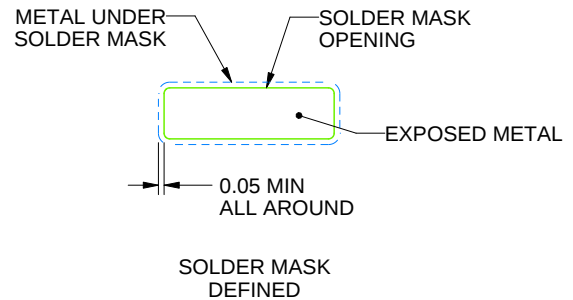
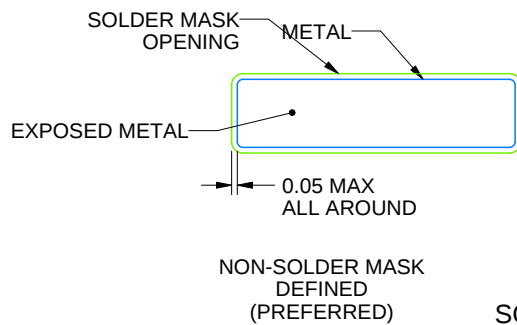
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

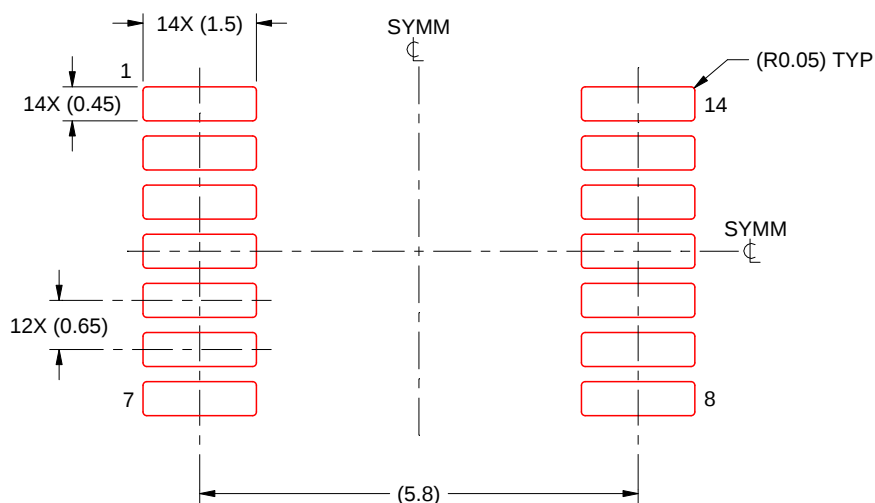
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司