LSF0108 适用于开漏和推挽应用的 8 通道自动双向多电压电平转换器

1 特性

- 在无方向引脚的情况下提供双向电压转换
- 在不超过 30pF 的容性负载条件下支持最高达 100MHz 的上行转换和超过 100MHz 的下行转换，在 50pF 的容性负载条件下支持高达 40MHz 的上行或下行转换
- 可实现以下电压之间的双向电压电平转换
  - 0.65V ↔ 1.8/2.5/3.3/5V
  - 0.95V ↔ 1.8/2.5/3.3/5 V
  - 1.2V ↔ 1.8/2.5/3.3/5V
  - 1.8V ↔ 2.5/3.3/5V
  - 2.5V ↔ 3.3/5V
  - 3.3V ↔ 5V
- 低待机电流
- 支持 TTL 的 5V 耐受 I/O 端口
- 低 R_{ON} 可提供较少的信号失真
- 针对 EN 为低电平的高阻抗 I/O 引脚
- 采用直通引脚以简化 PCB 布线
- 闩锁性能超过 100mA，符合 JESD 17 规范
- –40°C 至 125°C 工作温度范围

2 应用

- GPIO、MDIO、PMBus、SMBus、SDIO、UART、I²C 和电信基础设施中的其他接口
- 企业系统
- 通信设备
- 个人电子产品
- 工业应用

3 说明

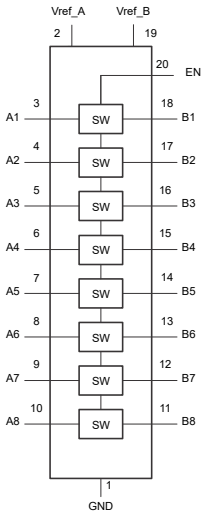
LSF 系列器件支持双向电压转换，而且无需使用 DIR 引脚，更大限度降低了系统工作量（对于 PMBus、I²C、SMBus 等）。LSF 系列器件在容性负载 ≤ 30pF 时支持高达 100MHz 的上行转换和 100MHz 以上的下行转换；在容性负载为 50pF 时支持高达 40MHz 的上行或下行转换，因此 LSF 系列可支持更多的消费类或电信接口（MDIO 或 SDIO）。

LSF 系列的 IO 端口能够耐受 5V 电压，因此与工业和电信应用中的 TTL 电平兼容。LSF 系列极具灵活性，能够为每条通道设置不同电压转换电平。

封装信息

器件型号	封装(1)	封装尺寸（标称值）
LSF0108	RKS（VQFN，20）	4.50mm x 2.50mm
	PW（TSSOP，20）	4.40mm x 6.50mm
	DGS（VSSOP，20）	3.00 mm x 5.10 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



功能方框图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议工作条件 5
6.4 热性能信息 6
6.5 电气特性 6
6.6 开关特性（下行转换） 7
6.7 开关特性（上行转换） 7
6.8 典型特性 8
7 参数测量信息 9
8 详细说明 10
8.1 概述 10
8.2 功能方框图 10
8.3 特性说明 10
8.4 器件功能模式 11
9 应用和实施 13
9.1 应用信息 13
9.2 典型应用 13
10 电源相关建议 20
11 布局 20
11.1 布局指南 20
11.2 布局示例 20
12 器件和文档支持 21
12.1 相关文档 21
12.2 接收文档更新通知 21
12.3 支持资源 21
12.4 商标 21
12.5 静电放电警告 21
12.6 术语表 21
13 机械、封装和可订购信息 21

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision L (November 2022) to Revision M (May 2023) — **Page**

- 从数据表中删除了 *LSF0101* 和 *LSF0102* 器件 1
- 向 *特性* 部分和整个数据表添加了 0.65V 电压范围功能 1
- 更改了 *建议运行条件* 部分中的输入/输出电压和基准电压 5
- 更改了 *热性能信息* 部分 6
- 更新了 *电气特性* 部分中规格为 0.65V 的导通状态电阻 6
- 更改了所有 *开关特性* 测试条件 7
- 将公式移动到 *上行和下行转换* 部分中的“上行转换” 12
- 将 *启用、禁用和基准电压指南* 部分中的 *上拉电阻器* 更改为 *偏置电阻器* 14

Changes from Revision K (May 2021) to Revision L (November 2022) — **Page**

- 更新了 *应用* 部分 1
- 更新了 *说明* 部分 1
- 更新了 *引脚配置和功能* 部分 4
- 更改了 *热性能信息* 部分 6
- 更新了 *电气特性* 部分 6
- 更新了 *功能方框图* 部分 10
- 更新了 *自动双向电压转换* 部分 10
- 更新了 *输出使能* 部分 11
- 更新了 *器件功能模式* 部分 11
- 添加了 *上行和下行转换* 部分 12
- 更新了 *应用信息* 部分 13
- 更新了 *启用、禁用和基准电压指南* 部分 14
- 添加了 *偏置电路* 部分 14
- 添加了 *单电源转换* 部分 17

Copyright © 2023 Texas Instruments Incorporated

Changes from Revision J (April 2020) to Revision K (May 2021) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 更新了*双向转换* 部分，包含了范围广泛的术语.....14

Changes from Revision I (June 2019) to Revision J (April 2020) **Page**

- 添加了 *Vref_B < Vref_A + 0.8V 时的电压转换* 部分 19

Changes from Revision H (June 2019) to Revision I (July 2019) **Page**

- 将产品状态从“预告信息混合”更改为“量产数据”.....1
- 在“器件信息”表中删除了 DTQ 封装的预告信息注释。.....1
- 删除了“引脚配置和功能”部分中 DTQ 封装的“预告信息”注释.....4
- 从“热性能信息”表中删除了 DTQ 封装的预告信息注释 6

Changes from Revision G (February 2016) to Revision H (June 2019) **Page**

- 向“器件信息”表添加了针对 DTQ 封装的预告信息注释.....1
- 向 LSF0101“热性能信息”表添加了预告信息注释.....6
- 为了清晰起见，对“应用和实施”部分进行了整体改进.....13

Changes from Revision F (October 2015) to Revision G (October 2015) **Page**

- 向“器件信息”添加了所有可用封装尺寸并更改了引脚图说明.....1

Changes from Revision E (July 2015) to Revision F (October 2015) **Page**

- 将“特性”从“支持 100MHz 以上的高速转换”改为“容性负载 ≤ 30pF 时，支持高达 100MHz 的升压转换和 100MHz 以上的降压转换；容性负载为 50pF 时，支持高达 40MHz 的升压/降压转换。”.....1
- 更新了从通用 LSF 器件更改为特定 LSF 器件的所有传播延迟表.....7

Changes from Revision D (October 2014) to Revision E (July 2015) **Page**

- 删除了“特性”中的“低于最大传播延迟 1.5ns”。.....1
- 更新了“ESD 等级”表.....5
- 将自然通风条件下工作温度 TA 的最大值从 85°C 增加到 125°C.....5
- 更新了*器件功能模式* 部分.....11
- 更新了*确定上拉电阻器的大小* 部分.....15

Changes from Revision C (May 2014) to Revision D (August 2014) **Page**

- 将双向电压电平转换从 1.0 更改为 0.95.....1
- 更改了 YZT 封装，旨在修正视图错误.....1
- 更改了 YZT 封装，旨在修正视图错误.....4
- 添加了 Vref_A 脚注.....14

Changes from Revision B (May 2014) to Revision C (May 2014) **Page**

- 已将 LSF0108 状态从预发布更改为量产。.....1
- 已更新文档标题。.....1
- 更新了“处理额定值”表.....5

Changes from Revision A (January 2014) to Revision B (February 2014) **Page**

- 向数据表添加了 LSF0108.....1

Changes from Revision * (December 2013) to Revision A (January 2014) **Page**

- 更新了器件型号.....1

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

引脚排列图未按比例绘制

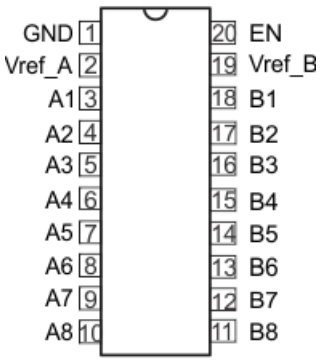


图 5-1. LSF0108 PW 或 DGS 封装， 20 引脚 TSSOP 或 VSSOP （顶视图）

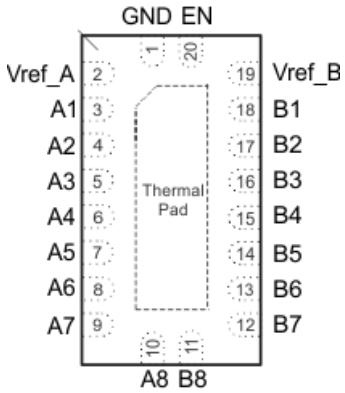


图 5-2. LSF0108 RKS 封装， 20 引脚 VQFN （透明顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
An	3 至 10	I/O	自动双向数据端口
Bn	18 至 11	I/O	
EN	20	I	使能输入；连接到 Vref_B 并通过高电阻 (200kΩ) 上拉。请参阅针对 LSF 系列使用使能引脚
GND	1	—	接地
Vref_A	2	—	基准电源电压。 如需了解适当的器件偏置，请参阅 节 9 和了解 LSF 系列的偏置电路。
Vref_B	19	—	

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_I	输入电压范围 (2)	-0.5	7	V
$V_{I/O}$	输入/输出电压范围 (2)	-0.5	7	V
	连续通道电流		128	mA
I_{IK}	输入钳位电流 (V_I < 0)		-50	mA
$T_{J(Max)}$	结温		150	°C
T_{stg}	贮存温度	– 65	150	°C

(1) *超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件、但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。*

(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
$V_{I/O}$	输入/输出电压	A1、A2 - An，B2 - Bn	0	5.5	V
$V_{ref_A/B/EN}$ (1)	基准电压		0	5.5	V
EN 开关(2)	开关模式使能电压（开关模式使能电压）		1.5	5.5	V
I_{PASS}	导通开关电流			64	mA
T_A	环境温度		-40	125	°C

(1) 为了支持转换，V_{REF1} 支持 0.65V 至 V_{REF2} - 0.6V 的电压范围。V_{REF2} 必须介于 V_{REF1} + 0.6V 至 5.5V 之间。有关更多信息，请参阅“典型应用”。

(2) 为了支持开关，无需连接 V_{REF1} 和 V_{REF2}。当要启用开关模式时，EN 引脚应使用不小于 1.5V 的电压。此引脚上的使能电压应等于 1.5V 或 I/O 电源电压，以较高者为准。

Copyright © 2023 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		LSF0108			单位
		PW (TSSOP)	RKS (VQFN)	DGS (VSSOP)	
		20 个引脚	20 个引脚	20 个引脚	
$R_{\theta JA}$	结至环境热阻	108.8	74.3	123	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45.7	76.6	62.2	°C/W
$R_{\theta JB}$	结至电路板热阻	61.8	46.6	77.4	°C/W
Ψ_{JT}	结至顶部特征参数	10.4	13.9	8.8	°C/W
Ψ_{JB}	结至电路板特征参数	61.1	46.5	77.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件			最小值	典型值(1)	最大值	单位
V_{IK}	输入钳位电压	I_I = -18mA	V_{EN} = 0V		-1.2		0	V
I_{IH}	输入漏电流	V_I = 5V，V_O = 0 V	V_{EN} = 0V		.001	0.5	3	μA
I_{CC}	电源电流	V_{ref_B} = V_{EN} = 5.5V，V_{ref_A} = 4.5V，I_O = 0，V_I = V_{CC} 或 GND			.002	0.05	1.5	μA
$C_{I(EN)}$	输入电容	V_I = 3V 或 0V				40		pF
$C_{IO(off)}$	关断电容	V_O = 3V 或 0V	V_{EN} = 0V			4	6	pF
$C_{IO(on)}$	导通电容	V_O = 3V 或 0V	V_{EN} = 3 V			10.5	12.5	pF
R_{ON} (2)	导通状态电阻	V_I = 0V，V_{ref_B} = 5V(3)	I_O = 64 mA	V_{ref_A} = 1V		5		Ω
				V_{ref_A} = 1.8V		4		
				V_{ref_A} = 2.5V		3		
				V_{ref_A} = 3.3V		3		
			I_O=20 mA	V_{ref_A} = 0.65V		15		
			I_O = 32 mA	V_{ref_A} = 1V		5		
				V_{ref_A} = 1.8V		4		
				V_{ref_A} = 2.5V		3		
				V_{ref_A} = 3.3V		3		
		V_I = 1.8V，V_{ref_B} = 5V(3)	I_O = 15 mA	V_{ref_A} = 3.3V		4		
		V_I = 1V，V_{ref_B} = 3.3V(3)	I_O = 10 mA	V_{ref_A} = 1.8V		7		
		V_I = 0V，V_{ref_B} = 3.3V(3)	I_O = 10 mA	V_{ref_A} = 0.65V		15		
				V_{ref_A} = 1V		5		
		V_I = 0V，V_{ref_B} = 1.8V(3)	I_O = 10 mA	V_{ref_A} = 0.65V		15		
				V_{ref_A} = 1V		6		

(1) 所有典型值均在 T_A=25°C 下测得。
(2) 在通过开关的指示电流下，由 A 和 B 引脚之间的电压降测量。最小导通状态电阻由两个引脚（A 或 B）的最低电压决定。
(3) 仅在连接了拉电流配置的应用中测量。参阅节 7

Copyright © 2023 Texas Instruments Incorporated

6.6 开关特性（下行转换）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件		最小值	典型值	最大值	单位
T_{PLH}	低电平到高电平传播延迟	V_{CCB} = 3.3V，V_{CCB} = V_{IH} = V_{ref_A} + 1，V_{IL} = 0，V_M = 0.5V_{ref_A} (2)	C_L = 15pF		0.75		ns
			C_L = 30pF		1.4		
			C_L = 50pF		1.9		
T_{PHL}	高电平到低电平传播延迟		C_L = 15pF		0.85		ns
			C_L = 30pF		1.5		
			C_L = 50pF		2		
T_{PLH}	低电平到高电平传播延迟	V_{CCB} = 2.5V，V_{CCB} = V_{IH} = V_{ref_A} + 1，V_{IL} = 0，V_M = 0.5V_{ref_A} (2)	C_L = 15pF		0.8		ns
			C_L = 30pF		1.45		
			C_L = 50pF		2		
T_{PHL}	高电平到低电平传播延迟		C_L = 15pF		0.9		ns
			C_L = 30pF		1.55		
			C_L = 50pF		2.1		

(1) 取决于模拟，未经生产环境测试
(2) 下行转换：高压侧向低压侧驱动。请参阅图 7.2 *直接传播测量*

6.7 开关特性（上行转换）

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件		最小值	典型值	最大值	单位
T_{PLH}	低电平到高电平传播延迟	V_{CCB} = 3.3V，V_{CCB} = V_T = V_{ref_A} + 1，V_{ref_A} = V_{IH}，V_{IL} = 0，V_M = 0.5V_{ref_A} 以及 R_L = 300Ω(2)	C_L = 15pF		0.9		ns
			C_L = 30pF		1.55		
			C_L = 50pF		2.1		
T_{PHL}	高电平到低电平传播延迟		C_L = 15pF		1		ns
			C_L = 30pF		1.65		
			C_L = 50pF		2.2		
T_{PLH}	低电平到高电平传播延迟	V_{CCB} = 2.5V，V_{CCB} = V_T = V_{ref_A} + 1，V_{ref_A} = V_{IH}，V_{IL} = 0，V_M = 0.5V_{ref_A} 以及 R_L = 300Ω(2)	C_L = 15pF		0.8		ns
			C_L = 30pF		1.35		
			C_L = 50pF		1.8		
T_{PHL}	高电平到低电平传播延迟		C_L = 15pF		0.9		ns
			C_L = 30pF		1.45		
			C_L = 50pF		1.9		

(1) 取决于模拟，未经生产环境测试
(2) 上行转换：低压侧向高压侧驱动。请参阅图 7.2 *直接传播测量*

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性

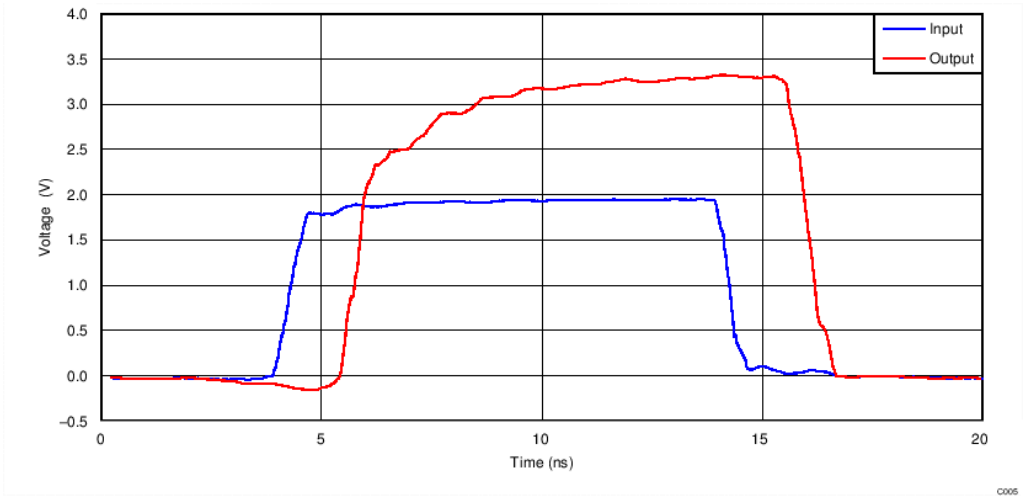
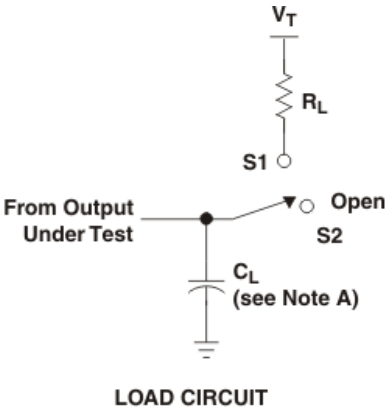


图 6-1. 信号完整性（50MHz 时的 1.8V 至 3.3V 上行转换）

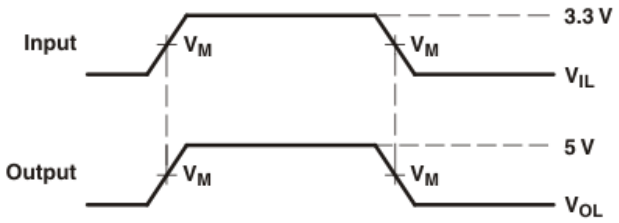
Copyright © 2023 Texas Instruments Incorporated

7 参数测量信息

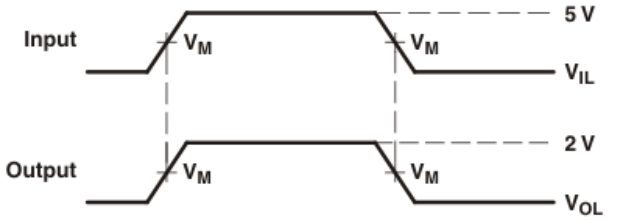


LOAD CIRCUIT

USAGE	SWITCH
Translating up	S1
Translating down	S2



TRANSLATING UP



TRANSLATING DOWN

NOTES: A. C_L includes probe and jig capacitance.
B. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2 ns, t_f ≤ 2 ns.
C. The outputs are measured one at a time, with one transition per measurement.

图 7-1. 输出负载电路

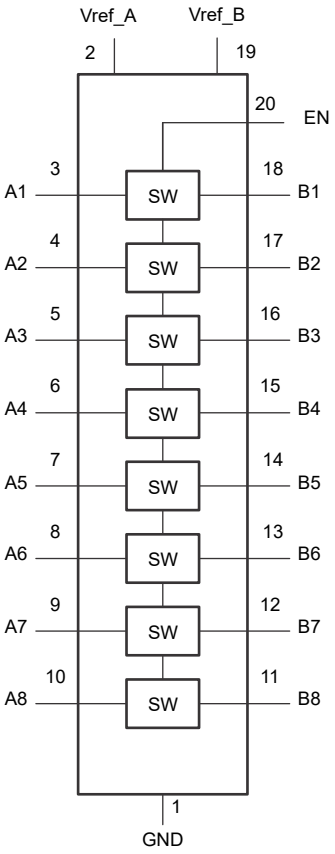
Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

在电平转换应用中，LSF 系列可用于连接不同接口电压下运行的器件或系统。LSF 系列非常适合于开漏驱动器被接至数据 I/O 的应用。如有适当的上拉电阻器和布局，LSF 可以达到 100MHz。LSF 系列也可用于将推挽驱动器连接到数据 I/O 的应用。有关器件设置和运行的概述，请参阅 *Logic Minute* 系列培训：*了解 LSF 系列双向多电压电平转换器*。

8.2 功能方框图



8.3 特性说明

8.3.1 自动双向电压转换

LSF0108 器件是自动双向电压电平转换器，在 V_{ref_A} 上的工作电压范围为 0.95V 至 5.5V，在 V_{ref_B} 上的工作电压范围为 1.8V 至 5.5V。支持在 0.95V 至 5.5V 之间进行双向电压转换，在开漏或推挽应用中无需方向引脚。对于采用 30pF 电容和 250Ω 上拉电阻器的开漏系统，LSF 系列支持传输速度大于 100Mbps 的电平转换应用。控制器的输出驱动器和外设输出都可以是推挽或开漏（可能需要上拉电阻器）。在上行和下行转换中，B 侧通常指高侧，是指连接到 B 端口的器件。A 侧可称为低侧。

Copyright © 2023 Texas Instruments Incorporated

8.3.2 输出使能

要启用 I/O 引脚，运行期间 EN 输入应直接连接到 V_{ref_B}，且两个引脚必须通过偏置电阻器（通常为 200kΩ）上拉至高侧 (V_{CCB})。要确保上电、断电或运行期间的高阻抗状态，EN 引脚必须为低电平。EN 引脚应始终直接连接至 V_{ref_B} 引脚，建议由开漏驱动器禁用，不使用上拉电阻器。这样 V_{ref_B} 就能够调节 EN 输入并对通道进行偏置，以进行适当转换。建议在 V_{ref_B} 上使用滤波电容器，为器件提供稳定电源。

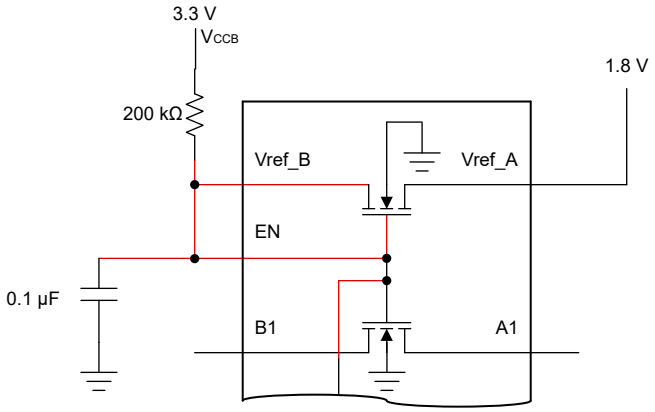


图 8-1. 使能引脚直接连接至 V_{ref_B}，并通过偏置电阻器连接至 V_{CCB}

开漏 I/O 器件的电源电压可能与 LSF 使用的电源完全不同，对运行没有影响。有关如何使用使能引脚的更多详细信息，请参阅*针对 LSF 系列使用使能引脚*视频。

表 8-1. 使能引脚功能表

输入 EN(1) 引脚	数据端口状态
直接连接 V_{ref_B}	An = Bn
L	高阻态

(1) EN 由 V_{ref_B} 逻辑电平控制。

8.4 器件功能模式

对于每个通道 (n)，当 An 或 Bn 端口为低电平时，开关在 An 和 Bn 端口之间提供一个低阻抗路径；相应的 Bn 或 A 端口将被拉至低电平。开关的低 R_{ON} 可实现具有超小传播延迟和信号失真的连接。

表 8-1 汇总了器件运行相关信息。有关 LSF 系列器件正常运行的更多详细信息，请参阅*使用 LSF 系列进行下行转换*和*使用 LSF 系列进行上行转换*视频。

表 8-2. 器件功能

信号方向(1)	输入状态	开关状态	功能
B 至 A（下行转换）	B = 低电平	导通（低阻抗）	A 侧电压通过开关被拉低至 B 侧电压
	B = 高电平	关闭（高阻抗）	A 侧电压被钳制于 V_{ref_A} (2)
A 至 B（上行转换）	A = 低电平	导通（低阻抗）	B 侧电压通过开关被拉低至 A 侧电压
	A = 高电平	关闭（高阻抗）	B 侧电压被钳制在 V_{ref_A}，然后上拉至 V_{PU} 电源电压

(1) 下游通道不应通过低阻抗驱动器主动驱动，否则可能会发生总线争用。
(2) A 侧可以上拉至 V_{ref_A}，实现额外的电流驱动能力，或者也可使用一个上拉电阻器上拉至 V_{ref_A} 之上。应始终遵循*建议运行条件*部分的规定。

Copyright © 2023 Texas Instruments Incorporated

8.4.1 上行和下行转换

8.4.1.1 上行转换

当信号从 A 驱动到 B，并且 A 端口为高电平时，开关将关闭，然后 Bn 端口将由连接到上拉电源电压 (V_{PU}) 的上拉电阻器驱动到高于 V_{ref_A} 的电压。利用此功能，可在无需方向控制的情况下实现用户选择的较高和较低电压间的无缝转换。高侧始终需要上拉电阻器，如果器件输出的低侧为开漏，或其输入的漏电流大于 1μA，低侧才需要上拉电阻器。

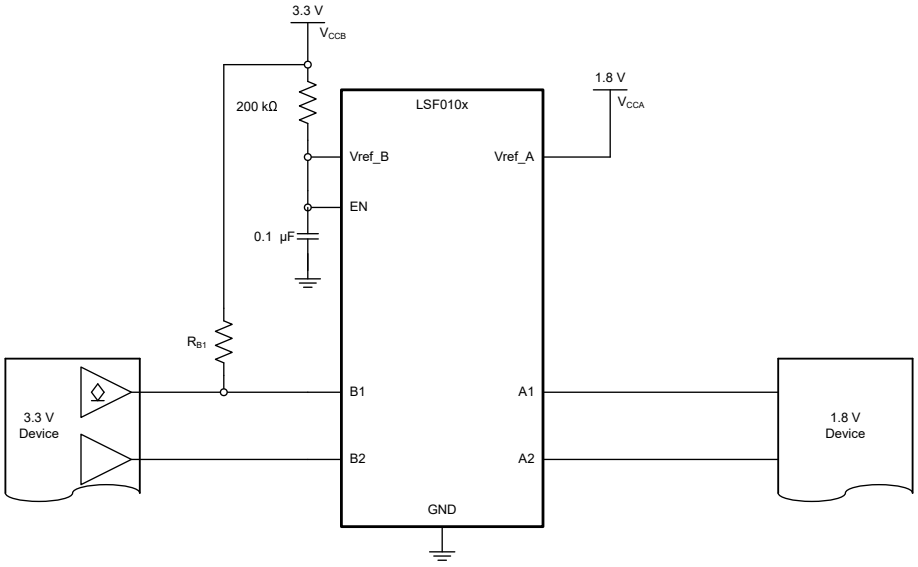


图 8-2. 采用推挽和开漏配置的上行转换示例原理图

使用 LSF 进行上行转换需要关注两个重要因素：最大数据速率和灌电流。最大数据速率与输出信号的上升沿直接相关。灌电流取决于电源值和所选的上拉电阻值。方程式 1 显示了最大数据速率公式，方程式 2 显示了最大灌电流公式，这两个公式均为估算值。要达到高速度，需要低 RC 值，也需要强大的驱动器。请参阅*使用 LSF 系列进行上行转换*视频，了解如何基于电路元件估算数据速率和灌电流。

$$\frac{1}{3 \times 2R_{B1}C_{B1}} = \frac{1}{6R_{B1}C_{B1}}\left(\frac{bits}{second}\right) \quad (1)$$

$$I_{OL} \cong \frac{V_{CCA}}{R_{A1}} + \frac{V_{CCB}}{R_{B1}}\left(A\right) \quad (2)$$

8.4.1.2 下行转换

当信号从 Bn 端口到 An 端口被驱动为高电平时，开关将关闭，将 An 端口上的电压钳制于 V_{ref_A} 设置的电压。可以在器件任一侧添加一个上拉电阻器。在特殊情况下，可以移除一个或两个上拉电阻器。如果信号始终从推挽式发送器下行转换，则可以移除 B 侧的电阻器。如果流入 A 侧接收器的漏电流小于 1μA，也可以移除 A 侧的电阻器。如果从推挽输出向下转换到低泄漏输入，可以使用这种没有外部上拉电阻器的安排。对于开漏发送器，B 侧的上拉电阻器是必需的，因为开漏输出本身不能驱动高电平。有关器件运行的摘要，请参阅节 8.4。有关 LSF 系列器件正常运行的更多详细信息，请参阅*使用 LSF 系列进行上行转换*和*使用 LSF 系列进行下行转换*视频。

Copyright © 2023 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

LSF 器件可对开漏或推挽接口执行电压转换。表 9-1 提供了常见接口，以及 LSF 系列中的相应器件建议，该器件可支持相应位数。

表 9-1. 用于常见接口的电压转换器

部件名称	通道数量	接口
LSF0108	8	GPIO、MDIO、SDIO、SVID、UART、SMBus、PMBus、I^2C 和 SPI

有关 LSF 系列器件的一些重要提示如下：

- LSF 器件基于开关，而不是基于缓冲器（有关基于缓冲器的器件的更多信息，请参阅 TXB 系列）。
- 无法使用 1/Tpd 计算具体的数据速率。
- V_{CCB}/V_{CCA} 与 V_{ref_B} 或 V_{ref_A} 不同：V_{CCB} 是指提供给 LSF 器件的 B 侧电源电压，而 V_{ref_B} 是指 200k 电阻器另一侧的 V_{ref_B} 引脚（图 9-1 的引脚 7）处的电压。

9.2 典型应用

9.2.1 开漏接口（I^2C、PMBus、SMBus 和 GPIO）

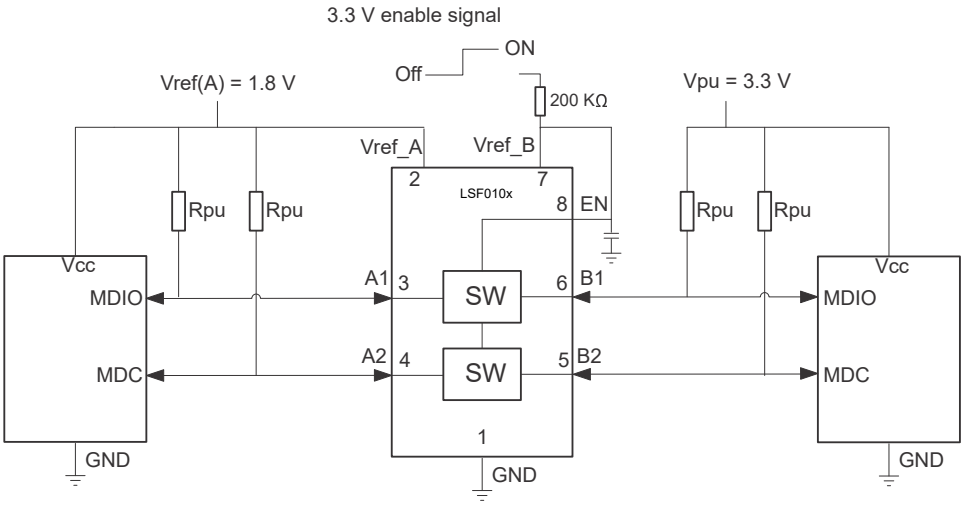


图 9-1. 用于开漏转换的典型应用电路（以 MDIO 为例）

9.2.1.1 设计要求

9.2.1.1.1 启用、禁用和基准电压指南

在前面的图中，V_{ref_B} 通过 200kΩ 电阻器连接至 3.3V 电源，V_{ref_A} 设为 1.8V。A1 和 A2 通道的最大输出电压等于 V_{ref_A}，B1 和 B2 通道的最大输出电压等于 V_{PU}。

LSF 系列具有一个 EN 输入，将 EN 设置为低电平可禁用器件，将所有 I/O 置于高阻抗状态。LSF 系列器件是开关型电压转换器，因此功耗非常低。TI 建议始终启用 LSF 系列的双向应用（I^2C、SMBus、PMBus 或 MDIO）。

表 9-2. 应用运行条件

参数		最小值	典型值	最大值	单位
V_{ref_A} (1)	基准电压 (A)	0.65		5.5	V
V_{ref_B}	基准电压 (B)	V_{ref_A} + 0.8		5.5	V
$V_{I(EN)}$	EN 引脚上的输入电压	V_{ref_A} + 0.8		5.5	V
V_{PU}	上拉电源电压	0		V_{ref_B}	V

(1) V_{ref_A} 要求为所有输入和输出的最低电压电平。

备注

需要使用 200kΩ 的偏置电阻，以便 V_{ref_B} 调节 EN 输入并适当地偏置器件，从而进行转换。

9.2.1.1.2 偏置电路

为确保正常运行，V_{CCA} 必须始终至少比 V_{CCB} 低 0.8V (V_{CCA} + 0.8 ≦ V_{CCB})。需要使用 200kΩ 的偏置电阻，以便 V_{ref_B} 调节 EN 输入并适当地偏置器件，从而进行转换。建议使用 0.1μF 的电容器来提供从 V_{ref_B} 到接地端的路径，从而消除高频噪声。为了实现出色的信号完整性、建议 V_{ref_B} 和 $V_{I(EN)}$ 要比 V_{ref_A} 高 1.0V。

尝试使用推挽输出器件直接驱动 EN 引脚，是使用 LSF0108 系列器件时非常常见的设计错误。还需要注意的是，在正常运行期间，电流确实会流入 A 侧电压电源。并非所有电压源都能灌入电流，因此请确保相应的设计能够处理该电流。更多设计细节，请参阅 *了解 LSF 系列的偏置电路* 视频。

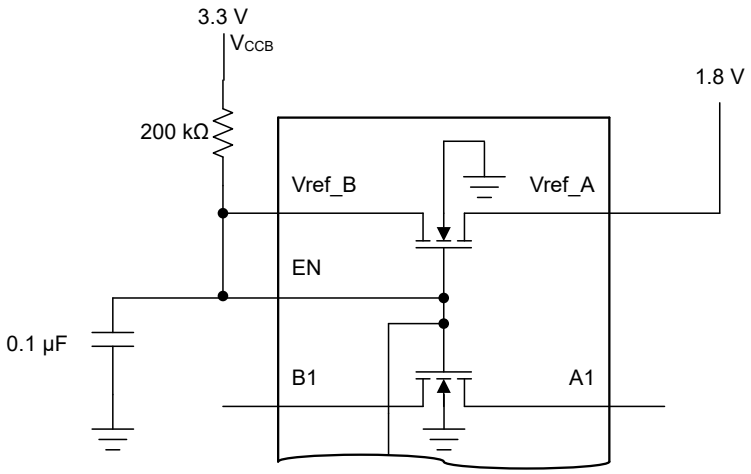


图 9-2. LSF010x-Q1 器件内部的偏置电路

9.2.1.2 详细设计过程

9.2.1.2.1 双向转换

对于双向转换配置（较高电压至较低电压或较低电压至较高电压），EN 输入必须连接到 V_{ref_B}，且两个引脚必须通过偏置电阻器（通常为 200kΩ）上拉至高侧 V_{CCB}。这样 V_{ref_B} 就能够调节 EN 输入并对通道进行偏置，以进行适

Copyright © 2023 Texas Instruments Incorporated

当转换。建议在 V_{ref_B} 上使用滤波电容器，为器件提供稳定电源。控制器输出驱动器可以是推挽式或开漏式（可能需要上拉电阻器），外设输出可以是推挽式或开漏式（需要上拉电阻器将 Bn 输出拉至 V_{PU}）。

备注

如果任一输出为推挽式，则数据必须是单向的，或者输出必须为三态并由某种方向控制机制进行控制，以防止在任一方向上出现高电平到低电平的总线争用。如果两个输出均为开漏式，则无需方向控制。

9.2.1.2.2 确定上拉电阻器的大小

上拉电阻值需要将传输晶体管处于导通状态时流经它的电流限制在大约 15mA。这样可确保电压降为 260mV 至 350mV，在下游通道上提供有效的低电平信号。如果流经传输晶体管的电流高于 15mA，导通状态下的压降也会更高。要将流经每个传输晶体管的电流设置为 15mA，请使用以下公式计算上拉电阻值：

$$Rpu = \frac{(\mathrm{Vpu} - 0.35\ \mathrm{V})}{0.015\ A} \quad (3)$$

表 9-3 列出了电流为 8mA、5mA 和 3mA 时的电阻值和基准电压。应使用 +10% 列中显示的电阻值（或更大的值），确保晶体管上的压降为 350mV 或更小。外部驱动器必须能够以 0.175V 的电压从 LSF 系列器件两侧的电阻器中吸收总电流，尽管 15mA 电流仅适用于流经 LSF 系列器件的电流。在 0.175V 时驱动低电平状态的器件必须从一个或多个上拉电阻器吸引电流，并保持 V_{OL}。电阻的减小将增大电流，从而增大 V_{OL}。

表 9-3. 上拉电阻器值

V_{PU} (1) (2)	8mA		5mA		3mA	
	标称值 (Ω)	+10%(3) (Ω)	标称值 (Ω)	+10%(3) (Ω)	标称值 (Ω)	+10%(3) (Ω)
5V	581	639	930	1023	1550	1705
3.3V	369	406	590	649	983	1082
2.5V	269	296	430	473	717	788
1.8V	181	199	290	319	483	532
1.5V	144	158	230	253	383	422
1.2V	106	117	170	187	283	312

(1) V_{OL} = 0.35V 时计算得出
(2) 假设规定电流下输出驱动器 V_{OL} = 0.175V
(3) +10% 来补偿 V_{DD} 范围和电阻器容差

Copyright © 2023 Texas Instruments Incorporated

9.2.1.3 应用曲线

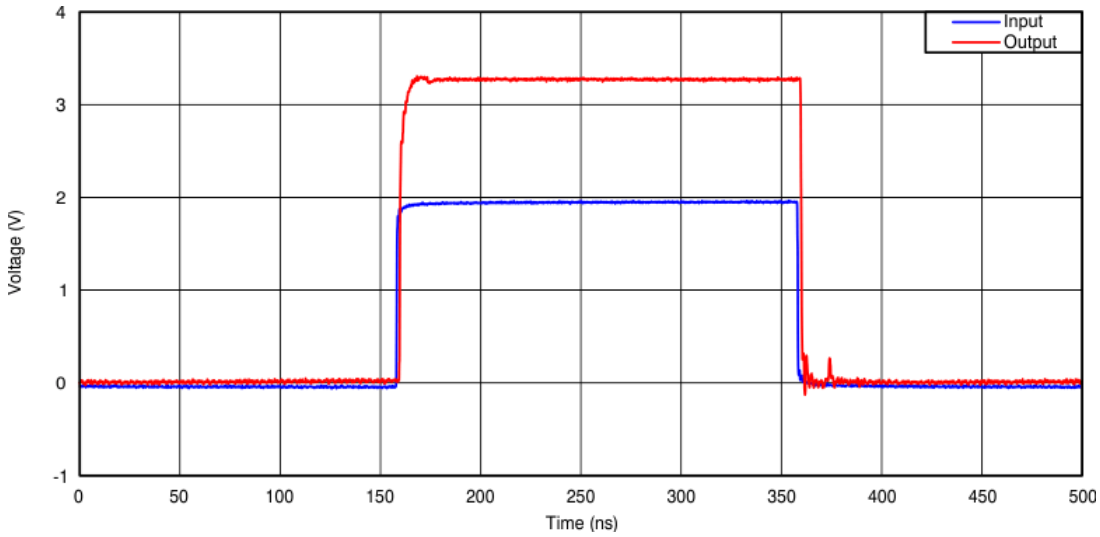


图 9-3. 开漏转换（1.8V 至 3.3V，2.5MHz）

9.2.2 混合模式电压转换

每个通道的电源电压 (V_{PU}) 可由一个上拉电阻器单独设置。图 9-4 展示了这种混合模式多电压转换的示例。有关多电压转换的更多详细信息，请参阅*使用 LSF 系列进行多电压转换*视频。

在 V_{ref_B} 上拉至 5V，V_{ref_A} 连接至 1.8V 的情况下，所有通道将被钳制于 1.8V，此时可使用一个上拉电阻定义给定通道的高电平电压。

- **推挽式下行转换（5V 至 1.8V）：**通道 1 展示了此设置的一个示例。B1 为 5V 时，A1 被钳制于 1.8V，B1 为低电平时，A1 通过开关驱动为低电平。
- **推挽式上行转换（1.8V 至 5V）**：通道 2 展示了此设置的一个示例。A2 为 1.8V 时，开关为高阻抗，B2 通道上拉至 5V。A2 为低电平时，B2 通过开关驱动为低电平。
- **推挽式下行转换（3.3V 至 1.8V）：**通道 3 和 4 是此设置的示例。B3 或 B4 驱动至 3.3V 时，A3 或 A4 被钳制于 1.8V，当 B3 或 B4 为低电平时，A3 或 A4 通过开关驱动为低电平。
- **开漏双向转换 (3.3V ↔ 1.8V)：**通道 5 至 8 是此设置的示例。这些通道适用于 I^2C 和 MDIO 的双向运行，可通过开漏驱动器在 1.8V 和 3.3V 之间进行转换。

Copyright © 2023 Texas Instruments Incorporated

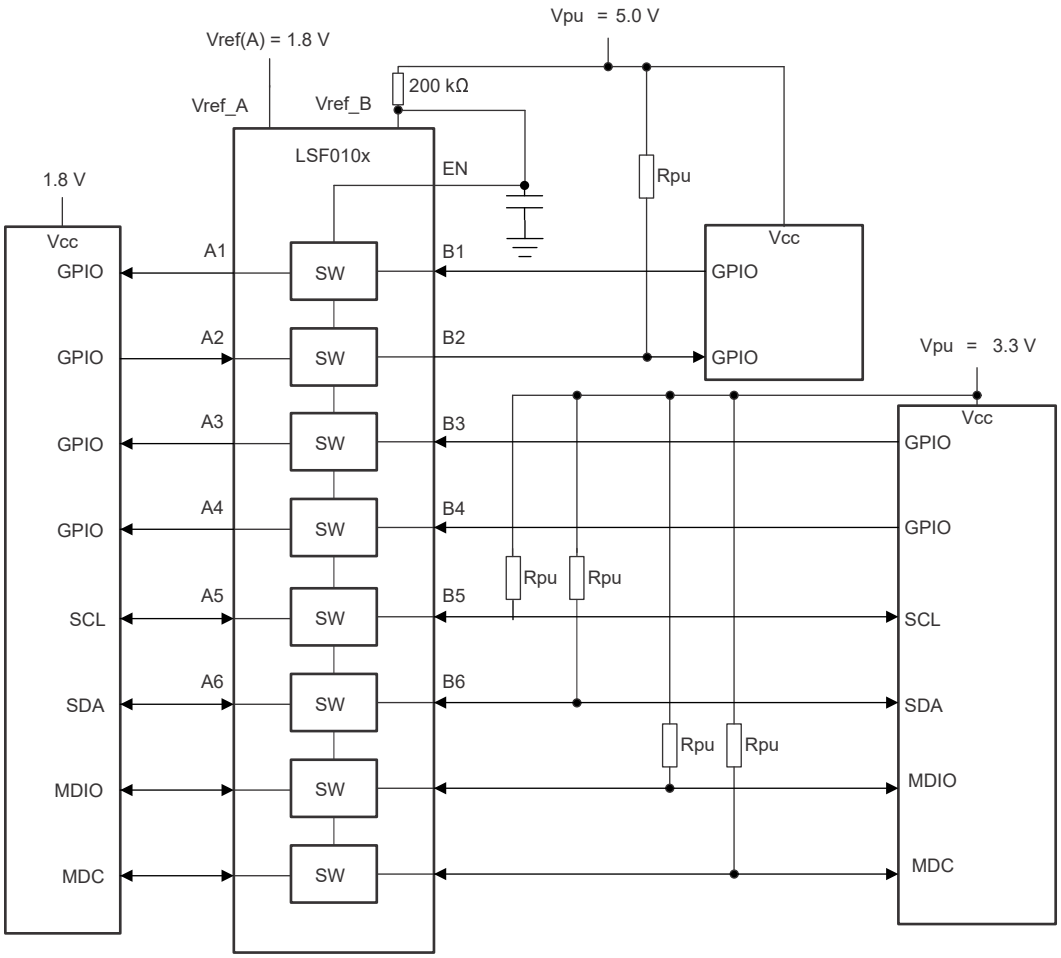


图 9-4. 使用 LSF010x-Q1 进行多电压转换

9.2.3 单电源转换

有时，外部器件的电压未知，可能高于或低于所需转换电压，阻止 LSF 的正常连接。在这种情况下，可在 A 侧添加电阻器，来代替第二个电源 - 这是 LSF 单电源运行的示例，如图 9-5 所示。在下图中，使用单个 3.3V 电源在 3.3V 器件和可在 1.8V 和 5.0V 之间变化的器件之间进行转换。添加了 R1 和 R2 来代替第二个电源。请注意，由于 V_{ref_A} 引脚会流出一些电流，不能将其视为简单的分压器。

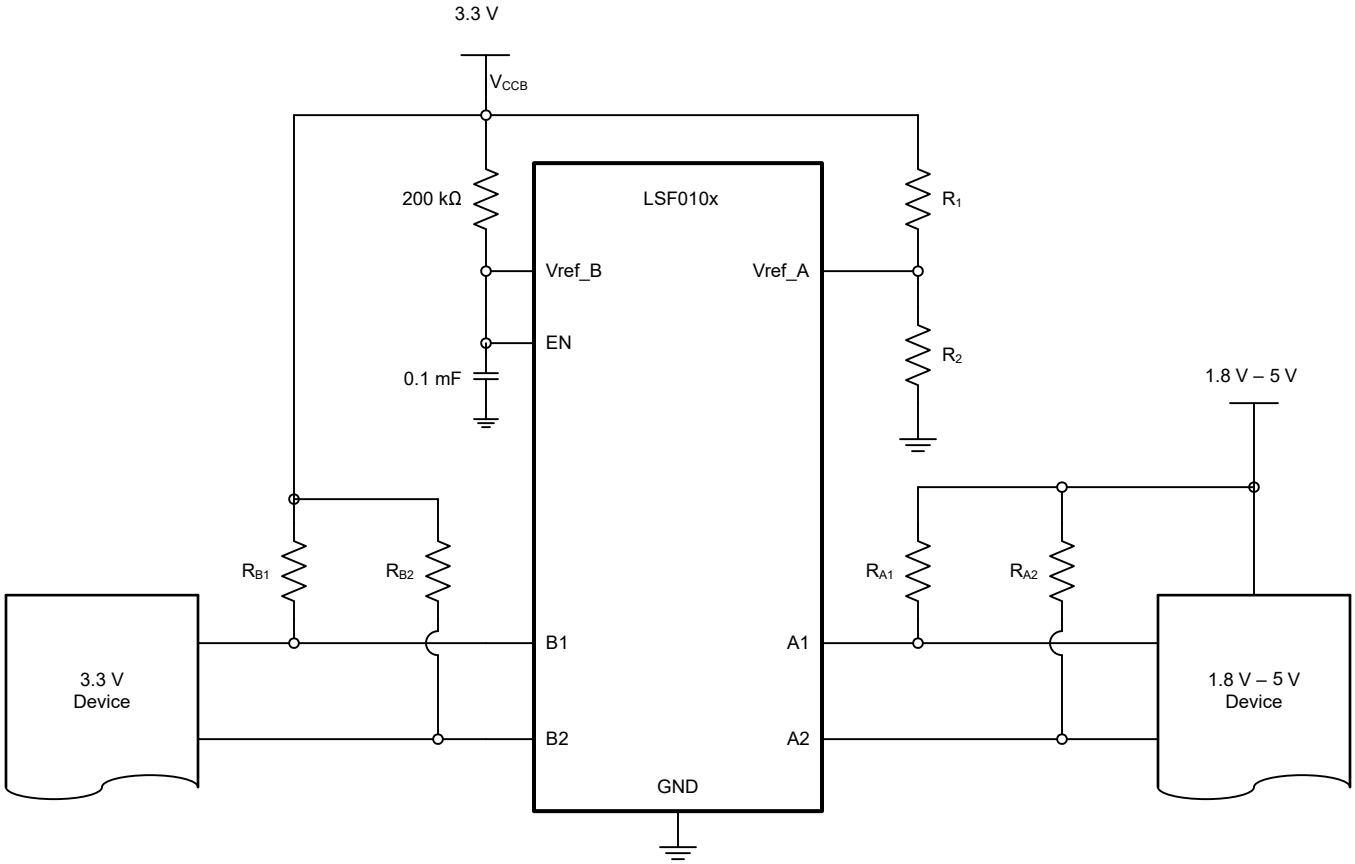


图 9-5. 3.3V 电源的单电源转换

为 R1 和 R2 选择电阻值的步骤如下：

1. 为 R1 选择一个值。通常会选择使用 1MΩ 的值来降低电流消耗。
2. 将您的系统的值代入以下公式。请注意，V_{ref_A} 是系统中的最低电压。V_{CCB} 是主电源，R1 是从第 1 步中选择的值。

$$R_2 = \frac{200\left(10^3\right) \text{ x } R_1 \text{ x } V_{REFA}}{\left(200\left(10^3\right) + R_1\right)\left(V_{CCB} - V_{REFA}\right) - 0.85 \text{ x } R_1} \quad (4)$$

所用的单电源必须至少比所需的最低转换电压大 0.8V。V_{ref_A} 的电压必须选为系统中使用的最低电压。LSF 评估模块 (LSF-EVM) 包含未组装的焊盘，用于放置 R1 和 R2 以进行单电源运行测试。有关单电源转换原理图和详细信息的示例，请参阅*使用 LSF 系列进行单电源转换*视频。

Copyright © 2023 Texas Instruments Incorporated

9.2.4 V_{ref_B} < V_{ref_A} + 0.8V 时的电压转换

如*启用、禁用和基准电压指南*部分所述，通常建议 V_{ref_B} > V_{ref_A} + 0.8V；但只要在设计时关注额外的注意事项，该器件仍可在 V_{ref_B} < V_{ref_A} + 0.8V 的条件下运行。

典型运行 (V_{ref_B} > V_{ref_A} + 0.8V)：在这种情况下，A 侧不需要上拉电阻器来实现正确的下行转换，如图 9-4 的通道 1 和 2 所示。该器件的典型工作模式可确保，在从 B 到 A 下行转换时，A 侧 I/O 端口将钳制于 V_{ref_A}，提供适当的电压转换。有关器件运行的更多说明，请参阅*使用 LSF 系列进行下行转换*视频。

V_{ref_B} < V_{ref_A} + 0.8V 的运行要求：在这种情况下，V_{ref_A} 和 V_{ref_B} 之间没有足够大的电压差来确保 A 侧 I/O 端口被钳制于 V_{ref_A}，其电压大约等于 V_{ref_B} – 0.8V。例如，如果 V_{ref_B} = 1.8V 且 V_{ref_A} = 1.2V，则 A 侧 I/O 将钳制于大约 1.0V 的电压。因此，要在此条件下运行，必须遵循以下附加设计注意事项：

- 运行期间 V_{ref_B} 必须大于 V_{Ref_A} (V_{ref_B} > V_{ref_A})
- 应在 A 侧 I/O 端口上安装上拉电阻器，以确保将线路完全上拉至所需电压。

图 9-6 显示了此设置的示例，使用 LSF0108 实现了 1.2V ↔ 1.8V 转换。只要遵循了*建议运行条件*表，此类设置也适用于其他电压节点，例如 1.8V ↔ 2.5V，1.05V ↔ 1.5V 等。

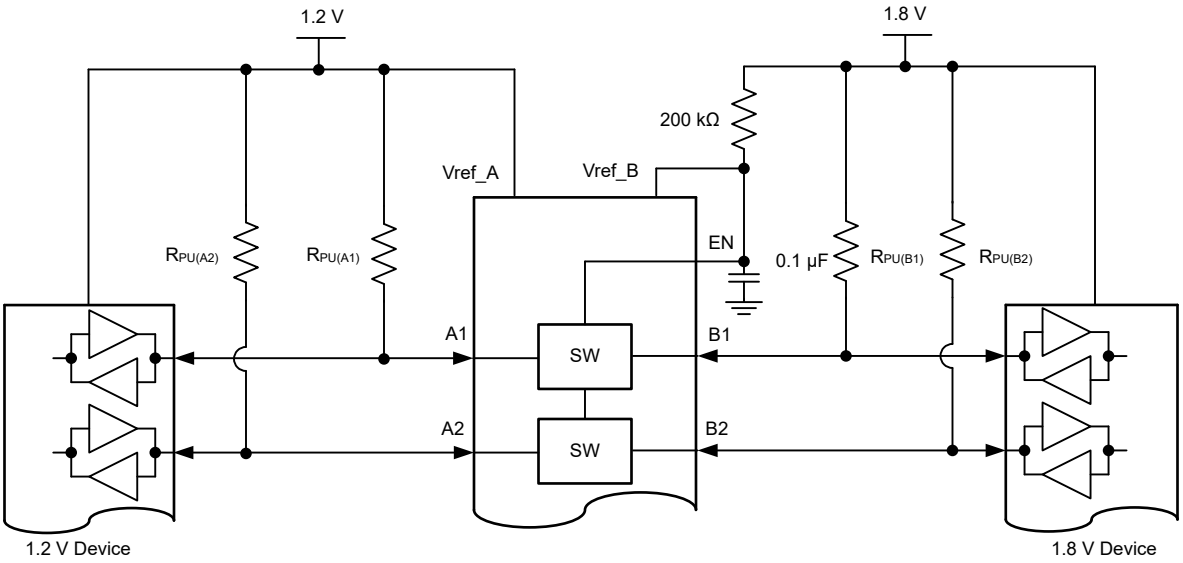


图 9-6. 使用 LSF010x 进行 1.2V 至 1.8V 电平转换

10 电源相关建议

LSF 系列没有电源序列要求。表 10-1 列出了所有电源和输入引脚的建议工作电压。

表 10-1. 建议工作电压

参数		最小值	典型值	最大值	单位
V_{ref_A} (1)	基准电压 (A)	0.65		5.5	V
V_{ref_B}	基准电压 (B)	V_{ref_A} + 0.8		5.5	V
$V_{I(EN)}$	EN 引脚上的输入电压	V_{ref_A} + 0.8		5.5	V
V_{PU}	上拉电源电压	0		V_{ref_B}	V

(1) V_{ref_A} 要求为所有输入和输出的最低电压电平。

11 布局

11.1 布局指南

由于 LSF 系列是开关型电平转换器，因此信号完整性与上拉电阻器和 PCB 电容条件高度相关。

- 尽可能缩短信号布线，可减小电容并更大限度地减少上拉电阻器的残桩。
- 将 LSF 器件放置在靠近高压侧的位置。
- 选择适用于发送器转换电平和驱动能力的上拉电阻器。

11.2 布局示例

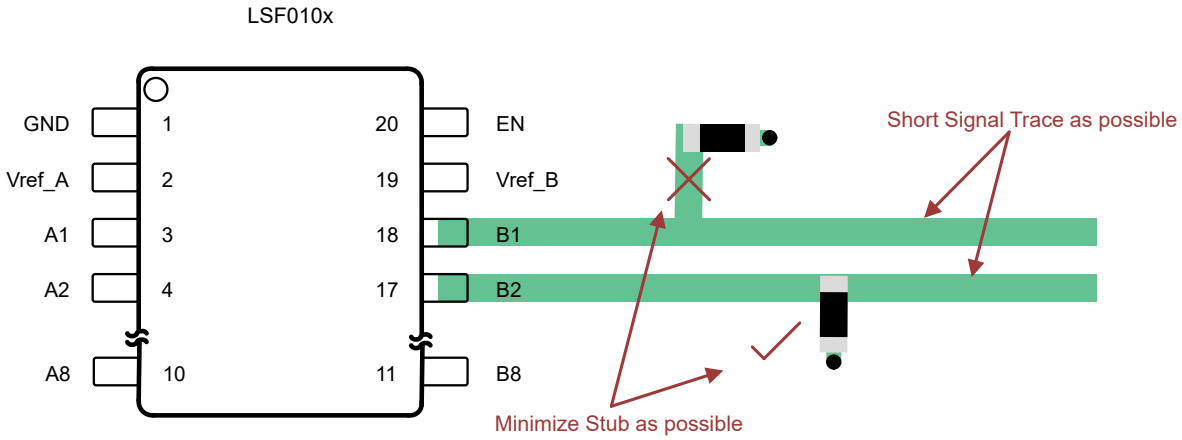


图 11-1. 短布线布局

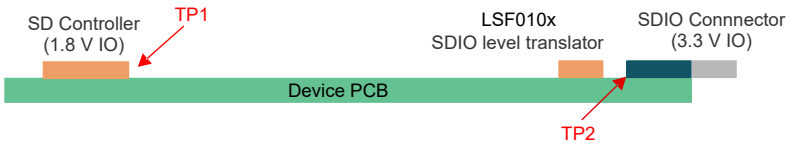


图 11-2. 器件放置

Copyright © 2023 Texas Instruments Incorporated

12 器件和文档支持

12.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*LSF 转换器系列评估模块 用户指南*
- 德州仪器 (TI)，*TXS、TXB 和 LSF 自动双向转换器的偏置要求 应用手册*
- 德州仪器 (TI)，*使用 LSF 系列进行电压电平转换 应用手册*
- 有关了解 LSF 系列器件的 Logic Minute 视频培训系列：
  - 德州仪器 (TI)，*简介 - 使用 LSF 系列进行电压电平转换*
  - 德州仪器 (TI)，*了解 LSF 系列的偏置电路*
  - 德州仪器 (TI)，*针对 LSF 系列使用使能引脚*
  - 德州仪器 (TI)，*LSF 系列的转换基础知识*
  - 德州仪器 (TI)，*使用 LSF 系列进行下行转换*
  - 德州仪器 (TI)，*使用 LSF 系列进行上行转换*
  - 德州仪器 (TI)，*使用 LSF 系列进行多电压转换*
  - 德州仪器 (TI)，*使用 LSF 系列进行单电源转换*

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LSF0108DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LSF08
LSF0108DGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LSF08
LSF0108PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LSF0108
LSF0108PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LSF0108
LSF0108RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	LSF0108
LSF0108RKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LSF0108

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LSF0108 :

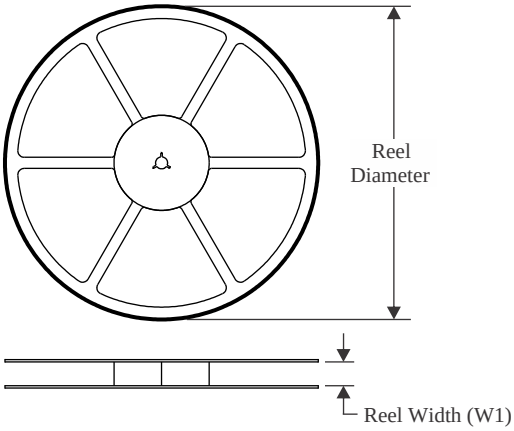
- Automotive : LSF0108-Q1

NOTE: Qualified Version Definitions:

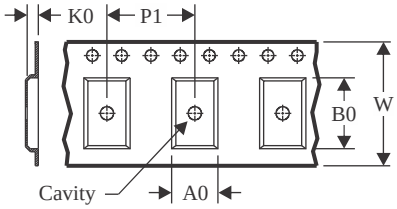
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

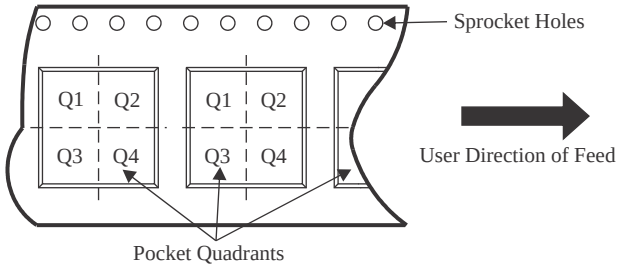


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

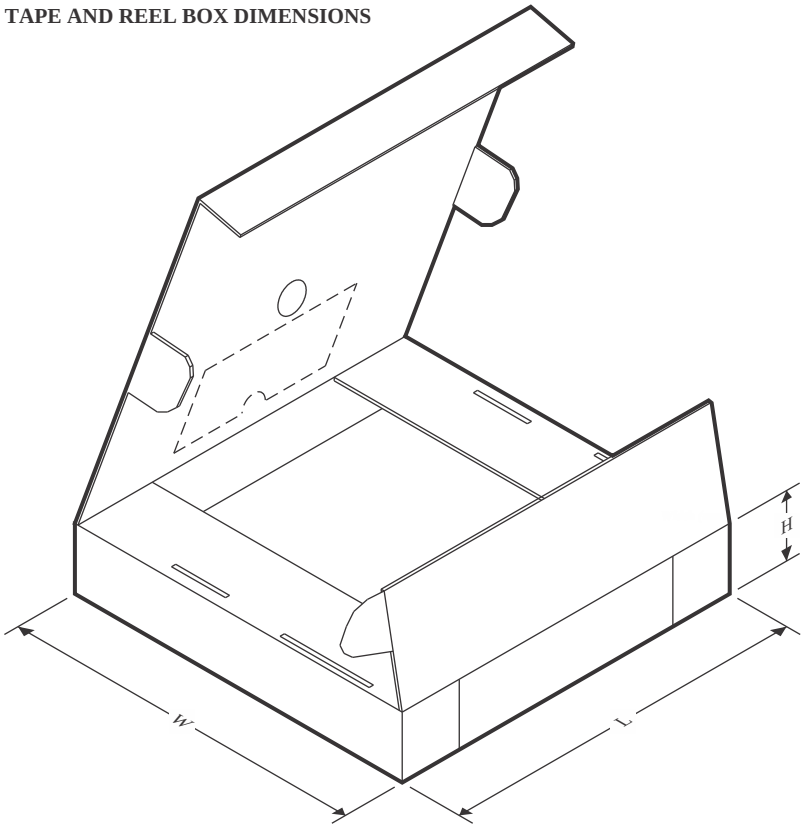
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LSF0108DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
LSF0108PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
LSF0108RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LSF0108DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
LSF0108PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
LSF0108RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

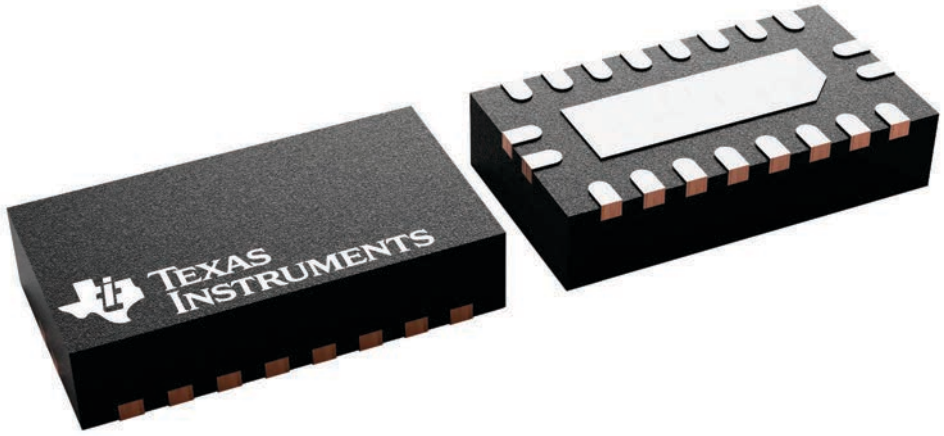
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



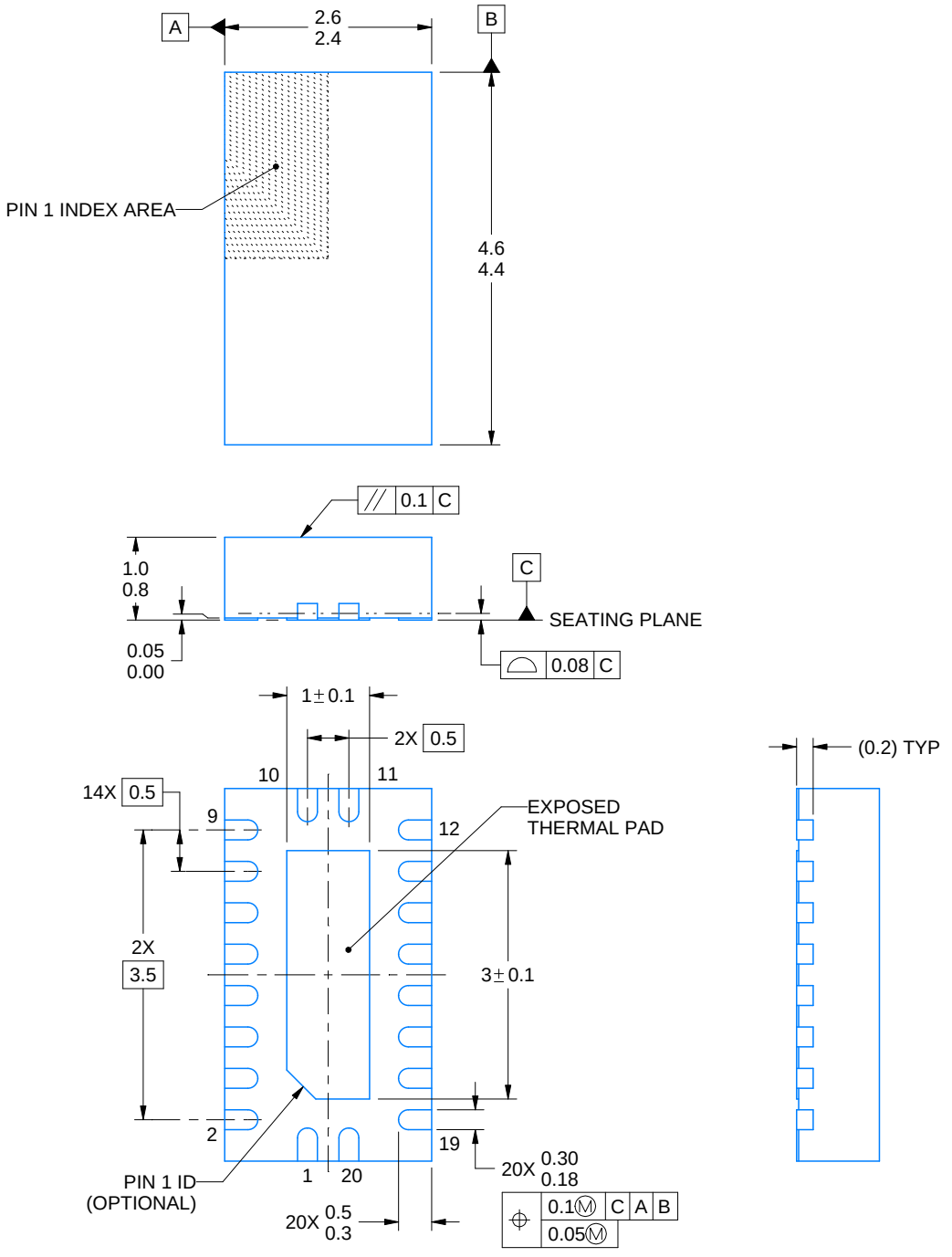
4226872/A

PACKAGE OUTLINE

RKS0020A

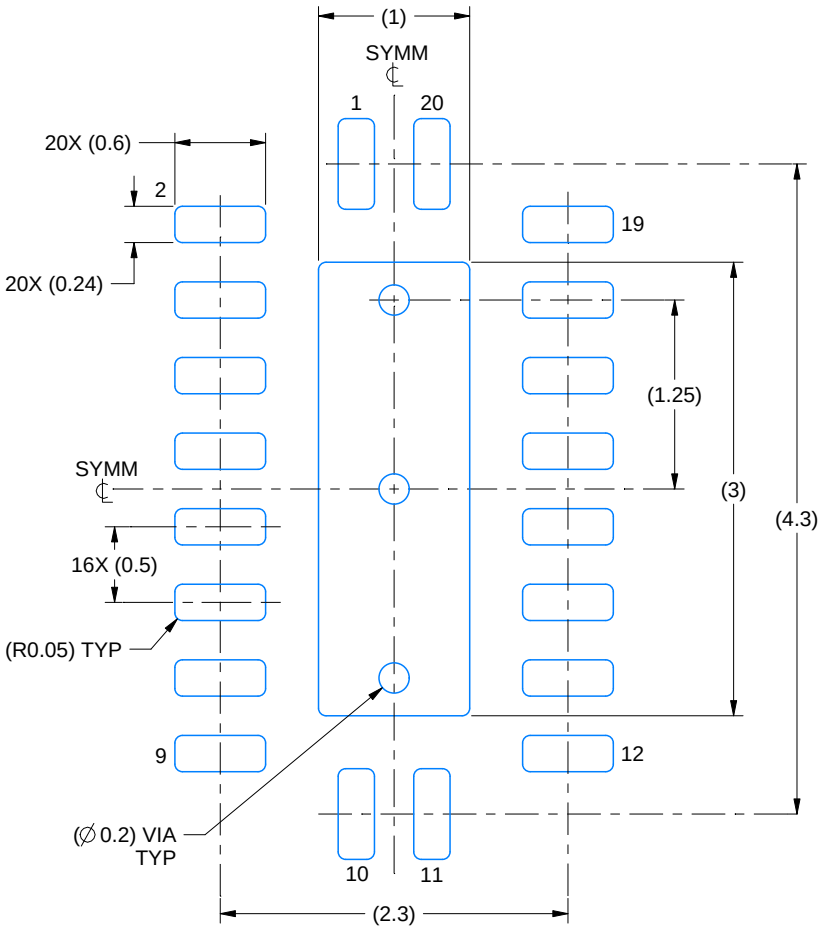
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

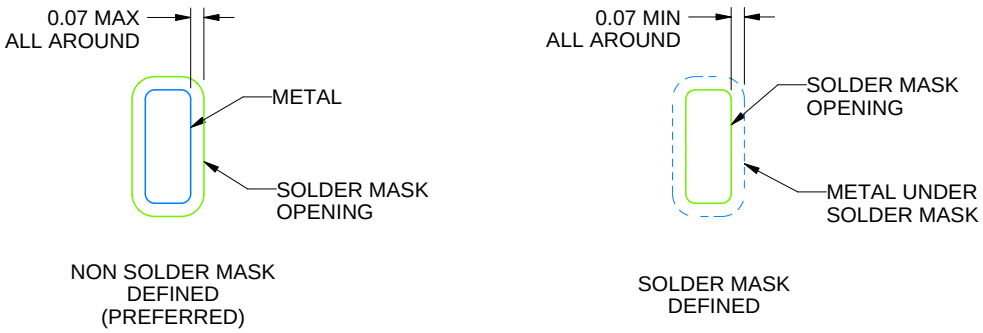


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

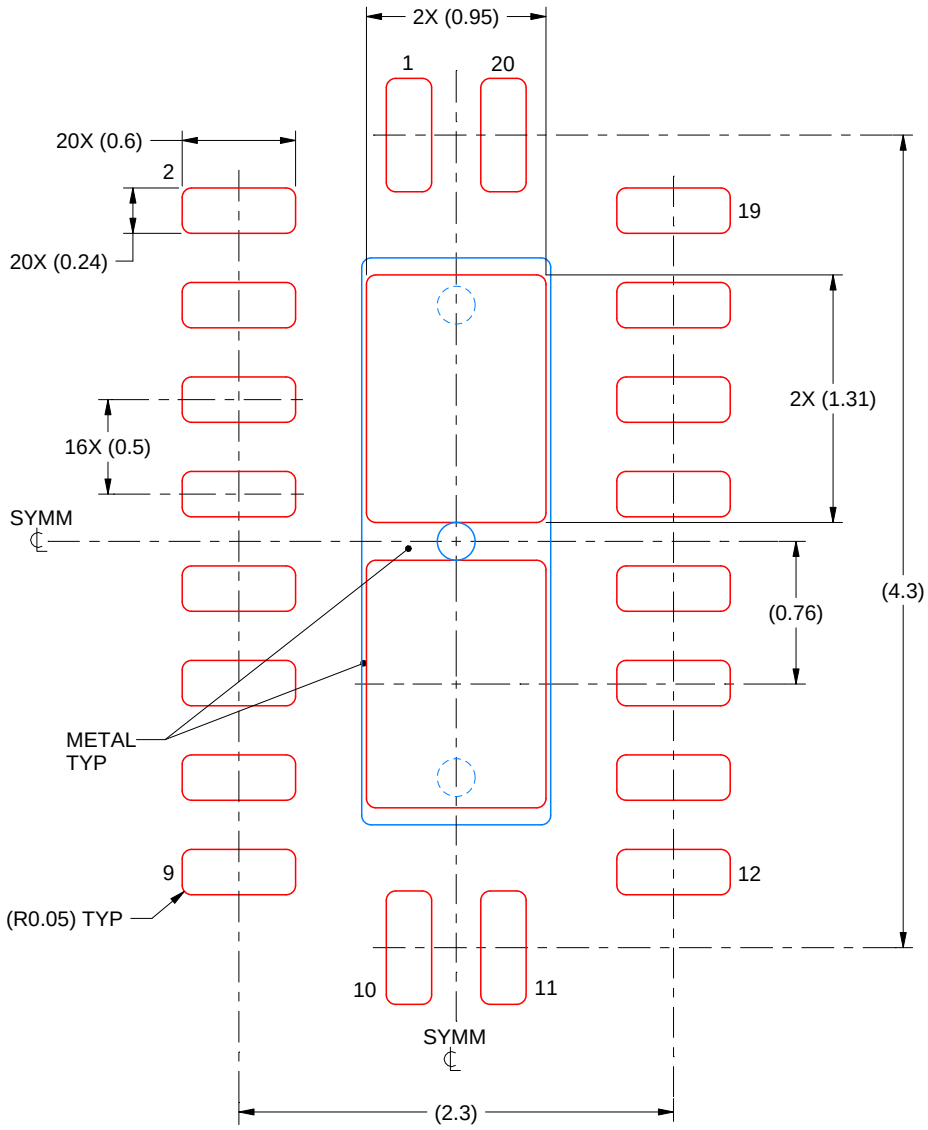


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

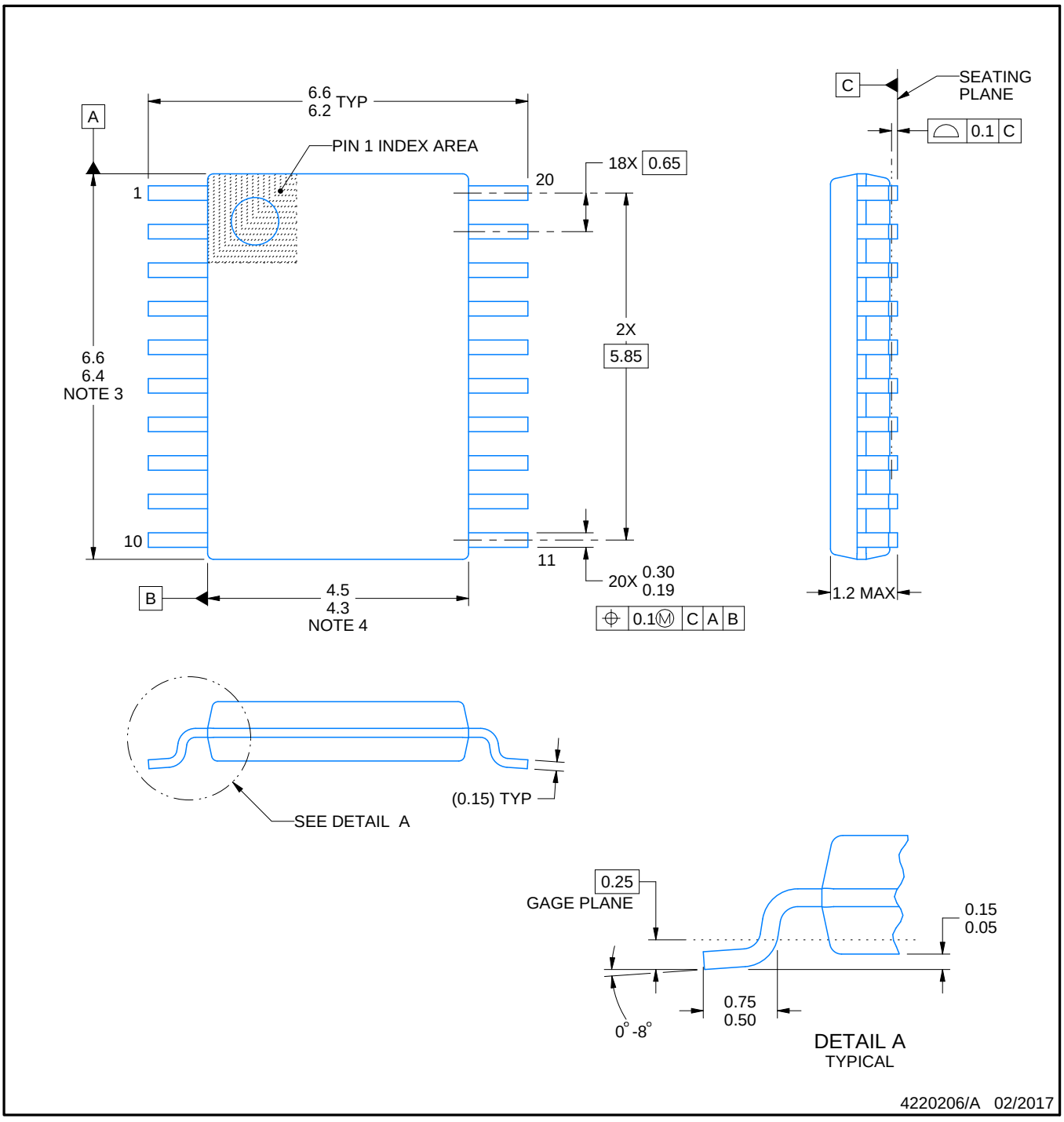
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0020A

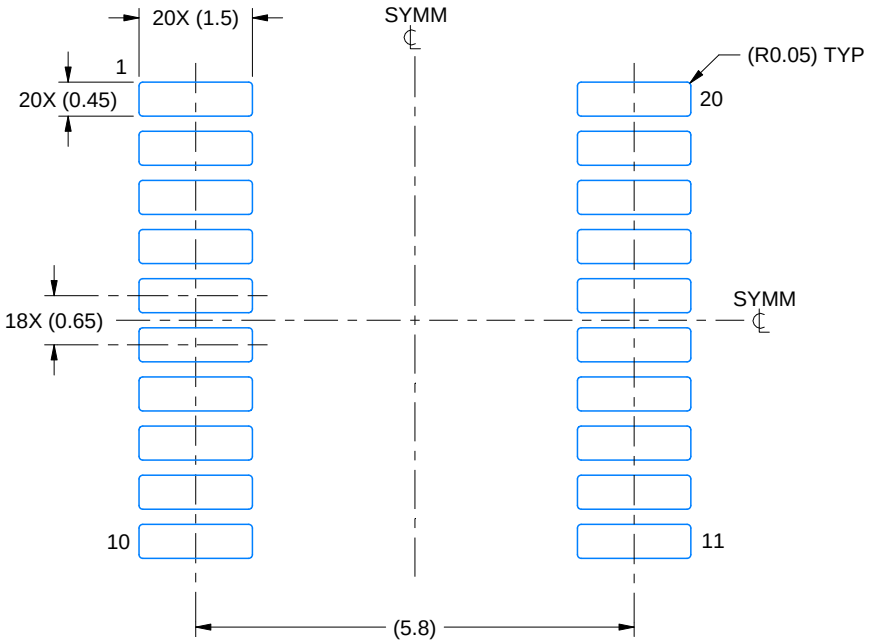
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

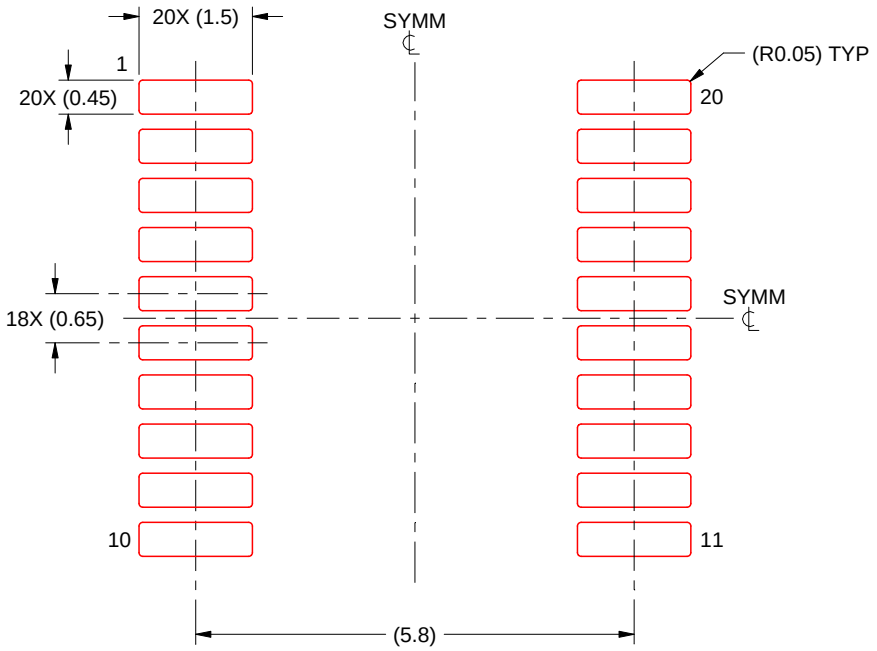
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

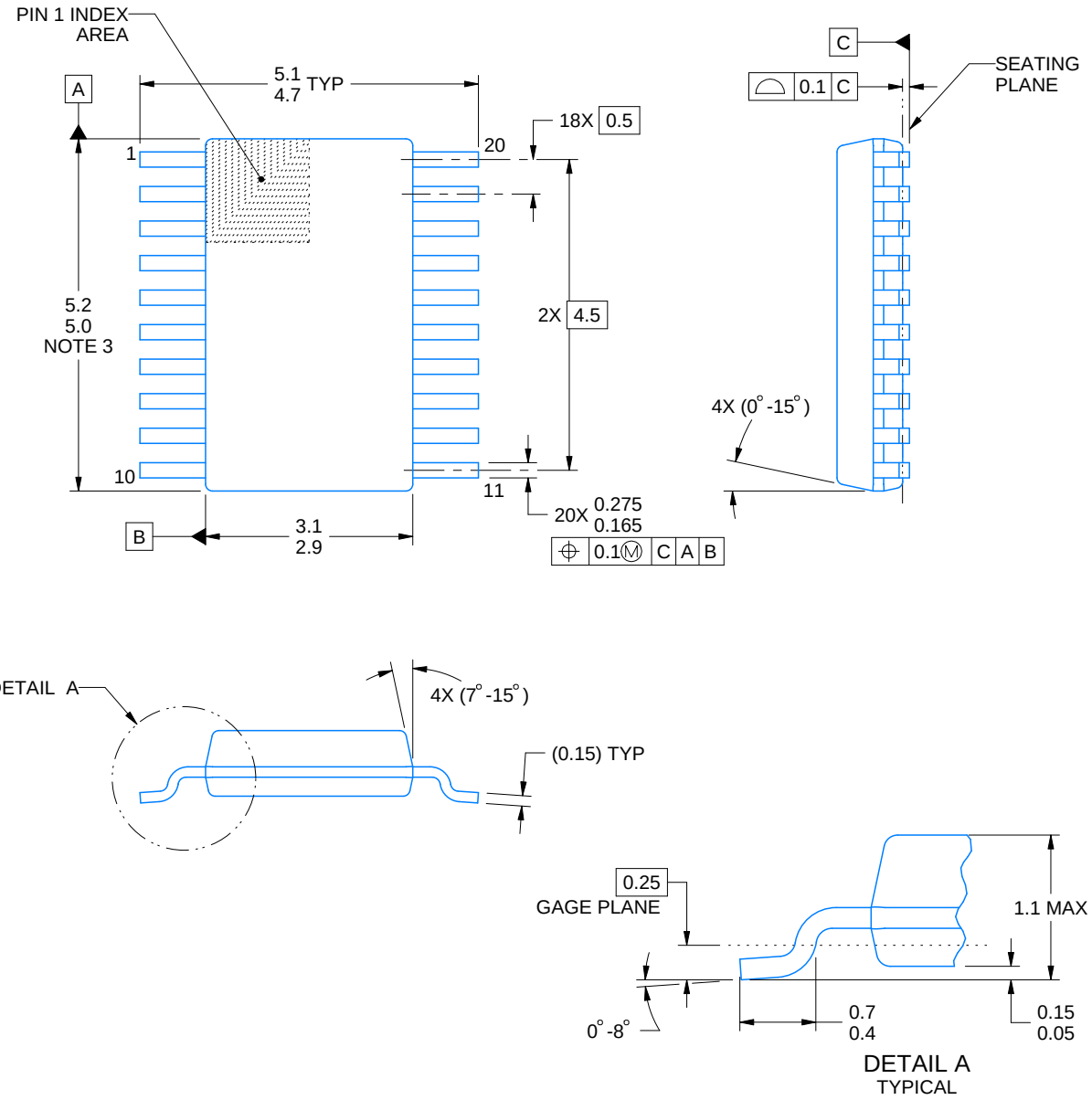
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

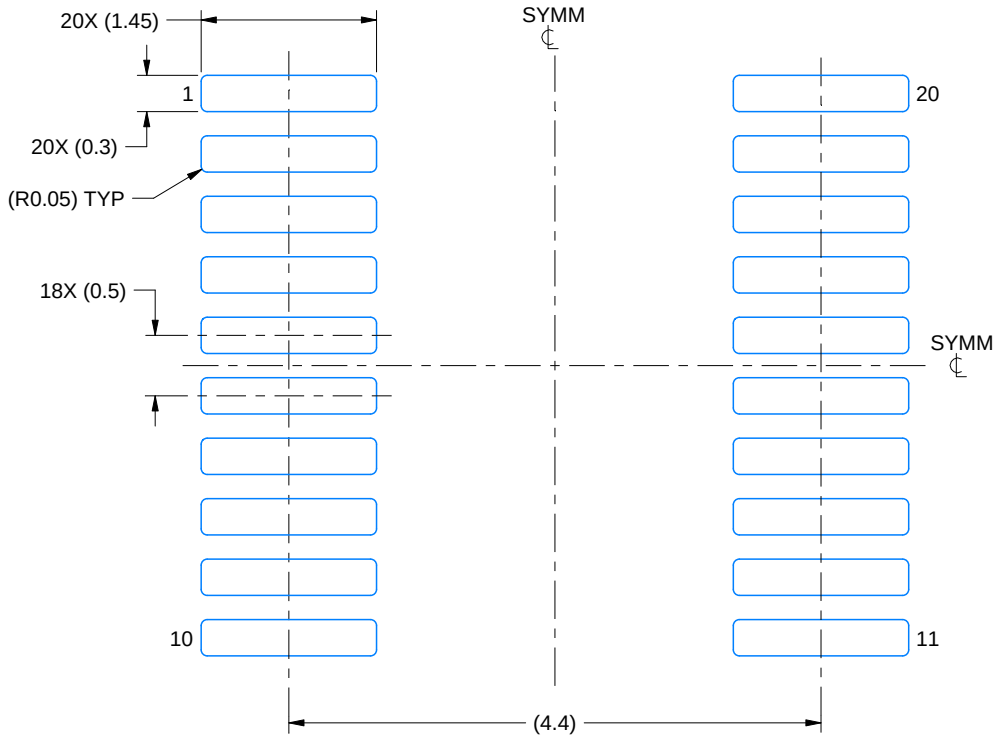
SMALL OUTLINE PACKAGE



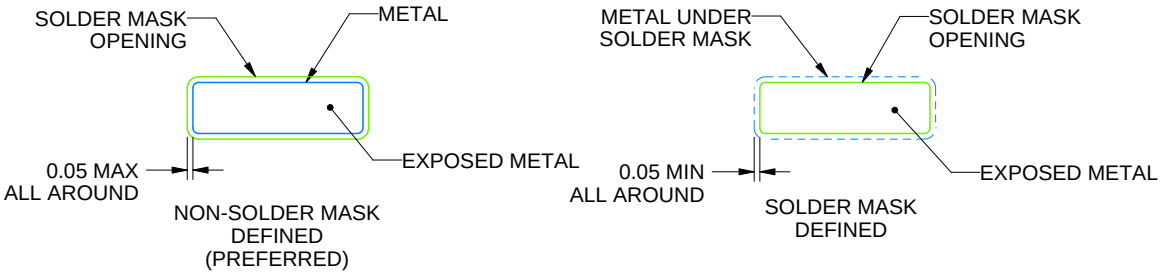
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

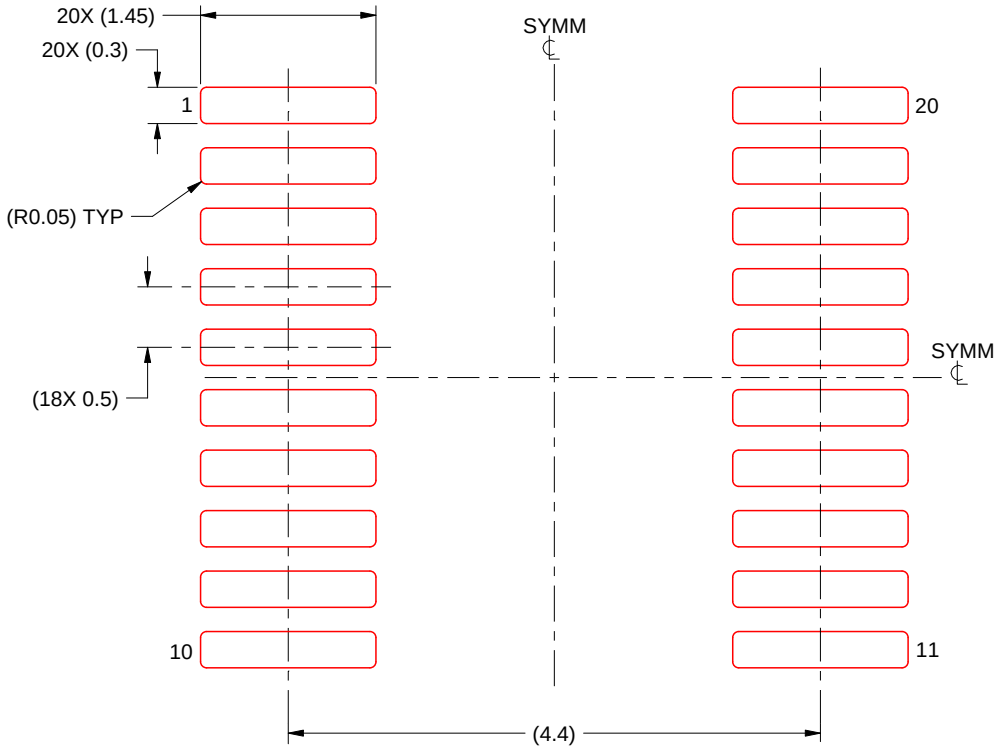


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月