LMX1214 低噪声、高频缓冲器和分频器

1 特性

- 支持 300MHz 至 18GHz 频率的时钟缓冲器
- 支持高达 8GHz 的分频器输出频率
- 超低噪声
  - 6GHz 输出时的本底噪声为 –161dBc/Hz
  - 6GHz 输出时具有 36fs 附加抖动（100Hz 至 f_{CLK}）
  - 5fs 附加抖动 (100Hz - 100MHz)
- 4 个高频时钟输出
  - 带有共享分频器，按 1（旁路）、2、3、4、5、6、7 和 8 进行分频
- 1ps 典型输出到输出偏斜
- 支持输出使能和分频器 /2、/3 和 /4 值设置的引脚模式选项
- AUXCLK 输出
  - 基于单独的分频组
  - 1、2、4 预分频器
  - 1（旁路）、2、⋯、1023 后分频器
- 8 个可编程输出功率级别
- 所有分频器都具有 SYNC 特性
- 2.5V 工作电压
- –40°C 至 +85°C 工作温度

2 应用

- 测试 & 测量
  - 示波器
  - 无线设备测试仪
  - 宽带数字转换器
- 航天 & 国防
  - 雷达
  - 电子战
  - 导引头前端
  - 军需品
  - 相控阵天线/波束形成
- 通用：
  - 数据转换器时钟
  - 时钟缓冲器分配/分频

3 说明

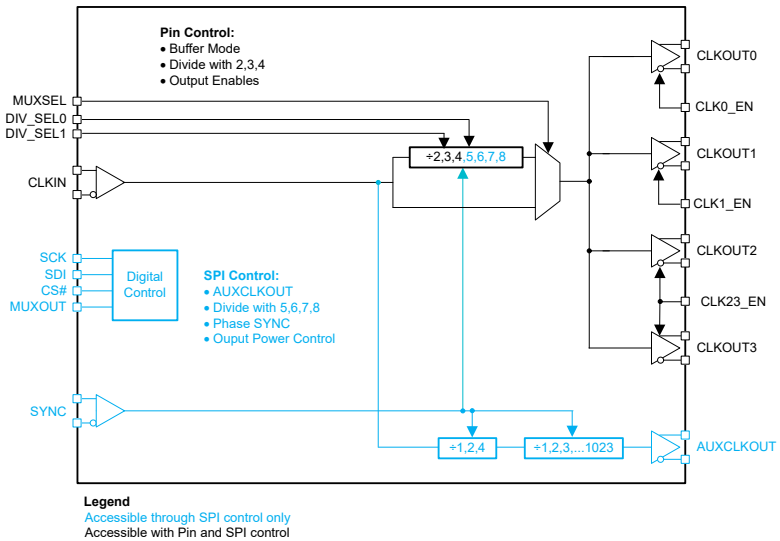
LMX1214 具有高输出频率、超低本底噪声和极低偏斜时钟分配。该器件有四个高频输出时钟和一个低频辅助时钟输出。对于高频时钟，该器件既支持缓冲器模式，也支持分频模式。该器件可将多通道、低偏斜、超低噪声本机振荡器信号分配给多个混频器。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMX1214	RHA（VQFN，40）	6mm × 6mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 5
5.6 时序要求 7
5.7 时序图 8
5.8 典型特性 9
6 详细说明 11
6.1 概述 11
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式配置 18
7 寄存器映射 20
7.1 器件寄存器 21
8 应用和实施 28
8.1 应用信息 28
8.2 典型应用 30
8.3 电源相关建议 33
8.4 布局 33
9 器件和文档支持 34
9.1 器件支持 34
9.2 文档支持 35
9.3 接收文档更新通知 35
9.4 支持资源 35
9.5 商标 35
9.6 静电放电警告 35
9.7 术语表 35
10 修订历史记录 35
11 机械、封装和可订购信息 36
11.1 卷带包装信息 40

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

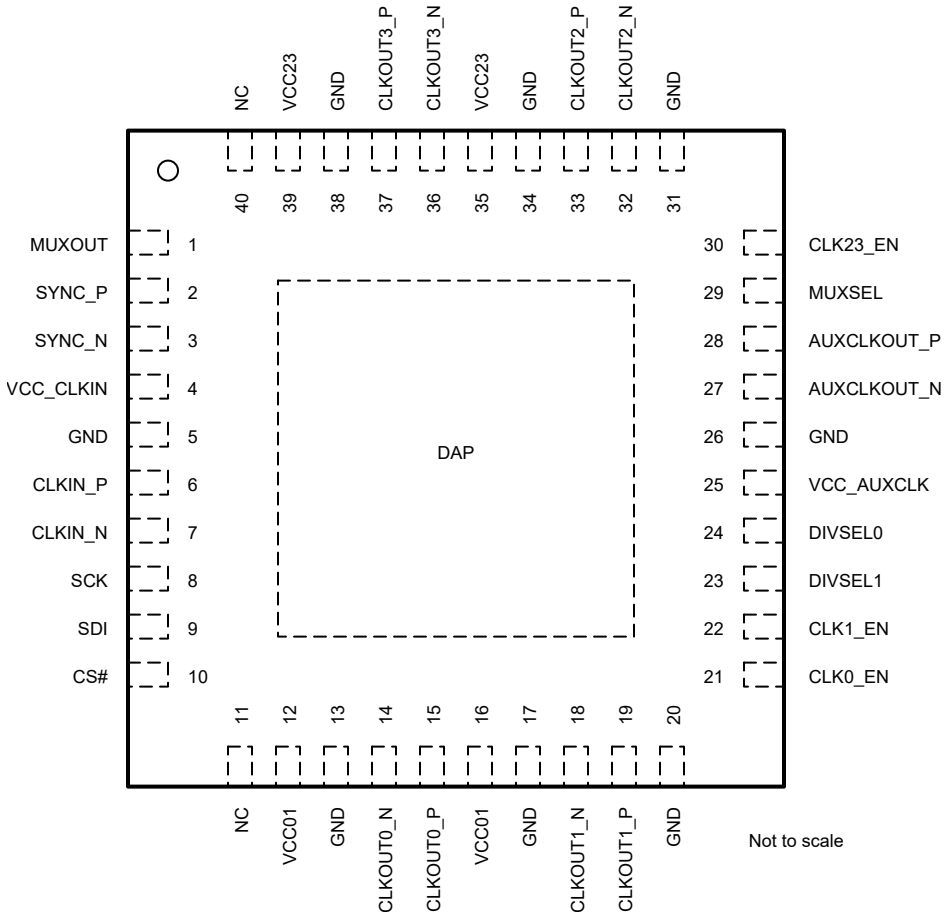


图 4-1. RHA0040C 封装 40 引脚 VQFN 顶视图

表 4-1. 引脚功能

编号	名称	类型(1)	说明
1	MUXOUT	O	SPI 回读输出 (SDO)。
2	SYNC_P	I	差分同步输入。内部 100Ω 差分端接通过一个 10pf 电容器交流耦合至 GND。支持交流和直流耦合，可直接接受 1.2V 至 2V 的共模电压。
3	SYNC_N		
4	VCC_CLKIN	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1μF 或更小），与较大的电容器（通常为 1μF 和 10μF）并联。大电容器可放置在离引脚稍远的位置。
5	GND	GND	将这些引脚接地。
6	CLKIN_P	I	差分基准输入时钟。内部 100Ω 差分端接。使用与输入频率相适应的电容器（通常为 0.1μF 或更小）进行交流耦合。如果使用单端，则通过交流耦合接地的 50Ω 电阻来端接未使用引脚。
7	CLKIN_N		
8	SCK	I	SPI 时钟。高阻抗 CMOS 输入。接受高达 3.3V。
9	SDI	I	SPI 数据输入。高阻抗 CMOS 输入。接受高达 3.3V。
10	CS#	I	SPI 芯片选择。高阻抗 CMOS 输入。接受高达 3.3V。
11	NC	—	未连接

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

编号	名称	类型(1)	说明
12	VCC01	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
13	GND	GND	将该引脚接地
14	CLKOUT0_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
15	CLKOUT0_P		
16	VCC01	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
17	GND	GND	将该引脚接地
18	CLKOUT1_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
19	CLKOUT1_P		
20	GND	GND	将该引脚接地
21	CLK0_EN	I	CLKOUT0 输出使能引脚
22	CLK1_EN	I	CLKOUT1 输出使能引脚
23	DIVSEL1	I	主时钟输出分频器值 2、3 和 4 选择控制引脚
24	DIVSEL0		
25	VCC_AUXCLK	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
26	GND	GND	将该引脚接地
27	AUXCLKOUT_N	O	差分时钟输出对。可选 CML 或 LVDS 格式。可编程共模电压。
28	AUXCLKOUT_P		
29	MUXSEL	I	时钟输出旁路或分频器路径多路复用器选择
30	CLK23_EN	I	CLKOUT2 和 CLKOUT3 输出使能引脚
31	GND	GND	将该引脚接地
32	CLKOUT2_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
33	CLKOUT2_P		
34	GND	GND	将该引脚接地
35	VCC23	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
36	CLKOUT3_N	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
37	CLKOUT3_P		
38	GND	GND	将该引脚接地
39	VCC23	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联射频宽带电容器（通常为 0.1µF 或更小），与较大的电容器（通常为 1µF 和 10µF）并联。大电容器可放置在离引脚稍远的位置。
40	NC	—	未连接
GND	DAP	GND	将该引脚接地

(1) I = 输入；O = 输出；GND = 地；PWR = 电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{DD}	电源电压	-0.3	2.75	V
V_{IN}	直流输入电压（SCK、SDI、CSB）	GND	3.6	V
V_{IN}	直流输入电压 (SYNC)	GND	V_{DD} + 0.3	V
V_{IN}	交流输入电压 (CLKIN)		2.1	Vpp
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	电源电压	2.4	2.5	2.6	V
T_A	环境温度	-40		85	°C
T_J	结温			125	°C

5.4 热性能信息

符号	热指标(1)	值	单位
$R_{\theta JA}$	结至环境热阻	24.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.0	°C/W
$R_{\theta JB}$	结至电路板热阻	6.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	6.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

2.4V ≤ VCC ≤ 2.6V，–40°C ≤ T_A ≤ +85°C。典型值是 VCC = 2.5V、25°C 条件下的值（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
电流消耗					

Copyright © 2024 Texas Instruments Incorporated

2.4V ≤ VCC ≤ 2.6V，–40°C ≤ T_A ≤ +85°C。典型值是 VCC = 2.5V、25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{CC}	电源电流 (1)	已上电，所有输出均开启			530		mA
		已上电，所有输出均关闭			290		
		已断电			12		
I_{ADD}	附加输出电流	OUTx_PWR = 7			70		mA
	分频器电流	分频，CLK_DIV = 8			36		
Isync	电源电流	配备 SYNC 使能			685		mA
SYNC 引脚							
V_{SYNC_single}	电压输入范围	直流耦合单端		0.6		1	Vpp
V_{SYNC}	电压输入范围	交流差分电压		0.8		2	Vpp
V_{CM}	输入共模	差分 100Ω 端接，直流耦合 在外部设置		1.2	1.3	2	V
时钟输入							
f_{IN}	输入频率	仅缓冲器模式		0.3		18 (2)	GHz
P_{IN}	输入功率	CLKIN_P 或 CLKIN_N 处的单端电源		0		10	dBm
时钟输出							
f_{OUT}	输出频率	2 分频	不同步（引脚模式）	0.15		8	GHz
f_{OUT}	输出频率	2 分频	同步	0.15		6.4	GHz
f_{OUT}	输出频率	缓冲模式		0.3		18 (2)	
f_{OUT}	输出频率	AUXCLK 输出		1		800	MHz
P_{OUT}	输出功率	单端	$f_{CLKLOUT}$ = 6GHz OUTx_PWR = 7		6.5		dBm
			$f_{CLKLOUT}$= 12.8GHz OUTx_PWR = 7		3.5		
			$f_{CLKLOUT}$ = 18GHz OUTx_PWR = 7		1.5		
Φimb	P 与 N 之间的输出相位不平衡	缓冲模式				5	ps
t_{RISE}	上升时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
t_{FALL}	下降时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
t_{MUTE}	输出静音时间	OE 引脚的下降沿				30	µs
t_{UNMUTE}	输出取消静音时间	OE 引脚的上升沿				30	µs
传播延迟和偏斜							
| t_{SKEW} |	输出间的偏斜幅度	CLKOUTx 至 CLKOUTy，而非 AUXCLK			1	10	ps
t_{DLY}	传播延迟	T_A = 25ºC	旁路模式		120		ps
			分频模式		125		
$\Delta t_{DLY}/\Delta T$	传播延迟随温度的变化	旁路模式			0.06		ps/C
噪声、抖动和杂散							
J_{CKx}	附加抖动	附加抖动。12kHz 至 100MHz 积分带宽。	缓冲模式		5		fs、rms
闪烁	1/f 闪烁噪声	压摆率 > 8V/ns，f_{CLK} = 6GHz	缓冲模式		-154		dBc/Hz
NFL	本底噪声	f_{OUT} = 6GHz；f_{Offset} = 100MHz	缓冲模式		-161		dBc/Hz
NFL			2 分频		-160.5		
H2	二次谐波	f_{OUT} = 6GHz（差分），缓冲器模式			-25		dBc
		f_{OUT} = 6GHz（单端），缓冲器模式			-12		
		f_{OUT} = 6GHz，单端，2 分频			-13.5		

Copyright © 2024 Texas Instruments Incorporated

2.4V ≤ VCC ≤ 2.6V，–40°C ≤ T_A ≤ +85°C。典型值是 VCC = 2.5V、25°C 条件下的值（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
耦合	AUXCLK 至 CLKOUT 耦合	fout = 6GHz，单端；f_{AUXCLK} = 300MHz			-70		dBc
NFL	本底噪声	f_{AUXCLK} = 300MHz；LVDS 模式			-152		dBc
NFL	本底噪声	f_{AUXCLK} = 300MHz；CML 模式			-151		dBc
P 泄漏	输入到输出的泄漏功耗	芯片断电	单端输入		-45		dBc
P 泄漏	输入到输出的泄漏功耗	引脚 OE = 0	单端输入		-40		dBc
数字接口（SCK、SDI、CS#、MUXOUT、CLKx_EN、MUXSEL、DIVSELx）							
V_{IH}	高电平输入电压	SCK、SDI、CS#		1.4		3.3	V
	高电平输入电压	CLKx_EN、DIVSELx、MUXSEL		1.4		3.3	V
V_{IL}	低电平输入电压	SCK、SDI、CS#		0		0.4	V
	低电平输入电压	CLKx_EN、DIVSELx、MUXSEL		0		0.4	V
I_{IH}	高电平输入电流	SCK、SDI、CS#		-42		42	µA
	高电平输入电流	CLKx_EN、DIVSELx、MUXSEL		-42		42	µA
I_{IL}	低电平输入电流	SCK、SDI、CS#		-25		25	µA
	低电平输入电流	CLKx_EN、DIVSELx、MUXSEL		-25		25	µA
V_{OH}	高电平输出电压	MUXOUT	I_{OH} = 5mA	1.4		Vcc	V
	高电平输出电压		I_{OH} = 0.1mA	2.2		Vcc	V
V_{OL}	低电平输出电压	MUXOUT	I_{OL} = 5mA			0.45	V

(1) 除非另有说明，否则 f_{CLKIN}=6GHz，CLK_MUX=缓冲器，所有时钟均开启且 OUTx_PWR=7。
(2) 支持 SYNC 和分频器，频率高达 12.8GHz

5.6 时序要求

			最小值	标称值	最大值	单位
时序要求						
f_{SPI}	SPI 读取/写入速度				2	MHz
t_{CE}	时钟到使能低电平时间		20			ns
t_{CS}	时钟到数据等待时间		20			ns
t_{CH}	时钟到数据保持时间		20			ns
t_{CWH}	时钟脉冲宽度高电平		100			ns
t_{CWL}	时钟脉冲宽度低电平		100			ns
t_{CES}	使能到时钟设置时间		20			ns
t_{EWH}	使能脉冲宽度高电平		50			ns
t_{CD}	时钟下降沿到数据等待时间		0		100	ns

Copyright © 2024 Texas Instruments Incorporated

5.7 时序图

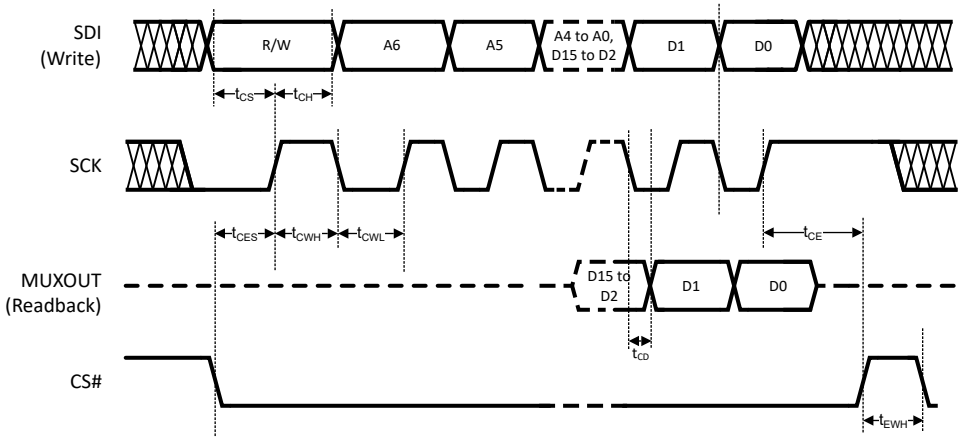


图 5-1. 串行数据输入时序图

在 SPI 上写入时，还有其他几个注意事项：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。
- CS# 必须保持低电平，才能对数据进行时钟输入。如果 CS# 保持高电平，器件将忽略时钟脉冲。
- 该器件的建议 SPI 设置为 CPOL=0 和 CPHA=0。
- 如果在器件之间共享 SCK 和 SDI 线路，TI 建议在不进行时钟输入的器件上将 CS# 线路保持高电平。

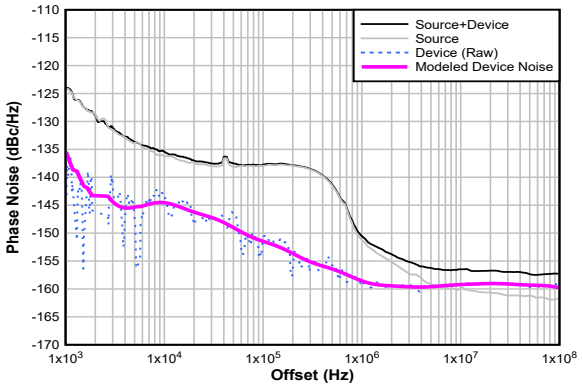
SPI 回读还有其他几个注意事项：

- R/W 位必须设置为 1。
- 对于事务的地址部分，MUXOUT 引脚将始终为低电平。
- MUXOUT 上的数据在 SCK 的下降沿随时钟输出。也就是说，在时钟下降沿后的 t_{CD} 时，MUXOUT 引脚将提供回读数据。
- 始终忽略 SDI 线路上转换的数据部分。
- 回读事务完成后，MUXOUT 引脚不会自动进入三态。当与其他器件共享 SPI 总线回读引脚时，请在器件的所有回读事务完成后设置 MUXOUT_EN=0，以便手动将 MUXOUT 引脚置于三态，从而允许其他器件控制回读线路。
- 即使对于 R/W 位，回读值也并非总是写入的值，而是考虑了编程值以及其他因素（例如引脚状态）的内部器件状态。

Copyright © 2024 Texas Instruments Incorporated

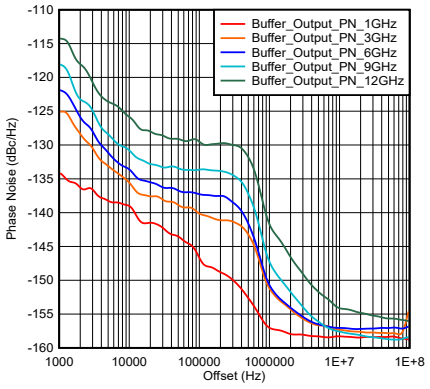
5.8 典型特性

如果没有其他情况，可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 7，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。



本底噪声 = -160dBc/Hz

图 5-2. 6GHz 输出时的缓冲器相位噪声图



源噪声未取消嵌入。

图 5-3. 缓冲器输出相位噪声图与输出频率间的关系

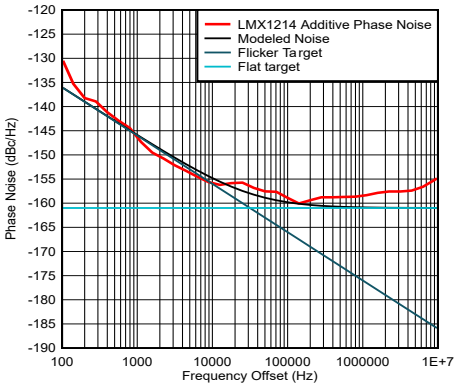


图 5-4. 6GHz 时的 LMX1214 闪烁噪声

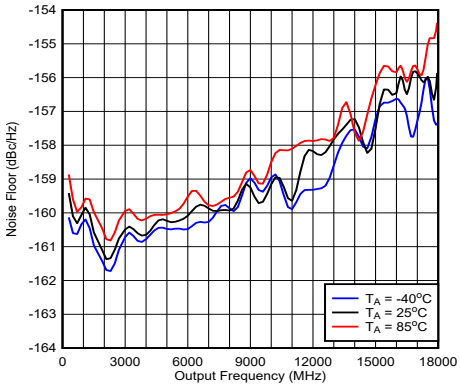


图 5-5. 缓冲器模式下的本底噪声

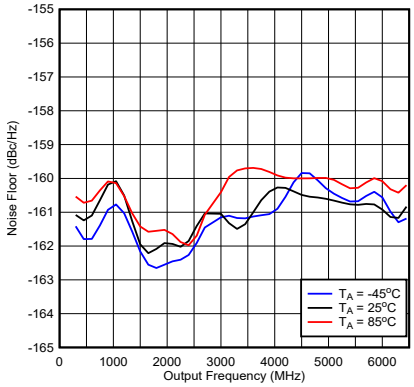


图 5-6. 分频器模式下的本底噪声

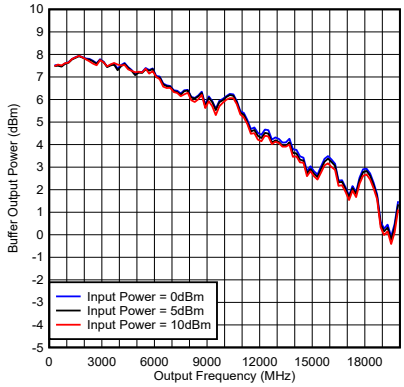


图 5-7. 缓冲器模式单端输出功率与输入功率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

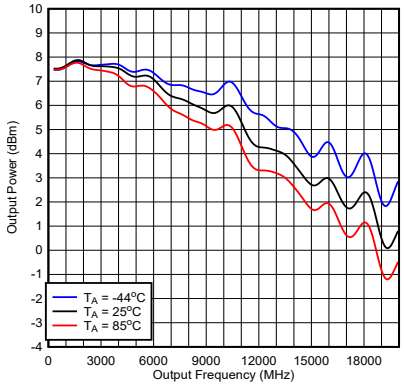
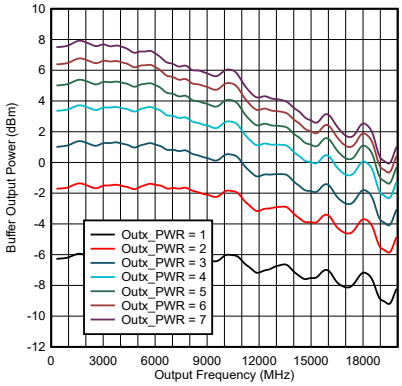


图 5-8. 缓冲器模式单端输出功率与温度间的关系



适用于除奇数分频的分频器模式（其功率稍低）之外的所有模式。

图 5-9. 缓冲器模式单端输出功率与功率代码间的关系

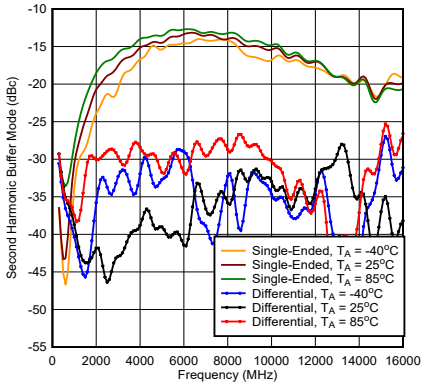
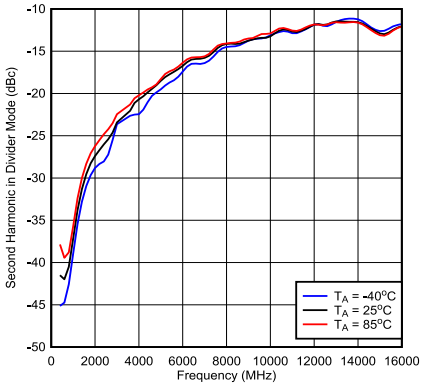


图 5-10. 缓冲器模式下的二次谐波



单端输入功率

图 5-11. 分频器模式下的二次谐波

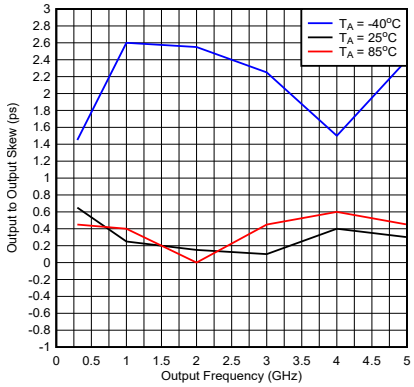
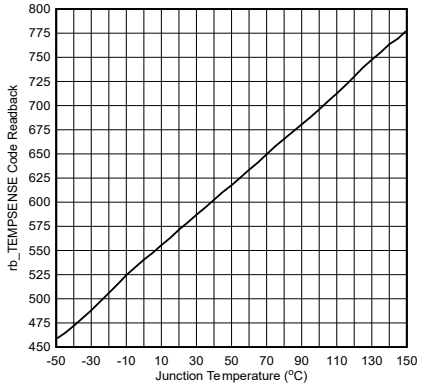


图 5-12. 输出到输出偏斜

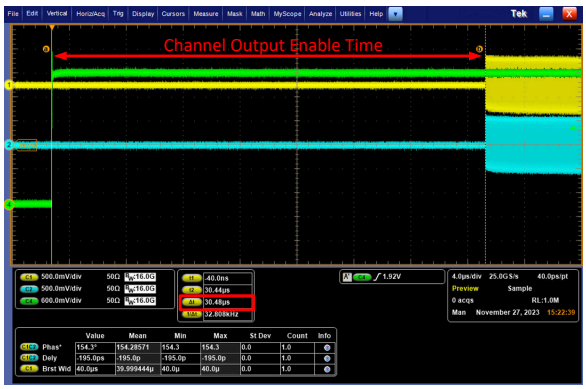


在断电模式下测量，使结温 = 环境温度。

图 5-13. 温度传感器回读

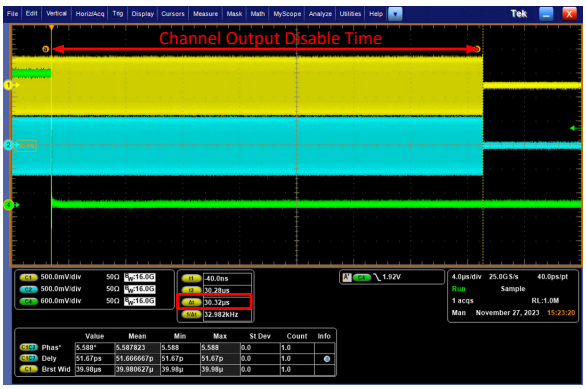
Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）



在 300MHz 输出频率下

图 5-14. 通道启用设置时间



在 300MHz 输出频率下

图 5-15. 通道禁用设置时间

6 详细说明

6.1 概述

该器件有四个主时钟输出，还有一个 AUXCLK 输出。主时钟输出的频率均相同。该频率可以与输入时钟相同，也可以相对于输入时钟进行分频。每个时钟输出都具有可编程功率级别。AUXCLK 输出频率是独立的，通常低于其他四个主时钟的频率，并具有可编程输出格式（CML 和 LVDS）和功率级别。

6.1.1 分频器范围

分频器允许主输出和 AUXCLK 输出使用输入时钟的分频值。主时钟输出只有一个公共分频器，而 AUXCLK 有一个预分频器和主分频器。

表 6-1. 分频器范围

类别			SPI 可编程范围	PIN 可编程范围	注释
主时钟	缓冲器			是	
	分频器		2、3、4、⋯ 8	2、3、4	奇数分频（1 除外）没有 50% 占空比
	功率级别		0、1、⋯ 7	否	
AUXCLK	除以	预分频	1、2、4	否	总分频 = 预分频 × 分频 奇数分频（1 除外）没有 50% 占空比
		除以	1、2、3、⋯ 1023	否	

Copyright © 2024 Texas Instruments Incorporated

6.2 功能方框图

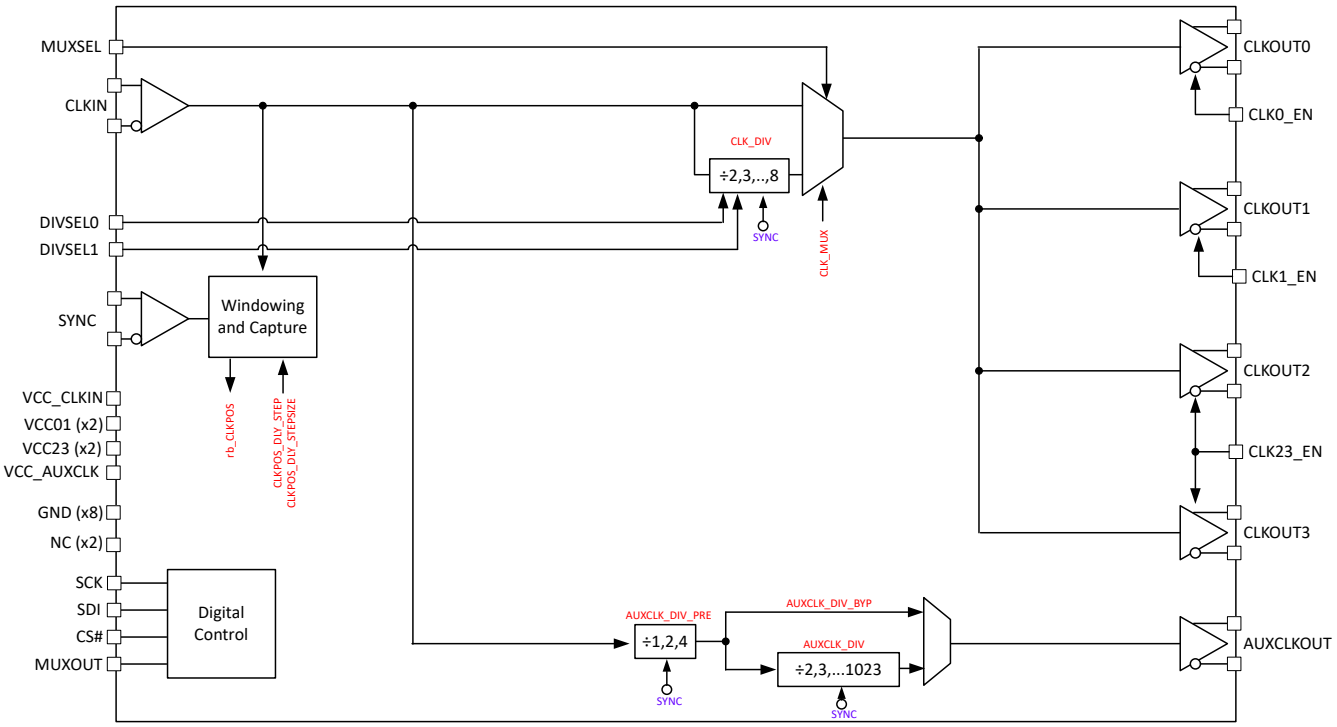


图 6-1. 功能方框图

Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

6.3.1 上电复位

当器件上电时，上电复位 (POR) 会将所有寄存器复位为默认状态，并将所有状态机和分频器复位。在上电复位状态下，会绕过所有分频器，且该器件用作 4 路输出缓冲器。在电源轨后等待 100µs，然后再对其他寄存器进行编程，以确保该复位已完成。当不存在输入时钟时，器件上电复位会正常发生并且运行良好，但器件消耗的电流较少。添加输入时钟后，电流将发生变化。

通过在 SPI 总线上写入 RESET = 1 来执行软件上电复位也是可行的，而且这通常是一种很好的做法。当用户对另一个寄存器进行写入时，RESET 位会自行清除。SPI 总线可用于将这些状态覆盖到所需的设置。

尽管该器件具有自动上电复位功能，但可能会受到不同电源引脚上不同斜升速率的影响，尤其是在存在强输入时钟信号的情况下。因此，TI 建议在 POR 后进行软件复位。这可通过编程 RESET = 1 来实现。可通过对任何其他寄存器进行编程或将 RESET 设置回 0 来清除复位位。即使在允许的最大 SPI 总线速度下，软件复位事件也始终在后续 SPI 写入之前完成。

6.3.2 温度传感器

可以回读结温，以便进行表征或根据温度进行调整。此类调整可能包括调整 CLKOUTx_PWR 以使输出功率更稳定，或使用外部或数字延迟来补偿传播延迟随温度的变化。

由于器件输出和其他功能的功率耗散，结温通常高于环境温度。方程式 1 展示了代码回读与结温间的关系。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \quad (1)$$

方程式 1 是根据慢、标称和快工艺角批次的器件（每批次三个器件，共九个器件）创建的最佳拟合线路。实际温度与最佳拟合线路预测温度之间的最坏情况变化为 13°C，相当于 20 个代码。

6.3.3 时钟输出

该器件有四个主输出时钟，这些输出时钟使用相同的频率。这不包括额外的低频 AUXCLK 输出。

6.3.3.1 时钟输出缓冲器

输出缓冲器采用集电极开路形式，带有集成上拉电阻，与 CML 类似。

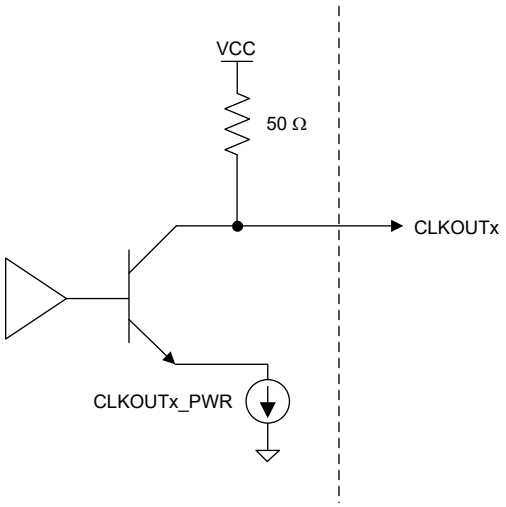


图 6-2. CLKOUT 输出缓冲器

CLKOUTx_EN 位可以启用输出缓冲器。缓冲器的输出功率可通过 CLKOUTx_PWR 字段单独设置。

Copyright © 2024 Texas Instruments Incorporated

表 6-2. 时钟输出功率

CLKOUTx_EN	CLKOUTx_PWR	输出缓冲器
0	不用考虑	已断电
1	0	最小值
	1	
	...	
	7	最大值

6.3.3.2 时钟多路复用器

四个主时钟的频率相同，但该频率可被旁路或分频。这由 CLK_MUX 字决定。

表 6-3. 时钟多路复用器

CLK_MUX	选项	支持的值
0	缓冲模式	÷1 (旁路)
1	分频器模式	÷2、3、4、5、6、7 和 8

6.3.3.3 时钟分频器

将 CLK_MUX 设置为“已分频”，分频值为 2、3、4、5、6、7 或 8。这由 CLK_DIV 字设置。使用时钟分频器时，对输入频率的任何更改都需要将 CLK_DIV_RST 位从 1 切换为 0。

表 6-4. 时钟分频器

CLK_DIV	分频值	占空比
0	保留	不適用
1	2	50%
2	3	33%
3	4	50%
4	5	40%
5	6	50%
6	7	43%
7	8	50%

6.3.4 AUXCLK 输出

AUXCLK 输出可以驱动使用低频时钟的器件，如 FPGA。AUXCLK 输出具有可编程输出格式 LVDS 或 CML。

6.3.4.1 AUXCLKOUT 输出格式

AUXCLKOUT 输出格式可编程为 LVDS 和 CML 模式。根据格式的不同，共模可能是可编程的，也可能需要外部元件。

表 6-5. AUXCLKOUT 格式和属性

AUXCLKOUT_FMT	格式	所需外部元件	输出电平	共模
0	LVDS	无	固定	可通过 AUXCLKOUT_VCM 进行编程
2	CML	上拉电阻 50 Ω 至 V_{CC}	可通过 AUXCLKOUT_PWR 进行编程	不可编程

Copyright © 2024 Texas Instruments Incorporated

6.3.4.2 AUXCLK_DIV_PRE 和 AUXCLK_DIV 分频器

AUXCLK_DIV_PRE 分频器和 AUXCLK_DIV 分频器用于 AUXCLKOUT 输出。必须使用 AUXCLK_DIV_PRE 分频器进行分频，以确保 AUXCLK_DIV 分频器的输入为 3.2GHz 或更低。当 AUXCLK_DIV 不是偶数且未被旁路时，占空比不是 50%。两个 AUXCLKOUT 分频器均通过 SYNC 特性进行同步，从而可跨多个器件实现同步。

表 6-6. 最小 N 分频器限制

f_{CLKIN} (MHz)	AUXCLK_DIV_PRE	AUXCLK_DIV	总分频范围
$f_{CLKIN} \leqslant 3.2GHz$	÷1、2、4	÷1、2、3、...1023	[1、2、...1023] [2、4、...2046] [4、8、4092]
$3.2GHz < f_{CLKIN} \leqslant 6.4GHz$	÷2、4	÷1、2、3、...1023	[4、...2046] [4、8、4092]
$f_{CLKIN} > 6.4GHz$	÷4	1、2、3、...1023	[8、4092]

6.3.5 SYNC 输入引脚

SYNC 引脚用于 SYNC 和窗口化特性。这些引脚可采用直流或交流耦合，并具有内部双 50Ω 单端端接，支持可编程共模。当时钟分频器（器件时钟和 AUXCLK）需要同步且需要多器件同步时，SYNC 输入是必需的。对于缓冲器模式，不需要 SYNC 输入。

SYNC 特性允许用户同步 CLK_DIV、AUXCLK_DIV 和 AUXCLK_DIV_PRE 分频器，以便在下电上电之间使相位偏移保持一致。这样，用户就可以同步多个器件。多器件同步分频器只能通过 SYNC 引脚完成，不能通过软件完成。

6.3.5.1 SYNC 引脚共模电压

SYNC_P 和 SYNC_N 引脚可采用交流或直流耦合驱动。当采用交流耦合驱动时，可通过 SYNC_VCM 位调整共模电压。

表 6-7. SYNC 引脚共模电压

SYNC_VCM	共模电压
0	1.3V 交流耦合
1	1.1V 交流耦合
2	1.5V 交流耦合
3	无偏置（直流耦合）

6.3.5.2 窗口化特性

窗口化特性可用于在内部校准 SYNC 和 CLKIN 引脚之间的时序，以优化设置和保持时序，并消除 SYNC 和 CLKIN 路径之间的任何不匹配情况。该特性要求从 SYNC 上升沿到 CLKIN 上升沿的时序保持一致。可通过 rb_CLKPOS 字段跟踪从 SYNC 上升沿到 CLKIN 上升沿的时序。找到 CLKIN 引脚上升沿的时序之后，可以使用 SYNC_DLY 和 SYNC_DLY_STEP 字段在内部调整 SYNC 上升沿，以优化设置和保持时间。

Copyright © 2024 Texas Instruments Incorporated

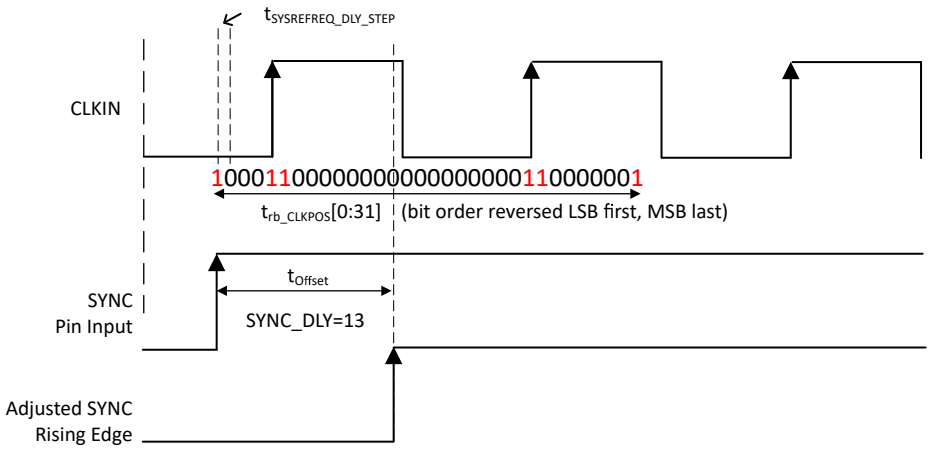


图 6-3. SYNC 内部时序调整

Copyright © 2024 Texas Instruments Incorporated

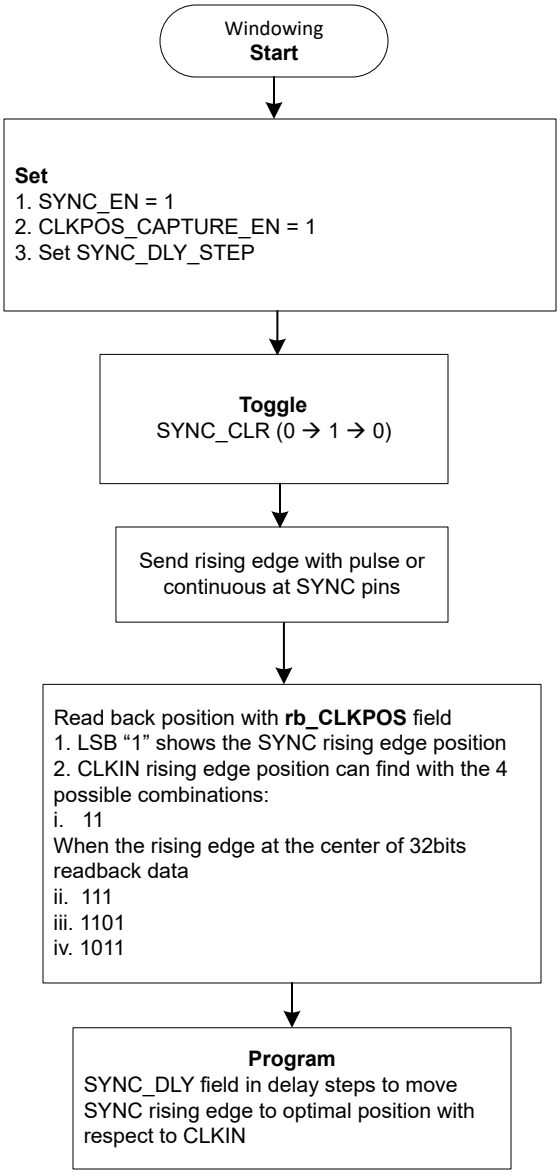


图 6-4. 窗口化操作流程图

表 6-8. SYNC_DLY_STEP

输入频率	建议的 SYNC_DLY_STEP	延迟 (ps)
1.4GHz < f_{CLKIN} ⩽ 2.7GHz	0	28
2.4GHz < f_{CLKIN} ⩽ 4.7GHz	1	15
3.1GHz < f_{CLKIN} ⩽ 5.7GHz	2	11
f_{CLKIN} ⩾ 4.5GHz	3	8

对于窗口化特性：

1. SYNC 引脚必须保持高电平至少 3/f_{CLKIN} + 1.6ns 的时间，只有在该时间之后，rb_CLKPOS 字段才有效。
2. 如果用户从 rb_CLKPOS 寄存器推导出多个有效的 SYNC_DLY 值来避免违反设置和保持时间，TI 建议选择最小的有效 SYNC_DLY 值，以便尽量减少温度变化的影响。

Copyright © 2024 Texas Instruments Incorporated

对于 SYNC 运行：

1. 每 75 个输入时钟周期仅允许 1 个 SYNC 引脚上升沿
2. SYNC 必须保持高电平超过 6 个时钟周期

6.4 器件功能模式配置

该器件可配置为高频时钟缓冲器模式或分频器模式。每种模式都需要以下寄存器配置才能运行。

表 6-9. 器件功能模式设置

寄存器地址	位	字段	功能	BUFFER	分频器
R25	2:0	CLK_MUX	选择模式	1	2
R25	5:3	CLK_DIV	选择分频值	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8

6.4.1 引脚模式控制

LMX1214 支持用于单个时钟输出控制、多路复用器选择和几个分频器设置的引脚模式。

以下是引脚控制选项：

输出通道控制

CLKOUT0 和 CLKOUT1 具有单独的输出控制引脚，而 CLKOUT2 和 CLKOUT3 使用公共控制引脚。这些引脚将启用或禁用特定通道输出的 CLKOUT。当 CLKx_EN 引脚为高电平 (1) 时，可通过 SPI 控制输出通道。

表 6-10. 输出通道控制选择

CLKx_EN	通道输出状态	SPI 覆盖控制
0	禁用通道输出	否
1	启用通道输出	是

器件模式选择

该器件可在缓冲器模式或分频器模式下工作。可通过 MUXSEL 引脚设置器件模式。

表 6-11. 器件模式选择

MUXSEL	模式选择	SPI 覆盖控制
0	缓冲模式	是
1	分频器模式	否

分频器值选择

当通过 MUXSEL 引脚逻辑或 SPI 控制选择分频器模式时，分频器值（/2、/3 或 /4）由 DIVSELx 引脚逻辑选择。

Copyright © 2024 Texas Instruments Incorporated

表 6-12. 分频器值选择

DIVSEL1	DIVSEL0	分频器值
0	0	SPI 覆盖
0	1	2
1	0	3
1	1	4

Copyright © 2024 Texas Instruments Incorporated

7 寄存器映射

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	POWERDOWN	0	0
R2	0	0	0	0	0	0	1	0	0	0	SMCLK_EN	0	0	0	1	1
R3	CLKOUT3_EN	CLKOUT2_EN	CLKOUT1_EN	CLKOUT0_EN	1	1	1	1	1	0	0	0	0	1	1	0
R4	0	0	CLKOUT1_PWR			CLKOUT0_PWR			1	1	1	1	1	1	1	1
R5	0	0	1	1	0	1	1	0	1	1	CLKOUT3_PWR			CLKOUT2_PWR		
R7	0	1	0	AUXCLKOUT_VCM		1	0	AUXCLK_DIV_PWR_PRE		0	1	1	AUXCLKOUT_PWR			1
R8	0	0	0	0	0	0	0	AUXCLK_DIV_PRE			AUXCLKOUT_EN	0	0	0	AUXCLKOUT_FMT	
R9	SYNC_VCM		SYNC_EN	0	AUXCLK_DIV_BYP	0	AUXCLK_DIV									
R11	rb_CLKPOS															
R12	rb_CLKPOS[31:16]															
R13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYNC_DLY_STEP	
R14	0	0	0	0	0	0	0	0	0	0	0	0	0	CLKPOS_CAPTURE_EN	1	SYNC_LATCH
R15	0	0	0	0	1	0	1	1	0	SYNC_DLY						SYNC_CLR
R23	TS_EN	1	MUXOUT_EN	0	0	0	0	0	0	0	0	0	0	0	0	0
R24	0	0	0	0	rb_TS											TS_CNT_EN
R25	0	0	0	0	0	0	1	0	0	CLK_DIV_RST	CLK_DIV			CLK_MUX		
R75	rb_CLKOUT2_EN	rb_CLKOUT1_EN	rb_CLKOUT0_EN	rb_MUXSEL1	0	0	0	0	0	rb_DIVSEL1	rb_DIVSEL0	rb_CE	0	1	1	0
R79	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	MUXOUT_EN_OVRD	0	0
R90	0	0	0	0	0	0	0	0	0	AUXCLK_DIV_BYP3	AUXCLK_DIV_BYP2	0	0	0	0	0

缓冲器模式不需要进行编程，但要启用其他特性和增强功能，也可以进行编程

寄存器	增强功能

Copyright © 2024 Texas Instruments Incorporated

R0、R3、R4 和 R5	输出
R2、R75	引脚模式
R7、R8、R9、R79、R90	AUXCLK。如果绕过 AUXCLK 的预分频器，则仅在使用 1 分频时才需要 R79 和 R90
R11、R12、R13、R14、R15	SYNC
R23、R24、R86	MUXOUT、回读和温度传感器
R25	主分频

7.1 器件寄存器

表 7-1 列出了器件寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 7-1. 器件寄存器

偏移	首字母缩写词	说明	部分
0x0	R0		节 7.1.1
0x2	R2		节 7.1.2
0x3	R3		节 7.1.3
0x4	R4		节 7.1.4
0x5	R5		节 7.1.5
0x7	R7		节 7.1.6
0x8	R8		节 7.1.7
0x9	R9		节 7.1.8
0xB	R11		节 7.1.9
0xC	R12		节 7.1.10
0xD	R13		节 7.1.11
0xE	R14		节 7.1.12
0xF	R15		节 7.1.13
0x17	R23		节 7.1.14
0x18	R24		节 7.1.15
0x19	R25		节 7.1.16
0x4B	R75		节 7.1.17
0x4F	R79		节 7.1.18
0x56	R86		节 7.1.19
0x5A	R90		节 7.1.20

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 R0 寄存器（偏移 = 0x0）[复位 = 0x0000]

表 7-3 展示了 R0。

返回到汇总表。

表 7-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R	0x0	将该字段编程为 0x0。
2	POWERDOWN	R/W	0x0	将器件设置为低功耗状态。其他寄存器的状态保持不变。
1-0	未披露	R/W	0x0	将该字段编程为 0x0。

7.1.2 R2 寄存器（偏移 = 0x2）[复位 = 0x0223]

表 7-4 展示了 R2。

返回到汇总表。

表 7-4. R2 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R	0x0	将该字段编程为 0x0。
10-6	未披露	R/W	0x8	将该字段编程为 0x8。
5	SMCLK_EN	R/W	0x1	启用状态机时钟发生器。这是使引脚模式正常运行所必需的，并且器件必须在启用该位的情况下进行初始化。但是，稍后可以禁用该位，以节省电流并防止状态机时钟发生杂散。
4-0	未披露	R/W	0x3	将该字段编程为 0x3。

7.1.3 R3 寄存器（偏移 = 0x3）[复位 = 0xF0FE]

表 7-5 展示了 R3。

返回到汇总表。

表 7-5. R3 寄存器字段说明

位	字段	类型	复位	说明
15	CLKOUT3_EN	R/W	0x1	启用 CLKOUT3
14	CLKOUT2_EN	R/W	0x1	启用 CLKOUT2
13	CLKOUT1_EN	R/W	0x1	启用 CLKOUT1
12	CLKOUT0_EN	R/W	0x1	启用 CLKOUT0
11-0	未披露	R/W	0xFE	将该字段编程为 0xFE。

7.1.4 R4 寄存器（偏移 = 0x4）[复位 = 0x36FF]

表 7-6 展示了 R4。

返回到汇总表。

表 7-6. R4 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0x0	将该字段编程为 0x0。
13-11	CLKOUT1_PWR	R/W	0x6	设置 CLKOUT1 的输出功率。值越大，对应的输出功率就越高。
10-8	CLKOUT0_PWR	R/W	0x6	设置 CLKOUT0 的输出功率。值越大，对应的输出功率就越高。
7-0	未披露	R/W	0xFF	将该字段编程为 0xFF。

Copyright © 2024 Texas Instruments Incorporated

7.1.5 R5 寄存器（偏移 = 0x5）[复位 = 0x36F6]

表 7-7 展示了 R5。

返回到汇总表。

表 7-7. R5 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0x0	将该字段编程为 0x0。
14-6	未披露	R/W	0xDB	将该字段编程为 0xDB。
5-3	CLKOUT3_PWR	R/W	0x6	设置 CLKOUT3 的输出功率。值越大，对应的输出功率就越高。
2-0	CLKOUT2_PWR	R/W	0x6	设置 CLKOUT2 的输出功率。值越大，对应的输出功率就越高。

7.1.6 R7 寄存器（偏移 = 0x7）[复位 = 0x543F]

表 7-8 展示了 R7。

返回到汇总表。

表 7-8. R7 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0x0	将该字段编程为 0x0。
14-13	未披露	R/W	0x2	将该字段编程为 0x2。
12-11	AUXCLKOUT_VCM	R/W	0x2	在 LVDS 模式下，设置辅助时钟输出的输出共模。其他输出格式忽略该字段。 0x0 = 1.2V 0x1 = 1.1V 0x2 = 1.0V 0x3 = 0.9V
10-9	未披露	R/W	0x2	将该字段编程为 0x2。
8-7	AUXCLK_DIV_PWR_PRE	R/W	0x0	设置 AUXCLK 前置驱动器的输出功率。值越大，对应的输出功率就越高。
6-4	未披露	R/W	0x3	将该字段编程为 0x3。
3-1	AUXCLKOUT_PWR	R/W	0x7	仅针对 CML 格式设置 AYXCLKOUT 的输出功率（其他输出格式忽略该字段）。值越大，对应的输出功率就越高。
0	未披露	R/W	0x1	将该字段编程为 0x1。

7.1.7 R8 寄存器（偏移 = 0x8）[复位 = 0x0120]

表 7-9 展示了 R8。

返回到汇总表。

表 7-9. R8 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R	0x0	将该字段编程为 0x0。
8-6	AUXCLK_DIV_PRE	R/W	0x4	设置预分频器值。预分频器的输出必须小于或等于 3.2GHz。当 AUXCLK_DIV_PRE=1 时，还需要将寄存器 R79 编程为值 0x0005，将 R90 编程为值 0x0060（AUXCLK_DIV_BYP2=1，AUXCLK_DIV_BYP3=1）。除下列值以外的 AUXCLK_DIV_PRE 值均保留。 0x1 = /1 0x2 = /2 0x4 = /4
5	AUXCLKOUT_EN	R/W	0x1	启用 AUXCLK 子系统。

Copyright © 2024 Texas Instruments Incorporated

表 7-9. R8 寄存器字段说明（续）

位	字段	类型	复位	说明
4-2	未披露	R/W	0x0	将该字段编程为 0x0。
1-0	AUXCLKOUT_FMT	R/W	0x0	选择 AUXCLKOUT 输出的输出驱动器格式。 0x0 = LVDS 0x1 = 保留 0x2 = CML 0x3 = 保留

7.1.8 R9 寄存器（偏移 = 0x9）[复位 = 0x0020]

表 7-10 展示了 R9。

返回到汇总表。

表 7-10. R9 寄存器字段说明

位	字段	类型	复位	说明
15-14	SYNC_VCM	R/W	0x0	设置 SYNC 引脚的内部直流偏置。对于交流耦合输入，必须启用偏置；但对于直流耦合输入，可以启用偏置并过驱动，也可以禁用偏置。SYNC DC 引脚电压必须在 0.7V 至 VCC 范围内，包括最小和最大信号摆幅。 0x0 = 1.3V 0x1 = 1.1V 0x2 = 1.5V 0x3 = 已禁用
13	SYNC_EN	R/W	0x0	启用分频器的同步路径，并允许启用时钟位置捕获电路。用于多器件同步。
12	未披露	R/W	0x0	将该字段编程为 0x0。
11	AUXCLK_DIV_BYP	R/W	0x0	绕过 AUXCLK_DIV 分频器，以便直接从 AUXCLK_DIV_PRE 分频器获得 AUXCLK 输出。仅在 AUXCLK_DIV_PRE=1 时使用，作为实现 AUXCLK 总分频为 1 的步骤之一。要实现 1 分频，需要执行以下步骤。 1.设置 AUXCLK_DIV_PRE=1 2.确保已将寄存器 R79 编程为值 0x0005 3.将 R90 编程为 0x0060（AUXCLK_DIV_BYP2=1，AUXCLK_DIV_BYP3=1） 4.设置 AUXCLK_DIV_BYP=1 如果不希望 AUXCLK 的总分频为 1，则将该位设置为 0。
10	未披露	R/W	0x0	将该字段编程为 0x0。
9-0	AUXCLK_DIV	R/W	0x20	设置 AUXCLK 分频器值。由 AUXCLK_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大 AUXCLKOUT 频率必须 ≤ 800MHz，以避免振幅衰减。 0x0 = 保留 0x1 = 保留 0x2 = /2 0x3 = /3 0x3FF = /1023

7.1.9 R11 寄存器（偏移 = 0xB）[复位 = 0x0000]

表 7-11 展示了 R11。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 7-11. R11 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS	R	0x0	存储 CLKIN 信号上升沿位置相对于 SYNC 上升沿的快照，该快照从 LSB 开始并在 MSB 结束。每个位都代表 CLKIN 信号的一个样片，由 SYNC_DLY_STEP 字段确定的延迟隔开。rb_CLKPOS 的第一位和最后一位始终保持置位状态，指示捕获窗口边界条件下的不确定性。CLKIN 上升沿由从 LSB 到 MSB 的两个设置位的每个序列表示，包括边界条件下的位。快照中 CLKIN 上升沿的位置以及 CLKIN 信号周期和延迟步长可用于计算 SYNC_DLY 的值，从而更大限度地延长 SYNC 引脚上 SYNC 信号的设置时间和保持时间。

7.1.10 R12 寄存器（偏移 = 0xC）[复位 = 0x0000]

表 7-12 展示了 R12。

返回到汇总表。

表 7-12. R12 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS[31:16]	R	0x0	rb_CLKPOS 字段的 MSB。

7.1.11 R13 寄存器（偏移 = 0xD）[复位 = 0x0003]

表 7-13 展示了 R13。

返回到汇总表。

表 7-13. R13 寄存器字段说明

位	字段	类型	复位	说明
15-2	未披露	R	0x0	将该字段编程为 0x0。
1-0	SYNC_DLY_STEP	R/W	0x3	设置 SYSNC 路径中使用的延迟元件的步长，用于 SYNC 输入延迟和时钟位置捕获。每个步长的推荐频率范围创建了给定 CLKIN 频率的最大可用步长数。这些范围包括一些重叠，以考虑工艺和温度变化。如果 CLKIN 频率被重叠范围覆盖，则较大的延迟步长会提高在时钟位置捕获期间检测到 CLKIN 上升沿的可能性。但是，值越大，包含的延迟步长就越多，因此相对于较小的步长，较大的步长在 PVT 上的总延迟变化更大。 0x0 = 28ps（1.4GHz 至 2.7GHz） 0x1 = 15ps（2.4GHz 至 4.7GHz） 0x2 = 11ps（3.1GHz 至 5.7GHz） 0x3 = 8ps（4.5GHz 至 12.8GHz）

7.1.12 R14 寄存器（偏移 = 0xE）[复位 = 0x0002]

表 7-14 展示了 R14。

返回到汇总表。

表 7-14. R14 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R/W	0x0	将该字段编程为 0x0。

Copyright © 2024 Texas Instruments Incorporated

表 7-14. R14 寄存器字段说明（续）

位	字段	类型	复位	说明
2	CLKPOS_CAPTURE_EN	R/W	0x0	启用窗口化电路，该电路可捕获 rb_CLKPOS 寄存器中相对于 SYNC 边沿的时钟位置。捕获时钟位置之前，必须通过将 SYNC_CLR 切换为高电平然后切换为低电平来清除窗口化电路。清除窗口化电路后，SYNC 引脚上的第一个上升沿将触发捕获。捕获电路大大增加了电源电流，在 SYNC 模式下无需启用捕获电路即可延迟 SYNC 信号。确定所需的 SYNC_DLY 值后，将该位设置为 0x0 以尽可能减少电流消耗。如果 SYNC_EN = 0，则会忽略该位的值，并禁用窗口化电路。
1	未披露	R/W	0x1	将该字段编程为 0x1。
0	SYNC_LATCH	R/W	0x0	在 SYNC 引脚的第一个上升沿，将内部 SYNC 状态锁存为逻辑高电平。可通过设置 SYNC_CLR=1 来清除该锁存。

7.1.13 R15 寄存器（偏移 = 0xF）[复位 = 0x0B01]

表 7-15 展示了 R15。

返回到汇总表。

表 7-15. R15 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R	0x0	将该字段编程为 0x0。
11-7	未披露	R/W	0x16	将该字段编程为 0x16。
6-1	SYNC_DLY	R/W	0x0	设置外部 SYNC 信号的延迟线路步长。每个延迟线路步长都会造成一定的 SYNC 信号延迟，延迟量等于 SYNC_DLY_STEP x SYNC_DLY_STEP。在 SYNC 模式下，可以根据 rb_CLKPOS 值来确定该字段的值，从而满足 SYNC 信号相对于 CLKIN 信号的内部设置时间和保持时间要求。在 SYSREF 中继器模式下，该字段的值可用作粗略全局延迟。大于 0x3F 的值无效。由于较大的值包含更多的延迟步长，因此与较小的值相比，较大的值在整个 PVT 中的总步长变化更大。有关延迟步长计算过程的详细说明，请参阅数据表或器件 TICS Pro 配置文件。
0	SYNC_CLR	R/W	0x1	清除 SYNC_LATCH 并复位 SYNC 信号的同步路径时序。将该位保持为高电平可将内部 SYNC 信号保持为低电平。在执行 SYNC 或时钟位置捕获操作之前，必须设置和清除该位一次。

7.1.14 R23 寄存器（偏移 = 0x17）[复位 = 0x4000]

表 7-16 展示了 R23。

返回到汇总表。

表 7-16. R23 寄存器字段说明

位	字段	类型	复位	说明
15	TS_EN	R/W	0x0	启用片上温度传感器。还必须启用温度传感器计数器 (TS_CNT_EN) 以进行回读。
14	未披露	R/W	0x1	将该字段编程为 0x1。
13	MUXOUT_EN	R/W	0x0	启用 MUXOUT 引脚驱动器或将其置于三态。 0x0 = 三态 0x1 = 推挽
12-0	未披露	R/W	0x0	将该字段编程为 0x0。

Copyright © 2024 Texas Instruments Incorporated

7.1.15 R24 寄存器（偏移 = 0x18）[复位 = 0x0000]

表 7-17 展示了 R24。

返回到汇总表。

表 7-17. R24 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0x0	将该字段编程为 0x0。
13-12	未披露	R/W	0x0	将该字段编程为 0x0。
11-1	rb_TS	R	0x0	片上温度传感器的回读值。
0	TS_CNT_EN	R/W	0x0	启用温度传感器计数器。必须启用温度传感器 (TS_EN) 才能获得准确数据。

7.1.16 R25 寄存器（偏移 = 0x19）[复位 = 0x0211]

表 7-18 展示了 R25。

返回到汇总表。

表 7-18. R25 寄存器字段说明

位	字段	类型	复位	说明
15-7	未披露	R/W	0x4	将该字段编程为 0x4。
6	CLK_DIV_RST	R/W	0x0	复位主时钟分频器。如果在运行过程中更改了时钟分频器值，则在设置新分频器值后将该位设置为高电平，然后再设置为低电平。当 SYNC_EN = 0x1 时将器件与 SYNC 引脚同步也会复位主时钟分频器。该位在分频器模式之外无效。
5-3	CLK_DIV	R/W	0x2	当 CLK_MUX=2（分频器模式）时设置时钟分频器值。时钟分频器值为 CLK_DIV+1。CLK_DIV 的有效值为 1 至 7。将其设置为 0 会禁用主时钟分频器并恢复到缓冲器模式。
2-0	CLK_MUX	R/W	0x1	选择主时钟输出的功能 0x0 = 保留 0x1 = 缓冲器 0x2 = 分频器 0x3 = 保留

7.1.17 R75 寄存器（偏移 = 0x4B）[复位 = 0x0006]

表 7-19 展示了 R75。

返回到汇总表。

表 7-19. R75 寄存器字段说明

位	字段	类型	复位	说明
15	rb_CLKOUT2_EN	R	0x0	回读引脚状态
14	rb_CLKOUT1_EN	R	0x0	回读引脚状态
13	rb_CLKOUT0_EN	R	0x0	回读引脚状态
12	rb_MUXSEL1	R	0x0	回读引脚状态
11-7	未披露	R	0x0	将该字段编程为 0x0。
6	rb_DIVSEL1	R	0x0	回读引脚状态
5	rb_DIVSEL0	R	0x0	回读引脚状态
4	rb_CE	R	0x0	回读引脚状态
3-0	未披露	R/W	0x6	将该字段编程为 0x6。

Copyright © 2024 Texas Instruments Incorporated

7.1.18 R79 寄存器（偏移 = 0x4F）[复位 = 0x0205]

表 7-20 展示了 R79。

返回到汇总表。

表 7-20. R79 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0x0	将该字段编程为 0x0。
14-0	未披露	R/W	0x205	将该字段编程为 0x5。请注意，这与复位值不同。

7.1.19 R86 寄存器（偏移 = 0x56）[复位 = 0x0000]

表 7-21 展示了 R86。

返回到汇总表。

表 7-21. R86 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R/W	0x0	将该字段编程为 0x0。
2	MUXOUT_EN_OVRD	R/W	0x0	必须将该位设置为 1，才能启用 MUXOUT_EN，使 MUXOUT 引脚置于三态。
1-0	未披露	R/W	0x0	将该字段编程为 0x0。

7.1.20 R90 寄存器（偏移 = 0x5A）[复位 = 0x0000]

表 7-22 展示了 R90。

返回到汇总表。

表 7-22. R90 寄存器字段说明

位	字段	类型	复位	说明
15-8	未披露	R	0x0	将该字段编程为 0x0。
7	未披露	R/W	0x0	将该字段编程为 0x0。
6	AUXCLK_DIV_BYP3	R/W	0x0	如果 AUXCLK_BYP=1，则将该位设置为 1，否则设置为 0。
5	AUXCLK_DIV_BYP2	R/W	0x0	如果 AUXCLK_BYP=1，则将该位设置为 1，否则设置为 0。
4-0	未披露	R/W	0x0	将该字段编程为 0x0。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 SYNC 输入配置

SYNC 引脚支持交流或直流耦合模式下的单端或差分输入。SYNC 引脚具有带电容接地的内部 50Ω 端接，可用作 100Ω 差分端接。

Copyright © 2024 Texas Instruments Incorporated

图 8-1 显示了通用 SYNC 输入电路建议，以支持所有交流或直流、单端或差分输入。图中的一些分立式元件只是单个输入信号（单端或差分输入）以及交流或直流耦合输入的占位符。

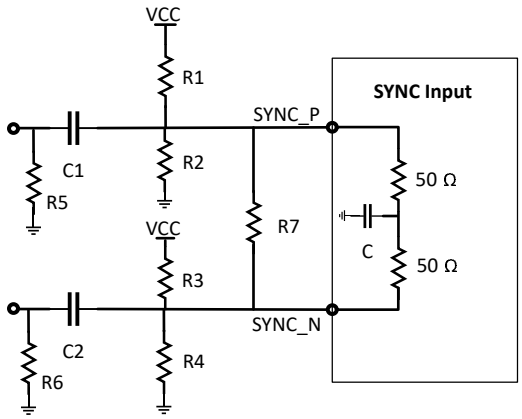


图 8-1. SYNC 输入电路建议

下图展示了每种配置的电路图：

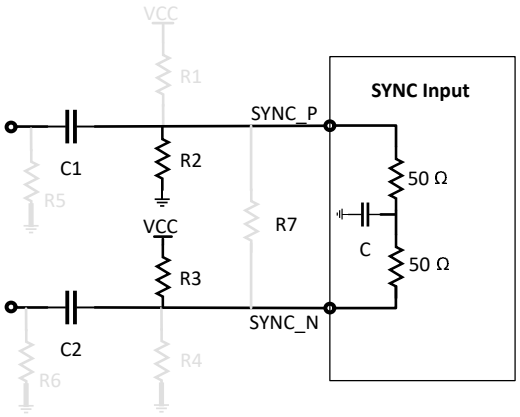


图 8-2. 交流耦合差分输入

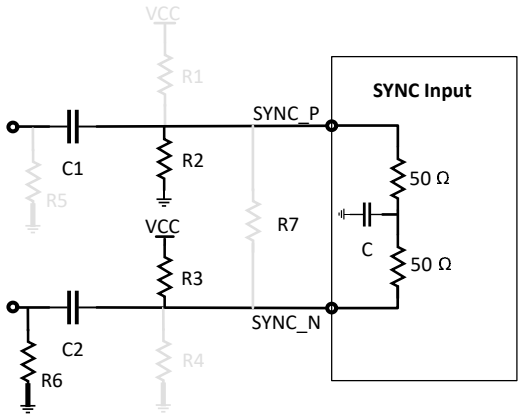


图 8-3. 交流耦合单端输入

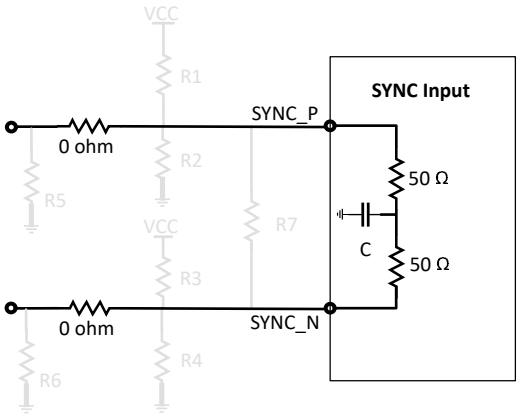


图 8-4. 直流耦合差分输入

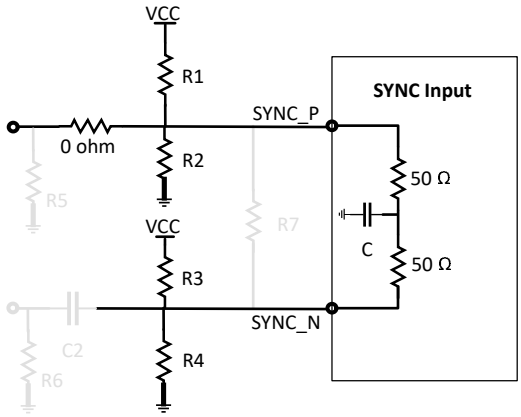


图 8-5. 直流耦合单端输入

1. 交流耦合差分和单端输入配置需要电阻端接（R2 和 R3）以在每个引脚上产生 VCM，并且必须选择电阻值以保持引脚 P 和引脚 N 之间的电位差大于 150mV。

Copyright © 2024 Texas Instruments Incorporated

a. 例如，要在引脚 P 处产生 1.5V VCM，在引脚 N 处产生 1.65V VCM，并使 VCC 为 2.5V，请将 R3 设置为 550Ω，将 R2 设置为 1kΩ。
b. 对于单端输入配置，请将 R6 设置为 50Ω，以避免在互补输入引脚处发生任何反射。

2. 直流耦合差分和单端输入配置要求源共模电压与器件输入共模规格相匹配。
a. 对于单端输入配置，请保留 R1、R2、R3 和 R4 电阻。这种方法在两个引脚处产生相同的共模电压，并且电阻分压器在引脚 P 处产生 75Ω 戴维南等效电阻，在引脚 N 处产生 50Ω 戴维南等效电阻。
b. 例如，要在每个引脚处产生 1.35V 共模电压，请将电阻分压器元件值设置为 R1 = 130Ω，R2 = 165Ω，R3 = 86.6Ω，R4 = 110Ω，并且 VCC 为 2.5V。

8.1.2 处理未使用的引脚

在许多情况下，并非会用到所有引脚。表 8-1 列出了有关如何处理这些未使用引脚的建议。

表 8-1. 处理未使用或部分使用的引脚

引脚	处理
所有 VCC 引脚	这些引脚必须始终与电源相连。如果未使用由这些 VCC 引脚（如引脚名称所暗示）供电的模块，则可更大限度地减少或消除旁路。
SYNC_P / SYNC_N	1. 如果驱动单端输入，则互补输入必须根据节 8.1.1 进行端接 2. 如果未使用 SYNC 引脚，则使用 1kΩ 电阻将这些引脚连接到 VCC。
CLKIN_P / CLKIN_N	如果驱动单端输入，则互补输入必须具有交流耦合电容器和 50Ω 接地电阻。
CLKOUTx_P / CLKOUTx_N	如果未使用，则连接到交流耦合电容器和 50Ω 接地电阻。
AUXCLKOUT_P / AUXCLKOUT_N	如果未使用这些引脚，则使用 1kΩ 电阻将这些引脚接地。
CLKx_EN	1. 如果器件在 SPI 控制模式下运行，则这些引脚必须通过 1kΩ 电阻连接到 VCC。 2. 如果未使用相应的输出通道，则必须通过 1kΩ 电阻将这些引脚接地。
MUXSEL、DIVSELx	如果未使用这些引脚，则使用 1kΩ 电阻将这些引脚接地。

8.1.3 电流消耗

电流消耗量随设置条件的变化而变化。通过将表 8-2 中显示的所有块电流相加，用户可以对任何设置条件下的电流进行合理估算。

表 8-2. 每个块的电流消耗

块		条件		电流 (mA)
器件内核		CLK_MUX = 缓冲器模式		294
		CLK_MUX = 分频模式		260
SYNC 窗口化	窗口化电路	窗口化电路 (CLKPOS_CAPTURE_EN=1)		113
CLKOUT（每个有效时钟通道）	内核			25
	输出缓冲器	CLKOUTx_EN=1		4+6*CLKOUTx_PWR
AUXCLKOUT	内核	AUXCLKOUT_EN=1		49
	输出缓冲器		CML(R_P=50Ω)	16+1*AUXCLKOUT_PWR
			LVDS	12

8.2 典型应用

该应用展示了当源 LMX2820 将 6000MHz 时钟输出导出到 LMX1214 以进行本机振荡器分配时，LMX1214 的低附加噪声影响。为了简单地将两个 EVM 连接在一起，这种特定设置使用了单端时钟来驱动 LMX1214，但通常建议以差分方式驱动该器件。

Copyright © 2024 Texas Instruments Incorporated

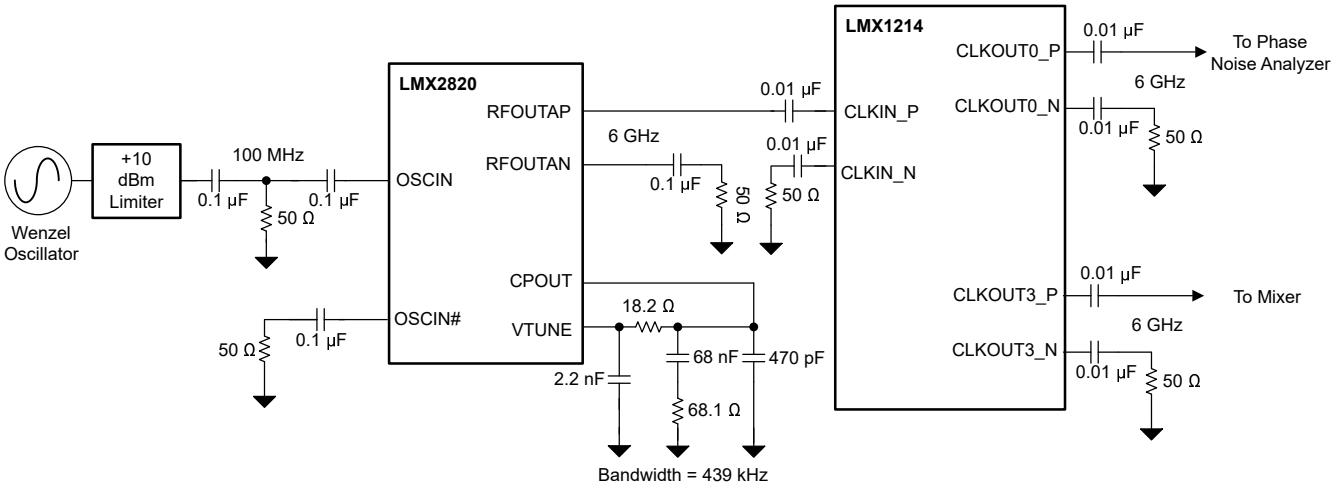

LMX1214
LMX2820
RFOUTAP
RFOUTAN
OSCIN
OSCIN#
CPOUT
VTUNE
CLKIN_P
CLKIN_N
CLKOUT0_P
CLKOUT0_N
CLKOUT3_P
CLKOUT3_N
Wenzel Oscillator
+10 dBm Limiter
100 MHz
0.1 µF
50 Ω
6 GHz
0.01 µF
18.2 Ω
68 nF
470 pF
2.2 nF
68.1 Ω
To Phase Noise Analyzer
To Mixer
Bandwidth = 439 kHz

图 8-6. 典型应用原理图

8.2.1 设计要求

设计参数列出了本示例的设计参数。

如果不会用到所有输出，TI 建议压缩布局，以尽可能缩短布线长度，特别是输入布线长度。

表 8-3. 设计参数

参数	值
LMX2820 输入频率	100MHz
LMX2820 输出频率	6000MHz
LMX1214 输入时钟频率	6000MHz
LMX1214 输出时钟频率	6000MHz
LMX1214	缓冲模式

8.2.2 详细设计过程

在本例中，6000MHz 输入时钟被旁路至 6000MHz 输出时钟。外部元件不会因内部配置而发生太大变化。TICS Pro 软件在计算必要的寄存器值和配置器件方面非常有用。

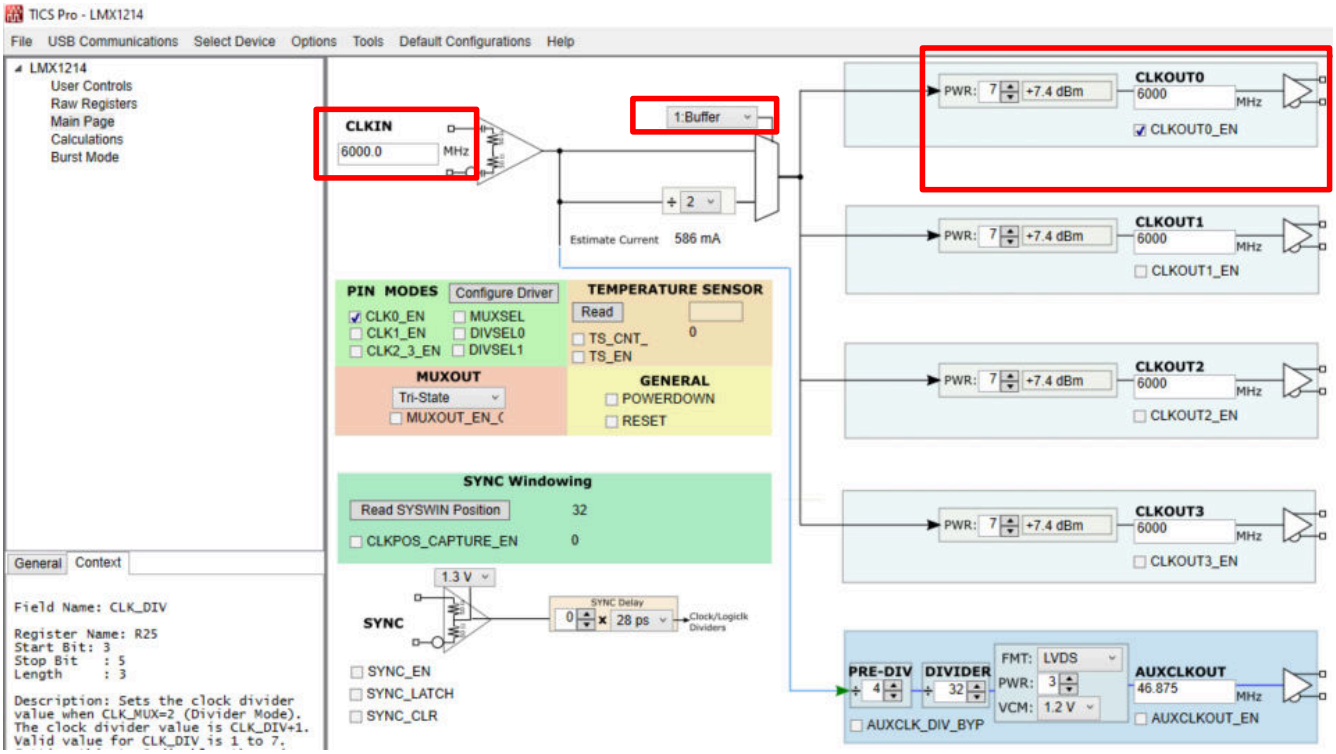


图 8-7. LMX1214 TICS Pro 设置

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线图

图 8-8 总图是 LMX1214 缓冲器模式噪声和 LMX2820 6000MHz 输出噪声之和。请注意，LMX1214 具有与 LMX2820 相同的噪声曲线。

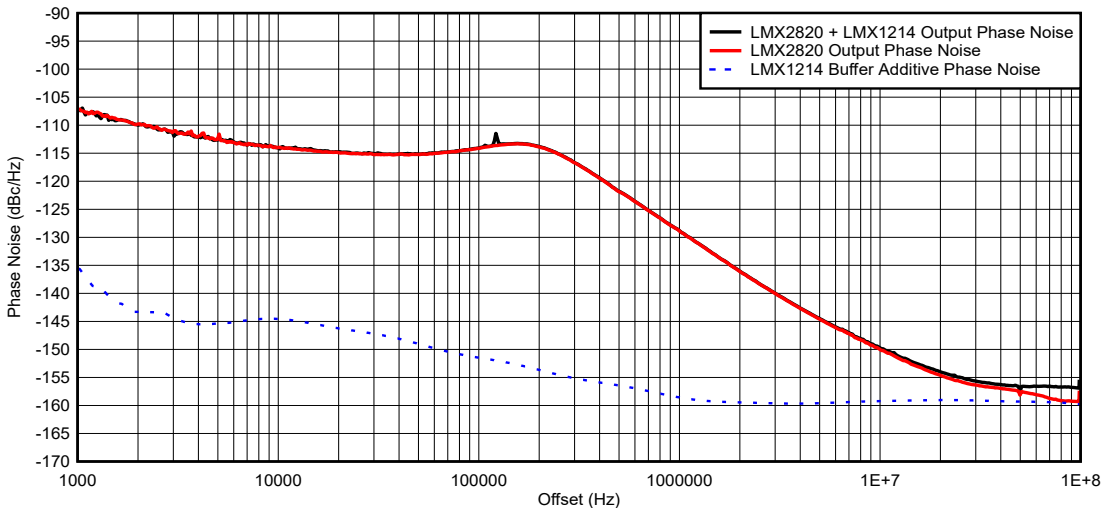


图 8-8. LMX1214 缓冲器输出

8.3 电源相关建议

整个器件使用 2.5V 电源。直接连接到开关电源可能会在输出端产生不必要的杂散。可以在所有电源引脚上单独实现旁路。TI 建议将频率更高且具有最小阻抗的较小电容器与器件放置在同一层上，并尽可能靠近引脚。器件中几乎所有信号的频率都是 100MHz 或更高，因此，具有低频最小阻抗的较大值旁路电容器仅用于稳定内部 LDO，其与器件的距离（以及旁路路径的环路电感）可以更大。如果同时使用时钟和 AUXCLKOUT，则用一个小电阻或铁氧体磁珠隔离时钟和 AUXCLKOUT 的电源引脚。有关每个引脚的其他建议，请参阅 *引脚配置和功能* 部分。

备注

该器件具有较低工作电压，并采用 LDO 进行内部滤波，因此 PSRR 非常小。请务必验证该器件已连接到没有过多杂散噪声的低噪声电源。

8.4 布局

8.4.1 布局指南

- 如果使用单端输出，则用耦合到 50Ω 的交流电端接互补侧，以便信号输出的阻抗与互补引脚侧相同。
- 封装外围的 GND 引脚在封装上的布线可以接回 DAP。
- 尽可能缩短 CLKIN 布线长度以获得合适的相位噪声。匹配不佳会降低本底噪声。
- 验证器件上的 DAP 是否通过多个过孔良好接地。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。
- 请注意，如果启用了所有输出，则电流消耗可能会很高，以至于超过 125°C 的建议内部结温；此时可能需要散热器。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

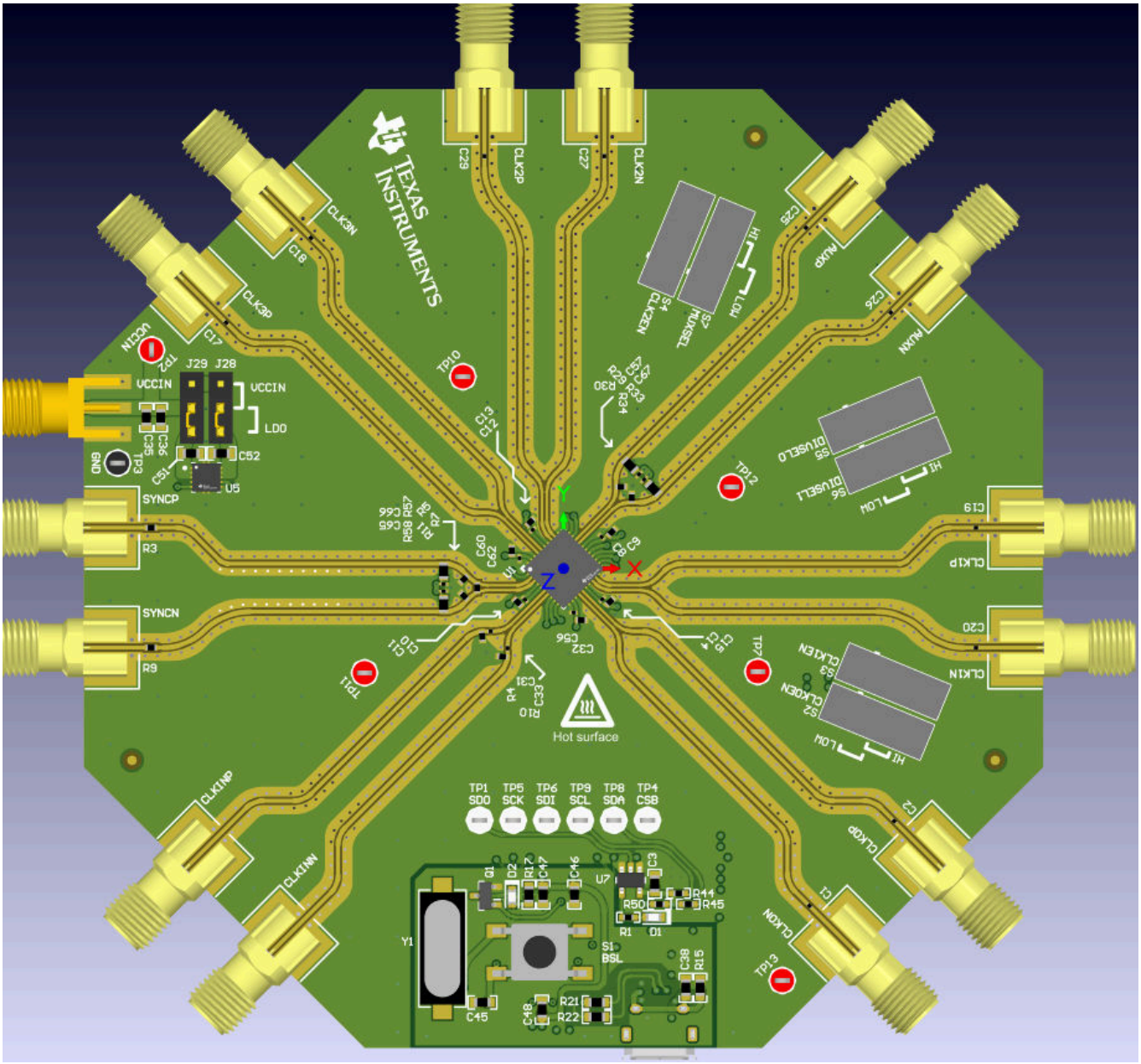


图 8-9. 布局示例

9 器件和文档支持

9.1 器件支持

TI 提供大量的开发工具和软件来模拟器件性能并对器件进行编程。

表 9-1. 开发工具和软件

工具	类型	说明
PLLatinum™ Sim	软件	模拟所有模式下的相位噪声

Copyright © 2024 Texas Instruments Incorporated

表 9-1. 开发工具和软件（续）

工具	类型	说明
TICS Pro	软件	使用具有交互式反馈和十六进制寄存器导出功能的用户友好型 GUI 对器件进行编程。

9.2 文档支持

9.2.1 相关文档

德州仪器 (TI)，*LMX1214 评估模块*，EVM 用户指南

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2023) to Revision A (August 2024)	Page
• 将缓冲器和分频器模式的最大输出频率分别更改为 18GHz 和 8GHz	1
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将*电气特性时钟输入* 部分中缓冲器模式下的最大输入频率规格更改为 18GHz	5
• 向*电气特性时钟输出* 部分中添加了不同步 2 分频输出频率规格	5
• 将*电气特性时钟输出* 部分中缓冲器模式下的最大输出频率规格更改为 18GHz	5
• 更改了*电气特性时钟输出* 部分中的输出功率值	5
• 向*电气特性漏电功耗规格* 中添加了测试条件	5
• 向*电气特性漏电功耗规格* 中添加了测试条件	5
• 更新了 *6GHz 时的 LMX1214 闪烁噪声* 和*缓冲器模式下的本底噪声* 图	9
• 在“相关文档”中添加了 LMX1214 评估模块用户指南链接	35

Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

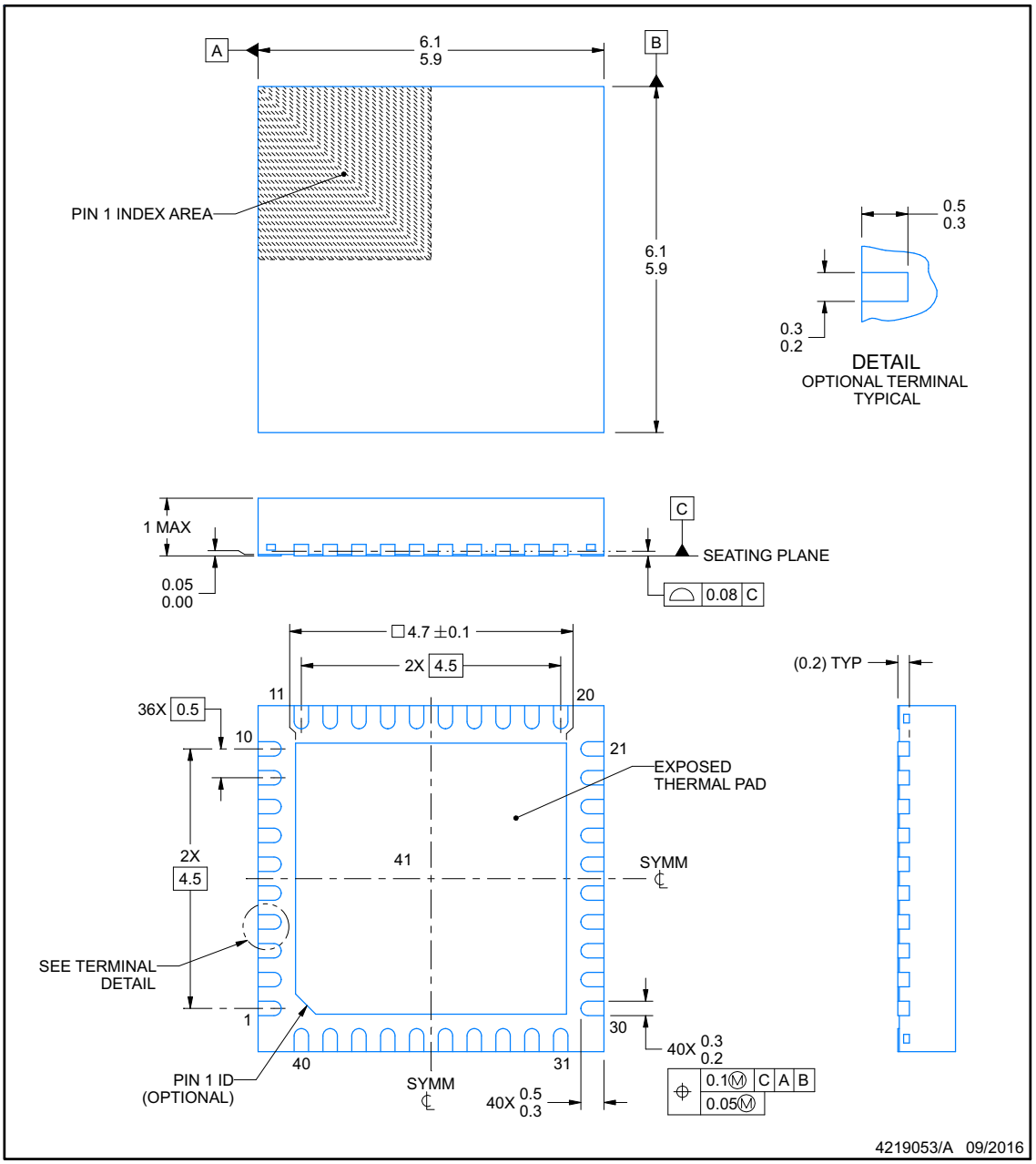
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

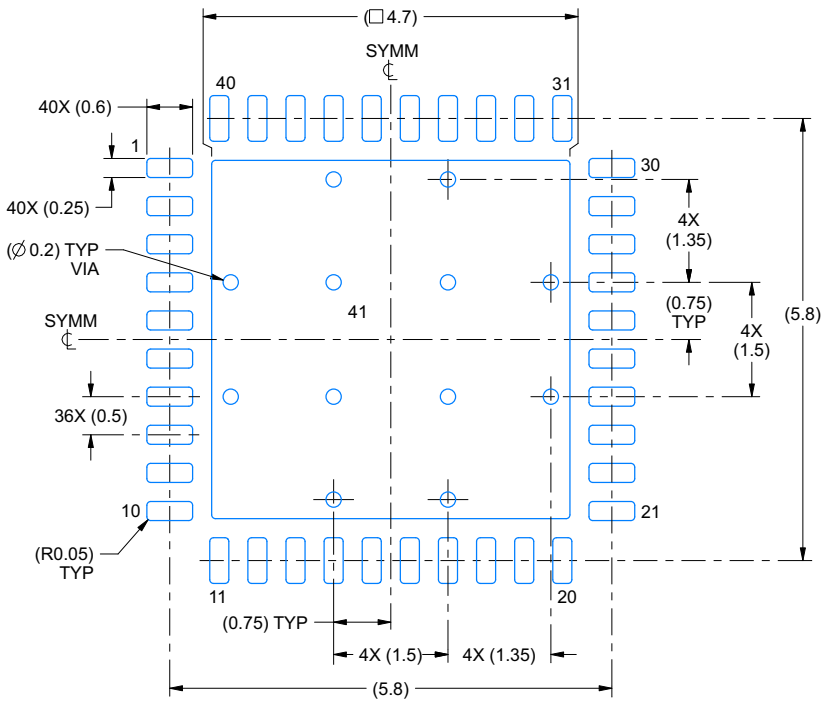
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2024 Texas Instruments Incorporated

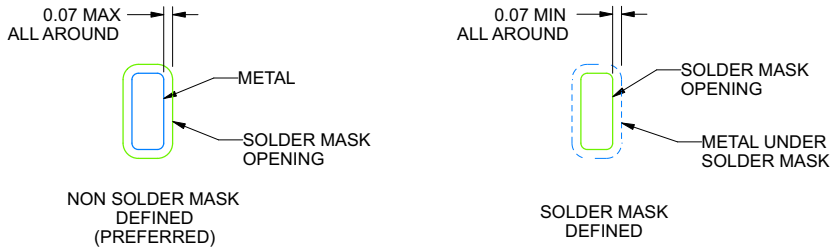
EXAMPLE BOARD LAYOUT

RHA0040C — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:12X



SOLDER MASK DETAILS

4219053/A 09/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

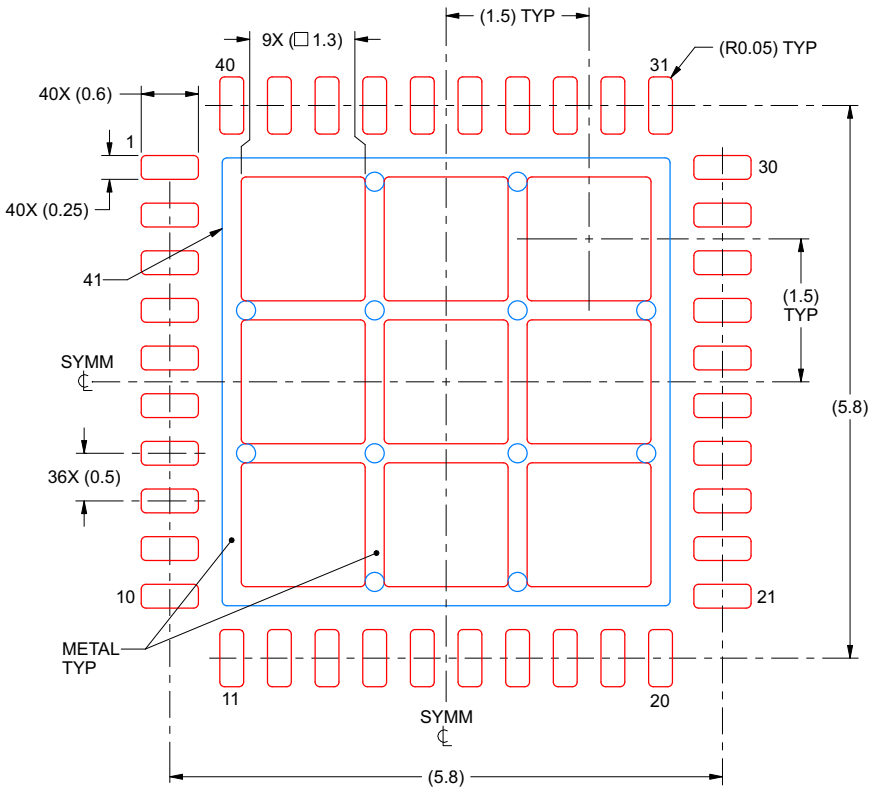
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/A 09/2016

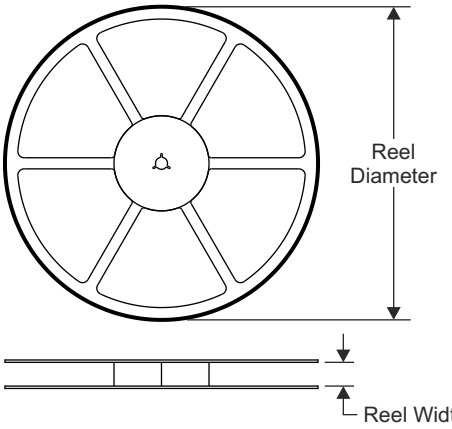
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

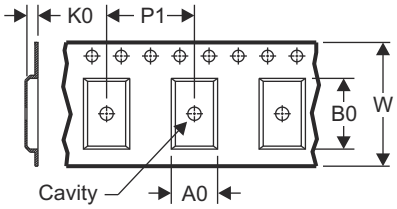
Copyright © 2024 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

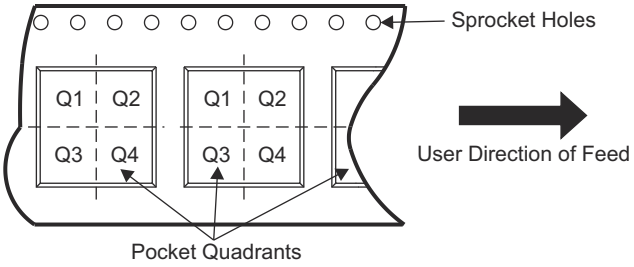


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

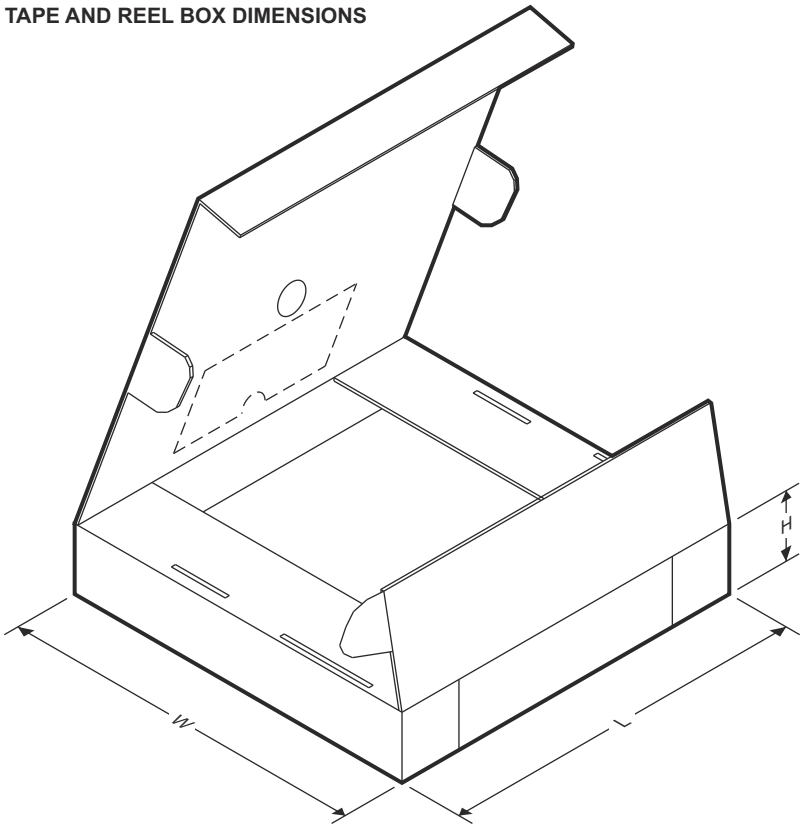
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
MX1214RHAR	VQFN	RHA	40	2500	330	16.4	6.3	6.3	1.1	12	16	Q2
LMX1214RHAT	VQFN	RHA	40	250	180	16.4	6.3	6.3	1.1	12	16	Q2

Copyright © 2024 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
LMX1214RHAR	VQFN	RHA	40	2500	367	367	38
LMX1214RHAT	VQFN	RHA	40	250	210	185	35

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1214RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214
LMX1214RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214
LMX1214RHAR.B	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	-	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214
LMX1214RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214
LMX1214RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214
LMX1214RHAT.B	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	-	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1214

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

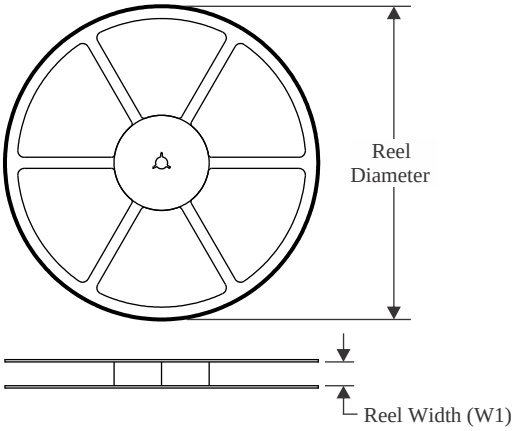
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

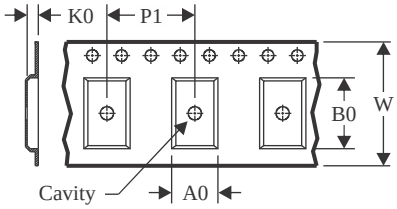
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

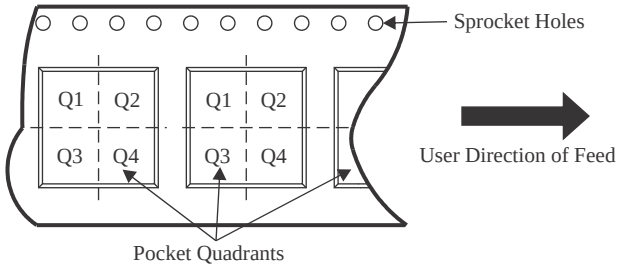


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

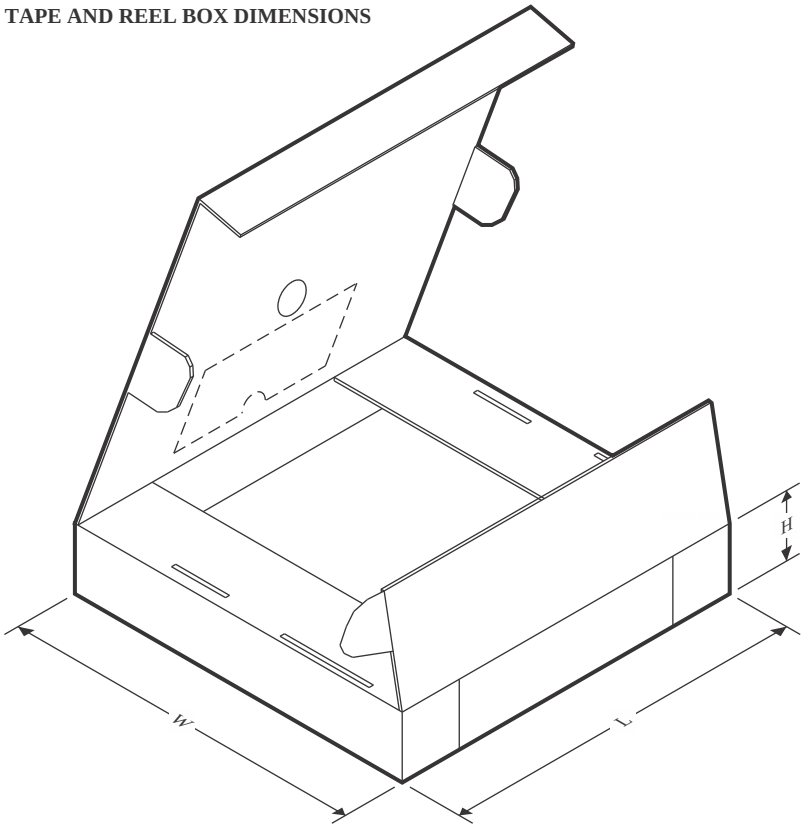
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1214RHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMX1214RHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1214RHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
LMX1214RHAT	VQFN	RHA	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

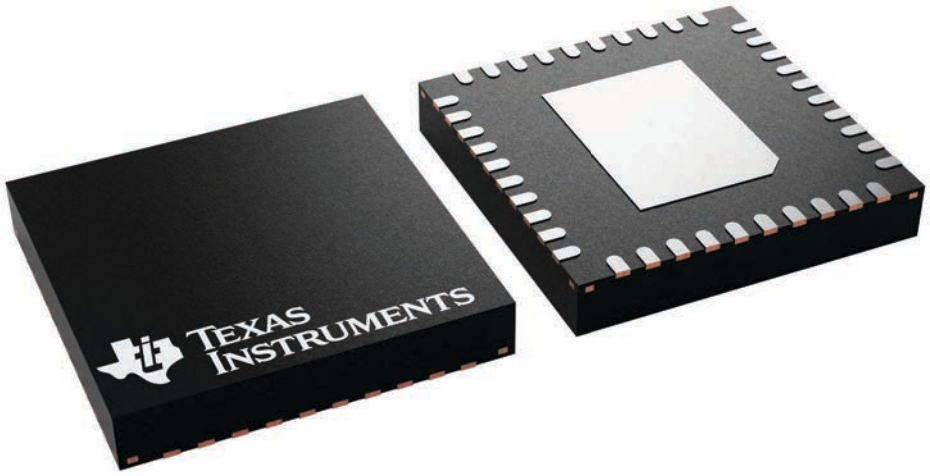
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



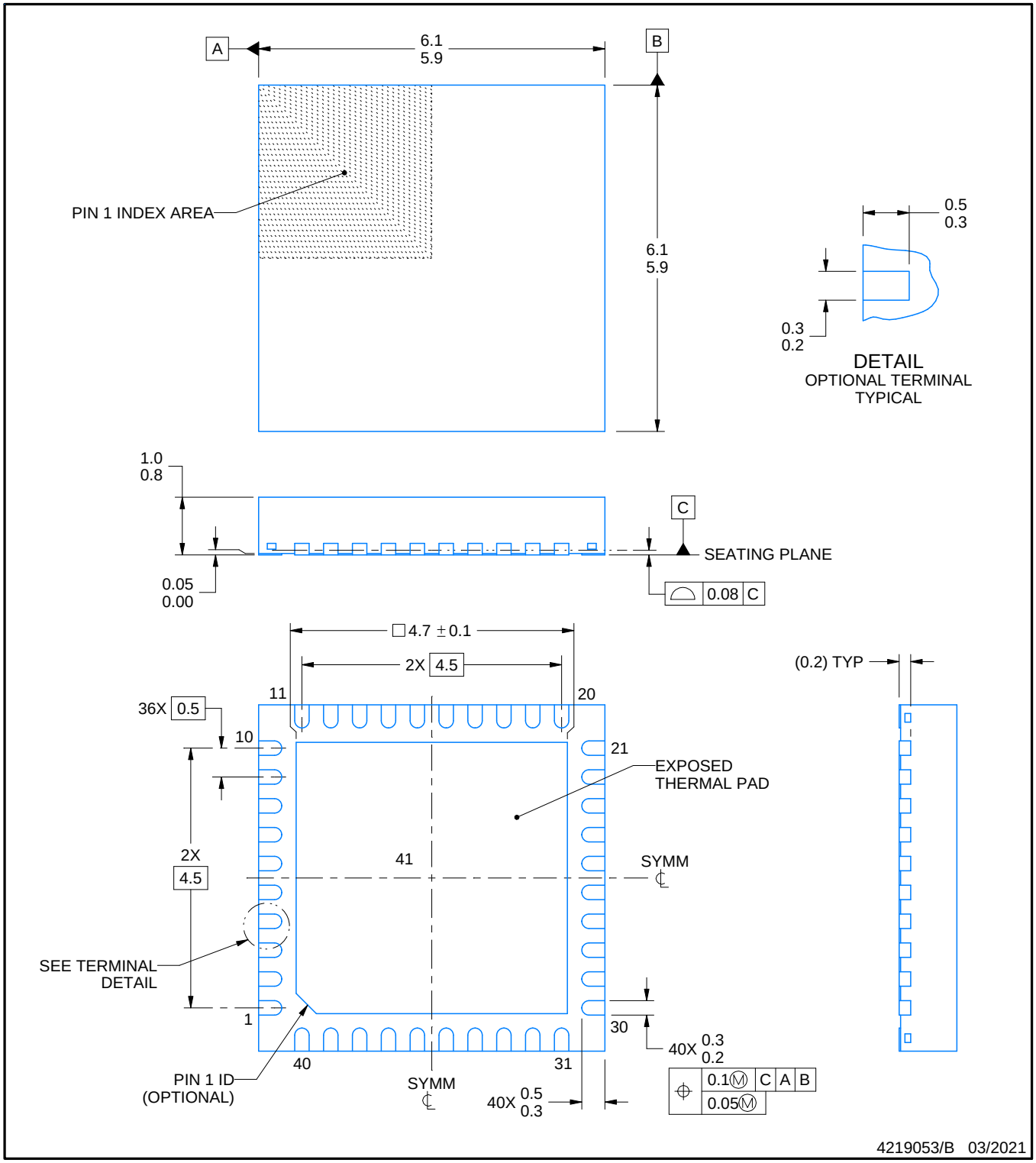
4225870/A

RHA0040C

PACKAGE OUTLINE

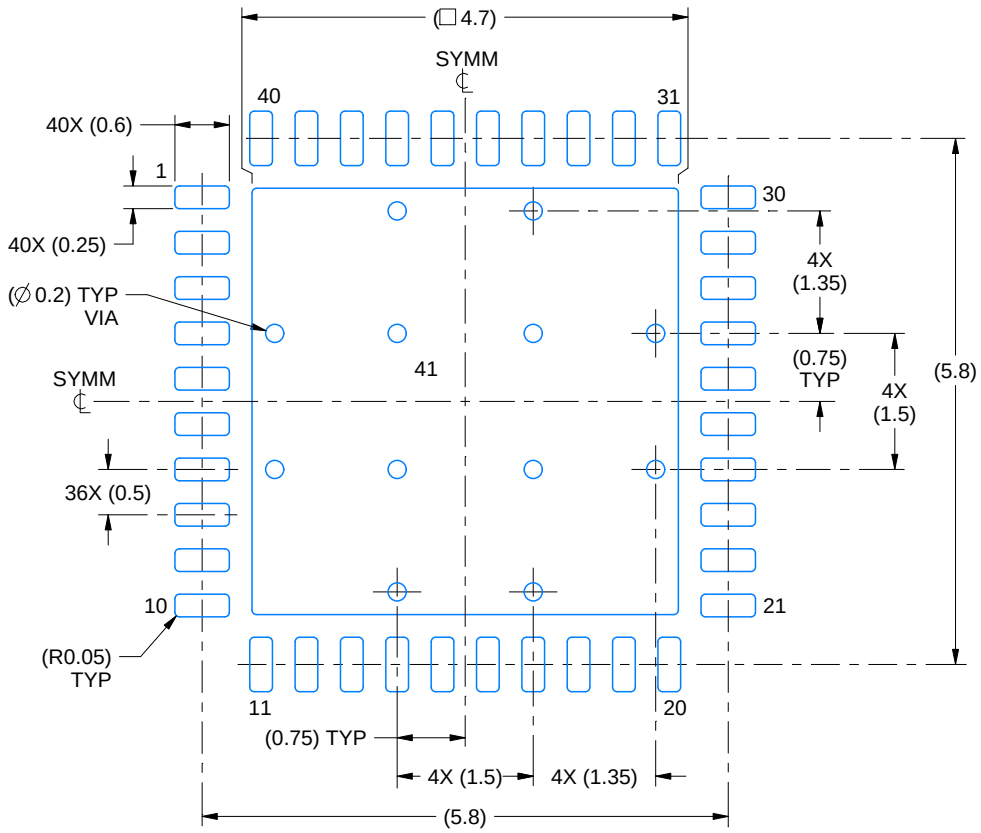
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

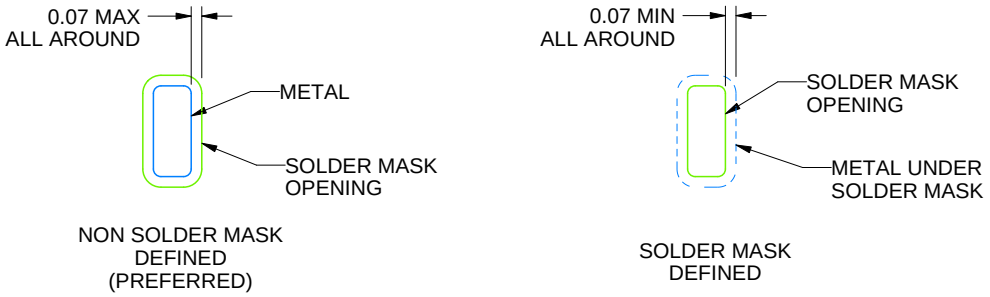


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

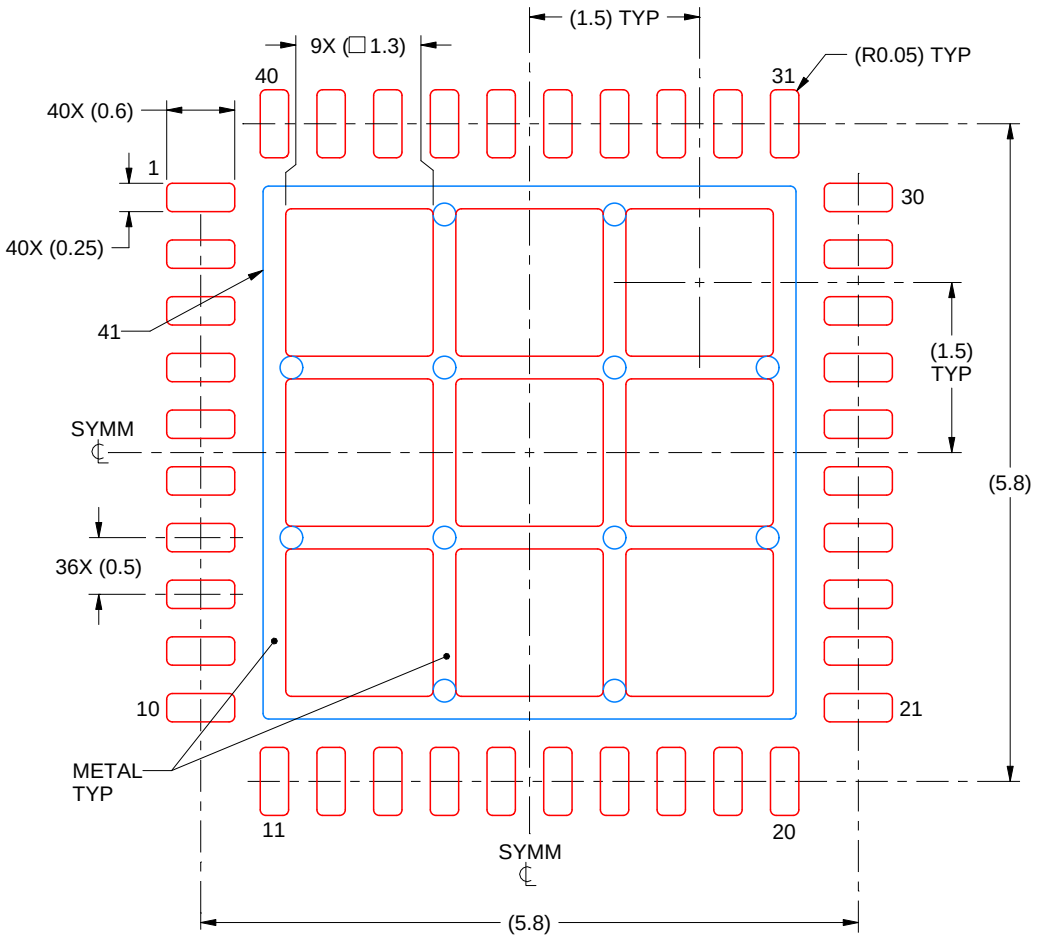


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司