

LMV76x 和 LMV762Q-Q1 推挽式输出、低电压、精密比较器

1 特性

- $V_S = 5V$, $T_A = 25^\circ C$ (典型值, 除非另有说明)
- 输入失调电压为 $0.2mV$
- 输入失调电压 (额定温度范围内最大值) 为 $1mV$
- 输入偏置电流为 $0.2pA$
- 传播延迟 ($OD = 50mV$) 为 $120ns$
- 低电源电流: $300\mu A$
- CMRR 为 $100dB$
- PSRR 为 $110dB$
- 扩展温度范围为 $-40^\circ C$ 至 $+125^\circ C$
- 推挽式输出
- 非常适合 $2.7V$ 和 $5V$ 单电源 应用
- 采用节省空间的封装:
 - 6 引脚 SOT-23 (具有关断功能的单通道版本)
 - 8 引脚 SOIC (具有关断功能的单通道版本)
 - 8 引脚 SOIC 和 VSSOP (不带关断功能的双通道版本)
- LMV762Q-Q1 符合汽车 应用标准
- 具有符合 AEC-Q100 标准的下列结果:
 - 器件温度 1 级: $-40^\circ C$ 至 $+125^\circ C$ 的环境运行温度范围
 - 器件 HBM ESD 分类等级 1C
 - 器件 CDM ESD 分类等级 M2

2 应用

- 便携式和电池供电类系统
- 扫描仪
- 机顶盒
- 高速差分线路接收器
- 窗口比较器
- 过零检测器
- 高速采样电路
- 汽车

3 说明

LMV76x 器件是面向需要低噪声和低输入失调电压的应用的精密比较器。LMV761 单通道版本具有关断引脚, 该引脚可用于禁用器件并降低电源电流。LMV761 采用节省空间的 6 引脚 SOT-23 或 8 引脚 SOIC 封装。LMV762 双通道版本采用 8 引脚 SOIC 或 VSSOP 封装。LMV762Q-Q1 采用 VSSOP 和 SOIC 封装。

这些器件具有 CMOS 输入和推挽式输出级。推挽式输出级消除了对外部上拉电阻器的需求。

LMV76x 旨在满足便携式和电池供电类电子设备在小尺寸、低功耗和高性能方面的需求。

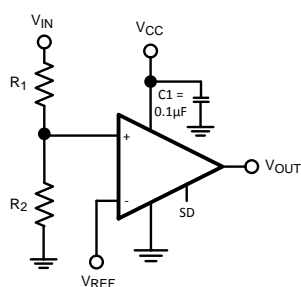
输入失调电压在室温下的典型值为 $200\mu V$, 在工作温度范围内的极限值为 $1mV$ 。

器件信息⁽¹⁾

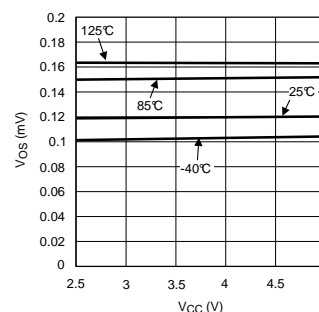
PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMV761	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (6)	2.90mm x 1.60mm
LMV762 LMV762Q-Q1	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

阈值检测器



V_{OS} 与 V_{CC} 间的关系



目录

1	特性	1	7.2	功能框图	11
2	应用	1	7.3	特性说明	11
3	说明	1	7.4	器件功能模式	12
4	修订历史记录	2	8	以下一些应用中	13
5	引脚配置和功能	3	8.1	应用信息	13
6	规格	4	8.2	典型应用	13
6.1	绝对最大额定值	4	9	电源建议	15
6.2	ESD 额定值: LMV761、LMV762	4	10	布局	15
6.3	ESD 额定值: LMV762Q-Q1	5	10.1	布局指南	15
6.4	建议的工作状态	5	10.2	布局示例	15
6.5	热性能信息	5	11	器件和文档支持	16
6.6	2.7V 电气特性	5	11.1	文档支持	16
6.7	5V 电气特性	6	11.2	社区资源	16
6.8	2V 开关特性	7	11.3	商标	16
6.9	5V 开关特性	7	11.4	静电放电警告	16
6.10	典型特性	8	11.5	术语表	16
7	详细说明	11	12	机械、封装和可订购信息	16
7.1	概述	11			

4 修订历史记录

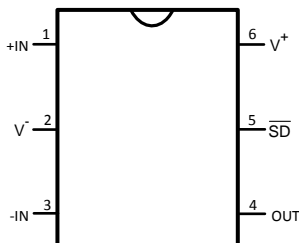
注: 之前版本的页码可能与当前版本有所不同。

Changes from Revision H (March 2013) to Revision I	Page
<ul style="list-style-type: none"> 已添加引脚配置和功能部分, ESD 额定值表, 特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分 	1

Changes from Revision G (March 2013) to Revision H	Page
<ul style="list-style-type: none"> 已更改将美国国家半导体产品说明书的布局更改为 TI 格式 	15

5 引脚配置和功能

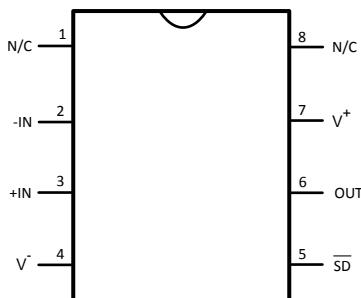
LMV761 (单通道) DBV 封装
6 引脚 SOT-23
俯视图



SOT-23 的引脚功能

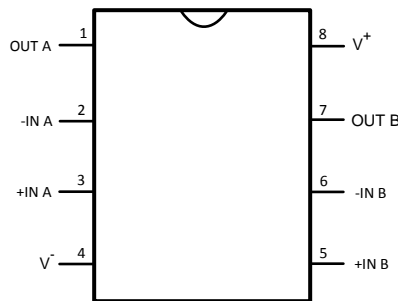
引脚		类型	说明
编号	名称		
1	+IN	I	同相输入
2	V ⁻	P	负电源端子
3	-IN	I	反相输入
4	OUT	O	输出
5	SDB	I	关断 (低电平有效)
6	V ⁺	P	正电源端子

LMV761 (单通道) D 封装
8 引脚 SOIC
俯视图



SOIC (单通道) 的引脚功能

引脚		类型	说明
编号	名称		
1	N/C	—	无连接 (没有内部连接)
2	-IN	I	反相输入
3	+IN	I	同相输入
4	V ⁻	P	负电源端子
5	SDB	I	关断 (低电平有效)
6	OUT	O	输出
7	V ⁺	P	正电源端子
8	N/C	—	无连接 (没有内部连接)

**LMV762、LMV762Q-Q1（双通道）DBV 或 DGK 封装
8 引脚 SOIC 或 VSSOP
俯视图**

SOIC 和 VSSOP（双通道）的引脚功能

引脚		类型	说明
编号	名称		
1	OUTA	O	通道 A 输出
2	-INA	I	通道 A 反相输入
3	+INA	I	通道 A 同相输入
4	V ⁻	P	负电源端子
5	+INB	I	通道 B 同相输入
6	-INB	I	通道 B 反相输入
7	OUTB	O	通道 B 输出
8	V ⁺	P	正电源端子

6 规格

6.1 绝对最大额定值

 请参阅 ⁽¹⁾⁽²⁾

		最小值	最大值	单位
电源电压 (V ⁺ – V ⁻)			5.5	V
差分输入电压		电源电压		
任何两个引脚之间的电压		电源电压		
输出短路持续时间 ⁽³⁾	输入引脚处的电流		±5	mA
焊接信息	红外或对流 (20 秒)		235	°C
	波焊 (10 秒) (铅温)		260	°C
结温			150	°C
贮存温度, T _{stg}		-65	150	°C

- 应力超出绝对最大额定值下列的值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时，器件能够功能性操作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
- 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 ±25mA 会对可靠性造成不利影响。

6.2 ESD 额定值: LMV761、LMV762

		值	单位
V _(ESD) 静电放电 ⁽¹⁾	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽²⁾	± 2000	V
	充电器件模型	± 200	

- 除非另有说明，否则人体放电模型是 1.5kΩ 与 100pF 串联。充电器件模型为 200pF。
- JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

6.3 ESD 额定值: LMV762Q-Q1

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	± 2000	V
	充电器件模型	± 200	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

6.4 建议的工作状态

	最小值	最大值	单位
电源电压 (V ⁺ - V ⁻)	2.7	5.25	V
温度范围	-40	125	°C

6.5 热性能信息

热指标 ⁽¹⁾	LMV761	LMV762、LMV762Q-Q1		单位
	D (SOIC)	DBV (SOT-23)	DGK (VSSOP)	
	8 引脚	6 引脚	8 引脚	
R _{θJA} 结至环境热阻 ⁽²⁾	190	265	235	°C/W

(1) 有关传统和新热指标的更多信息, 请参阅《半导体和 IC 封装热指标》应用报告, [SPRA953](#)。

(2) 最大功率耗散是 T_{J(MAX)}、θ_{JA} 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 P_D = (T_{J(MAX)} - T_A) R_{θJA}。所有数字均适用于直接焊接到 PCB 的封装。

6.6 2.7V 电气特性

除非另有说明, 否则所有限值均基于以下条件: T_J = 25°C, V_{CM} = V⁺ / 2, V⁺ = 2.7V, V⁻ = 0V⁻。

参数		测试条件	最小值 ⁽¹⁾	TYP ⁽²⁾	最大值 ⁽¹⁾	单位
V _{OS}	输入失调电压		0.2		1	mV
		适用于极端温度 ⁽³⁾				
I _B	输入偏置电流 ⁽⁴⁾		0.2	50		pA
I _{OS}	输入失调电流 ⁽⁴⁾		0.001	5		pA
CMRR	共模抑制比	0V < V _{CM} < V _{CC} - 1.3V	80	100		dB
PSRR	电源抑制比	V ⁺ = 2.7V 至 5V	80	110		dB
CMVR	输入共模电压范围	CMRR > 50dB 适用于极端温度 ⁽³⁾	-0.3		1.5	V
V _O	输出摆幅高	I _L = 2mA, V _{ID} = 200mV	V ⁺ - 0.35 V ⁺ - 0.1			V
	输出摆幅低	I _L = -2mA, V _{ID} = -200mV	90	250		mV
I _{SC}	输出短路电流 ⁽⁵⁾	拉电流, V _O = 1.35V, V _{ID} = 200mV	6	20		mA
		灌电流, V _O = 1.35V, V _{ID} = -200mV	6	15		
I _S	电源电流 LMV761 (单个比较器)			275	700	μA
				550		
	LMV762、LMV762Q-Q1 (所有两个比较器)	适用于极端温度 ⁽³⁾			1400	μA
I _{OUT LEAKAGE}	关断时的输出泄漏电流	\overline{SD} = GND, V _O = 2.7V		0.2		μA
I _{S LEAKAGE}	关断时的电源泄漏电流	\overline{SD} = GND, V _{CC} = 2.7V		0.2	2	μA

(1) 所有限值均根据测试或统计分析确定。

(2) 典型值表示最可能的参数标准。

(3) 最高温度保证范围为 -40°C 至 +125°C。

(4) 根据设计确定。

(5) 电气表的值仅适用于指示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制, 使得 T_J = T_A。在 T_J > T_A 的内部自发热条件下, 某些参数性能规格 (如电气表中所示) 无法得到保证。有关此器件的温度降额的信息, 请参阅 [建议的工作状态](#)。绝对最大额定值表示结温限值, 超过这些限值, 器件将会发生机械性或电气性的永久降级。

6.7 5V 电气特性

除非另有说明，否则所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V_{CM} = V^+ / 2$ ， $V^+ = 5\text{V}$ ， $V^- = 0\text{V}^-$ 。

参数		测试条件	最小值 ⁽¹⁾	TYP ⁽²⁾	最大值 ⁽¹⁾	单位
V_{OS}	输入失调电压			0.2		mV
		适用于极端温度 ⁽³⁾			1	
I_B	输入偏置电流 ⁽⁴⁾			0.2	50	pA
I_{OS}	输入失调电流 ⁽⁴⁾			0.01	5	pA
CMRR	共模抑制比	$0\text{V} < V_{CM} < V_{CC} - 1.3\text{V}$	80	100		dB
PSRR	电源抑制比	$V^+ = 2.7\text{V}$ 至 5V	80	110		dB
CMVR	输入共模电压范围	CMRR > 50dB 适用于极端温度 ⁽³⁾	-0.3		3.8	V
V_O	输出摆幅高	$I_L = 4\text{mA}$, $V_{ID} = 200\text{mV}$	$V^+ - 0.35$	$V^+ - 0.1$		V
	输出摆幅低	$I_L = -4\text{mA}$, $V_{ID} = -200\text{mV}$		120	250	mV
I_{SC}	输出短路电流 ⁽⁵⁾	拉电流, $V_O = 2.5\text{V}$, $V_{ID} = 200\text{mV}$	6	60		mA
		灌电流, $V_O = 2.5\text{V}$, $V_{ID} = -200\text{mV}$	6	40		
I_S	电源电流 LMV761 (单个比较器)			225	700	μA
				450		
		LMV762、LMV762Q-Q1 (所有两个比较器)	适用于极端温度 ⁽³⁾			1400
$I_{OUT\ LEAKAGE}$	关断时的输出泄漏电流	$\overline{SD} = \text{GND}$, $V_O = 5\text{V}$		0.2		μA
$I_S\ LEAKAGE$	关断时的电源泄漏电流	$\overline{SD} = \text{GND}$, $V_{CC} = 5\text{V}$		0.2	2	μA

- (1) 所有限值均根据测试或统计分析确定。
- (2) 典型值表示最可能的参数标准。
- (3) 最高温度保证范围为 -40°C 至 $+125^\circ\text{C}$ 。
- (4) 根据设计确定。
- (5) 电气表的值仅适用于指示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅 [建议的工作状态](#)。绝对最大额定值表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

6.8 2V 开关特性

在自然通风温度范围内测得（除非另有说明）

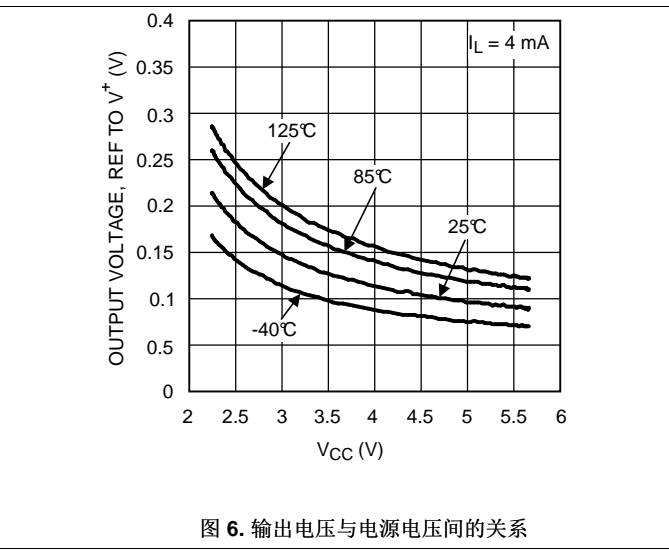
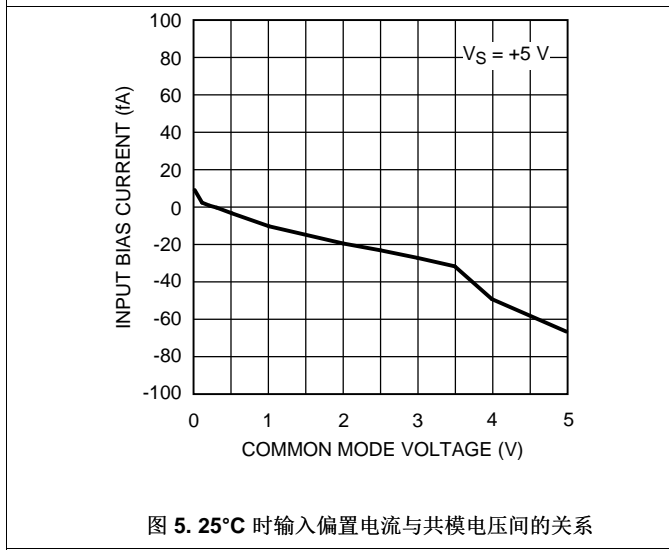
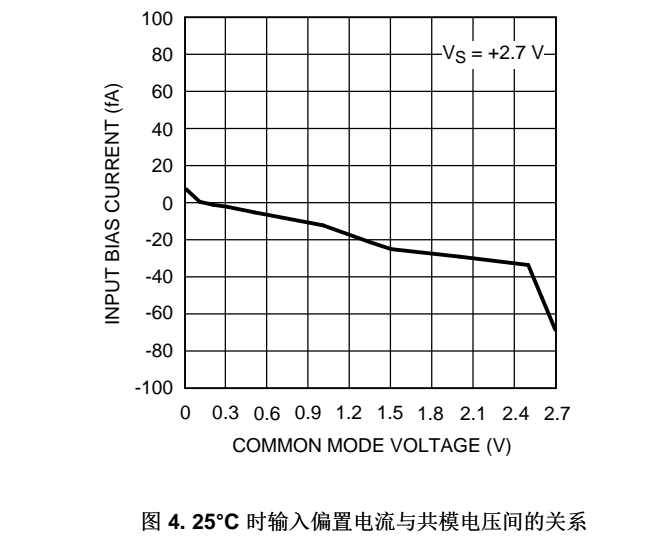
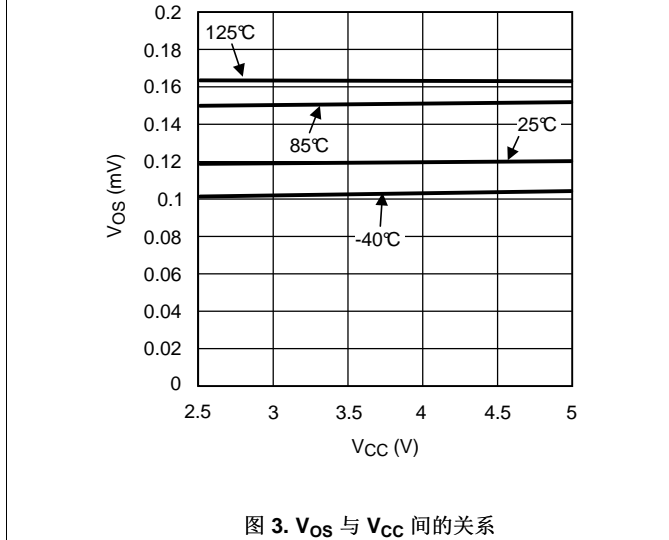
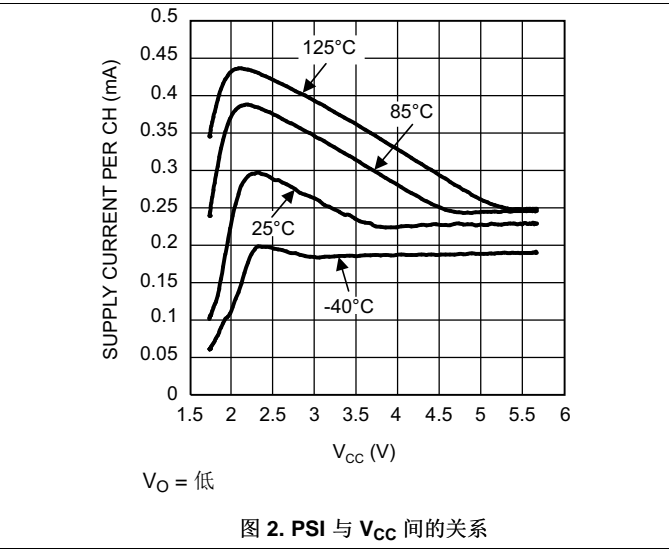
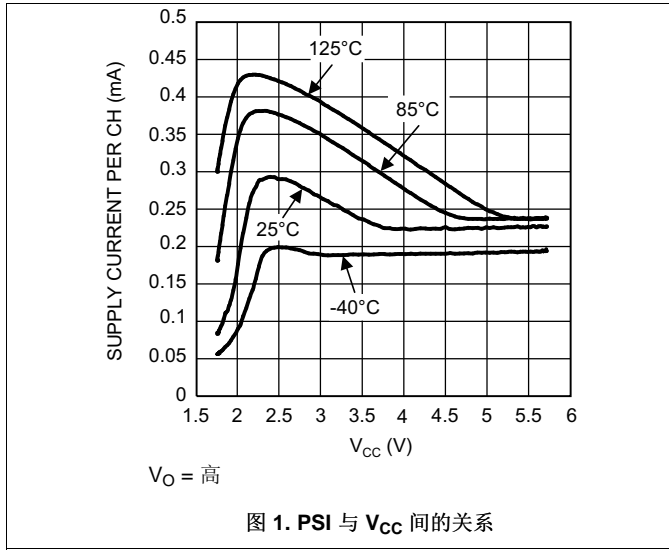
参数	测试条件	最小值	典型值	最大值	单位
t_{PD}	传播延迟 $R_L = 5.1k\Omega$ $C_L = 50pF$	过驱电压 = 5mV	270		ns
		过驱电压 = 10mV	205		
		过驱电压 = 50mV	120		
t_{SKEW}	传播延迟偏斜		5		ns
t_r	输出上升时间	10% 至 90%	1.7		ns
t_f	输出下降时间	90% 至 10%	1.8		ns
t_{on}	从关断状态导通的时间		6		μs

6.9 5V 开关特性

在自然通风温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
t_{PD}	传播延迟 $R_L = 5.1k\Omega$ $C_L = 50pF$	过驱电压 = 5mV	225		ns
		过驱电压 = 10mV	190		
		过驱电压 = 50mV	120		
t_{SKEW}	传播延迟偏斜		5		ns
t_r	输出上升时间	10% 至 90%	1.7		ns
t_f	输出下降时间	90% 至 10%	1.5		ns
t_{on}	从关断状态导通的时间		4		μs

6.10 典型特性



典型特性 (接下页)

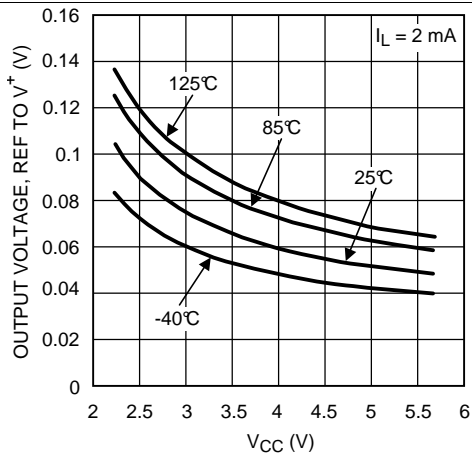


图 7. 输出电压与电源电压间的关系

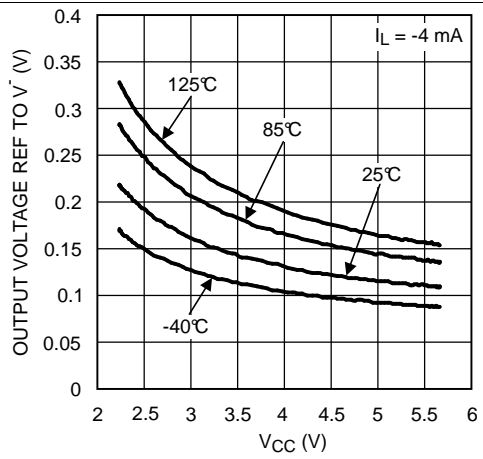


图 8. 输出电压与电源电压间的关系

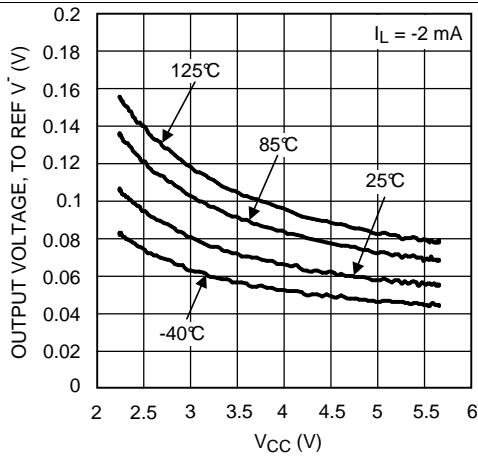


图 9. 输出电压与电源电压间的关系

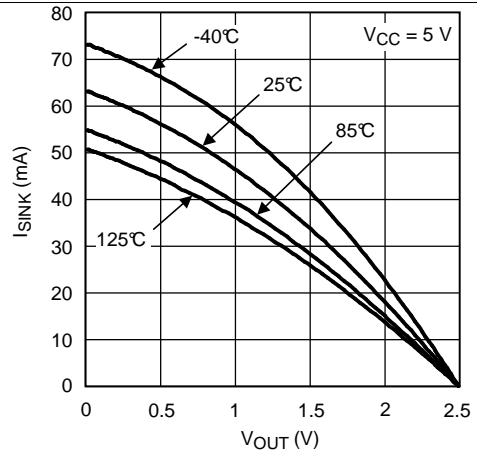


图 10. I_{SOURCE} 与 V_{OUT} 间的关系

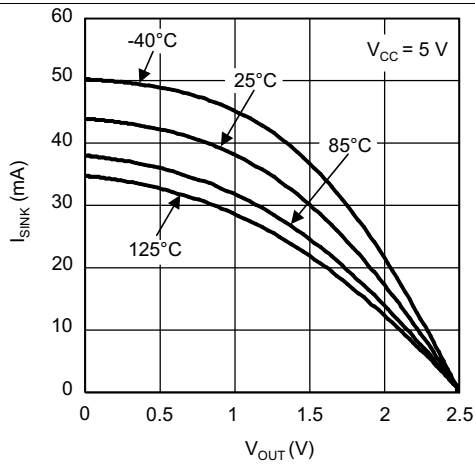


图 11. I_{SINK} 与 V_{OUT} 间的关系

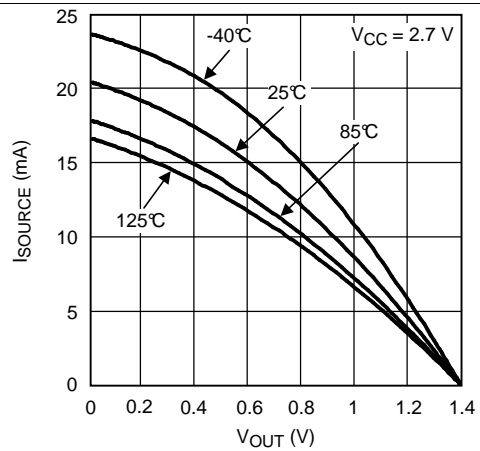


图 12. I_{SOURCE} 与 V_{OUT} 间的关系

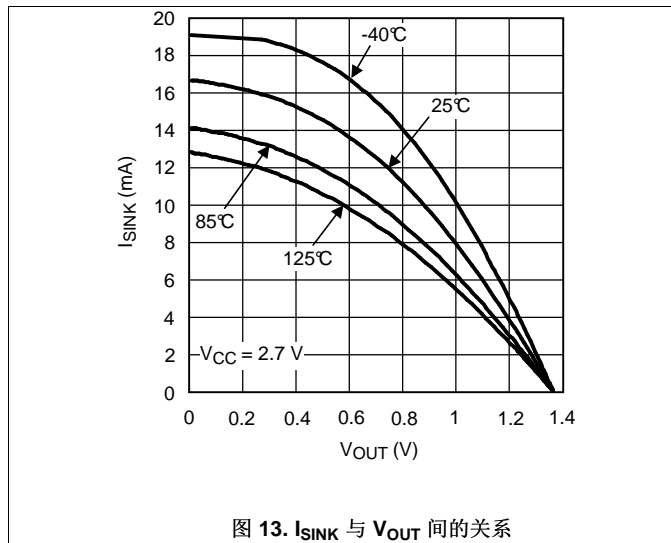
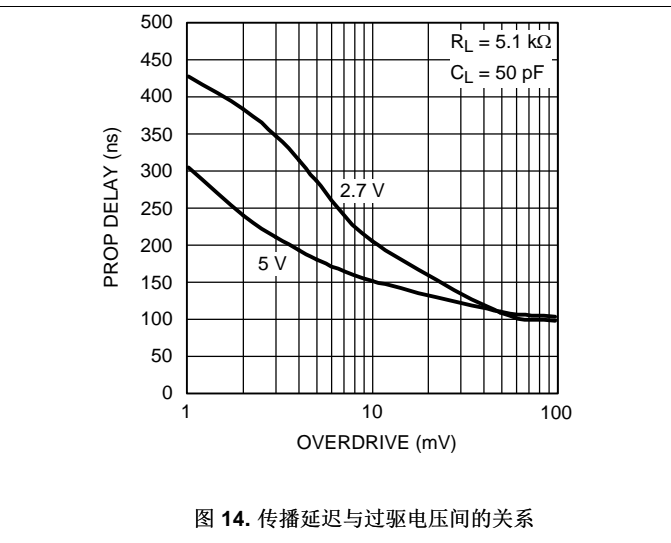
典型特性 (接下页)

 图 13. I_{SINK} 与 V_{OUT} 间的关系


图 14. 传播延迟与过驱电压间的关系

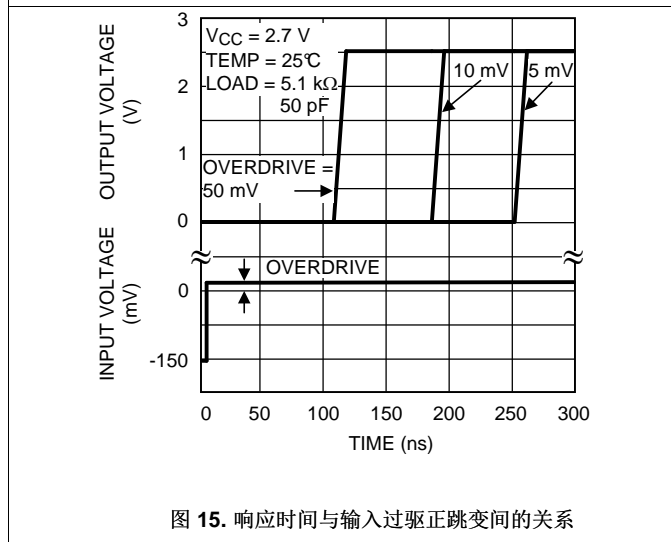


图 15. 响应时间与输入过驱正跳变间的关系

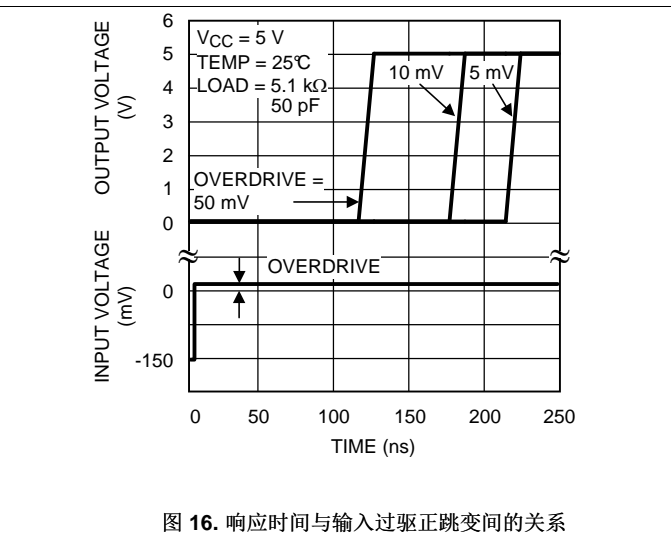


图 16. 响应时间与输入过驱正跳变间的关系

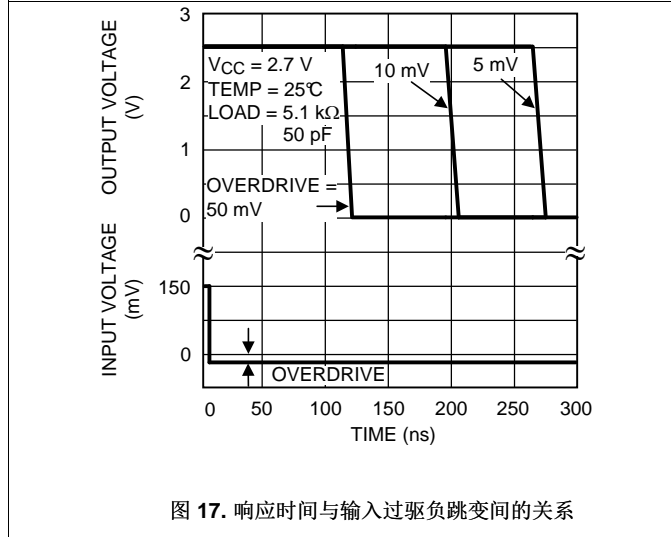


图 17. 响应时间与输入过驱负跳变间的关系

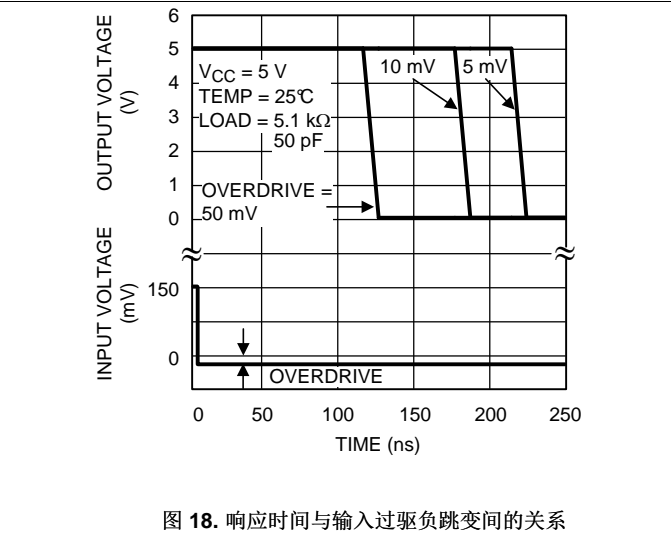


图 18. 响应时间与输入过驱负跳变间的关系

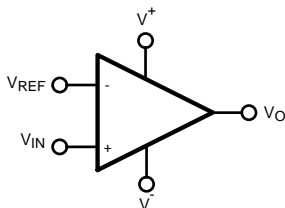
7 详细 说明

7.1 概述

LMV76x 系列精密比较器具有多种封装形式，是便携式和电池供电类电子设备的理想选择。

为了最大限度减少外部组件，LMV76x 系列器件 采用了 推挽式输出级，其中的输出电平由电源决定。此外，LMV761（单通道）具有 低电平有效的关断引脚，该引脚可用于禁用器件并降低电源电流。

7.2 功能框图



7.3 特性 说明

7.3.1 基本比较器

基本比较器电路用于将模拟输入信号转换为数字输出信号。比较器将同相输入端的输入电压 (V_{IN}) 与反相引脚上的基准电压 (V_{REF}) 进行比较。如果 V_{IN} 小于 V_{REF} ，则输出 (V_O) 为低电平 (V_{OL})。但是，如果 V_{IN} 大于 V_{REF} ，则输出电压 (V_O) 为高电平 (V_{OH})。

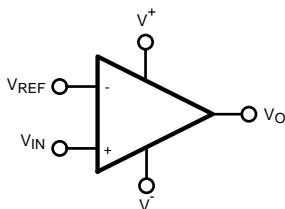


图 19. 没有迟滞的基本比较器

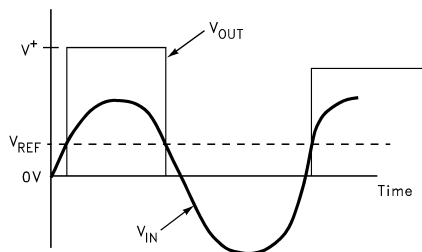


图 20. 基本比较器

7.3.2 迟滞

如果所施加的差分输入接近比较器的输入失调电压，则基本比较器配置可能会振荡或产生有噪声的输出；当一个输入电压等于或非常接近于另一个输入电压时，往往会发生这种情况。添加迟滞可以防止这一问题。迟滞会产生两个开关阈值（一个对应于上升输入电压，另一个对应于下降输入电压）。迟滞是两个开关阈值之间的电压差。当两个输入几乎相等时，迟滞会使一个输入有效地快速移过另一个输入。因此，会将输入移出可能发生振荡的区域。

特性说明 (接下页)

在具有两个电阻器和正反馈的同相配置中（图 22），可轻松地将迟滞添加到比较器中。当 V_{IN} 上升到高达 V_{IN1} 时，输出将由低电平切换到高电平；其中的 V_{IN1} 由公式 1 算出：

$$V_{IN1} = [V_{REF}(R_1 + R_2)] / R_2 \quad (1)$$

当 V_{IN} 下降到 V_{IN2} 时，输出将由高电平切换到低电平；其中的 V_{IN2} 由公式 2 算出：

$$V_{IN2} = [V_{REF}(R_1 + R_2) - (V_{CC} R_1)] / R_2 \quad (2)$$

迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，根据公式 3 算出：

$$\Delta V_{IN} = V_{IN1} - V_{IN2} = [V_{REF}(R_1 + R_2) / R_2] - [V_{REF}(R_1 + R_2) - (V_{CC} R_1) / R_2] = V_{CC} R_1 / R_2 \quad (3)$$

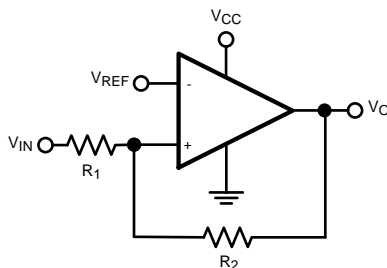


图 21. 具有迟滞的基本比较器

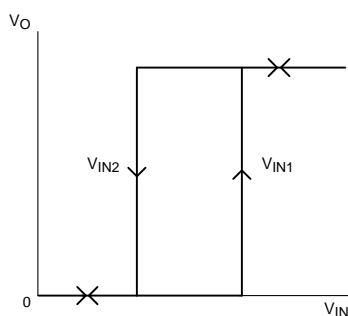


图 22. 同相比较器配置

7.3.3 输入

LMV76x 器件的输入偏置电流几乎为零，因此可以使用极高电阻的电路，而不用考虑匹配输入电阻。这个接近于零的输入偏置电流还允许在 R-C 型计时电路中使用非常小的电容器。这会降低电容器成本并减少使用的布板空间。

7.4 器件功能模式

7.4.1 关断模式

LMV761 具有一个低功耗关断引脚，通过驱动 \overline{SD} 低电平即可激活该引脚。在关断模式下，输出处于高阻状态，电源电流降至 20nA，并且比较器被禁用。驱动 \overline{SD} 高电平将开启比较器。由于 \overline{SD} 引脚为高阻抗输入，因此不能将其保持未连接状态。未连接时，输出将处于未知电压。请勿对 \overline{SD} 引脚进行三态调整。

\overline{SD} 的最高输入电压为 5.5V（以地为基准），并且不受 V_{CC} 限制。因此，当 V_{CC} 工作在较低电压（如 3V）时，可以使用

5V 逻辑来驱动 \overline{SD} 。 \overline{SD} 的逻辑阈值限值与 V_{CC} 成正比。

8 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMV76x 是具有 120ns 传播延迟和 300 μ A 电源电流的单电源比较器。

8.2 典型应用

LMV76x 比较器的典型应用为可编程方波振荡器。

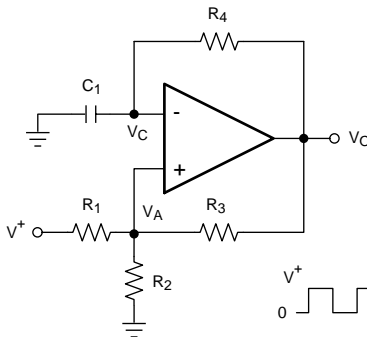


图 23. 方波振荡器

8.2.1 设计要求

图 23 中的电路产生一个方波，此方波的周期由电容器 C_1 和电阻器 R_4 的 RC 时间常数决定。除非另有说明，否则 $V^+ = 5V$ 。

8.2.2 详细设计流程

最高频率受限于比较器的大信号传播延迟以及输出端的容性负载（这会限制输出压摆率）。

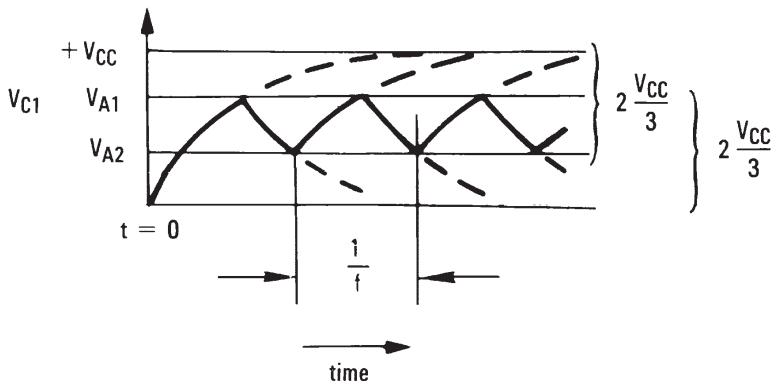


图 24. 方波振荡器时序阈值

典型应用 (接下页)

假设图 23 的输出为高电平以便对电路进行分析。这意味着反相输入 (V_C) 低于同相输入 (V_A)。这将使 C_1 通过 R_4 充电, 而电压 V_C 将增加, 直到等于同相输入。此时 V_A 的值由公式 4 算出:

$$V_{A1} = \frac{V_{CC} \cdot R_2}{R_2 + R_1 \parallel R_3} \quad (4)$$

如果 $R_1 = R_2 = R_3$, 则 $V_{A1} = 2 V_{CC} / 3$

此时, 比较器进行切换, 将输出拉低至负电源轨。此时 V_A 的值由公式 5 算出:

$$V_{A2} = \frac{V_{CC}(R_2 \parallel R_3)}{R_1 + (R_2 \parallel R_3)} \quad (5)$$

如果 $R_1 = R_2 = R_3$, 则 $V_{A2} = V_{CC} / 3$ 。

电容器 C_1 现在通过 R_4 放电, 而电压 V_C 会降低, 直至其等于 V_{A2} (此时, 比较器再次进行切换, 使其回到初始阶段)。该时间段等于 C_1 从 $2 V_{CC} / 3$ 放电到 $V_{CC} / 3$ 时所需时间的两倍 (由 $R_4 C_1 \times \ln 2$ 算出)。因此, 频率的计算公式为公式 6:

$$F = 1 / (2 \times R_4 \times C_1 \times \ln 2) \quad (6)$$

8.2.3 应用曲线

图 25 显示了具有以下值的振荡器的仿真结果:

- $R_1 = R_2 = R_3 = R_4 = 100\text{k}\Omega$
- $C_1 = 100\text{pF}$, $C_L = 20\text{pF}$
- $V_+ = 5\text{V}$, $V_- = \text{GND}$
- C_{STRAY} (未显示) 为 V_a 至 $\text{GND} = 10\text{pF}$

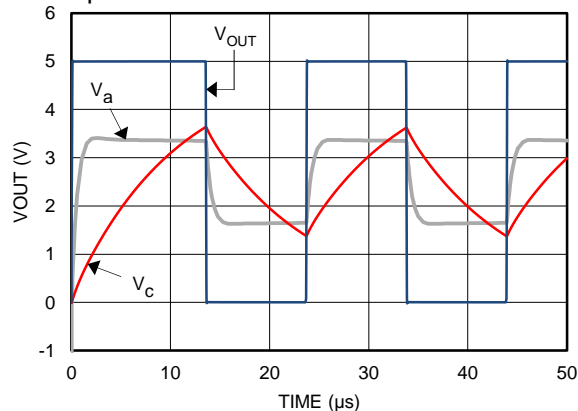


图 25. 方波振荡器输出波形

9 电源建议

为了最大限度降低电源噪声，电源必须通过一个与 $10\mu\text{F}$ 电容器并联的 $0.1\mu\text{F}$ 陶瓷电容器去耦。

由于输出转换中的纳秒边缘，在输出转换期间将吸收峰值电源电流。峰值电流取决于输出端的容性负载。输出转换可能在旁路不良的电源上引起瞬态。由于高 ESR 旁路电容器的走线电感和低自谐振频率，这些瞬态可能导致旁路不良的电源发生振铃。

应将 LMV6x 视为高速器件。请保持较短的接地路径，并将小型（低 ESR 陶瓷）旁路电容器直接置于 V^+ 和 V^- 引脚之间。

输出容性负载和输出触发速率将导致平均电源电流上升到超过静态电流。

10 布局

10.1 布局指南

LMV76x 根据设计具有稳定和无振荡的特性，但加入正确的旁路电容器和接地拾取器仍然很重要。必须在两个电源处放置 $0.1\mu\text{F}$ 陶瓷电容器以提供纯净的开关功能。最大限度缩短信号走线，从而减少杂散电容。

10.2 布局示例

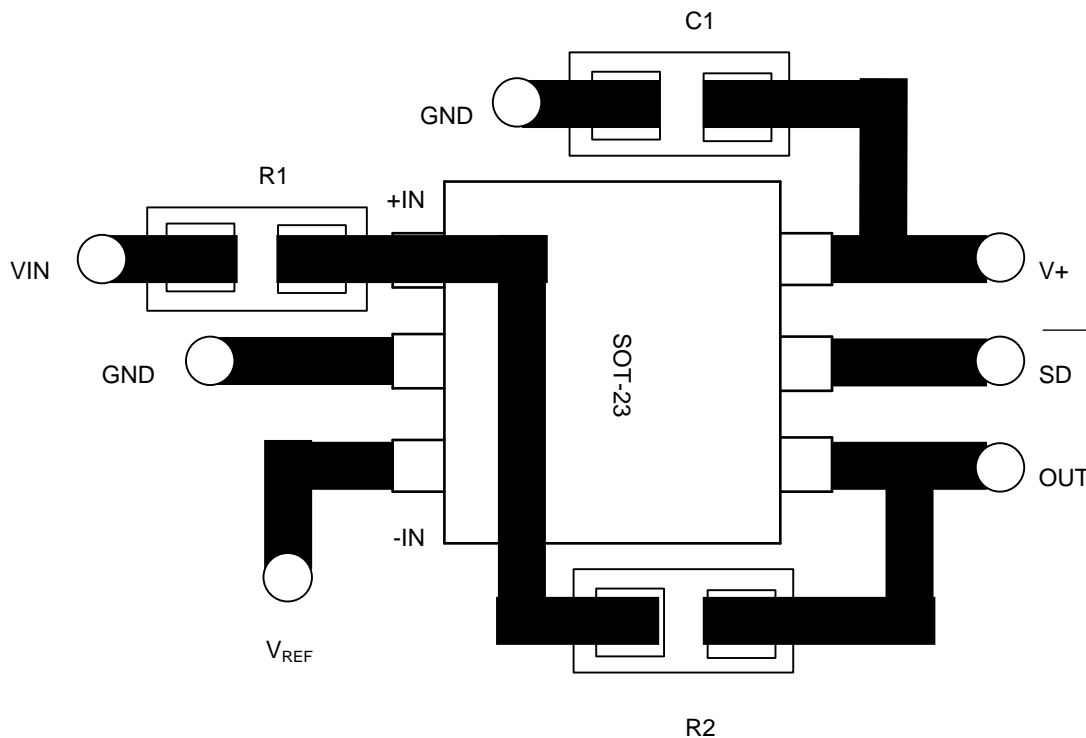


图 26. 具有迟滞的比较器

11 器件和文档支持

11.1 文档支持

11.1.1 相关链接

下面的表格列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LMV761	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV762	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV762Q-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.2 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.3 商标

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

11.4 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.5 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV761MA	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	LMV76 1MA
LMV761MA/NOPB	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 1MA
LMV761MA/NOPB.A	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 1MA
LMV761MA/NOPB.B	Active	Production	SOIC (D) 8	95 TUBE	-	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 1MA
LMV761MAX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 1MA
LMV761MAX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 1MA
LMV761MF	Obsolete	Production	SOT-23 (DBV) 6	-	-	Call TI	Call TI	-40 to 125	C22A
LMV761MF/NOPB	Active	Production	SOT-23 (DBV) 6	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C22A
LMV761MF/NOPB.A	Active	Production	SOT-23 (DBV) 6	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C22A
LMV761MFX	Obsolete	Production	SOT-23 (DBV) 6	-	-	Call TI	Call TI	-40 to 125	C22A
LMV761MFX/NOPB	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C22A
LMV761MFX/NOPB.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C22A
LMV761MFX/NOPB.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	SN	Level-1-260C-UNLIM	-40 to 125	C22A
LMV762MA	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	LMV7 62MA
LMV762MA/NOPB	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV7 62MA
LMV762MA/NOPB.A	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV7 62MA
LMV762MAX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV7 62MA
LMV762MAX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV7 62MA
LMV762MM/NOPB	Active	Production	VSSOP (DGK) 8	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C23A
LMV762MM/NOPB.A	Active	Production	VSSOP (DGK) 8	1000 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C23A
LMV762MMX	Obsolete	Production	VSSOP (DGK) 8	-	-	Call TI	Call TI	-40 to 125	C23A

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV762MMX/NOPB	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C23A
LMV762MMX/NOPB.A	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	C23A
LMV762MMX/NOPB.B	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	-	SN	Level-1-260C-UNLIM	-40 to 125	C23A
LMV762QMA/NOPB	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 2QMA
LMV762QMA/NOPB.A	Active	Production	SOIC (D) 8	95 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 2QMA
LMV762QMAX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 2QMA
LMV762QMAX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV76 2QMA
LMV762QMM/NOPB	Active	Production	VSSOP (DGK) 8	1000 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	C32A
LMV762QMM/NOPB.A	Active	Production	VSSOP (DGK) 8	1000 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C32A
LMV762QMMX/NOPB	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	C32A
LMV762QMMX/NOPB.A	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C32A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV761MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV761MF/NOPB	SOT-23	DBV	6	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV761MFX/NOPB	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV762MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV762MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV762MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV762QMAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV762QMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV762QMM/NOPB	VSSOP	DGK	8	1000	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV762QMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV761MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV761MF/NOPB	SOT-23	DBV	6	1000	208.0	191.0	35.0
LMV761MFX/NOPB	SOT-23	DBV	6	3000	208.0	191.0	35.0
LMV762MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV762MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV762MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV762QMAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV762QMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV762QMM/NOPB	VSSOP	DGK	8	1000	213.0	191.0	35.0
LMV762QMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LMV761MA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV761MA/NOPB.A	D	SOIC	8	95	495	8	4064	3.05
LMV761MA/NOPB.B	D	SOIC	8	95	495	8	4064	3.05
LMV762MA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV762MA/NOPB.A	D	SOIC	8	95	495	8	4064	3.05
LMV762QMA/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV762QMA/NOPB.A	D	SOIC	8	95	495	8	4064	3.05

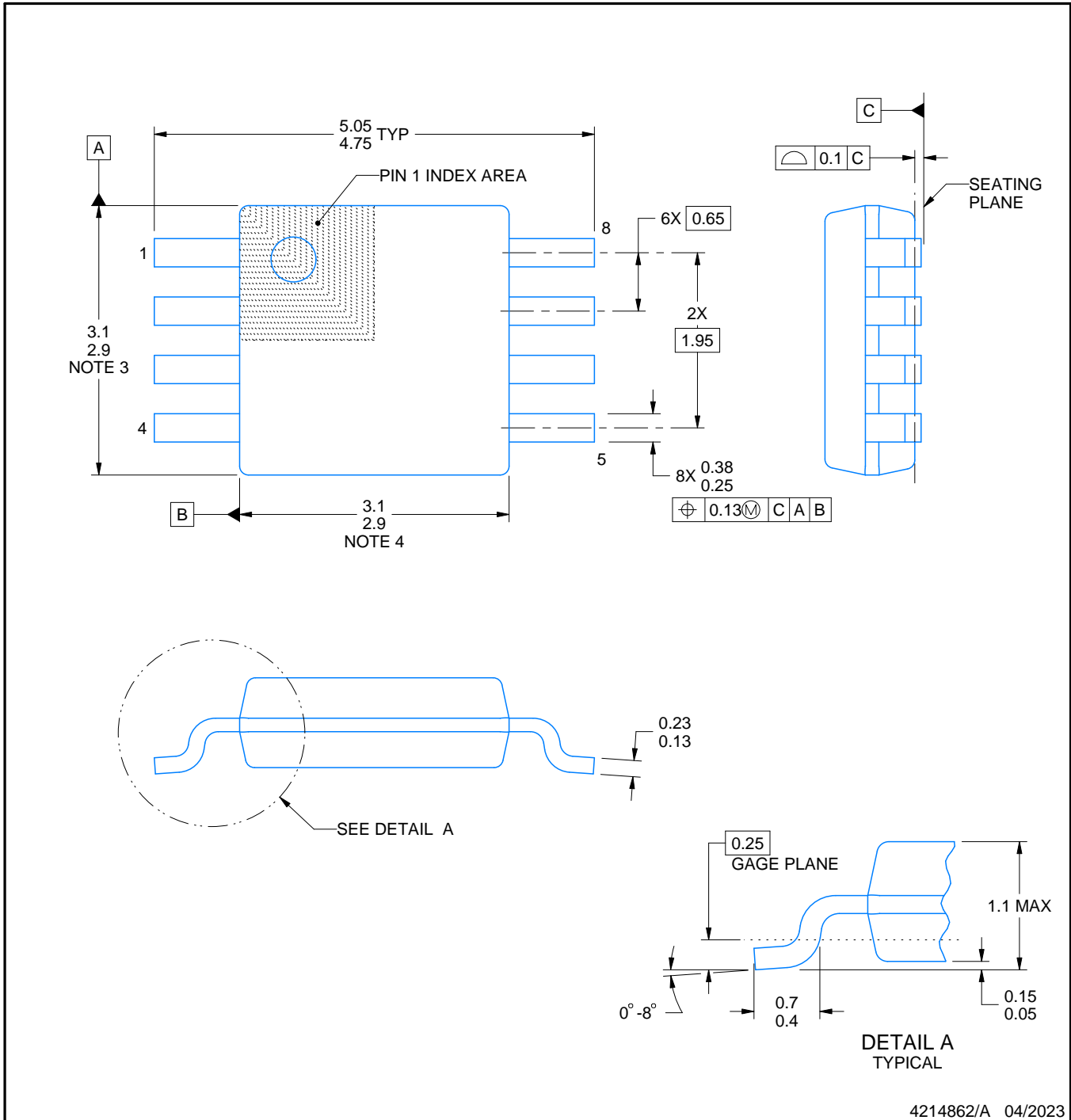
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

PowerPAD is a trademark of Texas Instruments.

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

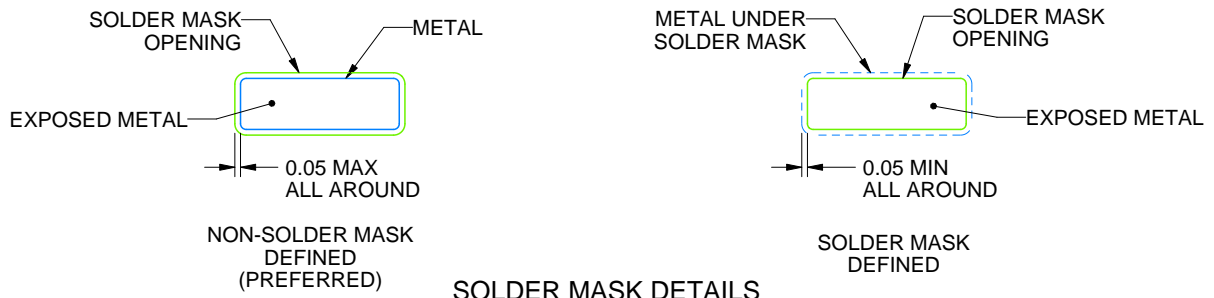
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBV0006A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司