LMK05318B-Q1 适用于汽车和工业应用且具有 BAW VCO 的超低抖动网络同步器和时钟发生器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 2：-40°C 至 105°C
- 基于 BAW VCO 的超低抖动以太网时钟
  - 312.5MHz 时的典型 RMS 抖动为 50fs
  - 156.25Mhz 时的典型 RMS 抖动为 60fs
- 一个高性能数字锁相环 (DPLL) 与两个模拟锁相环 (APLL) 配对：
  - 可编程 DPLL 环路带宽
  - DCO 频率调节步长 < 1ppt
- 两个差分或单端 DPLL 输入
  - 1Hz (1PPS) 至 800MHz 输入频率
  - 数字保持和无中断切换
- 八个采用可编程 HSDS/LVPECL、LVDS、HSCL 和 1.8V LVCMOS 输出格式的差分输出。
  - 多达六个不同的输出频率
  - 1Hz (1PPS) 至 1250MHz 输出频率
  - 符合 PCIe 第 1 代到第 6 代标准
- I^2C 或 SPI 寄存器控制总线
- 通过 EEPROM 在启动时提供自定义系统配置

2 应用

- 56G/112G PAM-4 PHY、ASIC、FPGA、SoC 和处理器的抖动消除、漂移衰减和基准时钟生成
- 高级驾驶辅助系统 (ADAS) - 传感器融合
- 信息娱乐和仪表组 - 汽车音响主机 - eAVB
- 车身电子装置与照明
  - 区域和车身域控制器
- SyncE (G.8262)、SONET/SDH（Stratum 3/3E、G.813、GR-1244、GR-253）、IEEE 1588 PTP 辅助时钟
- 测试和测量
- 医疗成像

3 说明

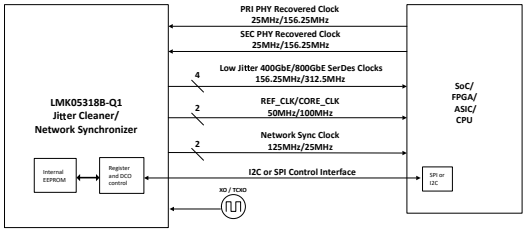
LMK05318B-Q1 是一款高性能网络同步器时钟器件，提供抖动消除、时钟生成、高级时钟监控和卓越的无中断切换性能，可满足通信基础设施和工业应用的严格时序要求。该器件具有超低抖动和高电源噪声抑制 (PSNR) 性能，可降低高速串行链路中的误码率 (BER)。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMK05318B-Q1	RGZ（VQFN，48）	7mm × 7mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型系统方框图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
4.1 器件启动模式.....6
5 规格.....7
5.1 绝对最大额定值.....7
5.2 ESD 等级.....7
5.3 建议运行条件.....7
5.4 热性能信息：4 层 JEDEC，标准 PCB.....8
5.5 热性能信息：10 层定制 PCB.....8
5.6 电气特性.....8
5.7 时序图.....15
5.8 典型特性.....17
6 参数测量信息.....20
6.1 输出时钟测试配置.....20
7 详细说明.....22
7.1 概述.....22
7.2 功能方框图.....23
7.3 特性说明.....28
7.4 器件功能模式.....51
7.5 编程.....56
8 应用和实施.....64
8.1 应用信息.....64
8.2 典型应用.....67
8.3 优秀设计实践.....70
8.4 电源相关建议.....70
8.5 布局.....72
9 器件和文档支持.....75
9.1 器件支持.....75
9.2 文档支持.....75
9.3 接收文档更新通知.....75
9.4 支持资源.....75
9.5 商标.....75
9.6 静电放电警告.....75
9.7 术语表.....75
10 修订历史记录.....75
11 机械、封装和可订购信息.....75

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

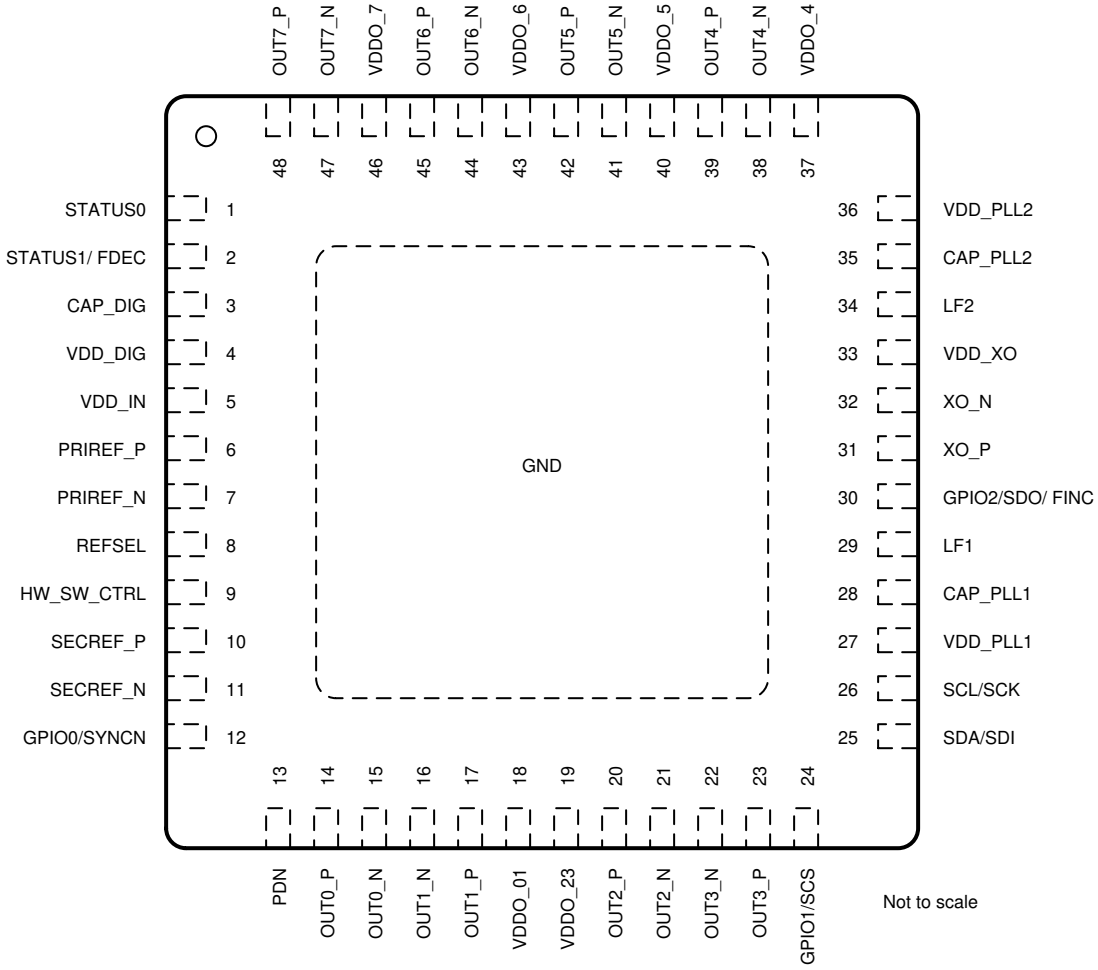


图 4-1. RGZ 封装 48 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
电源			
GND	PAD	G	**接地/散热焊盘。** 将外露焊盘连接到 PCB 接地端，以实现适当的电气和热性能。建议使用 5×5 过孔布局将 IC 接地焊盘连接到 PCB 接地层。
VDD_IN	5	P	**用于初级和次级基准输入的内核电源 (3.3V)。** 在每个引脚上放置一个 0.1µF 旁路电容器。
VDD_XO	33	P	**用于 XO 输入的内核电源 (3.3V)。** 在每个引脚上放置一个 0.1µF 旁路电容器。
VDD_PLL1	27	P	**用于 PLL1、PLL2 和数字块的内核电源 (3.3V)。** 在每个引脚上放置一个 0.1µF 旁路电容器。
VDD_PLL2	36	P	
VDD_DIG	4	P	

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
VDDO_01	18	P	**用于时钟输出 0 至 7 的输出电源（1.8V、2.5V 或 3.3V）。** 在每个引脚上放置一个 0.1µF 旁路电容器。如果相应的输出未使用，则可以保持悬空或无连接。输出电源电压电平可以在 VDDO_x 引脚之间混合使用或保持相同。请参阅*混合电源*。
VDDO_23	19	P	
VDDO_4	37	P	
VDDO_5	40	P	
VDDO_6	43	P	
VDDO_7	46	P	
核心块			
LF1	29	A	**APLL1 和 APLL2 的外部环路滤波电容器。** 在每个引脚上放置一个靠近的电容器。对于 LF1，建议为大约 1.0kHz 的典型 APLL1 环路带宽使用 0.47µF 电容器。对于 LF2，建议为大约 500kHz 的典型 APLL2 环路带宽使用 0.1µF 电容器。
LF2	34	A	
CAP_PLL1	28	A	**用于 APLL1、APLL2 和数字块的外部旁路电容器。** 在每个引脚上放置一个 10µF 旁路电容器。
CAP_PLL2	35	A	
CAP_DIG	3	A	
输入块			
PRIREF_P	6	I	**DPLL 主基准时钟和辅助基准时钟输入。** 每个输入对都可以接受差分或单端时钟作为 DPLL 的基准。每对都有一个带内部端接的可编程输入类型，从而支持交流或直流耦合时钟。可将单端 LVCMOS 时钟应用于 P 输入，同时将 N 输入下拉至接地。未使用的输入对可以保持悬空。 对于低频输入 (< 2kHz)，禁用内部交流耦合电容器来提高噪声抗扰度。差分输入和 LVCMOS 输入可以直流耦合到接收器。 有关可编程输入类型的详细信息，请参阅*基准输入（PRIREF_P/N 和 SECREF_P/N）*。
PRIREF_N	7	I	
SECREF_P	10	I	
SECREF_N	11	I	
XO_P	31	I	**XO/TCXO/OCXO 输入。** 此输入对可以接受来自低抖动本地振荡器的差分或单端时钟信号作为 APLL 的基准。此输入有一个带内部端接的可编程输入类型，从而支持交流或直流耦合时钟。可将单端 LVCMOS 时钟（高达 2.5V）应用于 P 输入，同时将 N 输入下拉至接地。在自由运行模式和保持模式下，低频 TCXO 或 OCXO 可用于设置时钟输出频率精度和稳定性。 在 DPLL 模式下，XO 频率必须与 VCO1 频率具有非整数关系，以便 APLL1 可以在分数模式下运行（这是 DPLL 正常运行所必需的）。在仅 APLL（自由运行）模式下，XO 频率可以与 VCO1 频率具有整数关系或非整数关系。 *振荡器输入 (XO_P/N)* 中详细说明了可编程输入类型和频率选项。
XO_N	32	I	
输出块			
OUT0_P	14	O	**时钟输出 0 至 3 组。** 每个可编程输出驱动器对都可以支持 AC-LVDS、AC-CML、AC-LVPECL 和 HCSL。 如果未使用的差分输出处于活动状态，则必须端接，或如果处于悬空状态，则必须通过寄存器禁用。 为了尽可能减少输出串扰，OUT[0:3] 组是 PLL1 时钟的首选。
OUT0_N	15	O	
OUT1_P	17	O	
OUT1_N	16	O	
OUT2_P	20	O	
OUT2_N	21	O	
OUT3_P	23	O	
OUT3_N	22	O	
OUT4_P	39	O	**时钟输出 4 至 7 组。** 每个可编程输出驱动器对都可以支持 AC-LVDS、AC-CML、AC-LVPECL、HCSL 或 1.8V LVCMOS 时钟（每对一个或两个）。 如果未使用的差分输出处于活动状态，则必须端接，或如果处于悬空状态，则必须通过寄存器禁用。 为了尽可能减少输出串扰，OUT[4:7] 组是 PLL2 时钟的首选。当不使用 PLL2 时，可为 PLL1 时钟使用 OUT[4:7] 组，而不会出现从 PLL2 交叉耦合的风险。
OUT4_N	38	O	
OUT5_P	42	O	
OUT5_N	41	O	
OUT6_P	45	O	
OUT6_N	44	O	
OUT7_P	48	O	
OUT7_N	47	O	

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
逻辑控制/状态 (2) (3)			
HW_SW_CTRL	9	I	**器件启动模式选择**（3 电平，1.8V 兼容）。 此输入选择器件启动模式，该模式确定了用于初始化寄存器、串行接口和逻辑引脚功能的存储器页。仅在器件上电复位 (POR) 时对输入电平进行采样。 有关启动模式说明和逻辑引脚功能，请参阅表 4-2。
PDN	13	I	**器件断电**（低电平有效）。 当 PDN 拉至低电平时，器件处于硬复位状态，并且包括串行接口在内的所有块都断电。当 PDN 拉至高电平时，根据 HW_SW_CTRL 选择的器件模式来启动器件并开始正常运行，同时所有内部电路复位至初始状态。
SDA/SDI	25	I/O	**I^2C 串行数据 I/O (SDA) 或 SPI 串行数据输入 (SDI)。**请参阅表 4-2。 当 HW_SW_CTRL 为 0 或 1 时，串行接口为 I^2C。SDA 和 SCL 引脚（开漏）需要外部 I^2C 上拉电阻器。默认的 7 位 I^2C 地址为 11001xxb，其中 MSB 位 (11001b) 从片上 EEPROM 初始化，LSB 位 (xxb) 由逻辑输入引脚决定。当 HW_SW_CTRL 为 0 时，LSB 由 POR 期间的 GPIO1 输入状态（3 电平）决定。当 HW_SW_CTRL 为 1 时，LSB 固定为 00b。 当 HW_SW_CTRL 为悬空时，串行接口为 SPI（4 线，模式 0），并使用 SDI、SCK、SCS 和 SDO 引脚。
SCL/SCK	26	I	**I^2C 串行时钟输入 (SCL) 或 SPI 串行时钟输入 (SCK)。**请参阅表 4-2。
GPIO0/SYNCN	12	I	**多功能输入或输出。** 请参阅表 4-2。
GPIO1/SCS	24	I	
GPIO2/SDO/ FINC	30	I/O	
STATUS0	1	I/O	**状态输出 0 和 1。** 每个输出具有可编程的状态信号选择、驱动器类型（3.3V LVCMOS 或开漏）和状态极性。开漏需要外部上拉电阻。如果未使用，将引脚保持悬空。 在 I^2C 模式下，STATUS1/FDEC 引脚可用作 DCO 模式控制输入引脚。请参阅表 4-2。
STATUS1/ FDEC	2	I/O	
REFSEL	8	I	**手动 DPLL 基准时钟输入选择。**（3 电平，1.8V 兼容）。 REFSEL = 0 (PRIREF)、1 (SECREF) 或悬空或 V_{IM}（自动选择）。此控制引脚必须通过寄存器默认启用或编程启用。如果未使用，将引脚保持悬空。

(1) G = 接地，P = 电源，I = 输入，O = 输出，I/O = 输入或输出，A = 模拟。
(2) 内部电阻：PDN 引脚有上拉到 VDD_IN 的 200kΩ 上拉电阻。HW_SW_CTRL、GPIO、REFSEL 和 STATUS 引脚在 PDN = 0 时均具有到 V_{IM} 的 150kΩ 偏置（约为 0.8V），或在 PDN = 1 时具有 400kΩ 下拉。
(3) 除非另有说明：逻辑输入是兼容 2 电平、1.8V 的输入。逻辑输出为 3.3V LVCMOS 电平。

Copyright © 2024 Texas Instruments Incorporated

4.1 器件启动模式

HW_SW_CTRL 输入引脚选择器件启动模式，该模式决定了用于在上电复位时初始化寄存器、串行接口和逻辑引脚功能的存储器页 (EEPROM)。初始寄存器设置决定了启动时的器件频率配置。启动后，可通过串行接口访问器件寄存器以进行器件监控和编程，并且逻辑引脚功能由所选模式来定义。

表 4-2. 器件启动模式

HW_SW_CTRL 输入电平(1)	启动模式	模式说明
0	EEPROM + I²C（软引脚模式）	寄存器从 EEPROM 初始化，并启用 I²C 接口。 逻辑引脚： • **SDA/SDI、SCL/SCK**：I²C 数据，I²C 时钟（开漏） • **GPIO0/SYNCN**：输出 SYNC 输入（低电平有效）。如果不使用，则从外部上拉。 • **GPIO1/SCS** (1)：I²C 地址 LSB 选择（低电平 = 00b，悬空 = 01b，高电平 = 10b） • **GPIO2/SDO/FINC** (2)：DPLL DCO 频率增量（高电平有效） • **STATUS1/FDEC** (2)：DPLL DCO 频率减量（高电平有效）或状态输出
悬空 (V_{IM})	EEPROM + SPI（软引脚模式）	寄存器从 EEPROM 初始化，并启用 SPI。 逻辑引脚： • **SDA/SDI、SCL/SCK**：SPI 数据输入 (SDI)，SPI 时钟 (SCK) • **GPIO0/SYNCN**：输出 SYNC 输入（低电平有效）。如果不使用，则从外部上拉。 • **GPIO1/SCS**：SPI 片选 (SCS) • **GPIO2/SDO/FINC**：SPI 数据输出 (SDO)
1	未使用	仅用于 TI 内部测试。

(1) 这些引脚上的输入电平仅在 POR 期间采样。
(2) FINC 和 FDEC 引脚仅在 DCO 模式和 GPIO 引脚控制由寄存器启用时可用。

备注

要验证是否正确启动进入 EEPROM + SPI 模式，在 PDN 引脚拉至高电平之前，HW_SW_CTRL、STATUS0 和 STATUS1 引脚必须全部悬空或偏置到 V_{IM}（典型值为 0.8V）。这三个引脚瞬时作为三电平输入运行，并在 PDN 从低电平到高电平转换时进行采样，以便确定 POR 期间的器件启动模式。如果这些引脚中的任何一个连接到系统主机（MCU 或 FPGA），TI 建议在每个引脚上使用外部偏置电阻器（10kΩ 上拉至 3.3V，3.3kΩ 下拉至 GND），以便在 POR 期间将输入设置为 V_{IM}。上电后，STATUS 引脚可作为 LVCMOS 输出运行，从而使外部电阻器偏置过驱来实现正常状态运行。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VDD(2)	内核电源电压	-0.3	3.6	V
VDDO(3)	输出电源电压	-0.3	3.6	V
V_{IN}	时钟和逻辑输入的输入电压范围	-0.3	VDD+0.3	V
V_{OUT_LOGIC}	逻辑输出的输出电压范围	-0.3	VDD+0.3	V
V_{OUT}	时钟输出的输出电压范围	-0.3	VDDO+0.3	V
T_J	结温		150	°C
T_{stg}	贮存温度范围	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) VDD 指所有内核电源引脚或电压。所有 VDD 内核电源都必须在 PDN 拉至高电平来触发内部上电复位 (POR) 之前上电。
(3) VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD(1)	内核电源电压	3.135	3.3	3.465	V
VDDO_x(2)	AC-LVDS/CML/LVPECL 或 HCSL 驱动器的输出电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
VDDO_x(2)	1.8V LVCMOS 驱动器的输出电源电压(3)	1.71	1.8	1.89	V
V_{IN}	时钟和逻辑输入的输入电压范围	0		3.465	V
T_J	结温			125	°C
t_{VDD}	电源斜坡时间(4)	0.01		100	ms
n_{EEcyc}	EEPROM 编程周期(5)			100	周期

(1) VDD 指所有内核电源引脚或电压。所有 VDD 内核电源都必须在内部上电复位 (POR) 之前上电。
(2) VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。
(3) 当 VDDO_x 为 1.8V±5% 时，LVCMOS 驱动器支持完全的轨到轨摆幅。当 VDDO_x 为 2.5V 或 3.3V 时，由于输出通道的内部 LDO 稳压器存在压降电压，LVCMOS 驱动器不会完全摆动到正轨。
(4) VDD 单调斜升至 2.7V 以上来实现适当内部上电复位的时间。如果 VDD 斜升较慢或非单调，请将 PDN 保持为低电平，直到 VDD 电压有效为止。
(5) n_{EEcyc} 指定允许用于客户编程的最大 EEPROM 编程周期数。由于生产测试，出厂编程周期的初始计数为非零值，但出厂编程周期不计入 n_{EEcyc} 限制。可从 8 位 NVM 计数状态寄存器 (NVMCNT) 中读取 EEPROM 编程周期总数，该寄存器对于每个成功的编程周期会自动递增 1。如果客户超过 n_{EEcyc} 限制，TI 无法保证 EEPROM 的耐用性。

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息：4 层 JEDEC，标准 PCB

热指标(1) (2) (3)		LMK05318B -Q1 RGZ (VQFN) 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	23.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.2	°C/W
$R_{\theta JB}$	结至电路板热阻	7.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 热性能信息基于具有 25 个散热过孔（5 x 5 分布，0.3mm 孔）的 4 层 JEDEC 标准电路板。
(3) 借助 Ψ_{JB}，系统设计人员能够用一个精密热电偶来测量电路板温度 (T_{PCB})，并反过来计算器件结温 $T_J = T_{PCB} + (\Psi_{JB} \times Power)$。JESD51-6 定义了 Ψ_{JB} 的测量。

5.5 热性能信息：10 层定制 PCB

热指标(1) (2) (3)		LMK05318B -Q1 RGZ (VQFN) 48 引脚	单位
$R_{\theta JA}$	结至环境热阻	9.1	°C/W
$R_{\theta JB}$	结至电路板热阻	4.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	4.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 热性能信息基于具有 25 个散热过孔（5 x 5 分布，0.3mm 孔）的 10 层 200mm x 250mm x 1.6mm 电路板。
(3) 借助 Ψ_{JB}，系统设计人员能够用一个精密热电偶来测量电路板温度 (T_{PCB})，并反过来计算器件结温 $T_J = T_{PCB} + (\Psi_{JB} \times Power)$。JESD51-6 定义了 Ψ_{JB} 的测量。

5.6 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
IDD_DIG	内核电流消耗 (VDD_DIG)			21		mA
IDD_IN	内核电流消耗 (VDD_IN)			43		mA
IDD_PLL1	内核电流消耗 (VDD_PLL1)	启用 DPLL 和 APLL1		110		mA
IDD_XO	内核电流消耗 (VDD_XO)			20		mA
IDD_PLL2	内核电流消耗 (VDD_PLL2)	禁用 APLL2		18.5		mA
		启用 APLL2		120		mA

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
IDDO_x	每个通道的输出电流消耗(3) (VDDO_x)	启用输出多路复用器和分频器，不包括驱动器 分频器值 = 2 至 6		65		mA
		启用输出多路复用器和分频器，不包括驱动器 分频器值 > 6		70		mA
		AC-LVDS		11		mA
		AC-CML		16		mA
		AC-LVPECL		18		mA
		HCSL、50Ω 负载至 GND		25		mA
		1.8V LVCMOS (x2)、100MHz		4.7		mA
IDD_{PDN}	总电流消耗（所有 VDD 和 VDDO 引脚，3.3V）	器件断电（PDN 引脚保持低电平）		56	75	mA
XO 输入特性 (XO)						
f_{IN}	输入频率范围		10		100	MHz
V_{IN-SE}	单端输入电压摆幅	单端输入，内部交流耦合	0.4		2.6	Vpp
$V_{IN-DIFF}$	差分输入峰峰值电压摆幅(16)	差分输入	0.4		2	Vpp
V_{ID}	差分输入电压摆幅(12)	差分输入	0.2		1	|V|
dV/dt	输入压摆率(14)		0.2	0.5		V/ns
IDC	输入占空比		40		60	%
I_{IN}	输入漏电流	禁用 50Ω 和 100Ω 内部端接	-350		350	µA
基准输入特性（PRIREF、SECREF）						
f_{IN}	输入频率范围	差分输入(4)	5		800	MHz
		LVCMOS 输入	1E – 6		250	MHz
V_{IH}	输入高电压	直流耦合输入	1.8			V
V_{IL}	输入低电压	直流耦合输入			0.6	V
V_{IN-SE}	单端输入电压摆幅	交流耦合输入	0.4		2.6	Vpp
$V_{IN-DIFF}$	差分输入峰峰值电压摆幅(16)	差分输入，V_{HYST} = 50mV	0.4		2	Vpp
		差分输入，V_{HYST} = 200mV	0.7		2	Vpp
V_{ID}	差分输入电压摆幅(12)	差分输入，V_{HYST} = 50mV	0.2		1	V
		差分输入，V_{HYST} = 200mV	0.35		1	V
dV/dt	输入压摆率(14)		0.2	0.5		V/ns
I_{IN}	输入漏电流	禁用 50Ω 和 100Ω 内部端接	-350		350	µA
VCO 特性						
f_{VCO1}	VCO1 频率范围		2499.75	2500	2500.25	MHz
f_{VCO2}	VCO2 频率范围		5500		6250	MHz
$\|\Delta T_{CL}\|$	连续锁定的容许温漂	对锁定进行编程后，不允许更改输出配置以提供连续锁定			125	℃

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
APLL 特性						
f_{PD1}	APLL1 相位检测器频率		1		100	MHz
f_{PD2}	APLL2 相位检测器频率		12		150	MHz
$t_{APLL1-LOCK}$	APLL1 锁定时间(13)	软复位或硬复位与 APLL1 输出在 ±25ppm f_{XO} = 48MHz、f_{PD1} = f_{XO}/2 范围内保持稳定之间的时间		1.0		ms
$t_{APLL2-LOCK}$	APLL2 锁定时间(13)	软复位或硬复位与 APLL2 输出在 ±25ppm f_{XO} = 48MHz、f_{PD2} = f_{XO}/2 范围内保持稳定之间的时间		2.5		ms
		软复位或硬复位与 APLL2 输出在 ±25ppm f_{XO} = 48MHz、f_{PD2} = f_{VCO1}/18 范围内保持稳定之间的时间		2.5		ms
AC-LVDS 输出特性 (OUTx)						
f_{OUT}	输出频率(5)				1250	MHz
V_{OD}	输出电压摆幅 (V_{OH} - V_{OL})	25Mhz ≤ f_{OUT} ≤800MHz；156.25MHz 时的典型值	250	390	450	mV
		f_{OUT} = 50MHz	285	400	450	mV
		100MHz ≤ f_{OUT} ≤ 200MHz	275	390	450	mV
		f_{OUT} = 312.5MHz	270	385	450	mV
		f_{OUT} = 625MHz	250	310	450	mV
		f_{OUT} = 1250MHz		280		mV
$V_{OUT-DIFF}$	差分输入电压摆幅，峰峰值			2×V_{OD}		Vpp
V_{OS}	输出共模		100		430	mV
t_{SK}	输出到输出偏斜	相同的后分频器、输出分频值和输出类型			100	ps
t_R/t_F	输出上升/下降时间(13)	20% 至 80%，< 300MHz		225	350	ps
		中心点附近 ±100mV，300MHz ≤ f_{OUT} ≤800MHz		85	250	ps
PN_{FLOOR}	输出相位噪底	f_{OUT} = 156.25MHz；f_{OFFSET} > 10MHz		-160		dBc/Hz
ODC	输出占空比(10)		45		55	%
AC-CML 输出特性 (OUTx)						
f_{OUT}	输出频率(5)				1250	MHz
V_{OD}	输出电压摆幅 (V_{OH} - V_{OL})	25MHz ≤ f_{OUT} ≤ 800MHz；f_{OUT} = 156.25MHz 时的典型值	400	600	800	mV
		f_{OUT} = 50MHz	500	620	700	mV
		100MHz ≤ f_{OUT} ≤ 200MHz	490	600	690	mV
		f_{OUT} = 312.5MHz	480	580	680	mV
		f_{OUT} = 625MHz	350	460	600	mV
		f_{OUT} = 1250MHz		400		mV
$V_{OUT-DIFF}$	差分输入电压摆幅，峰峰值			2×V_{OD}		Vpp
V_{OS}	输出共模		150		550	mV
t_{SK}	输出到输出偏斜	相同的后分频器、输出分频值和输出类型			100	ps
t_R/t_F	输出上升/下降时间(13)	20% 至 80%，< 300MHz		225	300	ps
		中心点附近 ±100mV，300MHz ≤ f_{OUT} ≤800MHz		50	150	ps
PN_{FLOOR}	输出相位噪底	f_{OUT} = 156.25MHz；f_{OFFSET} > 10MHz		-160		dBc/Hz

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
ODC	输出占空比(10)		45		55	%
AC-LVPECL 输出特性 (OUTx)						
f_{OUT}	输出频率(5)				1250	MHz
V_{OD}	输出电压摆幅 (V_{OH} - V_{OL})	25MHz ≤ f_{OUT} ≤ 800MHz；f_{OUT} = 156.25MHz 时的典型值	450	780	1000	mV
		f_{OUT} = 50MHz	660	810	920	mV
		100MHz ≤ f_{OUT} ≤ 200MHz	640	780	900	mV
		f_{OUT} = 312.5MHz	620	740	880	mV
		f_{OUT} = 625MHz	500	620	760	mV
		f_{OUT} = 1250MHz		510		mV
$V_{OUT-DIFF}$	差分输入电压摆幅，峰峰值			2×V_{OD}		Vpp
V_{OS}	输出共模		300		700	mV
t_{SK}	输出到输出偏斜	相同的后分频器、输出分频值和输出类型			100	ps
t_R/t_F	输出上升/下降时间(13)	20% 至 80%，< 300MHz		200	300	ps
		中心点附近 ±100mV，300MHz ≤ f_{OUT} ≤800MHz		35	100	ps
PN_{FLOOR}	输出相位噪底	f_{OUT} = 156.25MHz；f_{OFFSET} > 10MHz		-162		dBc/Hz
ODC	输出占空比(10)		45		55	%
HCSL 输出特性 (OUTx)						
f_{OUT}	输出频率(5)				625	MHz
V_{OH}	输出高电压	f_{OUT} ≤ 400MHz	600		880	mV
		f_{OUT} = 625MHz	500		800	mV
V_{OL}	输出低电压		-150		150	mV
t_{SK}	输出到输出偏斜	相同的后分频器、输出分频值和输出类型			100	ps
dV/dt	输出压摆率(13)	中心点附近 ±150mV，f_{OUT} ≤ 400MHz	1.6		4	V/ns
PN_{FLOOR}	输出相位噪底 (f_{OFFSET} > 10MHz)	100MHz		-160		dBc/Hz
ODC	输出占空比(10)		45		55	%
1.8V LVCMOS 输出特性						
f_{OUT}	输出频率	OUT4、OUT5、OUT6 或 OUT7	1E－6		200	MHz
V_{OH}	输出高电压	I_{OH} = 1mA	1.2			V
V_{OL}	输出低电压	I_{OL} = 1mA			0.4	V
I_{OH}	输出高电平电流			-23		mA
I_{OL}	输出低电平电流			20		mA
t_R/t_F	输出上升/下降时间	20% 至 80%		250		ps
t_{SK}	输出到输出偏斜	相同的后分频器、输出分频值和输出类型			100	ps
	输出到输出偏斜	相同的后分频器、输出分频值、LVCMOS-to-DIFF			1.5	ns
PN_{FLOOR}	输出相位噪底	f_{OUT} = 66.66MHz；f_{OFFSET} > 10MHz		-160		dBc/Hz
ODC	输出占空比(10)		45		55	%
R_{OUT}	输出阻抗			50		Ω

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
3 电平逻辑输入特性（HW_SW_CTRL、GPIO1、REFSEL、STATUS[1:0]）						
V_{IH}	输入高电压		1.4			V
V_{IM}	输入中电压	输入悬空，使用内部偏置且 PDN 拉至低电平	0.7		0.9	V
V_{IL}	输入低电压				0.4	V
I_{IH}	输入高电流	V_{IH} = VDD	-40		40	µA
I_{IL}	输入低电流	V_{IL} = GND	-40		40	µA
2 电平逻辑输入特性（PDN、GPIO[2:0]、SDI、SCK、SCS）						
V_{IH}	输入高电压		1.2			V
V_{IL}	输入低电压				0.6	V
I_{IH}	输入高电流	V_{IH} = VDD	-40		40	µA
I_{IL}	输入低电流	V_{IL} = GND	-40		40	µA
逻辑输出特性（STATUS[1:0]、SDO）						
V_{OH}	输出高电压	I_{OH} = 1mA	2.4			V
V_{OL}	输出低电压	I_{OL} = 1mA			0.4	V
t_R/t_F	输出上升/下降时间	20% 至 80%，LVCMOS 模式，1kΩ 至 GND		500		ps
SPI 时序要求（SDI、SCK、SCS、SDO）						
f_{SCK}	SPI 时钟速率				20	MHz
	SPI 时钟速率；NVM 写入				5	MHz
t_1	SCS 至 SCK 设置时间		10			ns
t_2	SDI 至 SCK 设置时间		10			ns
t_3	SDI 至 SCK 保持时间		10			ns
t_4	SCK 高电平时间		25			ns
t_5	SCK 低电平时间		25			ns
t_6	SCK 至 SDO 有效读回数据				20	ns
t_7	SCS 脉冲宽度		20			ns
t_8	SDI 至 SCK 保持时间		10			ns
与 I²C 兼容的接口特性（SDA、SCL）						
V_{IH}	输入高电压		1.2			V
V_{IL}	输入低电压				0.6	V
I_{IH}	输入漏电流		-15		15	µA
V_{OL}	输出低电压	I_{OL} = 3mA			0.3	V
f_{SCL}	I²C 时钟速率	标准			100	kHz
		快速模式			400	
$t_{SU(START)}$	START 条件设置时间	在 SDA 为低电平之前 SCL 为高电平	0.6			µs
$t_{H(START)}$	START 条件保持时间	在 SDA 为低电平之后 SCL 为低电平	0.6			µs
$t_{W(SCLH)}$	SCL 脉冲宽度高电平		0.6			µs
$t_{W(SCLL)}$	SCL 脉冲宽度低电平		1.3			µs
$t_{SU(SDA)}$	SDA 设置时间		100			ns
$t_{H(SDA)}$	SDA 保持时间	在 SCL 为低电平之后 SDA 有效	0			µs
$t_{R(IN)}$	SDA/SCL 输入上升时间				300	ns
$t_{F(IN)}$	SDA/SCL 输入下降时间				300	ns
$t_{F(OUT)}$	SDA 输出下降时间	C_{BUS} ≤ 400pF			300	ns

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{SU(STOP)}$	STOP 条件设置时间		0.6			µs
t_{BUS}	STOP 和 START 之间的总线空闲时间		1.3			µs
电源噪声抑制 (PSNR)/串扰杂散						
$PSNR_{50mV}$	电源噪声引起的杂散 (V_N = 50mVpp)(6) (7)	V_{DD} = 3.3V，V_{DDO_x} = 3.3V，156.25MHz，AC-DIFF 输出		-83		dBc
		V_{DD} = 3.3V，V_{DDO_x} = 3.3V，156.25MHz，HCSL 输出		-78		dBc
		V_{DD} = 3.3V，V_{DDO_x} = 2.5V，156.25MHz，AC-DIFF 输出		-73		dBc
		V_{DD} = 3.3V，V_{DDO_x} = 2.5V，156.25MHz，HCSL 输出		-68		dBc
$PSNR_{25mV}$	电源噪声引起的杂散 (V_N = 25mVpp)(6) (7)	V_{DD} = 3.3V，V_{DDO_x} = 1.8V，156.25MHz，AC-DIFF 输出		-63		dBc
		V_{DD} = 3.3V，V_{DDO_x} = 1.8V，156.25MHz，HCSL 输出		-58		dBc
		V_{DD} = 3.3V，V_{DDO_x} = 1.8V，156.25MHz，LVCMOS 输出		-45		dBc
$SPUR_{XTALK}$	输出到输出串扰（相邻通道）引起的杂散电平(7)	f_{OUTx} = 156.25MHz，f_{OUTy} = 155.52MHz，交流		-75		dBc
PLL 时钟输出性能特征						
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 625MHz AC-DIFF 输出，f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz		50	80	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 625MHz AC-DIFF 输出，f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz f_{VCO1} = 2.5GHz；V_{DDO}= 3.3V，电源纹波 $V_N \leq$ 50mV，100kHz $\leq F_N \leq$ 10MHz		55	100	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 312.5MHz AC-DIFF 输出，f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz		50	80	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 312.5MHz AC-DIFF 输出，f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz f_{VCO1} = 2.5GHz；V_{DDO}= 3.3V，电源纹波 $V_N \leq$ 50mV，100kHz $\leq F_N \leq$ 10MHz		55	110	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 156.25MHz AC-LVPECL 输出，f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz		60	90	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 APLL1 的 156.25MHz AC-LVPECL 输出，f_XO = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz；V_{DDO} = 3.3V，电源纹波 $\leq$ 50mV，100kHz $\leq F_N \leq$ 10MHz		65	135	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz），不包括输出串扰杂散	来自 OUT4、OUT5、OUT6 和 OUT7 上的 APLL2 的 155.52MHz AC-LVPECL 输出。来自所有其他输出上的 APLL1 的 156.25MHz。f_{XO} = 48MHz，$f_{PD1} = f_{XO}/2$，f_{VCO1} = 2.5GHz，$f_{PD2} = f_{VCO1}/18$，f_{VCO2} = 5.59872GHz		125	200	fs RMS

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 OUT4、OUT5、OUT6 和 OUT7 上的 APLL2 的 155.52MHz AC-LVPECL 输出。来自所有其他输出上的 APLL1 的 156.25MHz。f_{XO} = 48MHz，f_{PD1} = f_{XO}/2，f_{VCO1} = 2.5GHz，f_{PD2} = f_{VCO1}/18，f_{VCO2} = 5.59872GHz		145		fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz），不包括输出串扰杂散	来自 OUT4、OUT5、OUT6 和 OUT7 上的 APLL2 的 153.6MHz AC-LVPECL 输出。来自所有其他输出上的 APLL1 的 156.25MHz。f_{XO} = 48MHz，f_{PD1} = f_{XO}/2，f_{VCO1} = 2.5GHz，f_{PD2} = f_{VCO1}/18，f_{VCO2} = 5.5296GHz		125	200	fs RMS
RJ	RMS 相位抖动（12kHz 至 20MHz）	来自 OUT4、OUT5、OUT6 和 OUT7 上的 APLL2 的 153.6MHz AC-LVPECL 输出。来自所有其他输出上的 APLL1 的 156.25MHz。f_{XO} = 48MHz，f_{PD1} = f_{XO}/2，f_{VCO1} = 2.5GHz，f_{PD2} = f_{VCO1}/18，f_{VCO2} = 5.5296GHz		150		fs RMS
BW	DPLL 带宽范围(8)	已编程的带宽设置	0.01		4000	Hz
J_{PK}	DPLL 闭环抖动峰值(11)	f_{REF} = 25MHz，f_{OUT} = 10MHz，DPLL 带宽 = 0.1Hz 或 10Hz		0.1		dB
J_{TOL}	抖动容差	抖动调制 = 10Hz，25.78125Gbps		6455		UI p-p
$t_{HITLESS}$	两个误差为 0ppm 的基准输入之间的相位中断	在同一频率下两个时钟输入之间的单个切换事件中有效		±50		ps
$f_{HITLESS}$	无中断切换期间的频率瞬态	在同一频率下两个时钟输入之间的单个切换事件中有效		±10		ppb

(1) 对于在给定配置中启用的所有块，对每个引脚的单个 IDD_x 和 Iddo_x 进行求和，可以估算器件总电流。
(2) 配置 A（禁用 APLL2 以外的所有 PLL 块）：f_{REF} = 25MHz，f_{XO} = 48MHz，f_{VCO1} = 2.5GHz。
(3) 工作输出的 IDDO_x 电流是多路复用器、分频器和输出格式的总和。
(4) 对于低于 5MHz 的差分输入时钟，TI 建议禁用差分输入振幅监控器并启用至少一个其他监控器（频率、窗口检测器）来验证输入时钟。否则，请考虑为低于 5MHz 的输入使用 LVCMOS 时钟。
(5) 输出频率可以超过 f_{OUT} 最大规格，但输出摆幅可低于 V_{OD} 最小规格。
(6) PSNR 是在将振幅为 V_N 和频率为 f_N（100kHz 至 1MHz 之间）的正弦噪声注入 VDD 和 VDDO_x 引脚时测得的单边带杂散电平（以 dBc 为单位）。
(7) DJ_{SPUR} (ps pk-pk) = [2 × $10^{(dBc/20)}$ / (π × f_{OUT}) × 1E6]，其中 dBc 是 PSNR 或杂散电平（以 dBc 为单位），f_{out} 是输出频率（以 MHz 为单位）。
(8) 实际环路带宽会更低。有效环路带宽范围会受到给定配置中使用的 DPLL TDC 频率的限制。
(9) 假设 VDD 和 VDDO_x 电源斜升，且 XO 输入时钟在 PDN 上升沿之前的频率和振幅稳定，则使用串行校准模式启动 PLL（PLL1 在 PLL2 之前），VCO 等待计时器设置为 0.4ms，PLL 等待计时器设置为 3ms，输出仅在 APLL 锁定期间自动静音（禁用 DPLL 自动静音选项）。
(10) 为分频自任一 VCO 域的 PLL 输出指定参数。
(11) 0.1dB 或更低的 DPLL 闭环抖动峰值基于 TICS Pro 软件工具配置的 DPLL 带宽设置。
(12) 最小限值适用于差分输入振幅监控器的最小设置 (Xref_LVL_SEL = 0)。
(13) 在差分输出波形下测得 (OUTx_P - OUTx_N)。具有 2pF 负载的输出。
(14) 为了满足此数据表后续部分列出的抖动性能，所有输入时钟的最低建议压摆率为 0.5V/ns。随着时钟输入压摆率降低，相位噪声性能开始下降。 然而，器件可在压摆率降至所列的最小值时正常工作。 与单端时钟相比，由于共模噪声抑制，差分时钟（LVDS、LVPECL）在较低压摆率下不易受到相位噪声性能下降的影响。TI 还建议对差分时钟使用尽可能高的压摆率，以便在器件输出端实现出色相位噪声性能。

Copyright © 2024 Texas Instruments Incorporated

5.7 时序图

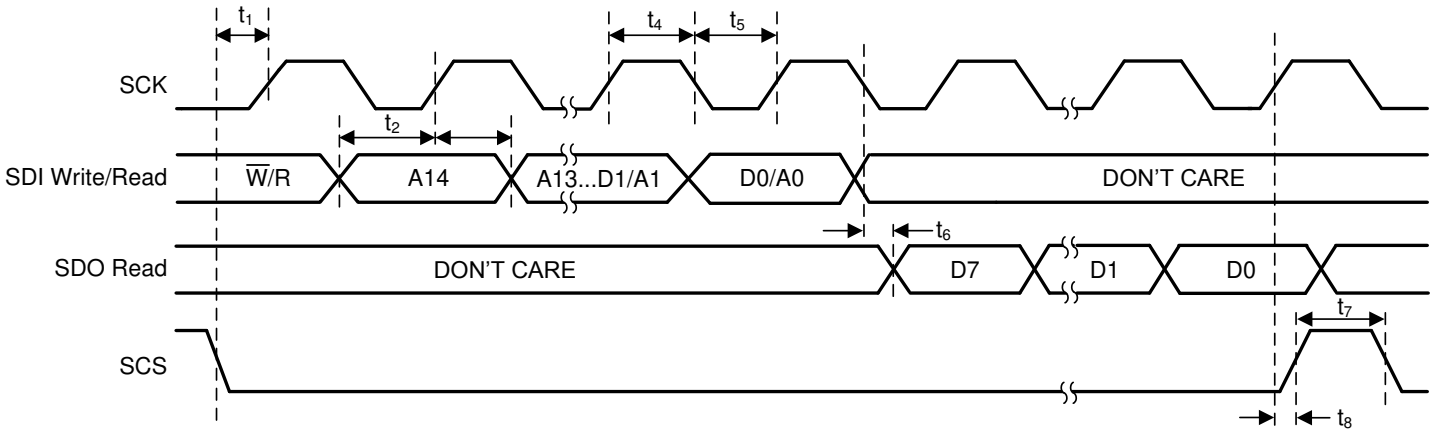


图 5-1. SPI 时序参数

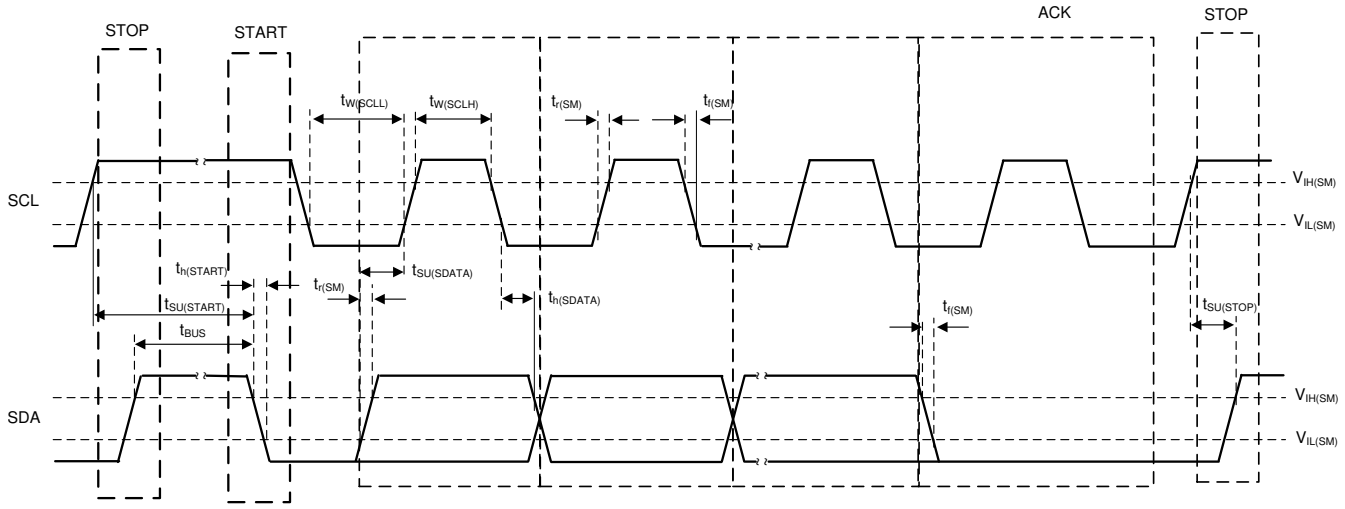


图 5-2. I²C 时序图

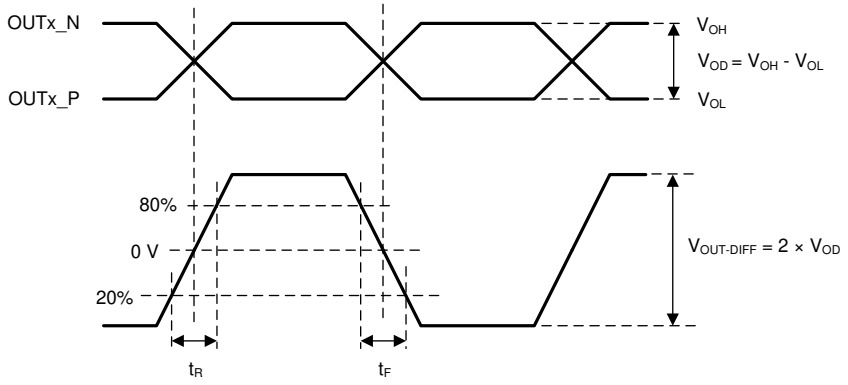


图 5-3. 差分输出电压和上升/下降时间

Copyright © 2024 Texas Instruments Incorporated

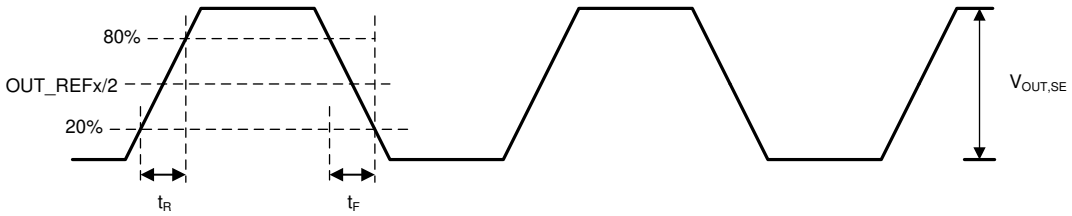
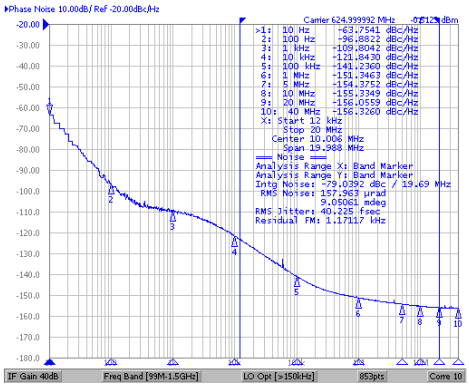


图 5-4. 单端输出电压和上升/下降时间

Copyright © 2024 Texas Instruments Incorporated

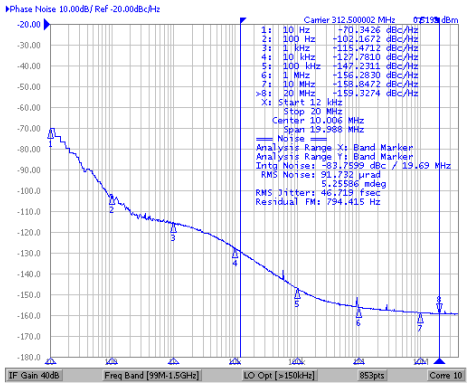
5.8 典型特性

除非另有说明：VDD = 3.3V，VDDO = 1.8V，T_A = 25°C，测量 AC-LVPECL 输出。 **DPLL**：f_{REF} = 25MHz，f_{TDC} = 25MHz，BW_{DPLL} = 10Hz，DPLL 锁定至基准。 **APLL1**：f_{XO} = 48MHz，f_{PD1} = 24MHz (f_{XO}÷2)，f_{VCO1} = 2500MHz，BW_{APLL1} = 2.5kHz，DPLL 模式。 **APLL2**：f_{PD2} = 138.$\overline{8}$MHz (f_{VCO1}÷18)，BW_{APLL2} = 500kHz，图 5-10 和图 5-11 的级联 APLL2 模式。 不同频率偏移下的 PLL 输出时钟相位噪声取决于不同的噪声源，例如外部时钟输入源（REF IN、XO）和内部噪声源（PLL、VCO）以及配置的 PLL 环路带宽（$BW_{REF-DPLL}$、$BW_{TCXO-DPLL}$、BW_{APLL}）。每个外部时钟源 (f_{SOURCE}) 所示的相位噪声曲线都归一化为 PLL 输出频率 (f_{OUT})，具体方法是将 $20 \times LOG_{10}(f_{OUT} / f_{SOURCE})$ 添加到测得的源相位噪声。



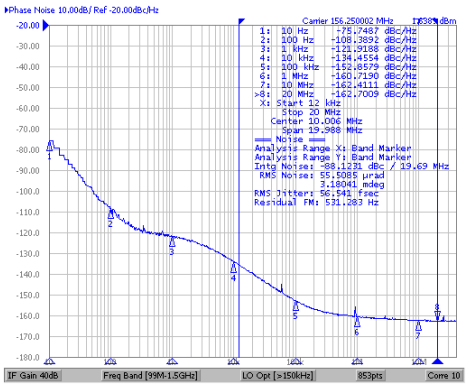
抖动 = 40fs RMS（12kHz 至 20MHz）
DPLL 模式（禁用 APLL2）

图 5-5. 625MHz 输出相位噪声 (APLL1)



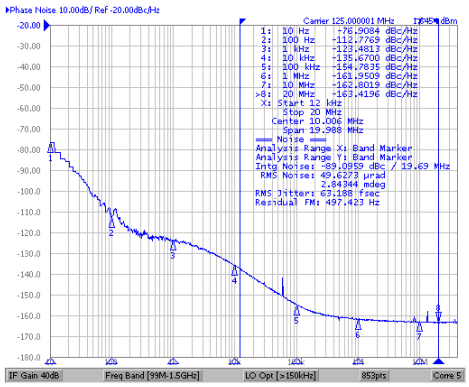
抖动 = 47fs RMS（12kHz 至 20MHz）
DPLL 模式（禁用 APLL2）

图 5-6. 312.5MHz 输出相位噪声 (APLL1)



抖动 = 56fs RMS（12kHz 至 20MHz）
DPLL 模式（禁用 APLL2）

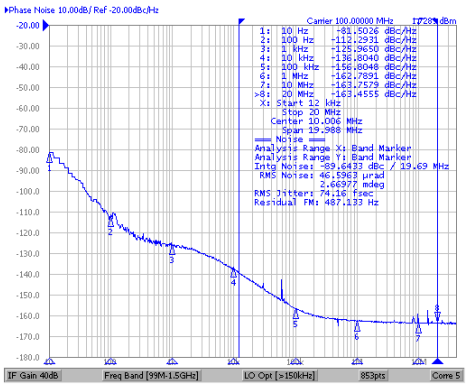
图 5-7. 156.25MHz 输出相位噪声 (APLL1)



抖动 = 63fs RMS（12kHz 至 20MHz）
DPLL 模式（禁用 APLL2）

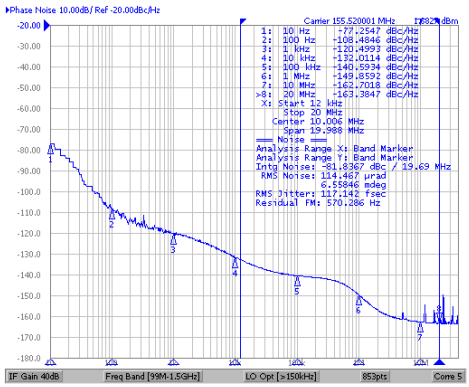
图 5-8. 125MHz 输出相位噪声 (APLL1)

Copyright © 2024 Texas Instruments Incorporated



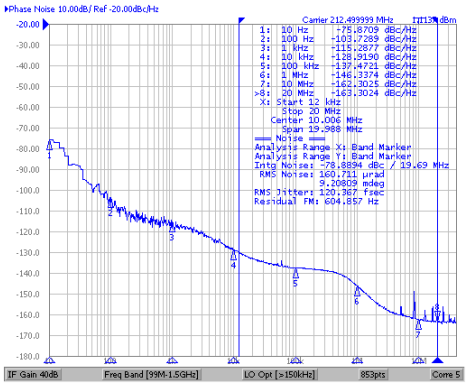
抖动 = 74fs RMS（12kHz 至 20MHz）
DPLL 模式（禁用 APLL2）

图 5-9. 100MHz 输出相位噪声 (APLL1)



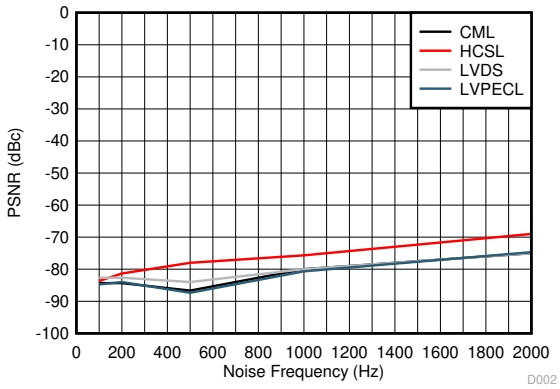
抖动 = 117fs RMS（12kHz 至 20MHz）
具有级联 APLL2 的 DPLL 模式
f_{VCO2} = 5598.72MHz

图 5-10. 155.52MHz 输出相位噪声 (APLL2)



抖动 = 120fs RMS（12kHz 至 20MHz）
具有级联 APLL2 的 DPLL 模式
f_{VCO2} = 5737.5MHz

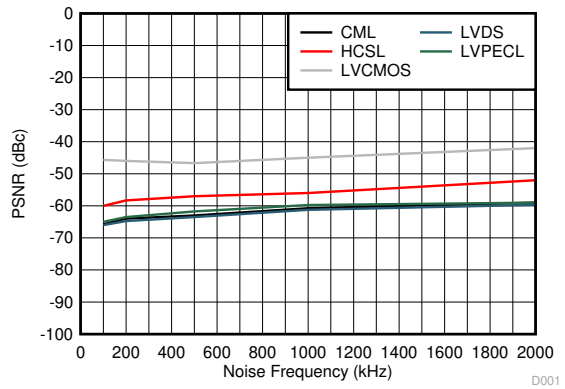
图 5-11. 212.5MHz 输出相位噪声 (APLL2)



注入电源的 50mVpp 噪声（VDD = 3.3V，VDDO = 3.3V）

图 5-12. 156.25MHz 输出的 PSNR 与噪声频率 (50mVpp) 间的关系

Copyright © 2024 Texas Instruments Incorporated



注入电源的 25mVpp 噪声（VDD = 3.3V，VDDO = 1.8V）

DJ_{SPUR} (ps pk-pk) = 2 × $10^{(dBc/20)}$ / (π × f_{OUT}) × 1E6，其中 dBc 是 PSNR 杂散电平（以 dBc 为单位），f_{out} 是输出频率（以 MHz 为单位）

图 5-13. 156.25MHz 输出的 PSNR 与噪声频率 (25mVpp) 间的关系

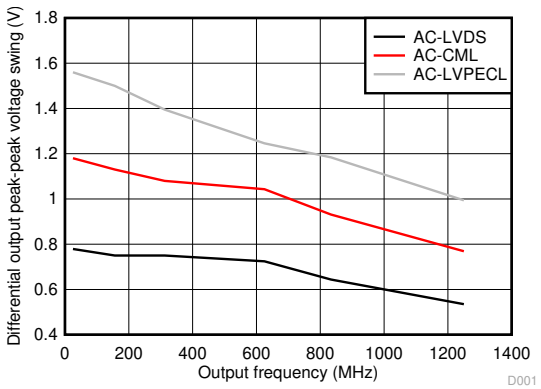


图 5-14. 输出摆幅与频率间的关系

6 参数测量信息

6.1 输出时钟测试配置

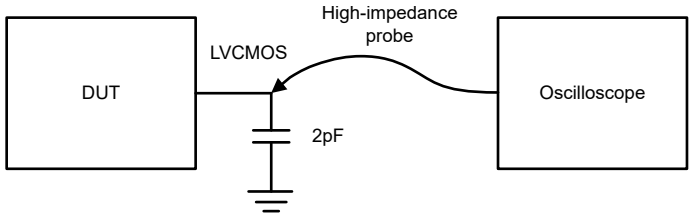


图 6-1. LVCMOS 输出测试配置

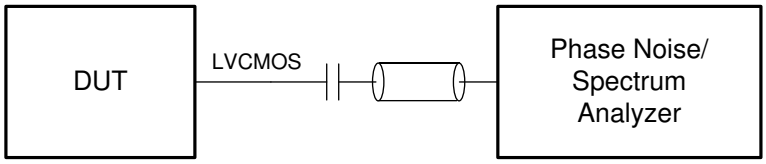


图 6-2. LVCMOS 输出相位噪声测试配置

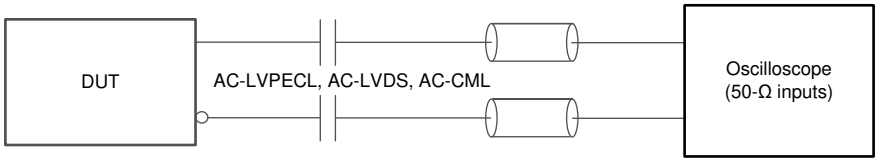


图 6-3. AC-LVPECL、AC-LVDS、AC-CML 输出交流测试配置

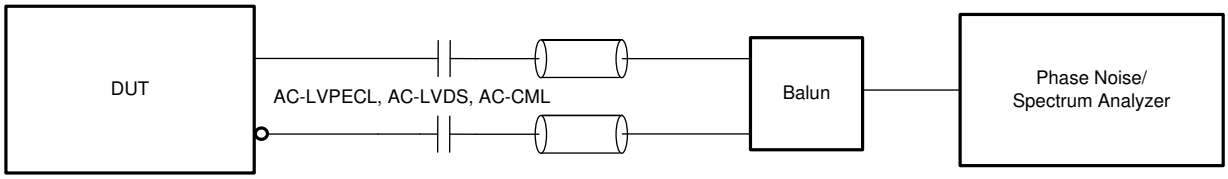


图 6-4. AC-LVPECL、AC-LVDS、AC-CML 输出相位噪声测试配置

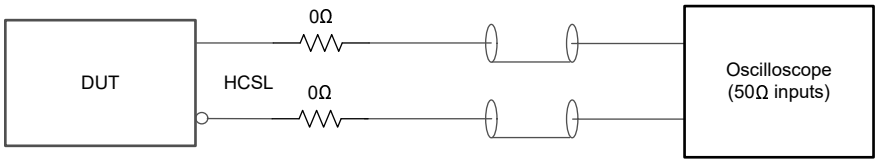


图 6-5. HCSL 输出测试配置

Copyright © 2024 Texas Instruments Incorporated

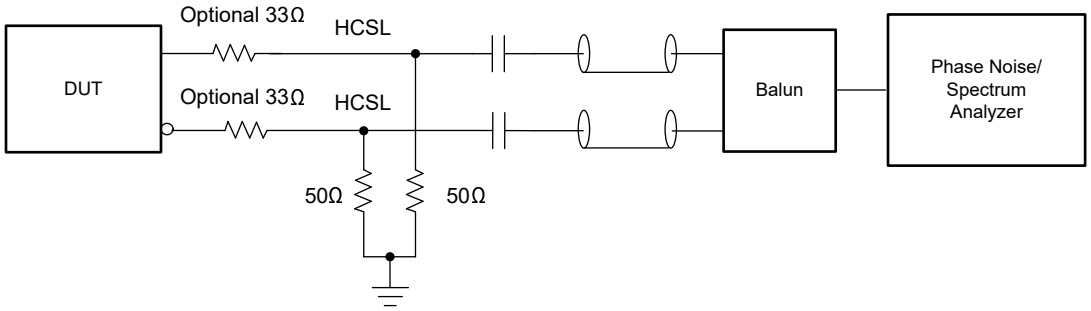
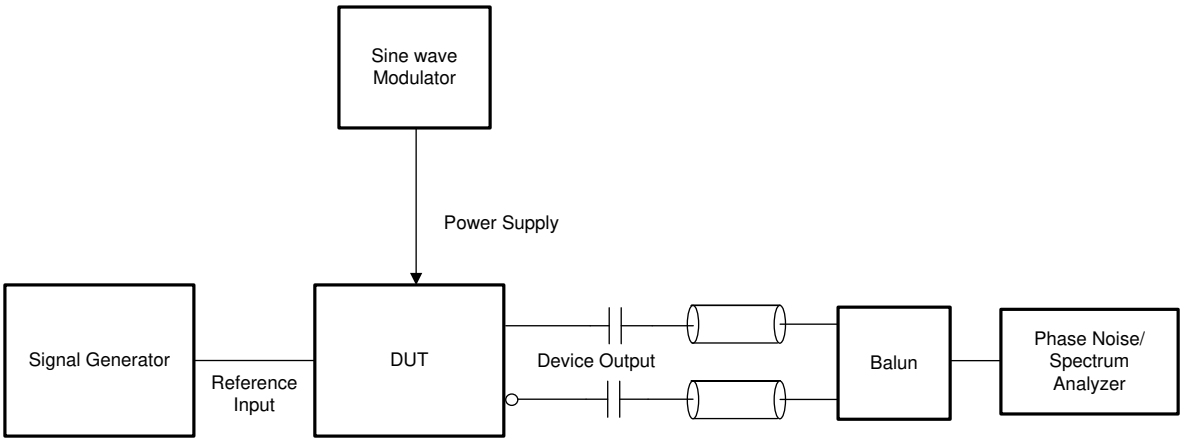


图 6-6. HCSL 输出相位噪声测试配置



在将已知噪声幅度和频率注入到器件电源中的情况下测量单边带杂散电平（以 dBc 为单位）。

图 6-7. 电源噪声抑制 (PSNR) 测试配置

7 详细说明

7.1 概述

LMK05318B-Q1 具有两个基准输入、一个数字 PLL (DPLL)、两个具有集成 VCO 的模拟 PLL (APLL)，以及八个输出时钟，来自 APLL1 的 RMS 相位抖动典型值为 50fs，来自 APLL2 的 RMS 相位抖动典型值为 130fs。APLL1 使用具有超高品质因数的超高性能 BAW VCO (VCO1)，因此与外部振荡器 (XO) 输入时钟的相位噪声或频率没有相关性。这样可更大限度地降低整体解决方案成本，并可以使用现成的 XO、TCXO 或 OCXO 来满足应用的自由运行和保持频率稳定性要求。APLL1 与 DPLL 级联，从而允许 APLL1 域锁定到 DPLL 基准输入来生成同步时钟。APLL2 可用于生成不相关的时钟频率，从而锁定到 APLL1 域或自由运行 XO 输入。

DPLL 基准输入多路复用器支持通过软件或引脚控制进行自动输入选择或手动输入选择。该器件使用专有相位抵消技术来提供无中断切换，可实现卓越的相位瞬态性能（典型值为 ±50ps）。基准时钟输入监控块可监控时钟输入，并会在检测到基准缺失 (LOR) 时执行无中断切换或保持。一旦违反为输入监控器（包括振幅、、漏脉冲和早期脉冲、矮脉冲和 1PPS（每秒脉冲）检测器）设置的阈值限制，就会检测到 LOR 条件。可以依据时钟输入来设置和启用每个输入检测器的阈值限制。调优字历史记录监控器功能根据锁定时的历史平均频率确定进入保持状态时的初始输出频率精度，从而更大限度减少 LOR 条件期间的频率和相位干扰。

该器件具有八个输出及可编程驱动器，最多允许八个差分时钟，或差分时钟的组合，以及最多四个 1.8V LVCMOS 对（每对两个输出）。可以通过输出多路复用器从 APLL/VCO 域选择输出时钟。输出分频器具有同步 (SYNC) 功能，允许多个输出的相位对齐。输出 7 (OUT7) 可以支持 1PPS 输出。

为了支持 IEEE 1588 PTP 外设时钟或其他时钟控制应用，DPLL 还支持频率分辨率低于 0.001ppt（十亿分之一）的 DCO 模式，可通过外部软件或引脚控制实现精确的频率和相位调整。

该器件可通过 I^2C 或 SPI 实现完全编程，并通过内部 EEPROM 支持自定义启动频率配置，EEPROM 在出厂时已预先编程，如果需要，可在系统内编程。内部 LDO 稳压器提供出色的 PSNR 功能，可降低供电网络的成本和复杂性。可通过状态引脚和中断寄存器查看时钟输入和 PLL 监控状态，从而实现全面的诊断功能。

7.1.1 符合 ITU-T G.8262 (SyncE) 标准

LMK05318B-Q1 符合 ITU-T G.8262 (SyncE) 标准的适用要求。有关更多信息，请参阅 *LMK05318 的 ITU-T G.8262 合规性测试结果* (SNAA316) 应用报告。

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图

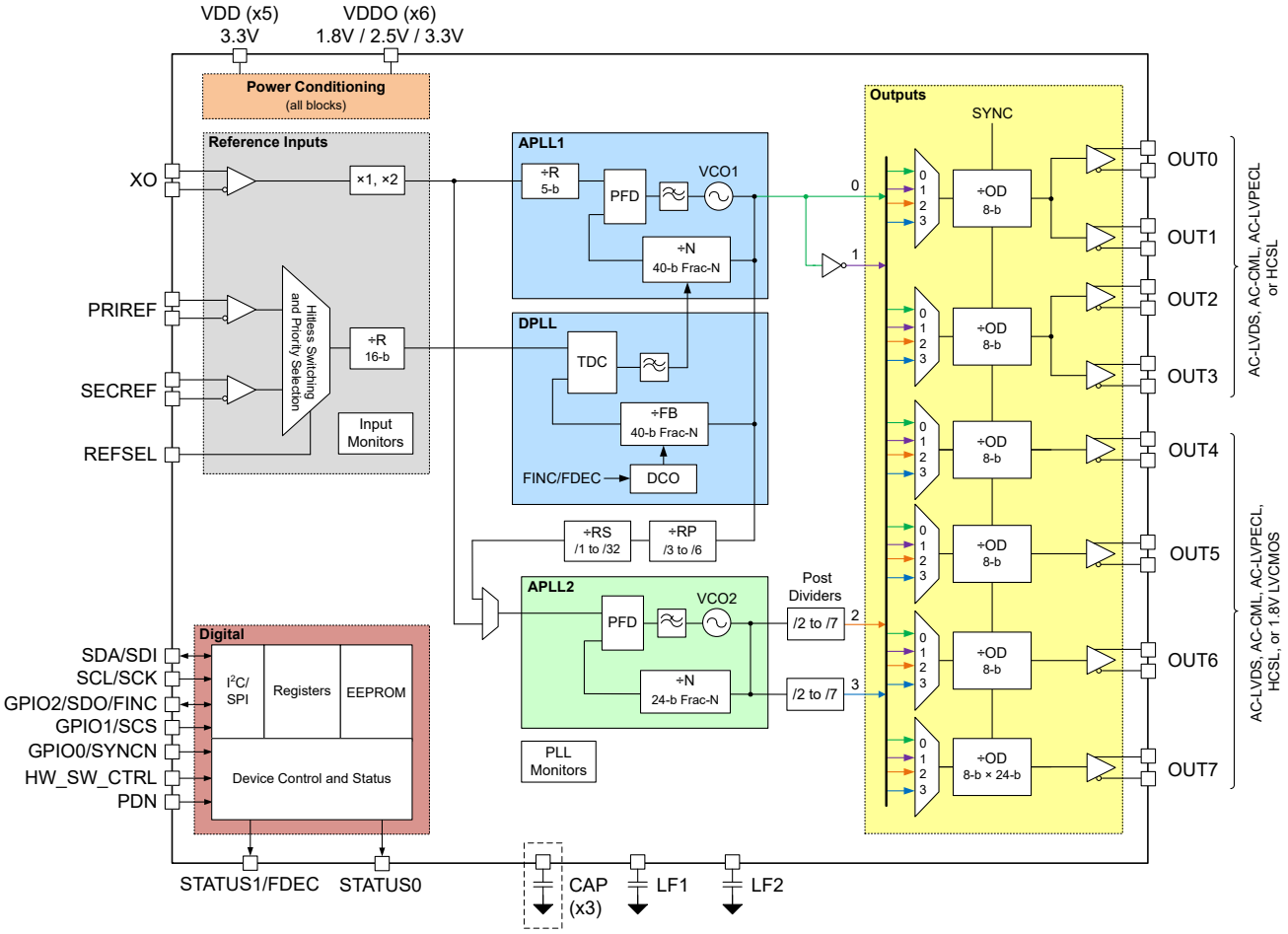
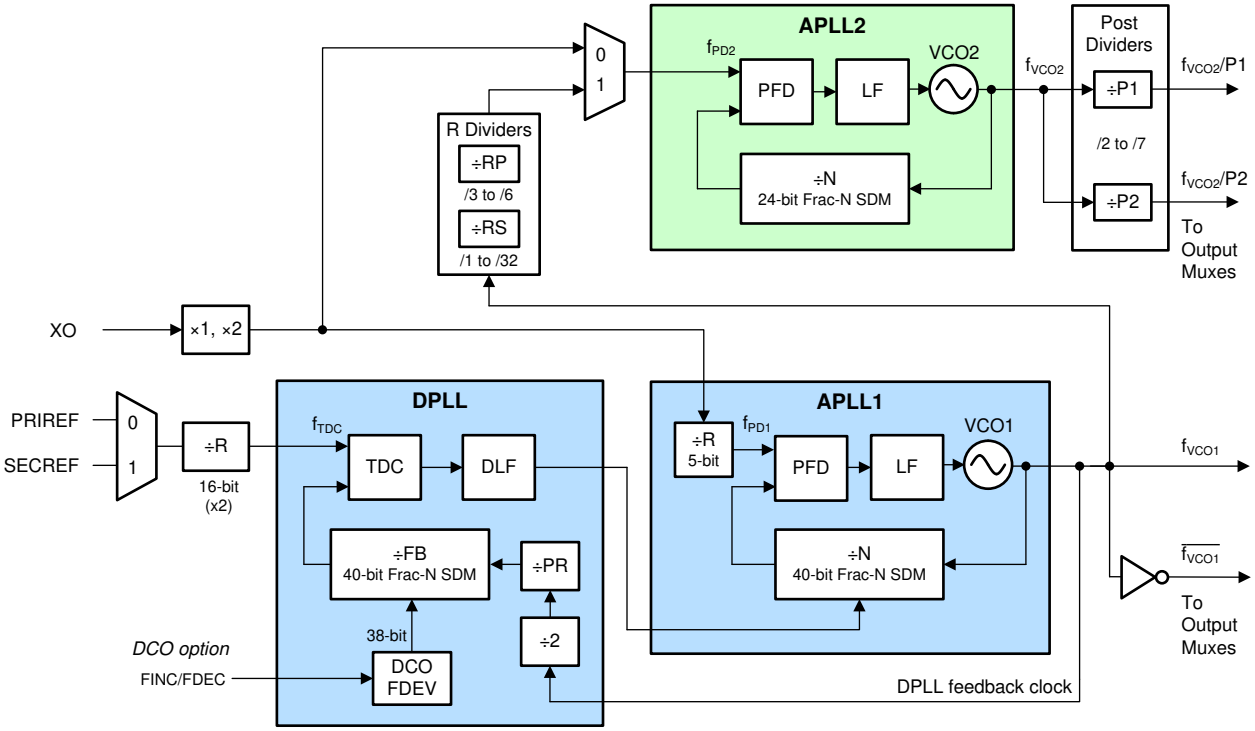


图 7-1. 顶层器件方框图

7.2.1 PLL 架构概述

图 7-2 展示了 LMK05318B-Q1 中实施的 PLL 架构。主“PLL1”通道由具有集成 BAW VCO (VCO1) 的数字 PLL (DPLL) 和模拟 PLL (APLL1) 组成，能够生成 RMS 相位抖动典型值为 50fs 的时钟。集成了 LC VCO (VCO2) 的辅助 APLL (APLL2) 可以用作额外的时钟生成域，RMS 相位抖动典型值为 130fs。

DPLL 包括时间数字转换器 (TDC)、数字环路滤波器 (DLF) 和具有 Σ-Δ 调制器 (SDM) 的 40 位分数反馈 (FB) 分频器。APLL 包括基准 (R) 分频器、相位频率检测器 (PFD)、环路滤波器 (LF)、具有 SDM 的分数反馈 (N) 分频器和 VCO。APLL2 有一个基准选择多路复用器，使 APLL2 可以锁定到 APLL1 的 VCO 域（级联 APLL2）或锁定到 XO 输入（非级联 APLL2）。否则，如果不需要这个时钟域，可以禁用 APLL2（断电）。APLL1 的 VCO 直接向输出时钟分配块进行馈电，而 APLL2 的 VCO 通过 VCO 后分频器驱动时钟分配块。



A. DCO 频率调整可由软件或引脚控制。

图 7-2. PLL 架构

以下各节介绍了 DPLL 模式和仅 APLL 模式的基本工作原理。有关包括保持模式在内的 PLL 工作模式的更多详细信息，请参阅 *PLL 工作模式*。

7.2.2 DPLL 模式

在 DPLL 模式下，外部 XO 输入源决定了输出时钟的自由运行和保持频率稳定性和精度。BAW VCO1 决定了 12kHz 至 20MHz 积分频带内的 APLL1 输出时钟相位噪声和抖动性能，不受 XO 输入的频率和抖动影响。借助此设计，可以使用具有成本效益的低频 TCXO 或 OCXO 作为外部 XO 输入，从而支持 SyncE 和 IEEE 1588 等同步应用中所需的符合标准的频率稳定性和低环路带宽 (≤10Hz)。

上电复位和初始化后，DPLL 模式的工作原理如下。如果 APLL2 处于级联模式，如图 7-3 所示，则在 APLL2 锁定时，VCO1 保持在 2.5GHz 的标称中心频率下。然后，APLL1 将 VCO1 频率锁定到外部 XO 输入，并在自由运行模式下运行。检测到有效的 DPLL 基准输入后，DPLL 开始获取锁定。DPLL TDC 将所选基准输入时钟的相位与 FB 分频器时钟（来自 VCO1）的相位进行比较，并生成一个与相位误差对应的数字校正字。然后，由 DLF 筛

Copyright © 2024 Texas Instruments Incorporated

选后续的校正字，而 DLF 输出控制 APLL1 N 分频器 SDM 以使用基准输入将 VCO1 频率拉入锁定状态。VCO2 在 DPLL 锁定获取期间和锁定模式下跟踪 VCO1 域，从而让用户可以将 APLL2 的时钟域同步到 DPLL 基准输入。级联 APLL2 提供来自 VCO1 的高频、超低抖动基准时钟，从而更大限度地减少 APLL2 带内相位噪声或抖动影响，如果 APLL2 基准来自具有低频或高相位噪底的 XO/TCXO/OCXO，则会出现这种影响。

如果 APLL2 未级联（如图 7-4 所示），VCO2 会在初始化后锁定到 XO 输入，并独立于 DPLL/APLL1 域运行。

当 DPLL 的所有基准输入丢失时，PLL 会进入保持模式并跟踪外部 XO 源的稳定性和精度。

如果在 DPLL 上启用了 DCO 模式，则可以对频率偏差阶跃值 (FDEV) 进行编程并将其用于调整（递增或递减）DPLL 的 FB 分频器 SDM，其中频率调整会有效地通过 APLL1 域（和 APLL2 域，如果已级联）传播到输出时钟。

编程的 DPLL 环路带宽 (BW_{DPLL}) 必须低于以下所有值：

1. DPLL TDC 速率的 1/100
2. APLL1 环路带宽（典型值为 1kHz 至 10kHz）
3. 4kHz 的最大 DPLL 带宽设置。

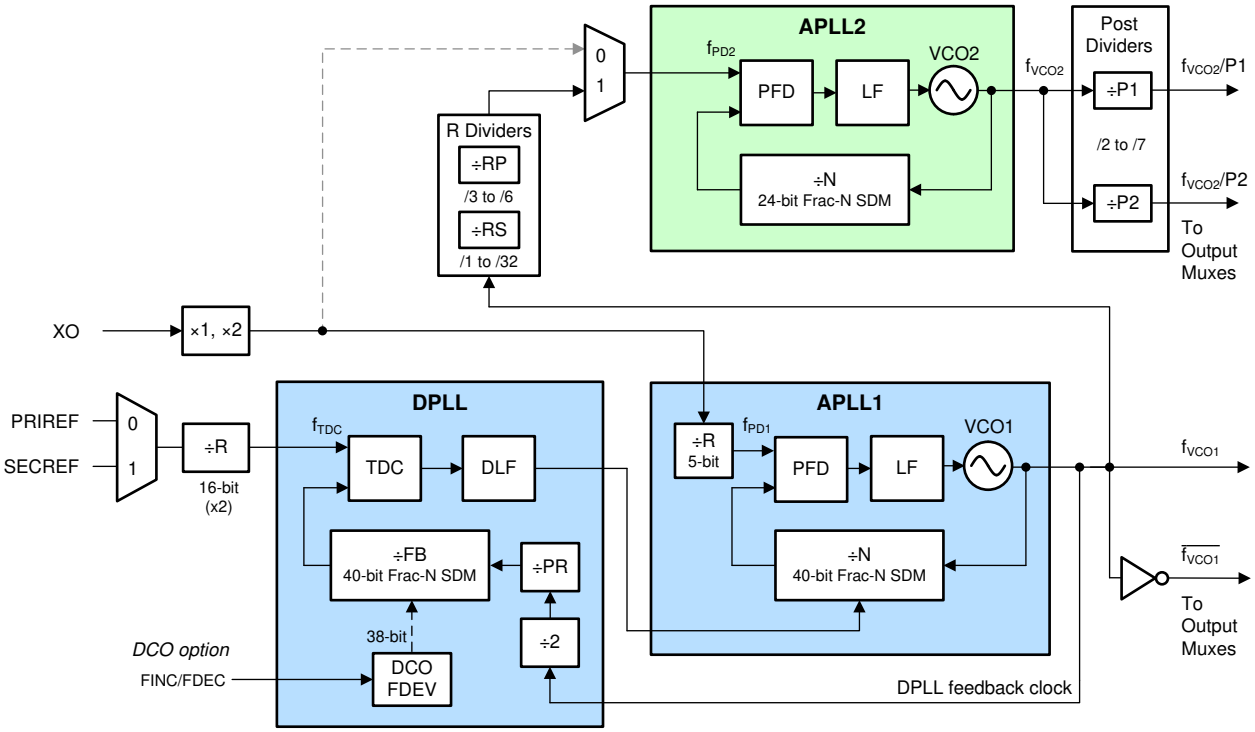


图 7-3. 具有级联 APLL2 的 DPLL 模式

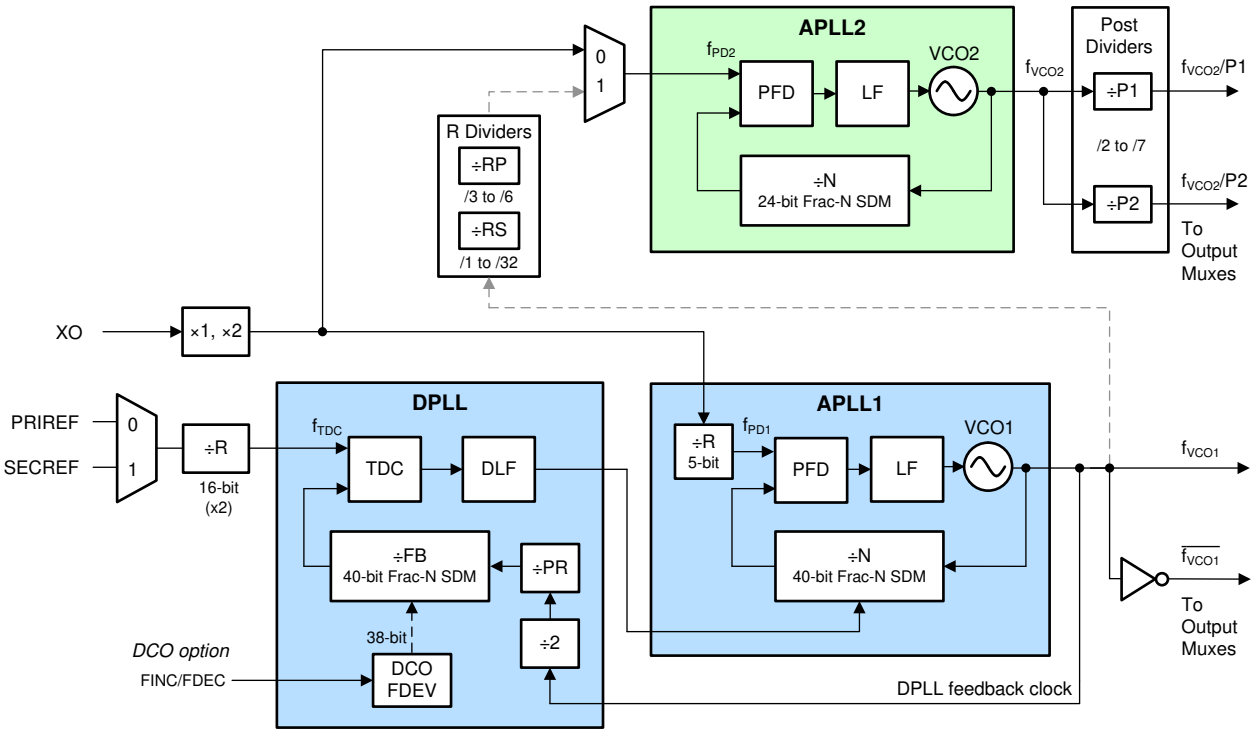


图 7-4. 具有非级联 APLL2 的 DPLL 模式

Copyright © 2024 Texas Instruments Incorporated

7.2.3 仅 APLL 模式

在仅 APLL 模式下，外部 XO 输入源决定了输出时钟的自由运行频率稳定性和精度。BAW VCO1 决定了 12kHz 至 20MHz 积分频带内的 APLL1 输出时钟相位噪声和抖动性能，不受 XO 输入的频率和抖动影响。

上电复位和初始化后，仅 APLL 模式的工作原理如下。如果 APLL2 处于级联模式，如图 7-5 所示，则在 APLL2 锁定时，VCO1 保持在 2.5GHz 的标称中心频率下。然后，APLL1 将 VCO1 频率锁定到外部 XO 输入，并在自由运行模式下运行。未使用 DPLL 块，不会影响 APLL。VCO2 跟踪 VCO1 域。级联 APLL2 提供来自 VCO1 的高频、超低抖动基准时钟，从而更大限度地减少 APLL2 带内相位噪声或抖动影响，如果 APLL2 基准来自具有低频和/或高相位噪底的 XO/TCXO/OCXO，则会出现这种影响。

如果 APLL2 未级联（如图 7-4 所示），VCO2 会在初始化后锁定到 XO 输入，并独立于 DPLL/APLL1 域运行。

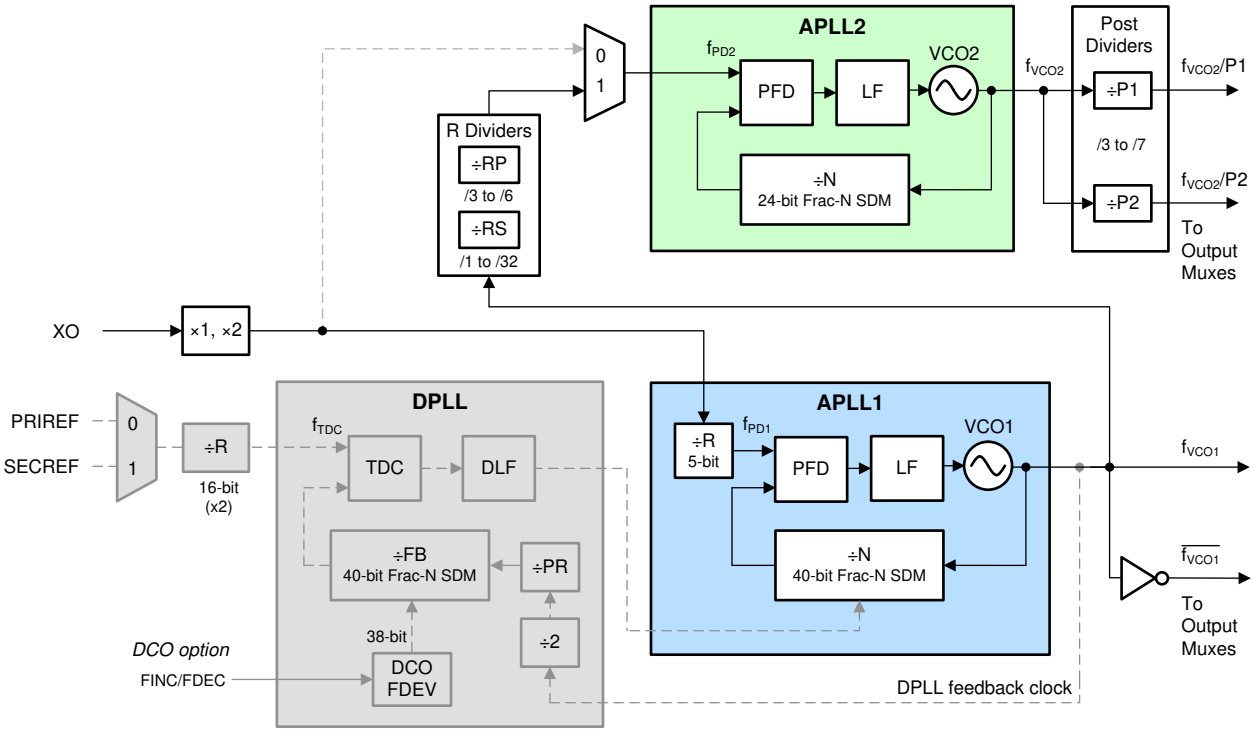


图 7-5. 具有级联 APLL2 的仅 APLL 模式

7.3 特性说明

以下各节将介绍 LMK05318B-Q1 的特性和功能块。

7.3.1 振荡器输入 (XO_P/N)

XO 输入是分数 N APLL 的基准时钟。XO 输入决定了自由运行模式或保持模式下输出频率的精度和稳定性。

对于 DPLL 模式，XO 频率必须与 VCO1 频率具有**非整数关系**，以便 APLL1 可以在分数模式下运行。对于仅 APLL 模式，XO 频率与 VCO1 和/或 VCO2 频率可以具有整数或分数关系。

在 DPLL 模式应用中（例如 SyncE 和 IEEE 1588），XO 输入可由低频 TCXO、OCXO 或外部可追溯时钟驱动，该时钟符合适用同步标准的频率精度和保持稳定性要求。12.8MHz、13MHz、14.4MHz、19.2MHz、19.44MHz、24MHz、24.576MHz、27MHz、30.72MHz、38.88MHz、48MHz、49.152MHz 和 54MHz 的 TCXO 和 OCXO 频率是常用且具有成本效益的选项，让 APLL1 可以在 VCO1 频率为 2.5GHz 时以分数模式运行。

具有低频或高相位抖动或本底噪声的 XO/TCXO/OCXO 源对输出抖动性能没有影响，因为 BAW VCO 决定了 12kHz 至 20MHz 积分带宽范围内的抖动和相位噪声。

XO 输入缓冲器具有可编程输入片上端接和交流耦合输入偏置配置，如图 7-6 所示。XO 输入通过 7pF 的串联电容和输入缓冲器电容在内部进行交流耦合。XO_P 和 XO_N 引脚上的有效电容通常小于 2pF。缓冲的 XO 路径还会驱动 XO 输入监控块。

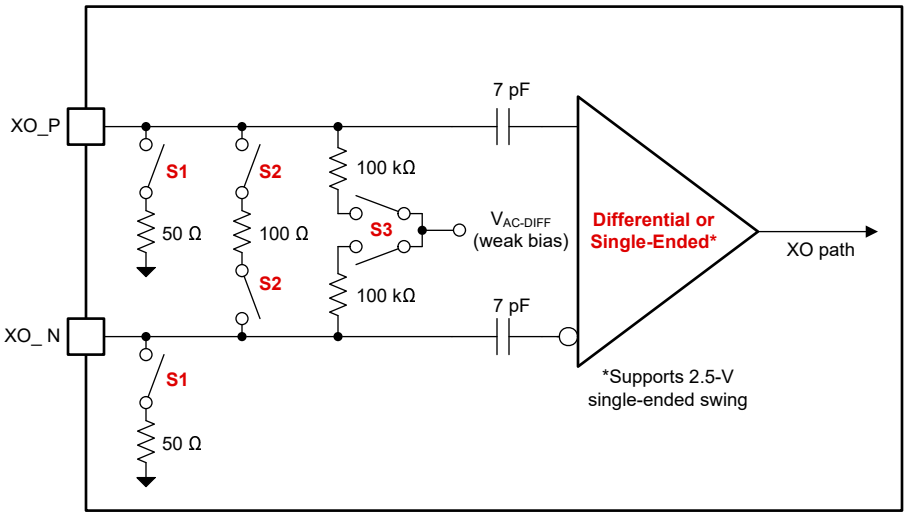


图 7-6. XO 输入缓冲器

表 7-1 列出了常见时钟接口类型的典型 XO 输入缓冲器配置。

表 7-1. XO 输入缓冲器模式

XO_TYPE (R43[6:3])	输入类型	内部开关设置	
		内部端接（S1、S2）(1)	内部辅助电源 (S3)(2)
0x01	差分 （外部直流耦合或交流耦合）	关断	导通 (1.3V)
0x03	差分 （外部直流耦合或交流耦合、通过 100Ω 内部端接和交流耦合）	100Ω	导通 (1.3V)
0x04	HCSL （外部直流耦合、通过 50Ω 内部端接和交流耦合）	50Ω	关断
0x08	LVCMOS （外部直流耦合、内部交流耦合）	关断	关断

Copyright © 2024 Texas Instruments Incorporated

表 7-1. XO 输入缓冲器模式（续）

XO_TYPE (R43[6:3])	输入类型	内部开关设置	
		内部端接（S1、S2）(1)	内部辅助电源 (S3)(2)
0x0C	单端（外部直流耦合、通过 50Ω 内部端接和交流耦合）	50Ω	关断

(1) S1、S2：关断 = 假定采用外部端接。
(2) S3：关断 = 假定采用外部输入辅助电源或直流耦合。

Copyright © 2024 Texas Instruments Incorporated

7.3.2 基准输入（PRIREF_P/N 和 SECREF_P/N）

基准输入（PRIREF 和 SECREF）可以接受差分或单端时钟。每个输入都具有可编程的输入类型、端接和直流耦合输入偏置配置，如图 7-7 所示。每个输入缓冲器会驱动 DPLL 块的基准输入多路复用器。DPLL 输入多路复用器可以从任何基准输入中进行选择。DPLL 可以在不同频率的输入之间切换，前提是这些输入可以通过 DPLL R 分频器分频为一个公共频率。基准输入路径还会驱动各种检测器块以进行基准输入监控和验证。

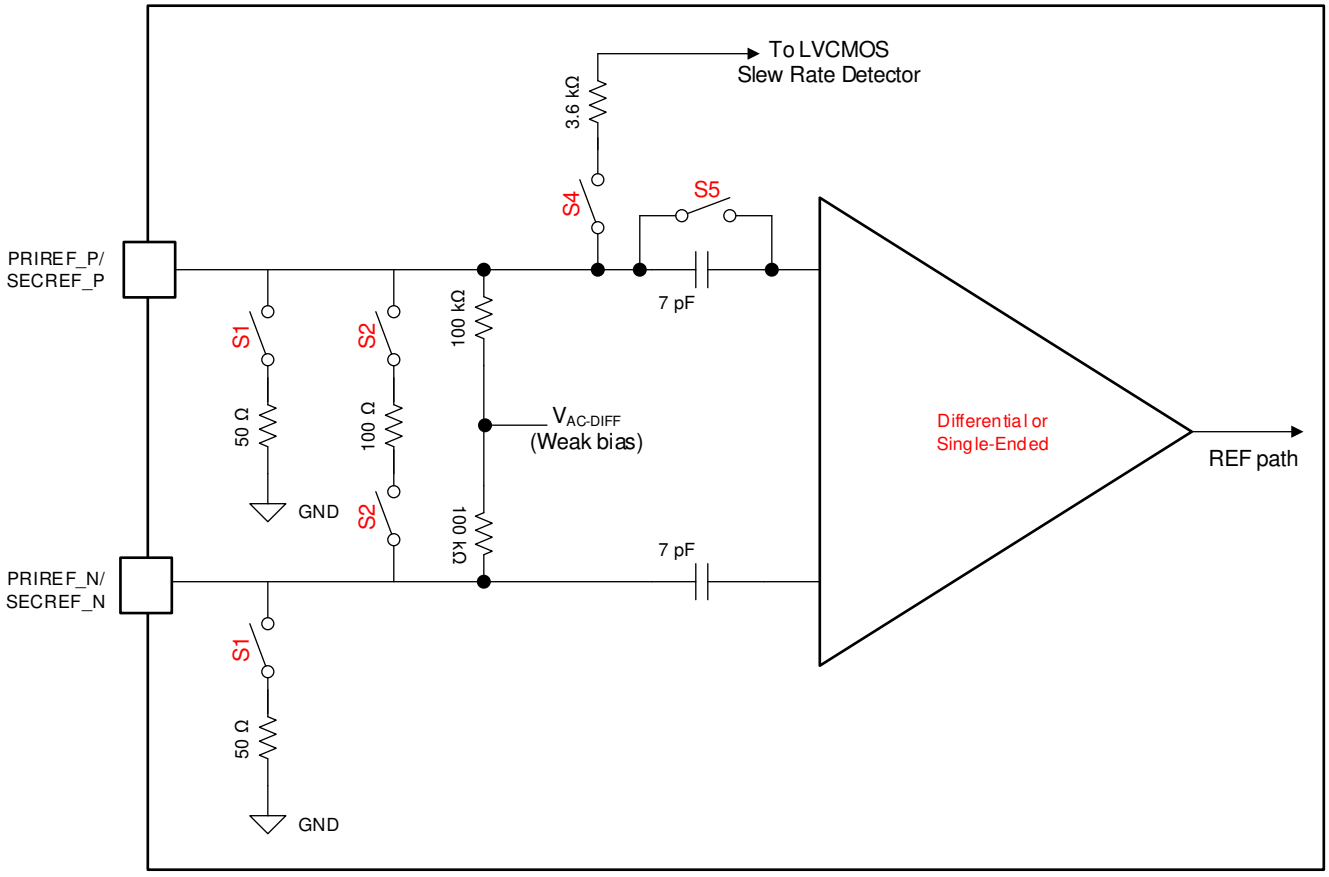


图 7-7. 基准输入缓冲器

表 7-2 列出了常见时钟接口类型的基准输入缓冲器配置。

表 7-2. 基准输入缓冲器模式

xxxREF_TYPE (R46[3:0]/ R46[7:4])	xxxREF_DC_ MODE (R40[2]/(R40[3])	输入类型	内部开关设置		
			内部端接（S1、S2）(1)	LVCMOS 压摆率检测 (S4)(2)	LVCMOS 内部交流电容器旁路模式 (S5)(3)
0x00	0x00	差分（外部直流耦合或交流耦合、内部交流耦合）	关断	关断	关断
0x03	0x00	差分（外部直流耦合或交流耦合、通过 100Ω 内部端接和交流耦合）	100Ω	关断	关断
0x04	0x00	HCSL（外部直流耦合、通过 50Ω 内部端接和交流耦合）	50Ω	关断	关断
0x08	0x00	LVCMOS（外部直流耦合、内部交流耦合）	关断	导通	关断

Copyright © 2024 Texas Instruments Incorporated

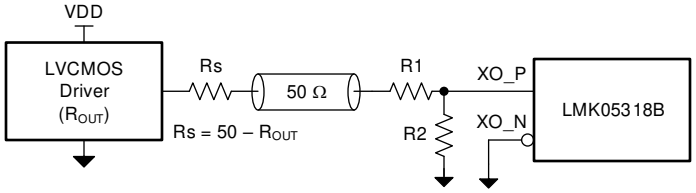
表 7-2. 基准输入缓冲器模式（续）

xxxREF_TYPE (R46[3:0]/ R46[7:4])	xxxREF_DC_ MODE (R40[2]/(R40[3])	输入类型	内部开关设置		
			内部端接（S1、S2）(1)	LVCMOS 压摆率检测 (S4)(2)	LVCMOS 内部交流电容器旁路模式 (S5)(3)
0x08	0x01	LVCMOS（外部直流耦合、内部直流耦合）	关断	关断	导通
0x0C	0x00	单端（外部直流耦合、通过 50Ω 内部端接和交流耦合）	50Ω	导通	关断

(1) S1、S2：关断 = 假定采用外部端接。
(2) S4：关断 = 差分输入幅度检测器用于除 LVCMOS 或单端输入类型之外的所有输入类型。
(3) S5：关断 = 使用内部交流耦合电容器 (7pF)。开关 S5 由 REF_DC_MODE 寄存器进行设置。R40[3] 可用于为主要基准设置 S5。R40[2] 可用于为次级基准设置 S5。

7.3.3 时钟输入连接和端接

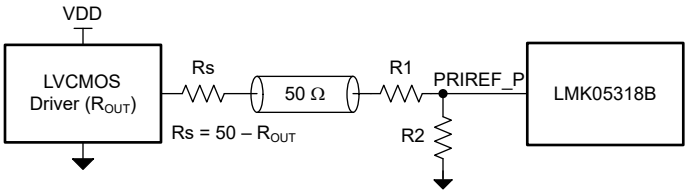
这些图展示了建议的输入连接和端接电路。未使用的时钟输入可以保持悬空或下拉。



VDD	R1 (Ω)	R2 (Ω)
3.3 V	125	375
2.5 V	0	open
1.8 V	0	open

Copyright © 2020, Texas Instruments Incorporated

图 7-8. 单端 LVCMOS 至 XO 输入 (XO_P)



VDD	R1 (Ω)	R2 (Ω)
3.3 V	125	375
2.5 V	0	open
1.8 V	0	open

图 7-9. 单端 LVCMOS（1.8V、2.5V、3.3V）至基准 (PRIREF_P/SECREF_P)

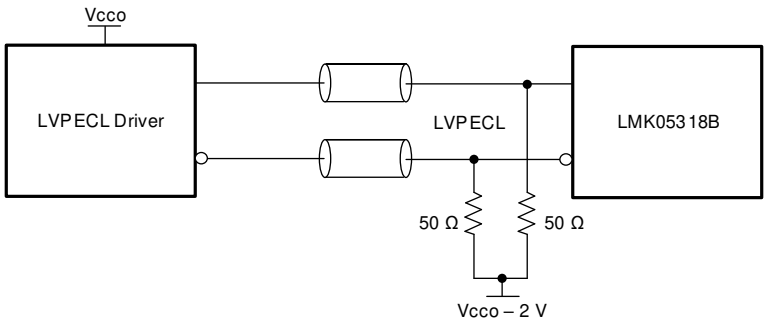


图 7-10. 直流耦合 LVPECL 至基准 (PRIREF_P/SECREF_P) 或 XO 输入

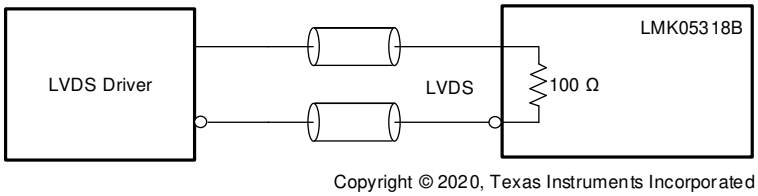


图 7-11. 直流耦合 LVDS 至基准 (PRIREF/SECREF) 或 XO 输入

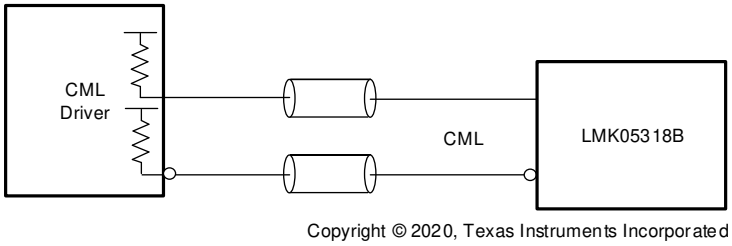


图 7-12. 直流耦合 CML（源端接）至基准 (PRIREF/SECREF) 或 XO 输入

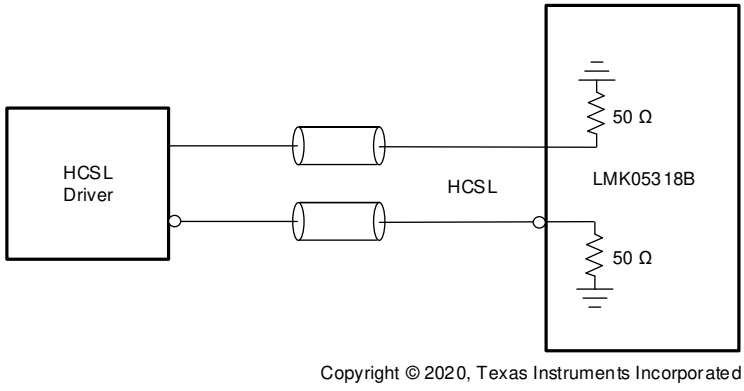
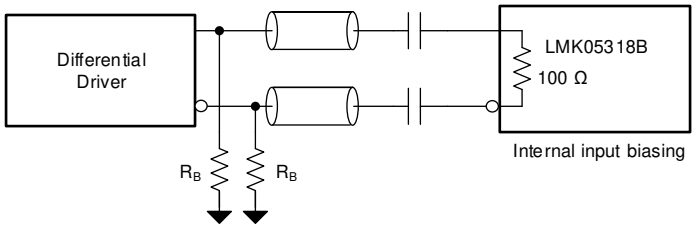


图 7-13. HCSL（负载端接）至基准 (PRIREF/SECREF) 或 XO 输入

Copyright © 2024 Texas Instruments Incorporated

Driver	R_B (Ω)
LVDS	open
CML*	open
3.3-V LVPECL	150
2.5-V LVPECL	82
HCSL	50

*CML driver has 50-Ω pull-up



Copyright © 2020, Texas Instruments Incorporated

图 7-14. 差分交流耦合至基准 (PRIREF/SECREF) 或 XO 输入

7.3.4 基准输入多路复用器选择

对于 DPLL 块，可以使用内部状态机并借助可配置的输入优先级方案来自动完成基准输入多路复用器的选择，也可以通过软件寄存器控制或硬件引脚控制来手动完成。输入多路复用器可从 PRIREF 或 SECREF 中进行选择。所有输入的优先级均可通过寄存器分配。优先级范围为 0 至 2，其中 0 = 忽略（从不选择），1 = 第一优先级，2 = 第二优先级。当两个输入配置了相同的优先级设置时，PRIREF 被赋予第一优先级。可以通过状态引脚或寄存器来监控所选的输入。

7.3.4.1 自动输入选择

有两种可通过寄存器设置的自动输入选择模式：自动还原和自动非还原。

- *自动还原：*在此模式下，DPLL 自动选择配置的优先级最高的有效输入。如果具有更高优先级的时钟变为有效，DPLL 会立即自动切换到该时钟。
- *自动非还原：*在此模式下，DPLL 自动选择有效的最高优先级输入。如果更高优先级输入变为有效状态，则除非当前选择的输入变为无效状态，否则 DPLL 不会切换。

7.3.4.2 手动输入选择

有两种可通过寄存器设置的手动输入选择模式：带自动回退功能的手动模式和带自动保持功能的手动模式。在任一种手动模式下，都可以通过寄存器控制（请参阅表 7-3）或硬件引脚控制（请参阅表 7-4）来完成输入选择。

- *带自动回退功能的手动模式：*在此模式中，手动选择的基准一直作为有效的基准，直至该基准失效。如果基准失效，DPLL 会自动回退到有效或合格的最高优先级输入。如果所有优先级输入都无效，DPLL 会进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 会退出保持模式。
- *带自动保持功能的手动模式：*在此模式中，手动选择的基准一直作为有效的基准，直至该基准失效。如果基准失效，DPLL 会自动进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 会退出保持模式。

表 7-3. 通过寄存器位进行手动输入选择

DPLL_REF_MAN_REG_SEL (R251[4])	DPLL_REF_MAN_SEL (R251[5])	所选输入
0	0	PRIREF
1	0	SECREF

表 7-4. 通过硬件引脚进行手动输入选择

REFSEL（引脚 8）	DPLL_REF_MAN_SEL (R251[5])	所选输入
0	1	PRIREF
悬空 (V_{IM})	1	自动选择
1	1	SECREF

基准输入选择流程图如图 7-15 所示。

Copyright © 2024 Texas Instruments Incorporated

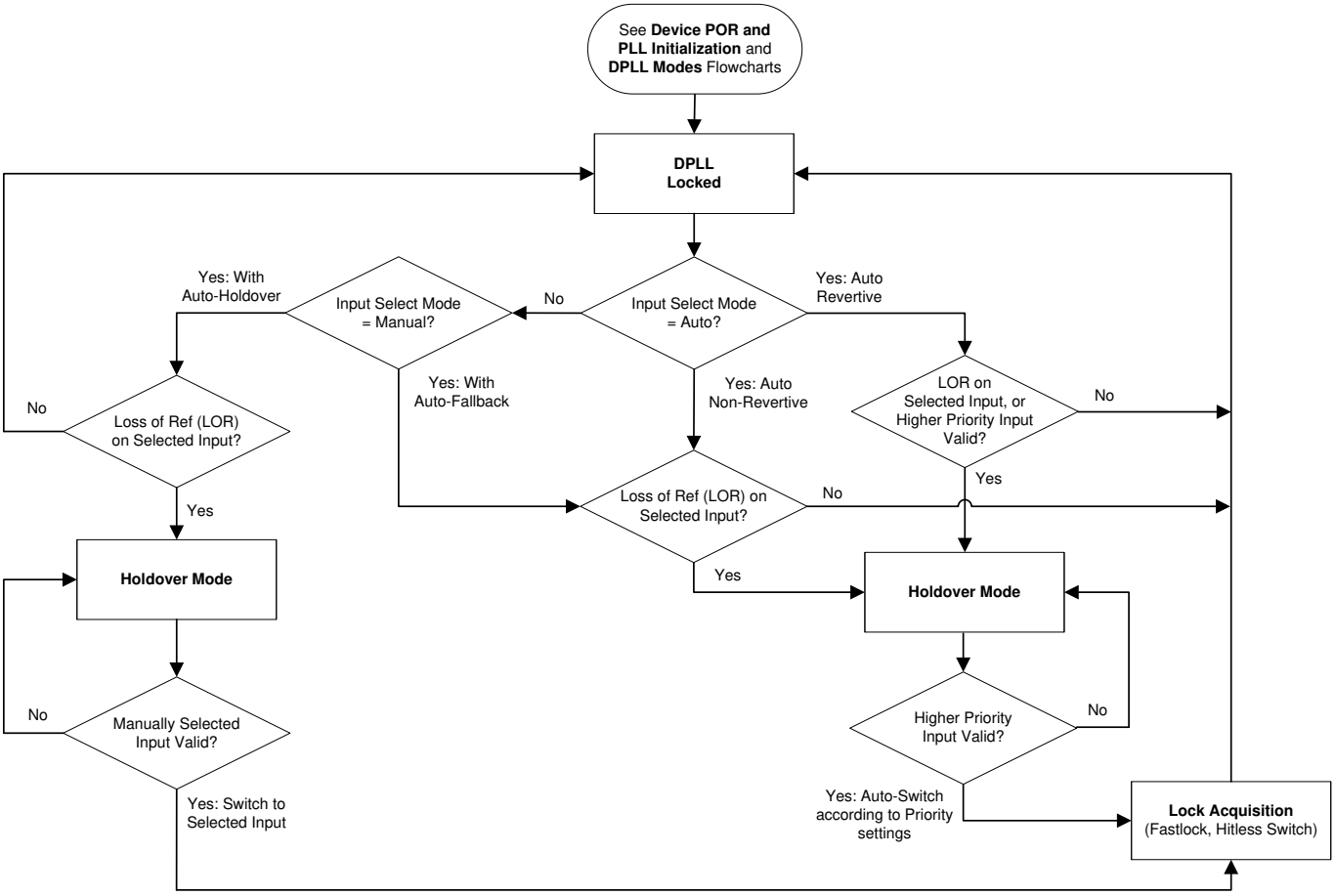


图 7-15. 基准输入选择流程图

7.3.5 无中断切换

DPLL 通过 TI 专有的相位抵消方案支持无中断切换。启用无中断切换后，DPLL 可防止相位瞬变（相位中断）在两个切换的输入具有固定相位偏移并锁频时传播到输出。当输入具有相同的精确频率（0ppm 偏移），或者具有与整数相关的频率且每个频率都可以被整数除以公共频率时，输入就会被锁频。禁用无中断切换后，等于两个输入之间相位偏移的相位中断将以 DPLL 快速锁定带宽决定的速率传播到输出。无中断切换规格（$t_{HITLESS}$ 和 $f_{HITLESS}$）对无漂移的基准输入有效。如果两个输入进行了切换但未锁频，则输出会平滑过渡到新频率并减少瞬变。

7.3.5.1 涉及 1PPS 输入的无中断切换

支持在 1PPS 输入之间进行无中断切换，但切换事件只能在 DPLL 获取锁定后发生。如果在 DPLL 最初锁定之前发生切换，则不是无中断切换，并且 DPLL 所需的锁定时间将是不确定的。在这种情况下，请对 DPLL 进行软复位以锁定到所选输入。在应用中，系统主机可以通过 STATUS 引脚或位来监控 DPLL 锁定状态，从而确定在允许 1PPS 输入之间的切换之前何时锁定 DPLL。DPLL 锁定时间由 DPLL 带宽（1PPS 输入时通常为 10mHz）决定。

7.3.6 基准输入上的间隙时钟支持

DPLL 支持锁定到缺少周期的输入时钟（称为间隙时钟）。间隙会大大增加时钟的抖动，因此 DPLL 提供生成低抖动周期性输出时钟所需的高输入抖动容差和低环路带宽。产生的输出是一个周期性的无间隙时钟，具有输入的平均频率及缺失的周期。间隙时钟宽度不能超过 R 分频器之后的基准时钟周期 ($R_{PRI/SECREF}/f_{PRI/SECREF}$)。为了实现

Copyright © 2024 Texas Instruments Incorporated

并保持锁定，必须配置基准输入监控器来避免由于最坏情况下的时钟间隙情况而出现的任何标志。如果两个间隙时钟输入之间的基准切换发生在任一输入时钟的间隙期间，则可能违反无中断切换规范。

7.3.7 输入时钟和 PLL 监控、状态和中断

下一节介绍输入时钟和 PLL 监控、状态和中断特性。

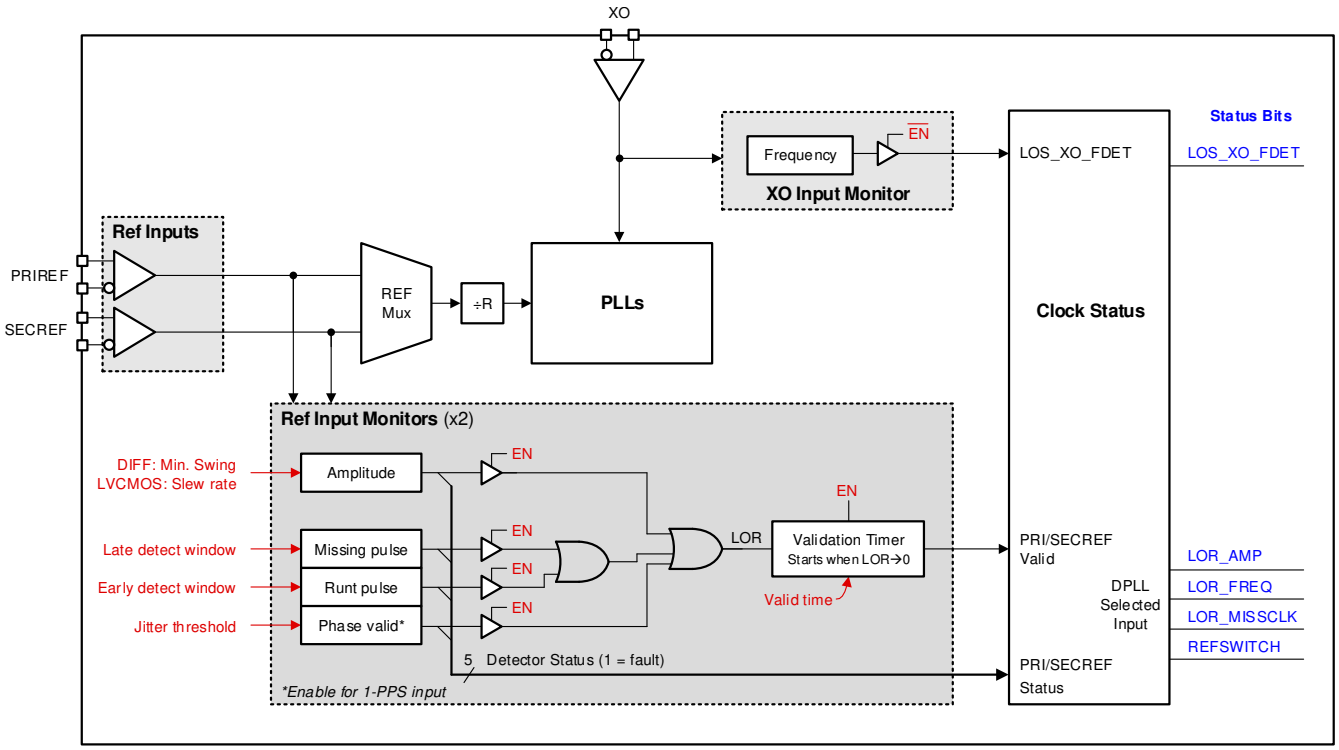


图 7-16. 适用于基准和 XO 输入的时钟监控器

7.3.7.1 XO 输入监控

XO 输入有一个粗略频率监控器，有助于在将输入用于锁定 APLL 之前对输入进行验证。

当检测到输入频率位于大约 10MHz 至 100MHz 支持范围内时，XO 频率检测器会清除 LOS_XO_FDET 标志。当外部 XO 时钟具有缓慢或延迟启动行为时，XO 频率监测器使用基于 RC 的检测器，并且无法精确地检测 XO 输入时钟是否具有足够的频率稳定性，以便在 PLL 启动期间验证 VCO 校准是否成功。有关更多信息，请参阅 *XO 启动缓慢或延迟*。

如需绕过 XO 频率检测器，可以设置 XO_FDET_BYP 位（在图 7-16 中显示为 $\overline{\text{EN}}$），使 PLL 控制状态机始终认为 XO 输入有效。用户可以通过状态引脚和状态位观察 LOS_XO_FDET 状态标志。

7.3.7.2 基准输入监控

在基准时钟符合条件并可供 DPLL 选择之前，独立监控每个 DPLL 基准时钟输入以进行输入验证。基准监控块包括振幅监控器、、漏脉冲监控器和矮脉冲监控器。对于 1PPS 输入，支持相位有效监控器和 LVCMOS 输入振幅监控器，但不支持差分输入振幅监控器、、漏脉冲监控器和矮脉冲监控器，因此必须禁用它们。验证计时器可设置在输入验证合格之前，清除所有已启用的基准监控器标志的最短时间。

每个输入都可以对所有基准监控器和验证计时器的启用和有效阈值进行编程。是否启用基准监控器和验证计时器是可选设置，但这些设置对于在保持或切换事件期间实现可靠的 DPLL 锁定和出色瞬态性能至关重要。基准监控器和验证计时器也用于避免选择不可靠或间歇性的时钟输入。如果未启用给定检测器，则该检测器不会设置标志

Copyright © 2024 Texas Instruments Incorporated

并会被忽略。可以通过任何基准输入（已选择或未选择）的状态引脚来观察任何已启用的检测器的状态标志。还可以通过 DPLL 选定输入的状态位来读取已启用的检测器的状态标志。

7.3.7.2.1 基准验证计时器

验证计时器可设置在每个基准验证合格并可供选择之前，清除所有已启用的输入监控器标志所需的时间量。验证计时器和启用设置是可编程的。

7.3.7.2.2 振幅监控器

基准振幅检测器根据输入缓冲器配置来确定输入是否符合与振幅相关的阈值。对于差分输入模式，当差分输入电压摆幅（峰峰值）大于寄存器选择的最小阈值（400mVpp、500mVpp 或 600mVpp 标称值）时，振幅检测器会清除 LOR_AMP 标志。对于 LVCMOS 输入模式，当压摆率在寄存器选择的时钟沿（上升沿、下降沿或这两个沿）上快于 0.2V/ns 时，输入压摆率检测器会清除其 LOR_AMP 标志。如果差分或 LVCMOS 输入时钟不符合指定的阈值，则振幅检测器会设置 LOR_AMP 标志并认定输入不合格。

如果输入频率低于 5MHz，差分输入检测器会发出错误标志信号。在这种情况下，禁用振幅检测器并启用至少一个其他输入监控器（频率、窗口或 1PPS 相位有效检测器）来验证输入时钟。LVCMOS 输入检测器可用于低至 1Hz 或 1PPS 的低频时钟。

7.3.7.2.3 频率监控

精密频率检测器测量所有输入时钟相对于 XO 输入频率精度（该频率被视为用于频率比较的“0ppm 基准时钟”）的频率偏移或误差（以 ppm 为单位）。有效和无效 ppm 频率阈值可通过寄存器进行配置。当相对输入频率误差小于有效 ppm 阈值时，监控器会清除 LOR_FREQ 标志。否则，当相对输入频率误差大于无效 ppm 阈值时，监控器会设置 LOR_FREQ 标志。有效和无效阈值之间的 ppm 增量可提供迟滞来防止 LOR_FREQ 标志在输入频率偏移超过这些阈值时切换。

在计算频率检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度（较小的 ppm）或较高的平均因子将增加设置或清除标志的测量延迟，从而为输入频率提供更多的时间来稳定，并且还可以为具有高漂移的输入提供更好的测量分辨率。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

7.3.7.2.4 漏脉冲监控器（后期检测）

漏脉冲监控器使用窗口检测器来验证在标称时钟周期加上可编程延迟窗口阈值 (T_{LATE}) 内到达的输入时钟脉冲。当输入脉冲在 T_{LATE} 之前到达时，该脉冲被视为有效，并会清除漏脉冲标志。当输入脉冲未在 T_{LATE} 之前到达（由于脉冲缺失或延迟）时，则会立即设置标志以认定输入不合格。

通常，将 T_{LATE} 设置为大于输入的最长时钟周期（包括周期间抖动），或者大于间隙时钟的间隙宽度。漏脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。漏脉冲监控器支持 2kHz 至 $f_{VCO1}/12$ 之间的输入频率，超出此频率范围时必须予以禁用。

对于每个基准输入，漏脉冲监控器和矮脉冲监控器通过相同的窗口检测器块运行。这两个监控器的状态标志通过逻辑“或”门组合在一起，并可通过状态引脚进行观察。也可以通过相应的 MISSCLK 状态位观察所选 DPLL 输入的窗口检测器标志。

7.3.7.2.5 矮脉冲监控器（早期检测）

矮脉冲监控器使用窗口检测器来验证在标称时钟周期减去可编程早期窗口阈值 (T_{EARLY}) 内到达的输入时钟脉冲。当输入脉冲在 T_{EARLY} 之后到达时，该脉冲被视为有效，并会清除矮脉冲标志。当早期或矮输入脉冲在 T_{EARLY} 之前到达时，该监控器会立即设置标志以认定输入不合格。

通常，T_{EARLY} 必须设置为小于输入的最短时钟周期（包括周期间抖动）。早期脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。早期脉冲监控器支持 2kHz 至 $f_{VCO1}/12$ 之间的输入频率，超出此频率范围时必须予以禁用。

Copyright © 2024 Texas Instruments Incorporated

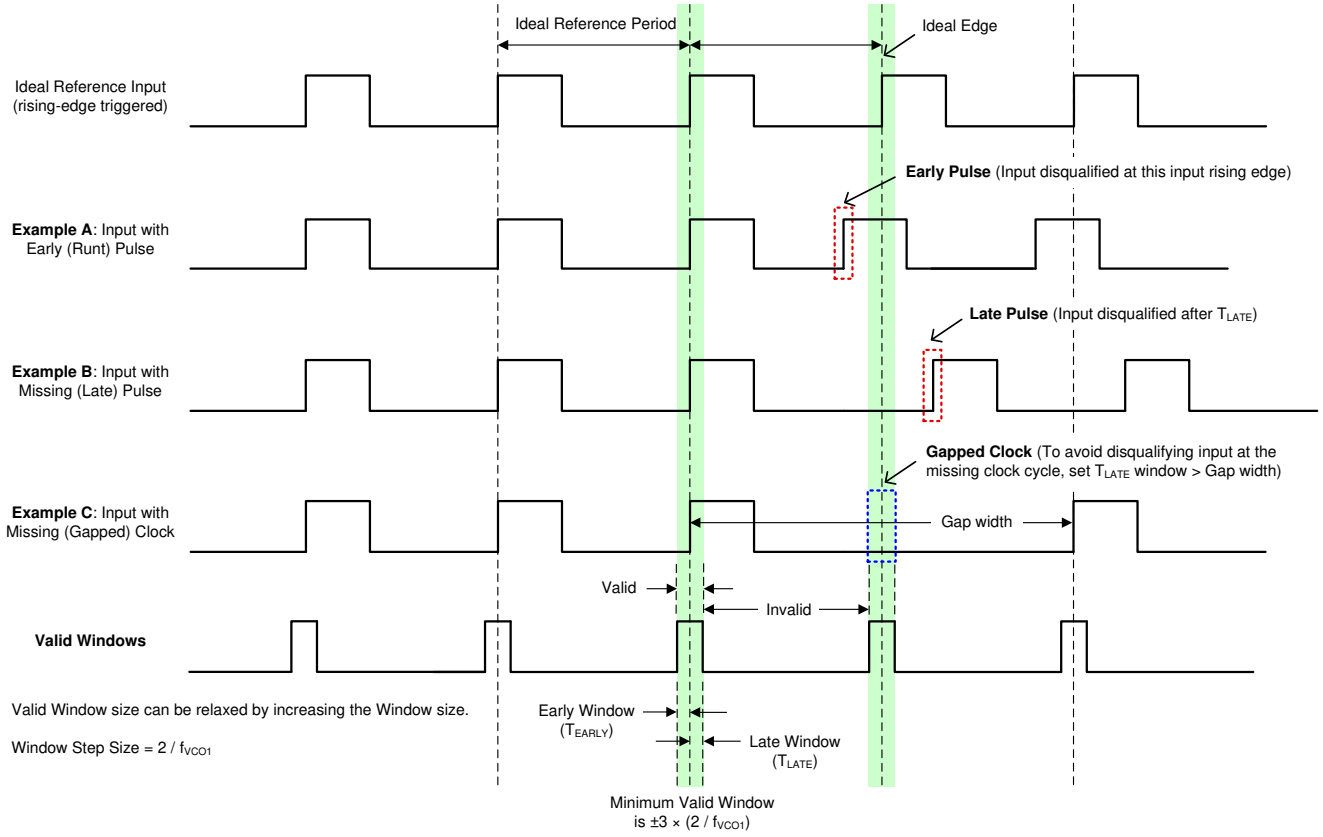


图 7-17. 早期和晚期窗口检测器示例

7.3.7.2.6 1PPS 输入的相位有效监控器

相位有效监控器专为 1PPS 输入验证而设计，因为频率和窗口检测器不支持此模式。相位有效监控器使用窗口检测器来验证在标称时钟周期 (T_{IN}) 加上可编程抖动阈值 (T_{JIT}) 内到达的 1PPS 输入脉冲。当输入脉冲在计数器窗口 (T_V) 内到达时，脉冲被视为有效，并会清除相位有效标志。当输入脉冲未在 T_V 之前到达（由于脉冲缺失或延迟）时，则会立即设置标志以认定输入不合格。T_{JIT} 必须设置为大于最坏情况下的输入周期间抖动。

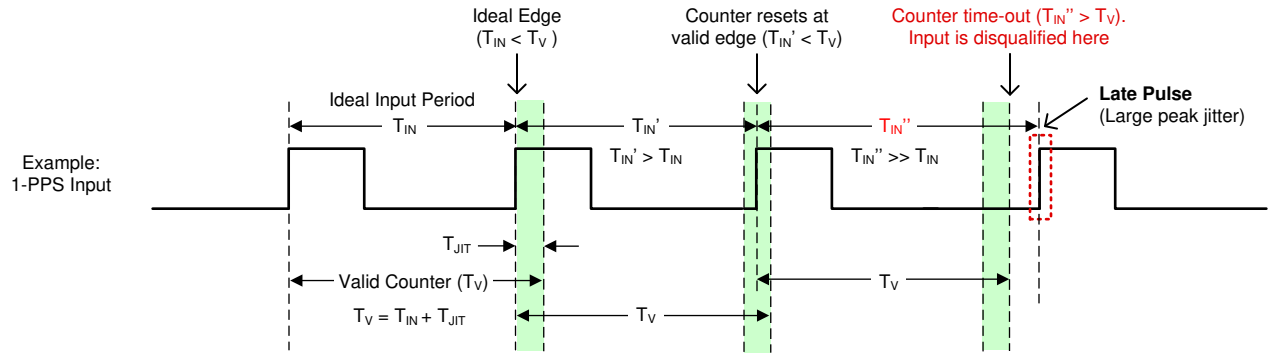


图 7-18. 1PPS 输入窗口检测器示例

7.3.7.3 PLL 锁定检测器

每个 APLL 和 DPLL 都提供失锁 (LOL) 状态。对于 APLL，仅监控频锁丢失情况。对于 DPLL，监控频锁丢失 (LOFL) 和相锁丢失 (LOPL) 情况。对于 LOPF 和 LOFL 检测器，DPLL 锁定阈值和失锁阈值都是可编程的。

Copyright © 2024 Texas Instruments Incorporated

当 DPLL 相对于所选基准输入的频率误差小于锁定 ppm 阈值时，DPLL 频锁检测器会清除 LOFL 标志。否则，当 DPLL 的频率误差大于解锁 ppm 阈值时，DPLL 频率锁定检测器会设置 LOFL 标志。锁定阈值和解锁阈值之间的 ppm 增量可提供迟滞来防止 LOFL 标志在 DPLL 频率误差超过这些阈值时切换。

在计算频锁检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度（较小的 ppm）或较高的平均因子将增加设置或清除 LOFL 标志的测量延迟。当锁定到具有高漂移的输入或当 DPLL 配置了窄环路带宽时，较高的平均值会很有用。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

当 DPLL 的相位误差小于相锁阈值时，DPLL 相锁检测器会清除 LOPL 标志。否则，当相位误差大于相位解锁阈值时，锁定检测器会设置 LOPL 标志。

用户可以通过状态引脚和状态位观察 APLL 和 DPLL 锁定检测器标志。

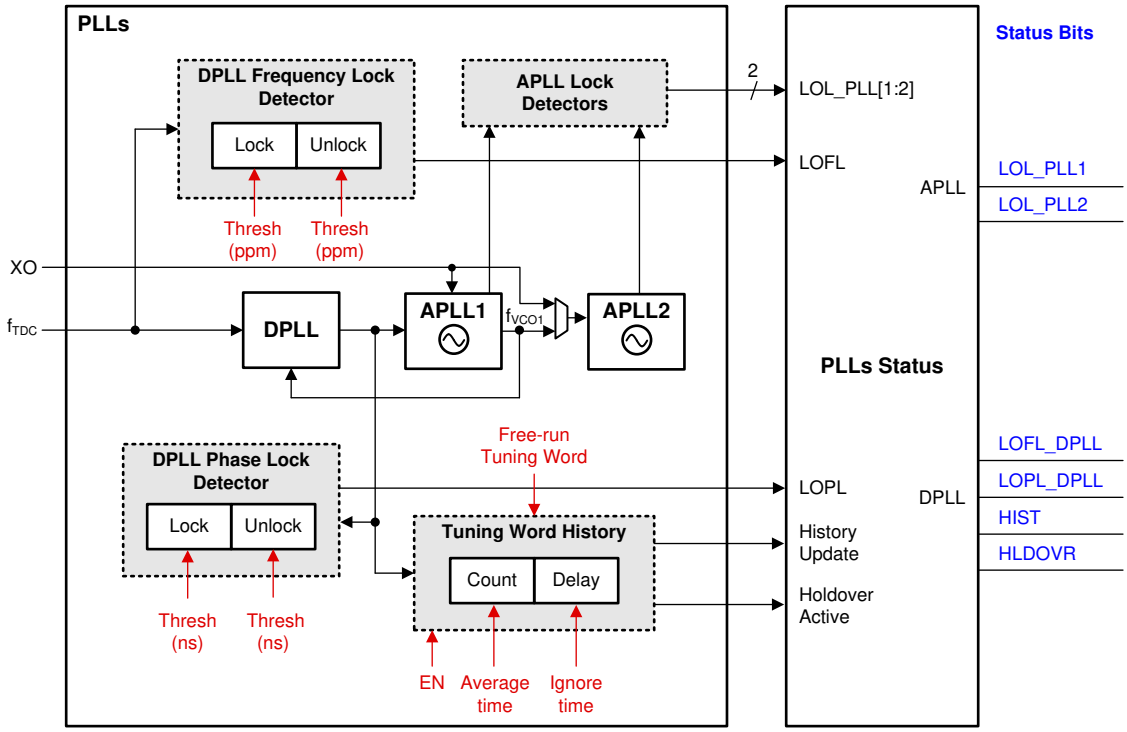


图 7-19. PLL 锁定检测器和历史记录监控器

Copyright © 2024 Texas Instruments Incorporated

7.3.7.4 调优字历史记录

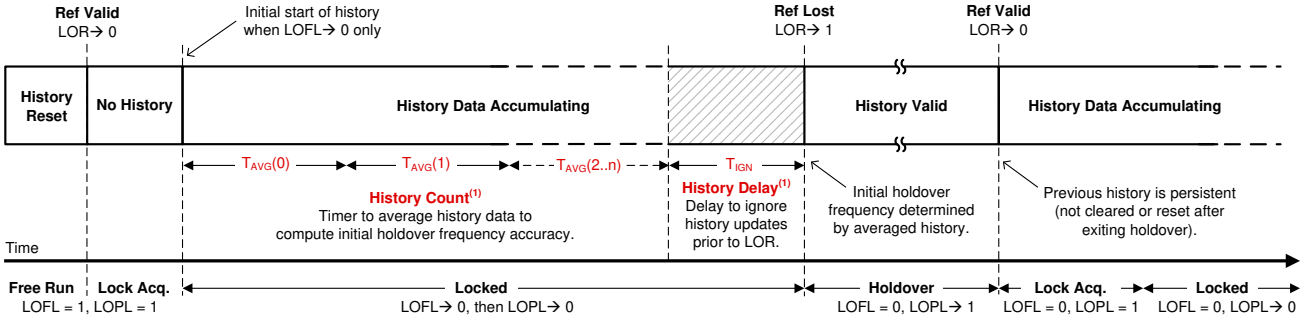
DPLL 域有一个调优字历史记录监控块用于确定进入保持模式时的初始输出频率精度。根据 DPLL 工作模式，可以使用三个源之一来更新调优字：

1. 锁定模式：锁定时使用数字环路滤波器的输出进行更新
2. 保持模式：使用历史记录监控器的最终输出进行更新
3. 自由运行模式：使用自由运行调优字寄存器（用户定义）进行更新

当已启用历史记录监控器且已锁定 DPLL 时，历史监控器可有效地计算基准输入频率平均值的方法是：在可编程平均时间 (T_{AVG}) 内，使用数字环路滤波器的输出来累积历史记录。当输入变得无效时，会存储最终的调优字值以确定初始保持频率精度。通常，较长的 T_{AVG} 时间会产生更准确的初始保持频率。0ppm 基准时钟（XO 输入）的稳定性决定了保持输出频率的长期稳定性和精度。

还有一个单独的可编程延迟计时器 (T_{IGN})，可设置为忽略进入保持模式之前损坏的历史数据。如果在输入时钟发生故障时以及在输入监控器检测到数据之前发生调优字更新，则历史数据可能会损坏。T_{AVG} 和 T_{IGN} 时间分别可通过 HISTCNT 和 HISTDLY 寄存器位进行编程，并且与 TDC 速率相关。

在器件硬复位或软复位后立即清除调优字历史记录。DPLL 锁定到新基准后，历史记录监控器会等待第一个 T_{AVG} 计时器到期，然后存储第一个调优字值，并开始累积历史记录。历史记录监控器在基准切换或保持模式退出期间不会清除先前的历史记录值。如果需要，可以通过切换历史记录使能位 (HIST_EN = 1 → 0 → 1) 来手动清除或复位历史记录。



(1) 历史记录计数和延迟窗口可编程。

图 7-20. 调优字历史记录窗口

如果将 T_{AVG} 周期设置为分钟或小时（用于获取更精确的历史平均频率），则可在存储第一个调优字并可供使用之前发生切换或保持事件。为抑制早期切换事件，提供了一个中间历史记录更新选项 (HIST_INTMD)。如果复位了历史记录，则中间平均值可以按 $T_{AVG}/2^K$ 的间隔更新，其中 K = HIST_INTMD 为 0，*仅在第一个 T_{AVG} 期间更新*。如果 HIST_INTMD = 0，则不会进行中间更新，且在第一个 T_{AVG} 周期之后存储第一个平均值。然而，如果 HIST_INTMD = 4，则在 $T_{AVG}/16$、$T_{AVG}/8$、$T_{AVG}/4$ 和 $T_{AVG}/2$ 以及 T_{AVG} 时取四个中间平均值。在第一个 T_{AVG} 周期之后，所有后续历史记录更新都在 T_{AVG} 周期发生。

当不存在调优字历史记录时，使用自由运行调优字值 (TUNING_FREE_RUN) 来确定初始保持输出频率精度。

Copyright © 2024 Texas Instruments Incorporated

7.3.7.5 状态输出

STATUS0 和 STATUS1 引脚可配置为输出各种状态信号和中断标志以用于器件诊断和调试。状态信号、输出驱动器类型和输出极性设置都是可编程的。这些引脚上可用的状态信号在表 7-5 中列出。状态信号置为有效后，状态输出会驱动为高电平（高电平有效），但前提是输出极性未反相（或低电平有效）。

表 7-5. 每个器件块可用的状态引脚信号

监控的器件块	状态信号（高电平有效）
XO	XO 信号丢失 (LOS)
APLL1 和 APLL2	检测到的 APLLx 锁定 ($\overline{\text{LOL}}$)
	APLLx VCO 校准激活
	APLLx N 分频器，2 分频
	APLLx 数字锁定检测 (DLD)
	APLL2 R 分频器，2 分频
EEPROM	EEPROM 有效
所有输入和 PLL	中断 (INTR)
PRIREF 和 SECREF	PRIREF/SECREF 监控器分频器输出，2 分频
	PRIREF/SECREF 振幅监控器故障
	PRIREF/SECREF 漏脉冲或早期脉冲监控器故障
	PRIREF/SECREF 验证计时器激活
	PRIREF/SECREF 相位验证监控器故障
DPLL	DPLL R 分频器，2 分频
	DPLL FB 分频器，2 分频
	检测到的 DPLL 相锁 ($\overline{\text{LOPL}}$)
	已选定 DPLL PRIREF/SECREF
	DPLL 保持激活
	DPLL 基准切换事件
	DPLL 调优历史记录更新
	DPLL 快速锁定激活
	DPLL 失锁 (LOFL)

7.3.7.6 中断

任意两个状态引脚都可以配置为器件中断输出引脚。中断逻辑配置通过寄存器进行设置。当启用中断逻辑后，可以从中断状态指示灯（包括 XO 的 LOS、所选 DPLL 输入的 LOR、每个 APLL 和 DPLL 的 LOL，以及 DPLL 的保持和切换事件）的任意组合触发中断输出。当中断极性设置为高电平时，实时状态位的上升沿会将中断标志（粘滞位）置为有效。否则，当极性设置为低电平时，实时状态位的下降沿会将中断标志置为有效。可以屏蔽任何单独的中断标志，使该标志不会触发中断输出。未屏蔽的中断标志由与/或门组合在一起来生成中断输出，可以在任一状态引脚上选择该中断输出。

当系统主机检测到来自 LMK05318B-Q1 的中断时，主机可以读取中断标志或“粘滞”寄存器来识别哪些位已置为有效，从而解决系统中的故障状况。解决系统故障后，主机可以通过向已置为有效的粘滞位写入零来清除中断输出。

Copyright © 2024 Texas Instruments Incorporated

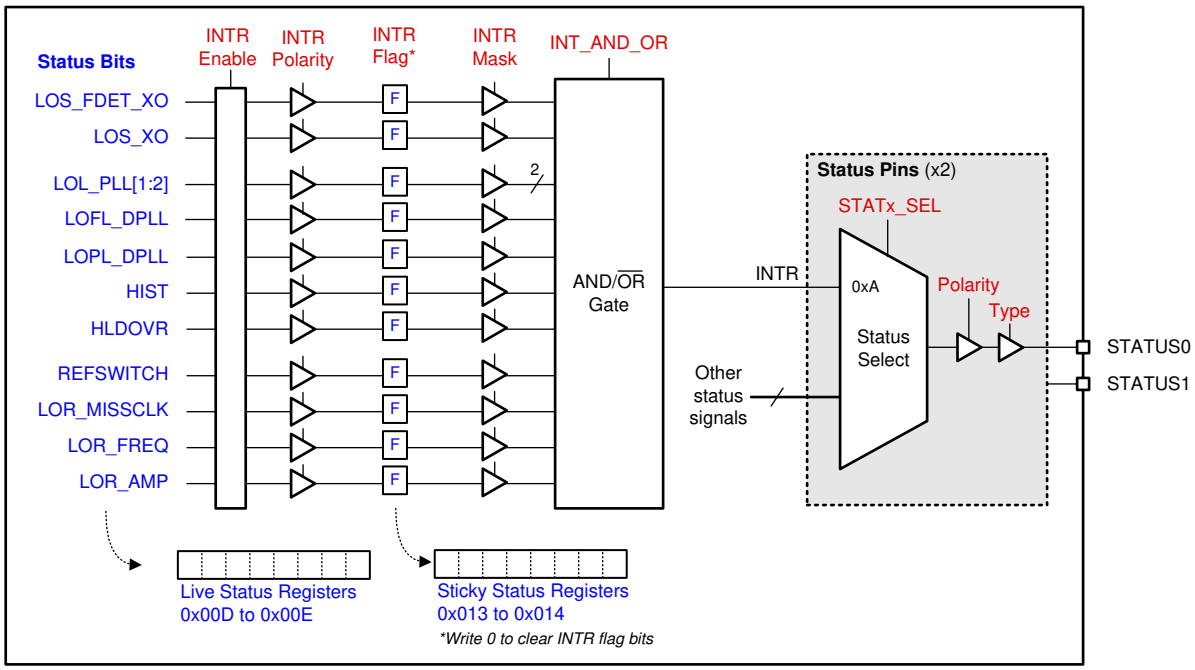

Status Bits
INTR Enable
INTR Polarity
INTR Flag*
INTR Mask
INT_AND_OR
LOS_FDET_XO
LOS_XO
LOL_PLL[1:2]
LOFL_DPLL
LOPL_DPLL
HIST
HLDOVR
REFSWITCH
LOR_MISSCLK
LOR_FREQ
LOR_AMP
F
2
AND/OR Gate
INTR
Status Pins (x2)
STATx_SEL
0xA
Polarity
Type
Status Select
Other status signals
STATUS0
STATUS1
Live Status Registers
0x00D to 0x00E
Sticky Status Registers
0x013 to 0x014
*Write 0 to clear INTR flag bits

图 7-21. 状态和中断

7.3.8 PLL 关系

图 7-22 展示了 LMK05318B-Q1 中实施的 PLL 架构。PLL 可以配置为 *PLL 架构概述* 中所述的不同 PLL 模式。

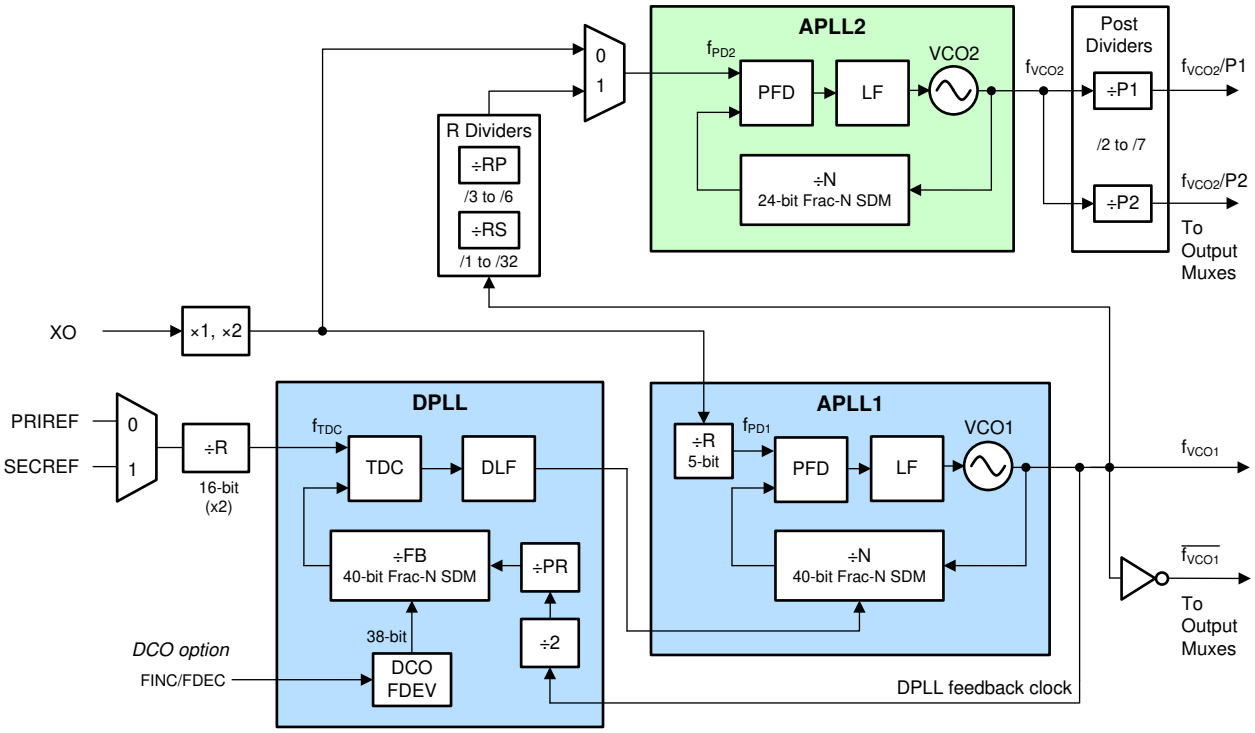


图 7-22. PLL 架构

7.3.8.1 PLL 频率关系

以下公式根据所选 PLL 模式计算实现闭环运行所需的 PLL 频率关系。TICS Pro 编程软件可用于根据所需的频率计划配置和 PLL 模式生成有效的分频器设置。

- 要在自由运行模式（锁定到 XO 输入）下运行 APLL1，必须满足方程式 1 和方程式 2 中的条件。
- 要在 DPLL 模式下运行 APLL1，必须满足方程式 1、方程式 2、方程式 3 和方程式 4 的条件。
- 要在级联模式下运行 APLL2，必须满足方程式 1、方程式 2、方程式 5 和方程式 7 的条件。
- 要在非级联模式下运行 APLL2，必须满足方程式 6 和方程式 7 中的条件。

请注意，以下公式中的任何分频器均指实际分频值（或范围），而不是可编程寄存器值。

方程式 1 和方程式 2 与 APLL1 相关：

$$f_{PD1} = f_{XO} \times D_{XO} / R_{XO} \quad (1)$$

其中

- f_{PD1} = APLL1 相位检测器频率
- f_{XO}：XO 输入频率
- D_{XO}：XO 输入倍频器（1 = 禁用，2 = 启用）
- R_{XO}：APLL1 XO 输入 R 分频器值（1 至 32）

$$f_{VCO1} = f_{PD1} \times (INT_{APLL1} + NUM_{APLL1} / DEN_{APLL1}) \quad (2)$$

Copyright © 2024 Texas Instruments Incorporated

其中

- f_{VCO1}：VCO1 频率
- INT_{APLL1}：APLL1 N 分频器整数值（12 位，1 至 2^{12} – 1）
- NUM_{APLL1}：APLL1 N 分频器分子值（40 位，0 至 2^{40} – 1）
- DEN_{APLL1}：APLL1 N 分频器分母值（固定 2^{40} 后可编程为 1 至 2^{24}-1）
  - $0.0625 < NUM_{APLL1} / DEN_{APLL1} < 0.9375$（在 DPLL 模式下）

方程式 3 和方程式 4 与 DPLL 相关：

$$f_{TDC} = f_{PRIREF} / R_{PRIREF} = f_{SECREF} / R_{SECREF} \quad (3)$$

其中

- f_{TDC}：DPLL TDC 输入频率（请参阅方程式 3）
- f_{PRIREF} 或 f_{SECREF}：PRIREF 或 SECREF 输入频率
- R_{PRIREF} 或 R_{SECREF}：PRIREF 或 SECREF R 分频器值（16 位，1 至 2^{16} – 1）

$$f_{VCO1} = f_{TDC} \times 2 \times PR_{DPLL} \times (INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}) \quad (4)$$

其中

- PR_{DPLL}：DPLL 预分频器分频值（2 至 17）
- INT_{DPLL}：DPLL FB 分频器整数值（30 位，1 至 2^{30} – 1）
- NUM_{DPLL}：DPLL FB 分频器分子值（40 位，0 至 2^{40} – 1）
- DEN_{DPLL}：DPLL FB 分频器分母值（40 位，1 至 2^{40}）

方程式 5、方程式 6 和方程式 7 与 APLL2 相关：

Cascaded APLL2: $f_{PD2} = f_{VCO1} / (R_{APLL2_PRE} \times R_{APLL2_SEC})$ (5)

其中

- f_{PD2}：APLL2 相位检测器频率
- R_{APLL2_PRE}：级联 APLL2 R 预分频器值（3 至 6）
- R_{APLL2_SEC}：级联 APLL2 次级 R 分频器值（1 至 32）

Non-Cascaded APLL2: $f_{PD2} = f_{XO} \times D_{XO}$ (6)

$$f_{VCO2} = f_{PD2} \times (INT_{APLL2} + NUM_{APLL2} / DEN_{APLL2}) \quad (7)$$

其中

- f_{VCO2}：VCO2 频率
- INT_{APLL2}：APLL2 N 分频器整数值（9 位，1 至 2^{9} – 1）
- NUM_{APLL2}：APLL2 N 分频器分子值（24 位，0 至 2^{24} – 1）
- DEN_{APLL2}：APLL2 N 分频器分母值（固定 2^{24} 后可编程为 1 至 2^{24}-1。）

方程式 8、方程式 9 方程式 10 和方程式 11 与输出频率相关，输出频率取决于所选的 APLL 时钟源和输出分频器值：

APLL1 selected: $f_{CHxMUX} = f_{VCO1}$ (8)

APLL2 selected: $f_{CHxMUX} = f_{VCO2} / Pn_{APLL2}$ (9)

OUT[0:6]: $f_{OUTx} = f_{CHxMUX} / OD_{OUTx}$ (10)

OUT7: $f_{OUT7} = f_{CH7MUX} / (OD_{OUT7} \times OD2)$ (11)

Copyright © 2024 Texas Instruments Incorporated

其中

- f_{CHxMUX}：输出多路复用器源频率（APLL1 或 APLL2 后分频器时钟）
- Pn_{APLL2}：APLL2 主 P1 或辅助 P2 后分频值（2 至 7）
- f_{OUTx}：输出时钟频率（x = 0 至 7）
- OD_{OUTx}：OUTx 输出分频器值（8 位，1 至 2^8）
- OD2：OUT7 次级输出分频器值（24 位，1 至 2^{24}）
  - 如果 OD2 > 1，则 $OD_{OUT7} \geqslant 6$

7.3.8.2 模拟 PLL（APLL1、APLL2）

APLL1 具有 24 位（可编程）或 40 位（固定）分数 N 分频器，APLL2 具有 24 位（可编程）分数 N 分频器，从而支持高分辨率频率合成以及超低相位噪声和抖动。APLL1 还能够通过 DPLL 模式下的 Σ-Δ 调制器 (SDM) 控制功能来调整其 VCO1 频率。APLL2 能够将 VCO2 频率锁定为 VCO1 频率。

在自由运行模式下，APLL1 使用 XO 输入作为 VCO1 的初始基准时钟。APLL1 的 PFD 将分数 N 分频时钟与基准时钟进行比较并生成控制信号。控制信号经 APLL1 环路滤波器滤波后生成 VCO1 的控制电压来设置输出频率。SDM 会调制 N 分频比来获得 PFD 输入与 VCO 输出之间所需的分数比。APLL2 的工作方式与 APLL1 类似，但用户可以从 VCO1 时钟或 XO 时钟中选择 APLL2 的基准。

在 DPLL 模式下，APLL1 分数 SDM 由 DPLL 环路进行控制，以便使 VCO1 频率锁定到 DPLL 基准输入。如果 APLL2 从 VCO1 获得基准，则 VCO2 将有效锁定到 DPLL 基准输入（假定 APLL2 的分数 N 分频比不会引入合成误差）。

7.3.8.3 APLL 参考路径

7.3.8.3.1 APLL XO 倍频器

启用 APLL XO 倍频器可以将 APLL1 的 PFD 频率加倍，最高可达 50Mhz，在非级联模式下可将 APLL2 的频率加倍到最高 150MHz。启用 XO 倍频器会增加极小的噪声，有助于提高 PFD 频率以优化相位噪声、抖动和小数杂散。当 PFD 频率增加时，APLL 相位噪声的平坦部分可以得到改善。

7.3.8.3.2 APLL1 XO 基准 (R) 分频器

APLL1 有一个 5 位 XO R 分频器，可用于满足最大 APLL1 PFD 频率规格要求。该分频器还可用于提供介于 0.0625 至 0.9375 之间的 APLL1 分数 N 分频比 (NUM/DEN)，建议使用该分频比来支持 DPLL 频率调谐范围。否则，可以旁路掉 XO R 分频器（1 分频）。

7.3.8.3.3 APLL2 基准 (R) 分频器

APLL2 具有级联初级 R 分频器（÷3 至 ÷6）和次级 R 分频器（÷1 至 ÷32），可对 VCO1 时钟进行分频，从而满足级联 APLL2 模式下的最大 APLL2 PFD 频率规格。分频器还可用于在整数模式下运行 APLL2，或避免分数模式下的接近整数杂散。

7.3.8.4 APLL 相位频率检测器 (PFD) 和电荷泵

APLL1 PFD 频率最高可达 50Mhz，并可通过方程式 1 来计算。APLL1 具有从 0μA 至 1500μA 且步长为 100μA 的可编程电荷泵设置。使用 800μA 或更高的电荷泵电流可让 APLL1 实现出色性能。

APLL2 PFD 频率可在高达 150MHz 下运行，在级联模式下使用方程式 5 或在非级联模式下使用方程式 6 来计算。APLL2 具有 1.6mA、3.2mA、4.8mA 或 6.4mA 的可编程电荷泵设置。

7.3.8.5 APLL 反馈分频器路径

每个 APLL 的 VCO 输出通过分数反馈 (N) 分频器反馈到 PFD 块。在 DPLL 模式下，VCO1 输出也会反馈到 DPLL 反馈路径。

Copyright © 2024 Texas Instruments Incorporated

7.3.8.5.1 APLL1 N 分频器，具有 SDM

APLL1 分数 N 分频器包括 12 位整数部分 (INT)、40 位分子部分 (NUM)、固定 40 位或可编程 24 位分母部分 (DEN) 以及 Σ-Δ 调制器。INT 和 NUM 可编程，而对于 VCO1 时钟上极高频率的分辨率，分母固定为 2^{40} 或可在 1 至 2^{24} - 1 范围内编程。APLL1 N 分频器总值为：N = INT + NUM / DEN 。只能在 APLL 模式（DPLL 断电）下使用可编程分母。

在 APLL 自由运行模式下，APLL1 的 PFD 频率和总 N 分频器决定了 VCO1 频率，可通过方程式 2 来计算。

7.3.8.5.2 APLL2 N 分频器，具有 SDM

APLL2 分数 N 分频器包括 9 位整数部分 (INT)、24 位分子部分 (NUM)、固定 可编程 24 位分母部分 (DEN) 以及 Σ-Δ 调制器。INT、NUM 和 DEN 是可编程的 以在 VCO2 时钟上实现高频率分辨率。APLL2 N 分频器总值为：N = INT + NUM / DEN .

APLL2 的 PFD 频率和总 N 分频器决定了 VCO2 频率，可通过方程式 7 来计算。

7.3.8.6 APLL 环路滤波器（LF1、LF2）

APLL1 支持 100Hz 至 10kHz（典型范围）的可编程环路带宽，而 APLL2 支持 100kHz 至 1MHz（典型范围）的可编程环路带宽。可以对环路滤波器元件进行编程，从而根据基准输入频率和相位噪声来优化 APLL 带宽。LF1（引脚 29）和 Lf2（引脚 34）都需要一个接地的外部 APLLn 二阶“C2”电容器。请参阅*引脚配置和功能* 中对于 LF1 和 LF2 电容器的建议值。

图 7-23 展示了 PFD/电荷泵输出和 VCO 控制输入之间的 APLL 环路滤波器结构。对于 APLL1，环路滤波电容器对于“C1”、“C3”和“C4”分别固定为 100pF、70pF 和 70pF。对于 APLL2，只有“C1”固定为 100pF，其余元件均可编程。

PLLATINUMSIM-SW 可用于 APLL 环路滤波器仿真。

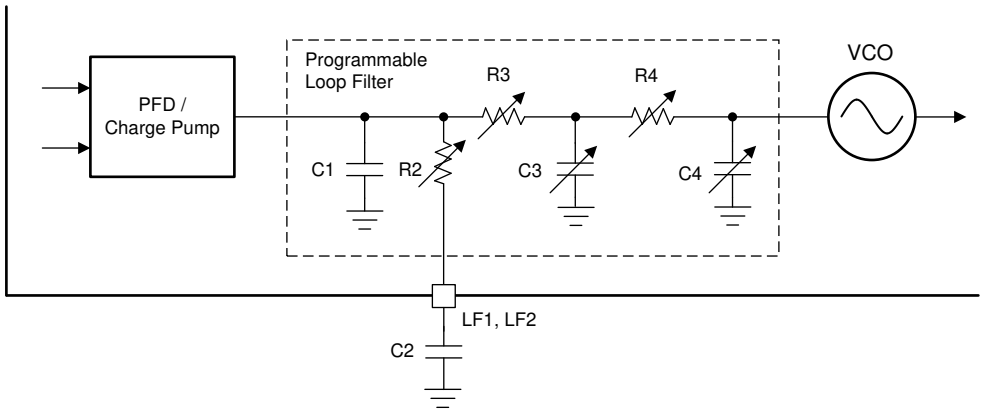


图 7-23. 每个 APLL 的环路滤波器结构

7.3.8.7 APLL 压控振荡器（VCO1、VCO2）

每个 APLL 包含一个完全集成的 VCO，该 VCO 从环路滤波器获取电压并转换为频率。VCO1 采用具有极高品质因数的专有 BAW 谐振器技术来提供最低的相位抖动，并具有 2.5GHz ± 50ppm 的调谐范围。VCO2 使用高性能 LC VCO，具有 5.5GHz 至 6.25GHz 的宽调谐范围，旨在覆盖其他额外的不相关时钟频率（如果需要）。

7.3.8.7.1 VCO 校准

必须对每个 APLL VCO 进行校准，从而确认 PLL 可以实现锁定并提供出色的相位噪声性能。VCO 校准可确立 VCO 调谐范围内的理想工作点。在器件上电、硬复位或软复位之后的初始 PLL 启动期间，当输入监控器检测到 XO 输入后，会自动执行 VCO 校准。为了确保成功校准和 APLL 锁定，在校准开始之前，XO 时钟的幅度和频率

Copyright © 2024 Texas Instruments Incorporated

需要保持稳定；否则，校准会失败并会阻止 PLL 锁定和输出时钟启动。在 VCO 校准和 APLL 锁定之前，输出驱动器通常保持在静音状态（可针对每个输出进行配置）以防止杂散输出时钟。

通过主机编程切换 PLL 断电周期（PLLx_PDN 位 = 1 → 0），可以为单个 APLL 手动触发 VCO 校准。通过编程动态更改 APLL N 分频器值（VCO 频率）后，可能需要执行此操作。

7.3.8.8 APLL VCO 时钟分配路径（P1、P2）

APLL1 没有 VCO 后分频器。初级 VCO1 时钟 (P1) 和次级 VCO1 反相时钟 (P2) 分配给所有输出通道多路复用器。反相时钟是可选的，但在某些情况下，该时钟有助于减少杂散输出。

APLL2 有两个 VCO2 后分频器，可以实现更灵活的时钟频率规划。初级 VCO2 后分频器时钟 (P1) 和次级后分频器时钟 (P2) 分配给所有输出通道多路复用器。两个 VCO2 后分频器都支持可独立编程的分频器（÷2 至 ÷7）。请注意，选择值为 2 的 VCO2 后分频器时，输出通道之间不支持输出 SYNC。

TI 建议在更改 APLL2 后分频器值后执行 PLL2 或器件软复位，初始化分频器来实现确定性分频器运行。

7.3.8.9 DPLL 基准 (R) 分频器路径

每个基准输入时钟（PRIREF 和 SECREF）都有自己的 16 位基准分频器连接到 DPLL TDC 块。所选基准的 R 分频器输出设定 TDC 输入频率。为了支持在不同频率的输入之间进行无中断切换，可以使用 R 分频器将时钟分频为 DPLL TDC 输入的单个公共频率。

7.3.8.10 DPLL 时间数字转换器 (TDC)

TDC 输入会比较所选基准输入的 R 分频器时钟与来自 VCO1 的 DPLL 反馈分频器时钟的相位。TDC 输出会生成一个与相位误差相对应的数字校正字，该相位误差由 DPLL 环路滤波器进行处理。

DPLL TDC 输入频率 (f_{TDC}) 最高可达 26Mhz，并可通过方程式 3 进行计算。

7.3.8.11 DPLL 环路滤波器 (DLF)

DPLL 支持 10mHz 至 4kHz 的可编程环路带宽，并且可实现低于 0.1dB（典型值）的抖动峰值。DPLL 的低通抖动传输特性可在环路带宽以上使其基准输入噪声衰减，滚降速率高达 60dB/十倍频程。

DPLL 环路滤波器输出控制 APLL1 的分数 SDM，使 VCO1 频率锁定到选定的 DPLL 基准输入。

7.3.8.12 DPLL 反馈 (FB) 分频器路径

DPLL 反馈路径有一个固定的预分频器 (÷2)、可编程预分频器（÷2 至 ÷17）和一个分数反馈 (FB) 分频器。可编程 DPLL FB 分频器包括 30 位整数部分 (INT)、40 位分子部分 (NUM) 和 40 位分母部分 (DEN)。DPLL FB 分频器总值为：FB_{DPLL} = INT + NUM / DEN。

在 DPLL 模式下，TDC 频率和总 DPLL 反馈分频器和预分频器决定了 VCO1 频率，该频率可通过方程式 4 来计算。

7.3.9 输出时钟分配

图 7-24 中显示的输出时钟分配块包括六个输出多路复用器、六个输出分频器和八个可编程输出驱动器。输出分频器支持输出同步 (SYNC) 以实现两个或更多输出通道之间的相位同步。

Copyright © 2024 Texas Instruments Incorporated

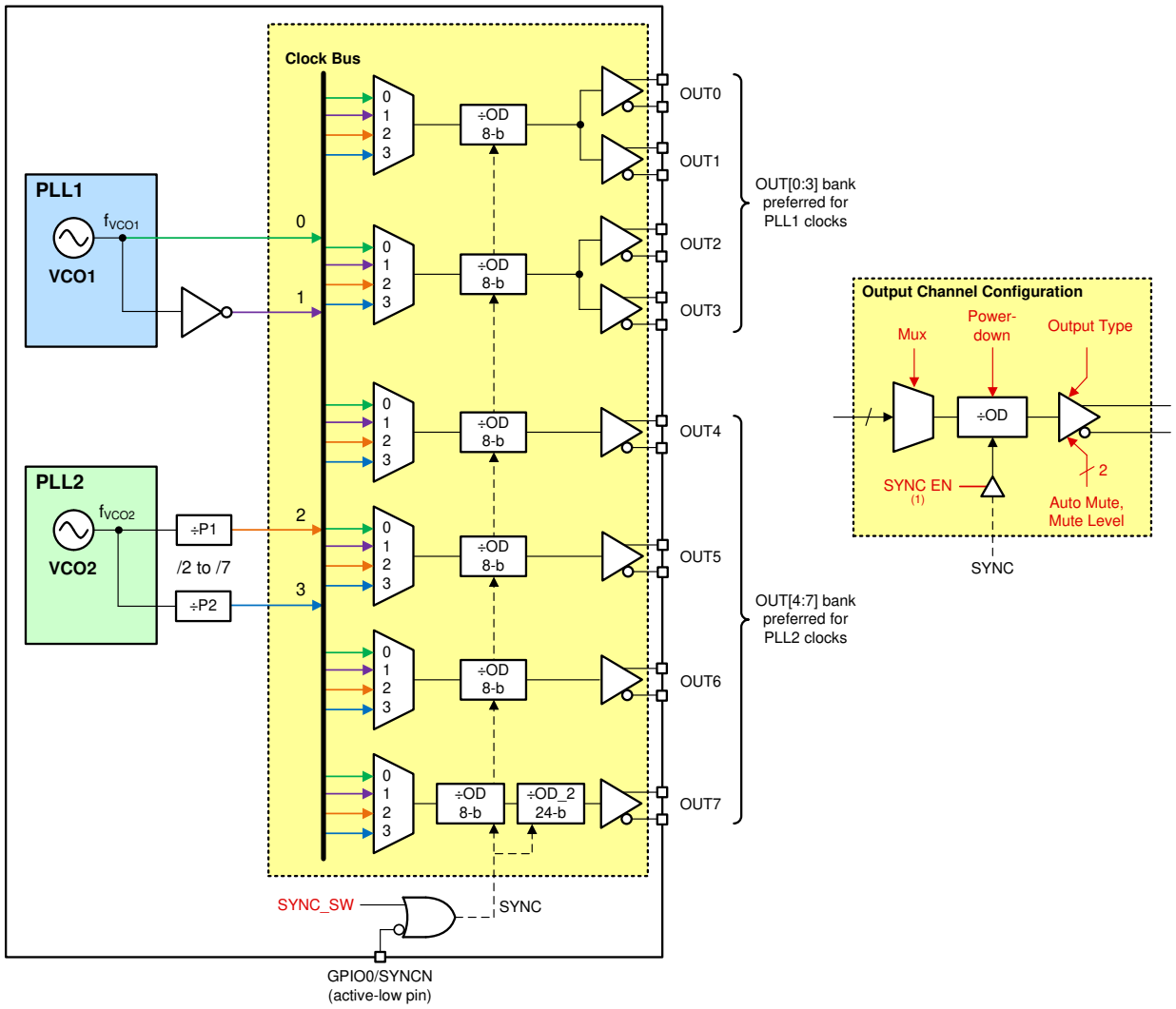


图 7-24. 输出时钟分配

7.3.10 输出通道多路复用器

六个输出通道中的每个通道都有一个输出多路复用器。OUT0 至 OUT7 通道的每个输出多路复用器都可以单独选择 PLL1 VCO 时钟（正常或反相）和 PLL2 VCO 后分频器时钟。

7.3.11 输出分频器 (OD)

六个输出通道中的每个通道在输出多路复用器之后都有一个输出分频器。OUT[0:1] 通道有一个输出分频器，与 OUT[2:3] 通道输出分频器类似。每个 OUT[4:7] 通道都有一个独立的输出分频器。输出分频器用于从输出多路复用器选择的源生成最终时钟输出频率。

每个 OUT[0:6] 通道都有一个 8 位分频器 (Od)，可以支持 10MHz 至 800MHz 的输出频率（或高达所配置输出驱动器类型所支持的最大频率）。可以配置 PLL 后分频器和输出分频器来实现更高的时钟频率，但驱动器的输出摆幅会超出规格。

OUT7 通道有级联 8 位 (OD) 和 24 位 (OD2) 输出分频器，可支持 1Hz (1PPS) 至 800MHz 的输出频率。OUT7 总分频值是级联分频器值的乘积 (OD×OD2)。

Copyright © 2024 Texas Instruments Incorporated

每个输出分频器均由用于时钟输出驱动器的同一个 VDDO_x 电源供电。如果不使用输出分频器，可将其断电以实现省电。对于 OUT[0:1] 或 OUT[2:3] 通道，当禁用两个输出驱动器时，输出分频器会自动断电。对于任何 OUT[4:7] 通道，当禁用输出驱动器时，输出分频器自动断电。为了使输出分频器正常运行，输出分频器的时钟频率必须低于 3GHz。

7.3.12 时钟输出 (OUTx_P/N)

每个时钟输出可单独配置为一个差分驱动器 (AC-LVDS/CML/LVPECL)、HCSL 驱动器，或 1.8V LVCMOS 驱动器（每对两个）。可以禁用未使用的时钟输出来省电。

每个输出通道都有自己的内部 LDO 稳压器，可提供出色的 PSNR 并更大限度减少由电源噪声引起的抖动和杂散。OUT[0:1] 通道（多路复用器、分频器和驱动器）通过单个输出电源引脚 (VDDO_01) 供电，OUT[2:3] 通道 (VDDO_23) 也是如此。 每个 OUT[4:7] 通道都有一个输出电源引脚 (VDDO[4:7])。每个输出电源可由 1.8V、2.5V 或 3.3V 电源单独供电，从而获得差分或 HCSL 输出，或者由 1.8V 电源供电来获得 LVCMOS 输出。

对于差分和 HCSL 驱动器模式，由于通道存在内部 LDO 稳压器，输出时钟规格（例如输出摆幅、相位噪声和抖动）对 VDDO_x 电压不敏感。当输出通道处于未通电状态时，通道的输出不会生成任何时钟。

表 7-6. 输出驱动器模式

OUTx_FMT (R51[5:0] / R52[5:0] / R54[5:0] / R55[5:0] / R57[5:0] / R59[5:0] / R61[5:0] / R63[5:0])	输出格式(1)
00h	禁用（断电）
10h	AC-LVDS
14h	AC-CML
18h	AC-LVPECL
2Ch	HCSL（外部 50Ω 至 GND）
2Dh	HCSL（内部 50Ω 至 GND）
30h	LVCMOS (HiZ/HiZ)
32h	LVCMOS (HiZ/–)
33h	LVCMOS (HiZ/+)
35h	LVCMOS（低/低）
38h	LVCMOS (–/HiZ)
3Ah	LVCMOS (–/–)
3Bh	LVCMOS (–/+)
3Ch	LVCMOS (+/HiZ)
3Eh	LVCMOS (+/–)
3Fh	LVCMOS (+/+)

(1) LVCMOS 模式仅在 OUT[4:7] 上可用

7.3.12.1 交流差分输出 (AC-DIFF)

可编程差分输出驱动器使用图 7-25 中所示的开关电流模式类型。可对 4mA、6mA 或 8mA（标称值）的尾电流进行编程，在 100Ω 差分端接上分别实现与交流耦合 LVDS、CML 或 LVPECL 接收器兼容的 V_{OD} 摆幅。差分输出驱动器以接地为基准（类似于 HCSL 驱动器），这意味着差分输出具有低共模电压 (V_{OS})。

差分驱动器具有内部偏置，因此不得应用外部上拉或下拉电阻。使用适当的输入端接和偏置，通过外部交流耦合将差分输出连接到差分接收器。

Copyright © 2024 Texas Instruments Incorporated

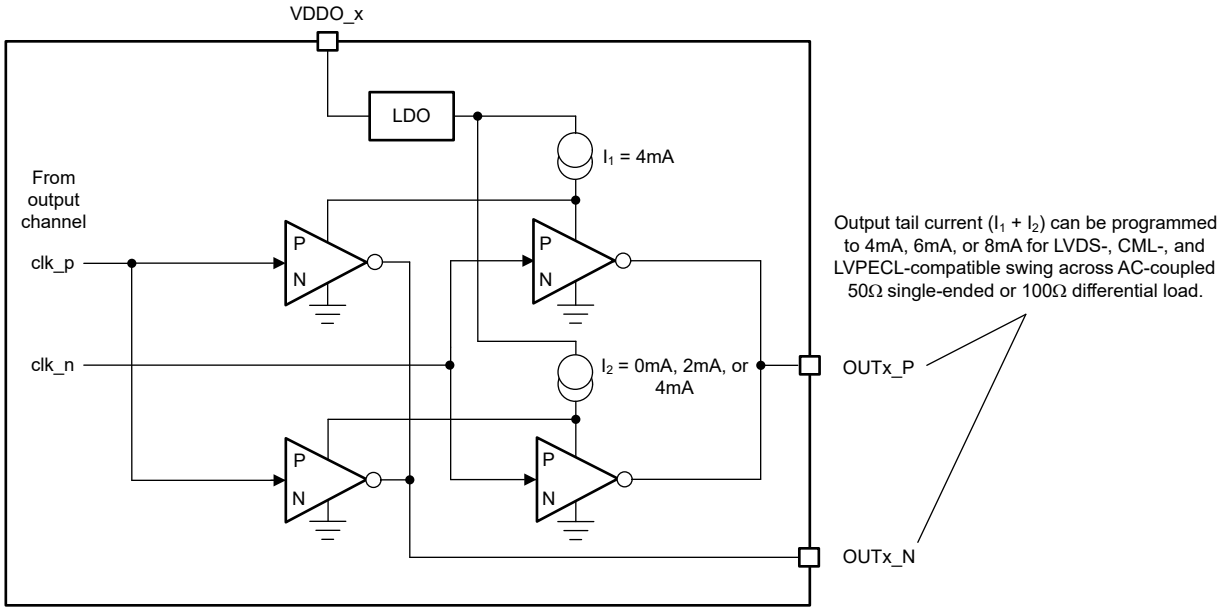


图 7-25. AC-LVDS/CML/LVPECL 输出驱动器结构

7.3.12.2 HCSL 输出

HCSL 输出是一个开漏差分驱动器，可直流耦合到 HCSL 接收器。HCSL 输出具有可编程的内部 50Ω 端接至地，如果接收器侧不提供端接，则可以启用该端接。如果禁用了内部端接，则需要在驱动器侧（源端接）或接收器侧（负载端接）将外部 50Ω 接地（P 和 N 上）。

7.3.12.3 1.8V LVCMOS 输出

LVCMOS 驱动器每对有两个输出。P 和 N 上的每个输出均可配置为正常极性、反极性，或禁用为高阻态或静态低电平。LVCMOS 输出高电平 (V_{OH}) 由轨至轨 LVCMOS 输出电压摆幅的 1.8V VDDO_x 电压来决定。如果向 LVCMOS 驱动器施加 2.5V 或 3.3V 的 VDDO_x 电压，则由于通道内部存在 LDO 稳压器，输出 V_{OH} 的电平不会摆动到 VDDO_x 电源轨。

LVCMOS 输出时钟是具有大电压摆幅的非平衡信号，因此 LVCMOS 输出时钟会是强大的干扰源，并会将噪声耦合到其他抖动敏感型差分输出时钟。如果需要来自某个输出对的 LVCMOS 时钟，请将这个输出对配置为两个输出均已启用但极性相反（+/– 或 –/+），并将未使用的输出悬空而不连接任何布线。

7.3.12.4 LOL 期间输出自动静音

当所选输出多路复用器时钟源无效时，每个输出驱动器可以自动将其时钟静音或静噪（根据其 CHx_MUTE 位的配置）。根据每个 PLL 的 LOL 状态，通过配置 APLL 和 DPLL 静音控制位（MUTE_APLLx_LOCK、MUTE_DPLL_LOCK、MUTE_DPLL_PHLOCK），时钟源可能无效。可以通过 CHx_MUTE_LVL 位为每个输出通道配置静音电平，其中静音电平取决于配置的输出驱动器类型（差分/HCSL 或 LVCMOS）。差分或 HCSL 驱动器的静音电平可设置为输出共模、差分高电平或差分低电平。LVCMOS 驱动器对的静音电平可为每个输出（P 和 N）单独设置为输出低电平。禁用或绕过（CHx_MUTE = 0 和 CHx_MUTE_LVL = 0）自动静音时，输出时钟在 VCO 校准之前和期间会具有不正确的频率或不稳定。因此，静音旁路模式只能用于诊断或调试目的。

7.3.13 无毛刺输出时钟启动

启用 APLL 自动静音后，一旦在发生以下任一事件后实现 APLL 锁定，输出便以同步方式启动，而不会出现时钟干扰：器件上电、退出硬复位、退出软复位或将输出 SYNC 置为无效（当 SYNC_MUTE = 1 时）。

7.3.14 时钟输出连接和端接

这些图展示了建议的输出连接和端接电路。未使用的时钟输出可以保持悬空并通过编程来断电。

Copyright © 2024 Texas Instruments Incorporated

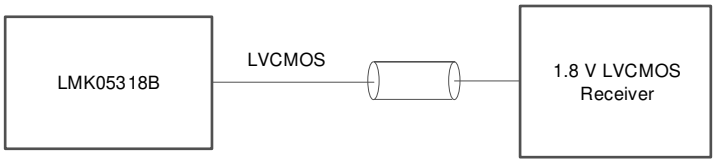


图 7-26. 1.8V LVCMOS 输出至 1.8V LVCMOS 接收器

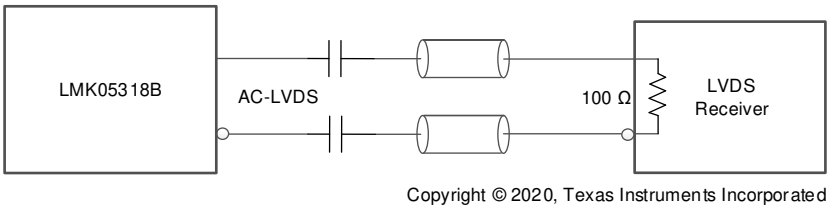


图 7-27. AC-LVDS 输出至带内部端接/偏置的 LVDS 接收器

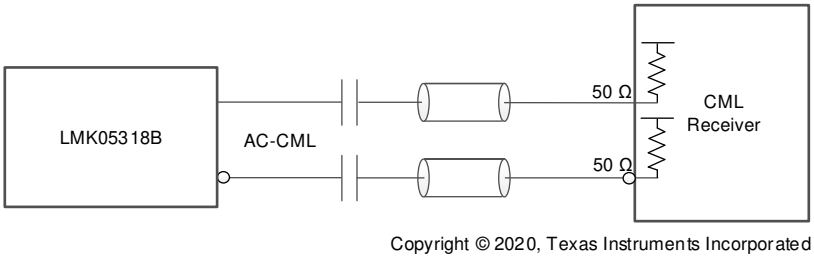


图 7-28. AC-CML 输出至带内部端接/偏置的 CML 接收器

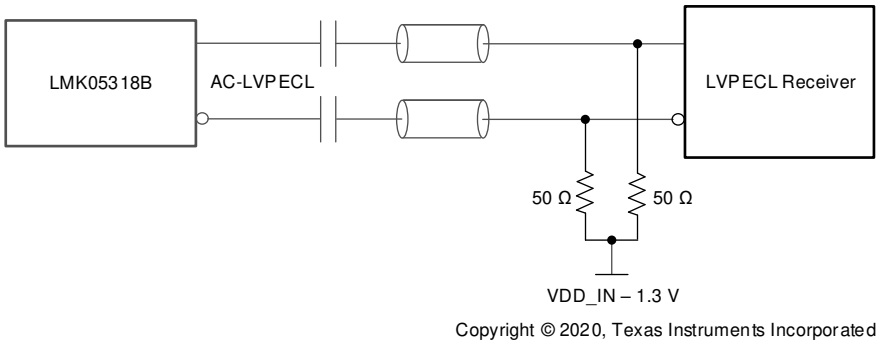
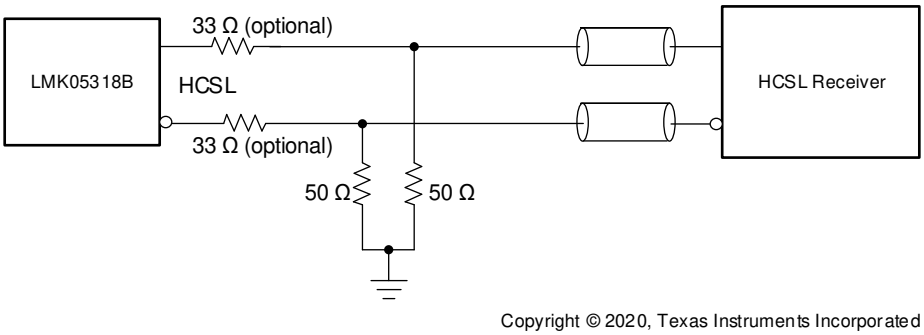


图 7-29. AC-LVPECL 输出至带外部端接/偏置的 LVPECL 接收器



如果启用了 HCSL 内部端接（50Ω 至 GND），请短接 33Ω 并移除 50Ω 外部电阻器。

图 7-30. HCSL 输出至带外部源端接的 HCSL 接收器

Copyright © 2024 Texas Instruments Incorporated

7.3.15 输出同步 (SYNC)

通过允许输出分频器在同一 PLL 输出时钟周期退出复位，输出 SYNC 可用于使两个或更多个输出时钟与公共上升沿进行相位对齐。通过硬件引脚或软件位触发 SYNC 事件，所有选择相同 PLL 输出的输出分频器都可以作为 SYNC 组一起同步。

若要为两个或更多个输出通道建立 SYNC 组，必须满足以下要求：

- 输出分频器设置各自的 SYNC 使能位 (CHx_SYNC_EN = 1)。
- 输出分频器的输出多路复用器选择相同的 PLL 输出。
- PLL（后分频器）输出设置 SYNC 使能位（例如，PLL1_P1_SYNC_EN = 1）。

SYNC 事件可由硬件 GPIO0/SYNCN 引脚（低电平有效）或 SYNC_SW 寄存器位（高电平有效）置位。当 SYNC 置为有效后，启用 SYNC 的分频器保持在复位状态，并且时钟输出被静音。当 SYNC 置为无效后，输出在开始时具有同步或对齐的初始时钟相位。SYNC 还可用于使任何启用了 SYNC 的输出静音，从而防止输出时钟分配到下游器件，直到配置好输入并准备好接受传入的时钟。

禁用了 SYNC（CHx_SYNC_EN 位 = 0）的输出通道不会受到 SYNC 事件的影响，并将按照配置继续正常输出操作。此外，在 SYNC 期间，VCO 和 PLL 后分频器时钟不会停止运行，因此这些时钟可以继续为不需要同步的输出通道提供时钟信号。具有 1 分频功能（分频器旁路模式）的输出分频器在 SYNC 事件期间不会进行选通。

表 7-7. 输出同步

GPIO0/SYNCN 引脚	SYNC_SW 位	输出分频器和驱动器状态
0	1	输出驱动器静音且输出分频器复位
0→1	1→0	SYNC 组中的输出取消静音，初始时钟相位对齐
1	0	按照配置正常运行输出驱动器/分频器

备注

在 VCO2 后分频器值为 2 的情况下选择 PLL2 输出（P1 或 P2），在输出通道之间不支持输出 SYNC（未验证输出到输出偏差规格）。

7.4 器件功能模式

7.4.1 器件启动模式

LMK05318B-Q1 可在三种器件模式之一启动，具体取决于上电复位 (POR) 期间在 HW_SW_CTRL 引脚上采样的三电平输入电平：

- **HW_SW_CTRL = 0**：EEPROM + I^2C 模式（软引脚模式）
- **HW_SW_CTRL = 悬空 (V_{IM})**：EEPROM + SPI 模式（软引脚模式）
- **HW_SW_CTRL = 1**：未使用。仅用于 TI 内部测试。

器件启动模式确定：

- 用于初始化寄存器设置（用于设定频率配置）的存储器组 (EEPROM)。
- 用于访问寄存器的串行接口（I^2C 或 SPI）。
- 用于器件控制和状态的逻辑引脚功能。

启动后，会为寄存器访问启用 I^2C 或 SPI 接口，从而监控器件状态并在需要时控制（或重新配置）器件。I^2C 和 SPI 的寄存器映射配置相同。

表 4-2 总结了器件启动模式和相应的逻辑引脚功能。

图 7-31 展示了器件上电复位配置序列。

Copyright © 2024 Texas Instruments Incorporated

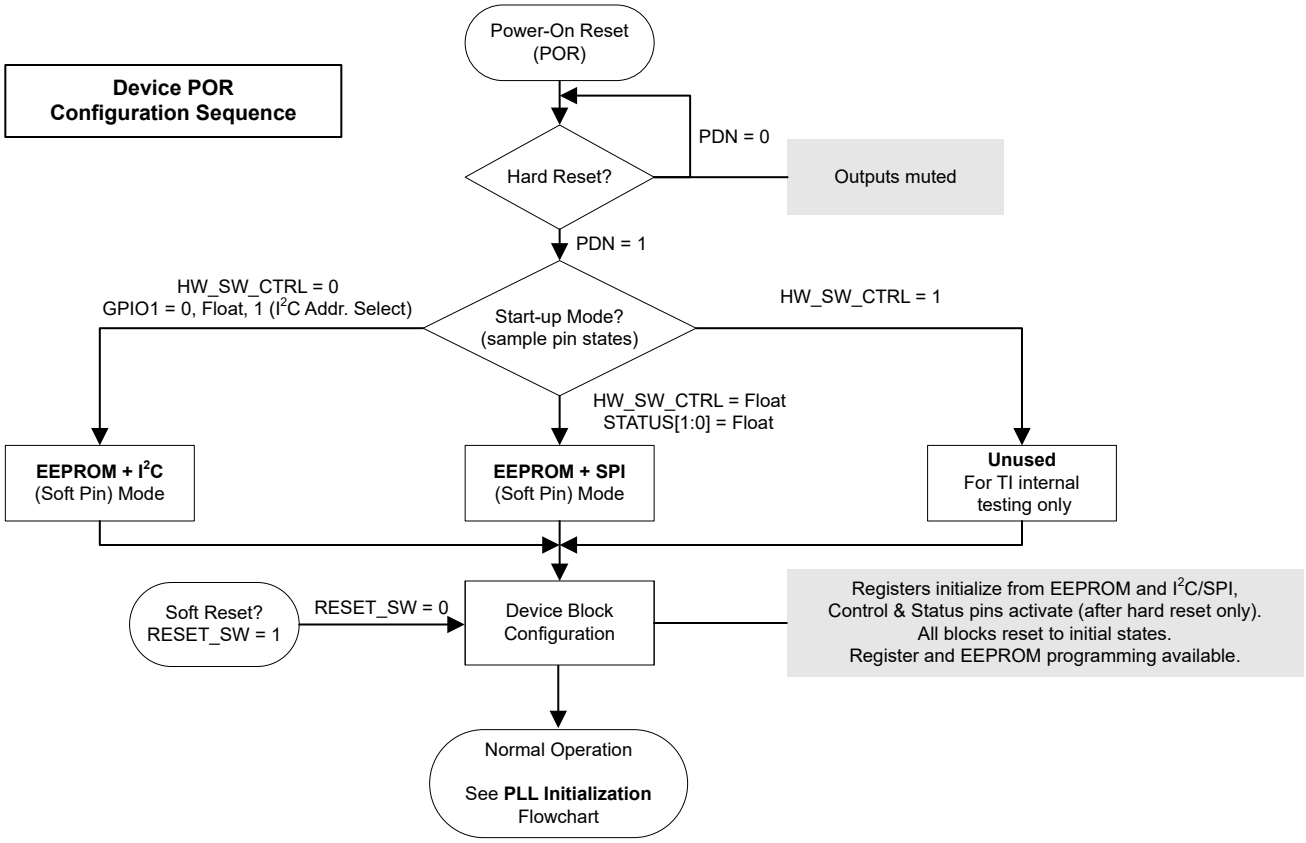


图 7-31. 器件 POR 配置序列

7.4.1.1 EEPROM 模式

在 EEPROM 模式下，器件的频率配置从非易失性 EEPROM 加载到寄存器中。*EEPROM 启动模式默认配置* 中总结了 EEPROM 模式的出厂默认启动配置。如果需要不同的自定义启动配置，则可以通过串行接口在系统内对不同的 EEPROM 映像进行编程。EEPROM 支持高达 100 个编程周期，便于系统级原型设计、调试和优化的时钟重新配置。

EEPROM 映像可以存储单个频率配置（一个寄存器页）。

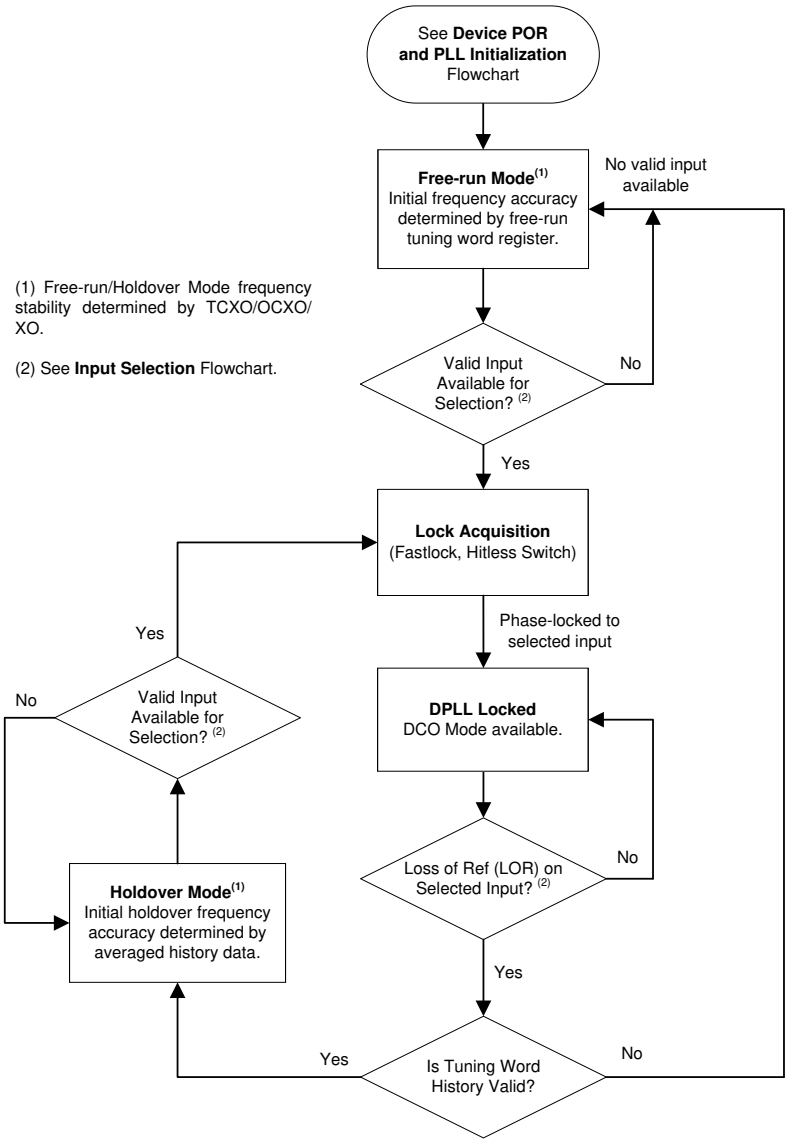
TI 建议在满足以下任一条件时使用 EEPROM 模式：

- 单个 OPN 需要采用单个自定义启动频率配置。
- 主机器件可在上电后通过 I²C 或 SPI 使用新配置对寄存器（以及 EEPROM，如果需要）进行编程。

7.4.2 PLL 工作模式

以下各节介绍图 7-32 所示的 PLL 运行模式。

Copyright © 2024 Texas Instruments Incorporated



A. 假设 DPLL_HLDOVR_MODE 位为 0，以便在历史记录无效时进入自由运行模式。

图 7-32. PLL 运行模式

7.4.2.1 自由运行模式

在器件 POR 配置和初始化之后、当 APLL1 输入监视器检测到时钟时，APLL1 会自动锁定到 XO 时钟。然后，APLL2 会根据选择获取 VCO1 或 XO 频率的锁定。自由运行模式下的输出时钟频率精度和稳定性与 XO 输入的频率精度和稳定性相同。在自由运行模式期间，基准输入保持无效（不合格）。

7.4.2.2 锁定获取

DPLL 持续监控基准输入以获取有效的输入时钟。当检测到至少一个有效的输入时钟时，PLL1 通道会退出自由运行模式或保持模式，并通过 DPLL 开始获取锁定。器件支持 Fastlock 功能，使用此功能时 DPLL 会临时启用更宽的环路带宽来减少锁定时间。当获取锁定完成后，环路带宽将设置为正常配置的环路带宽设置 (BW_{DPLL})。

Copyright © 2024 Texas Instruments Incorporated

7.4.2.3 锁定模式

锁定后，APLL1 输出时钟的频率和相位锁定到选定的 DPLL 输入时钟。锁定 DPLL 时，APLL1 输出时钟不受 XO 输入上的频率漂移的影响。DPLL 具有可编程频锁检测器和相锁检测器来指示频锁丢失 (LOFL) 和相锁丢失 (LOPL) 状态标志，这些状态标志可通过状态引脚或状态位进行观察。检测到频锁 (LOFL → 0) 后，调优字历史记录监控器（如果启用）开始累积历史平均值计算数据以用于确定进入保持模式时的初始输出频率精度。

7.4.2.4 保持模式

当检测到基准丢失 (LOR) 情况且没有提供有效输入时，PLL1 通道进入保持模式。如果调优字历史记录有效，则在基准丢失之前，进入保持模式时的初始输出频率精度会被拉至计算出的平均频率精度。如果历史记录无效（不存在历史记录）且 DPLL_HLDOVR_MODE 位为 0，则保持频率精度由自由运行调优字寄存器（用户可编程）决定。否则，如果历史记录无效且 DPLL_HLDOVR_MODE 为 1，DPLL 会保存最后一个数字环路滤波器输出控制值（这不是调优字历史记录）。

如果历史记录有效，初始保持频率精度取决于 DPLL 环路带宽和用于历史记录平均值计算的经过时间。有关更多信息，请参阅*调优字历史记录*。一般来说，假设 0ppm 基准时钟（XO 输入）无漂移，则历史平均时间越长，初始保持频率就越准确。XO 基准时钟的稳定性决定了保持输出频率的长期稳定性和精度。在进入保持模式时，LOPL 标志将置为有效 (LOPL → 1)。然而，只要保持频率精度不漂移至超过编程的频锁丢失阈值，LOFL 标志就不会置为有效。当有效输入可供选择时，PLL1 通道会退出保持模式，并使用新输入时钟自动锁相，而不会出现任何输出干扰。

7.4.3 PLL 启动序列

图 7-33 展示了器件配置后的一般 PLL 启动序列。此序列也适用于器件软复位或单个 PLL 软复位之后。为确保适当的 VCO 校准，在 VCO 校准开始之前，外部 XO 时钟的幅度和频率需要保持稳定。否则，VCO 校准会失败并阻止 PLL 和输出时钟启动。

Copyright © 2024 Texas Instruments Incorporated

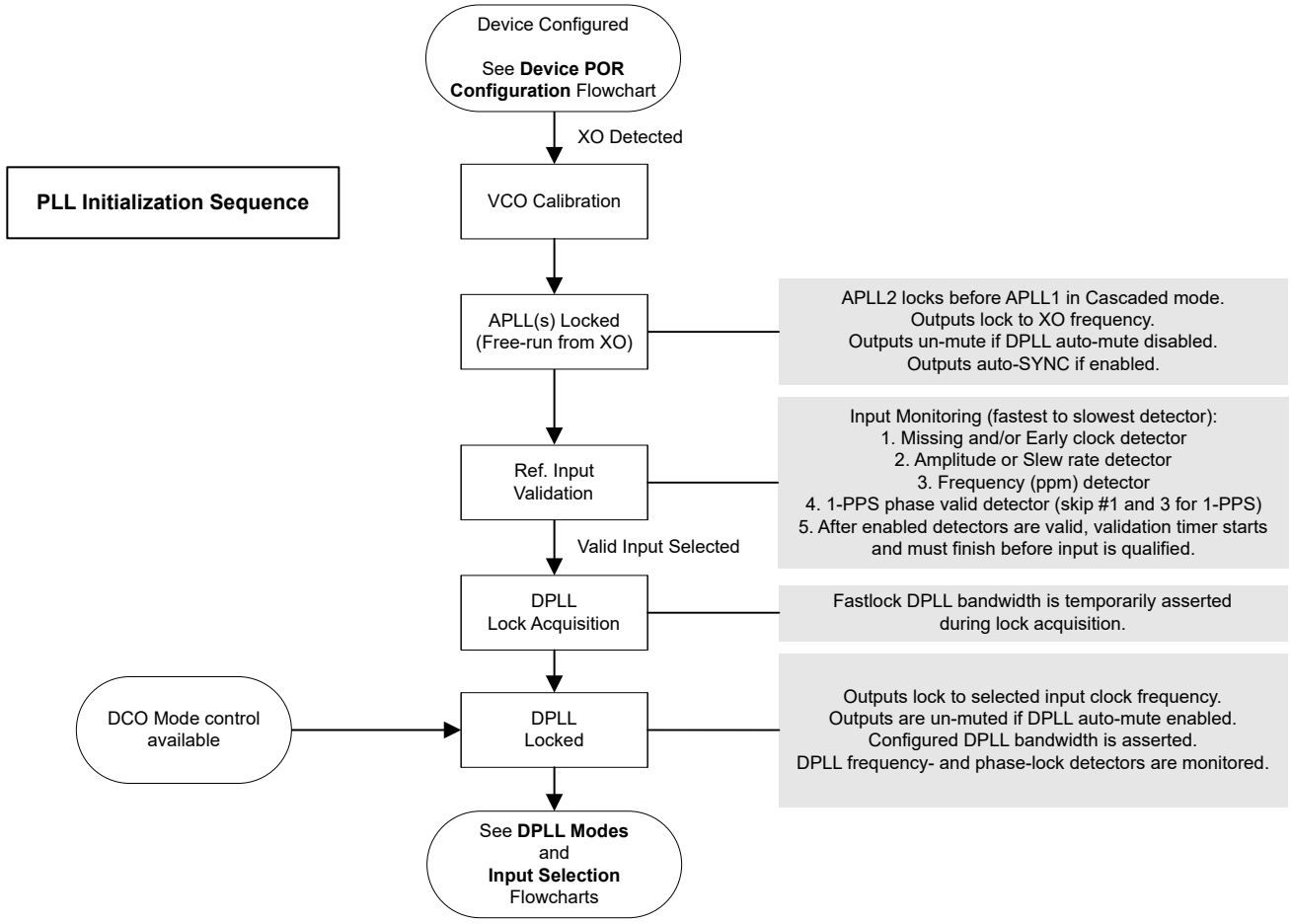


图 7-33. PLL 启动序列

7.4.4 数控振荡器 (DCO) 模式

为了支持 IEEE 1588 外设时钟和其他时钟控制应用，DPLL 支持 DCO 模式以实现小于 0.001ppb/阶跃的精确输出时钟频率调整。当 DPLL 锁定时，可以启用 DCO 模式 (DPLL_FDEV_EN = 1)。

可以通过一个 38 位频率偏差字寄存器（DPLL_FDEV 位）对 DCO 频率步长进行编程。DPLL_FDEV 值是在 DPLL 分数反馈分频器的当前分子值上加上或减去的偏移，用于确定 VCO 输出端的 DCO 频率偏移。

可以通过软件控制或 I^2C 模式中的引脚控制来控制 DCO 频率递增 (FINC) 或频率递减 (FDEC) 更新。始终可以通过 I^2C 或 SPI 实现通过软件控制进行的 DCO 更新，方法是写入 DPLL_FDEV_REG_UPDATE 寄存器位。写入 0 将使 DCO 频率按编程的步长递增，而写入 1 将使 DCO 频率按步长递减。SPI 可以实现比 I^2C 更快的 DCO 更新速率，因为 SPI 的寄存器传输速度更快。

在 I^2C 模式下启用引脚控制模式 (GPIO_FDEV_EN = 1) 时，GPIO2/SDO/FINC 引脚充当 FINC 输入，STATUS1/FDEC 引脚充当 FDEC 输入（禁用 STATUS1 输出）。FINC 引脚或 FDEC 引脚上的正脉冲会将相应的 DCO 更新应用于 DPLL。应用到 FINC 或 FDEC 引脚的最小正脉冲宽度必须大于 100ns 才能由内部采样时钟捕获到。使用引脚控制时，DCO 更新速率必须限制在 1MHz 以下。

当禁用 DCO 控制 (DPLL_FDEV_EN = 0) 时，清除 DCO 频率偏移，且 VCO 输出频率将由 DPLL 分数反馈分频器的原始分子值确定。

Copyright © 2024 Texas Instruments Incorporated

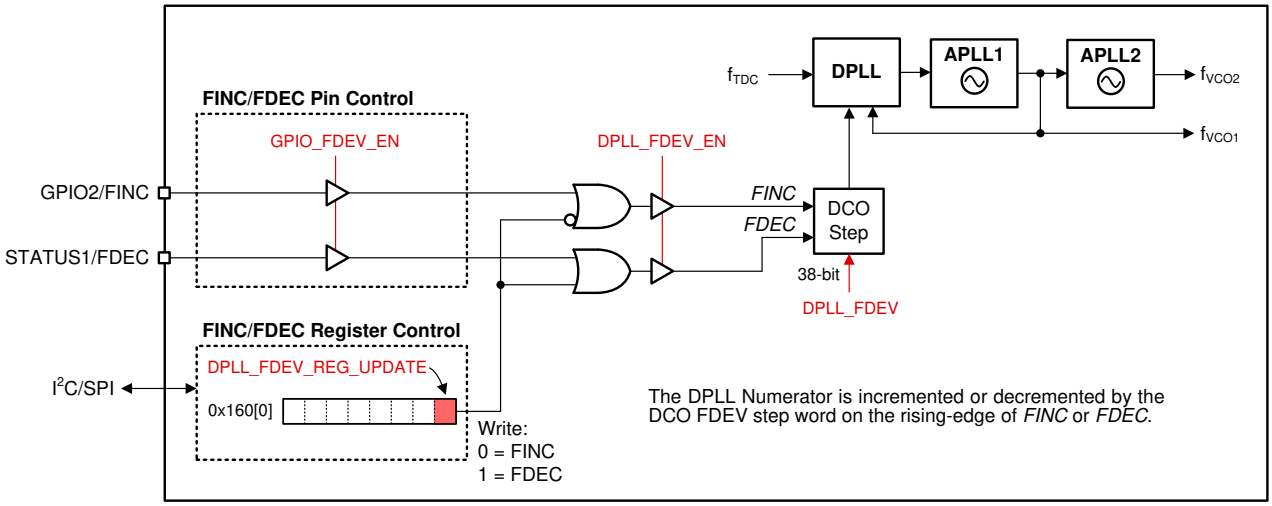


图 7-34. DCO 模式控制选项

7.4.4.1 DCO 频率步长

方程式 12 展示了一个公式，可用于计算在为 DPLL 启用 DCO 模式时，满足指定 DCO 频率步长规格 [以 ppb（十亿分之一）为单位] 所需的 DPLL_FDEV 寄存器值。

$$DPLL_FDEV = (Reqd_ppb / 10^9) \times DEN_{DPLL} \times f_{VCO1} / (2 \times PR_{DPLL}) / (f_{REF} / R_{REF}) \quad (12)$$

其中

- DPLL_FDEV：频率偏差值（0 至 2^{38} – 1）
- Reqd_ppb：所需的 DCO 频率步长（以 ppb 为单位）
- DEN_{DPLL}：DPLL FB 分频器分母值（1 至 2^{40}）
- f_{VCO1}：VCO1 频率
- PR：DPLL 反馈预分频器分频值（2 至 17）
- f_{REF}：PRIREF 或 SECREF 输入频率
- Rx：PRIREF 或 SECREF 输入分频值（1 至 2^{16} - 1）

7.4.4.2 DCO 直接写入模式

更新 DCO 频率的备选方法是获取 DPLL 分数反馈分频器的当前分子值 (DPLL_REF_NUM)，通过加上或减去上面计算的 DPLL_FDEV 步长值来计算调整后的分子值，并通过 I²C 或 SPI 写入调整后的分子值。

7.5 编程

7.5.1 接口和控制

系统主机器件（MCU 或 FPGA）可以使用 I²C 或 SPI 来访问寄存器、SRAM 和 EEPROM 映射。I²C 和 SPI 的寄存器和 EEPROM 映射配置相同。在正常运行期间（当 PDN 置为无效时），可以通过访问寄存器对器件进行初始化、控制和监控。也可以通过外部逻辑控制和状态引脚来控制和监控某些器件特性。

在没有主机的情况下，LMK05318B-Q1 可以根据 HW_SW_CTRL 引脚的状态从片上 EEPROM 页进行自启动。该 EEPROM 页用于在器件 POR 时初始化寄存器。可通过寄存器接口和 I²C 或 SPI 在系统内对自定义 EEPROM 配置进行编程。

图 7-35 展示了器件控制引脚、寄存器和存储器接口。箭头表示不同块之间的控制接口方向。

Copyright © 2024 Texas Instruments Incorporated

寄存器映射有 435 个数据字节。在器件初始化期间，不需要写入某些寄存器（高于 R352），例如状态寄存器和内部测试/诊断寄存器。

SRAM/EEPROM 映射有一个包含 256 个数据字节的寄存器页。由于并非所有位字段都从寄存器空间映射，因此 SRAM/EEPROM 映射的字节更少。要对 EEPROM 进行编程，需要将寄存器内容写入 SRAM（内部寄存器确认或直接写入），然后使用来自 SRAM 的寄存器内容对 EEPROM 进行编程。

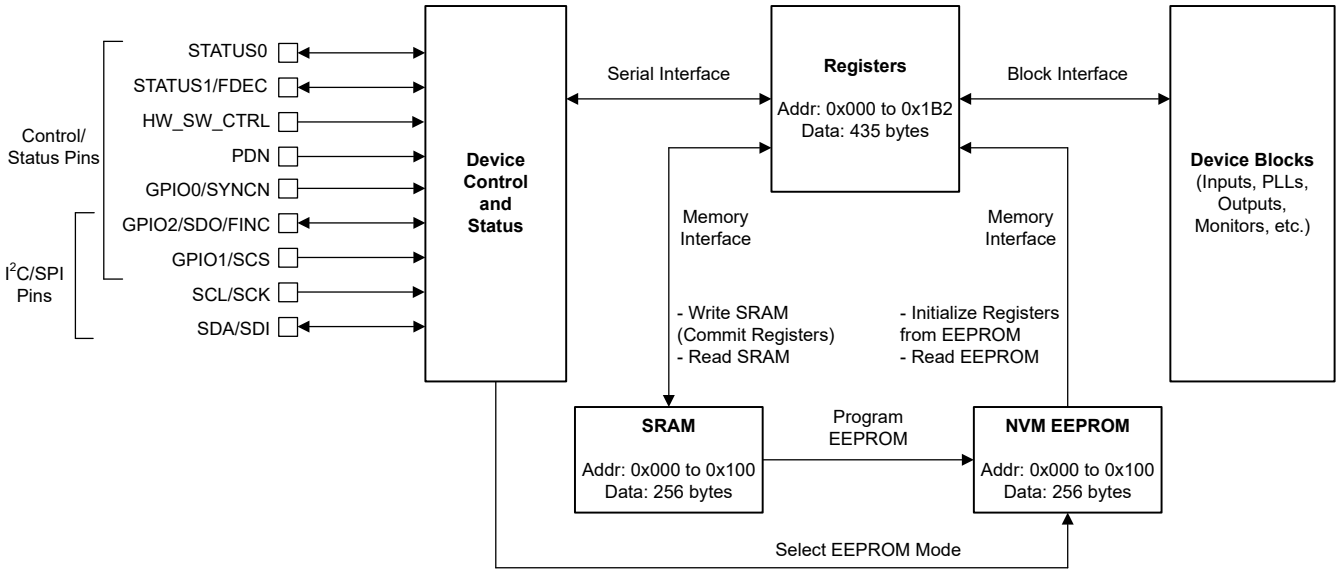


图 7-35. 器件控制、寄存器和存储器接口

7.5.2 I²C 串行通信

当在 I²C 模式 (HW_SW_CTRL = 0) 下启动时，LMK05318B-Q1 作为 I²C 目标运行，并支持 100kHz（标准模式）和 400kHz（快速模式）的总线速率。只要满足其他 I²C 规格，便可以使用较低的总线速率。

在 EEPROM 模式下，LMK05318B-Q1 最多可支持三个不同的 I²C 地址，具体取决于 GPIO1 引脚。7 位 I²C 地址为 11001xxb，其中两个 LSB 由在器件 POR 期间采样的 GPIO1 输入电平决定，五个 MSB (11001b) 从 EEPROM 初始化。五个 MSB (11001b) 可通过新的 EEPROM 编程进行更改，从而提供更多的 I²C 地址选项。

Copyright © 2024 Texas Instruments Incorporated

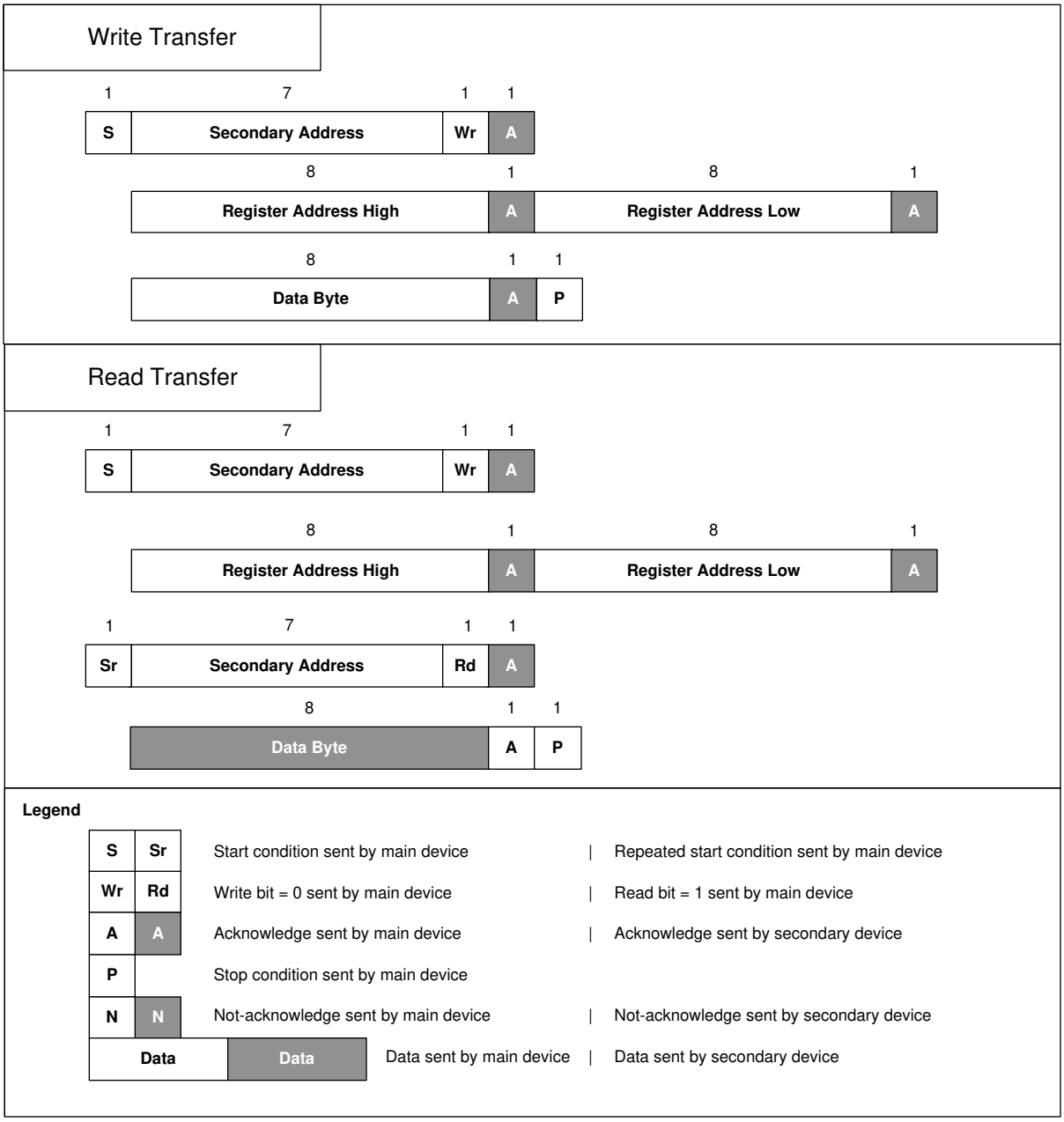


图 7-36. I²C 字节写入和读取传输

Copyright © 2024 Texas Instruments Incorporated

7.5.2.1 I²C 块寄存器传输

该器件支持 I²C 块写入和块读取寄存器传输，如图 7-37 所示。

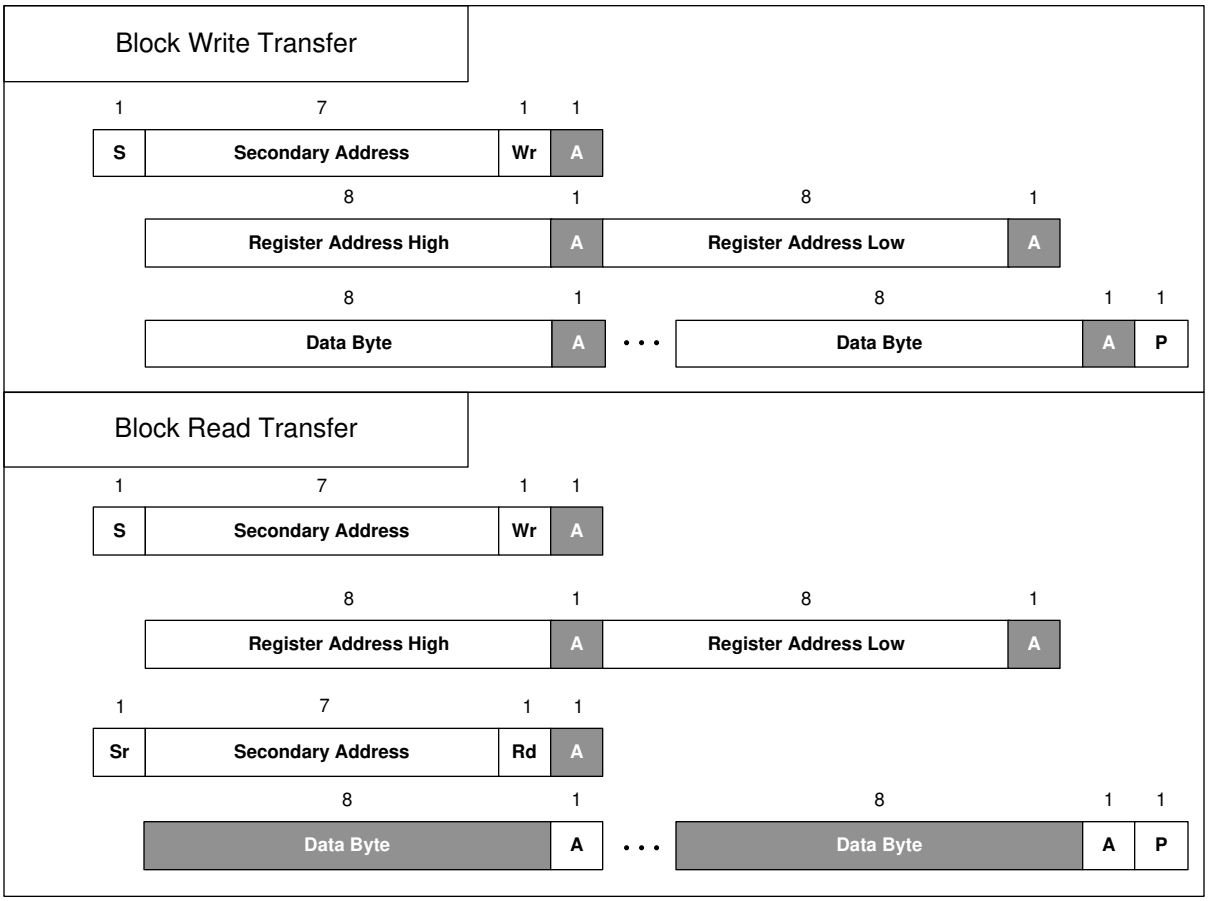


图 7-37. I²C 块寄存器传输

7.5.3 SPI 串行通信

当在 SPI 模式下启动时（HW_SW_CTRL = 悬空或 V_{IM}），器件使用带有 SDI、SCK、SDO 和 SCS 信号的 4 线 SPI。主机器件必须首先向器件 MSB 提供数据。消息中包括传输方向位 ($\overline{W}$/R)、15 位地址字段（A14 至 A0）和 8 位数据字段（D7 至 D0），如图 7-38 所示。对于 SPI 写入，$\overline{W}$/R 位为 0，对于 SPI 读取，该位为 1。

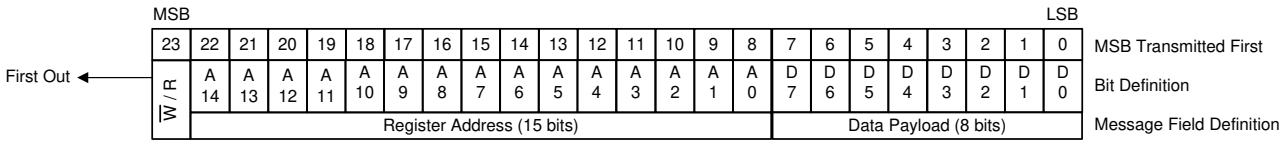


图 7-38. SPI 消息格式

将 SCS 置为低电平可启动一个消息帧。当 SCS 取消置位为高电平时，该帧结束。第一个传输的位是 $\overline{W}$/R 位。接下来的 15 位是寄存器地址，其余 8 位是数据。在写入传输时，由于最后一个数据位 (D0) 在 SCK 的上升沿随时钟传入，数据以字节为单位进行提交。如果写入访问不是八个时钟的偶数倍，则不会提交尾随数据位。在读取传输时，数据位在 SCK 下降沿从 SDO 引脚随时钟输出。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.1 SPI 块寄存器传输

该器件支持 SPI 块写入和块读取传输。SPI 块传输的长度正好是 (2 + N) 个字节，其中 N 是要写入或读取的数据字节数。主机器件（SPI 控制器）只需要指定要访问的地址序列中的最低地址。在主机完成初始 24 位传输序列后，如果 SCS 引脚保持低电平，则该器件会自动递增内部寄存器地址指针。每次传输 8 位（数据有效载荷宽度）都会使器件自动递增地址指针（前提是 SCS 引脚对于所有序列都保持低电平有效）。

7.5.4 寄存器映射和 EEPROM 映射生成

用于 EVM 编程的 TICS Pro 软件工具包含一个分步设计流程，可输入用户选择的时钟设计参数、计算频率计划并为所需配置生成器件寄存器设置。可以导出寄存器映射数据（十六进制格式）或 SRAM/EEPROM 映射数据，以便使主机可以在启动时对 LMK05318B-Q1 进行编程。

如果需要，客户可以向 TI 发送 TICS Pro 设置文件 (.tcs)，以便检查和优化配置设置。

7.5.5 通用寄存器编程序列

对于使用系统主机在上电后对初始 LMK05318B-Q1 配置进行编程的应用，可以根据从 TICS Pro 生成和导出的寄存器映射数据执行这个一般程序：

1. 给器件加电以在 I^2C 或 SPI 模式下启动。必须将 PDN 引脚拉高或驱动至高电平。
2. 从较低到较高地址（R0 至 R352）写入寄存器设置，同时应用以下寄存器掩码（不修改掩码位 = 1）：
   - 掩码 R12 = 0xA7（器件复位/控制寄存器）
   - 掩码 R157 = 0xFF（NVM 控制位寄存器）
   - 掩码 R164 = 0xFF（NVM 解锁位寄存器）
   - 掩码 R353 至 R435 = 0xFF（不得写入内部测试/诊断寄存器）
3. 向 R12[7] 写入 1b 以将器件软复位置为有效。这不会复位寄存器值。
4. 向 R12[7] 写入 0b 以退出软复位并开始 PLL 启动序列。
5. 请参阅*使用方法 1（寄存器提交）执行 EEPROM 编程*，将活动配置存储到 EEPROM，从而在下一次下电上电时启用自动启动。

7.5.6 EEPROM 编程流

需要通过存储器控制寄存器对 SRAM 进行所需配置的编程，然后才可对 EEPROM 进行编程。可以通过使用方法 1 在内部传输活动寄存器配置，或使用方法 2 直接写入 SRAM，从而将寄存器数据写入到 SRAM。

- **方法 1**（寄存器提交）要求先将活动寄存器编程为所需的配置，但不需要知道 SRAM/EEPROM 映射。
- **方法 2**（直接写入）绕过对活动寄存器的任何写入，在对 SRAM/EEPROM 进行编程时，让器件可以继续正常运行而不中断。

这两种方法的编程流是不同的，说明如下。

7.5.6.1 使用方法 1（寄存器提交）执行 EEPROM 编程

可以使用活动寄存器配置按照此顺序对 SRAM 和 EEPROM 进行编程。

1. 将所需的配置编程到活动寄存器（请参阅*通用寄存器编程序列*）。这就需要寄存器设置采用寄存器映射格式。
2. 使用寄存器提交来写入 SRAM。
3. 对 EEPROM 进行编程。

7.5.6.1.1 使用寄存器提交来写入 SRAM

SRAM 阵列是映射到活动配置寄存器子集的易失性影子存储器，用于对 EEPROM 进行编程。

在对活动寄存器编程后，可以通过单个寄存器事务在内部将数据提交到 SRAM：

1. 将 0x40 写入到 R157（REGCOMMIT 位，自清除）。这会在内部将当前寄存器数据提交到 SRAM。
2. （可选）：将任何用户可编程字段编程到 SRAM。有关更多信息，请参阅 *EEPROM 中的用户可编程字段*。此步骤不得先于上一步。

Copyright © 2024 Texas Instruments Incorporated

7.5.6.1.2 对 EEPROM 进行编程

EEPROM 阵列是直接从 SRAM 阵列映射的非易失性存储器。

将寄存器设置写入 SRAM 后（通过方法 1 或 2），可以按照以下顺序对 EEPROM 进行编程：

1. 将 0xEA 写入 R164 (NVMUNLK)。这会解锁 EEPROM 以允许编程。
2. 将 0x03 写入 R157（NVM_ERASE_PROG 位）。这会使用 SRAM 的所有内容对 EEPROM 进行编程。总擦除/编程周期大约需要 230ms。
   - **注意**：步骤 1 和 2 必须是原子写入，中间没有任何其他寄存器事务或 I²C 中断。在这些步骤之间对另一个 I²C 器件进行写入会导致 EEPROM 写入序列失败。
3. 轮询 R157[2]（NVMBUSY 位）或提供开环延迟。当此位清零时，EEPROM 编程完成。
4. 将 0x00 写入 R164。这会锁定 EEPROM 以防止意外编程。

下次上电或硬复位时，器件可以使用新编程的配置在 EEPROM 模式下自启动。此外，NVMCNT 寄存器值在上电或硬复位后会递增 1，以反映成功完成的 EEPROM 编程周期总数。

7.5.6.2 使用方法 2（直接写入）执行 EEPROM 编程

可以遵循此顺序来对 EEPROM 进行编程，直接写入 SRAM，避免中断当前器件运行。这要求寄存器设置采用 SRAM/EEPROM 映射格式。

1. 使用直接写入来写入 SRAM。
2. 对 EEPROM 进行编程。

7.5.6.2.1 使用直接写入来写入 SRAM

如果将不同的器件配置存储到 EEPROM 中，而不需要中断器件的当前运行状态，则可以使用此 SRAM 直接写入方法。这种方法要求已经生成 SRAM/EEPROM 映射数据，并可由 TICS Pro 导出。

可通过以下序列直接写入 SRAM，*无需修改活动配置寄存器*：

1. 将 SRAM 地址的五个最高有效位写入到 R159（MEMADR 字节 1），并将 SRAM 地址的八个最低有效位写入到 R160（MEMADR 字节 0）。
2. 在同一个寄存器事务中，针对前一步中指定的地址将 SRAM 数据字节写入 R162（RAMDAT 字节）。
   - 同一个事务中任何额外的写入（或读取）传输都会导致 SRAM 地址指针自动递增，并且后续的写入（或读取）会发生在下一个 SRAM 地址。
   - 写入传输到 R162 的字节或块可用于从字节 0 至 252 按顺序写入整个 SRAM 映射。
     - 不得修改或覆盖字节 253 至 255，这些字节应保留，仅供 TI 内部使用。
   - 或者，在每次写入到 R162 之前显式写入 R159 和 R160 以设置存储器地址指针是有效的。
   - 对 SRAM 的访问在当前写入事务结束时终止。
   - 请注意，读取 RAMDAT 寄存器也会使存储器地址指针自动递增。

7.5.6.2.2 EEPROM 中的用户可编程字段

表 7-8 汇总了 EEPROM 中几个用户可编程字节的地址。在对 EEPROM 进行编程之前，**只能**使用 SRAM 直接写入方法来写入这些字节。可以选择修改这些字节的出厂默认设置。

表 7-8. 用户可编程字段

SRAM/EEPROM 地址字节编号（十进制）	字段名称	说明
10	I2C_ADDR[7:0]	**I²C 目标地址 MSB 位 [7:3]。** 可以写入位 [7:3] 来设置 7 位外设地址的五个 MSB。位 [2:0] 必须写入 0。7 位地址的两个 LSB 由器件启动时的控制引脚决定。默认 I2C_ADDR[7:0] 值 = 0xC8（对应于 0x64 的 7 位地址）。 使用 SRAM 直接写入方法修改 EEPROM 中的值。在后续 POR 周期中，存储在 EEPROM 中的 I2C_ADDR 值可以从只读寄存器 R10 读回。

Copyright © 2024 Texas Instruments Incorporated

表 7-8. 用户可编程字段（续）

SRAM/EEPROM 地址字节编号（十进制）	字段名称	说明
11	EEREV[7:0]	**EEPROM 映像修订。** 可以写入此字节来设置 EEPROM 映像修订号或任何客户特定的数据，从而实现器件可追溯性。 使用 SRAM 直接写入方法修改 EEPROM 中的值。在后续 POR 周期中，存储在 EEPROM 中的 EEREV 值可以从只读寄存器 R11 读回。
249	NVM_SPARE_BY0[7:0]	**NVM 备用字节。** 这四个字节可与任何客户特定的数据一同写入，以实现器件可追溯性。 使用 SRAM 直接写入方法修改 EEPROM 中的值。在后续 POR 周期，因为没有寄存器分配，这些字节只能直接从 EEPROM 读取（请参阅 *读取 EEPROM*）。
250	NVM_SPARE_BY1[7:0]	
251	NVM_SPARE_BY2[7:0]	
252	NVM_SPARE_BY3[7:0]	

7.5.7 读取 SRAM

可以按以下顺序逐字读取 SRAM 的内容，从请求的地址开始。在 EEPROM 编程周期内，此序列可用于在将 SRAM 传输到 EEPROM 之前验证 SRAM 的内容。

1. 将 SRAM 地址的五个最高有效位写入到 R159（MEMADR 字节 1），并将 SRAM 地址的八个最低有效位写入到 R160（MEMADR 字节 0）。
2. 读取 R162（RAMDAT 字节）以从同一个寄存器事务中的上一步所指定的地址提取 SRAM 数据字节。
   - 同一个事务中的任何额外读取传输都会导致 SRAM 地址自动递增，随后的读取发生在下一个 SRAM 地址。
   - 从 R162 传输的字节或块读取可用于从字节 0 至 252 按顺序读取整个 SRAM 映射。
   - 对 SRAM 的访问在当前寄存器事务结束时终止。

7.5.8 读取 EEPROM

可以按以下顺序逐字读取 EEPROM 的内容，从请求的地址开始。此序列可用于在上一个成功编程周期后验证 EEPROM 内容。

1. 在 R159（MEMADR 字节 1）中写入 EEPROM 地址的五个最高有效位，并在 R160（MEMADR 字节 0）中写入 EEPROM 地址的八个最低有效位。
2. 读取 R161（NVMDAT 字节）以从同一个寄存器事务中的上一步所指定的地址提取 EEPROM 数据字节。
   - 同一个事务中的任何额外读取传输都会导致 EEPROM 地址指针自动递增，接下来会读取下一个地址的数据。
   - 从 R161 传输的字节或块读取可用于从字节 0 至 252 按顺序读取整个 EEPROM 映射。
   - 对 EEPROM 的访问在当前寄存器事务结束时终止。

Copyright © 2024 Texas Instruments Incorporated

7.5.9 EEPROM 启动模式默认配置

通用 LMK05318B-Q1 器件出厂时已预编程，具有表 7-9 中的 EEPROM 默认配置。可通过系统内编程将不同的启动配置存储到 EEPROM 中。

表 7-9. LMK05318B-Q1 EEPROM 启动默认配置

系统时钟	频率 (MHz)	输入类型	XO 倍频器
XO	48.0048	AC-DIFF (外部端接)	禁用
时钟输入	**频率 (MHz)**	**输入类型**	**自动优先级**
PRIREF	25	AC-DIFF (外部端接)	1st
SECREF	25	AC-DIFF (外部端接)	2nd
输入选择	**输入选择模式**	**手动选择模式**	**手动寄存器选择**
DPLL	带自动回退功能的手动模式	引脚选择	PRIREF
时钟输出	**频率 (MHz)**	**输出多路复用器**	**输出类型**
OUT0	156.25	PLL1	禁用
OUT1	156.25	PLL1	禁用
OUT3	156.25	PLL1	禁用
OUT4	156.25	PLL1	禁用
OUT5	156.25	PLL1	禁用
OUT6	25	PLL1	禁用
OUT7	100	PLL1	禁用
PLL 配置	**PLL 模式**	**环路带宽 (Hz)**	**TDC 或 PFD 速率 (MHz)**
DPLL	DPLL 模式	100	25
APLL1	DPLL 模式	1000	24.0024
APLL2	禁用	–	–
REF 输入监控器 (1)	**验证计时器 (s)**	**FREQ DET 有效 (ppm)**	**FREQ DET 无效 (ppm)**
PRIREF	0.1	-	-
SECREF	0.1	-	-
REF 输入监控器 (2)	**早期检测窗口 (ns)**	**延迟检测窗口 (ns)**	**1PPS 抖动阈值 (µ s)**
PRIREF	33.6	46.4	–
SECREF	33.6	46.4	–
DCO 模式	**DCO 控制**	**步长 (ppb)**	**FINC/FDEC 模式**
DPLL	DCO 已禁用	–	寄存器位
状态引脚	**信号**	**类型**	**极性**
STATUS0	DPLL 频锁丢失	3.3V LVCMOS	高电平有效
STATUS1	DPLL 保持激活	3.3V LVCMOS	高电平有效

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 器件启动序列

器件启动序列如图 8-1 所示。

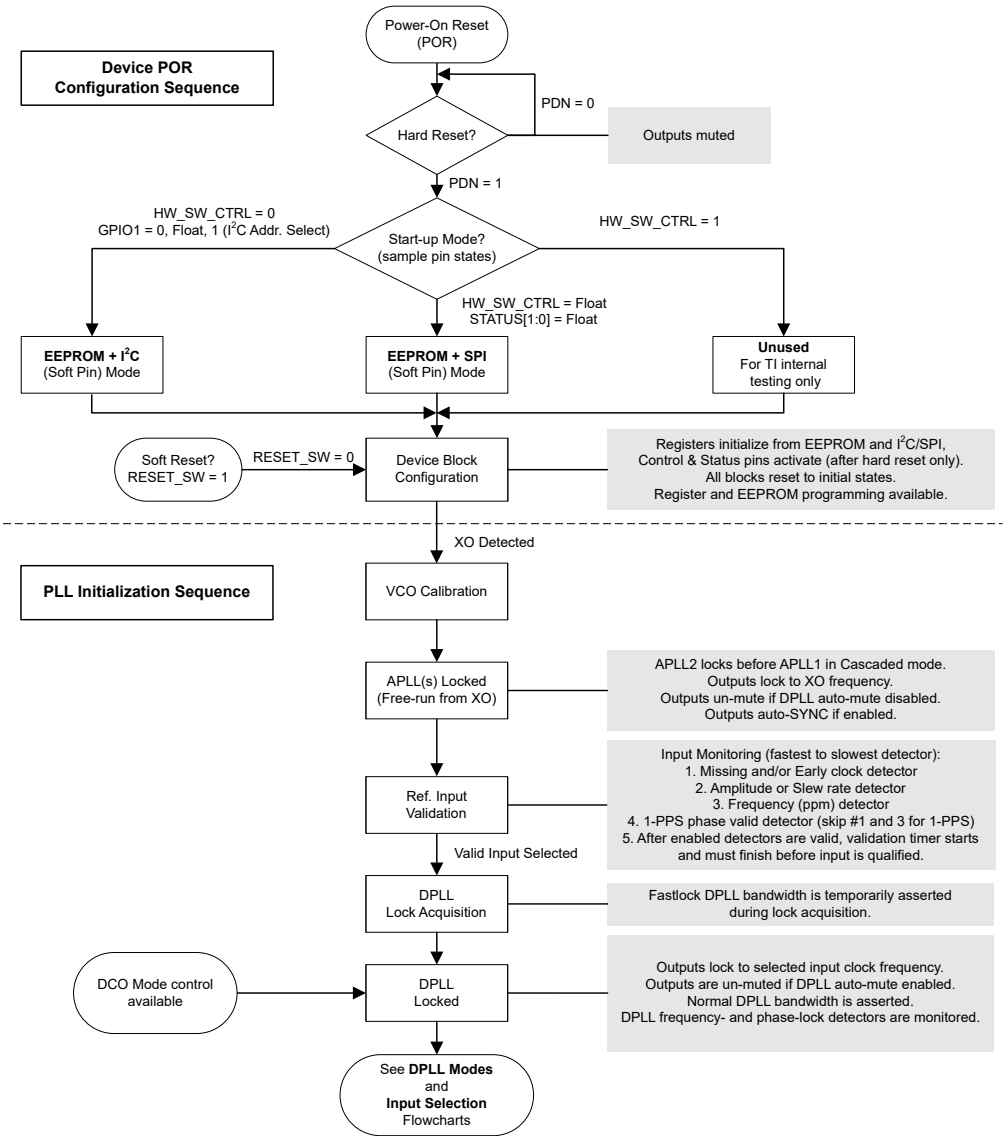


图 8-1. 器件启动序列

8.1.2 关断 (PDN) 引脚

PDN 引脚（低电平有效）可用于器件断电和用于初始化 POR 序列。当 PDN 拉至低电平时，整个器件会断电且禁用串行接口。当 PDN 拉至高电平时，便会触发器件 POR 序列以开始执行器件启动序列和正常运行过程，如图

Copyright © 2024 Texas Instruments Incorporated

8-1 所示。如果切换 PDN 引脚来发出瞬时硬复位信号，则施加到 PDN 引脚的负脉冲必须大于 200ns，这样才能被内部数字系统时钟捕获。

表 8-1. PDN 控制

PDN 引脚状态	器件运行
0	器件被禁用
1	正常运行

8.1.3 电源轨时序、电源斜升速率和混合电源域

8.1.3.1 混合电源

LMK05318B-Q1 采用了灵活的电源架构。虽然所有 VDD 内核电源都必须通过相同的 3.3V 电源轨供电，但各个输出电源可使用单独的 1.8V、2.5V 或 3.3V 电源轨供电。这样就可以使所有 VDDO 输出电源在 1.8V 下运行，从而更大程度地降低功耗。

8.1.3.2 上电复位 (POR) 电路

LMK05318B-Q1 集成了一个内置上电复位 (POR) 电路，该电路在满足以下所有条件之前将器件保持在复位状态：

- 所有 VDD 内核电源均已斜升至 2.72V 以上
- PDN 引脚已斜升至 1.2V (最小 V_{IH}) 以上

8.1.3.3 从单电源轨上电

只要所有 VDD 内核电源均由以单调方式从 0V 斜升至 3.135V 的同一个 3.3V 电源轨驱动，则不管斜坡时间是多少，都无需在 PDN 引脚上添加电容器即可从外部延迟器件上电序列。如图 8-2 所示，PDN 引脚可以保持悬空，或由系统主机驱动，从而满足系统中的时钟时序要求。

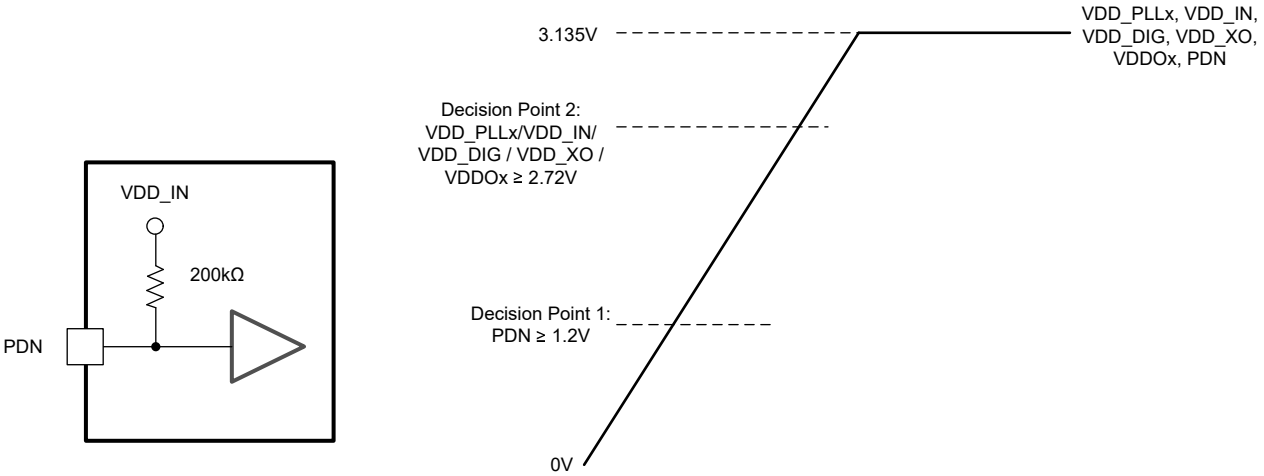


图 8-2. 从单电源轨上电的建议

8.1.3.4 从双电源轨上电

如果某些 VDD 内核电源由不同的电源轨驱动，TI 建议在所有内核电源电压斜升至高于 3.135V 后开始 PLL 校准。这可以通过延迟 PDN 从低电平到高电平转换来实现。PDN 输入包含一个连接到 VDD_IN 的 200kΩ 电阻器，如图 8-3 所示，可以使用从 PDN 引脚连接到 GND 的电容器与内部上拉电阻器一起形成 R-C 时间常数。此 R-C 时间常数可用于延迟 PDN 的低电平到高电平转换，直至所有内核电源均斜升至高于 3.135V。

或者，可由系统主机或电源管理器件将 PDN 引脚驱动为高电平，从而延迟器件上电序列，直至所有 VDD 电源都已斜升。

Copyright © 2024 Texas Instruments Incorporated

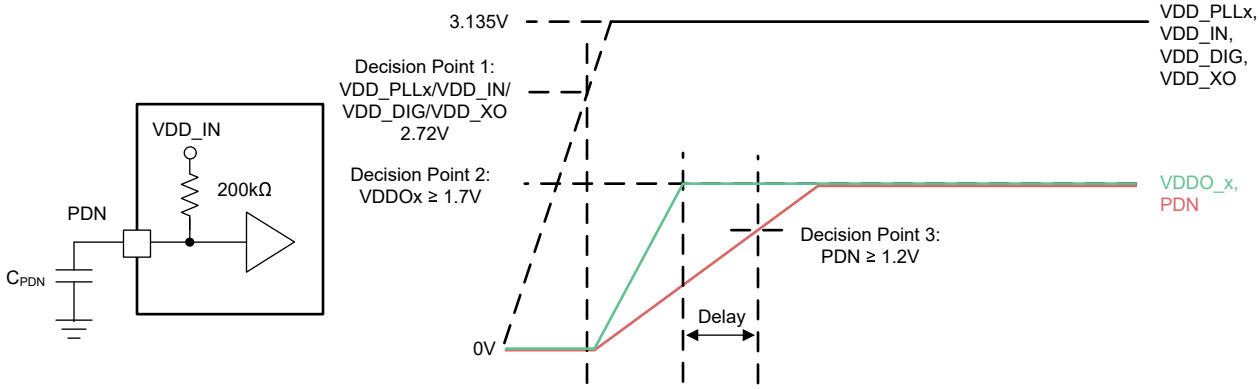


图 8-3. 从双电源轨上电的建议

8.1.3.5 非单调或缓慢上电电源斜坡

如果 VDD 内核电源以非单调方式斜升，或在 0V 至 3.135V 的缓慢斜坡时间内持续超过 100ms，TI 建议延迟 VCO 校准，直至所有内核电源均斜升至 3.135V 以上。为了实现此方法，可以使用*从双电源轨上电*中描述的方法之一来延迟 PDN 从低电平到高电平的转换。

如果任何内核电源在 PDN 从低电平到高电平转换前不能斜升到 3.135V 以上，那么在所有内核电源斜升后，可以发出器件软复位来手动触发 VCO 校准和 PLL 启动序列。

8.1.4 XO 启动缓慢或延迟

由于外部 XO 时钟输入用作 VCO 校准的基准输入，因此在 VCO 校准开始之前，确保 XO 输入幅度和频率保持稳定，才能确保 PLL 锁定和输出启动成功。如果在 VCO 校准之前 XO 时钟不稳定，VCO 校准会失败，并会阻止 PLL 锁定和输出时钟启动。

如果 XO 时钟启动时间较慢或上电时出现干扰（例如，由于电源斜升缓慢或非单调性），TI 建议将 VCO 校准的开始时间延迟到 XO 稳定后。为了实现此目的，可以使用*从双电源轨上电*中描述的方法之一，将 PDN 从低电平到高电平的转换推迟到 XO 时钟稳定后。还可以在 XO 时钟稳定后发出器件软复位，从而手动触发 VCO 校准和 PLL 启动序列。

Copyright © 2024 Texas Instruments Incorporated

8.2 典型应用

图 8-4 展示了一个示例系统方框图，有助于实施 LMK05318B-Q1 和器件的和外围电路。有关建议的电源滤波方案，请参阅 *LMK05318BEVM 用户指南*。有关推荐的输入和输出端接，请参阅时钟输入连接和端接以及时钟输出连接和端接。

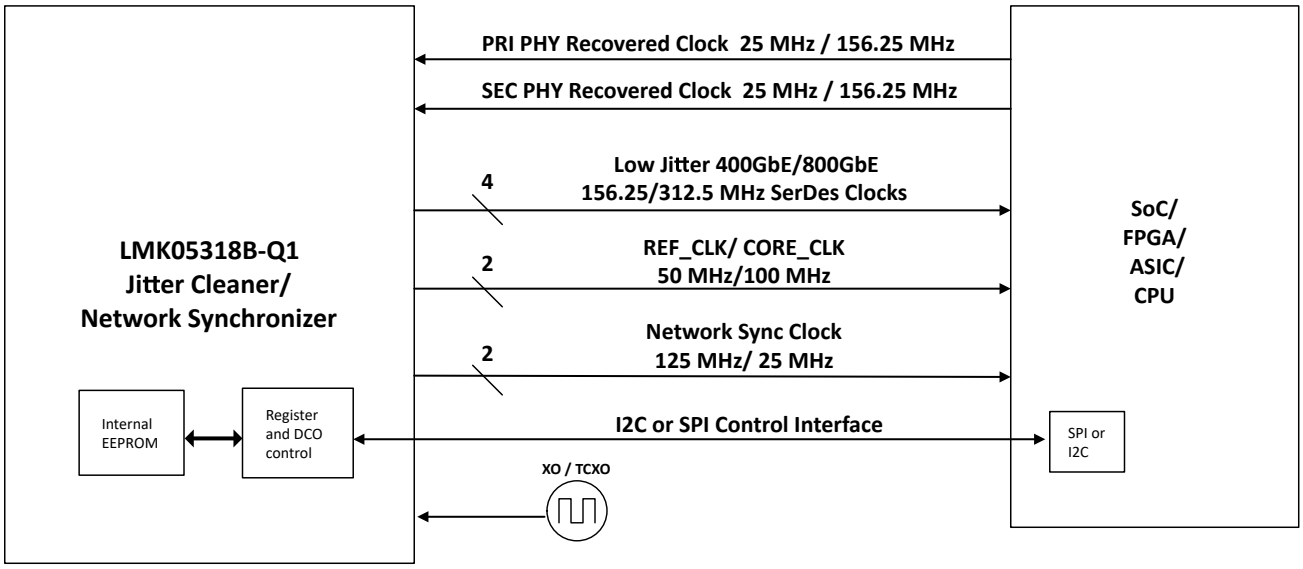


图 8-4. 典型系统方框图

8.2.1 设计要求

在典型应用中，请考虑以下设计要求或参数来实施整体时钟解决方案：

1. 器件初始配置：将器件配置为主机编程（MCU 或 FPGA）或工厂预编程。
2. 器件启动模式和串行接口：通常，这是 EEPROM + I^2C 或 SPI 模式。
3. XO 频率、信号类型以及频率精度和稳定性：如果需要满足以下任何条件，请考虑为 XO 输入使用高稳定性 TCXO 或 OCXO：
   - 频率稳定性符合标准（例如 SyncE、SONET/SDH、IEEE 1588）
   - 偏移 ≤ 100Hz 时具有尽可能低的近端相位噪声
   - 窄 DPLL 带宽 ≤ 10Hz
4. 对于 DPLL/APLL1 域，确定以下各项：
   - 输入时钟：频率、缓冲模式、优先级和输入选择模式
   - 输出时钟：频率、缓冲模式
   - DPLL 环路带宽和最大 TDC 频率
   - 是否需要 DCO 模式
5. 对于 APLL2 域，确定以下各项：
   - APLL2 基准：VCO1 用于具有级联 APLL2 的同步时钟，或 XO 用于具有非级联 APLL2 的异步时钟
   - 输出时钟：频率、缓冲模式
6. 输入时钟和 PLL 监控选项
7. 状态输出和中断标志
8. 电源轨

8.2.2 详细设计过程

在典型应用中，TI 建议执行以下步骤：

Copyright © 2024 Texas Instruments Incorporated

1. 使用 TICS Pro 编程软件中的 LMK05318B-Q1 GUI 执行分步设计流程，输入设计参数，计算每个 PLL 域的频率计划，并为所需配置生成寄存器设置。可以导出寄存器设置（以十六进制格式）来实现主机编程或工厂预编程。
   - 如果使用通用（非定制）器件，主机器件可在上电后通过串行接口对寄存器设置进行编程，并发出软复位（通过 RESET_SW 位）来启动器件。主机还可以将设置存储到 EEPROM 中，以便在后续上电复位周期中可以使用这些寄存器设置来自动启动。
2. 将 HW_SW_CTRL 引脚接地来选择 EEPROM+I^{2}C 模式，或通过弱内部电阻器或外部电阻器将引脚偏置到 V_{IM} 来选择 EEPROM+SPI 模式。确定用于控制和状态功能的逻辑 I/O 引脚分配。有关更多信息，请参阅*器件启动模式*。
   - 使用适当的 I/O 方向和电压电平将 I^{2}C/SPI 和逻辑 I/O 引脚（1.8V 兼容电平）连接到主机器件引脚。
3. 有关更多信息，请按照*振荡器输入 (XO_P/N)* 选择 XO 频率。
   - 选择具有目标相位抖动性能且符合自由运行或保持期间输出时钟所需的频率稳定性和精度要求的 XO。
   - 对于 3.3V LVCMOS 驱动器，请按照图 8-4 中的 OSC 时钟接口示例操作。通过低噪声 LDO 稳压器为 OSC 供电，或优化电源滤波以避免电源噪声引起的 XO 时钟抖动。
   - **TICS Pro：**配置 XO 输入缓冲器模式来匹配 XO 驱动器接口要求。有关更多信息，请参阅表 7-1。
4. 为原理图中的每个 PLL 域连接时钟 I/O，并使用 TICS Pro 按如下方式配置器件设置：
   - 基准输入：按照图 8-4 或*时钟输入连接和端接* 中的 LVCMOS 或差分时钟输入接口示例进行操作。
     - **TICS Pro：**对于 DPLL 模式，配置基准输入缓冲器模式以匹配基准时钟驱动器接口要求。有关更多信息，请参阅表 7-2。
     - 启用振幅监控时，在输入频率低于 5MHz 的情况下使用 LVCMOS 时钟输入。
   - **TICS Pro：**对于 DPLL 模式，配置 DPLL 输入选择模式和输入优先级。有关更多信息，请参阅*基准输入多路复用器选择*。
   - **TICS Pro：**如果使用 APLL2，则配置 VCO1 域（级联 APLL2）或 XO 时钟（非级联 APLL2）的 APLL2 基准。
     -
   - **TICS Pro：**为每个输出配置所需的时钟频率和 PLL 域。TICS Pro 可以计算 PLL 和输出的 VCO 频率和分频器设置。为更大限度减少串扰和杂散，请考虑以下输出时钟分配指南：
     - 对于 PLL1 时钟，优先选择 OUT[0:3] 组。
     - 对于 PLL2 时钟，优先选择 OUT[4:7] 组。
     - 将相邻通道上相同的输出频率（或谐波频率）分组，并在可能的情况下将输出对与单个分频器（OUT0/1 或 OUT2/3）一起使用来尽可能降低功耗。
     - 当两个频率之差 $|f_{OUTx} - f_{OUTy}|$ 处于抖动积分带宽范围（例如，12kHz 至 20MHz）内时，分离时钟输出。为尽可能减少潜在耦合，作为潜在干扰源的任何输出都必须至少由四个静态引脚（电源引脚、逻辑引脚或禁用输出引脚）进行分离。如有可能，请将这些时钟放置在相对的输出组上来分离这些时钟，这些输出组位于芯片的对侧以实现更好的隔离。
     - 避免任何 LVCMOS 输出（强干扰源），或将其与其他抖动敏感型差分输出时钟进行隔离。如果需要 LVCMOS 输出，请使用双通道互补 LVCMOS 模式（+/- 或 -/+），并将未使用的 LVCMOS 输出保持悬空且无任何布线。
     - 如果应用中未使用所有的输出对，请考虑将未使用的输出连接到一对射频同轴测试结构以进行测试（例如 SMA、SMP 端口）。
   - **TICS Pro：**配置输出驱动器。
     - 配置输出驱动器模式以匹配接收器时钟输入接口要求。有关更多信息，请参阅表 7-6。
     - 配置需要同步输出相位的任何输出 SYNC 组。有关更多信息，请参阅*输出同步 (SYNC)*。
     - 配置输出自动静音模式、输出静音电平以及 APLL 和 DPLL 静音选项。有关更多信息，请参阅 *LOL 期间输出自动静音*。
   - 时钟输出接口：按照图 8-4 或*时钟输出连接和端接* 中的单端或差分时钟输出接口示例进行操作。
     - 差分输出必须在接收器输入端进行交流耦合、端接和偏置。
     - 除非通过编程启用内部源端接，否则 HCSL 输出必须具有到 GND 的 50Ω 端接（在源极或负载侧）。
     - LVCMOS 输出具有内部源端接，可直接驱动 50Ω 布线。LVCMOS V_{OH} 电平由 VDDO 电压 (1.8V) 确定。

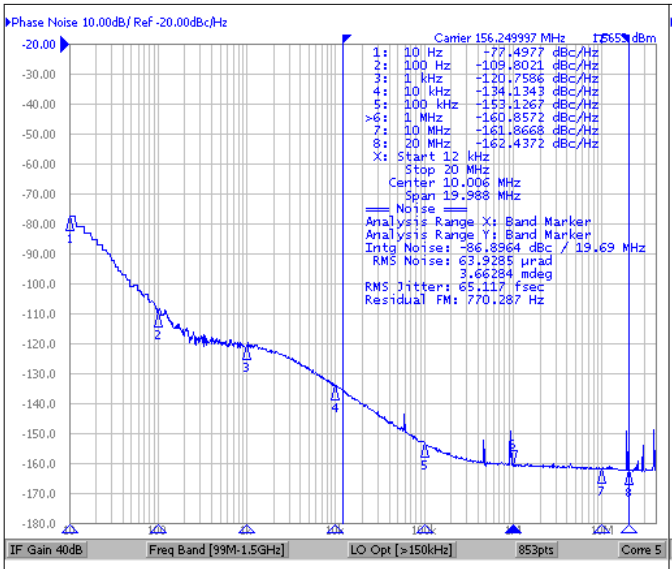
Copyright © 2024 Texas Instruments Incorporated

- **TICS Pro：**配置 DPLL 环路带宽。
  - 在环路带宽以下，基准噪声会添加到 TDC 本底噪声和 XO/TCXO/OCXO 噪声。在环路带宽以上，基准噪声将以高达 60dB/十倍频程的滚降幅度衰减。合适的带宽取决于基准输入和 XO 之间的相对相位噪声。APLL1 的环路带宽可配置为在超过 APLL1 的带宽（通常约为 1kHz）时使基准输入、TDC 和 XO 相位噪声进一步衰减。
- **TICS Pro：**配置最大 TDC 频率以根据所需的用例优化 DPLL TDC 噪声贡献。
  - *有线*：最大 TDC 速率预设为 400kHz。这种情况下可以使用窄环路带宽 (≤10Hz) 和 TCXO/OCXO/XO 来设置频率稳定性和漂移性能，从而支持 SyncE 和其他用例。
  - *无线*：最大 TDC 速率预设为 26MHz 以实现最低的带内 TDC 噪声贡献。这种情况下支持无线用例以及近端相位噪声至关重要的其他用例。
  - *定制*：最大 TDC 速率可以指定为不超过 26MHz 的任何值。
- **TICS Pro：**如果需要时钟控制（例如 IEEE 1588 PTP），请为 DPLL 环路启用 DCO 模式并输入频率步长（以 ppb 为单位）。FDEV 步长寄存器根据 *DCO 频率步长* 进行计算。如果需要，在 GPIO 引脚上启用 FINC/FDEC 引脚控制。

5. **TICS Pro：**为每个基准输入配置基准输入监控选项。当不需要监控器或输入超出监控器支持的频率范围运行时，禁用监控器。有关更多信息，请参阅*基准输入监控*。
   - *振幅监控器*：设置 LVCMOS 检测到的压摆率边沿或差分输入振幅阈值，从而监控输入信号质量。禁用低于 5MHz 差分输入的监控器，或使用 LVCMOS 输入时钟。
   - *漏脉冲监控器*：设置延迟窗口阈值 (T_{LATE}) 以允许最长的预期输入时钟周期，包括最坏情况下的周期间抖动。对于间隙时钟输入，根据允许的漏时钟脉冲数设置 T_{LATE}。
   - *矮脉冲监控器*：设置早期窗口阈值 (T_{EARLY}) 以允许最短的预期输入时钟周期，包括最坏情况下的周期间抖动。
   - *1PPS 相位验证监控器*：设置相位验证抖动阈值，包括最坏情况下的输入周期间抖动。
   - *验证计时器*：设置在输入对选择有效之前，必须由所有已启用的输入监控器对基准输入进行验证的时长。
6. **TICS Pro：**为每个通道配置 DPLL 锁定检测和调优字历史记录监控选项。请参阅 *PLL 锁定检测器*和*调优字历史记录*，了解更多信息。
   - *DPLL 调优字历史记录*：设置历史计数/平均时间 (T_{AVG})、历史延迟/忽略时间 (T_{IGN}) 和中间平均选项。
   - *DPLL 频锁和相锁检测器*：设置每个检测器的锁定阈值和解锁阈值。
7. **TICS Pro：**根据需要配置每个状态输出引脚和中断标志。请参阅 *状态输出*和*中断*，了解更多信息。
   - 选择所需的状态信号选项、状态极性和驱动器模式（3.3V LVCMOS 或开漏）。开漏需要外部上拉电阻。
   - 如果中断已启用并被选为状态输出，请根据需要配置任何中断源的标志极性和屏蔽位以及组合与/或门。
8. 在设计电源时请参考以下准则：
   - 具有相同频率或整数相关（谐波）频率的输出可以共享公共的滤波电源。
     - 示例：OUT[0:1] 和 OUT[2:3] 上的 156.25MHz 和 312.5MHz 输出可以共享经过滤波的 VDDO 电源（组 1），而 OUT[4:7] 上的 100MHz、50MHz 和 25MHz 输出可以共享单独的 VDDO 电源（组 2）。
   - 为了实现最低功耗，AC-DIFF 或 HCSL 输出可以由 1.8V 电源供电，输出摆幅或相位噪声不会降低（与 2.5V 或 3.3V 相比）。
   - 1.8V LVCMOS 输出必须由 1.8V 电源供电。
   - 请参阅*电源轨时序、电源斜升速率和混合电源域*。

Copyright © 2024 Texas Instruments Incorporated

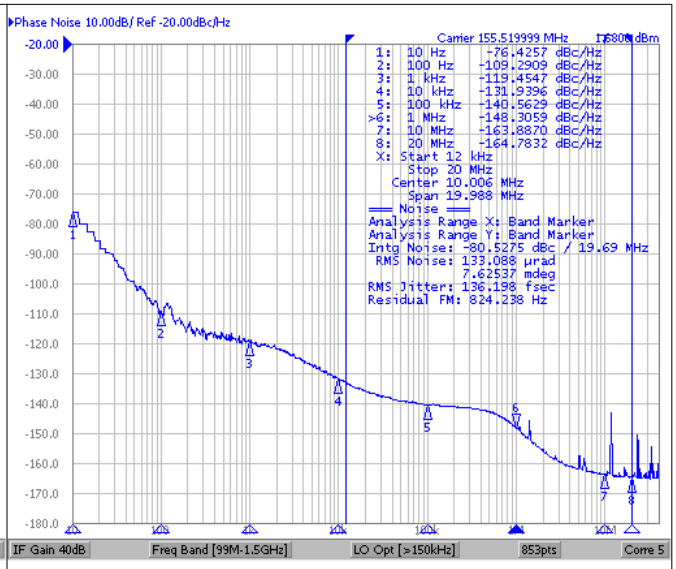
8.2.3 应用曲线



抖动 = 65fs RMS（12kHz 至 20MHz）

f_{VCO1} = 2500MHz（VCO1 反相）

图 8-5. 156.25MHz 输出相位噪声 (OUT3) 和 155.52MHz 输出启用 (OUT4)



抖动 = 136fs RMS（12kHz 至 20MHz）

f_{VCO2} = 6065.28MHz（VCO2 后分频器 = 3）

图 8-6. 155.52MHz 输出相位噪声 (OUT4) 和 156.25MHz 输出启用 (OUT3)

8.3 优秀设计实践

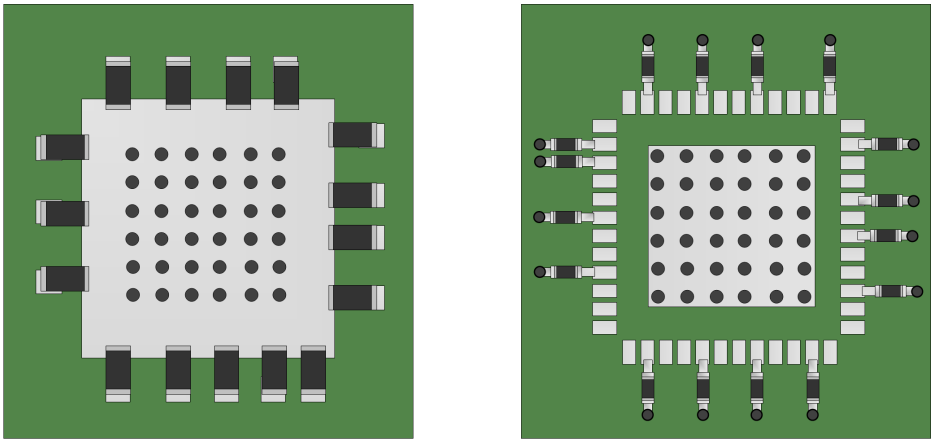
- 使用适当的电源去耦和旁路连接为所有 VDD 引脚供电，如图 8-4 所示。
- 通过寄存器关断未使用的块来更大限度降低功耗。
- 使用适当的源端接或负载端接来匹配任何进出器件的有源信号的输入和输出时钟布线阻抗。
- 将未使用的时钟输出保持悬空状态并通过寄存器控制使其断电。
- 将未使用的时钟输入保持悬空。
- 对于 EEPROM+SPI 模式：在 POR 期间使 HW_SW_CTRL 和 STATUS[1:0] 引脚保持悬空以实现适当的启动。这些引脚在内部偏置为 V_{IM}。
  - 如果 HW_SW_CTRL 或任一 STATUS 引脚连接到系统主机（MCU 或 FPGA），则主机器件必须配置高阻抗输入（无上拉或下拉电阻），以避免与 V_{IM} 的内部偏置发生冲突。如有需要，可以在每个 STATUS 引脚上连接外部偏置电阻（连接至 3.3V 的 10kΩ 上拉电阻，或 3.3kΩ 下拉电阻），以便在 POR 期间使输入偏置到 V_{IM}。
- 考虑将每个 STATUS 引脚连接至主机器件的测试点或高阻抗输入端来监控器件状态输出。
- 考虑使用 LDO 稳压器为外部 XO/TCXO/OCXO 源供电。
  - 振荡器时钟上的高抖动和杂散输出通常是由电源上的高频谱噪声和纹波引起。
- 包括用于访问器件 I^2C 或 SPI 接口的专用接头以及接地的插头引脚。
  - 这样可以使用 TI USB2ANY 接口和 TICS Pro 软件工具对器件启动、原型设计和诊断进行非板载编程。

8.4 电源相关建议

8.4.1 电源旁路

图 8-7 展示了电源旁路电容器在 PCB 背面或元件侧的两种常见放置方式。如果电容器安装在背面，则可以采用 0402 元件。如果安装在元件侧，请使用 0201 本体尺寸的电容器以方便信号布线。元件侧和背面的放置方式可以组合使用。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接使电容器的另一侧接地。

Copyright © 2024 Texas Instruments Incorporated



（**不要**指示 LMK05318B-Q1 电源引脚的实际位置）

图 8-7. 电源旁路电容器的一般放置方式

8.4.2 器件电流和功耗

器件功耗取决于编程到器件的实际配置。*电气特性* 中的各个电源引脚电流消耗值可用于估算器件功耗和电源尺寸。

8.4.2.1 电流消耗计算

内核电源电流：

$$IDD_CORE = IDD_DIG + IDD_IN + IDD_XO + IDD_PLL1 + IDD_PLL2 \quad (13)$$

OUT[0:1] 或 OUT[2:3] 通道电源电流：

$$IDDO_XY = IDDO_XY_{DIVIDER} + IDDO_X_{DRIVER} + IDDO_Y_{DRIVER} \quad (14)$$

OUT[4:7] 通道电源电流：

$$IDDO_X = IDDO_X_{DIVIDER} + IDDO_X_{DRIVER} \quad (15)$$

禁用输出通道的分频器和驱动器时，通道的 IDDO_x 约等于 0mA。

8.4.2.2 功耗计算

内核功耗：

$$P_{CORE} = IDD_CORE \times VDD \quad (16)$$

输出功耗：

$$P_{OUT} = (IDDO_01 \times VDDO_01) + (IDDO_23 \times VDDO_23) + ... + (IDDO_7 \times VDDO_7) \quad (17)$$

器件的总功耗：

$$P_{TOTAL} = P_{CORE} + P_{OUT} \quad (18)$$

8.4.2.3 示例

估算以下器件配置的电流和功耗：

Copyright © 2024 Texas Instruments Incorporated

- VDD = 3.3V 且 VDDO_x = 1.8V
- 带级联 APLL2 的 DPLL/APLL1 模式
- XO：48MHz，PRIREF 和 SECREF：25MHz
- OUT[0:1]：156.25MHz AC-LVPECL (x2)，PLL1
- OUT[2:3]：156.25MHz AC-CML (x2)，PLL1
- OUT4：133.33MHz AC-LVDS，PLL2
- OUT5：禁用
- OUT6：100MHz HCSL，PLL1
- OUT7：25MHz LVCMOS (x2)，PLL1

根据方程式 13：IDD_CORE = 18 + 38 + 20 + 110 + 120 = 306mA

根据方程式 14 和方程式 15：

- IDDO_01 = 70 + 16 + 16 = 102mA
- IDDO_23 = 70 + 14 + 14 = 98mA
- IDDO_4 = 70 + 10 = 80mA
- IDDO_5 = 0mA
- IDDO_6 = 70 + 25 = 95mA
- IDDO_7 = 70 + 6 = 76mA

根据方程式 16：P_{CORE} = 306mA × 3.3V = 1.01W

根据方程式 17：P_{OUT} = (102 + 98 + 80 + 95 + 76)mA × 1.8V = 0.812W

根据方程式 18：P_{TOTAL} = 1.01W + 0.812W = 1.822W

8.5 布局

8.5.1 布局指南

- 将输入、XO/OCXO/TCXO 和输出时钟与具有不同频率的相邻时钟和其他附近的动态信号进行隔离。
- 根据附近电路（例如、电源、FPGA、ASIC）的电源/接地噪声和热梯度以及系统级振动和冲击来考虑 XO/OCXO/TCXO 的放置和布局。这些因素会影响振荡器的频率稳定性/精度和瞬态性能。
- 避免时钟和动态逻辑信号的受控阻抗 50Ω 单端（或 100Ω 差分）布线上的阻抗不连续。
- 将旁路电容器放置在靠近 IC 同一侧的 VDD 和 VDDO 引脚处，或者直接放置在 PCB 另一侧的 IC 引脚下方。容值较大的去耦电容器可以放置在更远的位置。
- 将外部电容器靠近 CAP_x 和 LFx 引脚放置。
- 如有可能，使用多个过孔将宽电源布线连接到相应的电源岛或电源平面。
- 使用至少 5×5 的穿孔方式将 IC 接地/散热焊盘连接到 PCB 接地平面。
- 请参阅*机械、封装和可订购信息*中的焊盘图案示例、阻焊层详细信息和焊锡膏示例。

Copyright © 2024 Texas Instruments Incorporated

8.5.2 布局示例

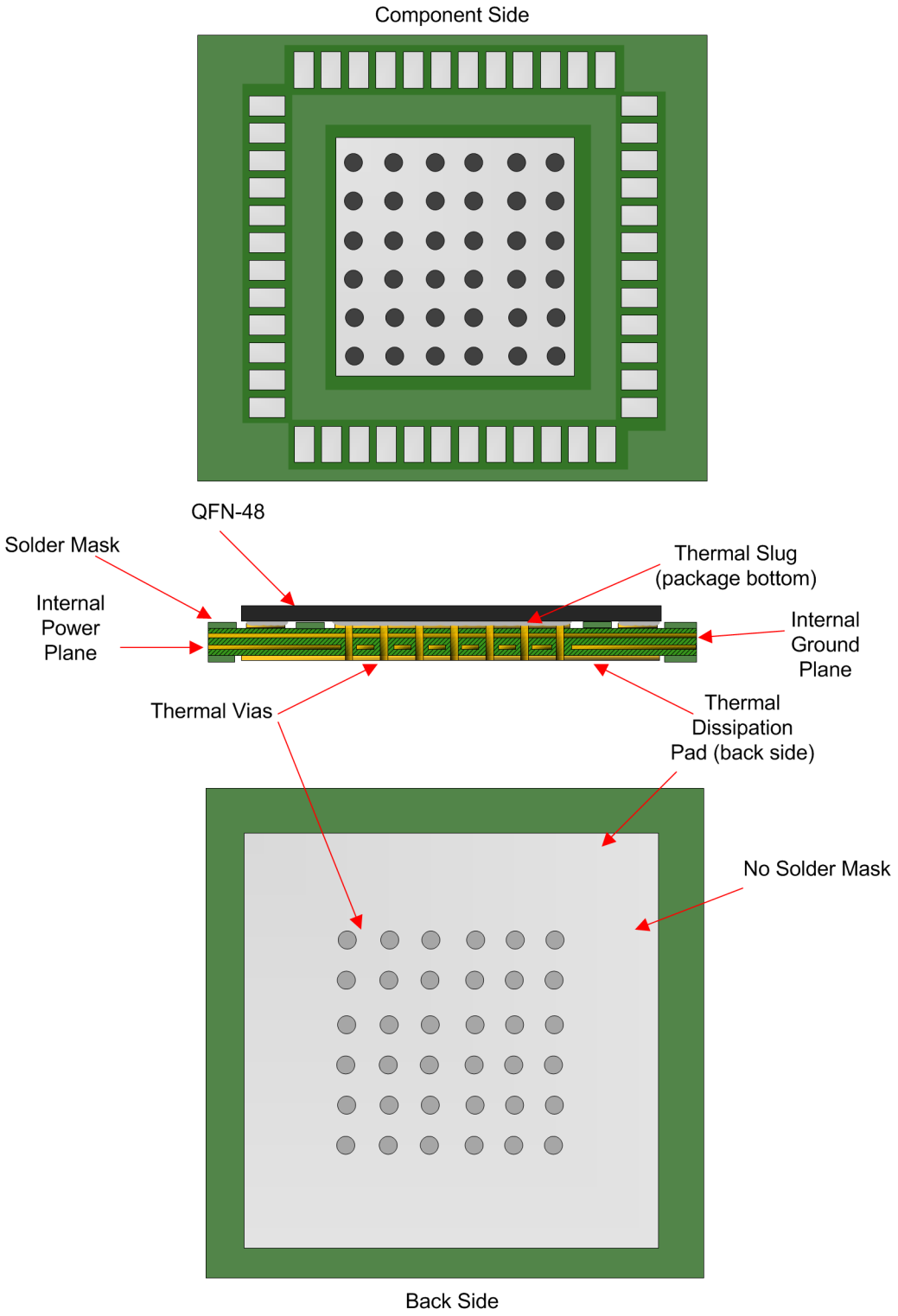


图 8-8. 可实现热可靠性的通用 PCB 接地布局（建议 8 层以上）

8.5.3 热可靠性

LMK05318B-Q1 是一款高性能器件。为了获得良好的电气性能和热性能，TI 建议在 IC 接地端或散热焊盘与 PCB 接地端之间设计一个热增强型接口，使用至少 5×5 的过孔布局连接到多个 PCB 接地层（请参阅图 8-8）。

8.5.3.1 支持高达 105°C 的 PCB 温度

即使在最高电路板温度 (T_{PCB}) 为 105°C 的 PCB 上运行时，该器件也能将安全结温保持在建议的最高温度 125°C 以下。以下计算示例表明了这一点，该示例假设在启用所有模块的情况下使用 *电气特性* 中的典型电流消耗（VDD = 3.3V，VDDO = 1.8V）和 *热性能信息：10 层定制 PCB*（无气流）中的热性能数据来计算出总器件功率 (P_{TOTAL})。

$$T_J = T_{PCB} + (\Psi_{JB} \times P_{TOTAL}) = \mathbf{113.8°C} \quad (19)$$

其中

- T_{PCB} = 105°C
- Ψ_{JB} = 4.4°C/W
- $P_{TOTAL} = P_{CORE} + P_{OUTPUT}$ = 2.0W
  - P_{CORE} = (18 + 38 + 20 + 110 + 120)mA × 3.3V = 1.01W
    - DPLL、APLL1、APLL2，且已启用所有输入
  - P_{OUTPUT} = (102 + 102 + 86 + 86 + 86 + 86)mA × 1.8V = 0.986W
    - 在输出分频器值 > 6 和使用 AC-LVPECL 输出类型的情况下启用所有输出通道

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 TICS Pro

TICS Pro 是用于 EVM 编程的离线软件工具，也可以用生成寄存器映射，为特定应用的器件配置编程。如需 TICS Pro，请访问 www.ti.com.cn/tool/cn/TICSPRO-SW。

9.2 文档支持

9.2.1 相关文档

请参阅以下文档：

- 德州仪器 (TI)，LMK05318 的 ITU-T G.8262 合规性测试结果，应用手册
- 德州仪器 (TI)，通过 LMK05318 支持的同步模式，应用手册
- 德州仪器 (TI)，使用 LMK05318 实现对高速 56G PAM-4 串行链路的计时，应用手册
- 德州仪器 (TI)，LMK05318BEVM 用户指南，EVM 用户指南

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
March 2024	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK05318BTRGZRQ1	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	K05318BQ1
LMK05318BTRGZRQ1.A	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	K05318BQ1
LMK05318BTRGZRQ1.B	Active	Production	VQFN (RGZ) | 48	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
LMK05318BTRGZTQ1	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	K05318BQ1
LMK05318BTRGZTQ1.A	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	K05318BQ1
LMK05318BTRGZTQ1.B	Active	Production	VQFN (RGZ) | 48	250 | SMALL T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK05318B-Q1 :

- Catalog : LMK05318B

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

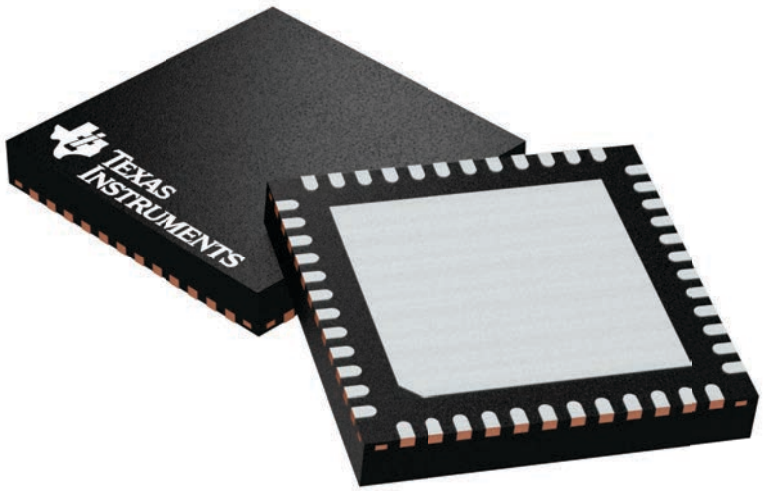
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

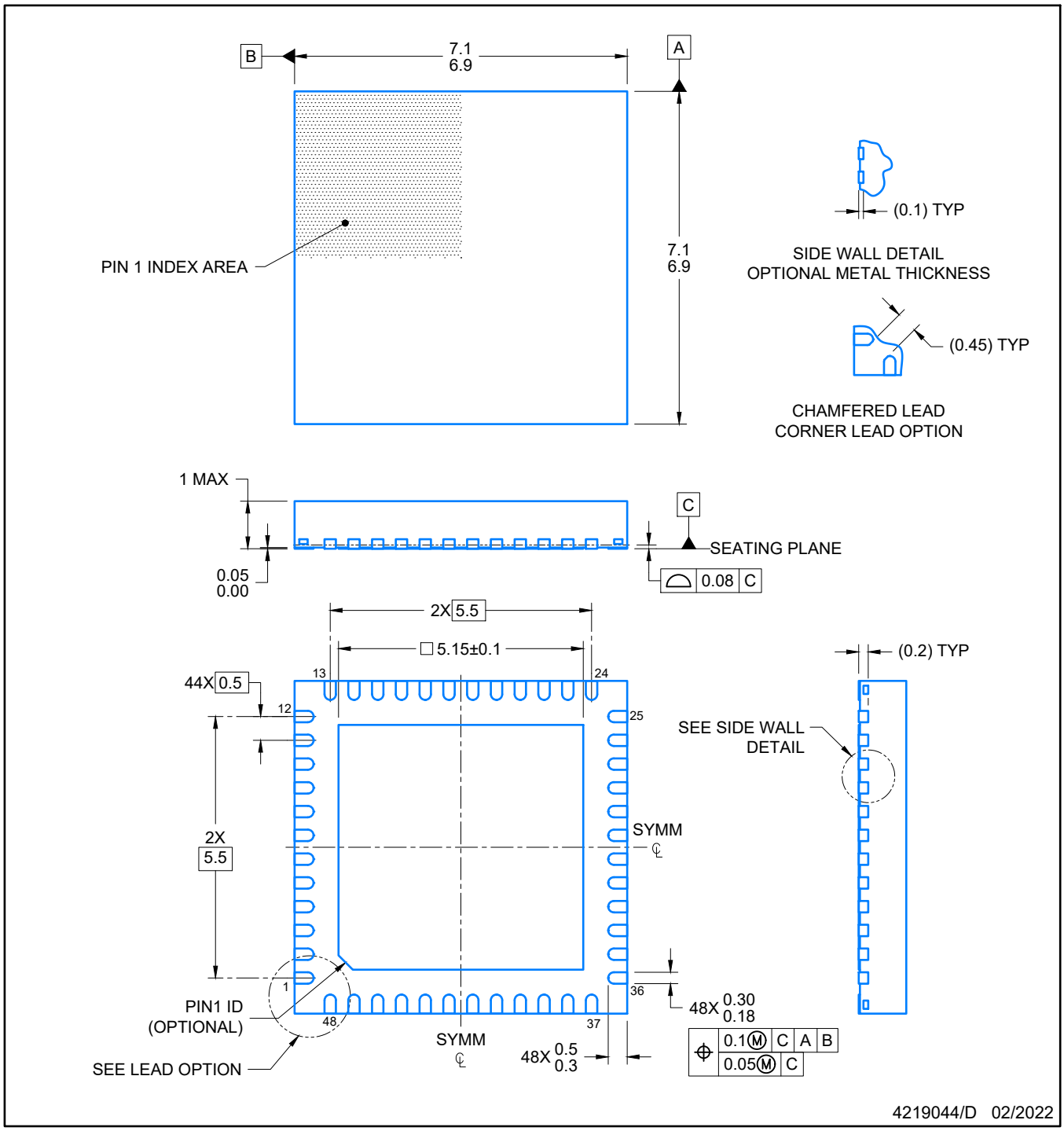
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



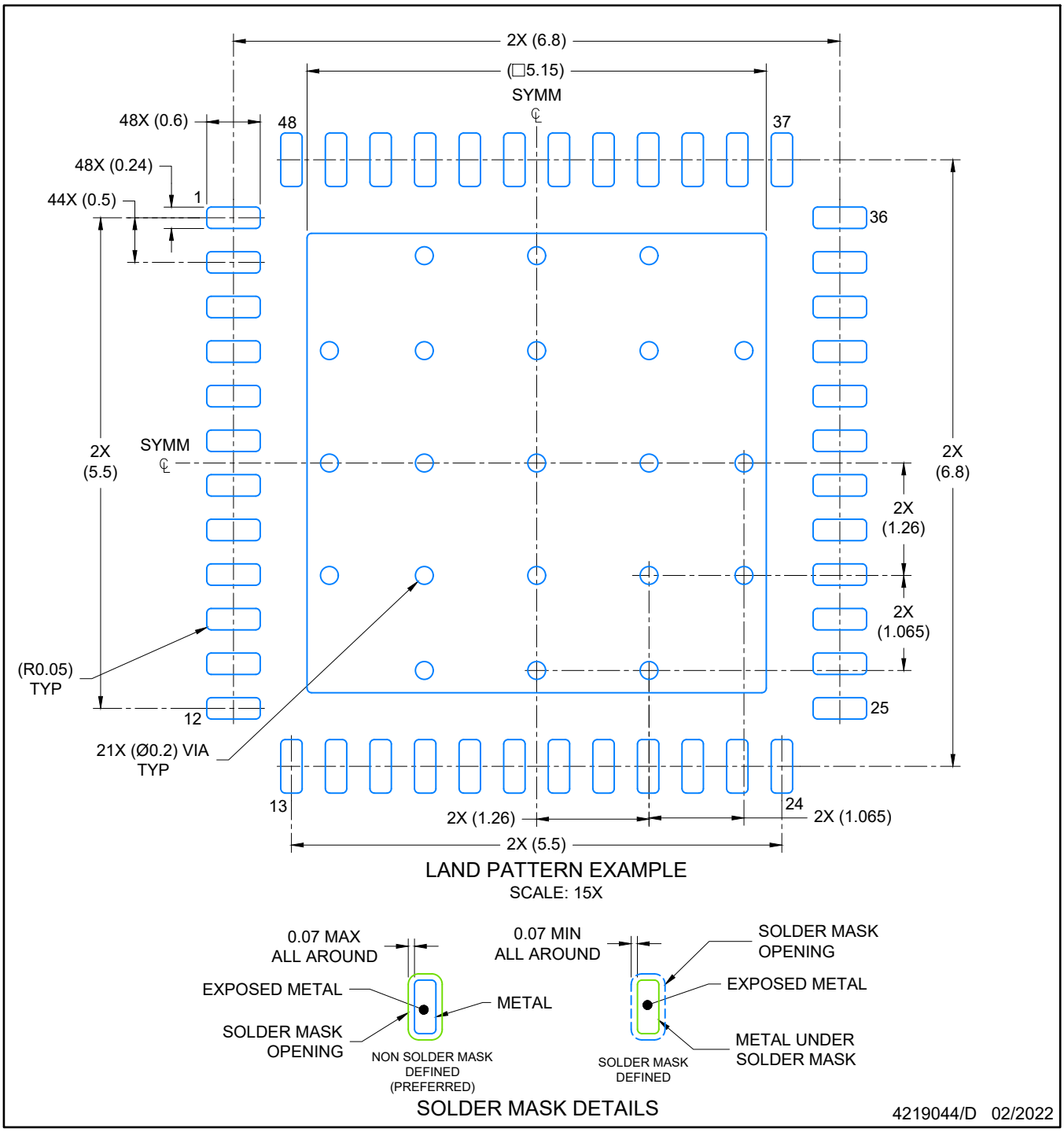
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A



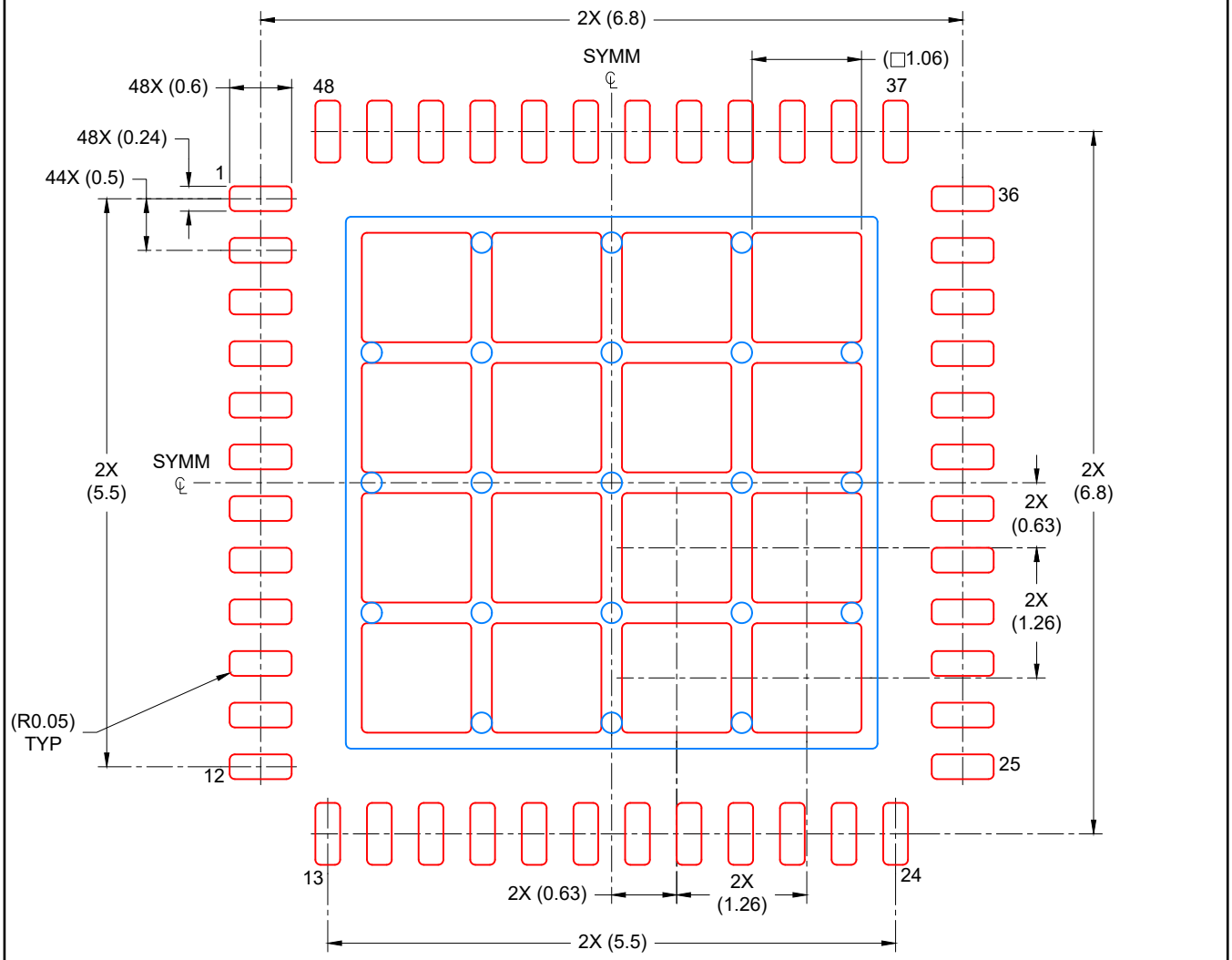
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
67% PRINTED COVERAGE BY AREA
SCALE: 15X

4219044/D 02/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司