LMK00334 四路输出 PCIe® 第 1 代至第 7 代时钟缓冲器和电平转换器

1 特性

- 3:1 输入多路复用器
  - 两个通用输入运行频率高达 400MHz，且接受 LVPECL、LVDS、CML、SSTL、HSTL、HCSL 或单端时钟
  - 单个晶体输入可接受 10MHz 至 40MHz 的晶体或单端时钟
- 分为两组，每组具有两路差分输出
  - HCSL 或 Hi-Z（可选）
  - PCIe® 规格的附加 RMS 相位抖动
    - 第 5 代为 7.2fs RMS（典型值）
    - 第 6 代为 5fs RMS（典型值）
    - 第 7 代为 3.5fs RMS（典型值）
- 高 PSRR：156.25MHz 时为 –72dBc
- 通过同步使能输入提供 LVCMOS 输出
- 由引脚控制的配置
- V_{CC} 内核电源：3.3V ± 5%
- 三个独立的 V_{CCO} 输出电源：3.3V、2.5V ± 5%
- 工业温度范围：-40°C 至 +105°C
- 32 引脚 WQFN (5 mm × 5 mm)

2 应用

- 数据中心交换机
- 核心路由器
- 服务器、计算、PCIe Gen 3.0 至 5.0
- 远程无线电单元和基带单元

3 说明

LMK00334 器件是一款四路输出 HCSL 扇出缓冲器，旨在用于高频、低抖动时钟、数据分配和电平转换。该器件能够为 ADC、DAC、多千兆以太网、XAUI、光纤通道、SATA/SAS、SONET/SDH、CPRI 和高频背板分配基准时钟。

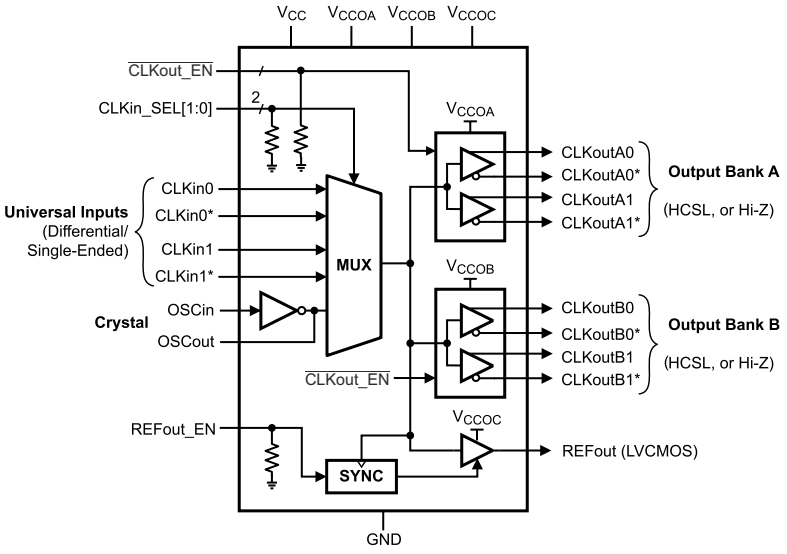
可以从两个通用输入或一个晶体输入中选择输入时钟。所选择的输入时钟被分配到两组输出，每组输出包含两个 HCSL 输出和一个 LVCMOS 输出。LVCMOS 输出具有用于在启用或禁用时实现无短脉冲运行的同步使能输入。LMK00334 由一个 3.3V 内核电源和三个独立的 3.3V 或 2.5V 输出电源供电运行。

LMK00334 具有高性能、多用途和高功效特性，该器件旨在替代固定输出缓冲器器件，同时还能增加系统中的时序余裕。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMK00334	RTV (WQFN, 32)	5.00mm × 5.00mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



LMK00334 功能框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 5
5.4 热性能信息.... 5
5.5 电气特性.... 5
5.6 时序要求、传播延迟和输出偏斜.... 8
5.7 典型特性.... 9
6 参数测量信息.... 12
6.1 差分电压测量术语.... 12
7 详细说明.... 13
7.1 概述.... 13
7.2 功能方框图.... 13
7.3 特性说明.... 13
7.4 器件功能模式.... 15
8 应用和实施.... 16
8.1 应用信息.... 16
8.2 典型应用.... 16
8.3 电源相关建议.... 20
8.4 布局.... 23
9 器件和文档支持.... 26
9.1 文档支持.... 26
9.2 接收文档更新通知.... 26
9.3 支持资源.... 26
9.4 商标.... 26
9.5 静电放电警告.... 26
9.6 术语表.... 26
10 修订历史记录.... 26
11 机械、封装和可订购信息.... 27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

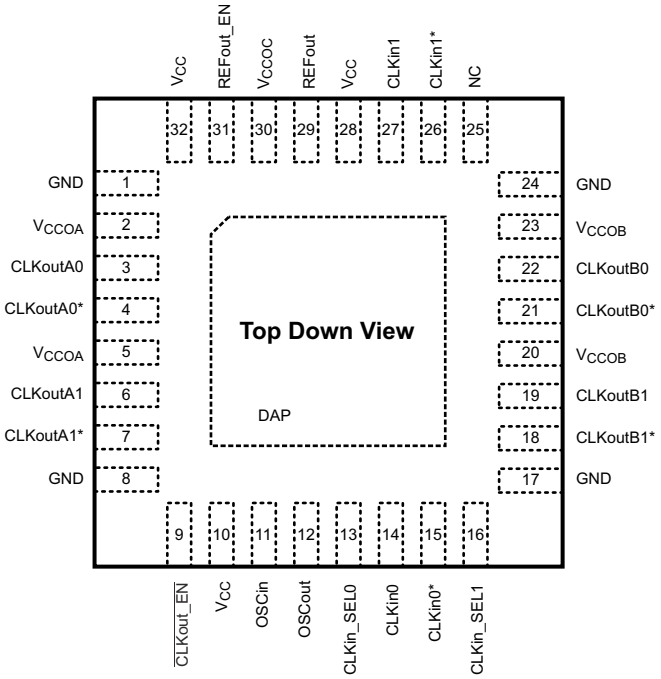


图 4-1. RTV 封装 32 引脚 WQFN 顶视图

表 4-1. 引脚功能

引脚		类型(1) (4)	说明
名称	编号		
DAP	DAP	GND	裸片连接焊盘连接到 PCB 接地平面以实现散热。
CLKin_SEL0	13	I	时钟输入选择引脚(3)
CLKin_SEL1	16	I	时钟输入选择引脚(3)
CLKin0	14	I	通用时钟输入 0（差分/单端）
CLKin0*	15	I	通用时钟输入 0（差分/单端）
CLKin1	27	I	通用时钟输入 1（差分/单端）
CLKin1*	26	I	通用时钟输入 1（差分/单端）
$\overline{\text{CLKout_EN}}$	9	I	组 A 和组 B 低电平有效输出缓冲器使能。(3)
CLKoutA0	3	O	差分时钟输出 A0。
CLKoutA0*	4	O	差分时钟输出 A0。
CLKoutA1	6	O	差分时钟输出 A1。
CLKoutA1*	7	O	差分时钟输出 A1。
CLKoutB1	19	O	差分时钟输出 B1。
CLKoutB1*	18	O	差分时钟输出 B1。
CLKoutB0	22	O	差分时钟输出 B0。
CLKoutB0*	21	O	差分时钟输出 B0。
GND	1、8、17、24	GND	接地
NC	25	—	内部未连接。引脚可以悬空、接地或以其他方式连接到*绝对最大额定值* 中规定的电源电压范围内的任何电位。
OSCin	11	I	晶体的输入。也可由 XO、TCXO 或其他外部单端时钟驱动。
OSCout	12	O	晶体的输出。如果 OSCin 由单端时钟驱动，则将 OSCout 保持悬空。

表 4-1. 引脚功能（续）

引脚		类型(1) (4)	说明
名称	编号		
REFout	29	O	LVCMOS 基准输出。通过将 REFout_EN 引脚拉至高电平来使能输出。
REFout_EN	31	I	REFout 使能输入。使能信号与所选时钟输入内部同步。(3)
V_{CC}	10、28、32	PWR	内核和输入缓冲器块的电源。V_{CC} 电源工作电压为 3.3V。使用靠近每个 V_{CC} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。
V_{CCOA}	2、5	PWR	A 组输出缓冲器的电源。V_{CCOA} 工作电压为 3.3V 或 2.5V。V_{CCOA} 引脚在内部相互连接。使用靠近每个 V_{CCO} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。(2)
V_{CCOB}	20、23	PWR	B 组输出缓冲器的电源。V_{CCOB} 工作电压为 3.3V 或 2.5V。V_{CCOB} 引脚在内部相互连接。使用靠近每个 V_{CCO} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。(2)
V_{CCOC}	30	PWR	REFout 缓冲器的电源。V_{CCOC} 工作电压为 3.3V 或 2.5V。使用靠近每个 V_{CCO} 引脚放置的 0.1μF、低 ESR 电容器进行旁路。(2)

(1) I = 输入，O = 输出，GND = 接地，PWR = 电源
(2) 当不需要区分，或可根据输出组/类型推断输出电源时，输出电源电压或引脚（V_{CCOA}、V_{CCOB} 和 V_{CCOC}）通常统称为 V_{CCO}。
(3) 带内部下拉电阻的 CMOS 控制输入。
(4) 任何未使用的输出引脚都必须以最短的覆铜长度保持悬空（请参阅*时钟输出*中的注释）；或者，如果连接到传输线路，则必须正确端接，或在可能的情况下禁用/采用 Hi-Z（如果可能）。有关输出配置，请参阅*时钟输出*；有关输出接口和端接技术，请参阅*终止和使用时钟驱动器*。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
V_{CC}、V_{CCO}	电源电压	-0.3	3.6	V
V_{IN}	输入电压	-0.3	(V_{CC} + 0.3)	V
T_L	引线温度（焊接 4s）		260	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但又在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	
	机器模型 (MM)	±150	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	典型值	最大值	单位
T_A	环境温度		-40	25	85	°C
T_J	结温				125	°C
V_{CC}	内核电源电压		3.15	3.3	3.45	V
V_{CCO}	输出电源电压(1) (2)	3.3V 范围	3.3 - 5%	3.3	3.3 + 5%	V
		2.5V 范围	2.5 - 5%	2.5	2.5 + 5%	

(1) 当不需要区分，或可根据输出组/类型推断输出电源时，输出电源电压或引脚（V_{CCOA}、V_{CCOB} 和 V_{CCOC}）通常统称为 V_{CCO}。
(2) 任何输出组的 V_{CCO} 必须小于或等于 V_{CC} ($V_{CCO} \leqslant V_{CC}$)。

5.4 热性能信息

热指标(1)		LMK00334 (2) RTV (WQFN) 32 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	7.2	°C/W
$R_{\theta JB}$	结至电路板热阻	12	°C/W
ψ_{JT}	结至顶部特征参数	0.4	°C/W
ψ_{JB}	结至电路板特征参数	11.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) 规格假设有 5 个散热过孔将裸片连接焊盘 (DAP) 连接到 4 层 JEDEC 板上的嵌入式覆铜平面。这些过孔在提升封装的热性能方面发挥着关键作用。TI 建议在电路板布局中使用最大数量的过孔。

5.5 电气特性

除非另有说明：V_{CC} = 3.3V ± 5%，V_{CCO} = 3.3V ± 5%，2.5V ± 5%，–40°C ≤ T_A ≤ 85°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{CC} = 3.3V、V_{CCO} = 3.3V、T_A = 25°C 以及产品表征时的建议运行条件下最有可能达到的参数标准；因此，无法保证一定能获得典型值。(1)

参数		测试条件		最小值	典型值	最大值	单位
电流消耗 (1)							
ICC_CORE	内核电源电流，所有输出均已禁用	选择 CLKinX			8.5	10.5	mA
		选择 OSCin			10	13.5	mA
ICC_HCSL					50	58.5	mA
ICC_CMOS					3.5	5.5	mA
ICCO_HCSL	附加输出电源电流，HCSL 组已使能	包括两个组的输出组偏置和负载电流，所有输出上 R_T = 50Ω			65	81.5	mA
ICCO_CMOS	附加输出电源电流，LVCMOS 输出已使能	200MHz，C_L = 5pF	V_{CCO} = 3.3V ± 5%		9	10	mA
			V_{CCO} = 2.5V ± 5%		7	8	mA
电源纹波抑制 (PSRR)							
$PSRR_{HCSL}$	纹波引起的相位杂散电平(2) 差分 HCSL 输出	156.25MHz			-72		dBc
		312.5MHz			-63		
CMOS 控制输入（CLKin_SELn、CLKout_TYPEn、REFout_EN）							
V_{IH}	高电平输入电压			1.6		V_{CC}	V
V_{IL}	低电平输入电压			GND		0.4	V
I_{IH}	高电平输入电流	V_{IH} = V_{CC}，内部下拉电阻器				50	μA

除非另有说明：V_{CC} = 3.3V ± 5%，V_{CCO} = 3.3V ± 5%，2.5V ± 5%，–40°C ≤ T_A ≤ 85°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{CC} = 3.3V、V_{CCO} = 3.3V、T_A = 25°C 以及产品表征时的建议运行条件下最有可能达到的参数标准；因此，无法保证一定能获得典型值。[1]

参数		测试条件		最小值	典型值	最大值	单位
I_{IL}	低电平输入电流	V_{IL} = 0V，内部下拉电阻器		-5	0.1		µA
时钟输入（CLKin0/CLKin0*、CLKin1/CLKin1*）							
f_{CLKin}	输入频率范围[8]	可在高达 400MHz 的频率下正常工作 根据输出类型指定输出频率范围和时序（请参阅 LVCMOS 输出规格）		DC		400	MHz
V_{IHD}	差分输入高电压	CLKin 以差分方式驱动				Vcc	V
V_{ILD}	差分输入低电压			GND			V
V_{ID}	差分输入电压摆幅[3]			0.15		1.3	V
V_{CMD}	差分输入 CMD 共模电压	V_{ID} = 150mV		0.25		V_{CC} – 1.2	V
		V_{ID} = 350mV		0.25		V_{CC} – 1.1	
		V_{ID} = 800mV		0.25		V_{CC} – 0.9	
V_{IH}	单端输入 IH 高电压	CLKinX 驱动单端（交流或直流耦合），CLKinX* 交流耦合至 GND 或在 V_{CM} 范围内外部偏置				V_{CC}	V
V_{IL}	单端输入 IL 低电压			GND			V
V_{I_SE}	单端输入电压摆幅[8]			0.3		2	Vpp
V_{CM}	单端输入 CM 共模电压			0.25		V_{CC} – 1.2	V
ISO_{MUX}	多路复用器隔离，CLKin0 至 CLKin1	f_{OFFSET} > 50kHz，P_{CLKinX} = 0dBm	f_{CLKin0} = 100MHz		-84		dBc
			f_{CLKin0} = 200MHz		-82		
			f_{CLKin0} = 500MHz		-71		
			f_{CLKin0} = 1000MHz		-65		
晶体接口（OSCin、OSCout）							
F_{CLK}	外部时钟频率范围[8]	OSCin 驱动单端，OSCout 悬空				250	MHz
F_{XTAL}	晶体频率范围	基本模式晶体 ESR ≤ 200Ω（10 到 30MHz） ESR ≤ 125Ω（30 到 40MHz）[4]		10		40	MHz
C_{IN}	OSCin 输入电容				1		pF
HCSL 输出（CLKoutAn/CLKoutAn*、CLKoutBn/CLKoutBn*）							
f_{CLKout}	输出频率范围[8]	R_L = 50Ω 至 GND，C_L ≤ 5pF		DC		400	MHz
$Jitter_{ADD_PCIe}$	PCIe 7.0 的附加 RMS 相位抖动[8]	PCIe 第 7 代抖动	CLKin：100MHz，压摆率 ≥ 3V/ns		3.51	5.45	fs
$Jitter_{ADD_PCIe}$	PCIe 6.0 的附加 RMS 相位抖动[8]	PCIe 第 6 代抖动	CLKin：100MHz，压摆率 ≥ 3V/ns		5.04	7.78	fs
$Jitter_{ADD_PCIe}$	PCIe 5.0 的附加 RMS 相位抖动[8]	PCIe 第 5 代抖动	CLKin：100MHz，压摆率 ≥ 3V/ns		7.17	12.8	fs
$Jitter_{ADD_PCIe}$	PCIe 4.0 的附加 RMS 相位抖动[8]	PCIe 第 4 代，PLL BW = 2MHz-5MHz，CDR = 10MHz	CLKin：100MHz，压摆率 ≥ 3V/ns		20.3	30.5	fs
$Jitter_{ADD_PCIe}$	PCIe 3.0 的附加 RMS 相位抖动[8]	PCIe 第 3 代，PLL BW = 2MHz-5MHz，CDR = 10MHz	CLKin：100MHz，压摆率 ≥ 3V/ns		20.3	30.5	fs
$Jitter_{ADD}$	附加 RMS 抖动积分带宽 12MHz 到 20MHz[5]	V_{CCO} = 3.3V，R_T = 50Ω 至 GND	CLKin：100MHz，压摆率 ≥ 3V/ns		77		fs
本底噪声	本底噪声 f_{OFFSET} ≥ 10MHz[6] [7]	V_{CCO} = 3.3V，R_T = 50Ω 至 GND	CLKin：100MHz，压摆率 ≥ 3V/ns		-161.3		dBc/Hz
占空比	占空比[8]	50% 输入时钟占空比		45%		55%	

Copyright © 2025 Texas Instruments Incorporated

除非另有说明：V_{CC} = 3.3V ± 5%，V_{CCO} = 3.3V ± 5%，2.5V ± 5%，–40°C ≤ T_A ≤ 85°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。典型值表示在 V_{CC} = 3.3V、V_{CCO} = 3.3V、T_A = 25°C 以及产品表征时的建议运行条件下最有可能达到的参数标准；因此，无法保证一定能获得典型值。(1)

参数		测试条件		最小值	典型值	最大值	单位
V_{OH}	输出高电压	T_A = 25°C，直流测量，R_T = 50Ω 至 GND		520	810	920	mV
V_{OL}	输出低电压			-150	0.5	150	mV
V_{CROSS}	绝对交叉电压(8) (9)	R_L = 50Ω 至 GND，C_L ≤ 5pF		250	350	460	mV
ΔV_{CROSS}	V_{CROSS} 的总变化(8) (9)					140	mV
t_R	输出上升时间 20% 至 80%(9) (12)	250MHz，长达 10 英寸的均匀传输线路，具有 50Ω 特性阻抗，R_L = 50Ω 至 GND，C_L ≤ 5pF			225	400	ps
t_F	输出下降时间 80% 至 20%(9) (12)				225	400	ps
LVCMOS 输出 (REFout)							
f_{CLKout}	输出频率范围(8)	C_L ≤ 5pF		DC		250	MHz
$Jitter_{ADD}$	附加 RMS 抖动积分带宽 1MHz 到 20MHz(5)	V_{CCO} = 3.3V，C_L ≤ 5pF	100MHz，输入压摆率 ≥ 3V/ns		95		fs
本底噪声	本底噪声 f_{OFFSET} ≥ 10MHz(6) (7)	V_{CCO} = 3.3V，C_L ≤ 5pF	100MHz，输入压摆率 ≥ 3V/ns		-159.3		dBc/Hz
占空比	占空比(8)	50% 输入时钟占空比		45%		55%	
V_{OH}	输出高电压	1mA 负载		V_{CCO} – 0.1			V
V_{OL}	输出低电压					0.1	V
I_{OH}	输出高电平电流（拉电流）	V_O = V_{CCO}/2	V_{CCO} = 3.3V		28		mA
I_{OL}	输出低电平电流（灌电流）		V_{CCO} = 2.5V		20		
			V_{CCO} = 3.3V		28		mA
			V_{CCO} = 2.5V		20		
t_R	输出上升时间 20% 至 80%(9) (12)	250MHz，长达 10 英寸的均匀传输线路，具有 50Ω 特性阻抗，R_L = 50Ω 至 GND，C_L ≤ 5pF			225	400	ps
t_F	输出下降时间 80% 至 20%(10) (12)				225	400	ps
t_{EN}	输出使能时间(10)	C_L ≤ 5pF				3	周期
t_{DIS}	输出禁用时间(10)					3	周期

(1) 有关电流消耗和功率耗散计算的更多信息，请参阅*电源相关建议*和*热管理*。
(2) 电源纹波抑制（或 PSRR）定义为：在 V_{CCO} 电源上注入单音正弦信号（纹波）时，调制到时钟输出上的单边带相位杂散电平（单位为 dBc）。假设没有幅度调制效应且调制指数较小，则可以使用测量的单边带相位杂散电平 (PSRR) 来计算峰值间确定性抖动 (DJ)，如下所示： DJ (ps pk-pk) = [(2 × 10(^{PSRR} / 20)) / (π × f_{CLK})] × 1E12
(3) 有关 V_{ID} 和 V_{OD} 电压的定义，请参阅*差分电压测量术语*。
(4) 必须满足规定的 ESR 要求，以验证振荡器电路是否存在启动问题。但是，要保持低于晶体的最大功率耗散（驱动电平）规格，晶体的较低 ESR 值并非必需。有关晶体驱动电平注意事项，请参阅*晶体接口*。
(5) 对于 100MHz 和 156.25MHz 时钟输入条件，使用方法 1 计算附加 RMS 抖动 (J_{ADD})：J_{ADD} = SQRT($J_{OUT}{}^2$ - $J_{SOURCE}{}^2$)，其中 J_{OUT} 是在输出驱动器上测得的总 RMS 抖动，J_{SOURCE} 是应用于 CLKin 的时钟源的 RMS 抖动。对于 625MHz 时钟输入条件，使用方法 2 近似计算附加 RMS 抖动：J_{ADD} = SQRT(2 × $10^{dBc/10}$) / (2 × π × f_{CLK})，其中 dBc 是从 12kHz 到 20MHz 带宽内积分得到的输出本底噪声的相位噪声功率。相位噪声功率的计算公式如下：dBc = Noise Floor + 10 × $\log_{10}$(20MHz – 12kHz)。
(6) 输出缓冲器的本底噪声作为缓冲器的远端相位噪声进行测量。通常，此偏移 ≥ 10MHz，但对于较低的频率，由于测量设备限制，此测量偏移可低至 5MHz。
(7) 随着时钟输入压摆率降低，相位噪底降低。与单端时钟相比，由于共模噪声抑制，差分时钟输入（LVDS、LVPECL）在较低压摆率下不易受到本底噪声降低的影响。但是，TI 建议对差分时钟使用尽可能高的输入压摆率，以在器件输出端实现最佳本底噪声性能。
(8) 规格根据表征进行验证，而未经生产测试。
(9) HCSL 或 CMOS 的交流时序参数取决于输出电容负载。
(10) 输出使能时间是 REFout_EN 被拉至高电平后使能输出所需的输入时钟周期数。同样，输出禁用时间是 REFout_EN 被拉至低电平后禁用输出所需的输入时钟周期数。为了实现精确测量，REFout_EN 信号的边沿转换速度必须远快于输入时钟周期。
(11) 输出偏斜是在相同电源电压和温度条件下运行时，具有相同输出缓冲器类型和相同负载的任意两个输出之间的传播延迟差值。
(12) 参数根据设计指定，未经生产测试。

5.6 时序要求、传播延迟和输出偏斜

				最小值	典型值	最大值	单位
t_{PD_HCSL}	传播延迟 CLKin 到 HCSL(1) (2)	R_T = 50Ω 至 GND，C_L ≤ 5pF		295	590	885	ps
t_{PD_CMOS}	传播延迟 CLKin 到 LVCMOS(1) (2)	C_L ≤ 5pF	V_{CCO} = 3.3V	900	1475	2300	ps
			V_{CCO} = 2.5V	1000	1550	2700	
$t_{SK(O)}$	输出偏斜(11) (9) (4)	在任意两个 CLKout 之间指定的偏斜。负载条件与传播延迟规格相同。			30	50	ps
$t_{SK(PP)}$	器件间输出偏斜(1) (2) (3)				80	120	ps

(1) HCSL 或 CMOS 的交流时序参数取决于输出电容负载。
(2) 参数根据设计指定，未经生产测试。
(3) 输出偏斜是在相同电源电压和温度条件下运行时，具有相同输出缓冲器类型和相同负载的任意两个输出之间的传播延迟差值。
(4) 规格根据表征进行验证，而未经生产测试。

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

除非另有说明：V_{CC} = 3.3V，V_{CCO} = 3.3V，T_A = 25°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。

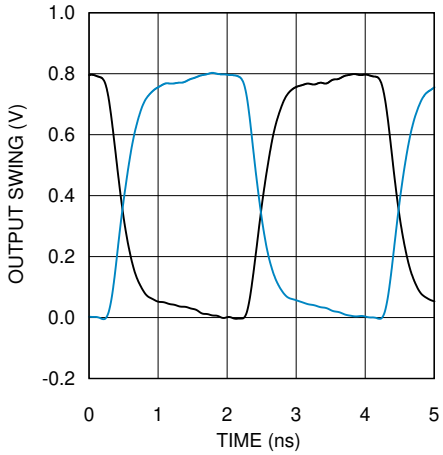


图 5-1. 250MHz 时的 HCSL 输出摆幅

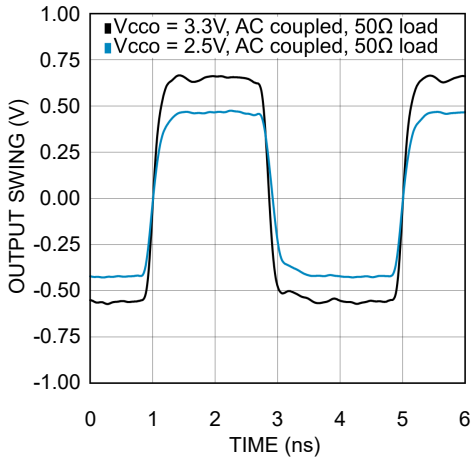


图 5-2. 250MHz 时的 LVCMOS 输出摆幅

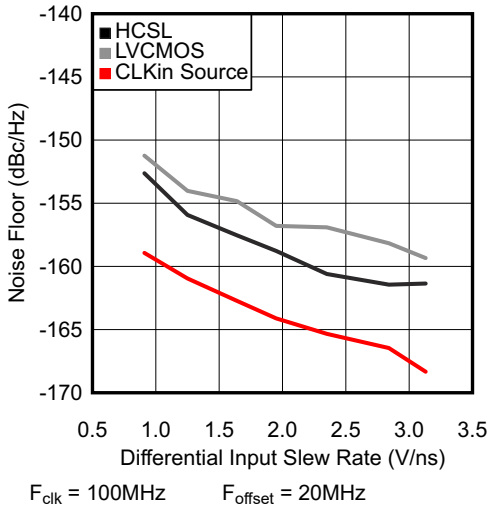


图 5-3. 100MHz 时本底噪声与 CLKin 压摆率间的关系

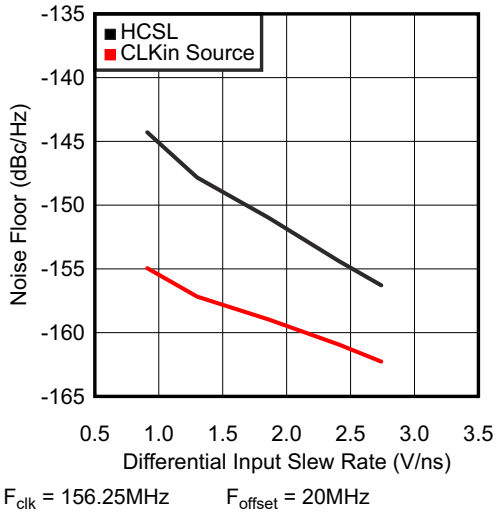


图 5-4. 156.25MHz 时本底噪声与 CLKin 压摆率间的关系

5.7 典型特性（续）

除非另有说明：V_{CC} = 3.3V，V_{CCO} = 3.3V，T_A = 25°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。

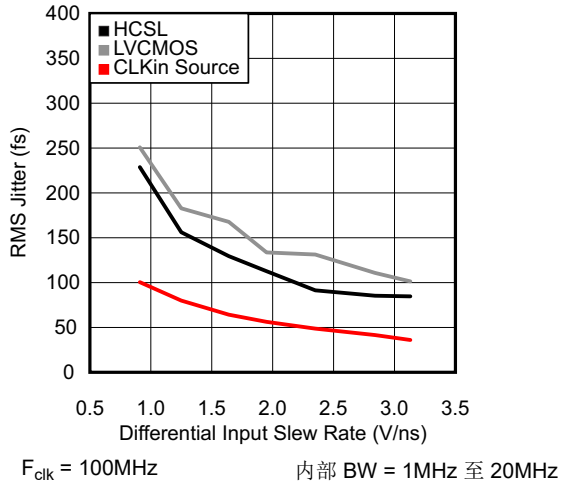


图 5-5. 100MHz 时 RMS 抖动与 CLKin 压摆率间的关系

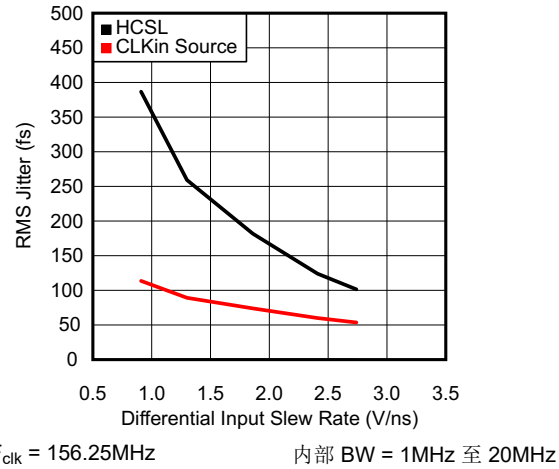


图 5-6. 156.25MHz 时 RMS 抖动与 CLKin 压摆率间的关系

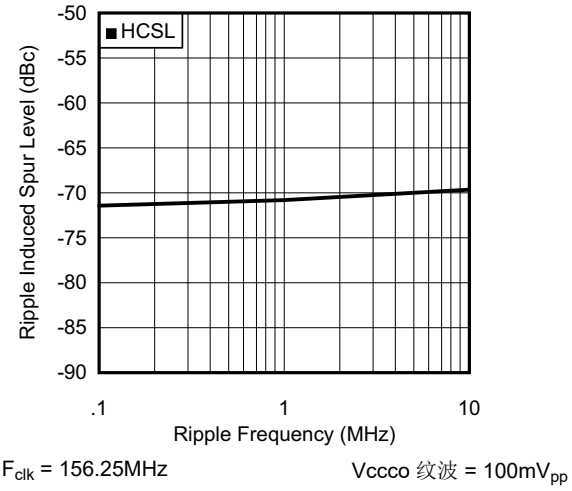


图 5-7. 156.25MHz 时 PSRR 与纹波频率间的关系

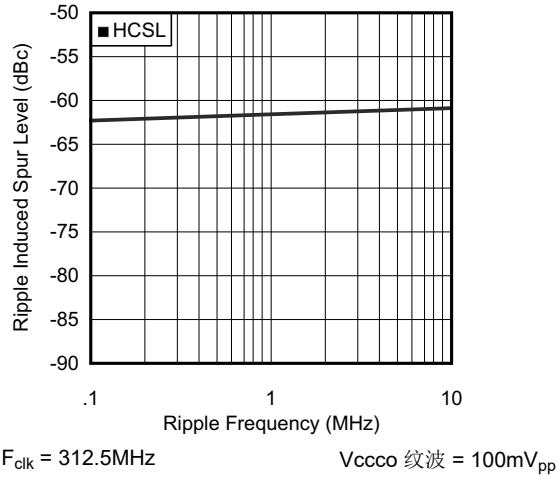


图 5-8. 312.5MHz 时 PSRR 与纹波频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

除非另有说明：V_{CC} = 3.3V，V_{CCO} = 3.3V，T_A = 25°C，CLKin 以差分方式驱动，输入压摆率 ≥ 3V/ns。

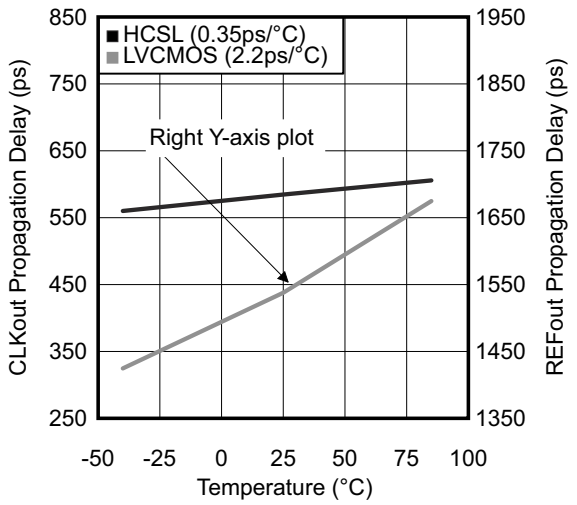


图 5-9. 传播延迟与温度间的关系

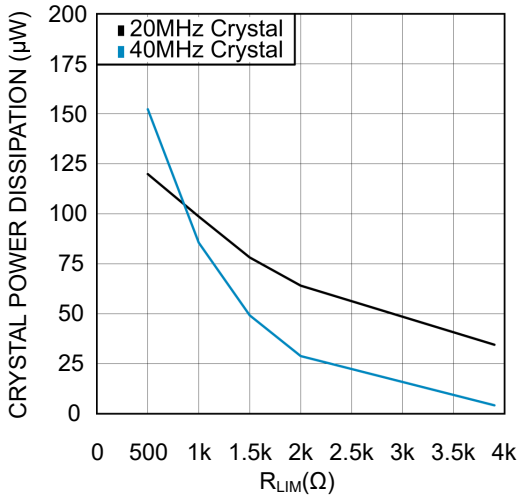


图 5-10. 晶体功率耗散与 R_{LIM} 间的关系

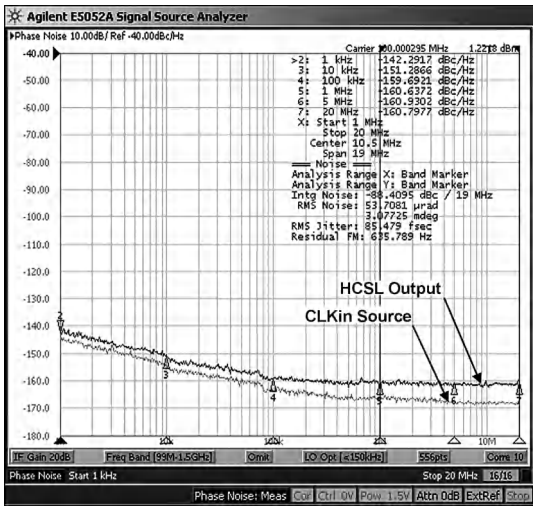


图 5-11. 100MHz 频率下的 HCSL 相位噪声

6 参数测量信息

6.1 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和辨别这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD}，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS}，该参数通过计算得出。在 IC 中，此信号相对于接地是不存在的；它仅相对于差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS}，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 6-1 并排显示了针对输入的两种不同定义，而 图 6-2 并排显示了针对输出的两种不同定义。V_{ID}（或 V_{OD}）定义显示直流电平 V_{IH} 和 V_{OL}（或 V_{OH} 和 V_{OL}），同相信号和反相信号均在这两种电平之间切换（相对于接地）。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)，V_{SS} 通常定义为电压峰峰值 (V_{PP})。

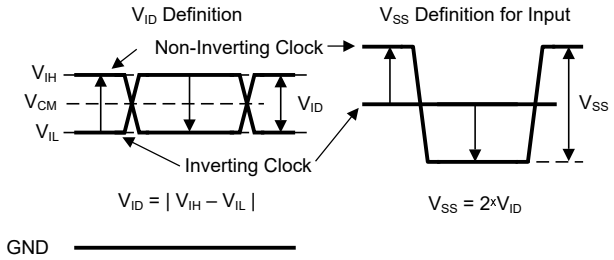


图 6-1. 差分输入信号的两种不同定义

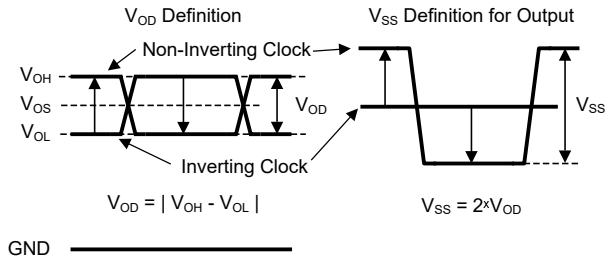


图 6-2. 差分输出信号的两种不同定义

有关更多信息，请参阅*通用数据传输参数及其定义* 应用手册。

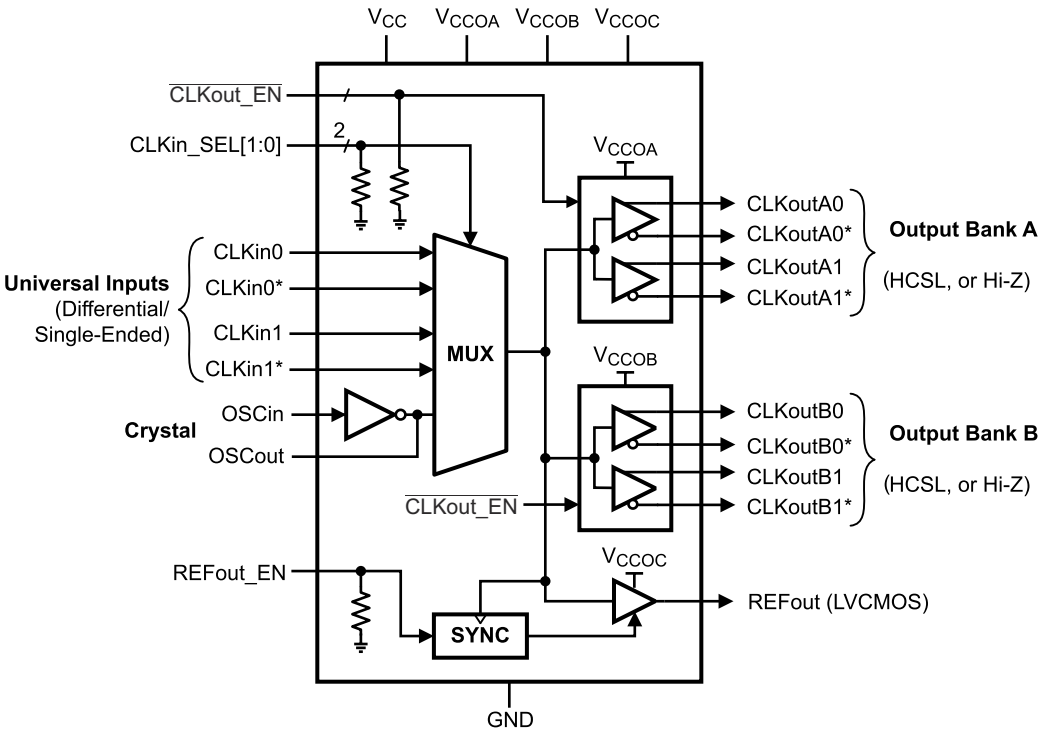
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

LMK00334 是一款具有低附加抖动的四路输出 HCSL 时钟扇出缓冲器，工作频率可高达 400MHz。该器件配备一个 3:1 输入多路复用器（具有可选晶体振荡器输入）、两组 HCSL 输出（每组两个）、一个 LVCMOS 输出以及三个独立的输出缓冲器电源。输入选择和输出缓冲器模式通过引脚绑定进行控制。该器件采用 32 引脚 WQFN 封装，并利用了 LMK04800 系列时钟调节器中大量应用的高速、低噪声电路设计。

7.2 功能方框图



7.3 特性说明

7.3.1 晶体功率耗散与 R_{LIM} 间的关系

对于图 5-10，以下各项适用：

- 图中的典型 RMS 抖动值显示了每种输出缓冲器类型的总输出 RMS 抖动 (J_{OUT}) 和源时钟 RMS 抖动 (J_{SOURCE})。根据这些值，附加 RMS 抖动可计算为：$J_{ADD} = SQRT(J_{OUT}^2 - J_{SOURCE}^2)$。
- 20MHz 晶体特性：Abracon ABL 系列，AT 切割，C_L = 18pF，C_0 = 4.4pF（测量值，最大 7pF），ESR = 8.5Ω（测量值，最大 40Ω），驱动电平 = 1mW（最大值，典型值 100μW）。
- 40MHz 晶体特性：Abracon ABLS2 系列，AT 切割，C_L = 18pF，C_0 = 5pF（测量值，最大 7pF），ESR = 5Ω（测量值，最大 40Ω），驱动电平 = 1mW（最大值，典型值 100μW）。

7.3.2 时钟输入

输入时钟可从 CLKin0/CLKin0*、CLKin1/CLKin1* 或 OSCin 中选择。时钟输入选择通过 CLKin_SEL[1:0] 输入控制，如表 7-1 所示。有关时钟输入要求，请参阅*驱动时钟输入*。选择 CLKin0 或 CLKin1 后，晶体电路断电。选择 OSCin 后，晶体振荡器电路启动，并且时钟将分配给所有输出。更多信息，请参阅*晶体接口*。或者，OSCin 可以由单端时钟（最高 250MHz）而不是晶体驱动。

表 7-1. 输入选择

CLKin_SEL1	CLKin_SEL0	所选输入
0	0	CLKin0, CLKin0*
0	1	CLKin1, CLKin1*
1	X	OSCin

表 7-2 显示选择 CLKin0/CLKin0* 或 CLKin1/CLKin1* 时输出逻辑状态与输入状态间的关系。选择 OSCin 时，输出状态是 OSCin 输入状态的反相复制。

表 7-2. CLKin 输入与输出状态间的关系

所选 CLKin 的状态	已使能输出的状态
CLKinX 和 CLKinX* 输入悬空	逻辑低电平
CLKinX 和 CLKinX* 输入短接	逻辑低电平
CLKin 逻辑低电平	逻辑低电平
CLKin 逻辑高电平	逻辑高电平

7.3.3 时钟输出

可以使用 $\overline{\text{CLKout_EN}}$ [1:0] 将组 A 和 B 输出的 HCSL 输出缓冲器设置为禁用 (Hi-Z)，如表 7-3 所示。对于不需要所有差分输出的应用，任何未使用的输出引脚都必须以最小的覆铜长度保持悬空（请参阅下文注释），以更大限度地减小电容和电位耦合并降低功耗。如果未使用所有差分输出，TI 建议禁用 (Hi-Z) 组以降低功耗。有关输出接口和端接技术的更多信息，请参阅*终止和使用时钟驱动器*。

备注

为实现最佳焊接效果，任何未使用引脚的最小布线长度都必须延长至包含引脚阻焊层。这样，在回流焊过程中，焊料具有与连接引脚相同的覆铜区域。这样可以形成良好、均匀的圆角焊点，有助于在回流焊过程中保持 IC 水平。

表 7-3. 差分输出缓冲器类型选择

$\overline{\text{CLKout_EN}}$	CLKoutX 缓冲器类型（组 A 和 B）
0	HCSL
1	禁用（高阻态）

Copyright © 2025 Texas Instruments Incorporated

7.3.3.1 基准输出

基准输出 (REFout) 提供所选输入时钟的 LVCMOS 复制信号。LVCMOS 输出高电平以 V_{CCO} 电压为基准。可以使用使能输入引脚 REFout_EN 来使能或禁用 REFout，如表 7-4 所示。

表 7-4. 基准输出使能

REFout_EN	REFout 状态
0	禁用（高阻态）
1	启用

REFout_EN 输入由 SYNC 块与所选输入时钟进行内部同步。此同步功能可防止在使能或禁用时 REFout 时钟上出现毛刺和短脉冲。REFout_EN 切换为高电平后，将在输入时钟的三个周期 (t_{EN}) 内使能 REFout。REFout_EN 切换为低电平后，将在输入时钟的三个周期 (t_{DIS}) 内禁用 REFout。

禁用 REFout 后，可以使用电阻负载将输出设置为预先确定的电平。例如，如果 REFout 配置为 1kΩ 负载接地，则禁用时输出被拉至低电平。

7.4 器件功能模式

7.4.1 V_{CC} 和 V_{CCO} 电源

LMK00334 具有独立的 3.3V 内核电源 (V_{CC}) 和三个独立的 3.3V 或 2.5V 输出电源（V_{CCOA}、V_{CCOB}、V_{CCOC}）。输出电源在 2.5V 电压下工作可实现更低的功耗，并使输出电平与 2.5V 接收器器件兼容。HCSL 的输出电平在指定的 V_{CCO} 范围内相对恒定。有关功率耗散、电源旁路和电源纹波抑制 (PSRR) 等其他电源相关注意事项，请参阅*电源相关建议*。

备注

请务必确认 V_{CCO} 电压未超过 V_{CC} 电压，以防止导通内部 ESD 保护电路。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

常见的 PCIe 应用（例如服务器卡）由多个构建块组成，这些构建块都需要基准时钟。在最常用的通用 RefClk 架构中，时钟从单个源分配给 RX 和 TX。这需要一个具有高输出数的时钟发生器，或一个类似 LMK00334 的缓冲器。缓冲器可简化时钟树，并提供成本和空间经过优化的设计。在使用缓冲器分配时钟时，必须考虑附加抖动。LMK00334 是一款超低附加抖动的 PCIe 时钟缓冲器，专为当前和未来的所有各代 PCIe 而设计。

8.2 典型应用

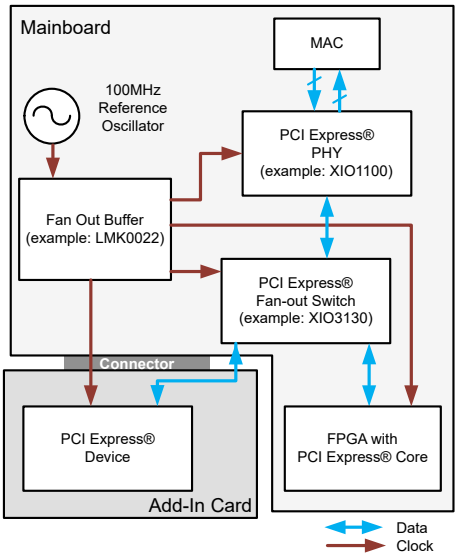


图 8-1. PCI Express 应用示例

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

8.2.1.1 驱动时钟输入

LMK00334 具有两个通用输入（CLKin0/CLKin0* 和 CLKin1/CLKin1*），可接受符合*电气特性* 中规定输入要求的直流耦合 3.3V 或 2.5V LVPECL、LVDS、CML、SSTL 及其他差分和单端信号。由于具有宽输入共模电压范围 (V_{CM}) 和输入电压摆幅 (V_{ID})/动态范围，该器件可以接受各种信号。对于 50% 占空比和直流平衡信号，还可以采用交流耦合将输入信号移位到 V_{CM} 范围内。请参阅*终止和使用时钟驱动器* 以了解信号接口和端接技术。

为了实现可能的更佳相位噪声和抖动性能，输入必须具有 3V/ns（差分）或更高的高压摆率。以较低的压摆率驱动输入可降低本底噪声和抖动。因此，建议使用差分信号输入而不是单端信号输入，因为差分信号输入通常可提供更高的压摆率和共模抑制。请参阅*典型特性* 中的*本底噪声与 CLKin 压摆率间的关系* 和 *RMS 抖动与 CLKin 压摆率间的关系* 图。

虽然 TI 建议使用差分信号输入来驱动 CLKin/CLKin* 对，但如果时钟符合*电气特性* 中列出的 CLKin 引脚的单端输入规格，也可以使用单端时钟来驱动。对于较大的单端输入信号（例如 3.3V 或 2.5V LVCMOS），必须在输入端附近放置一个 50Ω 负载电阻器以实现信号衰减，防止输入过驱和线路端接，从而更大限度地减少反射。同样，单端输入压摆率必须尽可能高，以更大限度地减少性能下降。CLKin 输入的内部偏置电压约为 1.4V，因此输入可以进行交流耦合，如图 8-2 所示。LVCMOS 驱动器的输出阻抗加上 Rs 必须接近 50Ω，以匹配传输线路和负载终端的特征阻抗。

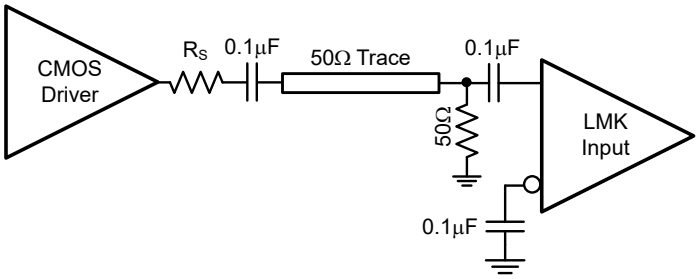


图 8-2. 交流耦合单端 LVCMOS 输入

单端时钟也可以直流耦合到 CLKinX，如图 8-3 所示。50Ω 负载电阻器必须放在 CLKin 输入端附近，以实现信号衰减和线路端接。由于驱动器单端摆幅的一半 ($V_{O,PP}/2$) 驱动 CLKinX，因此 CLKinX* 必须从外部偏置到衰减输入摆幅的中点电压 (($V_{O,PP}/2$) × 0.5)。外部偏置电压必须在规定的输入共模电压 (V_{CM}) 范围内。这可以通过使用 kΩ 范围内的外部偏置电阻器（R_{B1} 和 R_{B2}）或另一个低噪声电压基准来实现。这验证了输入摆幅在输入压摆率最高点是否超过阈值电压。

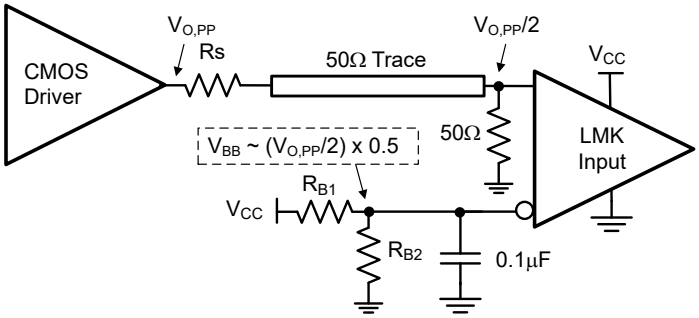


图 8-3. 单端 LVCMOS 输入，直流耦合并带共模偏置

如果未使用晶体振荡器电路，则可以使用单端外部时钟驱动 OSCin 输入，如图 8-4 所示。输入时钟必须交流耦合到 OSCin 引脚（该引脚具有内部生成的输入偏置电压），并且 OSCout 引脚必须保持悬空。虽然 OSCin 提供了一个多路复用外部时钟的备用输入，但 TI 建议使用任一通用输入 (CLKinX)，因这些输入可提供更高的工作频率、更好的共模和电源噪声抑制，并在电源电压和温度变化范围内具有更优的性能。

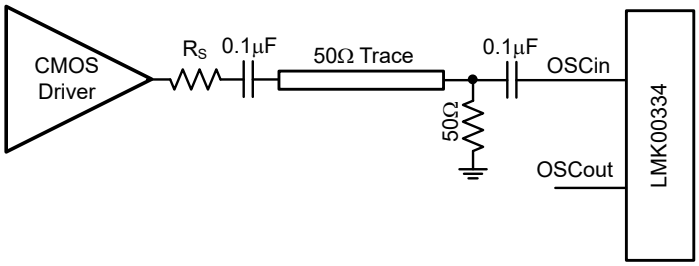


图 8-4. 使用单端输入驱动 OSCin

8.2.1.2 晶体接口

LMK00334 具有一个积分晶体振荡器电路，可支持基本模式 AT 切割晶体。晶体接口如图 8-5 所示。

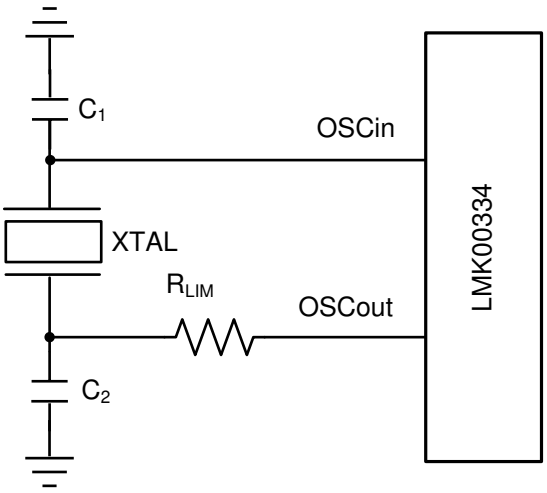


图 8-5. 晶体接口

负载电容 (C_L) 取决于晶体，但通常约为 18pF 至 20pF。虽然为晶体指定了 C_L，但器件的 OSCin 输入电容（典型值 C_{IN} = 1pF）和 PCB 杂散电容（C_{STRAY} 约为 1pF 到 3pF）会影响分立式负载电容值 C_1 和 C_2。

对于并联谐振电路，分立式电容值可按如下方式计算：

$$C_L = (C_1 \times C_2) / (C_1 + C_2) + C_{IN} + C_{STRAY} \quad (1)$$

通常，$C_1 = C_2$ 以获得最佳对称性，因此可以仅使用 C_1 重写方程式 1：

$$C_L = C_1{}^2 / (2 \times C_1) + C_{IN} + C_{STRAY} \quad (2)$$

最后，求解 C_1：

$$C_1 = (C_L - C_{IN} - C_{STRAY}) \times 2 \quad (3)$$

电气特性 为晶体接口规格提供了验证晶体启动的条件，但*电气特性* 未规定晶体功率耗散。设计人员必须确认晶体功率耗散未超过晶体制造商指定的最大驱动电平。过度驱动晶体会导致过早老化、频率移位，并最终导致故障。驱动电平必须保持在足以启动和保持稳态运行所需的电平。

晶体中耗散的功率 P_{XTAL} 可通过以下公式计算：

$$P_{XTAL} = I_{RMS}{}^2 \times R_{ESR} \times (1 + C_0/C_L)^2 \quad (4)$$

Copyright © 2025 Texas Instruments Incorporated

其中

- I_{RMS} 是通过晶体的 RMS 电流。
- R_{ESR} 为晶体规定的最大等效串联电阻
- C_L 是为晶体规定的负载电容
- C_0 是为晶体规定的最小并联电容

I_{RMS} 可以通过电流探头（例如 Tektronix CT-6 或等效器件）进行测量，该探头放在连接到 OSCout 的晶体引脚上（振荡电路处于激活状态）。

如图 8-5 所示，必要时可以使用外部电阻器 R_{LIM} 限制晶体驱动电平。如果所选晶体中耗散的功率高于在 R_{LIM} 短接时为晶体规定的驱动电平，则必须使用更大的电阻值以避免过驱晶体。但是，如果晶体中耗散的功率低于 R_{LIM} 短接时的驱动电平，则 R_{LIM} 可以使用零值。作为起始值，R_{LIM} 的建议值为 1.5kΩ。

8.2.2 详细设计过程

8.2.2.1 终止和使用时钟驱动器

在端接时钟驱动器时，请牢记以下有关实现出色相位噪声和抖动性能的指导原则：

- 为了实现良好的阻抗匹配以防止反射，必须遵循传输线路理论。
- 时钟驱动器必须具有适当的负载。
  - HCSL 驱动器是开关电流输出，需要通过 50Ω 端接电阻器接地的直流路径。
- 为了确保接收器正常工作，必须向接收器发送偏置到指定直流偏置电平（共模电压）的信号。一些接收器具有自偏置输入，可自动偏置到适当的电压电平；在这种情况下，信号通常必须是交流耦合的。

8.2.2.2 终止直流耦合差分操作

对于 HCSL 驱动器的直流耦合操作，在驱动器输出端附近使用 50Ω 电阻器接地，如图 8-6 所示。可以使用串联电阻器 Rs 来限制由快速瞬态电流引起的过冲。由于 HCSL 驱动器需要直流接地路径，因此不允许在输出驱动器和 50Ω 端接电阻器之间使用交流耦合。

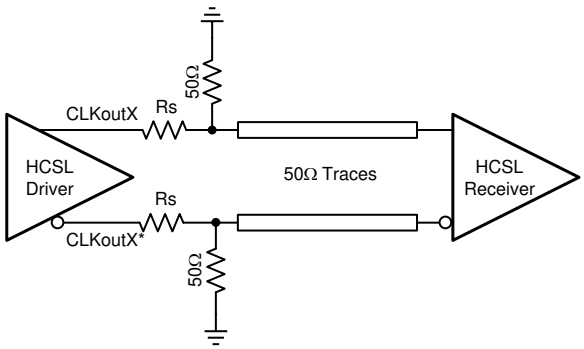


图 8-6. HCSL 操作，直流耦合

8.2.2.3 终止交流耦合差分操作

交流耦合可在驱动不同接收器标准时改变直流偏置电平（共模电压）。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此请验证接收器是否偏置到其最佳直流电平。

8.2.3 应用曲线

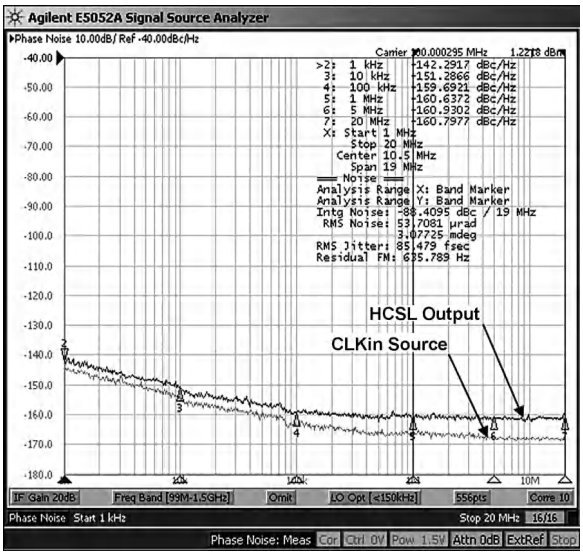


图 8-7. 100MHz 频率下的 HCSL 相位噪声

8.3 电源相关建议

8.3.1 电流消耗和功率耗散计算

电气特性 中指定的电流消耗值可用于计算任何器件配置的总功率耗散和 IC 功率耗散。总 V_{CC} 内核电源电流 (I_{CC_TOTAL}) 可以使用方程式 5 计算得出：

$$I_{CC_TOTAL} = I_{CC_CORE} + I_{CC_BANKS} + I_{CC_CMOS} \quad (5)$$

其中

- I_{CC_CORE} 是内核逻辑和输入块的 V_{CC} 电流，取决于所选输入（CLKinX 或 OSCin）。
- I_{CC_HCSL} 是 A 组和 B 组的 V_{CC} 电流
- I_{CC_CMOS} 是 LVCMOS 输出的 V_{CC} 电流（如果禁用 REFout，则为 0mA）。

由于输出电源（V_{CCOA}、V_{CCOB}、V_{CCOC}）可以由三个独立的电压供电，因此必须分别计算相应的输出电源电流（$I_{CCO_BANK_A}$，$I_{CCO_BANK_B}$ 和 I_{CCO_CMOS}）。

如果输出负载与指定条件相匹配，则 A 组或 B 组的 I_{CCO_BANK} 可视为为两组指定的相应输出电源电流的 50% (I_{CCO_HCSL})。否则，必须如方程式 6 所示计算每组的 I_{CCO_BANK}：

$$I_{CCO_BANK} = I_{BANK_BIAS} + (N \times I_{OUT_LOAD}) \quad (6)$$

其中

- I_{BANK_BIAS} 是输出组偏置电流（固定值）。
- I_{OUT_LOAD} 是每个负载输出对的直流负载电流。
- N 是已加载的输出对数（N = 0 到 2）。

表 8-1 显示 HCSL 的典型 I_{BANK_BIAS} 值和 I_{OUT_LOAD} 表达式。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 典型输出组偏置和负载电流

电流参数	HCSL
I_{BANK_BIAS}	2.4mA
I_{OUT_LOAD}	V_{OH}/R_T

知悉每个电源的电流消耗后，可以通过方程式 7 计算总功率耗散 (P_{TOTAL})：

$$P_{TOTAL} = (V_{CC} \times I_{CC_TOTAL}) + (V_{CCOA} \times I_{CCO_BANK}) + (V_{CCOB} \times I_{CCO_BANK}) + (V_{CCOC} \times I_{CCO_CMOS}) \quad (7)$$

如果器件配置有 HCSL 输出，则还需要计算任何端接电阻器 (P_{RT_HCSL}) 中耗散的功率。可以通过方程式 8 计算外部功率耗散值：

$$P_{RT_HCSL} \text{ (per HCSL pair)} = V_{OH}{}^2 / R_T \quad (8)$$

最后，可以通过从 P_{TOTAL} 中减去外部功率耗散值来计算 IC 功率耗散 (P_{DEVICE})，如方程式 9 所示：

$$P_{DEVICE} = P_{TOTAL} - N \times P_{RT_HCSL} \quad (9)$$

其中

- N 是带有至 GND 端接电阻器的 HCSL 输出对数量。

8.3.1.1 功率耗散示例：最坏情况下的功耗

本示例展示如何计算配置的 IC 功率耗散以估计**最坏情况下的功率耗散**。在这种情况下，使用*电气特性* 中指定的最大电源电压和电源电流值：

- 最大 V_{CC} = V_{CCO} = 3.465V。最大 I_{CC} 和 I_{CCO} 值。
- 所选 CLKin0/CLKin0* 输入。
- 使能 A 组和 B 组，且所有输出都将 50Ω 电阻器端接至 GND。
- 使能 REFout，负载为 5pF。
- T_A =85°C

通过上一节中的功率计算和*最大*电源电流规格，用户可以计算 P_{TOTAL} 和 P_{DEVICE}。

- 根据方程式 5： I_{CC_TOTAL} = 10.5mA + 58.5mA + 5.5mA = 74.5mA
- 根据 I_{CCO_HCSL} 最大规格：I_{CCO_BANK} = 50% 的 I_{CCO_HCSL} = 40.75mA
- 根据方程式 7： P_{TOTAL} = (3.465V × 74.5mA) + (3.465V × 40.75mA) + (3.465V × 40.75mA) + (3.465V × 10mA) = 575.2mW
- 根据方程式 8：P_{RT_HCSL} = $(0.92V)^2$ / 50Ω = 16.9mW（每对输出）
- 根据方程式 9： P_{DEVICE} = 575.2mW – (4 × 16.9mW) = 510.4mW

在该最坏情况示例中，IC 器件消耗约为 510.4mW，即总功率 (575.2mW) 的 88.7%，而其余的 11.3% 消耗在终端电阻上（4 对共 64.8mW）。根据 38.1°C/W 的 $R_{\theta JA}$，在 T_A = 85°C 时估算的裸片结温比环境高约 19.4°C（即 104.4°C）。

Copyright © 2025 Texas Instruments Incorporated

8.3.2 电源旁路

V_{CC} 和 V_{CCO} 电源必须靠近每个电源引脚放置一个高频旁路电容器（例如 0.1μF 或 0.01μF）。还必须在电源与接地平面之间的器件附近放置 1μF 至 10μF 去耦电容器。所有旁路电容器和去耦电容器都必须通过短走线或过孔与电源和接地平面进行短连接，以便更大限度地减小串联电感。

8.3.2.1 电源纹波抑制

在实际系统应用中，电源噪声（纹波）可能由开关电源、数字 ASIC 或 FPGA 等产生。虽然电源旁路有助于滤除部分此类噪声，但了解电源纹波对器件性能的影响非常重要。将单音正弦信号施加到 LMK00334 等时钟分配器件的电源时，该信号可以在时钟输出（载波）上产生窄带相位调制以及幅度调制。在单边带相位噪声频谱中，纹波引起的相位调制显示为相对于载波的相位杂散电平（测量单位为 dBc）。

对于 LMK00334，电源纹波抑制（或 PSRR）测量为：将纹波信号注入 V_{CCO} 电源时，调制到时钟输出上的单边带相位杂散电平（单位为 dBc）。PSRR 测试设置如图 8-8 所示。

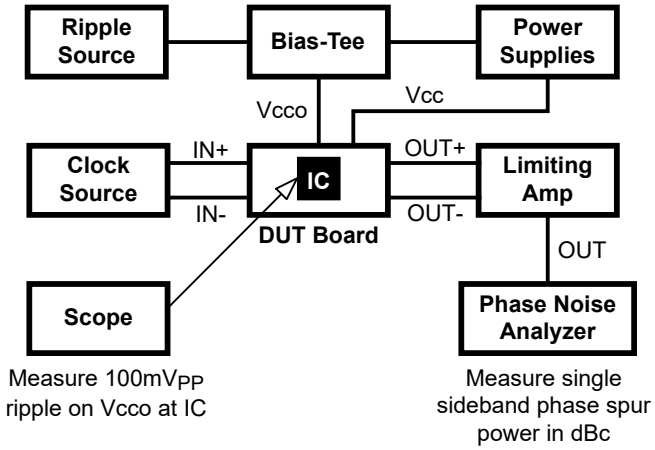


图 8-8. PSRR 测试设置

信号发生器用于将正弦信号注入 DUT 板的 V_{CCO} 电源，在器件的 V_{CCO} 引脚处测量峰值间纹波幅度。限幅放大器用于消除差分输出时钟上的幅度调制，并将信号转换为单端信号供相位噪声分析仪使用。在以下电源纹波条件下，对 156.25MHz 和 312.5MHz 的时钟频率进行相位杂散电平测量：

- 纹波幅度：V_{CCO} = 2.5V 时为 100mVpp
- 纹波频率：100kHz、1MHz 和 10MHz

假设没有幅度调制效应且调制指数较小，则可以使用测量的单边带相位杂散电平 (PSRR) 来计算峰值间确定性抖动 (DJ)，如下所示：

$$DJ\ (ps\ pk\text{-}pk) = [(2 \times 10^{(PSRR\ /\ 20)}) / (\pi \times f_{CLK})] \times 10^{12} \quad (10)$$

典型特性 中的 *PSRR 与纹波频率间的关系* 图显示 156.25MHz 和 312.5MHz 处纹波引起的相位杂散电平。LMK00334 在整个纹波频率范围内表现出非常出色且性能良好的 PSRR 特性。HCSL 的相位杂散电平在 156.25MHz 处低于 –72dBc，在 312.5MHz 处低于 –63dBc。使用方程式 10，这些相位杂散电平对应的峰值间确定性抖动值为：在 156.25MHz 处为 1.02ps 和在 312.5MHz 处为 1.44ps。测试表明，在相同的纹波幅度和频率条件下，当 V_{CCO} = 3.3V 时，器件的 PSRR 性能有所提升。

8.4 布局

8.4.1 布局指南

对于此器件，请考虑以下指南：

- 对于 HCSL 驱动器的直流耦合操作，在驱动器输出端附近使用 50Ω 电阻器接地，如图 8-9 所示。

- 使旁路电容器与器件电源之间的连接尽可能短。
- 使用与接地平面的低阻抗连接将电容器的另一侧接地。
- 如果电容器安装在背面，则可以采用 0402 元件。但是，很难焊接到散热焊盘上。
- 如果安装在元件侧，请使用 0201 本体尺寸的电容器以方便信号布线。

8.4.2 布局示例

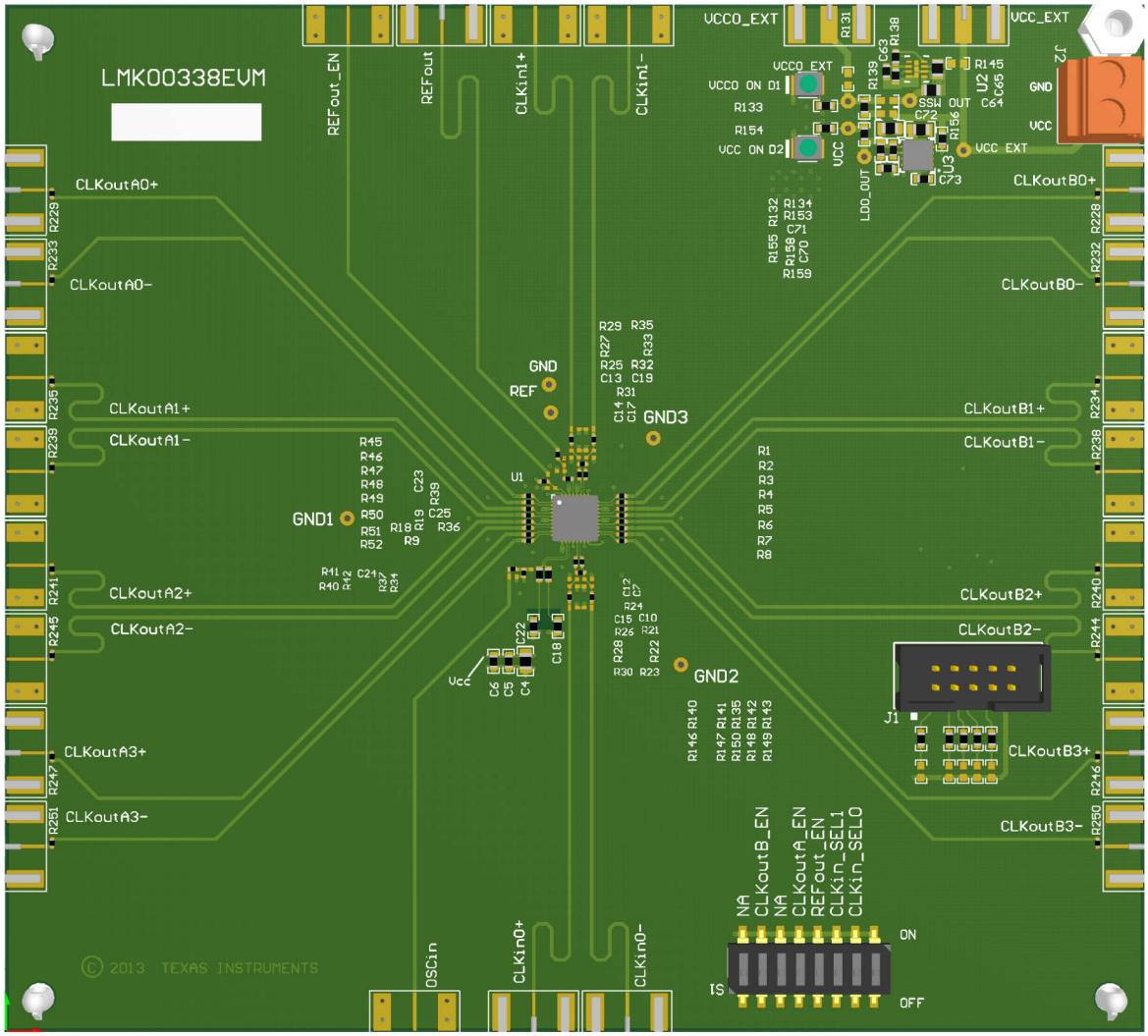


图 8-9. LMK00334 布局示例

Copyright © 2025 Texas Instruments Incorporated

8.4.3 热管理

LMK00334 器件中的功率耗散可能非常高，需要注意热管理。出于可靠性和性能原因，芯片温度必须限制为最高 125°C。也就是说，根据估算，T_A（环境温度）加上器件功率耗散乘以 $R_{\theta JA}$ 不得超过 125°C。

该器件封装具有外露焊盘，为印刷电路板提供了主要散热路径以及良好的电气接地。为了更大限度地降低封装的热量，必须在封装的尺寸内将包括接地层多个过孔的散热焊盘布局合并到 PCB 中。必须将外露焊盘焊接到下方，从而为封装提供充分的导热。

建议的焊盘和过孔布局如图 8-10 所示。如需焊接 WQFN 封装的更多信息，可从以下网址获得：https://www.ti.com/packaging。

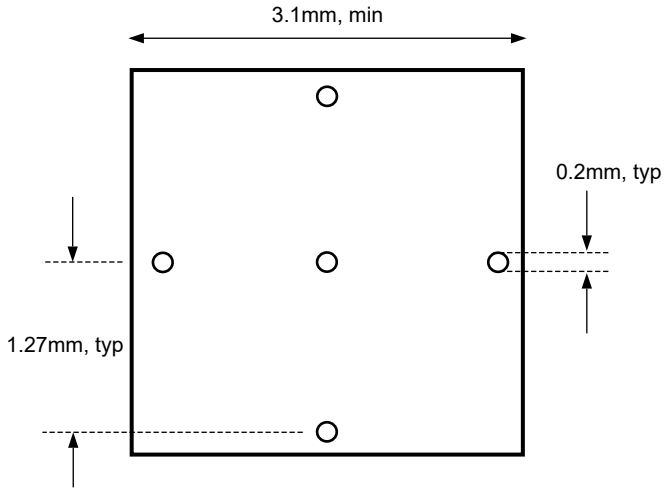


图 8-10. 建议的焊盘和过孔布局

为了更大限度地降低结温，TI 建议在 PCB 中构建一个简单的散热器（如果接地平面层未外露）。这将通过在 PCB 与器件侧相对的一侧包含大约 2 平方英寸的覆铜区域来实现。该覆铜区域可以进行电镀或焊接涂覆以防止腐蚀，但不得采用能够提供热绝缘的敷形涂层（如果可行）。图 8-10 中所示的过孔必须连接这些顶部和底部覆铜层并连接到接地层。这些过孔相当于*导热管道*，将热能从电路板的器件侧传导到可以更有效地散热的位置。

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*焊接的绝对最大额定值 应用手册*
- 德州仪器 (TI)，*通用数据传输参数及其定义* 应用手册
- 德州仪器 (TI)，德州仪器 (TI) E2E 社区论坛上的*“如何优化 PCIe 应用中的时钟分配”*
- 德州仪器 (TI)，*LMK00338EVM 用户指南*
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
PCIe® is a registered trademark of PCI-SIG.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (January 2022) to Revision F (August 2025)	Page
• 向*特性* 一节中添加了 PCIe 第 6 代和第 7 代附加抖动规格	1
• 更新了*特性* 一节中 PCIe 第 3 代到第 5 代的附加抖动规范	1
• 向*电气特性* 一节中添加了 PCIe 第 6 代和第 7 代附加抖动规格	5
• 更新了*电气特性* 一节中 PCIe 第 3 代到第 5 代的附加抖动规范	5

Changes from Revision D (July 2021) to Revision E (January 2022)	Page
• 更改了数据表标题	1

Copyright © 2025 Texas Instruments Incorporated

- 添加了指向*应用* 部分的链接 1
- 向*说明* 部分添加了文本 1
- 在*封装信息* 一节中增加示例电路板布局。 27

Changes from Revision C (July 2017) to Revision D (July 2021) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 在数据表中添加了 PCIe 第 5.0 代 1
- 将图 8-4 和图 8-5 中的 PN 更正为 LMK00334。 18

Changes from Revision B (May 2017) to Revision C (July 2017) **Page**

- 添加了 PCIe 4.0 合规性数据 5

Changes from Revision A (October 2014) to Revision B (May 2017) **Page**

- 已将整个数据表中的 CLKout_EN 引脚更改为 $\overline{\text{CLKout_EN}}$ 1
- 向*引脚功能* 表中添加引脚 28 和 32 3
- 将贮存温度移到了*绝对最大额定值* 表中 4
- 向*建议运行条件* 表中的输出电源电压参数添加了测试条件 5

Changes from Revision * (December 2013) to Revision A (October 2014) **Page**

- 添加、更新或重命名了以下各个部分：器件信息表、*应用和实施*；*电源建议*；*布局*；*器件和文档支持*；*机械、封装和可订购信息* 1
- 将*电气特性* 中的频率从 1MHz 更改为 12kHz 5
- 删除了“附加 RMS 抖动：附加 RMS 抖动近似计算得出...” 5

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK00334RTVR	Active	Production	WQFN (RTV) | 32	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K00334
LMK00334RTVR.A	Active	Production	WQFN (RTV) | 32	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K00334
LMK00334RTVT	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K00334
LMK00334RTVT.A	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	K00334

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK00334 :

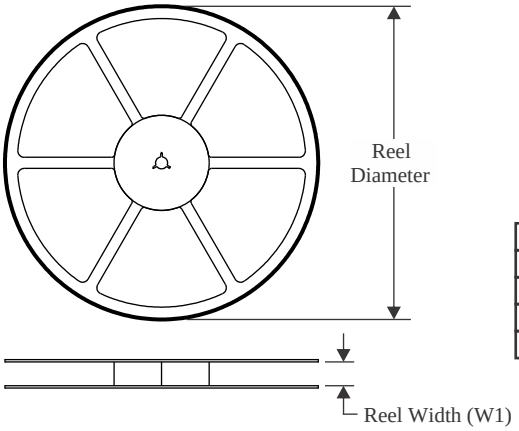
- Automotive : LMK00334-Q1

NOTE: Qualified Version Definitions:

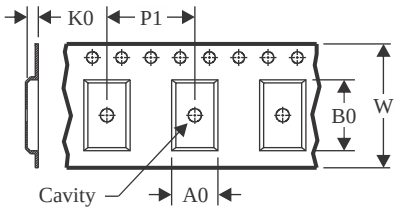
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

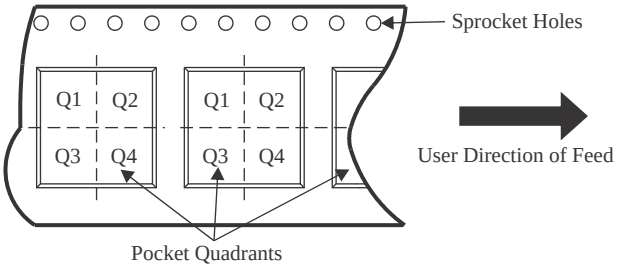


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

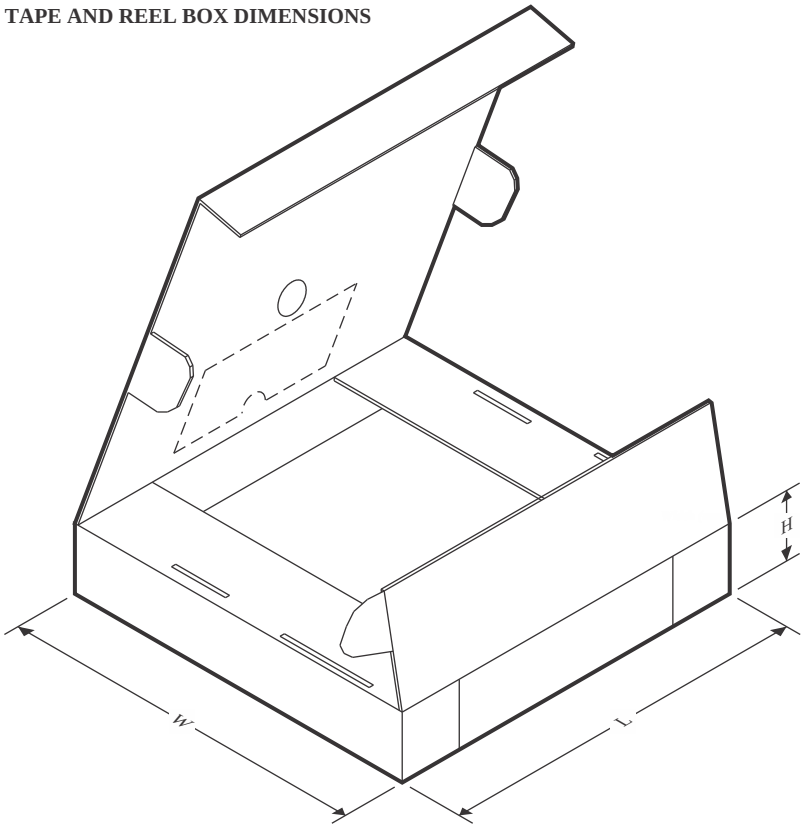
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK00334RTVR	WQFN	RTV	32	1000	177.8	12.4	5.3	5.3	1.3	8.0	12.0	Q1
LMK00334RTVT	WQFN	RTV	32	250	177.8	12.4	5.3	5.3	1.3	8.0	12.0	Q1

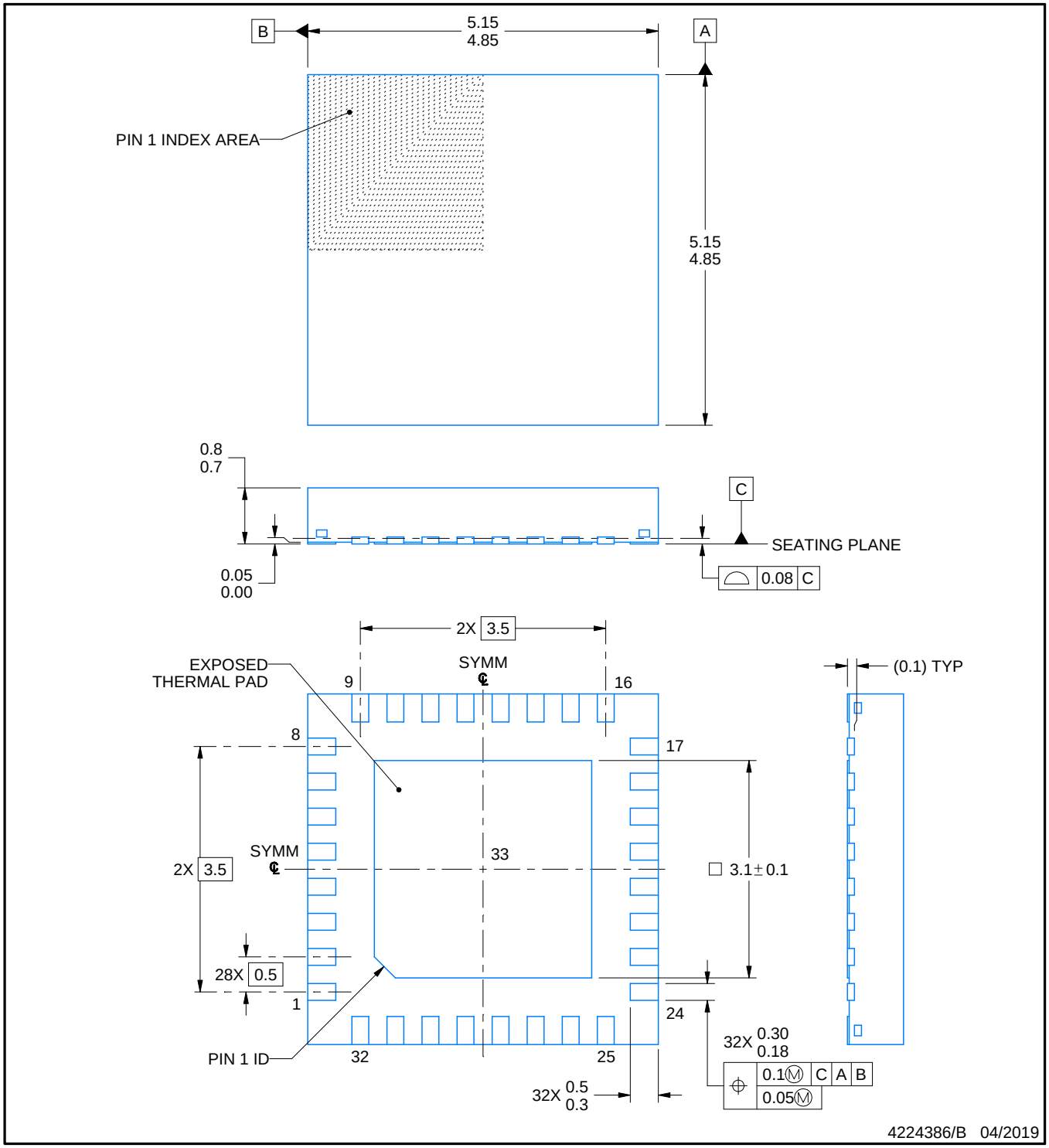
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

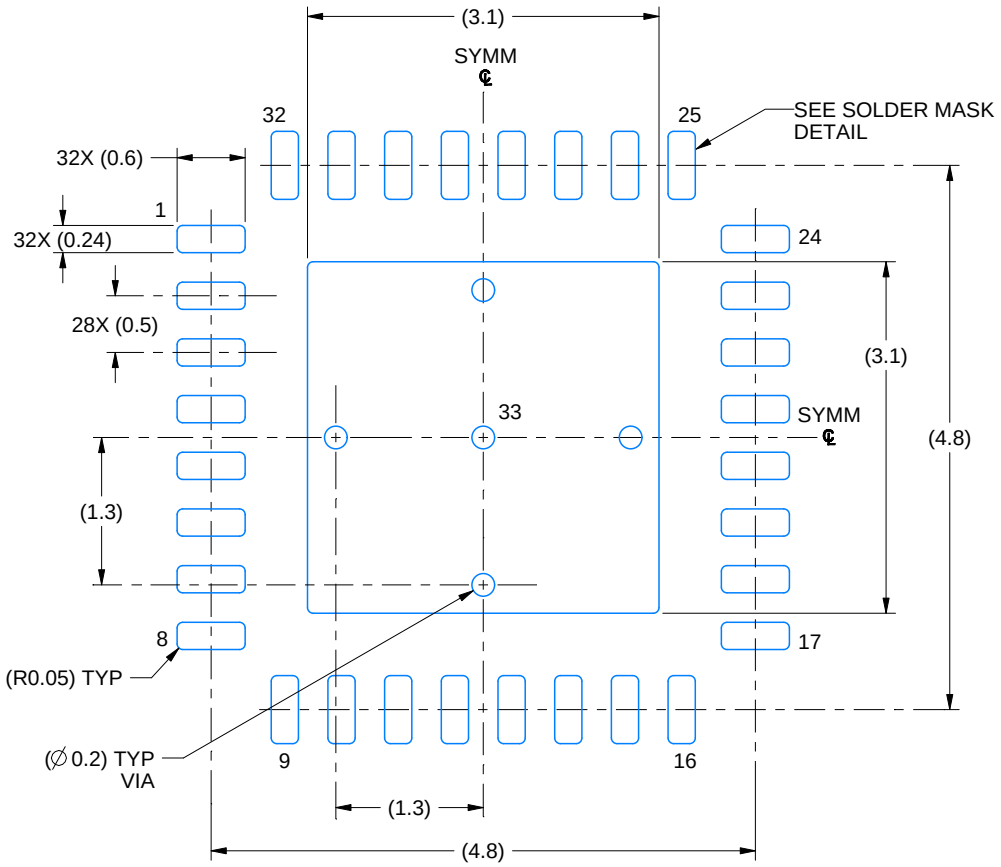
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK00334RTVR	WQFN	RTV	32	1000	208.0	191.0	35.0
LMK00334RTVT	WQFN	RTV	32	250	208.0	191.0	35.0

PLASTIC QUAD FLATPACK - NO LEAD

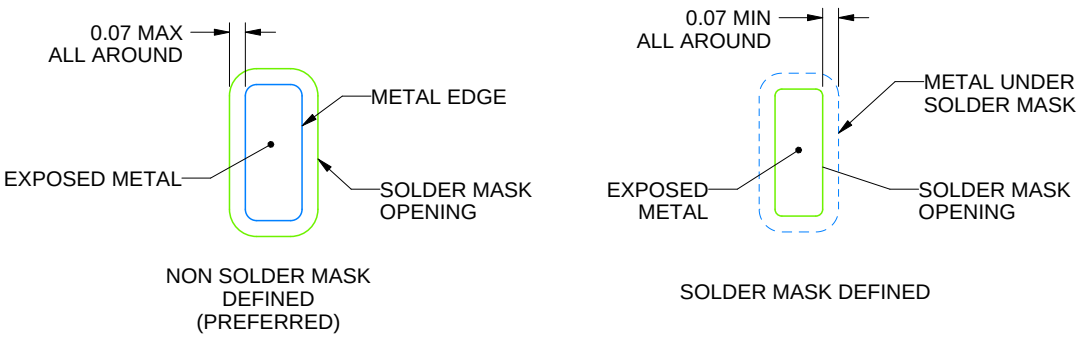


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

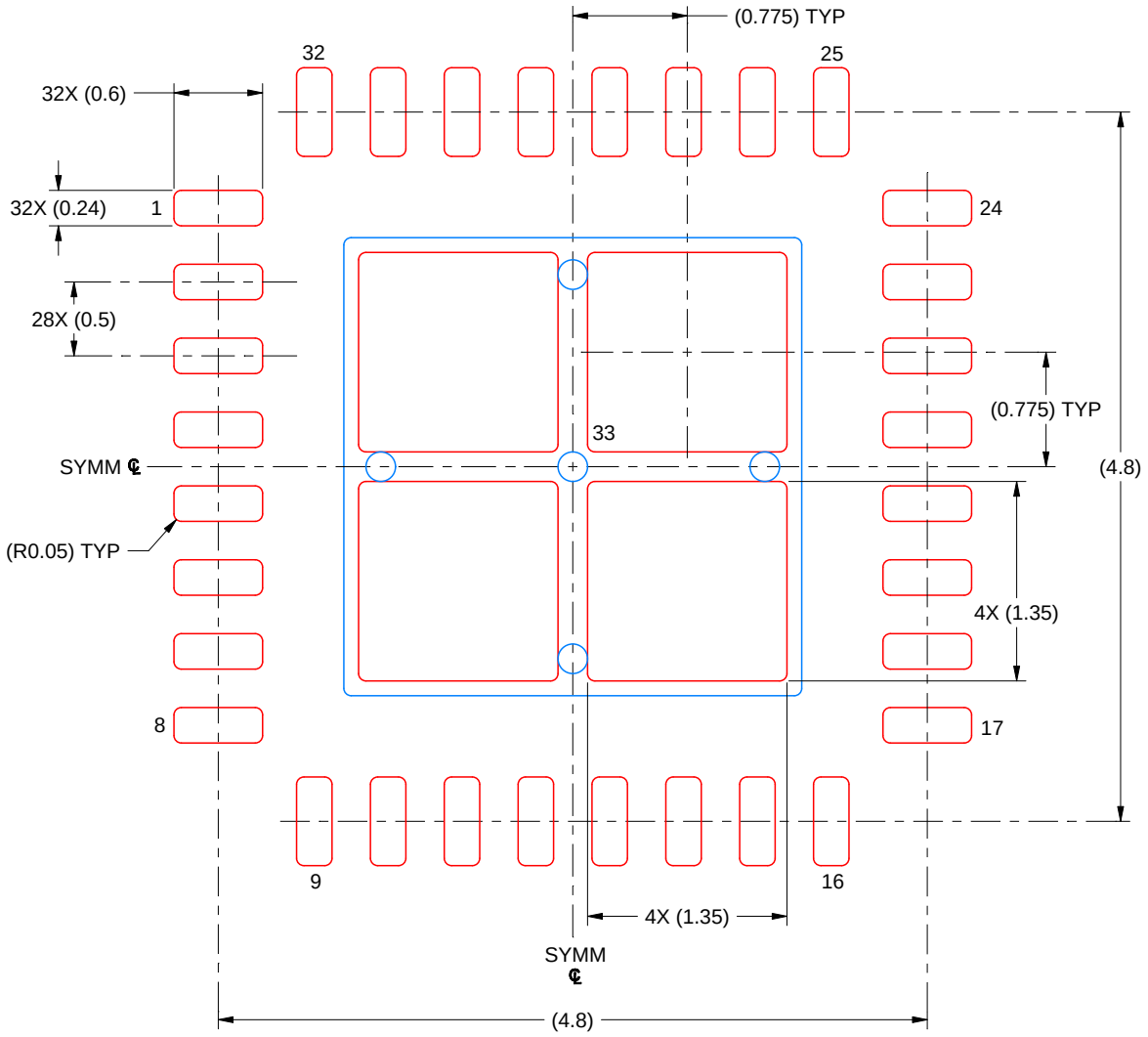


SOLDER MASK DETAILS

4224386/B 04/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 33
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4224386/B 04/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司