

LMG1025-Q1 适用于高频和窄脉冲应用的 汽车类低侧 GaN 和 MOSFET 驱动器

1 特性

- 符合 AEC-Q100 1 级标准
- 1.25ns 典型最小输入脉冲宽度
- 2.6ns 典型上升传播延迟
- 2.9ns 典型下降传播延迟
- 300ps 典型脉冲失真
- 独立 7A 上拉电流和 5A 下拉电流
- 650ps 典型上升时间 (220pF 负载)
- 850ps 典型下降时间 (220pF 负载)
- 2mm x 2mm QFN 封装
- 反相和同相输入
- UVLO 和过热保护
- 单一 5V 电源电压

2 应用

- 机械激光雷达
- 驾驶员监控
- 车辆乘员检测传感器
- 直流/直流转换器

3 说明

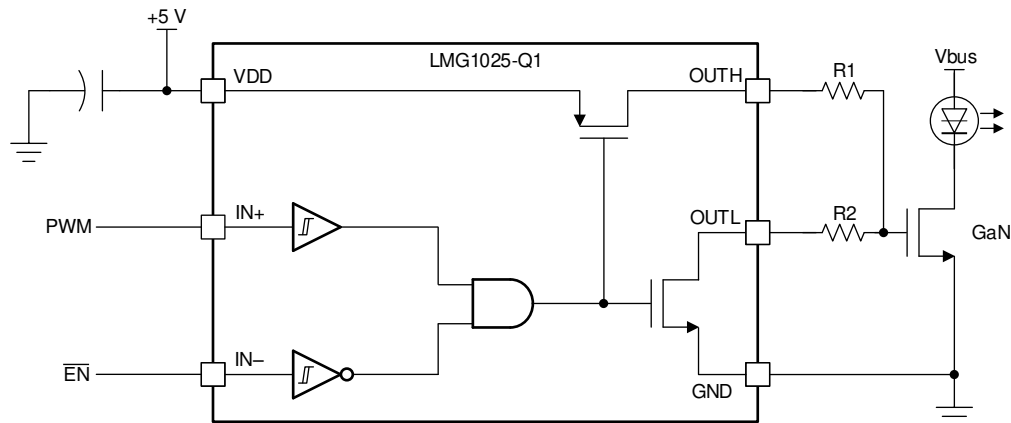
LMG1025-Q1 是一款单通道低侧增强模式 GaN FET 和逻辑电平 MOSFET 驱动器，适用于高开关频率汽车应用。窄脉宽功能、快速开关规范和小脉冲失真组合在一起，可以显著提高激光雷达、ToF 和电源转换器的性能。1.25ns 输出脉冲宽度可实现更强大的人眼安全型二极管脉冲。这与 300ns 失真相结合，可实现更远距离的精确激光雷达/ToF 系统。2.9ns 传播延迟可显著缩短控制环路响应时间，从而提高电源转换器的整体性能。利用分离输出，可以通过 OUTH、OUTL 和 FET 栅极之间的外部电阻来独立调节驱动强度和时序。

该驱动器具有欠压锁定 (UVLO) 和过热保护 (OTP) 功能，可确保过载或故障情况下不损坏器件。LMG1025-Q1 采用紧凑、无引线且符合 AEC-Q100 汽车标准的封装，可满足高开关频率汽车应用的尺寸和栅极环路电感要求。

器件信息

器件型号	封装 ⁽¹⁾	器身尺寸 (标称值)
LMG1025QDRVRQ1	DRV (WSO6)	2mm x 2mm
LMG1025QDEERQ1	DEE (WSO6)	2mm x 2mm

(1) 有关所有可用封装，请参阅节 12。



典型 (简化版) 系统图



内容

1 特性	1	7 应用和实施	10
2 应用	1	7.1 应用信息.....	10
3 说明	1	7.2 典型应用.....	10
4 引脚配置和功能	3	8 电源相关建议	15
5 规格	4	9 布局	16
5.1 绝对最大额定值.....	4	9.1 布局指南.....	16
5.2 ESD 等级.....	4	9.2 布局示例.....	16
5.3 建议运行条件.....	4	10 器件和文档支持	17
5.4 热性能信息.....	4	10.1 器件支持.....	17
5.5 电气特性.....	5	10.2 接收文档更新通知.....	17
5.6 开关特性.....	5	10.3 支持资源.....	17
5.7 典型特性.....	6	10.4 静电放电警告.....	17
6 详细说明	8	10.5 商标.....	17
6.1 概述.....	8	10.6 术语表.....	17
6.2 功能方框图.....	8	11 修订历史记录	17
6.3 特性说明.....	8	12 机械、封装和可订购信息	17
6.4 器件功能模式.....	9		

4 引脚配置和功能

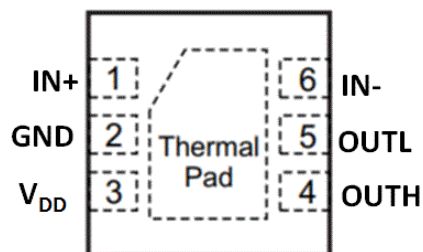


图 4-1. DEE 6 引脚 WSON 俯视图

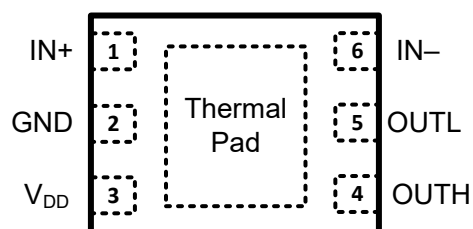


图 4-2. DRV 6 引脚 WSON 俯视图

表 4-1. 引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
GND	2	G	电源和源极回路。通过直接路径连接到晶体管源极。
IN+	1	I	正逻辑电平输入。
IN -	6	I	负逻辑电平输入。
OUTL	5	O	下拉栅极驱动输出。通过一个可选电阻连接到目标晶体管的栅极。
OUTH	4	O	上拉栅极驱动输出。通过一个电阻连接到目标晶体管的栅极。
VDD	3	P	输入电压电源。通过一个紧凑电容器去耦至 GND。
散热焊盘	-	-	通过基板内部连接到 GND。将此焊盘连接到较大的覆铜区，通常为接地平面。

(1) I = 输入，O = 输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

所有电压均为相对于 GND 引脚的电压。⁽¹⁾

		最小值	最大值	单位
V_{DD}	电源电压	0	5.75	V
V_{IN}	IN+、IN- 引脚电压	-0.3	$V_{DD} + 0.3$	V
V_{OUT}	OUTH、OUTL 引脚电压	-0.3	5.75	V
T_{STG}	贮存温度	-55	150	°C
T_J	工作温度	-40	150	°C

(1) 超出绝对最大额定值下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{DD}	电源电压	4.75	5	5.25	V
V_{INx}	IN+ 或 IN- 输入电压	0		V_{DD}	V
V_{OUTx}	OUTH、OUTL 引脚电压	0		5.25	V
T_J	工作温度	-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		LMG1025-Q1		单位
		DRV (WSON)	DEE (WSON)	
		6 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	72.4	66.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	90.1	87.3	°C/W
$R_{\theta JB}$	结至电路板热阻	35.8	30.8	°C/W
Ψ_{JT}	结至顶部特征参数	3.1	2.2	°C/W
Y_{JB}	结至电路板特征参数	35.8	30.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	13.8	6.7	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

VDD = 5V，从 VDD 到 GND 引脚具有良好馈通旁路电容器，在大气工作温度范围内（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
直流特性						
I _{VDD, Q}	VDD 静态电流	IN ₊ = IN ₋ = 0V			75	μA
I _{VDD, op}	VDD 工作电流	fsw = 30MHz，无负载，2 Ω 作为 R _{OUTH} 和 R _{OUTL}		40		mA
		fsw = 30MHz，100pF 负载，2 Ω 作为 R _{OUTH} 和 R _{OUTL}		51		mA
V _{DD, UVLO}	欠压锁定	V _{DD} 上升	4.0		4.35	V
Δ V _{DD, UVLO}	UVLO 迟滞			85		mV
T _{OTP}	过热关断阈值			170		°C
Δ T _{OTP}	过热迟滞			20		°C
输入直流特性						
V _{IH}	IN ₊ 、IN ₋ 高阈值		1.7		2.6	V
V _{IL}	IN ₊ 、IN ₋ 低阈值		1.1		1.8	V
V _{HYST}	IN ₊ 、IN ₋ 迟滞		0.38		1	V
R _{IN+}	正输入下拉电阻	至 GND	100	150	250	k Ω
R _{IN-}	负输入上拉电阻	至 V _{DD}	100	150	250	k Ω
C _{IN+}	正输入引脚电容	至 GND		1.45		pF
C _{IN-}	负输入引脚电容	至 GND		1.45		pF
输出直流特性						
V _{OL}	OUTL 电压	I _{OUTL} = 100mA，IN ₊ = IN ₋ = 0V			45	mV
V _{DD-VOH}	OUTH 电压	I _{OUTH} = 100mA，IN ₊ = 5V，IN ₋ = 0V，V _{DD} = 5V			52	mV
I _{OH}	峰值拉电流	V _{OUTH} = 0V，IN ₊ = 5V，IN ₋ = 0V，V _{DD} = 5V		7		A
I _{OL}	峰值灌电流	V _{OUTL} = 5V，IN ₊ = IN ₋ = 0V，V _{DD} = 5V		5		A

5.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t _{start}	启动时间，V _{DD} 上升至高于 UVLO	IN ₋ = GND，IN ₊ = V _{DD} ，V _{DD} 上升至高于 4.4V 至 OUTH 上升		40	78	μs
t _{shut-off}	ULVO 下降	IN ₋ = GND，IN ₊ = V _{DD} ，V _{DD} 下降至低于 3.9V 至 OUTH 下降	0.7	2.5	3.5	μs
t _{pd, r}	导通传播延迟	IN ₋ = 0V，IN ₊ 至 OUTH，100pF 负载	1.5	2.6	4.1	ns
t _{pd, f}	关断传播延迟	IN ₋ = 0V，IN ₊ 至 OUTL，100pF 负载	1.8	2.9	4.4	ns
Δ t _{pd}	脉冲正失真，(t _{pd, f} - t _{pd, r})		0	300	610	ps
t _{rise}	输出上升时间	0 Ω 串联 220pF 负载 ⁽¹⁾		650		ps
t _{fall}	输出下降时间	0 Ω 串联 220pF 负载 ⁽¹⁾		850		ps
t _{min}	可改变输出状态的最小输入脉冲宽度	0 Ω 串联 220pF 负载 ⁽¹⁾		1.25		ns

(1) 上升和下降时间计算为从 GaN FET 栅极电压的 20% 到 80% 所经历的时间。

5.7 典型特性

VDD = 5V

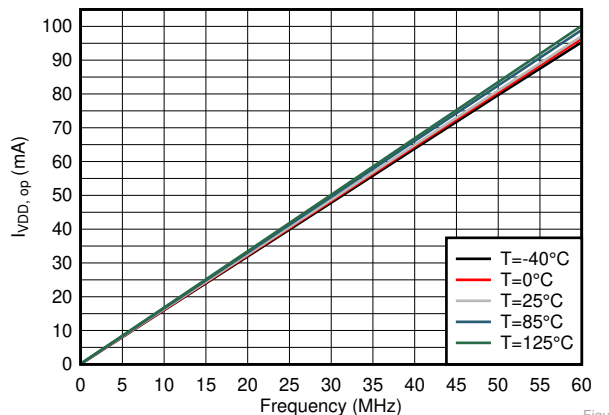


图 5-1. 100pF 负载下与 2Ω 串联的 $I_{VDD,op}$

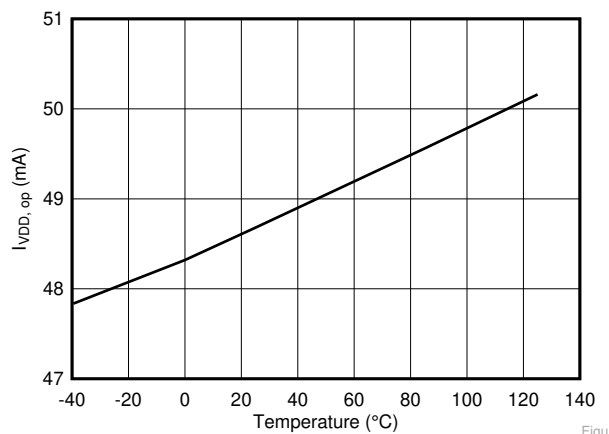


图 5-2. 100pF 负载下与 2Ω 串联的 $I_{VDD,op}$

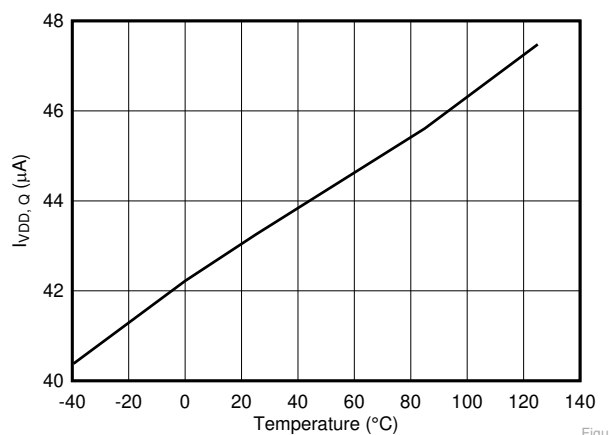


图 5-3. 静态电流

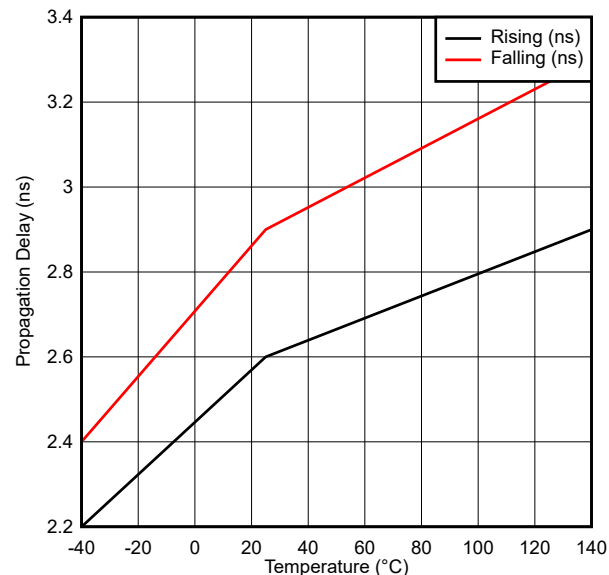


图 5-4. 100pF 负载下的传播延迟

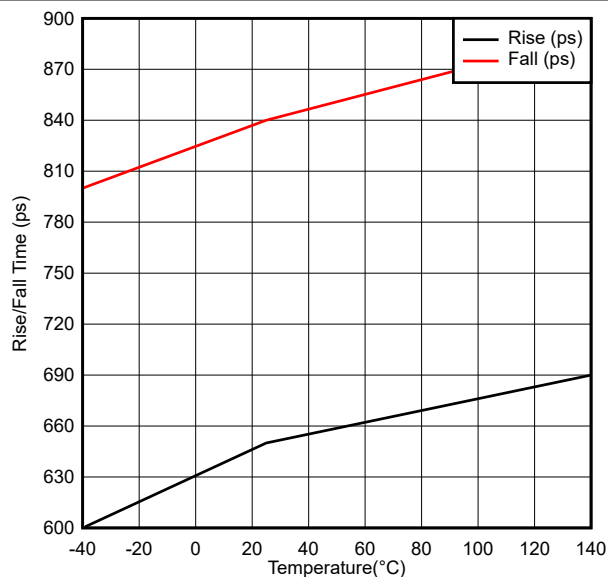


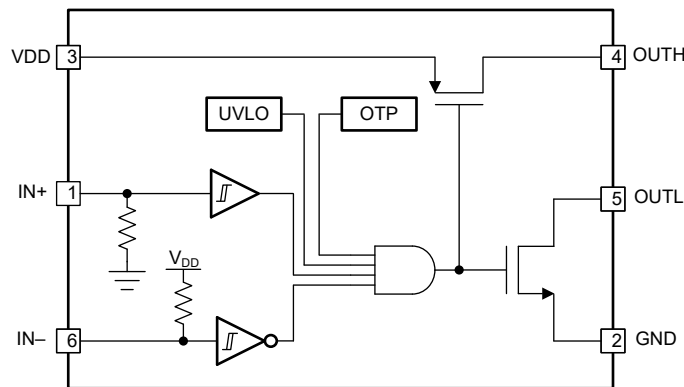
图 5-5. 100pF 负载下的上升和下降时间

6 详细说明

6.1 概述

LMG1025-Q1 是一款适用于 GaN 和逻辑电平 MOSFET 的高性能低侧 5V 栅极驱动器。虽然该器件为了在高速应用中良好运行而设计，如无线电力传输和激光雷达/ToF，但它可用于任何需要低侧栅极驱动器的应用。LMG1025-Q1 经过优化，可通过驱动器向功率晶体管提供最低传播延迟。LMG1025-Q1 采用小型 2mm×2mm QFN 封装，具有可湿性侧面，以最大限度地减少其寄生电感。在驱动功率 FET 时，为了在极高频率运行中实现高电流、低振铃性能，这种低电感设计十分必要。在使用 LMG1025-Q1 进行设计时同样如此。此外，在许多汽车应用中，为了提高系统强健性，也会需要具有可湿性侧面的 QFN 封装。

6.2 功能方框图



6.3 特性说明

6.3.1 输入级

输入级在引脚 IN+ 和 IN- 上采用两个施密特触发器，用于降低对输入噪声的敏感度。IN+ 信号和反相 IN- 信号均发送到 AND 门。IN+ 与下拉电阻连接，而 IN- 与上拉电阻连接，以防止意外导通。当输入电压高于输入阈值时，驱动器的输出将为高电平；当输入电压低于电气特性表中提到的输入阈值时，输出将变为低电平。IN+ 和 IN- 均为单端输入，这两个引脚不能用作差分输入对。寄生元件在高频设计中变得极其重要，在进行印刷电路板布局时应格外小心，尽可能减少这些寄生元件。LMG1025-Q1 的性能和整体系统性能会受到所选布局和元件的影响。

6.3.2 输出级

LMG1025-Q1 可提供 7A 拉电流、5A 灌电流（非对称驱动）峰值驱动电流能力，并且采用分离输出配置。LMG1025-Q1 的 OUTH 和 OUTL 输出使用户能够使用连接到栅极的独立电阻。利用这两个电阻，用户能够单独调节导通和关断驱动强度，从而控制压摆率和 EMI，并控制栅极信号上的振铃。就 GaN FET 而言，控制振铃对于降低 GaN FET 和驱动器上的应力非常重要。输出级 OUTL 在欠压条件下也会被拉至低电平，这可以防止器件 Ciss 意外发生电荷积累，从而避免误导通。随着开关频率增加以及上升和下降时间缩短，该振铃在很大程度上依赖于布局布线。栅极驱动器和功率器件之间的距离应尽可能短。栅极环路应尽可能短。如果振铃不可避免，则在选择栅极电阻器时应尽可能减少振铃。旁路电容器类型、值和位置也会显著影响该振铃。

6.3.3 辅助电源和欠压锁定

LMG1025-Q1 具有 5V 标称和 5.25V 最大电源电压，其绝对最大电源电压为 5.75V。在设计中，建议将电源的变动性限制在 5% (0.25V) 以内，且开关瞬态期间的过冲电压不超过绝对最大电压。有关详细设计指南的更多信息，请参阅 VDD 和过冲部分。LMG1025-Q1 还具有内部欠压锁定 (UVLO) 功能，可在发生故障时保护驱动器和电路。UVLO 点设置在 4.0V 和 4.35V 之间，迟滞为 85mV。该 UVLO 水平专门用来确保 GaN 功率器件可在低 $R_{DS(ON)}$ 区域进行开关。在 UVLO 情况下，OUTL 引脚会被下拉至接地。

6.3.4 过热保护 (OTP)

LMG1025-Q1 具有在结温 170°C 左右的上升沿触发点，从而可提供过热保护 (OTP) 功能。器件具有 20°C 的迟滞，因此当结温低于 150°C 时，器件可以重新开始运行。

6.4 器件功能模式

当不处于 UVLO 状态时，器件将会以下列模式运行。

表 6-1. 真值表

IN-	IN+	OUTH	OUTL
L	L	开路	L
L	H	H	开路
H	L	开路	L
H	H	开路	L

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

为了在非常高的开关频率下运行 GaN FET 或 MOSFET 并减少相关开关损耗，应在控制器的 PWM 输出与 GaN 晶体管的栅极之间采用一款强大的栅极驱动器。此外，当 PWM 控制器的输出不满足直接驱动开关器件栅极所需的电压或电流电平时，栅极驱动器也是不可或缺的。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提升至栅极驱动电压（如 5V），以便完全导通功率器件，并尽可能减少导通损耗。

栅极驱动器可有效地提供缓冲驱动功能。栅极驱动器还可以满足其他需求，如尽可能减小高频开关噪声的影响（通过将大电流驱动器靠近电源开关放置）、通过将栅极电荷功率损耗移从控制器移至驱动器来降低控制器中的功率耗散和热应力。

LMG1025-Q1 是一款高频低侧栅极驱动器，适用于单端配置的增强模式 GaN FET 和 Si FET。凭借具有强大拉电流和灌电流能力的分离栅极输出，它可以灵活地独立调整导通和关断强度。作为一款低侧驱动器，LMG1025-Q1 可用于各种应用，包括不同的电源转换器、激光雷达、飞行时间 (ToF) 激光驱动器、E 类无线充电器、同步整流器和增强现实器件。LMG1025-Q1 还可用作高频、低电流激光二极管驱动器，或者用作具有极短上升/下降时间的信号缓冲器。

7.2 典型应用

LMG1025-Q1 设计为配合单个低侧接地基准 GaN 或逻辑电平 FET 使用，如图 7-1 所示。独立栅极驱动电阻 R1 和 R2 分别用于单独控制导通和关断驱动强度。为了实现快速且强力的关断，可将 R2 短接并将 OUTL 直接连接到晶体管的栅极。为了获得对称驱动强度，可以将 OUTH 和 OUTL 短接并使用单个栅极驱动电阻。应该注意确保功率器件栅极上的振铃或任何栅极驱动器引脚上的振铃不超过建议额定值。电阻在抑制这些振铃方面发挥着重要作用。对于栅极驱动器和功率器件而言，栅极电阻的布局 and 类型也非常重要。

强烈建议在每个 OUTH 和 OUTL 端使用至少 2Ω 的电阻，以避免因电感振铃而导致电压过应力。必须确保振铃低于 $V_{DD}+0.3V$ 。

对于需要较小电阻的应用，请联系工厂寻求指导。

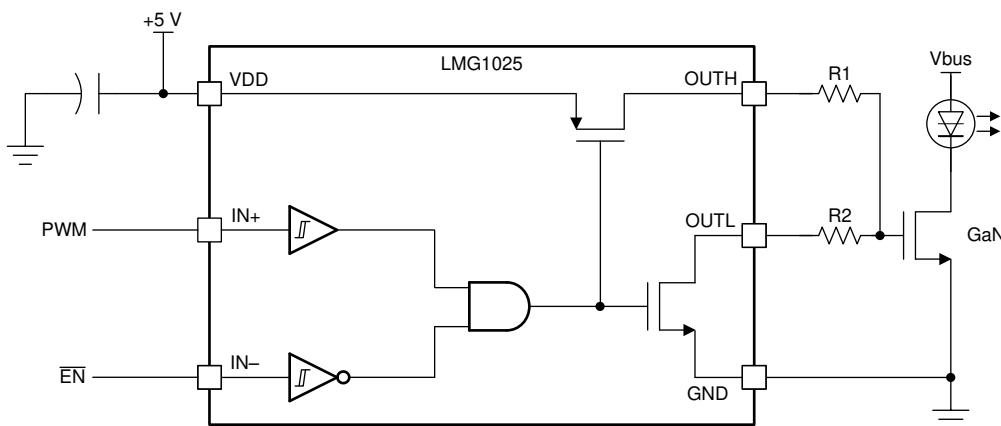


图 7-1. 典型的电路实现

7.2.1 设计要求

在设计包含 LMG1025-Q1 栅极驱动器和 GaN 功率 FET 的多 MHz (或纳秒脉冲) 应用时, 为了做出最合适的选择, 必须先评估一些设计注意事项。这些注意事项为布局布线优化、电路电压、无源器件、工作频率和控制器选择。

7.2.2 详细设计过程

7.2.2.1 处理接地反弹

为了获得最佳开关性能和寄生效应最低的栅极环路, 建议将 LMG1025-Q1 的接地回路引脚以低电感的方式, 尽可能近地连接到低侧 FET 的源极。但是, 这样会导致 LMG1025-Q1 的接地相对于系统或控制器接地发生反弹, 并导致输入端开关逻辑错误, 从而导致输出端发生误导通/关断。

首先, LMG1025-Q1 在输入缓冲器中内置了输入迟滞, 有助于抵消这种影响。方程式 1 中给出了为防止输入电压瞬态超过输入迟滞而允许的最大 di/dt

$$\frac{di_s}{dt} = \frac{V_{HYST}}{L_{RS}} \quad (1)$$

其中

- L_{RS} 是检测电阻的电感,
- V_{HYST} 是输入引脚的迟滞,
- dis/dt 是最大允许电流压摆率。

假设分流电阻寄生电感为 0.5nH, 最小迟滞为 0.5V, 则最大压摆率为 1A/ns。许多应用会表现出较高的电流压摆率, 范围高达 10A/ns, 而这会使得该方法不切实际。通过将 IN- 输入用于 PWM 信号, 并将 IN+ 本地连接到 VDD, 可以提高该方法的稳定性。通过使用反相输入, 施加到输入引脚的瞬态电压会增强正反馈环路中的 PWM 信号。虽然此方法会降低发生假脉冲或振荡的可能性, 但高 di/dt 导致的瞬态峰值可能会对 LMG1025-Q1 的输入造成过度应力。为了限制器件中过多的电流峰值, 可以在 IN- 输入前面紧靠其放置一个 100 Ω 限流电阻。

其次, 对于中度接地反弹的情况, 可以使用一个与输入串联的简单电阻, 构建一个简易的 R-C 滤波器。通过利用 LMG1025-Q1 的输入电容, 该电阻可以靠近其输入引脚。在输入端添加一个小电容器作为补充也可能有所帮助。R-C 滤波器的一个小时间常数可能便足以滤除高频噪声。在可以接受额外延迟且脉冲宽度不是极短的应用中, 比如处于 1ns 范围内, 该解决方案对于中度情况来说是可以接受的。

对于比较极端的情况, 或者在无法容忍延迟而脉冲宽度极短的情况下, 使用共模扼流圈可实现最佳结果。

有一个接地反弹问题特别棘手的示例应用, 那就是使用电流检测电阻时。在图 7-2 中, LMG1025-Q1 接地连接到 GaN FET 的源极, 而控制器接地则连接到电流检测电阻的另一侧, 如图 7-2 所示。由于快速开关和极快的电流压摆率, 由检测电阻的电感引起的高接地电位反弹可能会中断电路运行, 甚至损坏器件。为避免此问题, 可分别对 IN+ 和 IN- 使用共模扼流圈。根据输入信号脉冲宽度, 还可以向 LMG1025-Q1 前面的信号输出线路添加电阻, 以提供额外的 RC 滤波能力。图 7-4 显示了搭配使用方法 A 和首选滤波方法的原理图。如图 7-3 所示, 方法 B 是将电流检测电阻放置在栅极驱动环路路径之内。在这种情况下, LMG1025-Q1 GND 引脚连接到信号地, 由于接地平面连接良好, 接地反弹问题可能不如方法 A 严重。但是, 电流检测电阻的电感会给栅极驱动环路增加共源电感。该寄生电感上产生的电压将从 FET 的栅极驱动电压中减去, 从而减慢 FET 的导通和关断 di/dt , 甚至导致误导通和关断。为确保环路稳定、无振铃, 必须添加额外的栅极电阻。较慢的上升速度可能会抵消 GaN FET 快速开关的优势, 还可能导致电路中发生额外损耗。因此, 通常不推荐此方法。

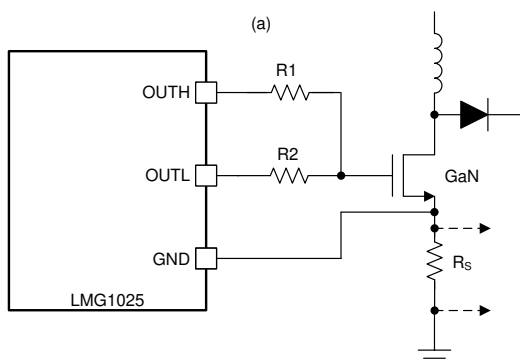


图 7-2. 源极电阻电流检测 A 配置

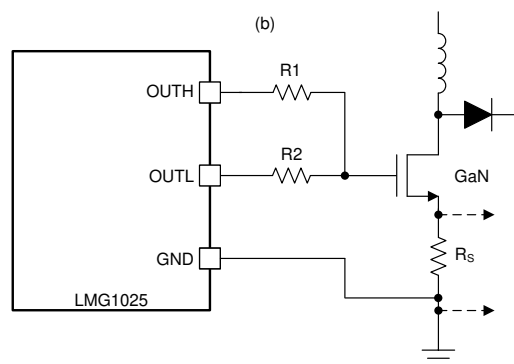


图 7-3. 源极电阻电流检测 B 配置

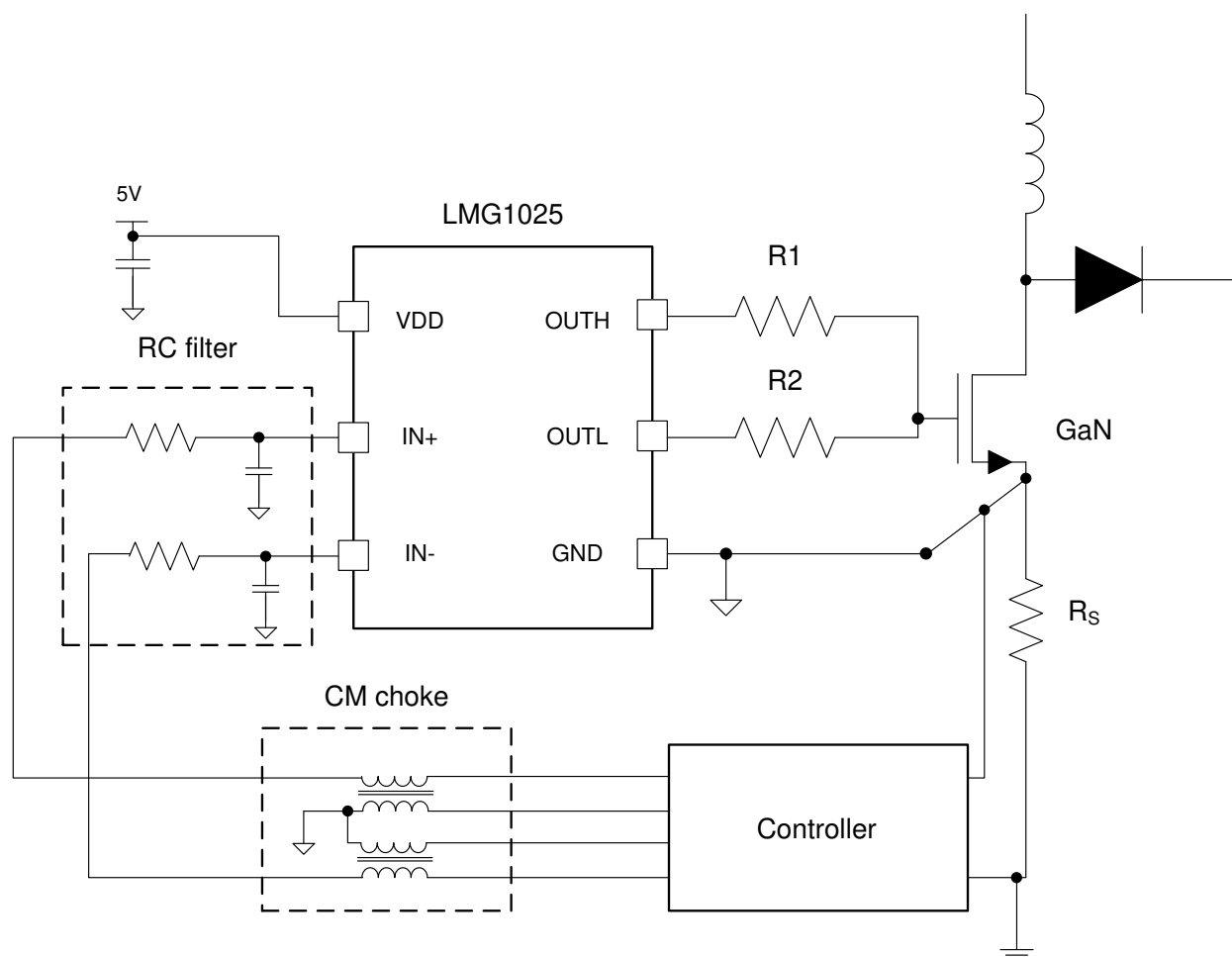


图 7-4. 使用 LMG1025-Q1 时用来处理接地反弹噪声的滤波

7.2.2.2 生成纳秒脉冲

LMG1025-Q1 可用于将纳秒级持续时间的脉冲驱动到容性负载上。LMG1025-Q1 可通过一个输入引脚上的等效短脉冲进行驱动。但是，这需要足够强力的数字驱动器，还应仔细考虑从数字输出到 LMG1025-Q1 输入的布线寄生效应。LMG1025-Q1 中的两个输入和附带的 AND 门提供了一种在 LMG1025-Q1 输出端生成短脉冲的替代方法。从 IN+ 和 IN- 二者均处于低电平开始，如果将 IN+ 设为高电平，将会导致输出变为高电平。现在，如果 IN- 也设为高电平，则输出将被拉至低电平。因此，数字信号及其延迟版本可以分别应用至 IN+ 和 IN-，以便在输出端产生一个脉冲，其宽度对应于信号之间的延迟，如图 7-5 所示。该延迟可以通过数字方式控制在纳秒范围内。这种方法可以减轻对驱动 LMG1025-Q1 输入的要求。如果单独的数字信号延迟版本不可用，则可以使用 RC 延迟，后跟一个缓冲器，从而获得第二个信号。或者，如果 LMG1025-Q1 必须通过单个短持续时间脉冲来驱动，则该脉冲本身可以按照上述方法使用另一个 LMG1025-Q1 生成，以满足驱动要求。

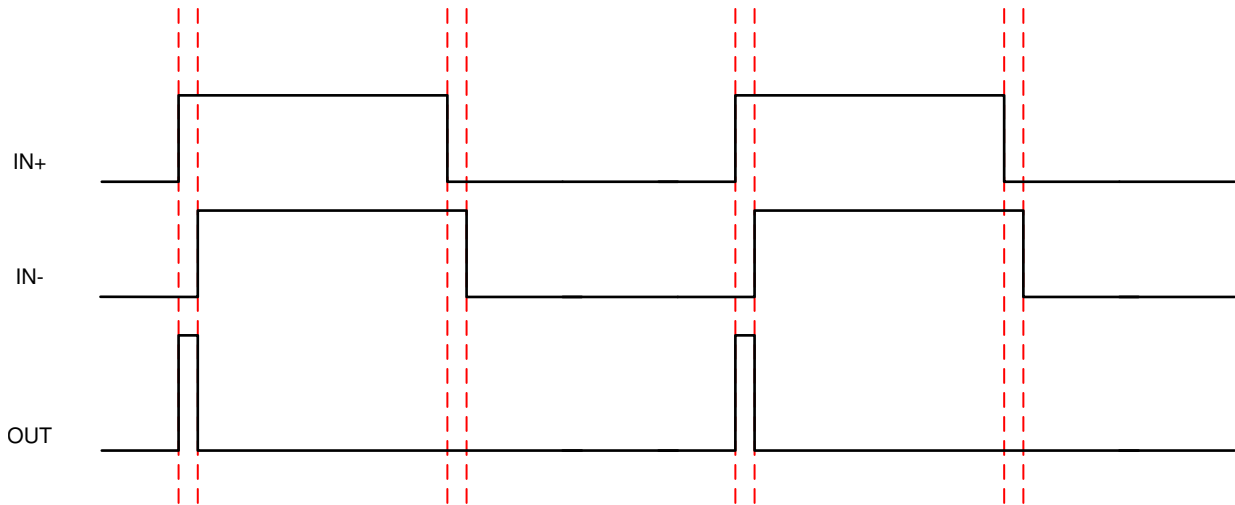


图 7-5. 生成短脉冲的时序图

7.2.2.3 VDD 和过冲

在大电流下快速开关时，容易因寄生电感（包括 PCB 布线上的电感）而产生振铃。作为 PCB 设计流程的一部分，需要评估和控制与此类振铃瞬态相关的过冲，以便以限制器件应力。影响应力的参数为，过冲高于绝对最大规格的程度，以及过冲持续时间与开关时间段之比。在设计实践中，建议将过冲限制为绝对最大引脚电压。为实现此目的，应该小心进行 PCB 布局以尽可能减少寄生电感、选择具有低 ESL 的元件，并且增加串联电阻以限制上升时间。对于较大的过冲，可能需要限制电源的变动性。例如，将允许最大建议电源为 5.25V（5% 变动性）的 0.5V 过冲；但是，对于较大的过冲，最好使用变动性较小的电源。

7.2.2.4 以更高频率运行

凭借短上升/下降时间以及实现纳秒级脉宽的能力（依赖于容性负载条件），LMG1025-Q1 的工作频率能够实现突发性提升。在需要极高频率脉冲的情况下，为避免器件过热，可以采用一串脉冲序列，在每次突发之间都暂停特定时间。这将帮助保持 RMS 输出电流，类似于低频运行，但可以将瞬态频率提升到非常高的水平。此外，需要更高的去耦电容来为容性负载提供高频充电。

7.2.3 应用曲线

LMG1025-Q1 EVM 用于获取应用波形。该 EVM 具有 LDO、输入缓冲器、GaN FET 和负载电阻。它展示了在等效半导体激光二极管电流切换时的 LMG1025-Q1 开关性能。图 7-6 和图 7-7 显示了在类似应用的设置中的 VDD 导通和关断延迟。系统设计人员需要确保这些延迟在其设计中是可以接受的。激光雷达设计需要对激光二极管发射持续时间非常短的脉冲。图 7-8 展示了 LMG1025-Q1 如何不仅能够在其输入端处理纳秒脉冲，而且还可以在输出端产生纳秒脉冲，同时驱动具有 3.2nC 典型总栅极电荷的合理尺寸 GaN FET。图 7-8 还展示了 LMG1025-Q1 非常小的上升和下降传播延迟，例如小于 3ns。图 7-9 展示了 LMG1025-Q1 的驱动强度。其中展示了 LMG1025-Q1 如何实现亚纳秒级的上升和下降时间，这对于激光雷达应用来说非常重要。



图 7-6. 启动时间



图 7-7. 关断时间

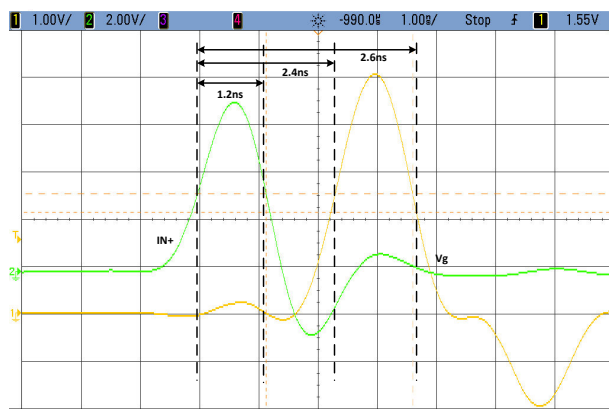


图 7-8. 输入脉冲宽度和传播延迟

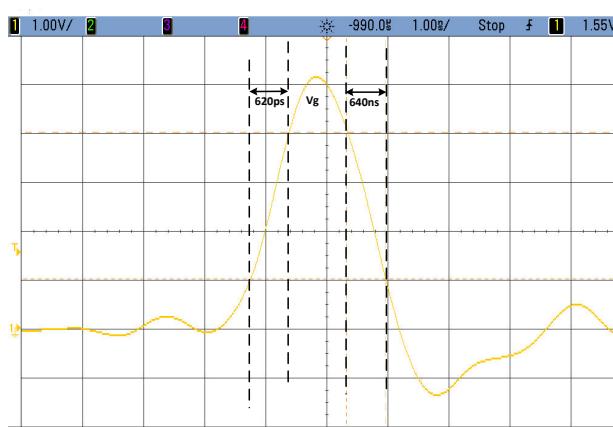


图 7-9. 上升和下降时间

8 电源相关建议

必须在 VDD 和 GND 引脚之间靠近 IC 的位置连接一个低 ESR/ESL 陶瓷电容，以支持在 FET 导通期间从 VDD 汲取高峰值电流。最好将 VDD 去耦电容与驱动器放置在 PC 板的同一侧。过孔的电感可能会在 IC 引脚上造成过多的振铃效应。

TI 建议使用以分流直通方式连接的三端电容，以实现最低的 ESL 和最好的瞬态性能。此电容可以尽可能靠近 IC 放置，而另一容量更大的电容可以靠近三端电容放置，以便提供足够的电荷，但带宽略低。一般做法是，建议使用 0.1 μ F 0402 或馈通电容（最靠近 LMG1025-Q1）和 1 μ F 0603 电容组合。

9 布局

9.1 布局指南

LMG1025-Q1 的布局对于其性能和功能来说至关重要。LMG1025-Q1 采用 2x2 DFN，使之能够以低电感连接到 FET。图 9-1 显示了具有球栅 GaN FET 的 LMG1025-Q1 建议布局。

需要四层或层数更多的板，以减少布局的寄生电感，实现合适的性能。为了最大限度减小电感和板空间，此处应使用采用 0201 封装的电阻和电容器。必须计算栅极驱动功率损耗，确保 0201 电阻能够应对该功率水平。

9.1.1 栅极驱动环路电感和接地连接

为了使用 LMG1025-Q1 实现快速开关频率，紧凑的低电感栅极驱动环路至关重要。LMG1025-Q1 应尽可能靠近 GaN FET 放置，由栅极驱动电阻将 OUTH 和 OUTL 紧靠 FET 栅极与之连接。需要使用大布线以最大限度地减小电阻和寄生电感。

为了最大限度减小栅极驱动环路电感，源极回路应位于 PCB 的第 2 层，紧靠元件（顶层）层下方。紧邻 FET 源极和 LMG1025-Q1 GND 引脚二者的过孔以最小阻抗连接到该平面。最后，必须注意仅在 FET 处将 GND 平面连接到源电源平面，以便最大限度地减小共源电感并减少与接地平面的耦合。

9.1.2 旁路电容器

LMG1025-Q1 的 VDD 电源端子必须旁路至紧邻 IC 的接地端。由于 IC 快速栅极驱动的原因，旁路电容器的放置和电容值非常关键。旁路电容器必须位于顶层，尽可能靠近 IC，并且使用大电源平面连接到 VDD 和 GND。该旁路电容器必须至少为 0.1 μ F，最高 1 μ F，温度系数为 X7R 或更好。推荐的器身类型为 LICC、IDC、馈通和 LGA。最后，应尽可能靠近 IC 放置一个额外的 1 μ F 电容器。

9.2 布局示例

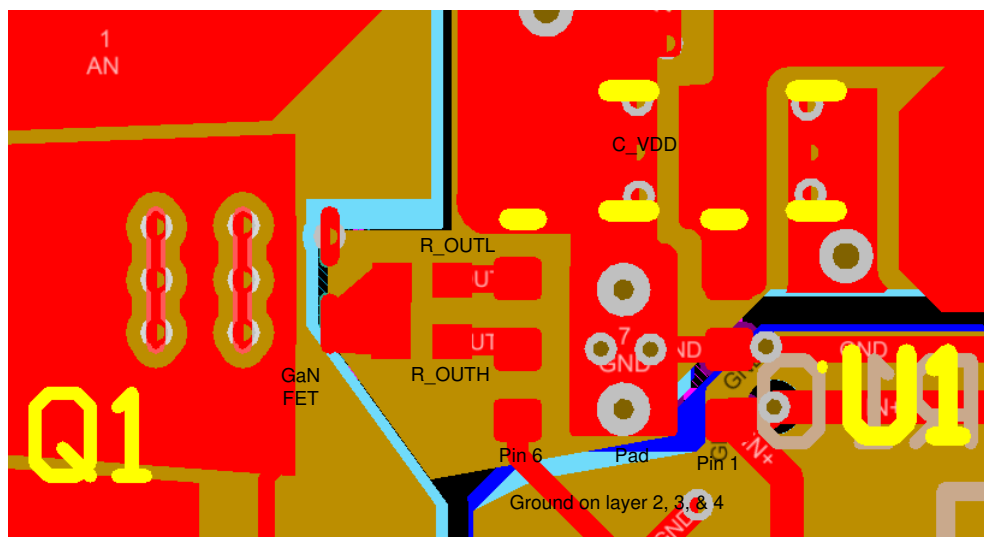


图 9-1. 采用球栅 GaN FET 的典型 LMG1025-Q1 布局

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (January 2020) to Revision C (December 2024)	Page
• 添加了 DRV 封装信息.....	3
• 在图 5-4 和图 5-5 中添加了 Y 轴标题.....	6
• 更改了功能方框图引脚编号.....	8

Changes from Revision A (August 2019) to Revision B (January 2020)	Page
• 将销售状态从“预告信息”更改为“量产数据”	1

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG1025QDEERQ1	Active	Production	WSO (DEE) 6	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMG
LMG1025QDEERQ1.A	Active	Production	WSO (DEE) 6	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMG
LMG1025QDEETQ1	Active	Production	WSO (DEE) 6	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMG
LMG1025QDEETQ1.A	Active	Production	WSO (DEE) 6	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LMG
LMG1025QDRVQR1	Active	Production	WSO (DRV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LQ25
LMG1025QDRVQR1.A	Active	Production	WSO (DRV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LQ25

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

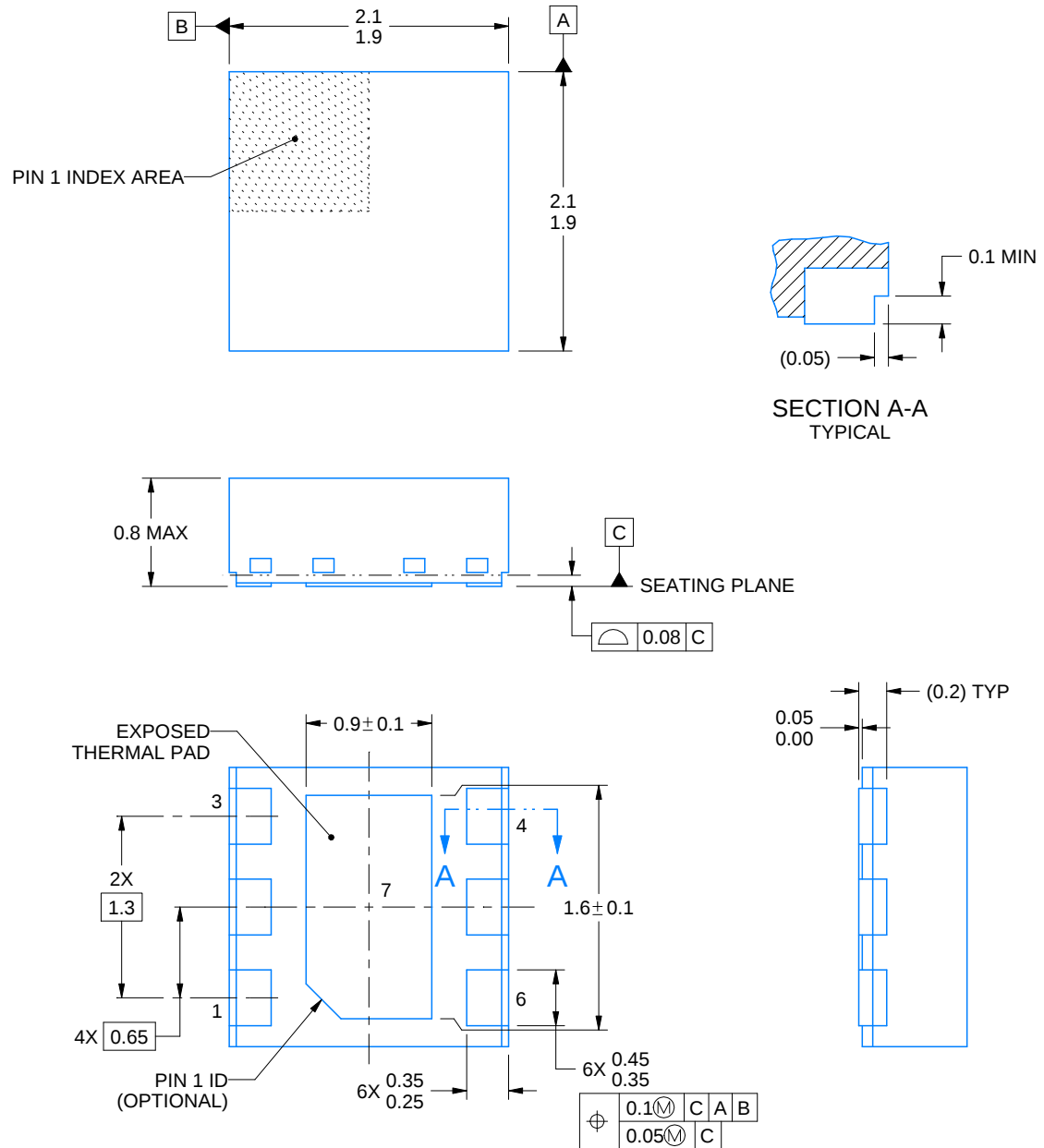
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG1025QDEERQ1	WSO	DEE	6	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMG1025QDEETQ1	WSO	DEE	6	250	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMG1025QDRVRQ1	WSO	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG1025QDEERQ1	WSN	DEE	6	3000	213.0	191.0	35.0
LMG1025QDEETQ1	WSN	DEE	6	250	213.0	191.0	35.0
LMG1025QDRVRQ1	WSN	DRV	6	3000	210.0	185.0	35.0



4219364/A 01/2019

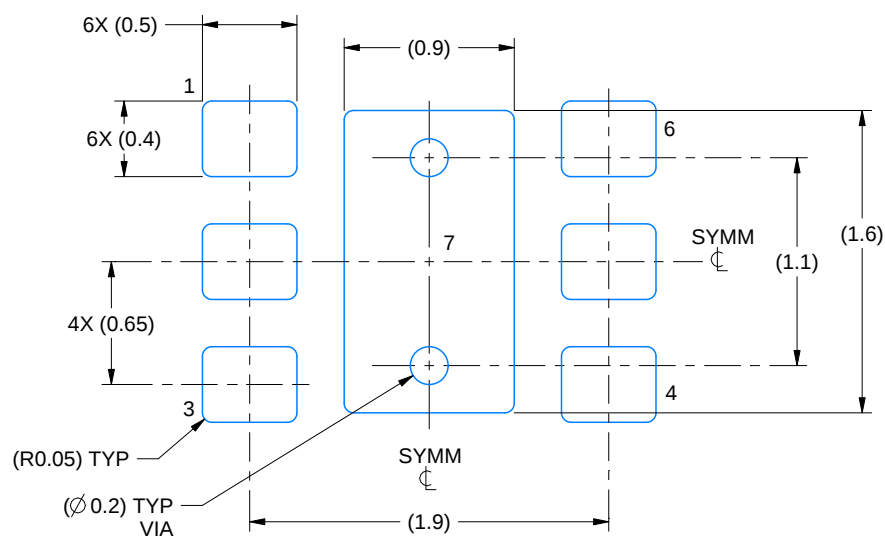
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

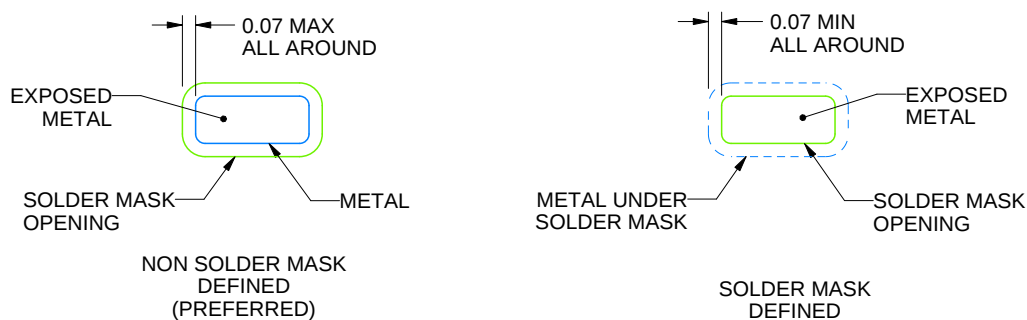
DEE0006A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4219364/A 01/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

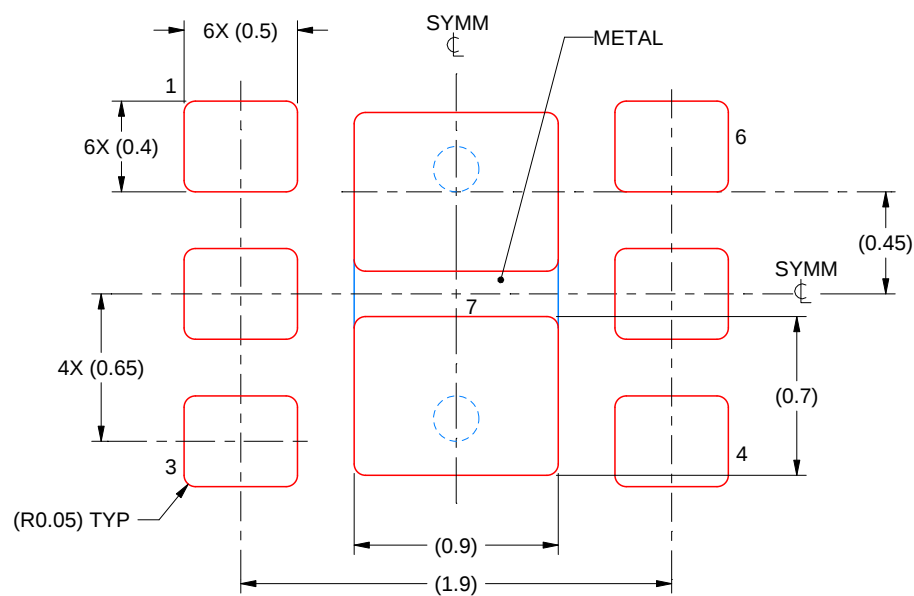
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DEE0006A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7:
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

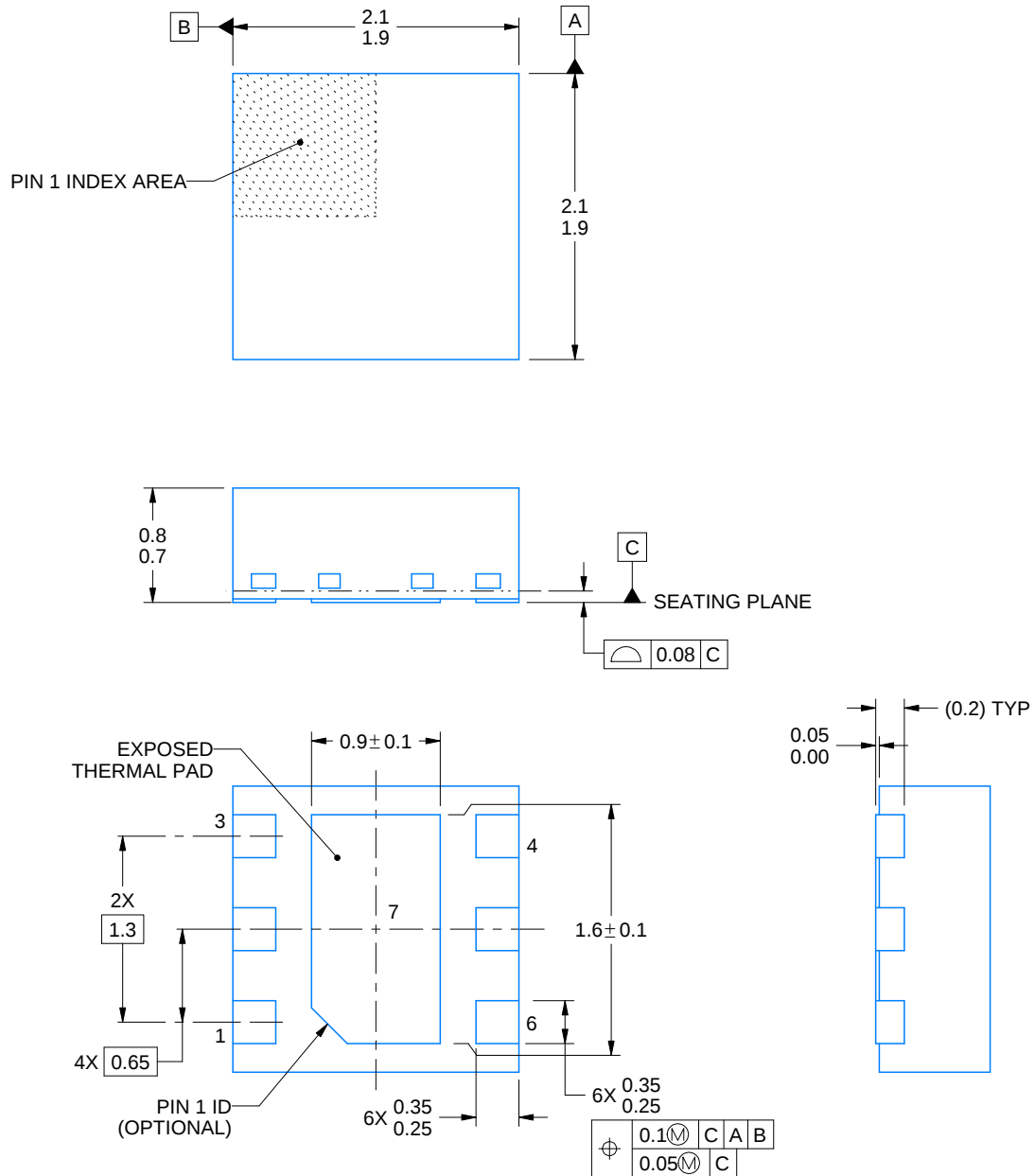
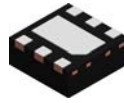
4219364/A 01/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230187/A 11/2023

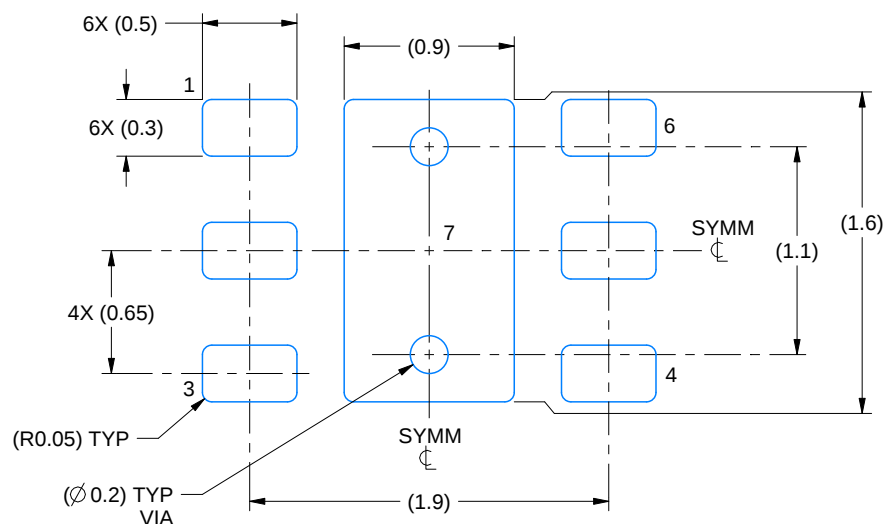
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

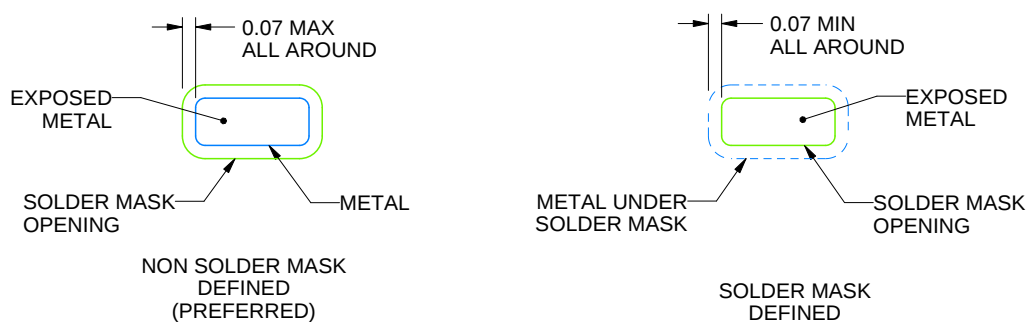
DRV0006E

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4230187/A 11/2023

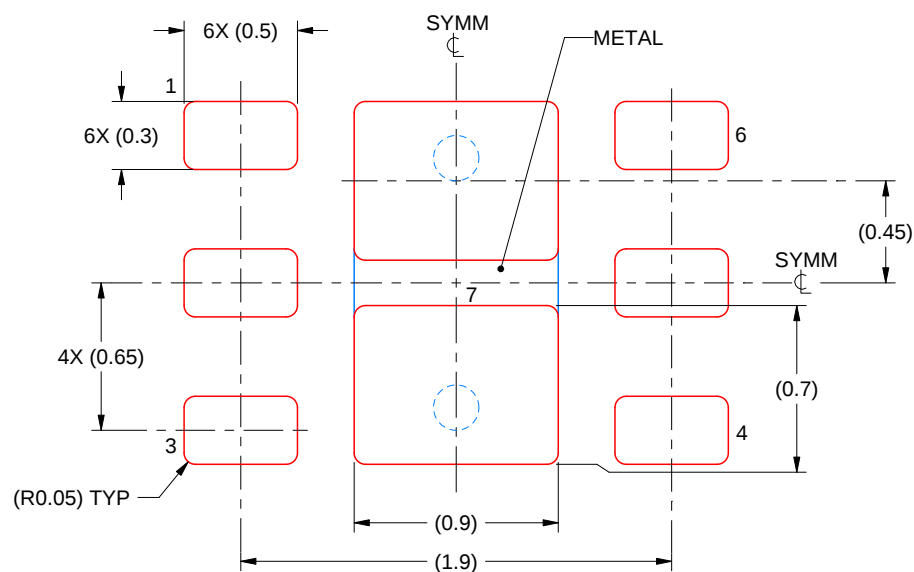
NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DRV0006E

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7:
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4230187/A 11/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司