

LM6172 双通道、高速、低功耗、低失真电压反馈放大器

1 特性

- 典型值 (除非另有说明)
- 易于使用的电压反馈拓扑
- 高压摆率: 3000V/ μ s
- 宽单位增益带宽: 100MHz
- 低电源电流: 2.3mA/通道
- 高输出电流: 50mA/通道
- 额定工作电压: ± 15 V 和 ± 5 V

2 应用

- 扫描仪 I-V 转换器
- ADSL/HDSL 驱动器
- 多媒体广播系统
- 视频放大器
- NTSC、PAL 和 SECAM 系统
- ADC/DAC 缓冲器
- 脉冲放大器和峰值检测器

3 说明

LM6172 是一款双通道高速电压反馈放大器。该器件具有单位增益稳定性, 并提供出色的直流和交流性能。LM6172 具有 100MHz 的单位增益带宽、3000V/ μ s 的压摆率和每个通道 50mA 的输出电流, 可在通道放大器中提供高性能, 同时每个通道仅消耗 2.3mA 电源电流。

LM6172 采用 ± 15 V 电源供电, 适用于需要大电压摆幅的系统, 例如 ADSL、扫描仪和超声波设备。该器件也支持 ± 5 V 的电源, 适用于诸如便携式视频系统等低压应用。

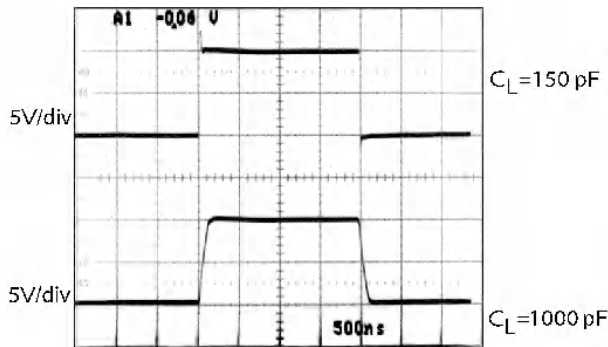
LM6172 采用 TI 先进的互补双极性工艺制造而成。请参阅 LM6171 数据表, 了解具有上述相同功能的单通道放大器。

封装信息

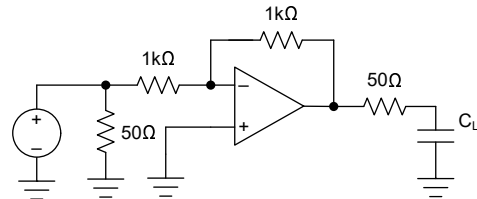
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LM6172	D (SOIC, 8)	4.9mm $\times$ 6mm
	P (PDIP, 8)	9.81mm $\times$ 9.43mm

(1) 有关更多信息, 请参阅节 10。

(2) 封装尺寸 (长 $\times$ 宽) 为标称值, 并包括引脚 (如适用)。



LM6172 驱动容性负载



LM6172 驱动容性负载



内容

1 特性.....	1	6.2 功能方框图.....	23
2 应用.....	1	6.3 特性说明.....	23
3 说明.....	1	7 应用和实施.....	24
4 引脚配置和功能.....	3	7.1 应用信息.....	24
5 规格.....	4	7.2 典型应用.....	25
5.1 绝对最大额定值.....	4	7.3 电源相关建议.....	27
5.2 ESD 等级.....	4	7.4 布局.....	28
5.3 建议运行条件.....	4	8 器件和文档支持.....	29
5.4 热性能信息.....	4	8.1 接收文档更新通知.....	29
5.5 电气特性 $\pm 15V$	5	8.2 支持资源.....	29
5.6 电气特性 $\pm 5V$	7	8.3 商标.....	29
5.7 典型特性：D (SOIC , 8) 封装.....	9	8.4 静电放电警告.....	29
5.8 典型特性：P (PDIP , 8) 封装.....	16	8.5 术语表.....	29
6 详细说明.....	23	9 修订历史记录.....	29
6.1 概述.....	23	10 机械、封装和可订购信息.....	30

4 引脚配置和功能

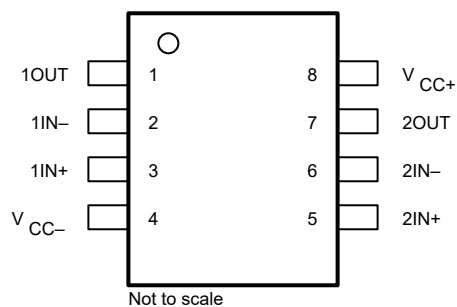


图 4-1. D 封装，8 引脚 SOIC
 和 PW 封装，8 引脚 PDIP
 (顶视图)

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
1IN -	2	输入	通道 1 反相输入
1IN+	3	输入	通道 1 同相输入
1OUT	1	输出	通道 1 输出
2IN -	6	输入	通道 2 反相输入
2IN+	5	输入	通道 2 同相输入
2OUT	7	输出	通道 2 输出
V _{CC-}	4	—	负电源
V _{CC+}	8	—	正电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ^{(1) (2)}

		最小值	最大值	单位
V_S	电源电压 ($V_{CC+} - V_{CC-}$)		36	V
V_I	差分输入电压		± 10	V
V_{CM}	共模电压	$V_{CC-} - 0.3$	$V_{CC+} + 0.3$	V
I_{IN}	输入电流		± 10	mA
I_{SC}	接地短路输出电流 ⁽³⁾		持续	A
T_J	结温 ⁽⁴⁾		150	°C
T_{stg}	贮存温度	-65	150	°C
T_{SOLDER}	红外或对流回流焊 (20 秒)		235	°C
	波焊铅温 (10 秒)		260	

(1) 如果需要军用/航天专用器件, 请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。

(2) 超出绝对最大额定值下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级, 并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(3) 在环境温度升高的情况下, 持续短路运行可能会导致超过允许的最大结温 (150°C)。

(4) 最大功耗是与 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 相关的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(MAX)} - T_A)/R_{\theta JA}$ 。所有数字均适用于直接焊接到 PC 板的封装。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 3000	V
		机器放电模型 ⁽²⁾	± 300	V

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) 机器放电模型, 200 Ω 与 100pF 串联。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	典型值	最大值	单位
V_S	电源电压	5.5		36	
T_A	环境温度	-40		85	°C

5.4 热性能信息

热指标 ⁽¹⁾		LM6172		单位
		D (SOIC)	P (PDIP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	172	108	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	62.4	52.4	°C/W
$R_{\theta JB}$	结至电路板热阻	55.7	51.9	°C/W
Ψ_{JT}	结至顶部特征参数	16.5	6.8	°C/W
Ψ_{JB}	结至电路板特征参数	55.1	51.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性 ±15V

在 $T_J = 25^\circ\text{C}$ 、 $V_{CC+} = 15\text{V}$ 、 $V_{CC-} = -15\text{V}$ 、 $V_{CM} = 0\text{V}$ 和 $R_L = 1\text{k}\Omega$ 条件下测得 (除非另有说明)

参数		测试条件		最小值 ⁽²⁾	典型值 ⁽¹⁾	最大值 ⁽²⁾	单位
V_{OS}	输入失调电压				0.4	3	mV
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				4	
TCV_{OS}	输入失调电压平均漂移				6		$\mu\text{V}/^\circ\text{C}$
I_B	输入偏置电流				1.2	3	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				4	
I_{OS}	输入失调电流				0.02	2	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				3	
R_{IN}	输入电阻	共模			40		$\text{M}\Omega$
		差分模式			4.9		
R_O	开环输出电阻				14		Ω
$CMRR$	共模抑制比	$V_{CM} = \pm 10\text{V}$		70	110		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	65			
$PSRR$	电源抑制比	$V_S = \pm 15\text{V}$ 至 $\pm 5\text{V}$		75	95		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	70			
V_{CM}	输入共模电压	$CMRR > 60\text{dB}$			± 13.5		V
A_V	大信号电压增益 ⁽³⁾	$R_L = 1\text{k}\Omega$, $V_{OUT} = \pm 5\text{V}$		80	86		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	75			
		$R_L = 100\Omega$, $V_{OUT} = \pm 5\text{V}$		65	78		
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	60			
V_O	输出摆幅	$R_L = 1\text{k}\Omega$, 拉电流		12.5	13.2		V
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	12			
		$R_L = 1\text{k}\Omega$, 灌电流			-13.1	-12.5	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			-12	
		$R_L = 100\Omega$, 拉电流		6	9		
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	5			
		$R_L = 100\Omega$, 灌电流			-8.5	-6	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			-5	
	持续输出电流 (开环) ⁽⁴⁾	拉电流, $R_L = 100\Omega$		60	90		mA
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	50			
		灌电流, $R_L = 100\Omega$			-85	-60	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			-50	
I_{SC}	输出短路电流	D 封装	拉电流		173		mA
			灌电流		-183		
		P 封装	拉电流		107		
			灌电流		-105		
I_S	电源电流				4.6	8	mA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				9	
SR	压摆率 ⁽⁵⁾	$A_V = +2$, $V_{IN} = 13\text{V}_{PP}$			3000		$\text{V}/\mu\text{s}$
		$A_V = +2$, $V_{IN} = 10\text{V}_{PP}$			2500		
	单位增益带宽	D 封装			80		MHz
		P 封装			100		

5.5 电气特性 ±15V (续)

在 $T_J = 25^\circ\text{C}$ 、 $V_{CC+} = 15\text{V}$ 、 $V_{CC-} = -15\text{V}$ 、 $V_{CM} = 0\text{V}$ 和 $R_L = 1\text{k}\Omega$ 条件下测得 (除非另有说明)

参数		测试条件		最小值 ⁽²⁾	典型值 ⁽¹⁾	最大值 ⁽²⁾	单位
	- 3dB 频率	A _V = +1		160			MHz
		A _V = +2		62			MHz
ϕ _m	相位裕度			40			度
	通道之间的带宽匹配			2			MHz
t _s	稳定时间 (0.1%)	A _V = -1 , V _{OUT} = ±5V , R _L = 500 Ω		65			ns
A _D	差分增益 ⁽⁶⁾			0.28			%
ϕ _D	差分相位 ⁽⁶⁾			0.6			°
e _n	输入基准电压噪声	f = 10kHz		12			nV/ √ Hz
i _n	输入基准电流噪声	f = 10kHz		1			pA/ √ Hz
HD2	二次谐波失真	D 封装	f _{IN} = 10kHz	-88			dBc
			f _{IN} = 5MHz	-50			
		P 封装	f _{IN} = 10kHz	-110			
			f _{IN} = 5MHz	-50			
HD3	三次谐波失真	D 封装	f _{IN} = 10kHz	-93			dBc
			f _{IN} = 5MHz	-41			
		P 封装	f _{IN} = 10kHz	-105			
			f _{IN} = 5MHz	-50			

(1) 典型值表示最可能的参数标准。

(2) 所有限值均根据测试或统计分析确定。

(3) 大信号电压增益是总输出摆幅除以产生该摆幅所需的输入信号。对于 $V_S = \pm 15\text{V}$, $V_{OUT} = \pm 5\text{V}$ 。对于 $V_S = 5\text{V}$, $V_{OUT} = \pm 1\text{V}$ 。

(4) 开环输出电流是 100Ω 负载电阻时的输出摆幅除以该电阻的值。

(5) 压摆率是上升压摆率和下降压摆率的平均值。

(6) 差分增益和相位在 $A_V = +2$ 、 $V_{IN} = 1\text{V}_{PP}$ 、 3.58MHz 且输入和输出均端接 75Ω 的情况下测得。

5.6 电气特性 ±5V

在 $T_J = 25^\circ\text{C}$ 、 $V_{CC+} = 5\text{V}$ 、 $V_{CC-} = -5\text{V}$ 、 $V_{CM} = 0\text{V}$ 和 $R_L = 1\text{k}\Omega$ 条件下测得 (除非另有说明)

参数		测试条件		最小值 ⁽²⁾	典型值 ⁽¹⁾	最大值 ⁽²⁾	单位
V_{OS}	输入失调电压				0.1	3	mV
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				4	
TCV_{OS}	输入失调电压平均漂移				4		$\mu\text{V}/^\circ\text{C}$
I_B	输入偏置电流				1.4	2.5	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				3.5	
I_{OS}	输入失调电流				0.02	1.5	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				2.2	
R_{IN}	输入电阻	共模			40		$\text{M}\Omega$
		差分模式			4.9		
R_O	开环输出电阻				14		Ω
$CMRR$	共模抑制比	$V_{CM} = \pm 2.5\text{V}$		70	105		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	65			
$PSRR$	电源抑制比	$V_S = \pm 15\text{V}$ 至 $\pm 5\text{V}$		75	95		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	70			
V_{CM}	输入共模电压	$CMRR > 60\text{dB}$			± 3.7		V
A_V	大信号电压增益 ⁽³⁾	$R_L = 1\text{k}\Omega$, $V_{OUT} = \pm 1\text{V}$		70	82		dB
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	65			
		$R_L = 100\Omega$, $V_{OUT} = \pm 1\text{V}$		65	78		
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	60			
V_O	输出摆幅	$R_L = 1\text{k}\Omega$, 拉电流		3.1	3.4		V
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	3			
		$R_L = 1\text{k}\Omega$, 灌电流			-3.3	-3.1	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			-3	
		$R_L = 100\Omega$, 拉电流		2.5	2.9		
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	2.4			
	持续输出电流 (开环) ⁽⁴⁾	拉电流, $R_L = 100\Omega$		25	29		mA
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	24			
		灌电流, $R_L = 100\Omega$			-27	-24	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			-23	
I_{SC}	输出短路电流	D 封装	拉电流		155		mA
			灌电流		-158		
		P 封装	拉电流		93		
			灌电流		-72		
I_S	电源电流				4.4	6	mA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$				7	
SR	压摆率 ⁽⁵⁾	$A_V = +2$, $V_{IN} = 3.5V_{PP}$			750		V/ μs
	单位增益带宽				70		MHz
	- 3dB 频率	$A_V = +1$			130		MHz
		$A_V = +2$	D 封装		75		
			P 封装		45		

5.6 电气特性 ±5V (续)

在 $T_J = 25^{\circ}\text{C}$ 、 $V_{CC+} = 5\text{V}$ 、 $V_{CC-} = -5\text{V}$ 、 $V_{CM} = 0\text{V}$ 和 $R_L = 1\text{k}\Omega$ 条件下测得 (除非另有说明)

参数		测试条件		最小值 ⁽²⁾	典型值 ⁽¹⁾	最大值 ⁽²⁾	单位
ϕ_m	相位裕度	D 封装				41	度
		P 封装				57	
t_s	稳定时间 (0.1%)	$A_V = -1$, $V_{OUT} = \pm 1\text{V}$, $R_L = 500\Omega$				72	ns
A_D	差分增益 ⁽⁶⁾					0.4	%
ϕ_D	差分相位 ⁽⁶⁾					0.7	°
e_n	输入基准电压噪声	$f = 10\text{kHz}$				11	nV/√Hz
i_n	输入基准电流噪声	$f = 10\text{kHz}$				1	pA/√Hz
HD2	二次谐波失真	D 封装	$f_{IN} = 10\text{kHz}$			-89	dBc
			$f_{IN} = 5\text{MHz}$			-48	
		P 封装	$f_{IN} = 10\text{kHz}$			-110	
			$f_{IN} = 5\text{MHz}$			-48	
HD3	三次谐波失真	D 封装	$f_{IN} = 10\text{kHz}$			-93	dBc
			$f_{IN} = 5\text{MHz}$			-42	
		P 封装	$f_{IN} = 10\text{kHz}$			-105	
			$f_{IN} = 5\text{MHz}$			-50	

- (1) 典型值表示最可能的参数标准。
- (2) 所有限值均根据测试或统计分析确定。
- (3) 大信号电压增益是总输出摆幅除以产生该摆幅所需的输入信号。对于 $V_S = \pm 15\text{V}$, $V_{OUT} = \pm 5\text{V}$ 。对于 $V_S = 5\text{V}$, $V_{OUT} = \pm 1\text{V}$ 。
- (4) 开环输出电流是 100Ω 负载电阻时的输出摆幅除以该电阻的值。
- (5) 压摆率是上升压摆率和下降压摆率的平均值。
- (6) 差分增益和相位在 $A_V = +2$ 、 $V_{IN} = 1\text{V}_{PP}$ 、 3.58MHz 且输入和输出均端接 75Ω 的情况下测得。

5.7 典型特性：D (SOIC, 8) 封装

$T_A = 25^\circ\text{C}$ (除非另有说明)

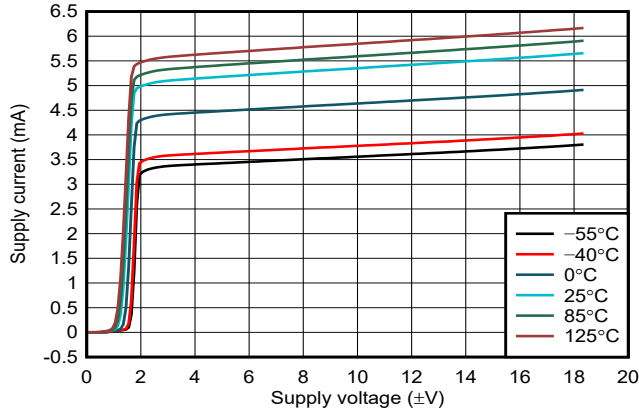


图 5-1. 电源电压与电源电流间的关系

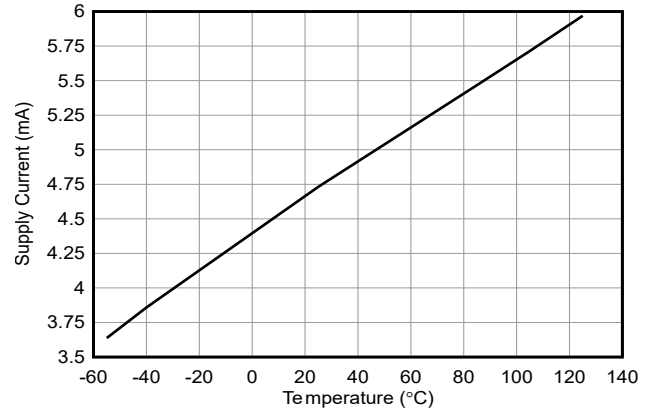


图 5-2. 电源电流与温度间的关系

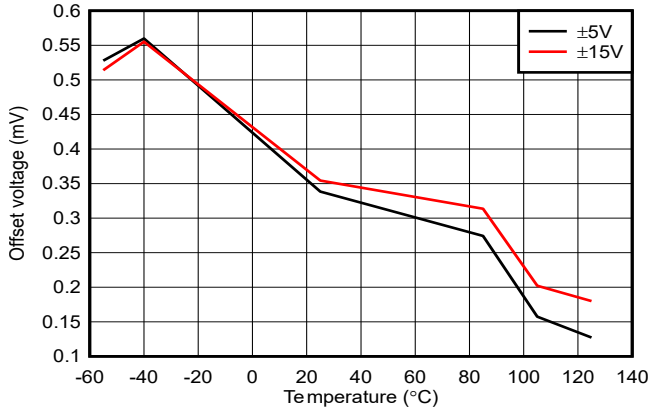


图 5-3. 输入失调电压与温度间的关系

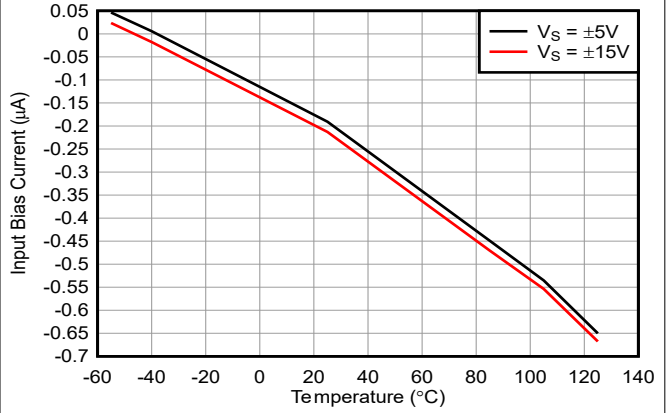


图 5-4. 输入偏置电流与温度间的关系

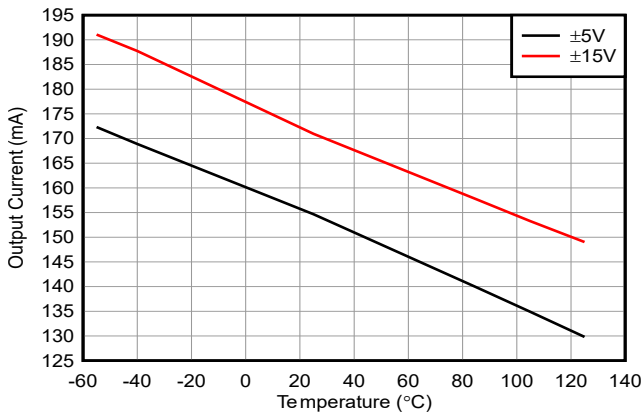


图 5-5. 短路电流与温度之间的关系 (拉电流)

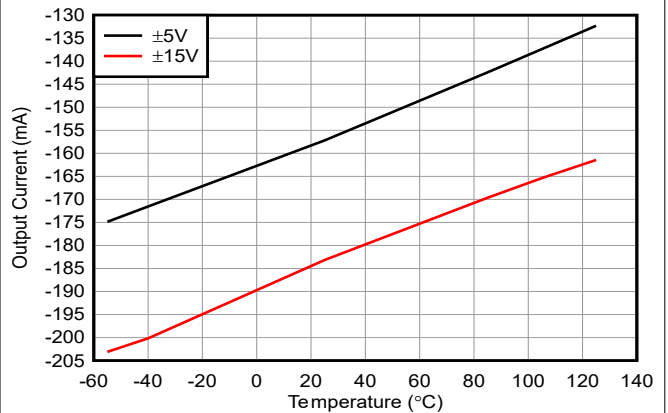


图 5-6. 短路电流与温度之间的关系 (灌电流)

5.7 典型特性：D (SOIC, 8) 封装 (续)

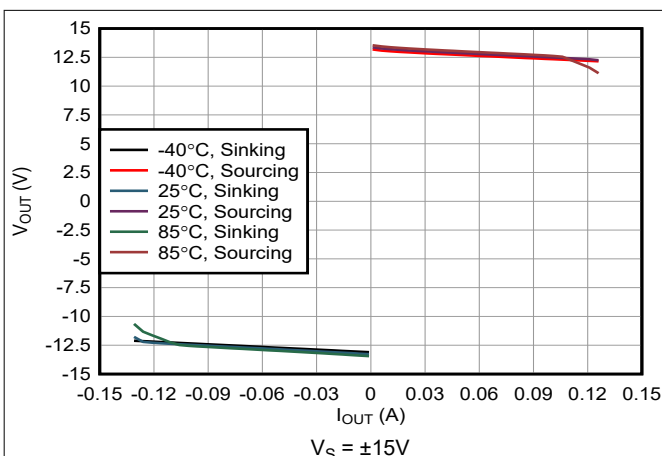
 $T_A = 25^\circ\text{C}$ (除非另有说明)

图 5-7. 输出电压与输出电流间的关系

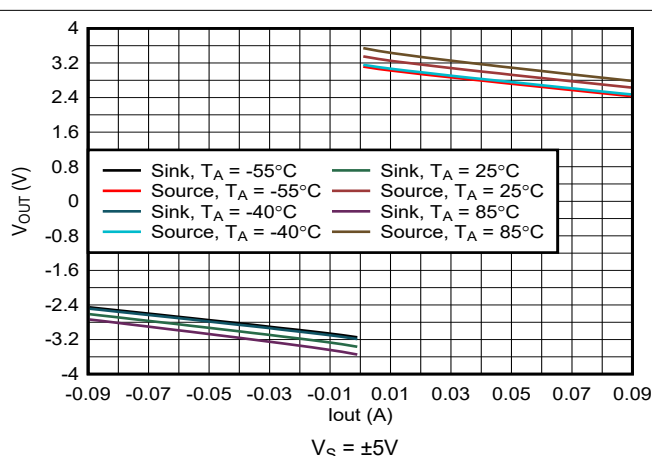


图 5-8. 输出电压与输出电流间的关系

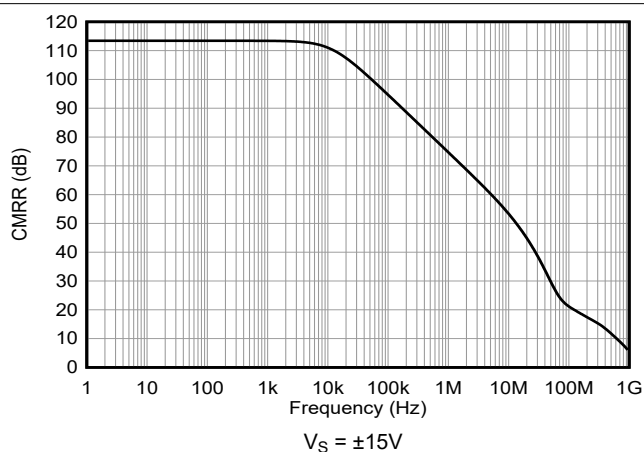


图 5-9. 共模抑制比与频率间的关系

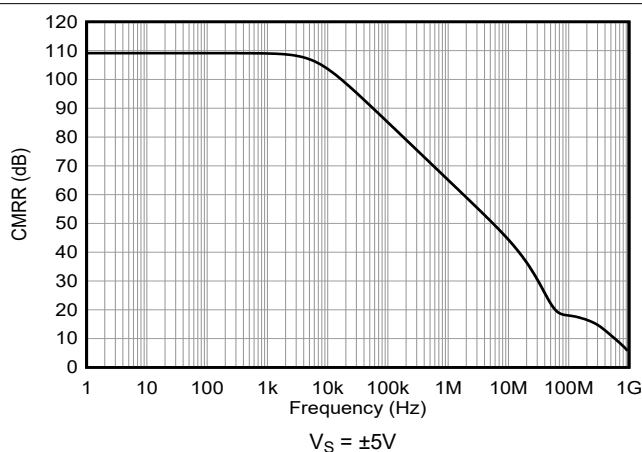


图 5-10. 共模抑制比与频率间的关系

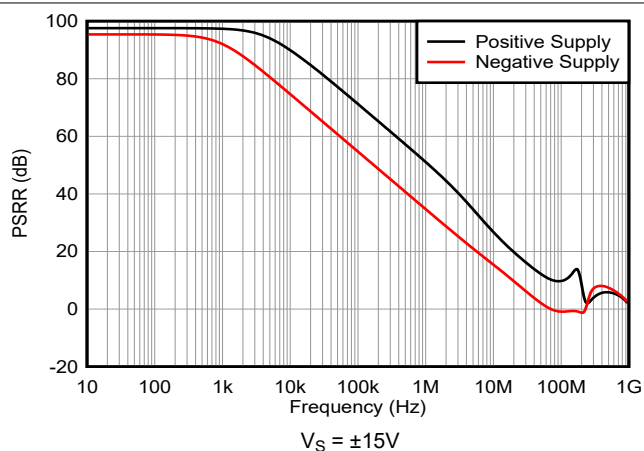


图 5-11. 电源抑制比与频率间的关系

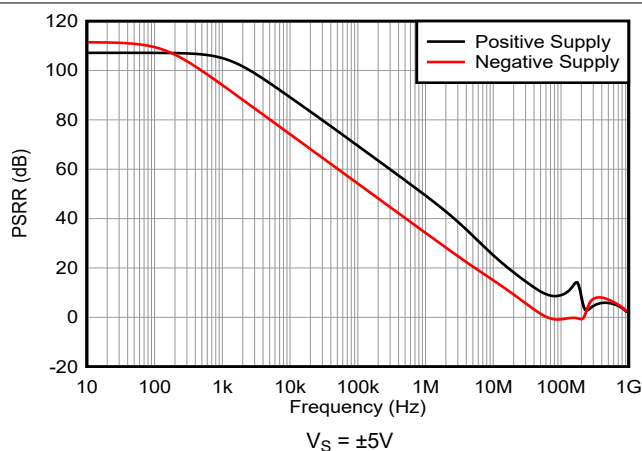


图 5-12. 电源抑制比与频率间的关系

5.7 典型特性：D (SOIC, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

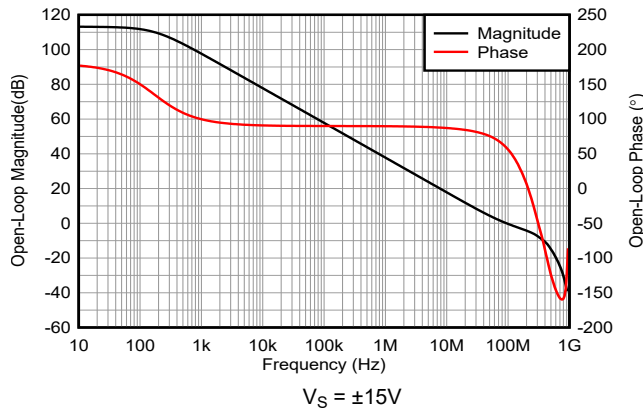


图 5-13. 开环频率响应

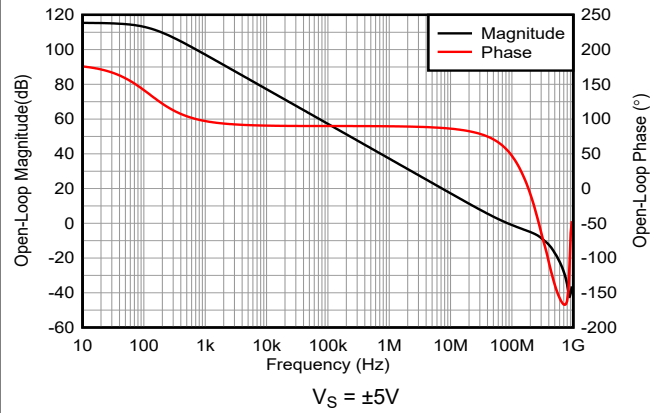


图 5-14. 开环频率响应

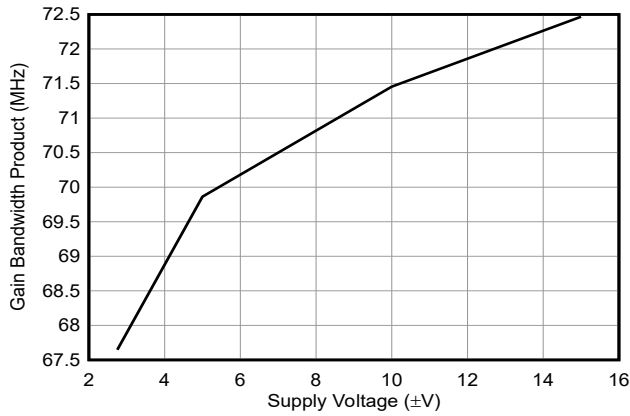


图 5-15. 不同温度下增益带宽积与电源电压间的关系

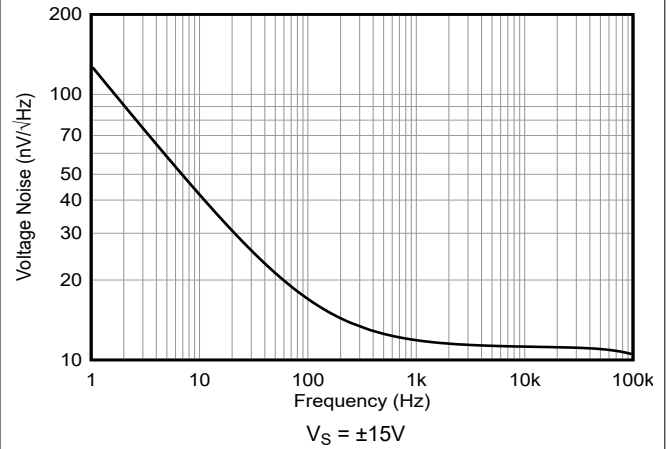


图 5-16. 输入电压噪声与频率间的关系

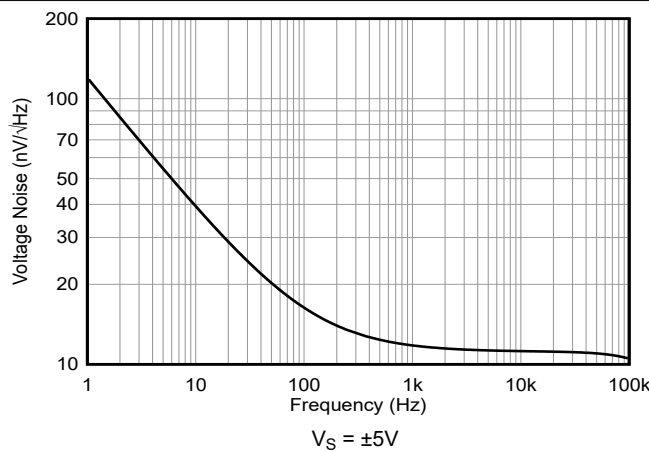


图 5-17. 输入电压噪声与频率间的关系

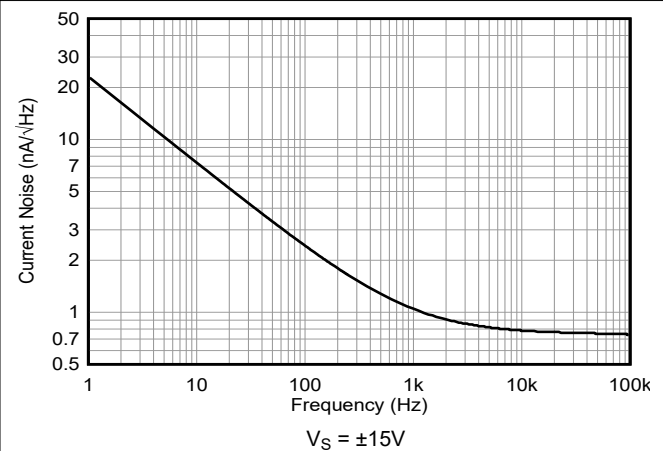


图 5-18. 输入电流噪声与频率间的关系

5.7 典型特性：D (SOIC, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

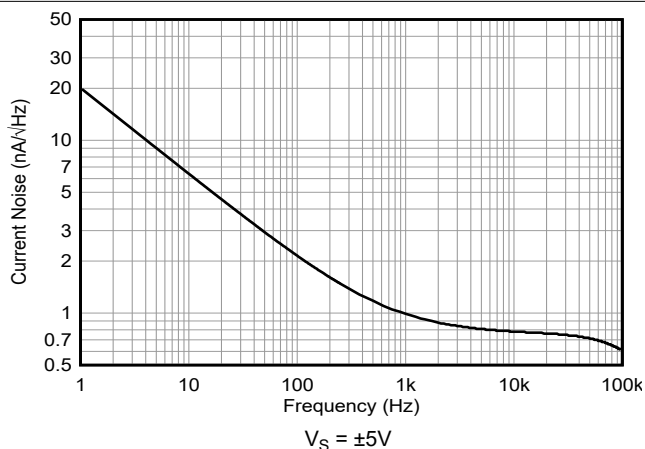


图 5-19. 输入电流噪声与频率间的关系

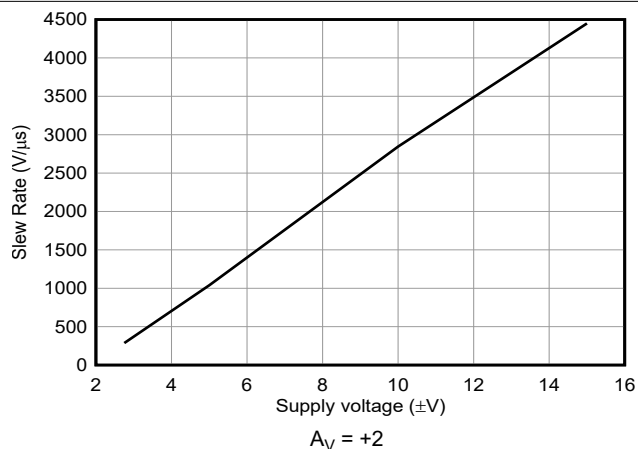


图 5-20. 压摆率与电源电压间的关系

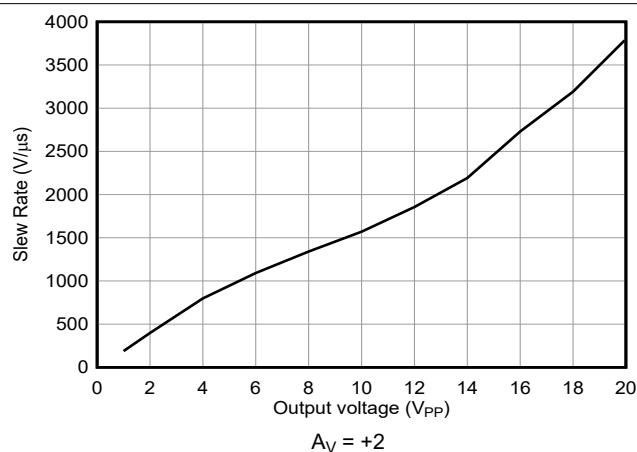


图 5-21. 压摆率与输出电压间的关系

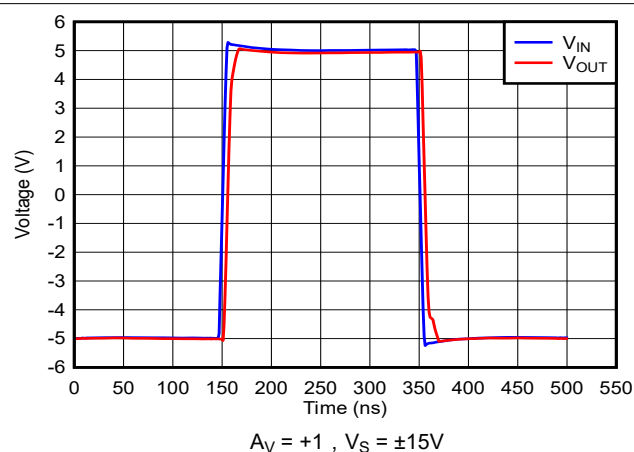


图 5-22. 大信号脉冲响应

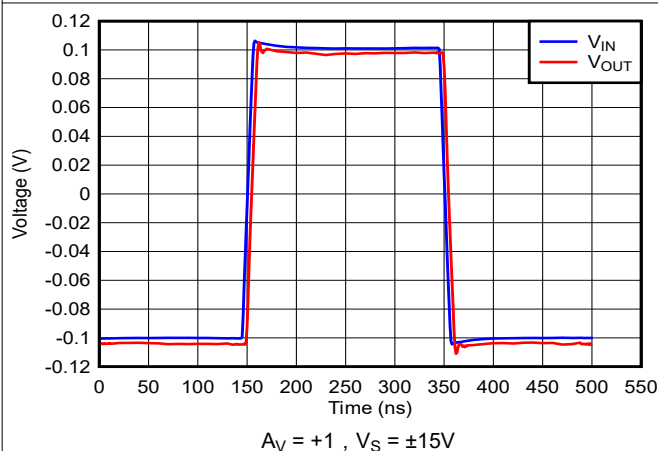


图 5-23. 小信号脉冲响应

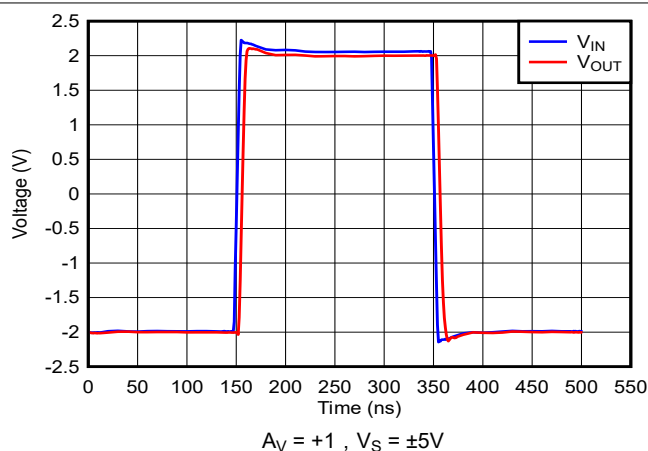
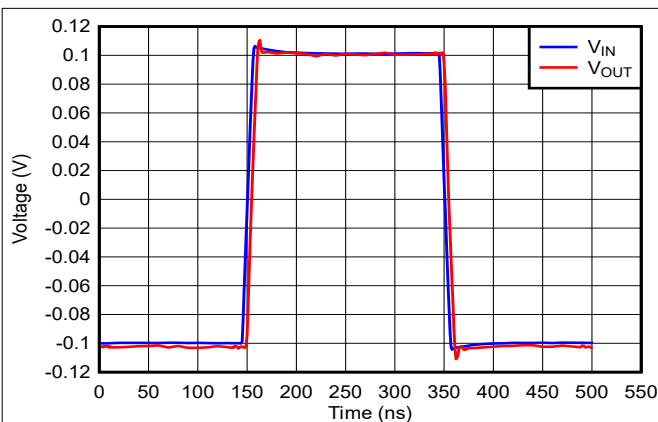


图 5-24. 大信号脉冲响应

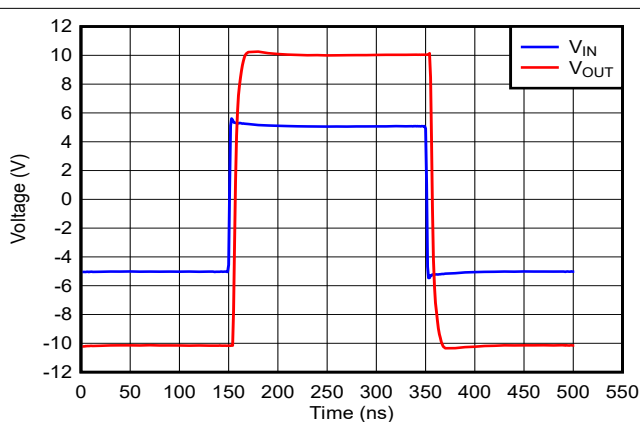
5.7 典型特性：D (SOIC, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)



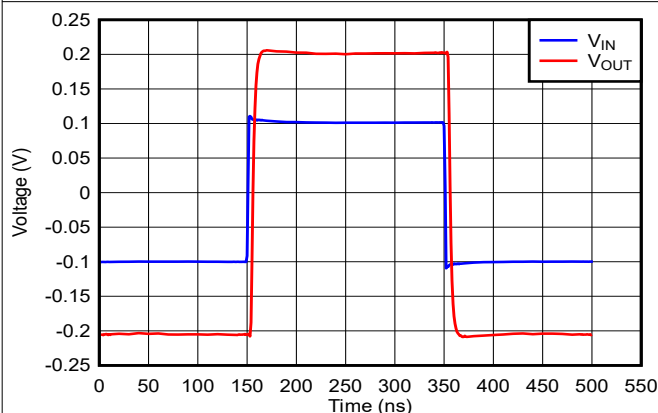
$A_V = +1, V_S = \pm 5V$

图 5-25. 小信号脉冲响应



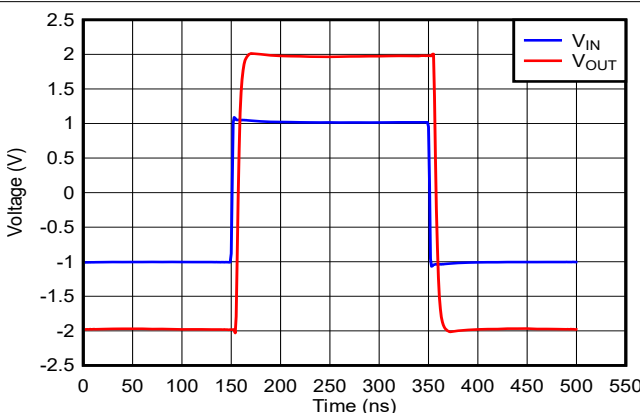
$A_V = +2, V_S = \pm 15V$

图 5-26. 大信号脉冲响应



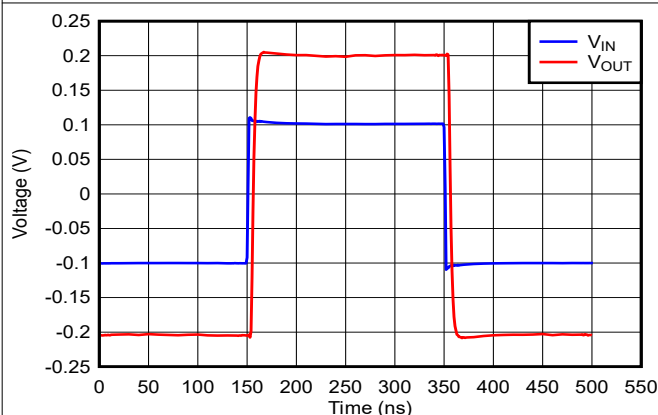
$A_V = +2, V_S = \pm 15V$

图 5-27. 小信号脉冲响应



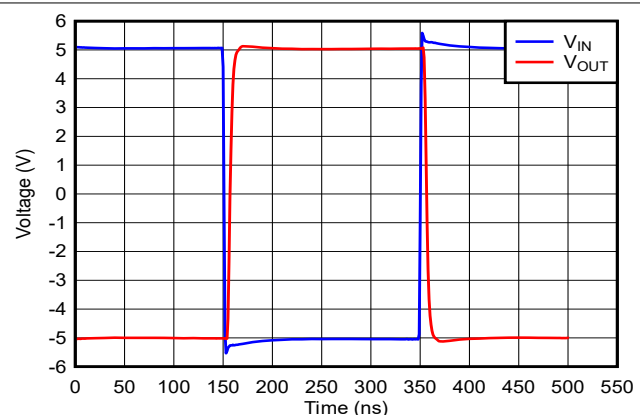
$A_V = +2, V_S = \pm 5V$

图 5-28. 大信号脉冲响应



$A_V = +2, V_S = \pm 5V$

图 5-29. 小信号脉冲响应



$A_V = -1, V_S = \pm 15V$

图 5-30. 大信号脉冲响应

5.7 典型特性：D (SOIC, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

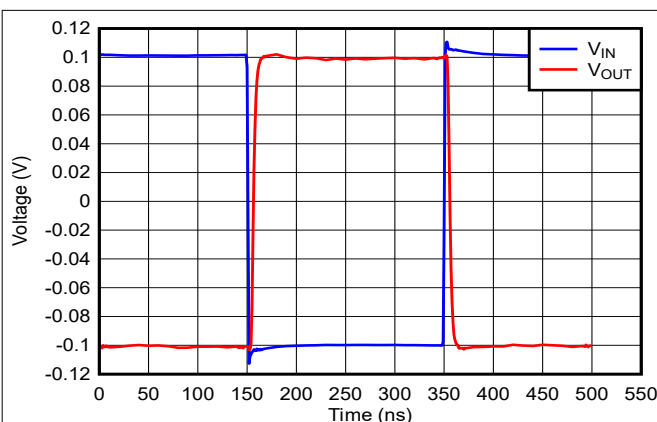


图 5-31. 小信号脉冲响应

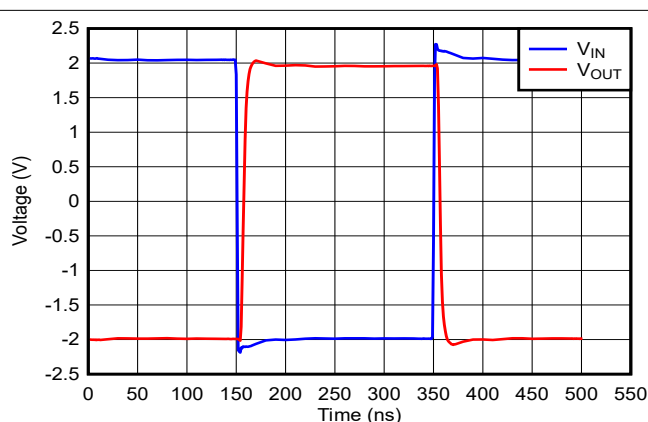


图 5-32. 大信号脉冲响应

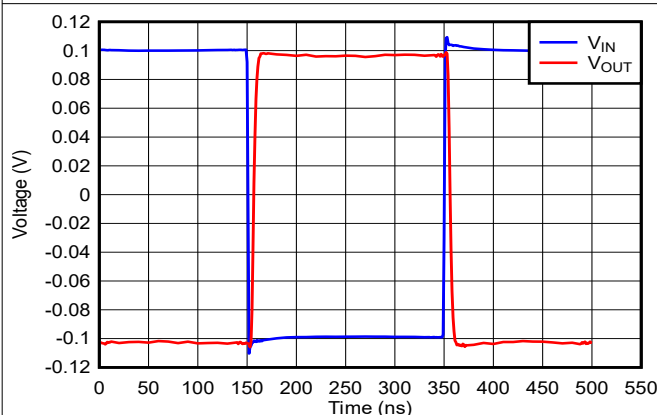


图 5-33. 小信号脉冲响应

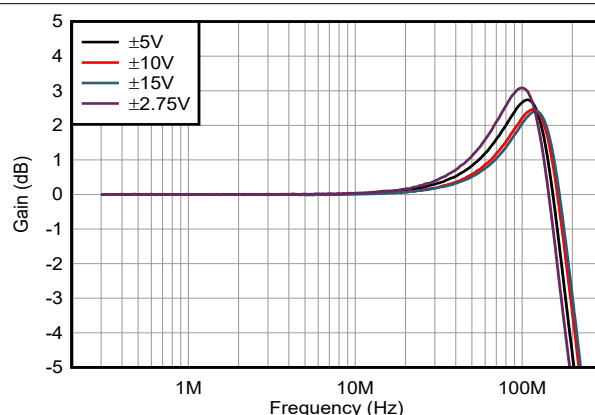


图 5-34. 闭环频率响应与电源电压间的关系

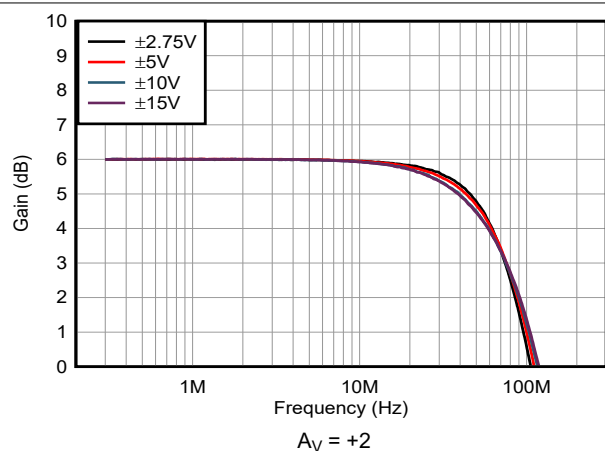


图 5-35. 闭环频率响应与电源电压间的关系

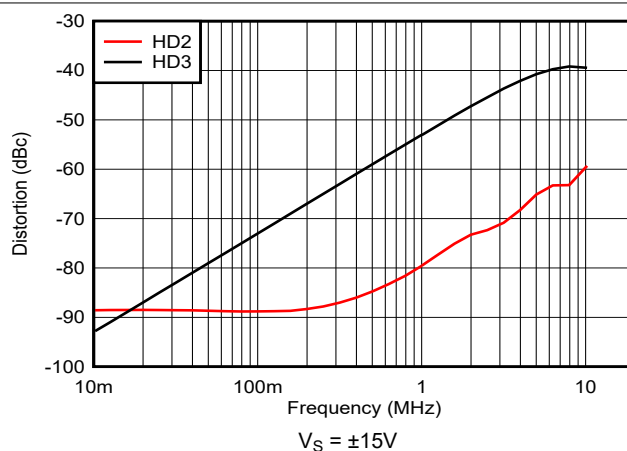


图 5-36. 谐波失真与频率间的关系

5.7 典型特性：D (SOIC, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

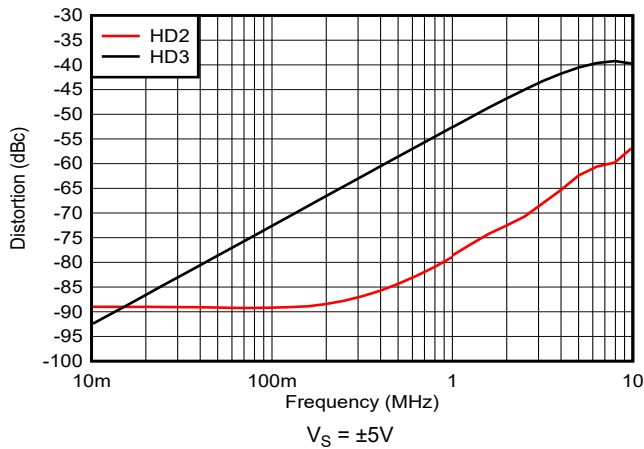


图 5-37. 谐波失真与频率间的关系

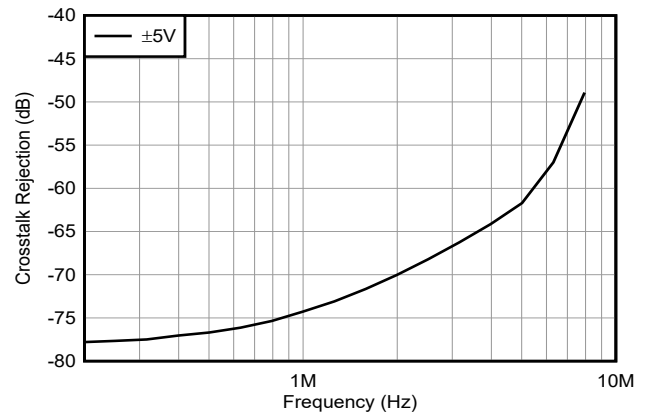


图 5-38. 串扰抑制与频率间的关系

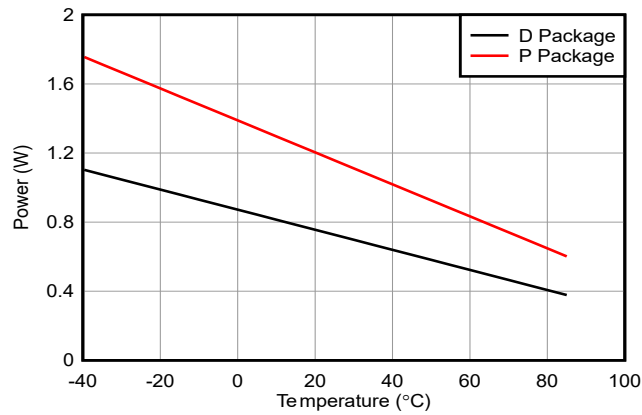


图 5-39. 最大功率耗散与环境温度间的关系

5.8 典型特性：P (PDIP, 8) 封装

$T_A = 25^\circ\text{C}$ (除非另有说明)

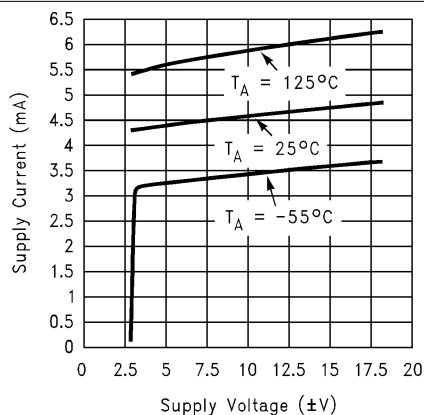


图 5-40. 电源电压与电源电流间的关系

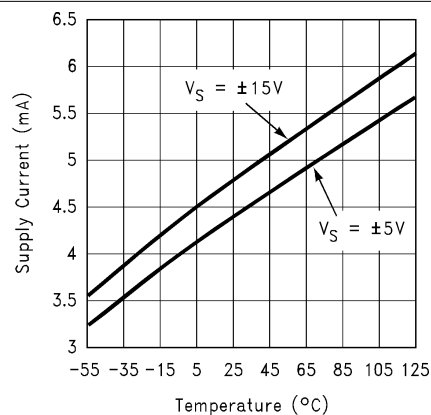


图 5-41. 电源电流与温度间的关系

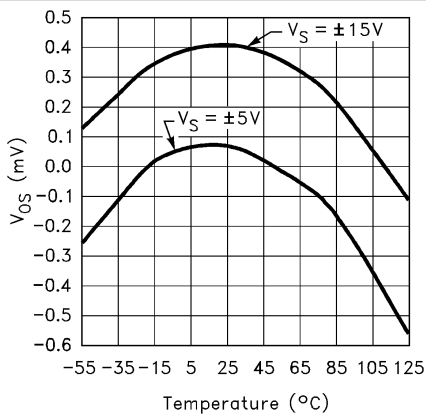


图 5-42. 输入失调电压与温度间的关系

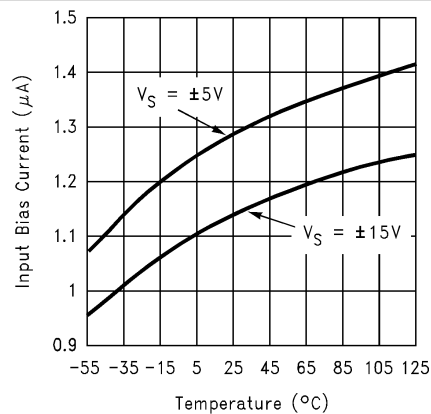


图 5-43. 输入偏置电流与温度间的关系

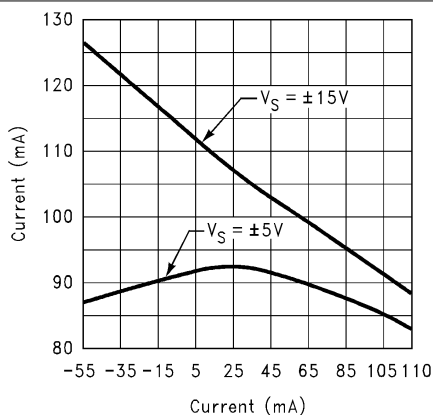


图 5-44. 短路电流与温度之间的关系 (拉电流)

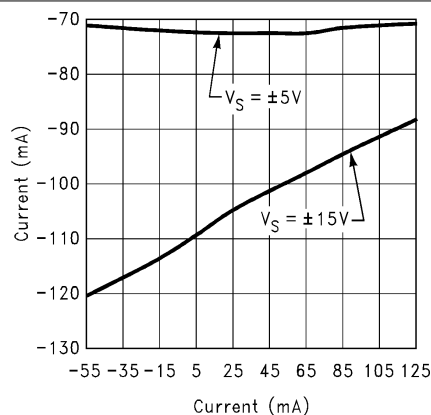


图 5-45. 短路电流与温度之间的关系 (灌电流)

5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

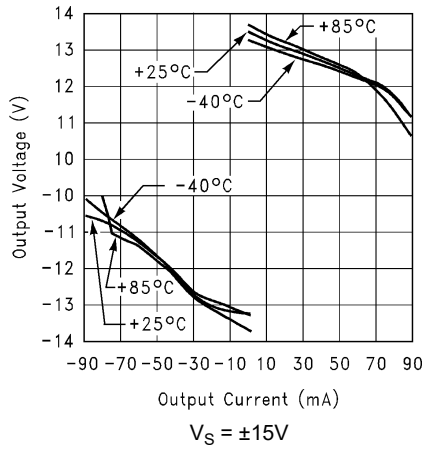


图 5-46. 输出电压与输出电流间的关系

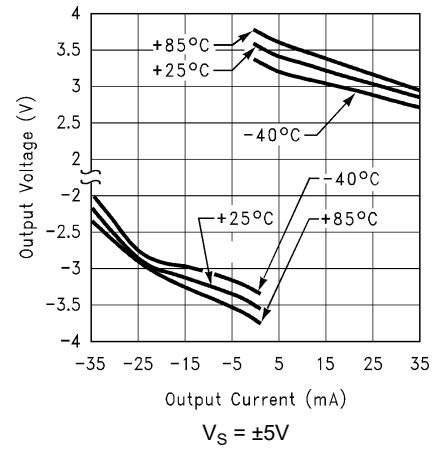


图 5-47. 输出电压与输出电流间的关系

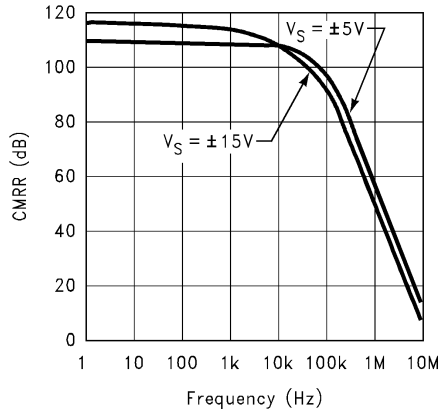


图 5-48. 共模抑制比与频率间的关系

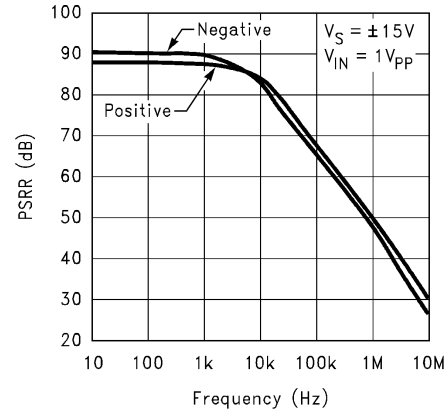


图 5-49. PSRR 与频率间的关系

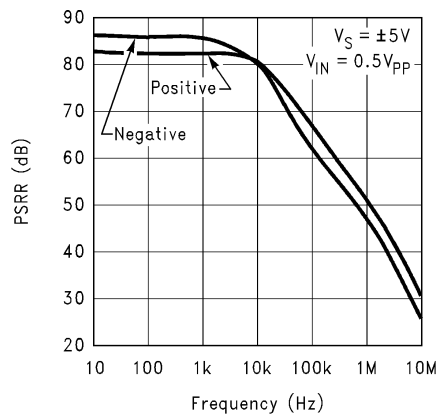


图 5-50. PSRR 与频率间的关系

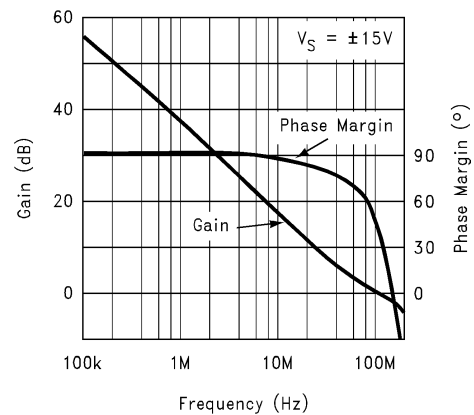


图 5-51. 开环频率响应

5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

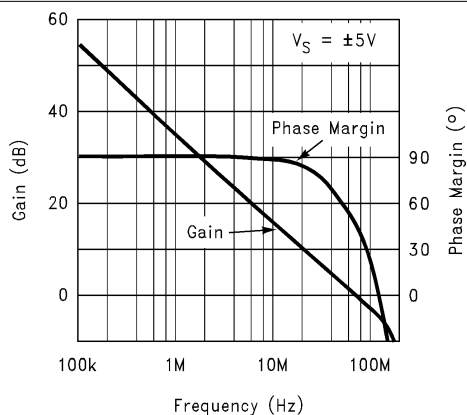


图 5-52. 开环频率响应

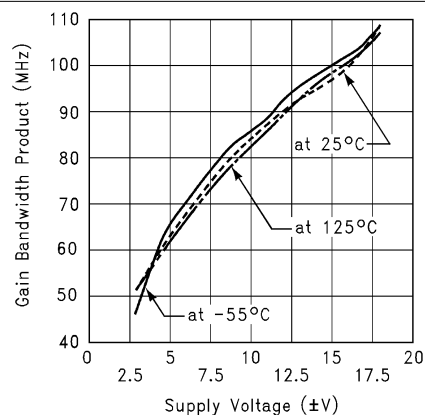


图 5-53. 不同温度下增益带宽积与电源电压间的关系

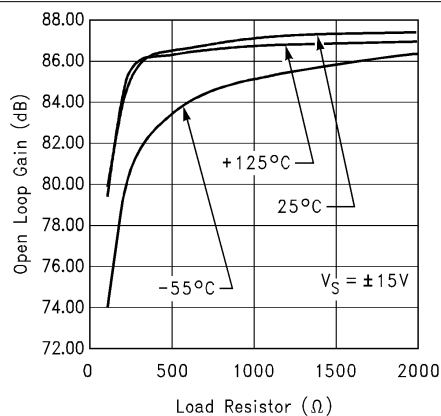


图 5-54. 大信号电压增益与负载间的关系

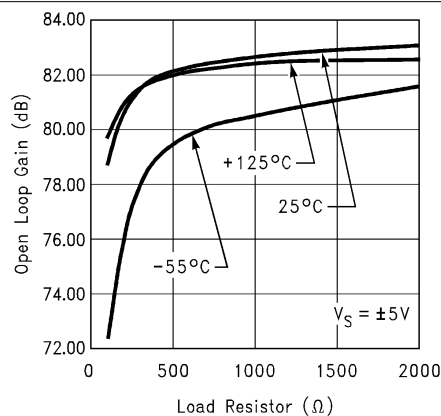


图 5-55. 大信号电压增益与负载间的关系

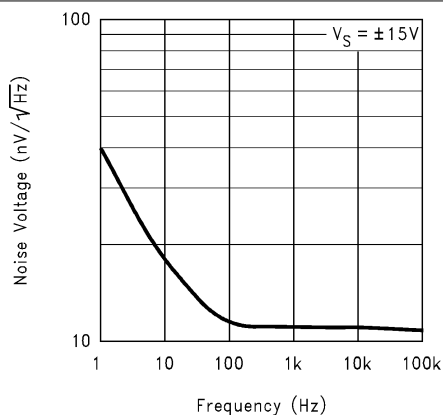


图 5-56. 输入电压噪声与频率间的关系

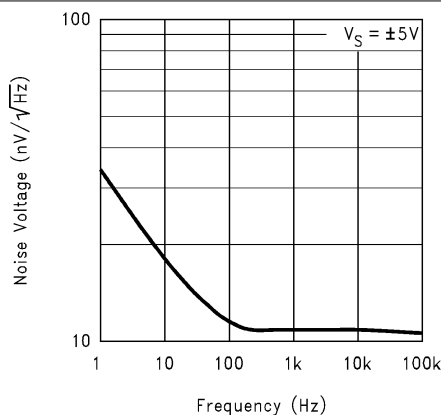


图 5-57. 输入电压噪声与频率间的关系

5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

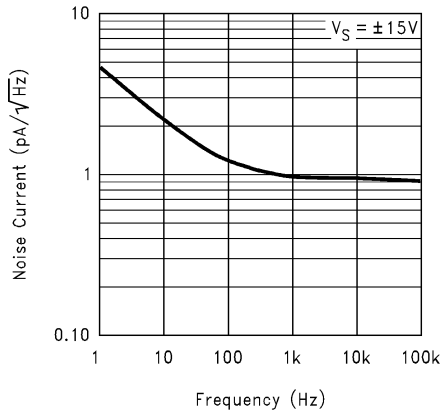


图 5-58. 输入电流噪声与频率间的关系

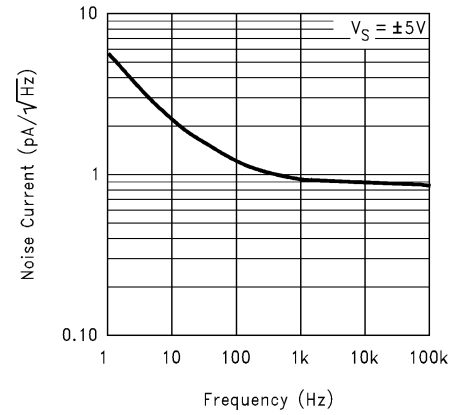


图 5-59. 输入电流噪声与频率间的关系

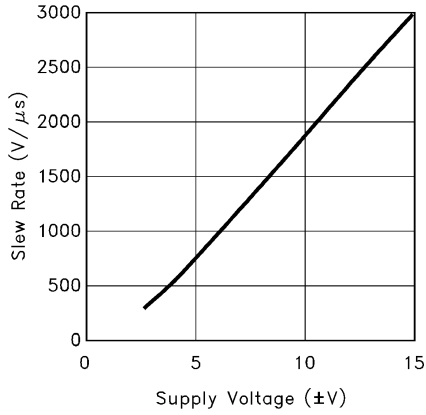


图 5-60. 压摆率与电源电压间的关系

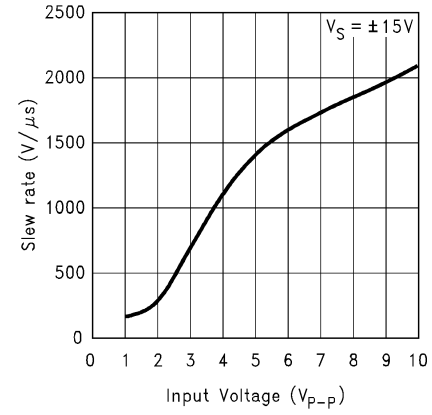


图 5-61. 压摆率与输入电压间的关系

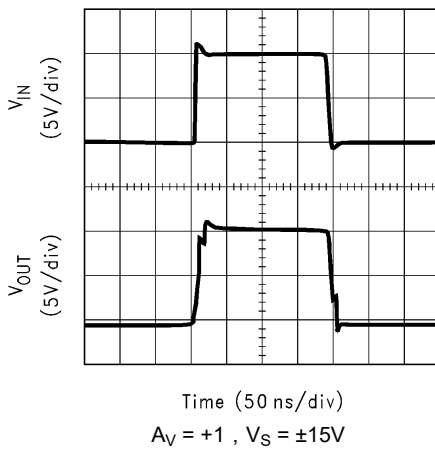


图 5-62. 大信号脉冲响应

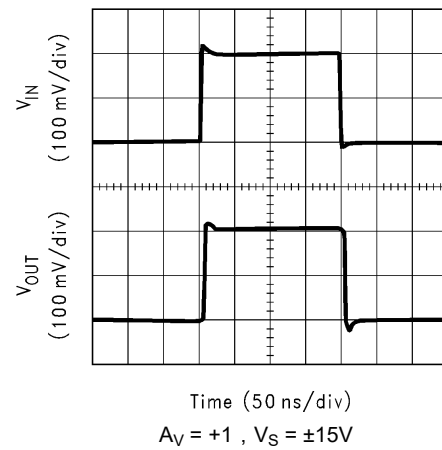
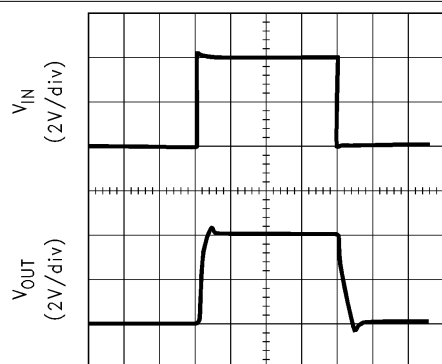


图 5-63. 小信号脉冲响应

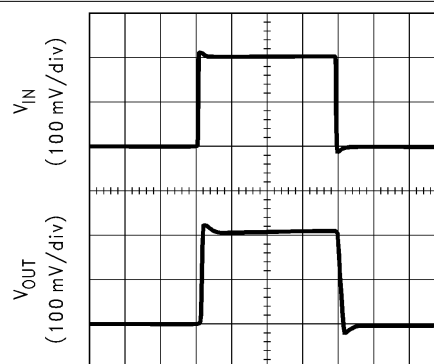
5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)



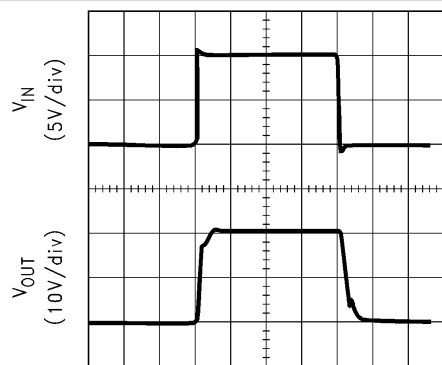
Time (50 ns/div)
 $A_V = +1$, $V_S = \pm 5\text{V}$

图 5-64. 大信号脉冲响应



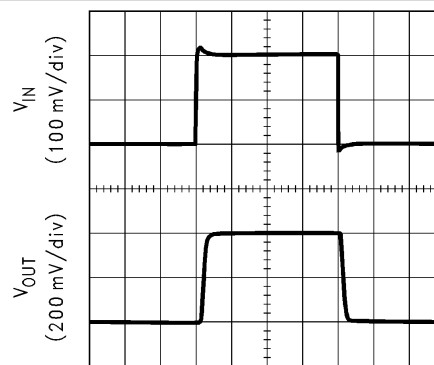
Time (50 ns/div)
 $A_V = +1$, $V_S = \pm 5\text{V}$

图 5-65. 小信号脉冲响应



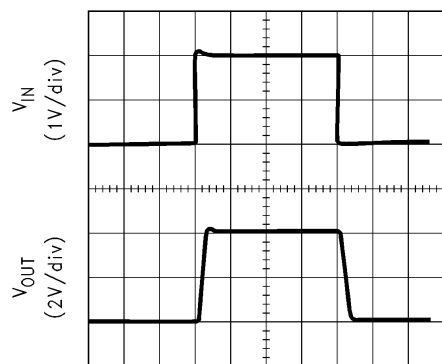
Time (50 ns/div)
 $A_V = +2$, $V_S = \pm 15\text{V}$

图 5-66. 大信号脉冲响应



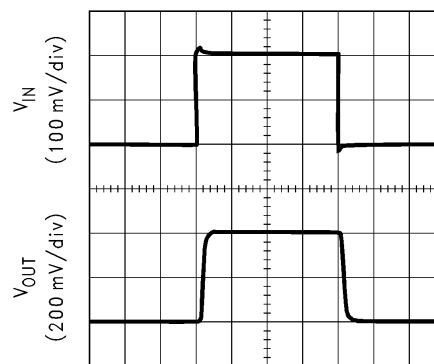
Time (50 ns/div)
 $A_V = +2$, $V_S = \pm 15\text{V}$

图 5-67. 小信号脉冲响应



Time (50 ns/div)
 $A_V = +2$, $V_S = \pm 5\text{V}$

图 5-68. 大信号脉冲响应

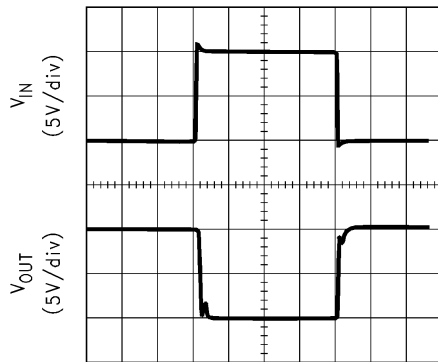


Time (50 ns/div)
 $A_V = +2$, $V_S = \pm 5\text{V}$

图 5-69. 小信号脉冲响应

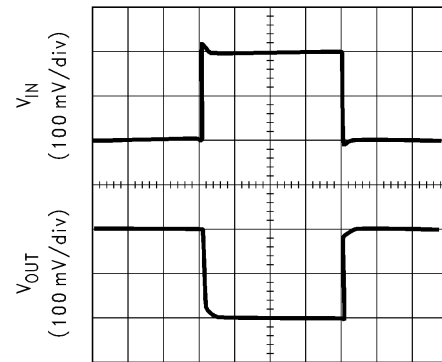
5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)



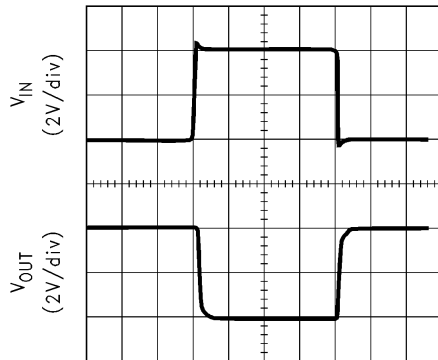
Time (50 ns/div)
 $A_V = -1$, $V_S = \pm 15\text{V}$

图 5-70. 大信号脉冲响应



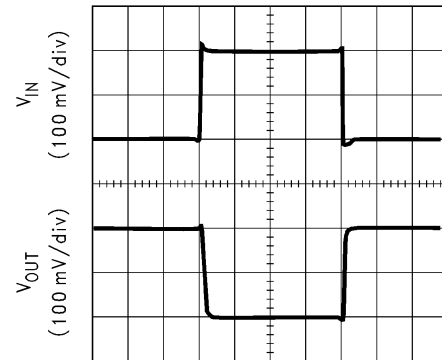
Time (50 ns/div)
 $A_V = -1$, $V_S = \pm 15\text{V}$

图 5-71. 小信号脉冲响应



Time (50 ns/div)
 $A_V = -1$, $V_S = \pm 5\text{V}$

图 5-72. 大信号脉冲响应



Time (50 ns/div)
 $A_V = -1$, $V_S = \pm 5\text{V}$

图 5-73. 小信号脉冲响应

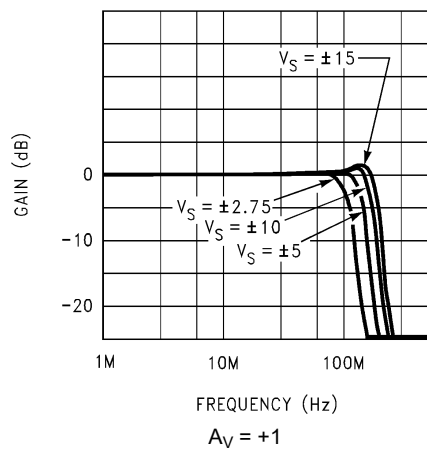


图 5-74. 闭环频率响应与电源电压间的关系

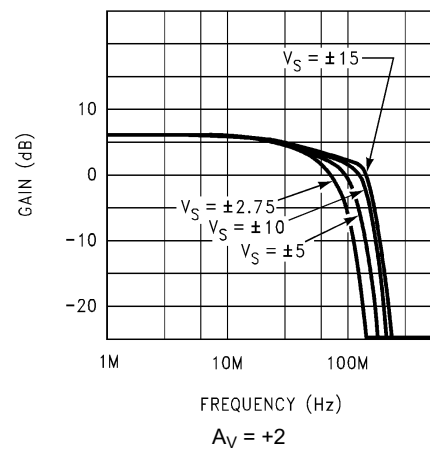


图 5-75. 闭环频率响应与电源电压间的关系

5.8 典型特性：P (PDIP, 8) 封装 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

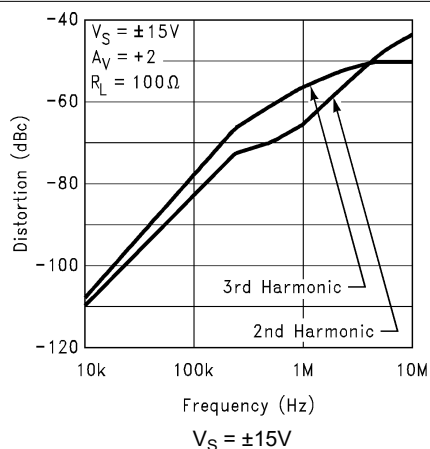


图 5-76. 谐波失真与频率间的关系

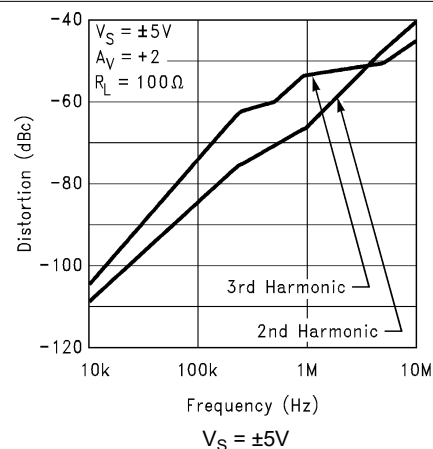


图 5-77. 谐波失真与频率间的关系

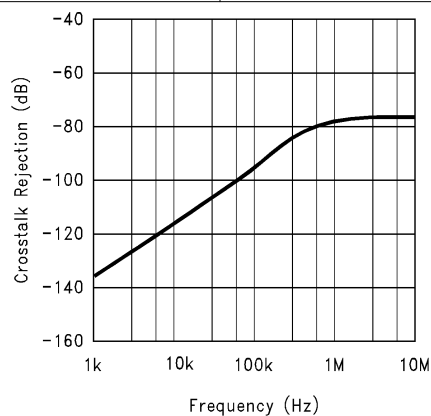


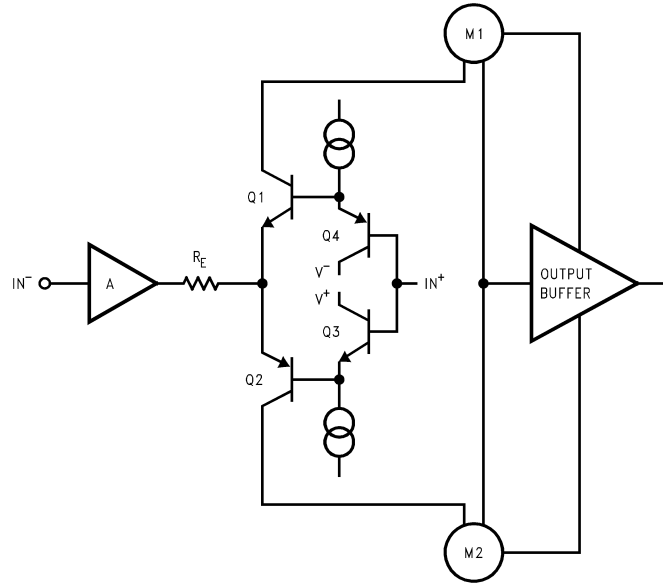
图 5-78. 串扰抑制与频率间的关系

6 详细说明

6.1 概述

LM6172 是一款双通道、高速、低功耗电压反馈放大器。该器件具有单位增益稳定性，并可提供出色的性能，而每通道的电源电流仅为 2.3mA。LM6172 具有 100MHz 单位增益带宽、3000V/ μ s 压摆率、每通道 50mA 的输出电流及其他吸引人的特性，因此可以轻松地在各种应用中实施。LM6172 在 ± 15 V 电源下工作时的静态功耗为 138mW，而在 ± 5 V 电源下工作时，静态功耗则为 46mW。

6.2 功能方框图



6.3 特性说明

6.3.1 压摆率

LM6172 的压摆率由可对内部高阻抗节点电容进行充电和放电的电流决定。该电流等于差分输入电压除以总退化电阻 R_E 。因此，压摆率与输入电压电平成正比，并且在较低增益配置中可以实现更高的压摆率。

当向放大器的输入端施加非常快的大信号脉冲时，会发生一些过冲或下冲。通过在 LM6172 的输入端放置一个外部串联电阻（如 1k Ω ），可降低压摆率，从而降低过冲，进而缩短稳定时间。

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 电路运行

LM6172 中的 AB 类输入级是完全对称的，并且具有与电流反馈放大器相似的转换特性。在节 6.2 的功能方框图中，Q1 到 Q4 构成了电流反馈输入缓冲器的等效电路， R_E 则是反馈电阻器的等效电阻，而 A 级用于缓冲反相输入。三缓冲输出级将增益级与负载隔离，以提供低输出阻抗。

7.1.2 缩短稳定时间

LM6172 具有非常快的压摆率，可导致过冲和下冲。为了缩短 LM6172 的稳定时间，可将一个 $1k\Omega$ 电阻器与输入信号串联以降低压摆率。也可以使用反馈电容器来减少过冲和下冲。该反馈电容器用作零点，以提高放大器电路的稳定性。建议在初始评估中使用 $2pF$ 反馈电容器。当 LM6172 配置为缓冲器时，必须与反馈电容器并联一个 $1k\Omega$ 的反馈电阻器。

另一个可能的过冲和下冲来源是输出端的容性负载。另请参阅节 7.1.3。

7.1.3 驱动容性负载

驱动容性负载的放大器可能会在输出端产生振荡或振铃。要消除振荡或减少振铃，请按照图 7-1 所示放置一个隔离电阻器。隔离电阻器和负载电容器形成了一个极点，通过增大整个系统的相位裕度提高了稳定性。所需的性能取决于隔离电阻器的阻值；隔离电阻器越大，脉冲响应越受到阻尼（越慢）。对于 LM6172，建议在初始评估时使用 50Ω 隔离电阻器。

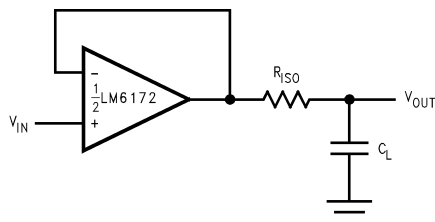


图 7-1. 用于驱动容性负载的隔离电阻器

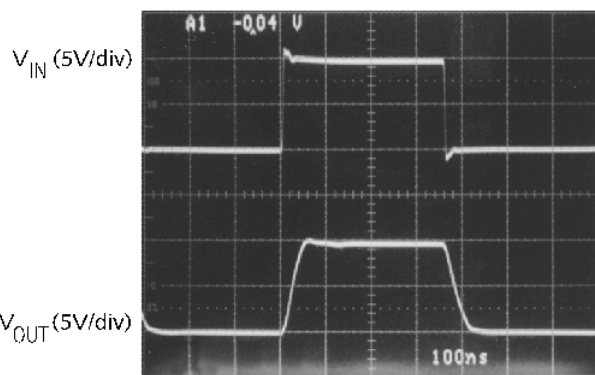


图 7-2. LM6172 使用 30Ω 隔离电阻器驱动 $510pF$ 负载

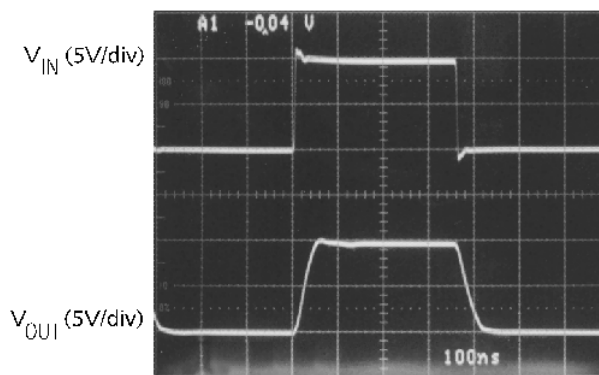


图 7-3. LM6172 使用 50Ω 隔离电阻器驱动 $220pF$ 负载

7.1.4 对输入电容进行补偿

放大器输入电容和增益设置电阻器的组合增加了一个可能导致峰值或振荡的极点。为了解决这个问题，可使用一个具有以下值的反馈电容器来抵消该极点：

$$C_F > (R_G \times C_{IN}) / R_F \quad (1)$$

对于 LM6172，建议使用 2pF 的反馈电容器。图 7-4 展示了该补偿电路。

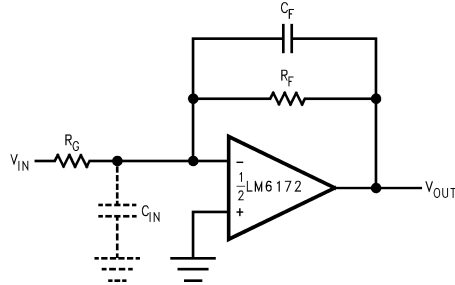


图 7-4. 对输入电容进行补偿

7.1.5 端接

在高频应用中，如果信号端接不当，会发生反射。图 7-5 显示了正确端接的信号，而图 7-6 显示了端接不当的信号。

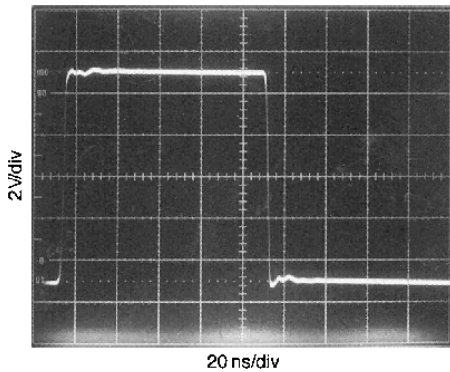


图 7-5. 正确端接的信号

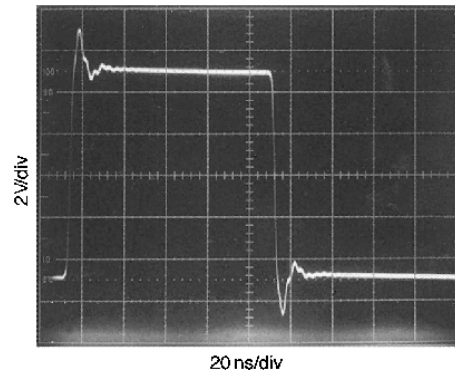


图 7-6. 端接不当的信号

为了更大限度地减少反射，请使用特征阻抗与信号源匹配的同轴电缆。使用相同值的终端器或电阻器端接电缆的另一端。对于常用电缆，RG59 具有 75 Ω 特征阻抗，而 RG58 具有 50 Ω 特征阻抗。

7.2 典型应用

7.2.1 应用电路

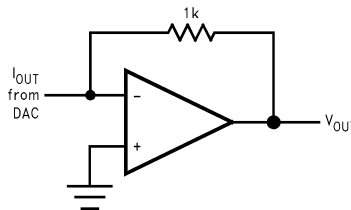


图 7-7. I-V 转换器

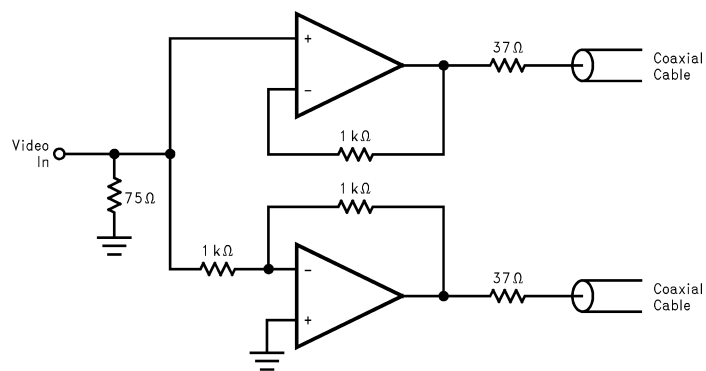


图 7-8. 差动线路驱动器

7.3 电源相关建议

7.3.1 电源旁路

为了在整个频率范围内保持低电源阻抗，必须对电源进行旁路。通过将 $0.01\ \mu\text{F}$ 陶瓷电容器直接放置在电源引脚上，并将 $2.2\ \mu\text{F}$ 钽电容器放置在靠近电源引脚的位置，分别对正负电源进行旁路。

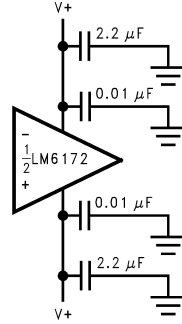


图 7-9. 电源旁路

7.3.2 功率耗散

器件中允许的最大功耗定义为：

$$P_D = (T_{J(\max)} - T_A) / \theta_{JA} \quad (2)$$

其中

- P_D 是器件的耗散功率
- $T_{J(\max)}$ 是最高结温
- T_A 是环境温度
- θ_{JA} 是特定封装的热阻

例如，对于采用 SOIC-8 封装的 LM6172， 25°C 环境温度下的最大功耗为 726mW。

热阻 θ_{JA} 取决于芯片尺寸、封装尺寸和封装材料等参数。芯片尺寸和封装越小， θ_{JA} 就越高。8 引脚 PDIP 封装的热阻 ($108^\circ\text{C}/\text{W}$) 低于 8 引脚 SOIC 封装的热阻 ($172^\circ\text{C}/\text{W}$)。因此，要获得更高的耗散能力，请使用 8 引脚 PDIP。

器件中耗散的总功率还可计算为：

$$P_D = P_Q + P_L \quad (3)$$

其中

- P_Q 是在输出端未连接负载时器件中耗散的静态功率。
- P_L 是在输出端连接负载时器件中耗散的功率，而不是负载中耗散的功率。

此外，

- $P_Q = \text{电源电流} \times \text{空载时的总电源电压}$
- $P_L = \text{输出电流} \times (\text{电源电压} - \text{同一电源的输出电压之间的电压差})$

例如，使用 [方程式 3](#) 可求解 LM6172 的总功率耗散，其中 $V_S = \pm 15\text{V}$ 、两个通道的输出按压摆幅为 10V 且负载为 $1\text{k}\Omega$ ：

- $= 2[(2.3\text{mA})(30\text{V})] + 2[(10\text{mA})(15\text{V} - 10\text{V})]$
- $= 138\text{mW} + 100\text{mW}$
- $= 238\text{mW}$

7.4 布局

7.4.1 布局指南

7.4.1.1 印刷电路板和高速运算放大器

在设计高速运算放大器的印刷电路板 (PCB) 时，需要考虑许多因素。如果没有考虑适当的注意事项，高速电路中可能会发生过度的振铃、振荡和其他交流性能下降的情况。通常，应使用短而宽的信号布线来提供低电感和低阻抗路径。将所有未使用的电路板空间接地以减少杂散信号拾取。此外，还应在公共点处为关键元件接地，以消除压降。插座会增加电路板的电容，并可能影响频率性能。最好是在不使用插座的情况下将放大器直接焊接到 PCB 上。

7.4.1.2 使用探头

有源 (FET) 探头具有宽带宽、高输入阻抗和低输入电容，因此非常适合用于高频测量。但是，探头接地引线提供较长的接地环路，会在测量中产生误差。这时可以移除接地引线和探头套并使用示波器探头插孔来将探头直接接地。

7.4.1.3 元件选择和反馈电阻器

在高速应用中，由于导线在高频环境下会产生电感效应，因此应保持所有元件引线尽量短。对于分立式元件，请选择碳素混合体型电阻器和云母型电容器。为了尽量减少电感效应，应优先选择表面贴装元件，而不是分立式元件。

较大的反馈电阻器可能会与寄生电容耦合，并在高速放大器中导致振铃或振荡等不良影响。对于 LM6172，反馈电阻器小于 $1\text{k}\Omega$ 时可获得优化的性能。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (March 2013) to Revision E (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了封装信息表以及引脚配置和功能、规格、ESD 等级、建议运行条件、热性能信息、详细说明、概述、功能方框图、特性说明、器件功能模式、应用和实现、典型应用、电源相关建议、布局、布局指南、布局示例、器件和文档支持以及机械、封装和可订购信息部分.....	1
• 更改了引脚名称并更新了引脚排列图以反映新的命名约定.....	3
• 更新了 D (SOIC-8) 和 P (PDIP-8) 封装的热性能信息.....	4
• 将直流和交流电气特性移到同一个表格中，涵盖 ±15V 和 ±5V 规格。.....	5
• 更改了 D 封装的输出短路电流。.....	5
• 将 D 封装的单位增益带宽从 100MHz 更新为 80MHz。.....	5
• 更新了 D 封装的二次谐波失真。.....	5
• 更新了 D 封装的三次谐波失真。.....	5
• 更改了 D 封装的输出短路电流。.....	7
• 更新了 D 封装的 -3dB 频率。.....	7
• 更新了 D 封装的相位裕度。.....	7
• 更新了 D 封装的二次谐波失真。.....	7
• 更新了 D 封装的三次谐波失真。.....	7
• 删除了最大功率耗散与环境温度间的关系.....	16
• 更改了功率耗散中的热性能值以匹配热性能信息表.....	27

Changes from Revision C (March 2013) to Revision D (March 2013)	Page
• 删除了 <i>绝对最大额定值</i> 中的 ESD 信息和脚注并将其移至 <i>ESD</i> 等级。.....	4
• 删除了 <i>建议运行条件</i> 中的脚注.....	4
• 将美国国家通用数据表的版面布局更改为 TI 格式.....	25

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM6172IM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LM61 72IM
LM6172IMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	LM61 72IM
LM6172IMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LM61 72IM
LM6172IMX/NOPB.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	LM61 72IM
LM6172IN/NOPB	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6172IN
LM6172IN/NOPB.A	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6172IN
LM6172IN/NOPB.B	Active	Production	PDIP (P) 8	40 TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6172IN

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM6172IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM6172IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LM6172IN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LM6172IN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LM6172IN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32

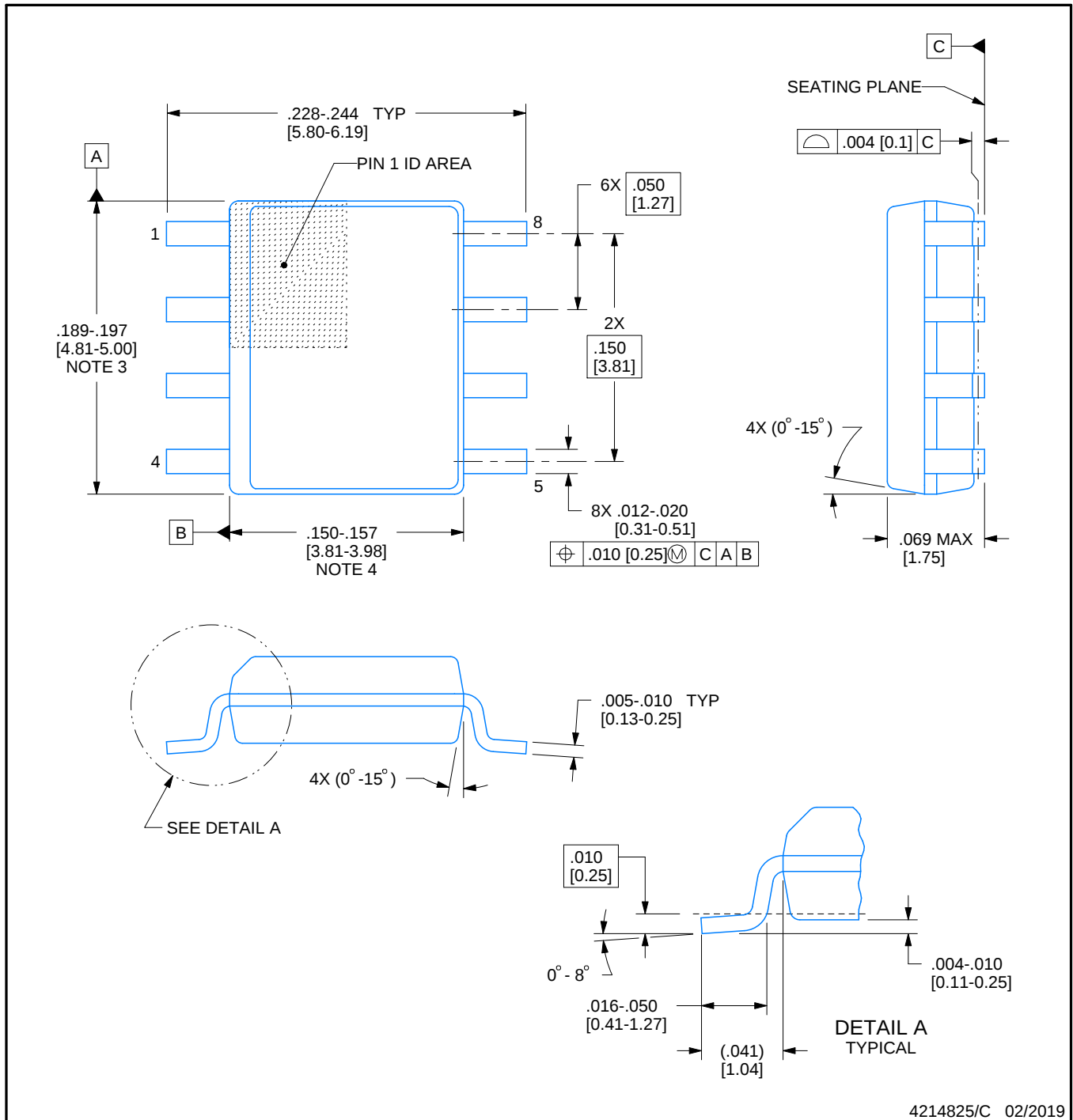


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

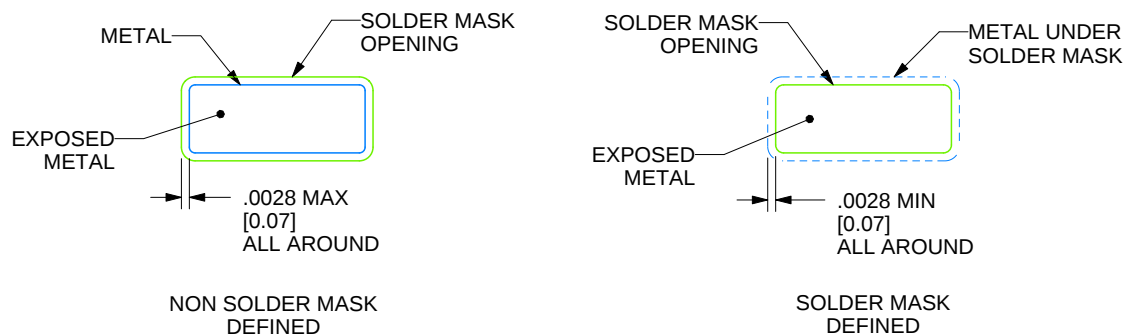
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司