LM5125-Q1 具有 V_{OUT} 跟踪的宽 VIN、双相、汽车级升压控制器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：T_A = -40°C 至 +125°C
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 4.5V 至 42V 输入电压
  - $V_{(BIAS)}$ ≥ 4.5V 或 V_{OUT} ≥ 6V 时，最小值为 2.5V
- 6V 至 60V 输出电压
  - 2% 精度的内部反馈电阻器
  - V_I > V_{OUT} 时进行旁路操作
  - 输出电压动态跟踪
    - 数字 PWM 跟踪 (DTRK)
    - 模拟跟踪 (ATRK)
  - 过压保护（64V、50V、35V、28.5V）
- 低关断 I_Q (2 μ A)
- 低工作 I_Q (1.4mA)
- 开关频率范围为 100kHz 至 2.2MHz
  - 与外部时钟频率同步 (SYNCIN)
  - 动态可选开关模式（FPWM、二极管仿真）
  - 展频 (DRSS)
- 可选死区时间（14ns 至 200ns）
- 电流感应电阻器或 DCR 检测
- 平均电感器电流监测
- 平均输入电流限制
  - 可编程电流限制
  - 可选延迟时间
- 电源正常状态指示器
- 可编程 V_I 欠压锁定 (UVLO)
- 具有可湿性侧面的无引线 VQFN-32 封装

2 应用

- 高端音频电源
- 稳压器模块
- 启停应用

3 说明

LM5125-Q1 是一款 的 双相同步升压控制器。该器件在输入电压低于或等于输出电压时提供稳定的输出减压，并支持 V_I 至 V_{OUT} 旁路模式以节省功耗。

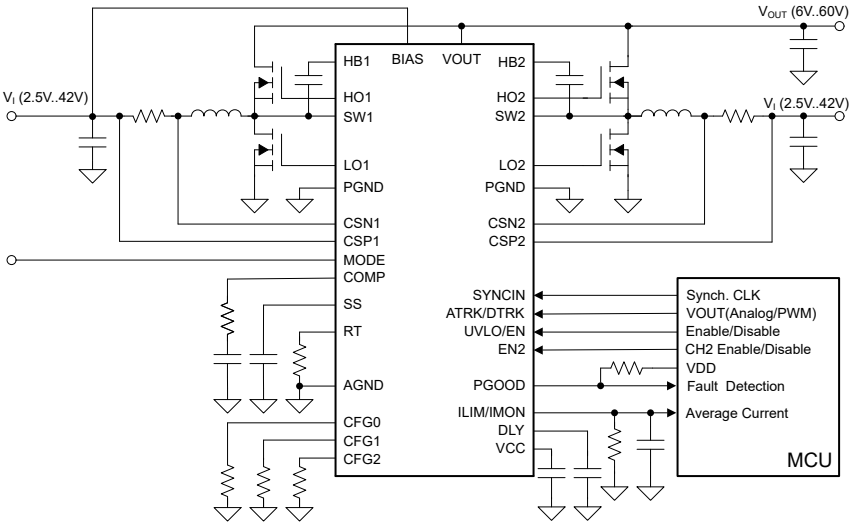
动态使用模拟或数字 ATRK/DTRK 功能 对 V_{OUT} 进行编程。当 V_{BIAS} < 4.5V 时，内部 VCC 电源会自动从 V_{BIAS} 切换到 V_{OUT}，因此启动后可支持低至 2.5V 的 V_I。通过 RT 引脚上的电阻器或 SYNCIN 时钟，可在 100kHz 和 2.2MHz 之间设置固定开关频率。开关模式、FPWM 或二极管仿真可以在运行期间更改。

所实现的保护峰值电流限制、平均输入电流限制、平均电感器电流监测、过压和欠压保护和热关断可以保护器件和应用。

封装信息

器件型号	封装(1)	封装尺寸(2)
LM5125-Q1	RHB（VQFN，32）	5mm × 5mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 6
5.4 热性能信息.... 6
5.5 电气特性.... 6
5.6 时序要求.... 11
5.7 Typical Characteristics.... 12
6 详细说明.... 16
6.1 概述.... 16
6.2 功能方框图.... 17
6.3 特性说明.... 18
6.4 器件功能模式.... 32
7 应用和实施.... 33
7.1 应用信息.... 33
7.2 典型应用.... 35
7.3 电源相关建议.... 51
7.4 布局.... 52
8 器件和文档支持.... 54
8.1 文档支持.... 54
8.2 接收文档更新通知.... 54
8.3 支持资源.... 54
8.4 商标.... 54
8.5 静电放电警告.... 54
8.6 术语表.... 54
9 修订历史记录.... 54
10 机械、封装和可订购信息.... 54

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

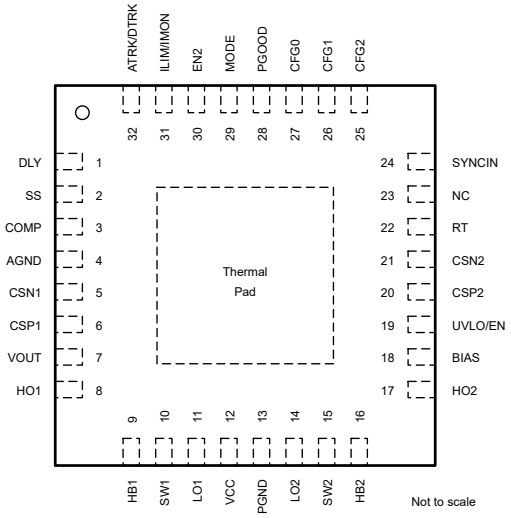


图 4-1. LM5125-Q1 RHB 封装，32 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
DLY	1	O	平均输入电流限制延迟设置引脚。DLY 和 AGND 之间的电容器用于设置从 V_{IMON} 达到 1V 到启用平均输入电流限制之间的延迟。
SS	2	O	软启动时间编程引脚。一个外部电容器和一个内部电流源用于设置软启动期间内部误差放大器基准的斜升速率。该器件会在软启动期间强制进行二极管仿真。
COMP	3	O	内部跨导误差放大器的输出。在引脚和 AGND 之间连接环路补偿元件。
AGND	4	G	模拟地引脚。通过一条宽而短的路径连接到模拟接地层。
CSN1	5	I	相位 1 的电流检测放大器输入引脚。该引脚用作负输入引脚。
CSP1	6	I	相位 1 的电流检测放大器输入引脚。该引脚用作正输入引脚。内部 V_I 欠压锁定电路的电源。
VOUT	7	P	输出电压检测引脚。内部反馈电阻分压器从该引脚连接到 AGND。在该引脚与接地之间连接一个 0.1 μF 本地 VOUT 电容器。
HO1	8	O	相位 1 的高侧栅极驱动器输出。通过一条短的低电感路径连接到高侧 N 沟道 MOSFET 的栅极。
HB1	9	P	用于相位 1 自举栅极驱动的高边驱动器电源。自举二极管在内部从 VCC 连接到该引脚。在该引脚和 SW1 之间连接一个 0.1 μF 电容器。
SW1	10	I	相位 1 的开关节点连接。直接连接到相位 1 高侧 N 沟道 MOSFET 的源极。
LO1	11	O	相位 1 的低侧栅极驱动器输出。通过一条短的低电感路径连接到低侧 N 沟道 MOSFET 的栅极。
VCC	12	P	内部 VCC 稳压器的输出和内部 MOSFET 驱动器的电源电压输入。在该引脚和 PGND 之间连接一个 10 μF 电容器。
PGND	13	G	用于低侧栅极驱动器和 VCC 辅助电源的电源接地连接引脚。
LO2	14	O	相位 2 的低侧栅极驱动器输出。通过一条短的低电感路径连接到低侧 N 沟道 MOSFET 的栅极。
SW2	15	I	相位 2 的开关节点连接。直接连接到相位 2 高侧 N 沟道 MOSFET 的源极。

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
HB2	16	P	用于相位 2 自举栅极驱动的高边驱动器电源。自举二极管在内部从 VCC 连接到该引脚。在该引脚和 SW2 之间连接一个 0.1 μF 电容器。
HO2	17	O	相位 2 的高侧栅极驱动器输出。通过一条短的低电感路径连接到高侧 N 沟道 MOSFET 的栅极。
BIAS	18	P	VCC 稳压器的电源电压输入。在该引脚与接地之间连接一个 1 μF 本地 BIAS 电容器。
UVLO/EN	19	I	欠压锁定编程引脚。通过电阻分压器将该引脚连接到电源电压，可对转换器的启动和关断电平进行编程。如果大于 $V_{UVLO-RISING}$，则使能相位 1。
CSP2	20	I	相位 2 的电流检测放大器输入引脚。该引脚用作正输入引脚。
CSN2	21	I	相位 2 的电流检测放大器输入引脚。该引脚用作负输入引脚。
RT	22	I/O	开关频率设置引脚。通过该引脚和 AGND 之间的电阻对开关频率进行编程。开关频率可在工作期间进行动态编程。
NC	23	-	非连接引脚。将此引脚连接到 GND。
SYNCIN	24	I	外部时钟同步引脚。外部时钟的输入，用于覆盖自由运行内部振荡器。不使用时，将 SYNCIN 引脚接地。
CFG2	25	I/O	器件配置引脚。设置器件是否使用内部或外部时钟以及过压保护电平。
CFG1	26	I/O	器件配置引脚。设置过压保护电平、展频模式、PGOOD 配置和 120% 峰值电流限制闭锁。
CFG0	27	I/O	器件配置引脚。设置死区时间并启用 20 μA ATRK 电流。
PGOOD	28	O	具有开漏输出级的电源正常状态指示器。根据 CFG1 引脚的设置，当输出电压低于欠压阈值或高于过压阈值时，该引脚会被拉低。该引脚也会被拉低，用于指示故障状态（请参阅电源正常状态指示器（PGOOD 引脚））。将该引脚连接到 AGND，或在不使用该引脚时使其保持悬空。
模式	29	I	选择 DEM 或 FPWM 的运行模式选择引脚。
EN2	30	I	相位 2 的使能引脚。
ILIM/IMON	31	O	输入电流监测器和平均输入电流限制设置引脚。提供与相位 1 和相位 2 差分电流检测电压成比例的电流。在该引脚和 AGND 之间连接一个电阻器。
ATRK/DTRK	32	I	输出调节目标编程引脚。通过以下方法对输出电压稳压目标进行编程：将该引脚通过电阻器连接到 AGND，或者通过使用该引脚在建议工作范围（0.2V 至 2.0V）内的电压直接控制引脚电压。系统会自动检测占空比介于 8% 至 80% 之间的数字 PWM 信号，并启用数字输出电压调节，从而在建议的工作范围内对 V_{OUT} 进行编程。
EP	-	G	封装的裸露焊盘。将外露焊盘连接到 AGND 并焊接至大接地平面，以降低热阻。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在建议的工作结温范围内测得（除非另有说明）[1]

		最小值	最大值	单位
输入[2]	BIAS 至 AGND	-0.3	50	V
	UVLO/EN 至 AGND	-0.3	BIAS + 0.3	
	CSPx 至 AGND	-0.3	50	
	CSPx 至 CSNx	-0.3	0.3	
	VOUT 至 AGND	-0.3	65	
	HBx 至 AGND	-0.3	71	
	HBx 至 SWx	-0.3	5.8[3]	
	SWx 至 AGND	-0.3	65	
	SWx 至 AGND (10ns)	-5	65	
	CFG0、CFG1、CFG2、SYNCIN、ATRK/DTRK、DLY、MODE、EN2 至 AGND	-0.3	5.5	
	RT 至 AGND	-0.3	2.5	
	PGND 至 AGND	-0.3	0.3	
输出[2]	VCC 到 AGND	-0.3	5.8[3]	V
	HOx 至 SWx (50ns)	-1	HBx + 0.3	
	LOx 至 AGND (50ns)	-1	VCC + 0.3	
	PGOOD、SS、COMP、ILIM/IMON 至 AGND	-0.3	5.5	
工作结温，T_J [4]		-40	150	°C
贮存温度，T_{STG}		-55	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 不允许直接向 CFG0、CFG1、CFG2、COMP、SS、RT、LOx、HOx 引脚施加外部电压。
(3) 当引脚电压大于 5.5V 时，工作寿命会缩短。
(4) 高结温会缩短工作寿命。结温高于 125℃ 时，工作寿命会缩短。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[1]		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在建议的工作结温范围内测得（除非另有说明）[(1)]

		最小值	标称值	最大值	单位
V_I	升压控制器输入电压（当 BIAS ≥ 4.5V 或 VOUT ≥ 6V 时）	2.5		42	V
V_{OUT}	升压控制器输出电压	6		60	V
V_{BIAS}	BIAS 输入电压	4.5		42	V
$V_{UVLO/EN}$	UVLO/EN 输入电压	0		42	V
V_{EN2}	EN2 输入电压	0		5.25	V
V_{MODE}	MODE 输入电压	0		5.25	V
V_{CSP1}、V_{CSN1}、V_{CSP2}、V_{CSN2}	电流检测输入电压	2.5		42	V
V_{ATRK}	ATRK 输入电压	0.2		2	V
V_{DTRK}	DTRK 输入电压	0		5.25	V
V_{DLY}	DLY 电压	0		5.25	V
V_{PGOOD}	PGOOD 电压	0		5.25	V
$V_{ILIM/IMON}$	ILIM/IMON 电压	0		3	V
V_{SYNCIN}	同步脉冲输入电压	0		5.25	V
f_{SW}	开关频率范围	100		2200[(2)]	kHz
f_{SYNCIN}	同步脉冲频率范围	100		2200[(2)]	kHz
f_{DTRK}	DTRK 频率范围	100		2200	kHz
T_J	工作结温	-40		150[(3)]	°C

(1) *运行额定值*是指器件预期正常工作的条件。有关规格和测试条件，请参阅*电气特性*
(2) 最大开关频率由 R_{RT} 编程。该器件支持高达 2200kHz 的开关频率。
(3) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

5.4 热性能信息

热指标[(1)]		LM5125-Q1 RHB(VQFN) 32 引脚	单位
R_{qJA}	结至环境热阻	33.9	°C/W
$R_{qJC(top)}$	结至外壳（顶部）热阻	24.8	°C/W
R_{qJB}	结至电路板热阻	14.1	°C/W
y_{JT}	结至顶部特征参数	0.4	°C/W
y_{JB}	结至电路板特征参数	14.0	°C/W
$R_{qJC(bot)}$	结至外壳（底部）热阻	4.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{BIAS}$ = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数		测试条件	最小值	典型值	最大值	单位
电源电流（BIAS、VCC、VOUT）						
I_{SD}	关断状态下的 V_I 电流（BIAS 连接到 V_I）。流入 BIAS、CSP1、CSN1、CSP2、CSN2、SW1、SW2 的电流。	$V_{EN/UVLO}$ = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C		2	5	μA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 V_I = V_{BIAS} = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数		测试条件	最小值	典型值	最大值	单位
I_{SD_BIAS}	关断状态下的 BIAS 引脚电流	$V_{EN/UVLO}$ = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C		2	5	μA
I_{SD_VOUT}	关断状态下的 VOUT 引脚电流	$V_{EN/UVLO}$ = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C		0.001	0.5	μA
$I_{Q_BIAS_FPWM}$	活动状态下的 BIAS 引脚静态电流，FPWM 模式，内部时钟（不包括无开关、RT 和 IMON 电流）	单相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 0V，V_{CFG2} = 0V，V_{ATRK} = 0.667V，T_J = –40°C 至 125°C		1.1	1.5	mA
		两相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 2V，V_{CFG2} = 0V，V_{ATRK} = 0.667V，T_J = –40°C 至 125°C		1.6	2	mA
$I_{Q_BIAS_DEM}$	活动状态下的 BIAS 引脚静态电流，DEM 模式，内部时钟（不包括无开关、RT 和 IMON 电流）	单相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 0V，V_{CFG2} = 0V，V_{ATRK} = 0.667V，T_J = –40°C 至 125°C		1.1	1.5	mA
		两相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 2V，V_{CFG2} = 0V，V_{ATRK} = 0.667V，T_J = –40°C 至 125°C		1.6	2	mA
$I_{Q_VOUT_FPWM}$	活动状态下的 VOUT 引脚静态电流，FPWM 模式，内部时钟（无开关）	两相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 2V，V_{CFG2} = 0V，V_{ATRK} = 0.667V，T_J = –40°C 至 125°C		250	300	μA
$I_{Q_BIAS_BYP}$	旁路状态下的 BIAS 引脚电流（不包括 RT 和 IMON 电流）	单相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 0V，V_{CFG2} = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C		1	1.5	mA
	旁路状态下的 BIAS 引脚电流（不包括 RT 和 IMON 电流）	两相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 2V，V_{CFG2} = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C		1.5	2.0	mA
$I_{Q_VOUT_BYP}$	旁路状态下的 VOUT 引脚电流	两相，$V_{EN/UVLO}$ = 2.0V，V_{EN2} = 2V，V_{CFG2} = 0V，V_{OUT} = 12V，T_J = –40°C 至 125°C，HO 与 SW 之间没有电阻器。		280	330	μA
I_{BIAS}	BIAS 引脚偏置电流	V_{BIAS} = 12V，I_{VCC} = 200mA		200	210	mA
I_{VOUT}	VCC 由 VOUT 供电时的 VOUT 引脚偏置电流	V_{BIAS} = 3.3V，I_{VCC} = 200mA		200	230	mA
VCC 稳压器 (VCC)						
$V_{BIAS\text{-}RISING}$	将 VCC 电源从 VOUT 引脚切换到 BIAS 引脚的阈值	V_{BIAS} 上升	4.25	4.35	4.45	V
$V_{BIAS\text{-}FALLING}$	将 VCC 电源从 BIAS 引脚切换到 VOUT 引脚的阈值	V_{BIAS} 下降	4.1	4.2	4.3	V
$V_{BIAS\text{-}HYS}$	VCC 电源阈值迟滞		100	150		mV
$V_{VCC\text{-}REG1}$	VCC 调节	无负载	4.75	5	5.25	V
$V_{VCC\text{-}REG2}$	压降期间的 VCC 稳压	V_{BIAS} = 4.5V，I_{VCC} = 110mA	4	4.3		V
$V_{VCC\text{-}UVLO\text{-}RISING}$	VCC UVLO 阈值	VCC 上升	3.4	3.5	3.6	V
$V_{VCC\text{-}UVLO\text{-}FALLING}$	VCC UVLO 阈值	VCC 下降	3.2	3.3	3.4	V
$V_{VCC\text{-}UVLO\text{-}HYS}$	VCC UVLO 阈值迟滞	VCC 下降		215		mV
$I_{VCC\text{-}CL}$	VCC 拉电流限值	V_{VCC} = 4V	200			mA
使能 (EN/UVLO)						
$V_{EN\text{-}RISING}$	启用阈值	EN 上升	0.50	0.55	0.6	V
$V_{EN\text{-}FALLING}$	启用阈值	EN 下降	0.40	0.45	0.50	V

5.5 电气特性（续）

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 V_I = V_{BIAS} = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数		测试条件	最小值	典型值	最大值	单位
V_{EN-HYS}	使能迟滞	EN 下降		100		mV
R_{EN}	EN 下拉电阻	V_{EN} = 0.2V	30	37	50	kΩ
$V_{UVLO-RISING}$	UVLO 阈值	UVLO 上升	1.05	1.1	1.15	V
$V_{UVLO-FALLING}$	UVLO 阈值	UVLO 下降	1.025	1.075	1.125	V
$V_{UVLO-HYS}$	UVLO 迟滞	UVLO 下降		25		mV
$I_{UVLO-HYS}$	UVLO 下拉迟滞电流	V_{UVLO} = 0.7V	9	10	11	μA
$I_{UVLO/EN}$	UVLO/EN 引脚偏置电流	$V_{UVLO/EN}$ = 0.3V，下拉电阻器 = 有效。		8	11	μA
		$V_{UVLO/EN}$ = 0.7V，10μA 电流 = 有效。	9	10	11	μA
		$V_{UVLO/EN}$ = 3.3V			1	μA
CH2 ENABLE (EN2)						
V_{EN2_H}	使能 2 高电平输入电压	EN2 上升	1.19		5.25	V
V_{EN2_L}	使能 2 低电平输入电压	EN2 下降	-0.3		0.41	V
I_{EN2}	使能 2 偏置电流	EN1 = EN2 = 3.3V		0.01	1	μA
配置（CFG0、CFG1、CFG2）						
R_{CFGx_1}	1 级电阻			0	0.1	kΩ
R_{CFGx_2}	2 级电阻		0.496	0.51	0.526	kΩ
R_{CFGx_3}	3 级电阻		1.11	1.15	1.19	kΩ
R_{CFGx_4}	4 级电阻		1.81	1.9	1.93	kΩ
R_{CFGx_5}	5 级电阻		2.65	2.7	2.82	kΩ
R_{CFGx_6}	6 级电阻		3.71	3.8	3.94	kΩ
R_{CFGx_7}	7 级电阻		4.95	5.1	5.26	kΩ
R_{CFGx_8}	8 级电阻		6.29	6.5	6.68	kΩ
R_{CFGx_9}	9 级电阻		8.00	8.3	8.50	kΩ
R_{CFGx_10}	10 级电阻		10.18	10.5	10.81	kΩ
R_{CFGx_11}	11 级电阻		12.90	13.3	13.70	kΩ
R_{CFGx_12}	12 级电阻		15.71	16.2	16.69	kΩ
R_{CFGx_13}	13 级电阻		19.88	20.5	21.11	kΩ
R_{CFGx_14}	14 级电阻		24.15	24.9	25.65	kΩ
R_{CFGx_15}	15 级电阻		29.20	30.1	31.00	kΩ
R_{CFGx_16}	16 级电阻		35.40	36.5	38.60	kΩ
开关频率						
V_{RT}	RT 调节		0.7	0.75	0.8	V
f_{SW1}	开关频率	R_T = 316kΩ	85	100	115	kHz
f_{SW2}	开关频率	R_T = 14kΩ	1980	2200	2420	kHz
t_{ON-MIN}	最短可控导通时间	R_T = 14kΩ	14	20	50	ns
$t_{OFF-MIN}$	最短强制关断时间	R_T = 14kΩ	55	80	105	ns
D_{MAX1}	最大占空比限制	R_T = 316kΩ	98.7%	99.4%		
D_{MAX2}	最大占空比限制	R_T = 14kΩ	75%	87%		
同步（SYNCIN）						

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 V_I = V_{BIAS} = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数			测试条件	最小值	典型值	最大值	单位
	最小 SYNCIN 频率活动检测	展频 = 关闭	RT = 316kΩ	55			kHz
	SYNCIN 频率活动检测与 RT 设置的开关频率间的关系	展频 = 关闭	RT = 14kΩ 至 210kΩ	-60%			
	SYNCIN 活动检测周期				3		周期
f_{SYNC}	同步期间，频率范围从 RT 设定的频率开始同步		与外部时钟同步的频率最小值为 100kHz，最大值为 2200kHz	-50%		50%	
V_{SYNCIN_H}	SYNCIN 高电平输入电压		SYNCIN 上升	1.19		5.25	V
V_{SYNCIN_L}	SYNCIN 低电平输入电压		SYNCIN 下降	-0.3		0.41	V
I_{SYNCIN}	SYNCIN 偏置电流		SYNCIN = 3.3V		0.01	1	μA
	最小 SYNCIN 上拉/下拉脉冲宽度			135			ns
VOUT 编程（ATRK/DTRK）							
V_{OUT_REG}	使用 ATRK 电压调节的 V_{OUT}		ATRK = 0.2V，V_I = 4.5V	5.88	6	6.12	V
			ATRK = 0.4V，V_I = 10V	11.82	12	12.18	V
			ATRK = 0.8V	23.64	24	24.36	V
			ATRK = 1.6V	47.28	48	48.72	V
			ATRK = 2V	59.10	60	60.90	V
G_{DTRK}	DTRK 占空比与 V_{ATRK} 的转换比		F_{DTRK} = 100kHz、440kHz		25		mV/%
	DTRK 占空比范围			8%		80%	
V_{ATRK}	给定 DTRK 占空比下的 ATRK 电压		f_{DTRK} = 100kHz，DC = 8%	0.192	0.2	0.208	V
			f_{DTRK} = 100kHz，DC = 40%	0.98	1	1.02	V
			f_{DTRK} = 100kHz，DC = 80%	1.98	2	2.02	V
			f_{DTRK} = 440kHz，DC = 8%	0.19	0.2	0.21	V
			f_{DTRK} = 440kHz，DC = 40%	0.98	1	1.02	V
			f_{DTRK} = 440kHz，DC = 80%	1.98	2	2.02	V
V_{DTRK_H}	DTRK 高电平输入电压		DTRK 上升	1.19		5.25	V
V_{DTRK_L}	DTRK 低电平输入电压		DTRK 下降	-0.3		0.41	V
I_{ATRK}	通过 CFG0 激活时的拉电流			19.8	20	20.2	μA
$I_{ATRK/DTRK}$	ATRK/DTRK 引脚偏置电流		20μA 电流被禁用，$V_{ATRK/DTRK}$ = 2V		0.01	1	μA
	最小 DTRK 上拉/下拉脉冲宽度			25			ns
软启动 (SS)							
I_{SS}	软启动电流			42.5	50	57.5	μA
$V_{SS\text{-}DONE}$	软启动完成阈值			2.15	2.2	2.25	V
R_{SS}	SS 下拉开关 R_{DSON}				26	70	Ω
$V_{SS\text{-}DIS}$	SS 放电检测阈值			20	45	70	mV
电流检测（CSPx、CSNx）							
A_{CS}	电流检测放大器增益		V_{CSP} = 2.5V		10		V/V
V_{CLTH}	正峰值电流限制阈值		以 CS 输入为基准	54	60	66	mV
V_{NCLTH}	负峰值电流限制阈值		以 CS 输入为基准，FPWM 模式	-34	-28	-22	mV
V_{ICL}	输入电流限制		以 CS 输入为基准	65	72	80	mV
ΔV_{ICL_CLTH}	ICL 和正峰值电流阈值之间的压差			6	12		mV
	峰值电流限制跳变延迟				100		ns

5.5 电气特性（续）

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 V_I = V_{BIAS} = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数			测试条件	最小值	典型值	最大值	单位
V_{ZCD}	ZCD 阈值 (CSPx – CSNx)		CS 输入下降，f_{SW} = 100kHz，DEM	0	1.5	5	mV
V_{ZCD_BYP}	旁路模式下相位 1 的 ZCD 阈值 (CSP1 – CSN1)			-4	-2.5	0	mV
	旁路模式下相位 2 的 ZCD 阈值 (CSP2 – CSN2)			-4	-2.5	0	mV
V_{SLOPE}	峰值斜坡补偿振幅		以 CS 输入为基准，f_{SW} = 100kHz	40	48	55	mV
I_{CSNx}	CSNx 电流		器件处于待机状态，V_I = V_{BIAS} = V_{OUT} = 12V			1.2	μA
I_{CSPx}	CSPx 电流				150	170	μA
ΔI_{ph1_ph2}	峰值电感器电流不平衡（相位 1 至相位 2）		V_{CL} = 60mV	-10	0	10	%
具有延迟功能的电流监测器/限制器 (IMON/ILIM)							
G_{IMON}	跨导增益			0.283	0.333	0.383	μA/mV
I_{OFFSET}	失调电流			3	4	5	μA
V_{ILIM}	ILIM 调节目标			0.93	1	1.07	V
V_{ILIM_th}	ILIM 激活阈值			0.95	1	1.25	V
V_{ILIM_reset}	DLY 复位阈值		ILIM 下降（以 V_{ILIM} 为基准）	85%	88%	91%	
I_{DLY}	DLY 拉/灌电流			4	5	6	μA
$V_{DLY_peak_rise}$			V_{DLY} 上升	2.45	2.6	2.75	V
$V_{DLY_peak_fall}$			V_{DLY} 下降	2.25	2.4	2.55	V
V_{DLY_valley}					0.2		V
误差放大器 (COMP)							
Gm	跨导			700	1000	1300	uS
$A_{COMP\text{-}PWM}$	COMP 至 PWM 增益				1		V/V
$V_{COMP\text{-}MAX}$	COMP 最大钳位电压		COMP 上升	2.3	2.6	2.9	V
$V_{COMP\text{-}MIN}$	COMP 最小钳位电压，在 DEM 下有效		COMP 下降	0.38	0.48	0.55	V
	COMP 最小钳位电压，在 FPWM 下有效		COMP 下降	0.13	0.16	0.19	V
$V_{COMP\text{-}offset}$	相对于最小钳位的偏移		COMP 下降	0.01	0.03	0.06	V
$I_{SOURCE\text{-}MAX}$	最大 COMP 拉电流		V_{COMP} = 0V	90			μA
$I_{SINK\text{-}MAX}$	最大 COMP 灌电流		V_{COMP} = 2.6V	100			μA
运行模式							
V_{MODE_H}	MODE 引脚高电平	FPWM		1.19		5.25	V
V_{MODE_L}	MODE 引脚低电平	DEM		-0.3		0.41	V
I_{MODE}	MODE 引脚偏置电流		MODE = 3.3V		0.01	1	μA
过压/欠压监测器							
$V_{OVP\text{-}H}$	过压阈值		V_{OUT} 上升（以误差放大器参考为基准）	108%	110%	112%	
$V_{OVP\text{-}L}$	过压阈值		V_{OUT} 下降（以误差放大器参考为基准）	101%	103%	105%	
$V_{OVP_max\text{-}H}$	过压阈值	64V	V_{OUT} 上升（以误差放大器参考为基准）	63	64	65	V
		50V		49	50	51	V
		35V		34	35	36	V
		28.5V		27	28.5	30	V

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

典型值对应于 T_J = 25°C。最小值和最大值限值适用于 T_J = –40°C 至 150°C 的温度范围。除非另有说明，否则 V_I = V_{BIAS} = 12V，V_{OUT} = 24V，R_T = 14kΩ

参数			测试条件	最小值	典型值	最大值	单位
V_{OVP_max-L}	过压阈值	64V	V_{OUT} 下降（以误差放大器参考为基准）	62	63	64	V
		50V		48	49	50	V
		35V		33	34	35	V
		28.5V		26	27.5	29	V
V_{UVP-H}	欠压阈值		V_{OUT} 上升（以误差放大器参考为基准）	91%	93%	95%	
V_{UVP-L}	欠压阈值		V_{OUT} 下降（以误差放大器参考为基准）	88%	90%	92%	
PGOOD							
R_{PGOOD}	PGOOD 下拉开关 R_{DSON}		1mA 灌电流		90	180	Ω
	有效 PGOOD 所需的最小 BIAS			2			V
MOSFET 驱动器（HBx、HOx、SWx、LOx）							
	高电平状态导通电阻（HO 驱动器）		100mA 灌电流，HB – SW = 5V		1.1	2	Ω
	低电平状态导通电阻（HO 驱动器）		100mA 拉电流，HB – SW = 5V		0.6	1.2	Ω
	高电平状态导通电阻（LO 驱动器）		100mA 灌电流，VCC = 5V		1.1	2	Ω
	低电平状态导通电阻（LO 驱动器）		100mA 拉电流，VCC = 5V		0.7	1.4	Ω
$V_{HB-UVLO}$	HB – SW UVLO 阈值		HB – SW 上升	2.85	3.05	3.25	V
$V_{HB-UVLO}$	HB – SW UVLO 阈值		HB – SW 下降	2.6	2.8	3	V
V_{HB-HYS}	HB – SW UVLO 阈值迟滞				250		mV
$I_{HB-SLEEP}$	旁路模式下的 HB 静态电流		HB – SW = 5V		8	15	μA
I_{CP}	HBx 引脚上提供的 HB 电荷泵电流		BIAS = 4.5V，VOUT = 6V	55	75	100	μA
死区时间控制							
DT1	从 HO 关断至 LO 导通以及从 LO 关断至 HO 导通死区时间	设置 1		7	14	30	ns
DT2		设置 2		17	30	50	ns
DT3		设置 3		32	50	75	ns
DT4		设置 4		50	75	110	ns
DT5		设置 5		68	100	140	ns
DT6		设置 6		85	125	180	ns
DT7		设置 7		105	150	215	ns
DT8		设置 8		135	200	285	ns
热关断 (TSD)							
$T_{TSD-RISING}$	热关断阈值		温度上升		175		°C
$T_{TSD-HYS}$	热关断迟滞				15		°C
时序							
$STANDBY_{timer}$	STANDBY 计时器			130	150	170	μs

5.6 时序要求

在工作结温范围和建议的电源电压范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
总体器件特性						

在工作结温范围和建议的电源电压范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	最短时间低电平 EN 切换	EN 从 H 切换到 L 并从 L 切换到 H 所测得的时间	1			μs

5.7 Typical Characteristics

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

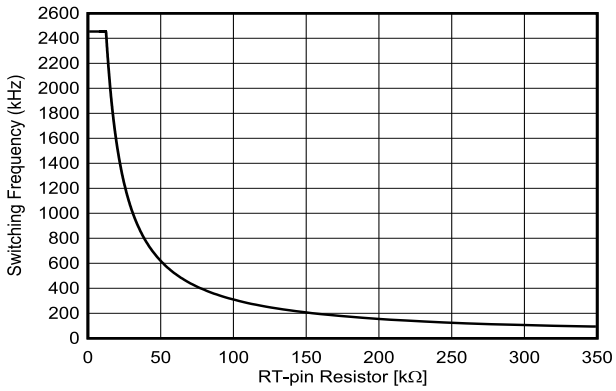


图 5-1. Switching Frequency Versus RT Resistance

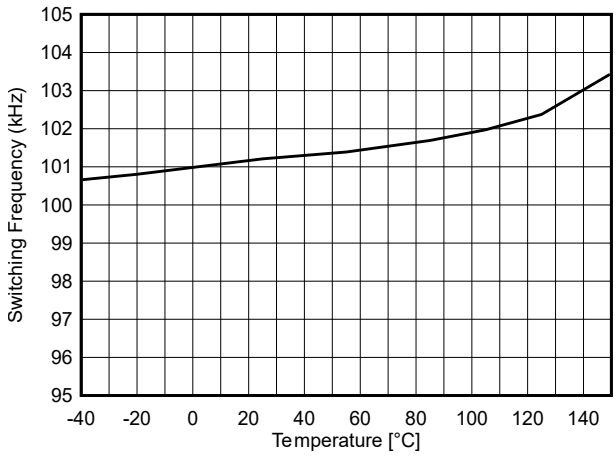


图 5-2. Switching Frequency (100kHz, RT = 316kΩ) vs Temperature

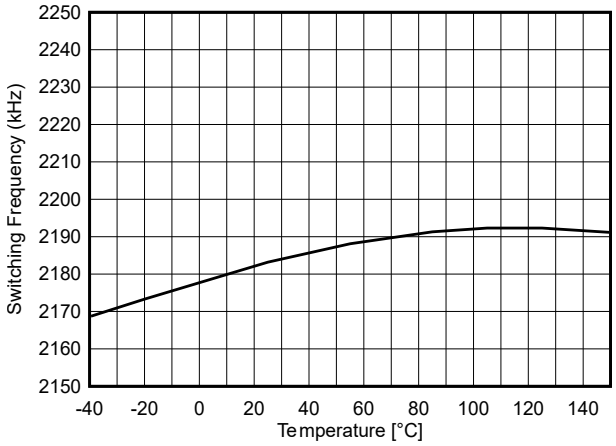


图 5-3. Switching Frequency (2200kHz, RT = 14kΩ) vs Temperature

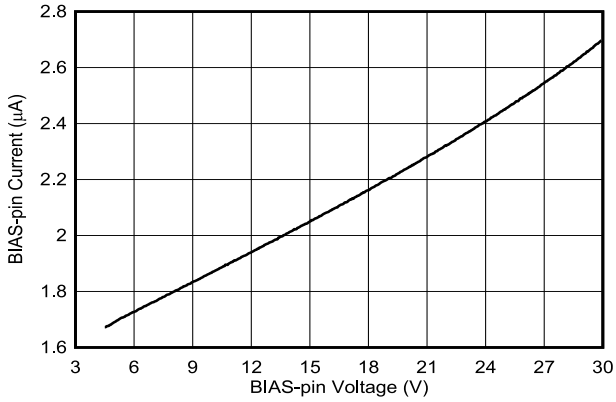


图 5-4. BIAS-pin Current vs BIAS-pin Voltage during shutdown

Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

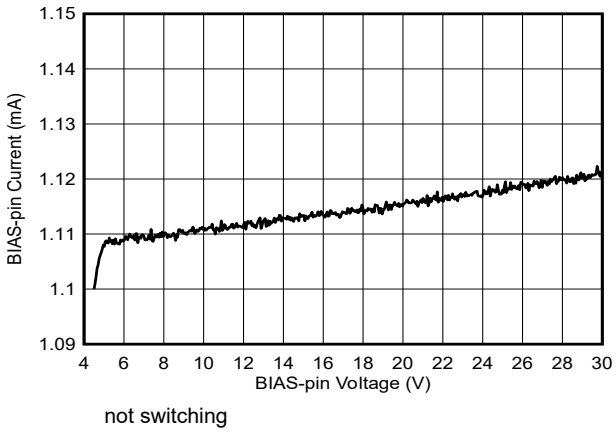


图 5-5. BIAS-pin Current vs BIAS-pin Voltage (Active, 1-ph, DEM)

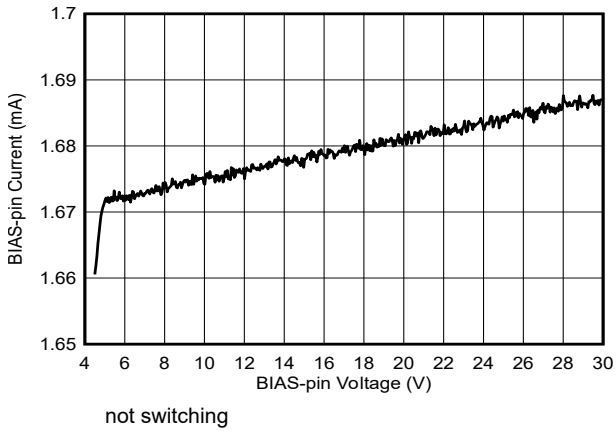


图 5-6. BIAS-pin Current vs BIAS-pin Voltage (Active, 2-ph, DEM)

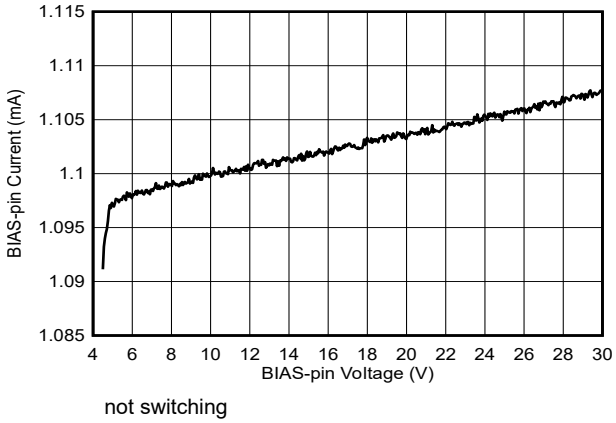


图 5-7. BIAS-pin Current vs BIAS-pin Voltage (Active, 1-ph, FPWM)

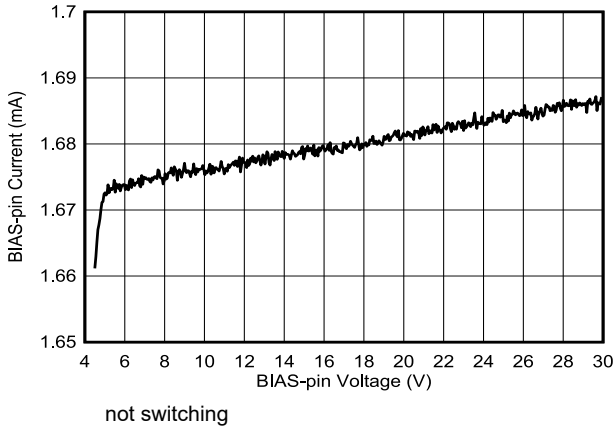


图 5-8. BIAS-pin Current vs BIAS-pin Voltage (Active, 2-ph, FPWM)

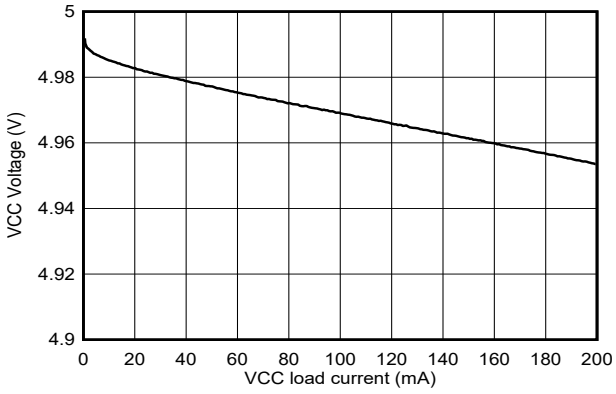


图 5-9. VCC Voltage vs VCC Load Current

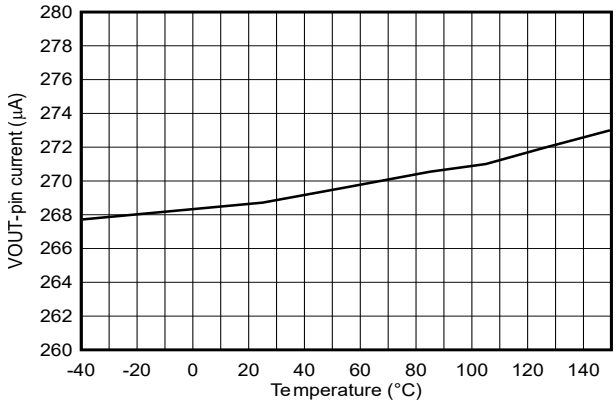


图 5-10. VOUT-pin Current vs Temperature (Bypass, 2-ph)

5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

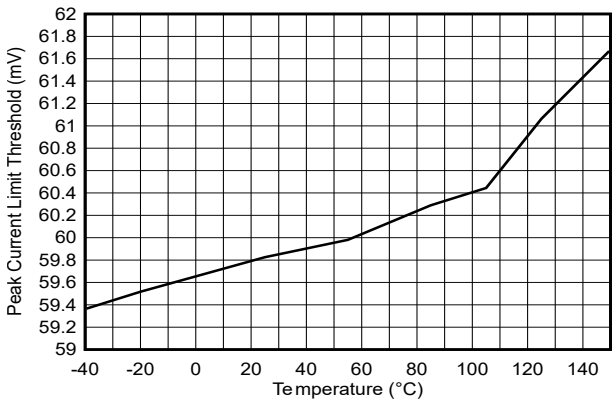


图 5-11. Peak Current Limit Threshold V_{CLTH} vs Temperature

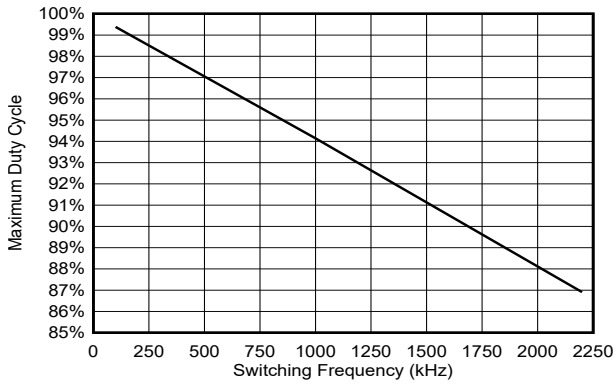


图 5-12. Maximum Duty Cycle vs Switching Frequency

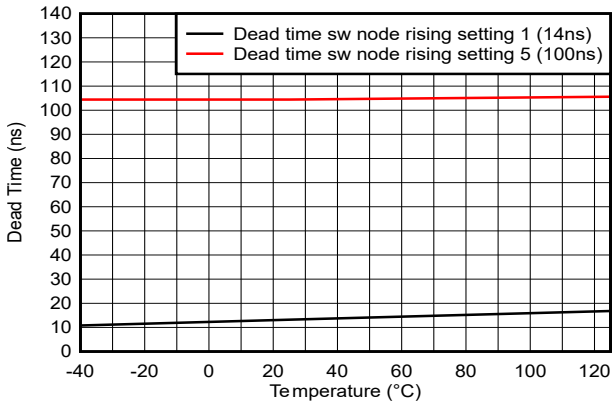


图 5-13. Dead Time Switch Node Rising vs Temperature

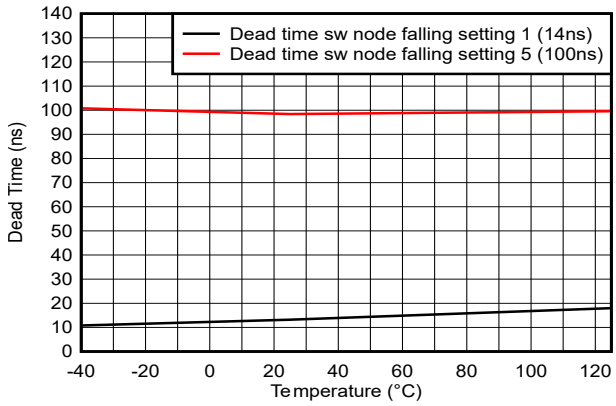


图 5-14. Dead Time Switch Node Falling vs Temperature

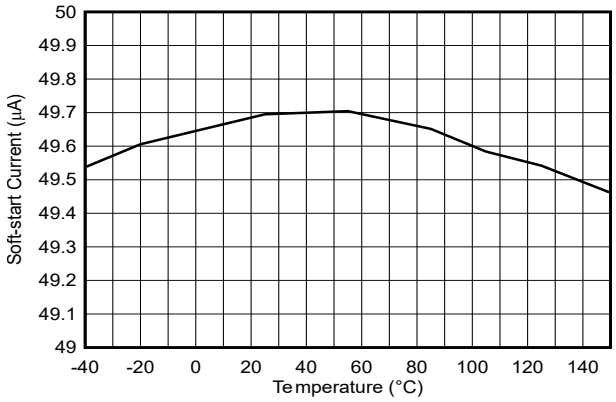


图 5-15. Soft-start Current vs Temperature

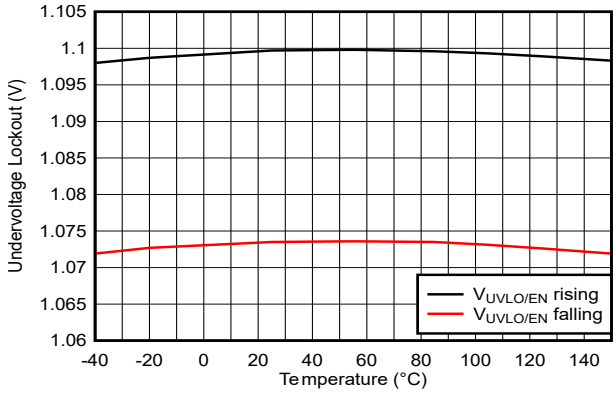


图 5-16. Undervoltage Lockout (UVLO) vs Temperature

Copyright © 2025 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

The following conditions apply (unless otherwise noted): T_J = 25°C; V_{BIAS} = 12V

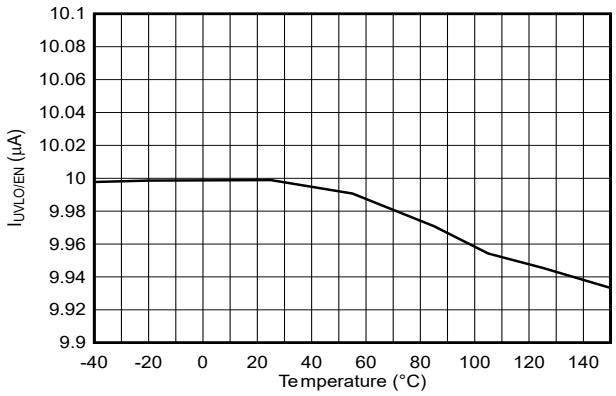


图 5-17. UVLO/EN-pin Current vs Temperature

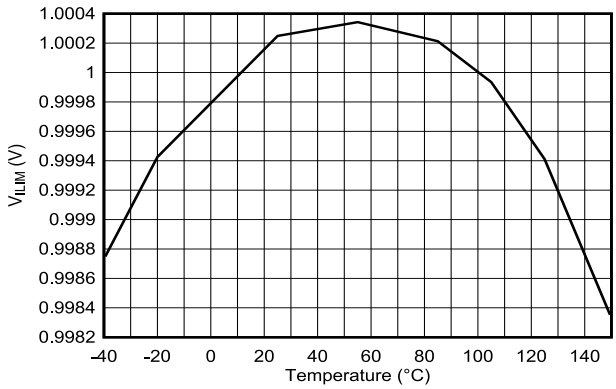


图 5-18. Average Current Limit Regulation Voltage vs Temperature

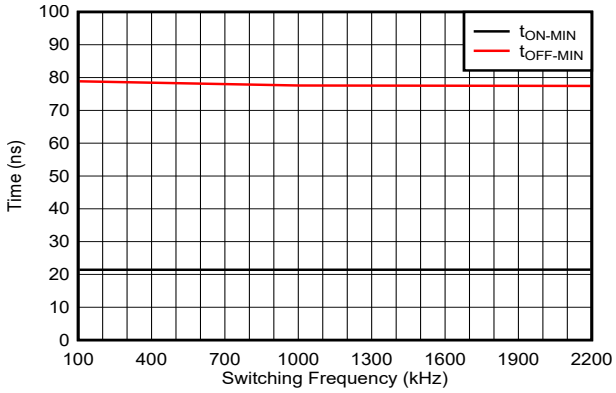


图 5-19. Minimum t_{ON} and t_{OFF} Time vs Switching Frequency

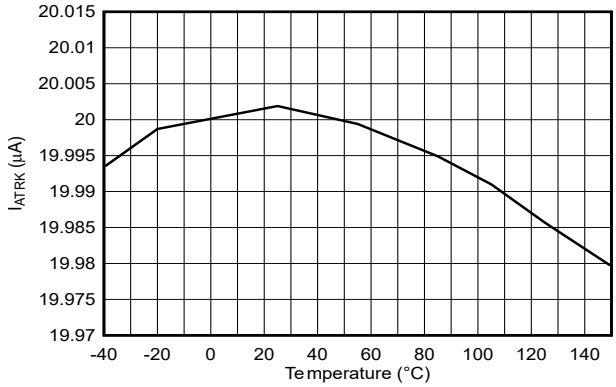
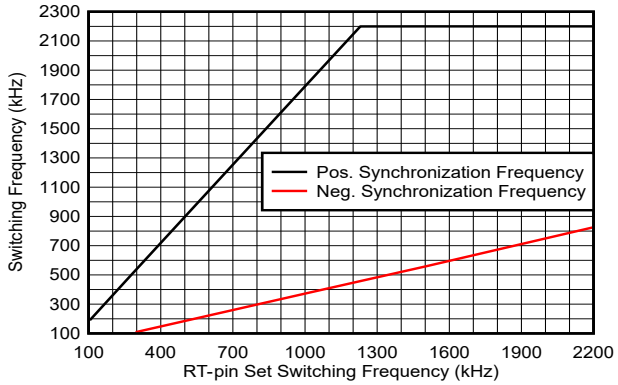


图 5-20. ATRK-pin Current vs Temperature



Spread Spectrum = off

图 5-21. Synchronization Switching Frequency (SYNCIN) vs RT-pin Set Switching Frequency

6 详细说明

6.1 概述

LM5125-Q1 是一款具有宽输入范围的双相升压控制器。如果输入电压等于或小于调节后的输出电压，则该器件会提供稳定的输出电压。电阻数字转换 (R2D) 接口使用户可以简单而可靠地选择器件功能。

运行期间，可以通过引脚动态选择 DEM（二极管仿真模式）和 FPWM（强制脉宽调制）运行模式。峰值电流模式控制采用由 RT 引脚设定的固定开关频率运行。通过激活双随机展频运行模式，可以在设计过程的任何时间有效降低 EMI。

集成的平均电流监测器有助于监测或限制输入电流。输出电压可在运行期间动态调整（动态电压调节和包络跟踪）。既可通过更改 ATRK/DTRK 引脚的模拟基准电压调整 V_{OUT}，也可以通过在 ATRK/DTRK 引脚上施加 PWM 输入信号直接进行调整。

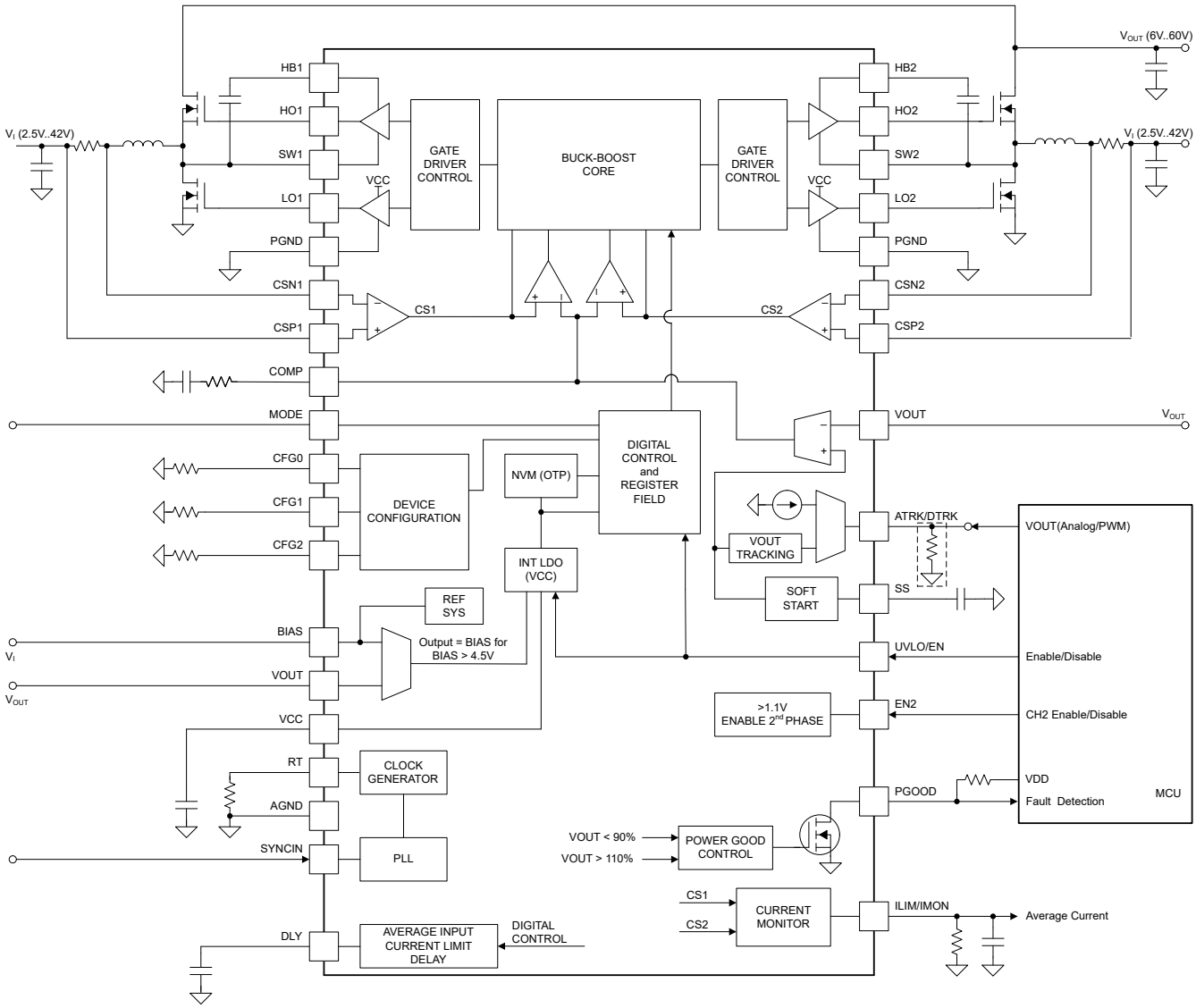
内部宽输入 LDO 能够在不同的输入和输出电压条件下为器件功能提供可靠的电源。由于具有高驱动能力以及自动和基于余量的电压选择（V_{BIAS} 或 V_{OUT}），功率损耗保持在最低水平。可以将单独的 BIAS 引脚连接到 V_I、V_{OUT} 或外部电源，以进一步降低器件中的功率损耗。器件始终会监测内部电源电压，以避免未定义的故障处理。

器件集成了全桥 N 沟道 MOSFET 驱动器。栅极驱动器电路具有高驱动能力，可驱动各种 MOSFET。栅极驱动器具有一个集成式高压低压差自举二极管。内部自举电路具有一个由负尖峰注入的过压保护机制，以及一个欠压锁定保护机制，以避免外部功率 FET 出现线性运行。集成的电荷泵支持在旁路模式下以 100% 占空比运行。

内置保护功能确保在不同的故障条件下安全运行。器件具有 V_I 欠压锁定保护功能，从而避免出现欠压情况。在不同的设计中可以避免欠压，因为输入 UVLO 阈值和迟滞通过外部反馈分压器进行配置。该器件还提供输出过压保护。该器件提供可选的断续过流保护功能，通过使用内部逐周期峰值电流保护功能来避免过大的短路电流。由于集成热关断功能，该器件可防止内部 VCC 稳压器过载情况造成热损坏。所有与输出相关的故障事件都在开漏 PGOOD 引脚上进行监测和指示。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图


VOUT (6V..60V)
VI (2.5V..42V)
HB1
HO1
SW1
LO1
PGND
CSN1
CSP1
COMP
MODE
CFG0
CFG1
CFG2
BIAS
VOUT
VCC
RT
AGND
SYNCIN
DLY
HB2
HO2
SW2
LO2
CSN2
CSP2
VOUT
ATRK/DTRK
SS
UVLO/EN
EN2
PGOOD
ILIM/IMON
GATE DRIVER CONTROL
BUCK-BOOST CORE
CS1
CS2
DIGITAL CONTROL and REGISTER FIELD
NVM (OTP)
DEVICE CONFIGURATION
INT LDO (VCC)
REF SYS
Output = BIAS for BIAS > 4.5V
VOUT TRACKING
SOFT START
>1.1V ENABLE 2nd PHASE
CLOCK GENERATOR
PLL
VOUT < 90%
VOUT > 110%
POWER GOOD CONTROL
CURRENT MONITOR
AVERAGE INPUT CURRENT LIMIT DELAY
DIGITAL CONTROL
VOUT(Analog/PWM)
Enable/Disable
CH2 Enable/Disable
VDD
Fault Detection
MCU
Average Current

6.3 特性说明

6.3.1 器件配置（CFG0 引脚、 CFG1 引脚、CFG2 引脚）

CFG0 引脚定义最小 死区时间 和 ATRK/DTRK 引脚 20 µA 电流。表 6-1 中显示的电平由规格 部分中的指定电阻器选择。当使用电阻器对 V_{OUT} 进行编程时，打开 20 µA ATRK 引脚电流，若要进行电压跟踪，则关闭 ATRK 引脚电流。

表 6-1. CFG0 引脚设置

电平	死区时间 [ns]	20 µA ATRK 电流
1	14	开启
2	30	开启
3	50	开启
4	75	开启
5	100	开启
6	125	开启
7	150	开启
8	200	开启
9	14	关闭
10	30	关闭
11	50	关闭
12	75	关闭
13	100	关闭
14	125	关闭
15	150	关闭
16	200	关闭

CFG1 引脚设置定义 V_{OUT} 过压保护电平、时钟抖动、120% 输入电流限制保护 (I_{CL_latch}) 操作和电源正常引脚行为。

OVP 位 0： OVP 位 1 和 0 设置 V_{OUT} 过压保护电平。[00] = 64V、[01] = 50V、[10] = 35V 或 [11] = 28.5V。

时钟抖动： 启用双随机展频 (DRSS) 时钟抖动或禁用时钟抖动。

I_{CL_latch}： 当 I_{CL_latch} 启用且峰值电流限制超出 20% 时，器件会进入关断状态（关闭并锁存）。如果 I_{CL_latch} 禁用，则器件将保持活动状态，并尝试将电感器电流限制在峰值电流限制状态。

$PGOOD_{OVP_enable}$： 启用 $PGOOD_{OVP_enable}$ 后，PGOOD 引脚会在 V_{OUT} 高于 OVP（过压保护）或低于 UV（欠压）阈值时被拉至低电平。如果禁用了 $PGOOD_{OVP_enable}$，则仅当 V_{OUT} 低于 UV（欠压）阈值时，PGOOD 引脚才会被拉低。

表 6-2. 过压保护等级选择

OVP 电平	OVP 位 1	OVP 位 0
64V	0	0
50V	0	1
35V	1	0
28.5V	1	1

Copyright © 2025 Texas Instruments Incorporated

表 6-3. CFG1 引脚设置

电平	OVP 位 0	时钟抖动模式	I_{CL_latch}	$PGOOD_{OVP_enable}$
1	0	启用 (DRSS)	禁用	禁用
2	1	启用 (DRSS)	禁用	禁用
3	0	启用 (DRSS)	禁用	启用
4	1	启用 (DRSS)	禁用	启用
5	0	启用 (DRSS)	启用	禁用
6	1	启用 (DRSS)	启用	禁用
7	0	启用 (DRSS)	启用	启用
8	1	启用 (DRSS)	启用	启用
9	0	禁用	禁用	禁用
10	1	禁用	禁用	禁用
11	0	禁用	禁用	启用
12	1	禁用	禁用	启用
13	0	禁用	启用	禁用
14	1	禁用	启用	禁用
15	0	禁用	启用	启用
16	1	禁用	启用	启用

CFG2 引脚定义 V_{OUT} 过压保护等级，同时也决定器件是使用内部时钟发生器还是应用于 SYNCIN 引脚的外部时钟。在时钟同步期间，时钟抖动功能被禁用。

OVP 位 1： OVP 位 1 和 0 设置 V_{OUT} 过压保护电平。[00] = 64V、[01] = 50V、[10] = 35V 或 [11] = 28.5V。

内部时钟： 器件使用内部时钟。

外部时钟： 器件使用内部时钟，并在应用了外部时钟时与外部时钟同步。

SYNCIN： 定义 SYNCIN 引脚上的时钟同步功能是有效（开启）还是禁用（关闭）。当 SYNCIN 有效时，器件仅同步到施加于 SYNCIN 引脚的外部时钟。

时钟抖动： 如果使用内部振荡器，则根据 CFG1 引脚设置“时钟抖动模式”来设置时钟抖动。如果使用外部时钟，则会禁用时钟抖动功能，而忽略 CFG1 引脚设置。

表 6-4. CFG2 引脚设置

电平	OVP 位 1	时钟	SYNCIN	时钟抖动
1	0	内部	关闭	CFG1 引脚
2	1	内部	关闭	CFG1 引脚
3	0	内部	关闭	CFG1 引脚
4	1	外部	开启	禁用
≥5	0	外部	开启	禁用

6.3.2 器件和相位启用/禁用（UVLO/EN、EN2）

在关断期间，UVLO/EN 引脚被内部电阻器 R_{EN} 拉低。当 $V_{UVLO/EN}$ 上升至高于 $V_{EN\text{-}RISING}$ 时，R_{EN} 被禁用并且 $I_{UVLO/EN}$（通常为 10 μA）电流源会被启用，以提供 UVLO 功能。此时器件启动，读取配置，然后进入 STANDBY 状态（请参阅 功能状态图）。当 $V_{UVLO/EN}$ 上升至高于 $V_{UVLO\text{-}RISING}$ 时，$I_{UVLO/EN}$ 电流源会被禁用，并且器件将进入启动阶段 1 和 2 状态，在 DEM 运行模式下执行软启动斜升 V_{OUT}。实现了迟滞 $V_{EN\text{-}HYS}$ 和 $V_{UVLO\text{-}HYS}$。根据 方程式 1 和 方程式 2 选择外部 UVLO 电阻分压器（R_{UVLOT} 和 R_{UVLOB}）。

$$R_{UVLOT} = \frac{\left(V_{ON} - \frac{V_{UVLO-RISING}}{V_{UVLO-FALLING}} \times V_{OFF}\right)}{I_{UVLO-HYS}} \quad (1)$$

$$R_{UVLOB} = \frac{V_{UVLO-FALLING} \times R_{UVLOT}}{V_{OFF} - V_{UVLO-FALLING}} \quad (2)$$

需要 UVLO 电容器 (C_{UVLO})，以防在启动期间或在低 V_I 下，V_i 瞬间降至 V_{OFF} 以下。如果所需的 UVLO 电容器较大，则可以使用额外的串联 UVLO 电阻 (R_{UVLOS})，以便在 $I_{UVLO-HYS}$ 禁用时快速升高 UVLO 引脚的电压。

当 V_{EN2} 上升到高于 V_{EN2_H} 时，启用第二个相位；当 V_{EN2} 下降到低于 V_{EN2_L} 时，禁用第二个相位。在启动时或启动前以及运行期间，启用和禁用第 2 个相位。第二个相位相对于相位 1 存在 180° 相移，以实现超低的输入和输出纹波。

由于 UVLO/EN 引脚和 BIAS 引脚之间的 ESD 二极管导通，因此 UVLO/EN 引脚电压不得超过 BIAS 引脚电压 +0.3V（请参阅绝对最大额定值）。但是，当通过一个串联电阻器将电流限制为最大 100μA 时，可以在 UVLO/EN 引脚上施加一个更高的电压，最高可达 42V（建议运行条件）。

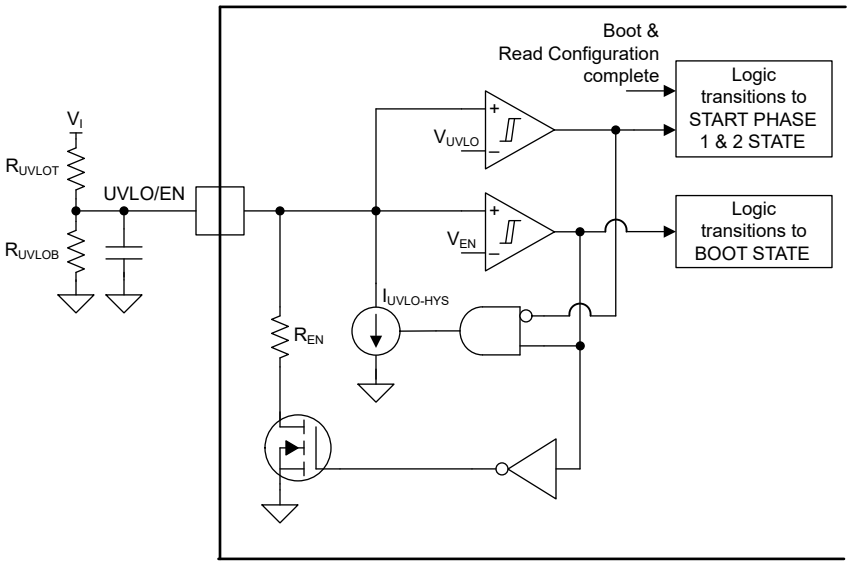


图 6-1. 功能方框图 UVLO 和 EN

Copyright © 2025 Texas Instruments Incorporated

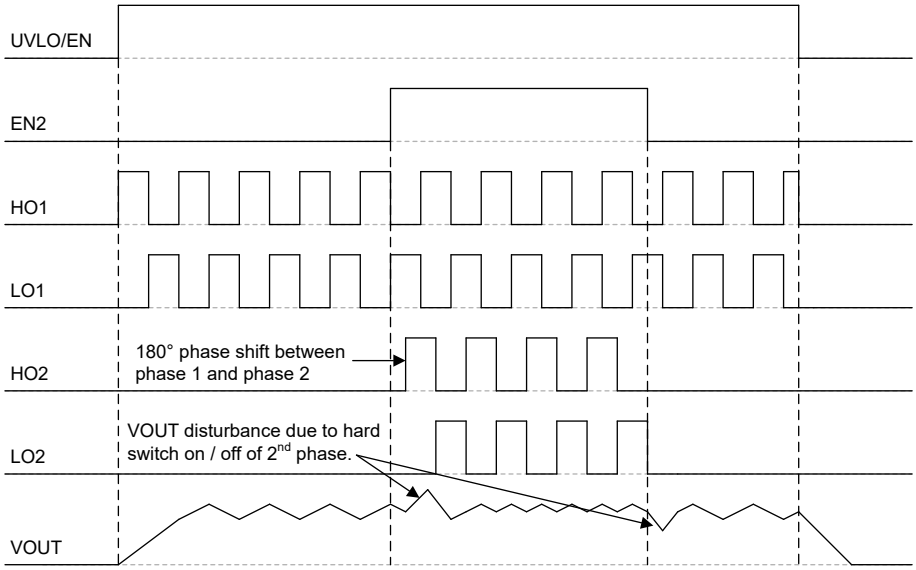


图 6-2. 双相运行

6.3.3 开关频率和同步 (SYNCIN)

开关频率介于 100kHz 至 2.2MHz 之间，由 RT 引脚和 AGND 之间连接的 RT 电阻器进行设置。根据 方程式 4，选择 14kΩ 和 316kΩ 之间的 RT 电阻器。如果配置为使用外部时钟，器件可以使用 RT 引脚设置的内部振荡器并将开关频率同步到施加于 SYNCIN 引脚上的外部时钟，频率变化范围为 ±50%。内部时钟在 SYNCIN 引脚上施加的外部时钟信号的上升沿同步。在频率同步期间，CFG1 引脚展频设置会被忽略，并且时钟抖动会被禁用。

器件始终使用内部时钟启动，并在启动阶段 1 和 2 以及活动状态期间开始与施加的外部时钟同步（请参阅功能状态图）。在施加外部时钟后，器件就会与外部时钟同步，并在外部时钟停止时切换回内部时钟。

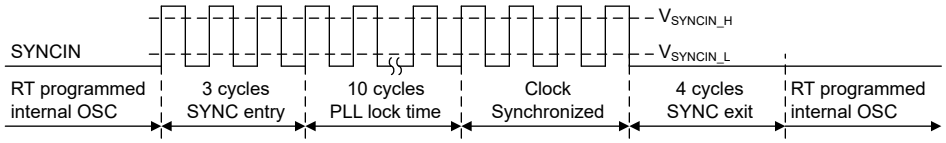


图 6-3. 时钟同步

$$F_{SW} = \frac{1}{\frac{R_{RT} \times s}{31.5\ G\Omega} + 18ns} \tag{3}$$

$$R_{RT} = \left(\frac{1}{F_{SW}} - 18ns\right) \times 31.5\frac{G\Omega}{s} \tag{4}$$

6.3.4 双随机展频 (DRSS)

该器件提供数字展频，可在宽频率范围内降低电源的 EMI。通过 CFG1 引脚 设置启用展频。启用展频后，内部调制器会使内部时钟抖动。当器件配置为使用施加于 SYNCIN 引脚的外部时钟时，内部展频将被禁用。DRSS 将低频三角调制曲线与高频逐周期随机调制曲线相结合。低频三角调制提高了低射频频带（例如 AM 频带）中的性能，高频随机调制提高了高射频频带（例如 FM 频带）中的性能。此外，还会进一步随机调制三角调制的频率，以降低出现任何可闻音的可能性。为了更大限度地减少展频引起的输出电压纹波，可以逐周期修改占空比，以便在启用抖动时保持几乎恒定的占空比。

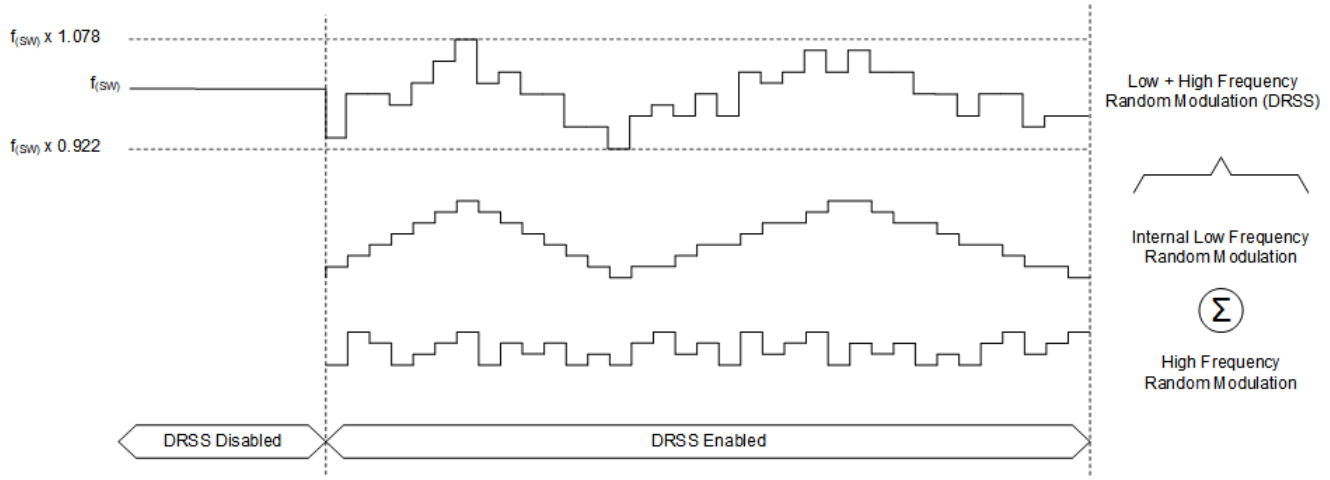


图 6-4. 双随机展频

6.3.5 运行模式（BYPASS、DEM、FPWM）

该器件支持旁路模式、强制 PWM (FPWM) 和二极管仿真模式 (DEM) 运行。该模式可以动态更改，并由 MODE 引脚设置。当 $V_{OUT} < V_I$ 时，旁路模式会自动激活。器件运行模式在 $V_{MODE} < 0.4V$ 时设置为 DEM，在 $V_{MODE} > 1.2V$ 时设置为 FPWM。

表 6-5. 模式引脚设置

运行模式	MODE 引脚
DEM	$V_{MODE} < 0.4V$
FPWM	$V_{MODE} > 1.2V$

在二极管仿真模式 (DEM) 下，可阻止电流从 V_{OUT} 流向 V_I。在高侧导通时间内监测每相的 SW 引脚电压，当电压降至零电流检测阈值 V_{ZCD} 以下时，高侧开关会关断。对于轻负载，该器件在不连续导通模式 (DCM) 下工作，最终会跳过脉冲，从而提高轻负载效率。当两个相位都处于运行状态（EN2 = 高电平）时，两个相位都会在轻负载条件下以 DCM 运行，并且最后会跳过脉冲。在 DEM 运行模式下，当 COMP 低于 460mV 时，控制器会开始跳过脉冲。使用 方程式 5 计算输入电流的跳过入口点，使用 方程式 6 计算输出电流的跳过入口点。

$$I_{I_skip} = \frac{1.5\mu \times \frac{V_I}{L}}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \tag{5}$$

$$I_{OUT_skip} = \frac{\frac{V_I}{V_{OUT}} \times \frac{V_I}{L} \times 1.5\mu}{0.48 \times \frac{f_{SW}}{40K} + 250\mu \times R_{SNS} \times \frac{V_I}{L}} \tag{6}$$

在采用调制模式 (FPWM) 的强制脉冲模式下，即使在轻载情况下，转换器也会在连续导通模式 (CCM) 下以固定频率持续进行开关操作。此模式改善了轻负载瞬态响应。

在旁路 (BYPASS) 模式下，V_I 通过导通高侧 FET 连接至 V_{OUT}（无调节）。无法控制从 V_I 流向 V_{OUT} 的正电流，同时对于 DEM 选择，会阻止电流从 V_{OUT} 流向 V_I，而对于 FPWM 选择，则将电流限制在 V_{NCLTH}。集成电荷泵在 HOx − SWx 处提供最小 3.75V 的电压，并且每相可驱动 55uA (I_{CP})。当 EN2 =低电平时，仅相 1 的高侧 FET 会导通；当 EN2 = 高电平时，相 1 和相 2 的高侧 FET 都会导通。如果使用了下拉电阻器，需要确保电荷泵可以驱动 MOSFET 和下拉电阻器的泄露电流。如果电荷泵过载，器件开始进行开关操作，以维持 $V_{HB\text{-}UVLO}$ 栅极电压的最小值。

当满足表进入、退出旁路模式 中的条件时，器件会进入和退出旁路模式。

Copyright © 2025 Texas Instruments Incorporated

表 6-6. 进入、退出旁路模式

运行模式	旁路	条件
DEM/FPWM	入门级	$V_{OUT} < V_I - 100mV$ 且 $V_{COMP} < V_{COMP-MIN} + 100mV$
DEM	退出	$V_{COMP} > V_{COMP-MIN} + 100mV$ 或 $((V_{CSP1} - V_{CSN1}) < V_{ZCD_BYP} \parallel (V_{CSP2} - V_{CSN2}) < V_{ZCD_BYP})$
FPWM	退出	$V_{COMP} > V_{COMP-MIN} + 100mV$ 或 $((V_{CSP1} - V_{CSN1}) < V_{NCLTH} \parallel (V_{CSP2} - V_{CSN2}) < V_{NCLTH})$

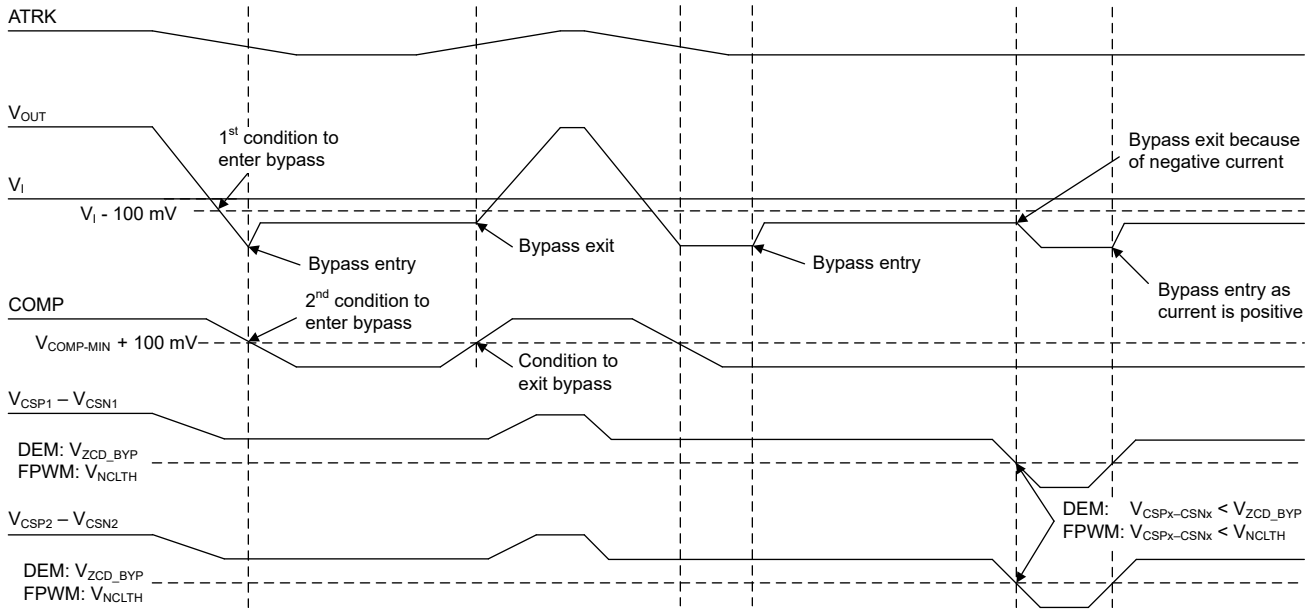


图 6-5. 进入、退出旁路模式

6.3.6 VCC 稳压器，BIAS（BIAS 引脚、VCC 引脚）

栅极驱动器由内部 5V VCC 稳压器供电。$V_{BIAS} > V_{BIAS-RISING}$ 时，VCC 稳压器由最高支持 42V 的 BIAS 供电，而 $V_{BIAS} < V_{BIAS-FALLING}$ 时则由 VOUT 引脚供电。由于基准系统始终由 BIAS 引脚供电，并且当电压低于 2V 时系统会关断，将 BIAS 引脚连接至 ≥ 2.5V 的电压（例如 V_I 或 5V）。建议的 VCC 电容值为 10 μF。

集成的电流限制可在 VCC 过载或 VCC 引脚接地短路时防止器件损坏。VCC 可以拉取高达 200mA (I_{VCC-CL}) 的电流。外部 MOSFET 的 VCC 消耗电流可通过 方程式 7 计算得出。

$$I_{VCC} = n \times 2 \times Q_{G@5V} \times f_{SW} \tag{7}$$

其中

- n 为活动相位数。
- $Q_{G@5V}$ 是 5V 栅源电压下的 MOSFET 栅极电荷。

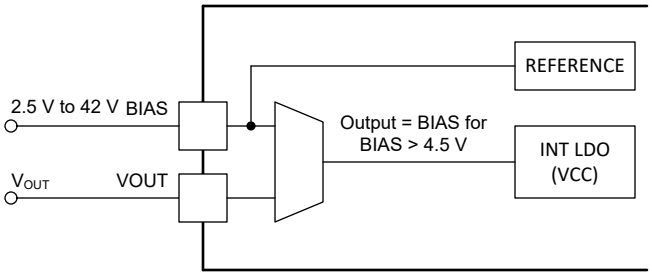


图 6-6. 动态 BIAS 电源选择

6.3.7 软启动（SS 引脚）

在启动时的启动阶段 1 和 2 状态期间（请参阅 FSM），器件会以 SS 引脚电压或 ATRK/DTRK 引脚电压（以较低者为准）为基准调节误差放大器。调节的基准导致输出电压 V_{OUT} 逐渐上升。在软启动期间，器件会强制进入二极管仿真模式 (DEM)，直到生成软启动完成信号。

外部软启动电容器首先放电至 $V_{SS\text{-}DIS}$ 电压，然后由 I_{SS} 电流充电，当达到 $V_{SS\text{-}DONE}$ 时，会生成软启动完成信号。在升压拓扑中，软启动时间 (t_{SS}) 随输入电源电压而变化，因为在启动时 V_{OUT} 等于 V_I。在 软启动 图中，在时间 t_1 软启动电流被激活。在 t_2 时，软启动电压达到 V_I 电压电平，V_{OUT} 开始上升，直至 V_{OUT} 达到 t_3 时编程的 V_{OUT} 值。当 SS 引脚电压达到 $V_{SS\text{-}DONE}$ 时，软启动完成信号在 t_4 时生成。SS 引脚电压持续上升，直至达到 V_{VCC}，此时软启动电流将停用。

$$t_{SS_t1_t4} = 2.2 \times \frac{C_{SS}}{I_{SS}} \tag{8}$$

$$t_{SS_t2_t3} = \frac{C_{SS}}{I_{SS}} \times \frac{V_{OUT} - V_I}{30} \tag{9}$$

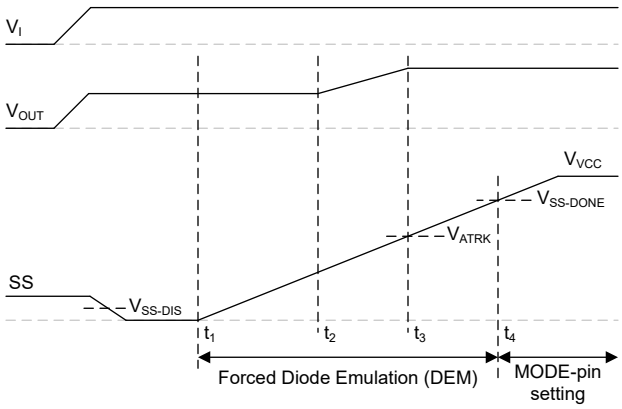


图 6-7. 软启动

6.3.8 V_{OUT} 编程（VOUT、ATRK、DTRK）

该器件在 VOUT 引脚上检测输出电压 V_{OUT}。可以通过 ，将 10kΩ 至 100kΩ 电阻器连接至 ATRK/DTRK 引脚、施加 0.2V 和 2V 之间的电压或者 8% 至 80% 占空比之间的数字信号，在 6V 和 60V 之间对 V_{OUT} 进行编程。启动时，处于待机（功能状态图）期间，会检测编程方法是使用模拟信号还是数字信号。在过渡到启动阶段 1 和 2 时，编程方法会被锁存，并且在运行期间无法更改。ATRK 支持高达 10kHz 的信号，但是 ATRK 引脚电压足够慢地更改，以便 V_{OUT} 跟随。当 ATRK < 0.2V 或 > 2V 时，器件也会尝试调节 V_{OUT}，但性能无法保持稳定。通过 CFG0 设置启用 20μA 电流，从而通过电阻器对 V_{OUT} 进行编程。20μA 电流由 ATRK 引脚提供，并通过外部电阻器为目标 VOUT 电压生成所需的 ATRK 电压。对于模拟跟踪 (ATRK) 或数字跟踪 (DTRK)，TI 建议禁用 20uA 电流。

Copyright © 2025 Texas Instruments Incorporated

使用电阻进行 V_{OUT} 编程的公式如下：

$$R_{ATRK} = \frac{V_{OUT}}{6\,V} \times 10\,k\Omega \tag{10}$$

使用电压进行 V_{OUT} 编程 (ATRK) 的公式如下：

$$V_{OUT} = V_{ATRK} \times 30 \tag{11}$$

使用数字信号进行 V_{OUT} 编程 (DTRK) 的公式如下：

$$V_{OUT} = 0.75\,\frac{V}{\%} \times Duty\ Cycle \tag{12}$$

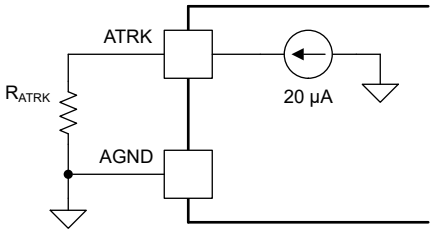


图 6-8. 使用电阻进行 V_{OUT} 编程

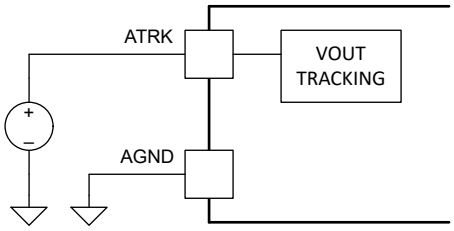


图 6-9. 通过模拟电压进行 V_{OUT} 跟踪

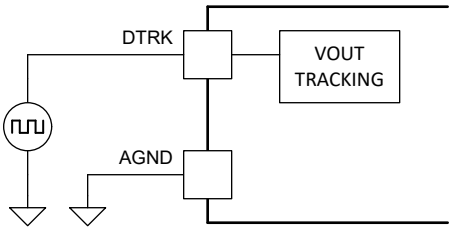


图 6-10. 通过数字信号进行 V_{OUT} 跟踪

6.3.9 保护功能

该器件实现了以下保护。图 6-11 示出了在 功能状态图 的哪个状态下，保护处于活动状态。对于具有相同灰色阴影的灰色阴影状态，该保护处于活动状态，例如 TSD 在待机状态（包括热关断状态）下处于活动状态，但不处于 ICL LATCH 状态。

- 热关断 (TSD) 会在高温下关闭器件。
- 欠压锁定 (UVLO) 会在低电源电压下关闭器件。
- VCC 欠压锁定 (VCC UVLO) 避免了低侧栅极驱动器电压过低。器件会停止开关，直到 VCC 恢复。
- HBx 欠压锁定 (HBx UVLO) 可避免高侧栅极驱动器电压过低。器件启动刷新脉冲（512 个周期断续模式关断时间）。有关详细信息，请参阅 “MOSFET 驱动器、集成式自举二极管和断续模式故障保护（LOx、HOx、HBx 引脚）”。
- 过压保护 (OVP) 被触发时，器件停止开关，直到 V_{OUT} 恢复到目标值。实现了两个 OVP：
  - OVP_{max}，它是可编程的绝对值（通常为 64V、50V、35V 或 28.5V）。
  - OVP，在 V_{OUT} 为编程值的 110% 时触发。
- 欠压保护 (UVP) 被触发时，器件会继续运行，但会将 PGOOD 引脚拉至低电平。
- 峰值电流限制 (PCL)，限制开关电流。有关详细信息，请参阅 “电流检测设置和开关峰值电流限制（CSP1、CSP2、CSN1、CSN2）”。
- 输入电流限制 (ICL)，将开关电流限制在 120%。此保护通过 I_{CL_latch} 编程来启用和禁用。
- 平均输入电流限制 (ILIM)，通过 R_{ILIM} 将平均输入电流限制为编程的值。有关详细信息，请参阅 “输入电流限制和监测（ILIM、IMON、DLY）”。

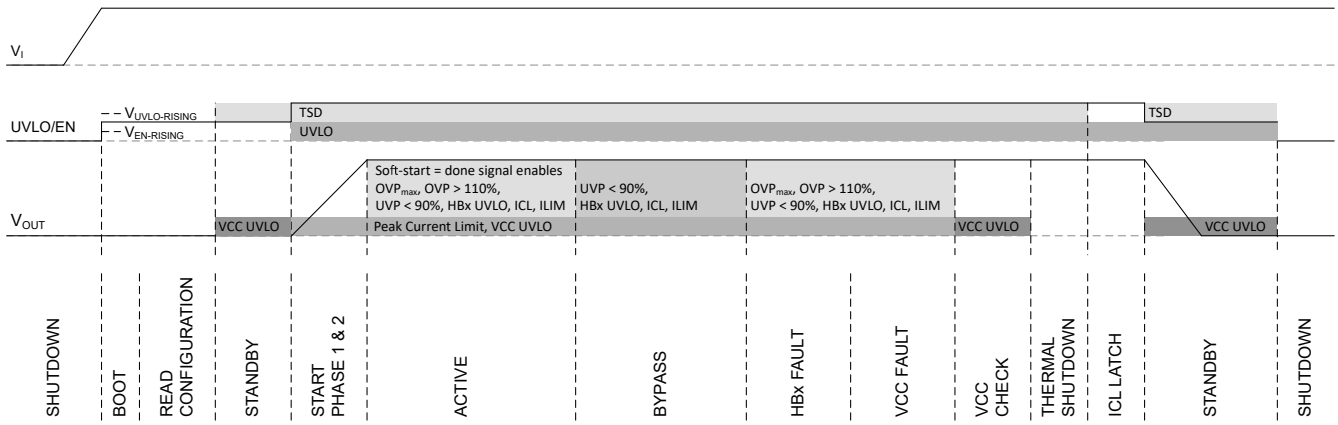


图 6-11. 保护功能

6.3.9.1 V_{OUT} 过压保护 (OVP)

过压保护 (OVP) 使用两个阈值来监测 VOUT 引脚。可编程阈值 $V_{OVP_max\text{-}H}$ 将 V_{OUT} 限制为 64V、50V、35V 或 28.5V，而 $V_{OVP\text{-}H}$ 阈值将编程的 V_{OUT} 限制为编程的电压的 110%。在旁路状态下，会禁用 110% $_{OVP\text{-}H}$ 检测。

当 V_{OUT} 上升至高于 $V_{OVP_max\text{-}H}$ 或 $V_{OVP\text{-}H}$ 阈值时（旁路期间未激活），低侧驱动器将关断，而高侧驱动器将导通。从 V_I 到 V_{OUT} 的电流通过 CSP1 - CSN1 进行监测，当相位 2 处于活动状态时，也通过 CSP2 - CSN2 进行监测，从而允许电流从 V_I 流向 V_{OUT}。当从 V_I 到 V_{OUT} 的电流为零或为负值时，高侧驱动器会关断，从而防止电流从 V_{OUT} 流向 V_I。当 V_{OUT} 降至 $V_{OVP_max\text{-}L}$ 或 $V_{OVP\text{-}L}$ 阈值以下时，器件将继续正常运行。

6.3.9.2 热关断 (TSD)

如果结温 (T_J) 超过 $T_{TSD\text{-}RISING}$ 阈值，内部热关断 (TSD) 功能可以通过禁用 MOSFET 驱动器和 VCC 稳压器来保护器件。当结温 (T_J) 通过 $T_{TSD\text{-}HYS}$ 迟滞降低后，器件将根据功能状态图 继续运行。

6.3.10 电源正常状态指示器（PGOOD 引脚）

该器件具有电源正常状态指示器 (PGOOD)，可简化时序控制和监控。PGOOD 是一个开漏输出，并可从外部连接一个上拉电阻。当 VOUT 引脚电压高于 $V_{UVP\text{-}H}$ 欠压阈值时，PGOOD 开关断开。在以下情况下，PGOOD 会被拉低：

- VOUT 引脚电压低于 V_{OUT} 下降欠压阈值 $V_{UVP\text{-}L}$。
- VOUT 引脚电压高于 V_{OUT} 上升过压阈值 V_{OVP_H}。当电压高于 $V_{OVP_max\text{-}H}$ 阈值且启用了 $PGOOD_{OVP_enable}$ 功能时，PGOOD 也会被拉低（请参阅 CFG1 引脚设置）。
- 器件处于关断状态且 V_{BIAS} 大于约 1.7V（请参阅功能状态图）。
- EN/UVLO 引脚电压降至欠压锁定阈值电压 $V_{UVLO\text{-}FALLING}$ 以下。
- VCC 稳压器电压 VCC 降至欠压锁定阈值 $V_{VCC\text{-}UVLO\text{-}FALLING}$ 以下。
- 热关断被触发（请参阅功能状态图）。
- HBx 引脚电压低于 V_{HBx} 的下降 $V_{HB\text{-}UVLO}$ 阈值，并且引导刷新进入 512 个周期的断续模式关断时间（请参阅 MOSFET 驱动器、集成式自举二极管和断续模式故障保护（LOx、HOx、HBx 引脚））。PGOOD 仅在断续关断时间内被拉低。
- 超出开关峰值电流限值 20%，并且 I_{CL_latch} 功能被启用（请参阅 CFG1 引脚设置）。
- 发生 OTP 存储器故障（CRC 故障）。

Copyright © 2025 Texas Instruments Incorporated

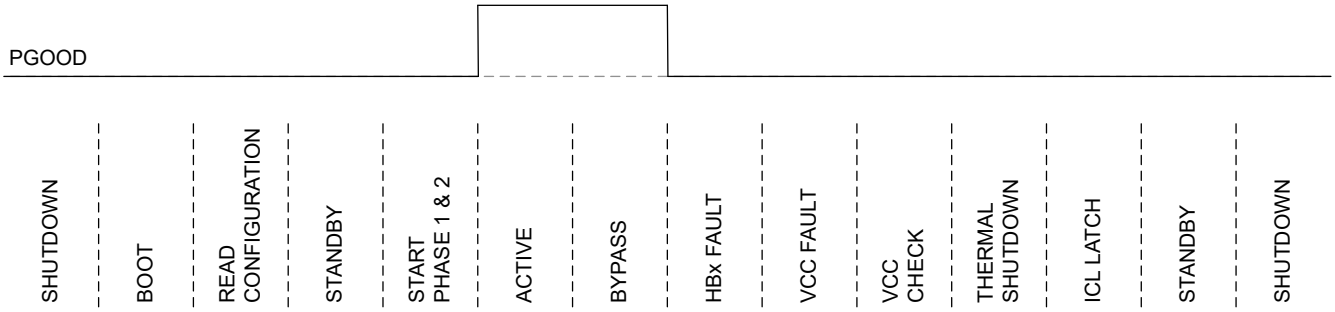


图 6-12. 所有器件状态的 PGOOD 状态

6.3.11 斜率补偿（CSP1、CSP2、CSN1、CSN2）

电流检测放大器具有大小为 10 的增益 (ACS)，并为防止高占空比下的次谐波振荡，增加了内部斜率补偿斜坡。补偿斜坡的斜率必须至少大于所检测到电感器电流下降斜率的一半，这在 方程式 13 中的裕度 >1 时履行。

$$\frac{V_{OUT} - V_I}{2 \times L} \times R_S \times Margin < V_{SLOPE} \times f_{SW} \tag{13}$$

6.3.12 电流检测设置和开关峰值电流限制（CSP1、CSP2、CSN1、CSN2）

每个相位的峰值电流限值由检测电阻 R_{SNS1} 和 R_{SNS2} 设定。当 CSP1 – CSN1 达到阈值 V_{CLTH}（典型值为 60mV）时，相位 1 的正峰值电流限制生效；而对于相位 2，则为 CSP2 – CSN2。当达到 V_{NCLTH}（典型值为 −28mV）时，负峰值电流限制生效。R_1、R_2、R_4 和 R_5 为 0Ω，而 R_3 和 R_6 为开路。

$$R_{SNS} = \frac{I_{peak_lim}}{V_{CLTH}} \tag{14}$$

可以通过添加电阻 R_1、R_2、R_3、R_4、R_5 和 R_6 来调整峰值电流限制。电阻 R_1、R_2、R_4 和 R_5 需要具有相同的值。由于 CSx 放大器由 CSPx 引脚供电，因此选择的电阻小于 1Ω。选择的 R_3 和 R_6 在 1Ω 至 20Ω 之间。

$$I_{peak_\lim_ph1} = \left(\frac{R_1 + R_2}{R_3} + 1\right) \times \frac{V_{CLTH}}{R_{SNS1}} \tag{15}$$

$$I_{peak_\lim_ph2} = \left(\frac{R_4 + R_5}{R_6} + 1\right) \times \frac{V_{CLTH}}{R_{SNS2}} \tag{16}$$

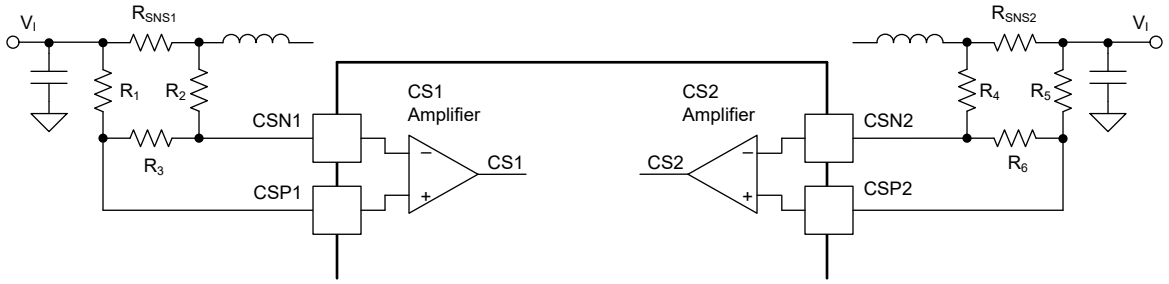


图 6-13. 通过添加电阻器进行峰值限制调整

通常为 −28mV 的负峰值电流限制是一种额外的安全保护措施，通常不会达到该负峰值电流限制，因为负电流已经受到 COMP 引脚电压的限制。V_{COMP} 通常被钳位在 200mV，这会将开关电流的电压限制为大约 −20mV 的感应电压。

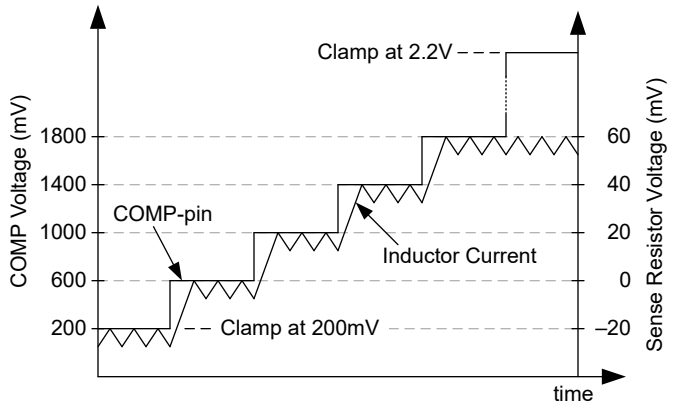


图 6-14. 限制开关电流的 COMP 引脚电压和检测电阻电压

6.3.13 输入电流限制和监测（ILIM、IMON、DLY）

监测 IMON 引脚上的平均 V_I 输入电流。每个活动相位的平均感测电流会被累加起来，在 IMON 引脚上产生一个源电流，该电流由电阻器 R_{IMON} 转换为电压。所产生的电压 V_{IMON} 可根据方程式 18 进行计算，而所需的电阻 R_{IMON} 可根据方程式 17 进行计算。V_{IMON} 可稳压至高达 3V，并具有自保护功能，不会达到绝对最大值。

$$R_{IMON} = \frac{V_{IMON}}{(R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}} \tag{17}$$

$$V_{IMON} = ((R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}) \times R_{IMON} \tag{18}$$

R_{CS1} 和 R_{CS2} 是各自的相位检测电阻器。对于禁用的相位，请将 0Ω 用作检测电阻值，。I_{IN} 是输入电流，G_{IMON} 是跨导增益，n 是处于工作状态的相数，偏移电流 I_{OFFSET} 则是电气特性表中给定的偏移电流。

可以通过在 ILIM 引脚上连接一个适当的电阻来限制平均输入电流。当输入电流限制处于活动状态时，V_{OUT} 会调低，直至达到设定的平均输入电流限值。如果 V_{OUT} 调节至低于 V_I 电压，则无法再对电流进行限制。DLY 引脚电容器 C_{DLY} 增加额外的延迟时间 t_{DLY} 来激活和停用平均输入电流限制（请参阅 图 6-15）。当 ILIM 引脚电压达到阈值 V_{ILIM}（典型值为 1V）时，拉电流 I_{DLY} 被激活，为 DLY 引脚电容器 C_{DLY} 充电。DLY 引脚电压 V_{DLY} 上升，直至达到 $V_{DLY_peak_rise}$，这会激活平均输入电流限制。ILIM 引脚电压被调节至 V_{ILIM}，而输入电流被向下调节至由 R_{ILIM} 设定的平均输入电流限值，从而产生一个压降 V_{OUT}。要退出平均电流限制调节，输出负载必须降低，这会导致 V_{OUT} 上升，同时 V_{ILIM} 降至 V_{ILIM_reset}（典型值为 0.88V）以下。V_{ILIM_reset} 会激活灌电流 I_{DLY}，从而使 DLY 引脚电容器 C_{DLY} 放电。当 V_{DLY} 达到 $V_{DLY_peak_fall}$ 时，平均输入电流限制将被禁用，而 DLY 引脚将放电至 V_{DLY_valley}。所需电阻 R_{ILIM} 可根据方程式 19 进行计算。

$$R_{ILIM} = \frac{1V}{(R_{CS1} + R_{CS2}) \times I_{IN_LIM} \times G_{IMON} + \mathrm{n} \times I_{OFFSET}} \tag{19}$$

$$t_{DLY} = \frac{2.6 \times C_{DLY}}{5 \times 10^{-6}} \tag{20}$$

$$C_{DLY} = t_{DLY} \times \frac{5 \times 10^{-6}}{2.6} \tag{21}$$

Copyright © 2025 Texas Instruments Incorporated

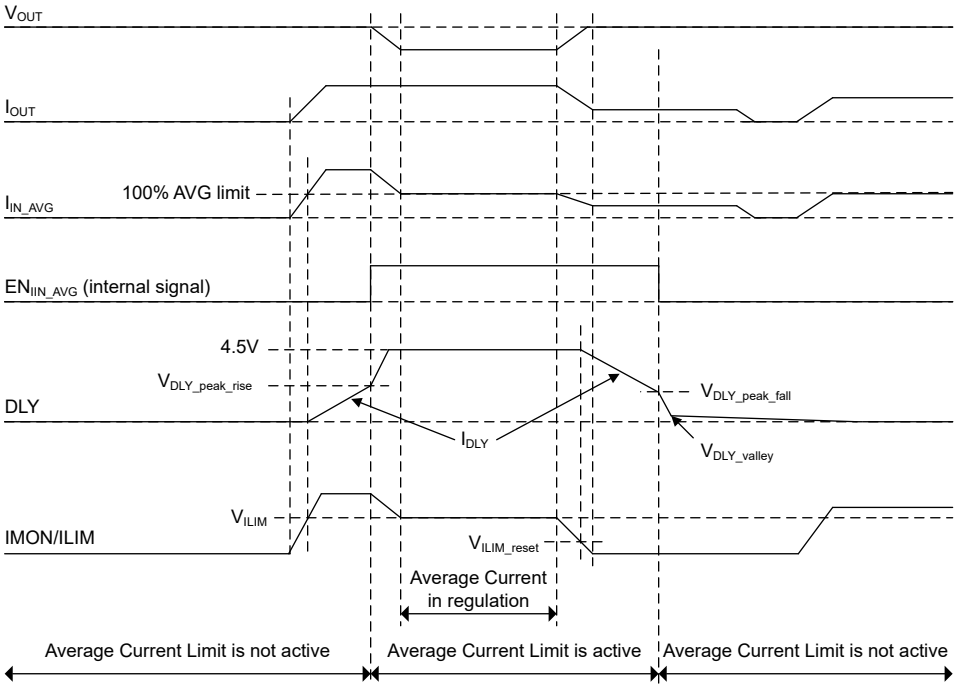


图 6-15. 平均电流限值

6.3.14 最大占空比和最小可控导通时间限制

为了涵盖电阻元件导致的非理想因素，实现了最大占空比限制 D_{MAX} 和最小强制关闭时间。在 CCM 运行模式下，编程的输出电压 V_{OUT} 支持的最小输入电压 V_{I_MIN} 由最大占空比 D_{MAX} 定义（请参阅方程式 22）。在 DEM 运行模式下，最小输入电压 V_{I_MIN} 不受 D_{MAX} 的限制。

$$V_{I_MIN} \approx V_{OUT} \times (1 - D_{MAX}) + I_{I_MAX} \times (R_{DCR} + R_{SNS} + R_{DS(ON)}) \quad (22)$$

其中

- I_{I_MAX} 是最低输入电压 V_{I_MIN} 时的最大输入电流
- R_{DCR} 是电感器的直流电阻
- R_{SNS} 是检测电阻的电阻值
- $R_{DS(ON)}$ 为 MOSFET 的导通电阻

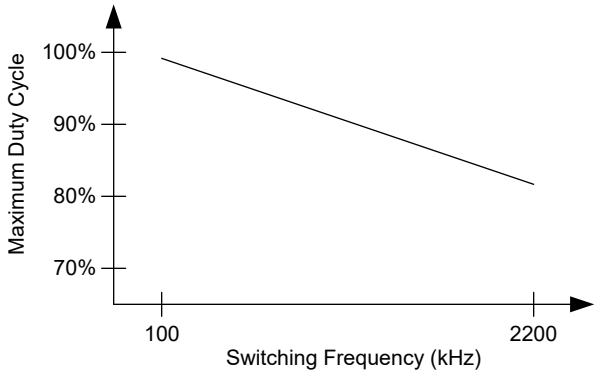


图 6-16. 开关频率与最大占空比间的关系

在极轻负载条件下或当 V_I 接近 V_{OUT} 时，如果所需导通时间小于 t_{ON-MIN}，器件将跳过低侧驱动器脉冲，以避免 V_{OUT} 失控。此脉冲跳跃表现为随机行为。如果 V_I 进一步增加到高于 V_{OUT} 的电压，所需导通时间将变为零，且器件最终进入旁路模式，此旁路模式将 100% 导通高边驱动器。

6.3.15 信号抗尖峰脉冲概述

下图展示了信号抗尖峰脉冲。对于所有信号，上升沿和下降沿都以相同的抗尖峰脉冲时间进行抗尖峰脉冲。

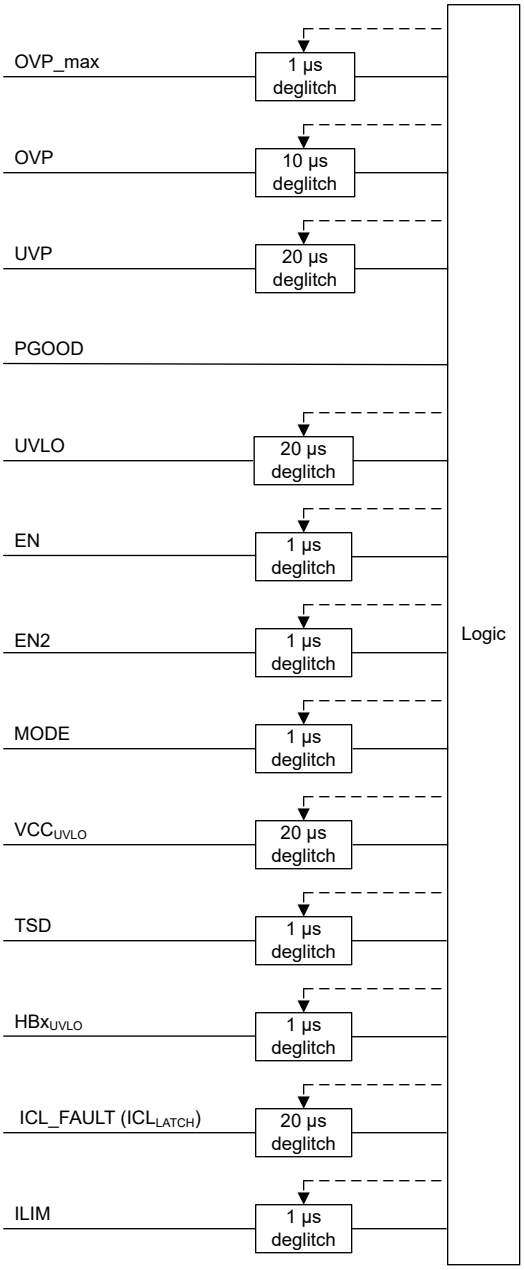


图 6-17. 信号抗尖峰脉冲

Copyright © 2025 Texas Instruments Incorporated

6.3.16 MOSFET 驱动器、集成式自举二极管和断续模式故障保护（LOx、HOx、HBx 引脚）

该器件集成 N 沟道逻辑 MOSFET 驱动器。LOx 驱动器由 VCC 供电，而 HOx 驱动器由 HBx 供电。当通过导通低侧 MOSFET 而使 SWx 引脚电压约为 0V 时，电容器 C_{HBx} 由 VCC 通过内部自举二极管充电。C_{HBx} 的建议值为 0.1 μF。在关断期间，栅极驱动器输出为高阻抗。

LOx 和 HOx 输出采用自适应死区时间方法进行控制，这可确保两个输出不会同时启用，从而防止击穿。当器件开启 LOx 时，自适应死区时间逻辑会关闭 HOx 并等待 HOx-SWx 电压降至典型值 1.5V 以下，然后在短暂的可编程死区时间延迟 t_{DHL} 后开启 LOx。同样，HOx 驱动器开启会出现延迟，直到 LOx-PGND 电压放电至典型值 1.5V 以下。然后，在经过同样的可编程死区时间延迟 t_{DLH} 后，HOx 会开启。

如果在启动期间驱动器输出电压低于 MOSFET 栅极平坦电压，则转换器可能无法正常启动，并且可能会在高功耗状态下保持在最大占空比。通过选择阈值较低的 MOSFET 或在 BIAS 引脚电压足够时导通器件，可以避免这种情况。在旁路操作期间，最小 HOx-SWx 电压为 3.75V。

断续模式故障保护由 $V_{HB-UVLO}$ 触发。如果 HBx − SWx 电压低于 HBx UVLO 阈值 ($V_{HB-UVLO}$)，则 LOx 将强制开启 75ns 来为自举电容器充电。该器件允许多达四个连续的充电开关周期。在最多四个连续的自举充电开关周期后，该器件将在 12 个周期跳过该开关操作。如果该器件在四组（每组四个）连续的充电开关周期后未能为自举电容器充满电，该器件将停止开关操作，并进入 512 个周期的断续模式关断时间。在断续模式关断时间 PGOOD = 低电平且 SS 引脚接地。

如果需要，可通过添加与下拉 PNP 晶体管并联的栅极电阻器来调节开关节点电压的压摆率。该电阻器会降低有效死区时间。

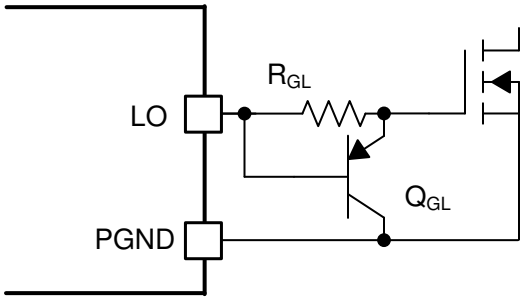


图 6-18. 压摆率控制

6.4 器件功能模式

功能状态图 (FSM) 中显示了多个不同的操作模式。

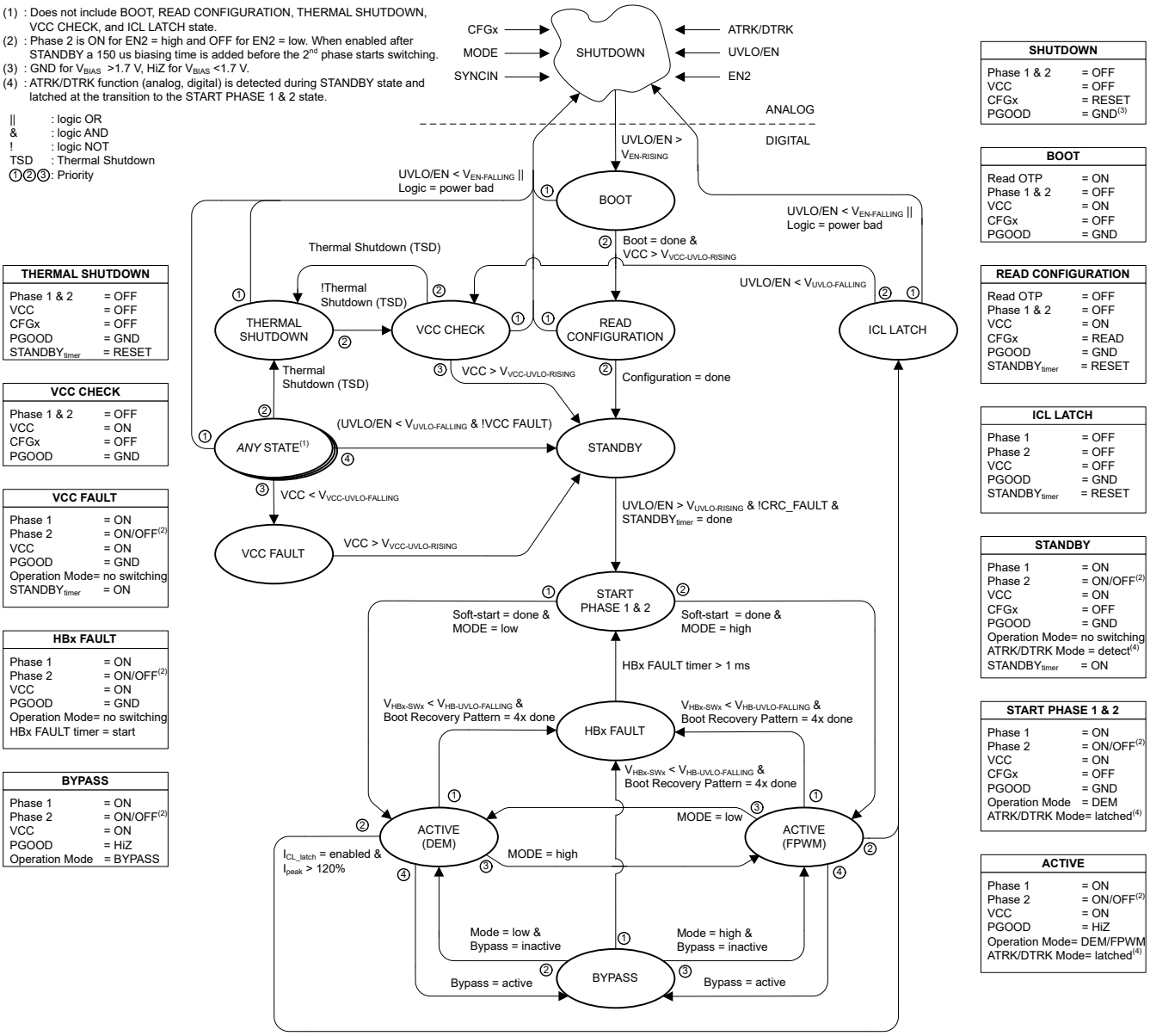


图 6-19. 功能状态图

6.4.1 关断状态

当 UVLO/EN 引脚为低电平时，器件将关断，通常从 BIAS 引脚消耗 2 μA 电流并从 VOUT 引脚消耗 0.001 μA 电流。关断时，COMP、SS 和 PGOOD 接地。VCC 稳压器被禁用。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

LM5125-Q1 是一款双相交错升压转换器。按照以下设计过程为 LM5125-Q1 选择元件值。

有关典型应用和曲线，请参阅 LM5125 评估模块。

使用 LM5125 快速入门计算器 可加快为给定应用设计稳压器的过程。

另外也可以使用 WEBENCH® 软件生成完整设计。生成设计时，WEBENCH 软件采用一种迭代设计过程并访问综合元件数据库。

本部分简要讨论了设计过程。

7.1.1 反馈补偿

升压稳压器的开环响应定义为调制器传递函数和反馈传递函数的乘积。在 dB 标度下绘制时，开环增益表现为调制器增益与反馈增益之和。电流模式升压稳压器的调制器传递函数包含功率级传递函数（带有嵌入式电流环路）。它被简化为一个极点、一个零点和一个右半平面零点 (RHPZ) 系统。

调制器传递函数定义如下：

$$\frac{\hat{v}_{out}}{\hat{v}_{comp}} = A_M \times \frac{\left(1+\frac{s}{\omega_{Z_ESR}}\right)\left(1-\frac{s}{\omega_{RHPZ}}\right)}{1+\frac{s}{\omega_{P_LF}}} \times G_{ACB}\left(s\right) \tag{23}$$

其中

- 调制器直流增益 $A_M = \frac{R_{out} \times D'}{2 \times A_{cs} \times R_{cs_eq}}$
- 负载极点 $\omega_{P_LF} = \frac{2}{R_{out} \times C_{out}}$
- ESR 零点 $\omega_{Z_ESR} = \frac{1}{R_{ESR} \times C_{out}}$
- RHPZ $\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}}$
- 等效负载电阻 $R_{out} = \frac{V_{out}^2}{P_{out_total}}$
- 等效电感 $L_{m_eq} = \frac{L_m}{N_p}$
- 等效电流检测电阻 $R_{cs_eq} = \frac{R_{cs}}{N_p}$
- N_p 为相位数。
- 有效电流平衡电路增益，$G_{ACB}(s) = \frac{1}{2} \times \frac{s \times 4 \times 10^{-6} + 1}{s \times 2 \times 10^{-6} + 1}$。LM5125 采用了有效电流平衡电路，以降低由两个电感器的差异引起的平均电流误差。

如果 C_{out} (R_{ESR}) 的等效串联电阻 (ESR) 足够小，并且 RHPZ 频率远离目标交叉频率，则调制器传递函数可进一步简化为单极点系统，并且只需两个环路补偿元件 R_{COMP} 和 C_{COMP}，电压环路即可实现闭环，从而在交叉频率处实现单极点响应。交叉频率处的单极点响应能够提供 90 度相位裕度，从而确保环路非常稳定。

如图 7-1 所示，输出电压误差放大器采用了一个 g_m 放大器。反馈传递函数包括反馈电阻分压器增益和误差放大器的环路补偿。R_{COMP}、C_{COMP} 和 C_{HF} 用于配置误差放大器的增益和相位特性，生成一个原点极点、一个低频零点以及一个高频极点。

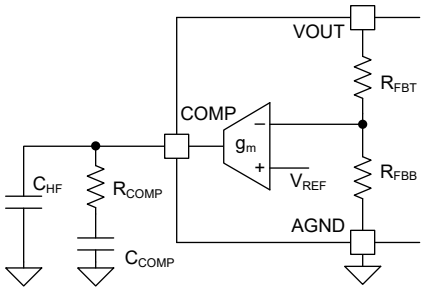


图 7-1. II 型 g_m 放大器补偿

反馈传递函数定义如下：

$$-\frac{\hat{v}_{comp}}{\hat{v}_{out}} = \frac{A_{VM} \times \omega_{Z_EA}}{s} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{1 + \frac{s}{\omega_{P_EA}}} \tag{24}$$

其中

- 中频带电压增益 $A_{VM} = K_{FB} \times g_m \times R_{COMP}$
- g_m = 1mA/V。
- 反馈电阻分压器增益 $K_{FB} = \frac{R_{FBB}}{R_{FBT} + R_{FBB}}$ 。对于内部反馈电阻分压器， $K_{FB} = \frac{1}{30}$ 。
- 低频零点 $\omega_{Z_EA} = \frac{1}{R_{COMP} \times C_{COMP}}$
- 高频极点 $\omega_{P_EA} \approx \frac{1}{R_{COMP} \times C_{HF}}$

原点处的极点可以尽可能减小输出稳态误差。放置低频零点以抵消调制器的负载极点。使用高频极点抵消输出电容器 ESR 产生的零点，或降低误差放大器的噪声敏感性。通过将低频零点设置为比交叉频率小一个数量级，可在交叉频率下实现最大相位提升。将高频极点放置在交叉频率之后，因为增加 C_{HF} 会在反馈传递函数中增加一个极点。

交叉频率（开环带宽）通常限制为 RHPZ 频率的五分之一。

增大 R_{COMP} 并按比例减小 C_{COMP}，以实现更高的交叉频率。相反，减小 R_{COMP} 并按比例增大 C_{COMP}，会导致带宽降低，同时保持反馈传递函数中零点的频率不变。

7.1.2 非同步应用

在非同步模式下运行时，请遵循以下说明。

- 将 SWx 连接到 GND，将 HBx 连接到 VCC。
- 保持 HOx 悬空。

图如下面所示。

Copyright © 2025 Texas Instruments Incorporated

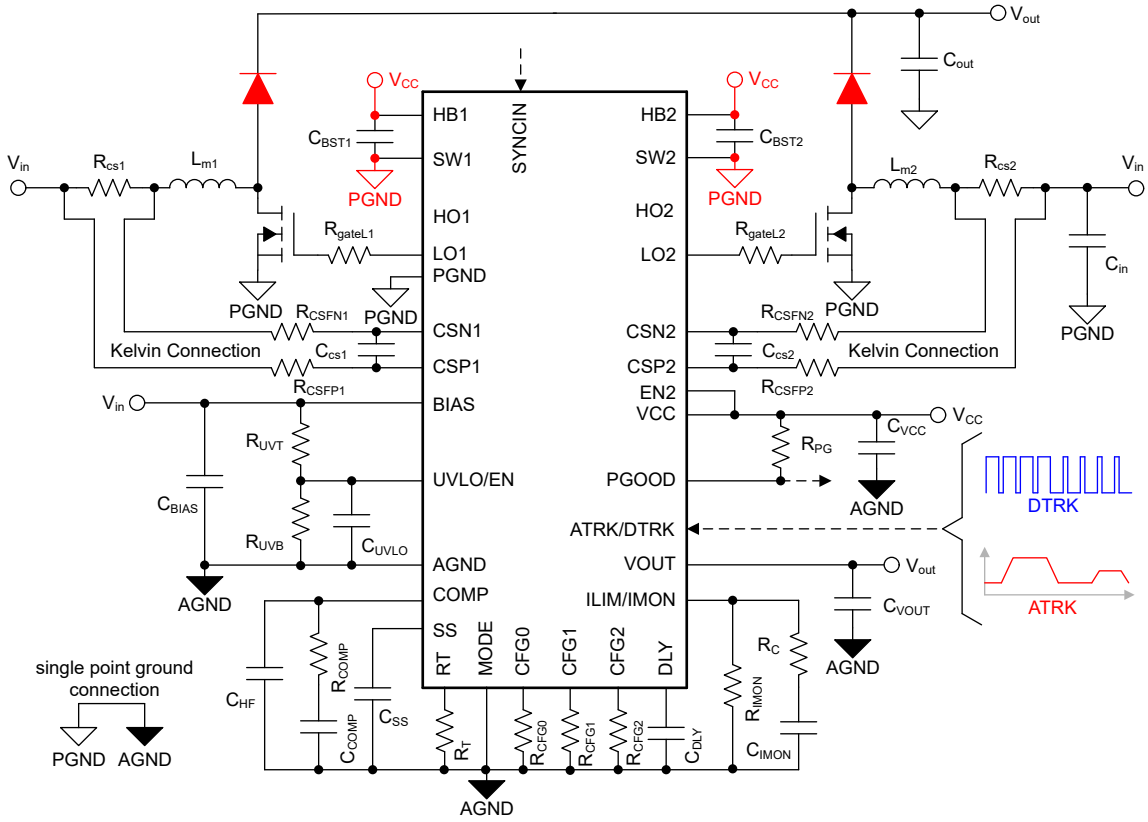


图 7-2. 双相非同步升压转换器的原理图

7.2 典型应用

7.2.1 应用

一个典型的应用示例是双相升压转换器，如图 7-3 所示。该转换器专为 H 类音频放大器而设计。输出电压可调至 45V。峰值功率为 1kVA，输入平均电流限制为 26A。

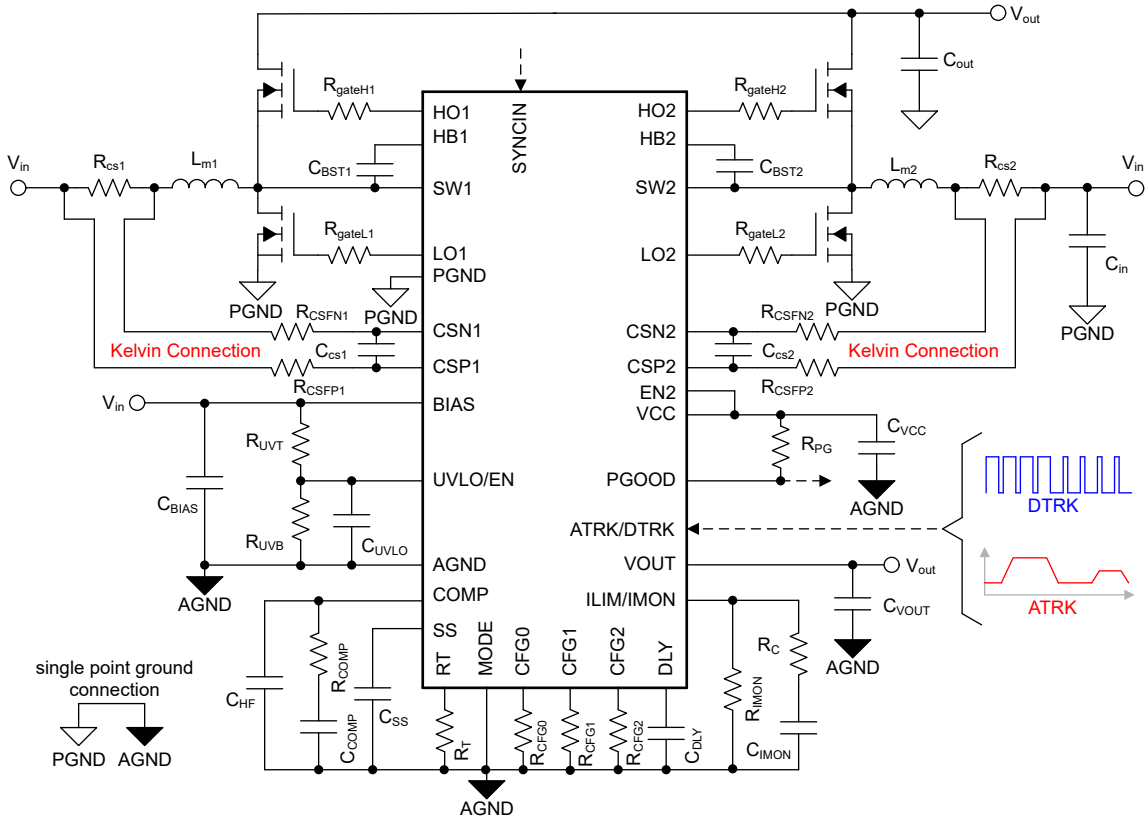


图 7-3. 双相升压转换器的原理图

7.2.2 设计要求

表 7-1. 设计参数

参数	值
最小输入电压 V_{in_min}	9V
典型输入电压 V_{in_typ}	14.4V
最大输入电压 V_{in_max}	18V
最小输出电压 V_{out_min}	8V
最大输出电压 V_{out_max}	45V
最大输出电压和典型输入电压下的最大输出功率 P_{out_total}	1000W
额定输出功率 P_{rated_total}	300W
在两倍额定输出功率和典型输入电压下的最大延迟 t_{delay}	100ms
估计效率 η	95%

7.2.3 详细设计过程

7.2.3.1 确定相位总数

交错运行在高电流应用中提供了许多优势，例如提高效率、降低元件应力以及减少输入和输出纹波。对于双相交错运行，输出功率路径被拆分，将每个相位的输入电流减少一半。由于每个通道彼此之间存在 180 度的相位差，因此输入和输出电容器中的纹波电流显著降低。如图 7-4 所示，输入电流纹波显著降低。

Copyright © 2025 Texas Instruments Incorporated

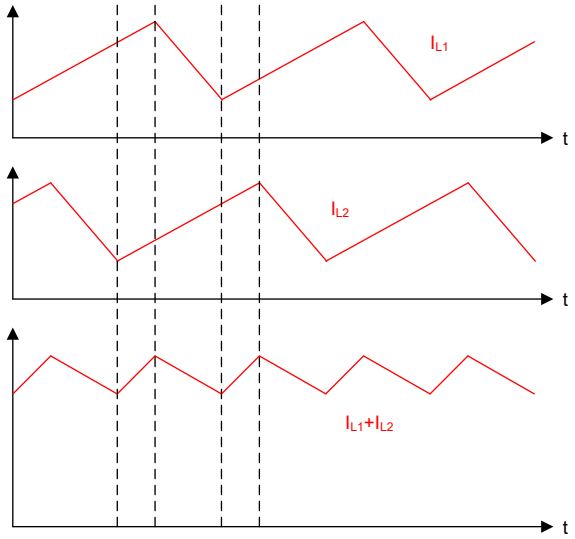


图 7-4. 通过双相交错降低输入电流纹波

这里为设计选择了 2 个相位：

$$N_p = 2 \tag{25}$$

总功率 P_{out_total} 在各相位之间共享，每个相位的功率计算如下：

$$P_{out} = \frac{P_{out_total}}{N_p} = 500W \tag{26}$$

7.2.3.2 确定占空比

在 CCM 下，占空比定义为：

$$D = \frac{V_{out} - V_{in}}{V_{out}} \tag{27}$$

$$D' = 1 - D \tag{28}$$

在此应用中，最大占空比的计算公式如下：

$$D_{max} = \frac{V_{out_max} - V_{in_min}}{V_{out_max}} = 0.8 \tag{29}$$

7.2.3.3 定时电阻器 R_T

通常，更高的开关频率 (f_{sw}) 会导致尺寸减小，但损耗会增大。综合考虑尺寸、效率和 EMI，约 400kHz 的工作频率是一个合理的折衷选择。对于 400kHz 的开关频率，R_T 的值计算如下：

$$R_T = \left(\frac{1}{f_{sw}} - 18ns\right) \times 31.5\frac{\Omega}{ns} = 78.2k\Omega \tag{30}$$

此处为 R_T 选择了 78.7kΩ 的标准值。

7.2.3.4 电感器选型 L_m

选择电感值时需要考虑三个主要参数：电感器电流纹波比 (RR)、电感器电流的下降斜率和控制环路的 RHPZ 频率。

- 选择的电感器电流纹波比用来平衡电感器的绕组损耗和磁芯损耗。随着纹波电流的增加，磁芯损耗增加，绕组损耗减少。
- 电感器电流的下降斜率必须足够小，从而防止次谐波振荡。电感值越大，电感器电流的下降斜率越小。
- 将 RHPZ 置于较高的频率，以便实现更高的控制环路交叉频率。随着电感值减小，RHPZ 频率会增加。

根据峰值电流模式控制理论，斜率补偿斜坡的斜率必须大于检测到的电感器电流下降斜率的一半，以防止高占空比下的次谐波振荡，即：

$$V_{slope} \times f_{sw} > \frac{V_{out_max} - V_{in_min}}{2 \times L_m} \times R_{cs} \tag{31}$$

其中

- V_{slope} 是电流检测放大器输入端的 48mV 峰值（占空比为 100%）斜率补偿斜坡。

电感的下限值可由下式得出，

$$L_m > \frac{V_{out_max} - V_{in_min}}{2 \times V_{slope} \times f_{sw}} \times R_{cs} \tag{32}$$

R_{cs} 的估计值为 1.5mΩ，因此可以得出以下结果，

$$L_m > 1.4\mu H \tag{33}$$

RHPZ 频率可由下式得出，

$$\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}} \tag{34}$$

交叉频率必须低于 RHPZ 频率的 1/5，

$$f_c < \frac{1}{5} \times \frac{\omega_{RHPZ}}{2\pi} \tag{35}$$

假设需要 1kHz 的交叉频率，则电感的上限由下式得出，

$$L_m < 5.2\mu H \tag{36}$$

电感器纹波电流通常设置在满负载电流的 30% 至 70% 之间，这可以在电感器磁芯损耗和绕组损耗之间达到更好的折衷。

每相输入电流的计算公式如下，

$$I_{in_vinmax} = \frac{P_{out}}{\eta \times V_{in_max}} = 29.2A \tag{37}$$

如果以连续导通模式 (CCM) 运行，则在占空比为 33% 时出现最大纹波比。会产生最大纹波比的输入电压由下式得出，

$$V_{in_RRmax} = V_{out_max} \times (1 - 0.33) = 30V \tag{38}$$

因此，必须使用最大输入电压 V_{in_max} 来计算最大纹波比。

此示例中选择了 0.3 的纹波比，即输入电流的 30%。在已知开关频率和典型输入电压的情况下，电感器值按如下公式计算，

Copyright © 2025 Texas Instruments Incorporated

$$L_m = \frac{V_{in_max}}{I_{in} \times RR} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_max}}{V_{out_max}}\right) = \frac{18V}{29.2A \times 0.3} \times \frac{1}{400kHz} \times 0.6 = 3.1\mu H \quad (39)$$

这里为 L_m 选择了最接近的标准值 3.3 μ H。

典型输入电压下的电感器纹波电流计算公式如下：

$$I_{pp} = \frac{V_{in_typ}}{L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 7.4A \quad (40)$$

如果选择了铁氧体磁芯电感器，则确保电感器不会在峰值电流限制下达到饱和。铁氧体磁芯电感器的电感值在饱和前几乎保持恒定。铁氧体磁芯具有较低的磁芯损耗，但尺寸较大。

对于粉末芯电感器，电感随着直流电流的增加而缓慢降低。这种变化会导致在高电感器电流下出现更大的纹波电流。在此示例中，峰值电流限值下的电感降至 0A 时的 70%。峰值电流限制下的电流纹波由下式得出，

$$I_{pp_bias} = \frac{V_{in_typ}}{0.7 \times L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 10.6A \quad (41)$$

7.2.3.5 电流检测电阻器 (R_{CS})

典型输入电压和最大输出电压下的最大每相平均输入电流使用以下公式计算：

$$I_{in_vintyp} = \frac{P_{out}}{\eta \times V_{in_typ}} = 36.5A \quad (42)$$

峰值电流的计算公式如下：

$$I_{pk_vintyp} = I_{in_vintyp} + \frac{I_{pp_bias}}{2} = 36.5A + \frac{10.6A}{2} = 41.8A \quad (43)$$

电流检测电阻的计算公式如下：

$$R_{cs} = \frac{V_{CLTH}}{I_{pk_vintyp}} = \frac{60mV}{41.8A} = 1.43m\Omega \quad (44)$$

此处为 R_{cs} 选择了 1.5mΩ 的标准值。

7.2.3.6 电流检测滤波器 R_{CSFP}、R_{CSFN}、C_{CS}

建议使用 RC 滤波器进行电流检测。通常建议 C_{CS} 为 100pF 且 R_{CSFP} 和 R_{CSFN} 为 1Ω。靠近器件放置 C_{CS}。

将 CSPx 与 CSNx 布线一起通过开尔文连接与电流检测电阻相连。

增大 C_{CS} 和 R_{CSFN} 可以增加 RC 时间常数。增大 R_{CSFP} 会导致严重的电流检测误差。

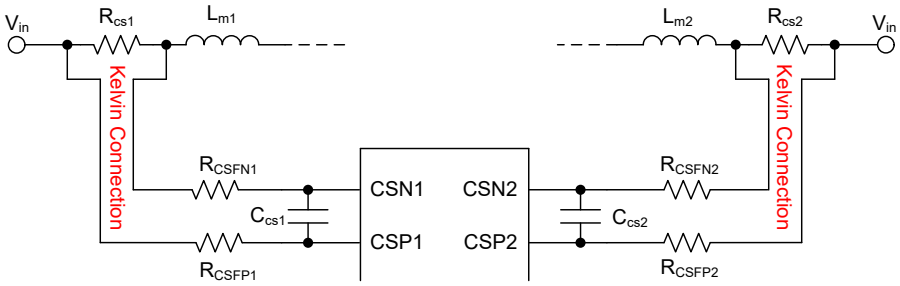


图 7-5. 电流检测滤波器

7.2.3.7 低侧电源开关 Q_L

选择一个逻辑电平 N 沟道 MOSFET，确保 5V VCC 足以完全增强 MOSFET。另请注意，旁路操作期间的最小 HOx-SWx 电压为 3.75V。确保 MOSFET 在该电压下导通。

通过分解损耗来选择功率 MOSFET 器件是比较不同器件的相对效率的一种方式。低侧 MOSFET 器件的损耗分为导通损耗和开关损耗。

低侧导通损耗大致计算如下：

$$P_{COND_LS} = D \times I_{in}^2 \times R_{DS(on)} \times 1.3 \tag{45}$$

其中，系数 1.3 用于考虑 MOSFET 导通电阻因发热而出现的增加。或者，使用 MOSFET 数据表中的 $R_{DS(ON)}$ 与温度曲线来估算 MOSFET 的高温导通电阻。

在低侧 MOSFET 导通和关断时的短暂转换期间发生开关损耗。在转换期间，MOSFET 器件的沟道中同时出现电流和电压。低侧开关损耗大致计算如下：

$$P_{SW_LS} = 0.5 \times V_{out} \times I_{in} \times (t_R + t_F) \times f_{sw} \tag{46}$$

t_R 和 t_F 是低侧 MOSFET 的上升和下降时间。上升和下降时间通常在 MOSFET 数据表中提及，也可利用示波器根据经验观察到。

高侧 MOSFET 的反向恢复会增加低侧 MOSFET 的下降时间和导通电流，从而导致更高的导通损耗。

可以与低侧 MOSFET 并联一个额外的肖特基二极管，并使源极和漏极具有短的连接，从而更大限度地减少 SW 节点处的负电压尖峰。

Copyright © 2025 Texas Instruments Incorporated

7.2.3.8 高侧电源开关 Q_H

高侧 MOSFET 器件的损耗分为导通损耗、死区时间损耗和反向恢复损耗。开关损耗只计算低侧 MOSFET 器件的损耗。高侧 MOSFET 器件的体二极管在高侧 MOSFET 器件开关前后导通，因此高侧 MOSFET 器件的开关损耗可以忽略不计。

高侧导通损耗大致计算如下：

$$P_{COND_HS} = D' \times I_{in}^2 \times R_{DS(on)} \times 1.3 \tag{47}$$

死区时间损耗大致计算如下：

$$P_{DT_HS} = V_D \times I_{in} \times (t_{DLH} + t_{DHL}) \times f_{sw} \tag{48}$$

其中

- V_D 是高侧 MOSFET 体二极管的正向压降。
- t_{DLH} 是低侧开关关断和高侧开关导通之间的死区时间。
- t_{DHL} 是高侧开关关断和低侧开关导通之间的死区时间。

高侧 MOSFET 开关的反向恢复特性对效率影响极大，特别是在输出电压较高时。较小的反向恢复电荷有助于提升效率，同时也使开关噪声最小化。

反向恢复损耗的近似计算方式如下：

$$P_{RR_HS} = V_{out} \times Q_{RR} \times f_{sw} \tag{49}$$

其中

- Q_{RR} 是高侧 MOSFET 体二极管的反向恢复电荷。

建议在 MOSFET 栅极和源极之间放置一个 100kΩ 栅极电阻器。电阻由旁路模式下的电荷泵源电流 (I_{CP}) 确定。如果选择的电阻太低，则栅极电压过低，无法完全导通高侧 MOSFET。

高侧开关可以并联一个附加的肖特基二极管，以提升效率。通常，此并联肖特基二极管的额定功率小于高侧开关的功率，因为该二极管只在死区时间内导通。并联二极管的额定功率必须足够高，以便处理启动时的浪涌电流、开关之前存在的任何负载、断续模式运行等。

7.2.3.9 缓冲组件

通过高侧 N 沟道 MOSFET 器件的电阻-电容缓冲网络减少了开关节点处的振铃和尖峰。过多的振铃和尖峰会导致器件运行不稳定，并将噪声耦合到输出电压。最好根据经验选择缓冲器的值。首先，确保缓冲器连接的引线长度非常短。电阻值从 5Ω 到 50Ω 开始。增大缓冲电容值可以增强阻尼效果，但此操作也会导致更高的缓冲器损耗。为缓冲电容器选择一个最小值，该值应在重负载条件下有效抑制开关波形上的尖峰。如果布局经过优化，则可能不需要缓冲器。

7.2.3.10 Vout 编程

对于固定输出电压，可通过将一个电阻器连接至 ATRK/DTRK 并导通内部 20μA 高精度电流源，对 V_{OUT} 进行编程。

$$R_{ATRK} = \frac{V_{out_max}}{6V} \times 10k\Omega = 75k\Omega \tag{50}$$

对于 H 类音频应用，可以调节 V_{out} 以优化效率。使用 ATRK/DTRK，可以应用模拟跟踪或数字跟踪功能。

对于模拟跟踪，请向 ATRK/DTRK 施加电压以对 Vout 进行编程。电压的计算公式为：

$$V_{ATRK_max} = \frac{V_{out_max}}{30} = 1.5V \quad (51)$$

$$V_{ATRK_min} = \frac{V_{out_min}}{30} = 0.267V \quad (52)$$

通过数字 PWM 信号 (DTRK) 对输出电压进行编程。占空比 D_{TRK} 由下式得出：

$$D_{TRK_max} = \frac{V_{out_max}}{75V} = 60\% \quad (53)$$

$$D_{TRK_min} = \frac{V_{out_min}}{75V} = 10.7\% \quad (54)$$

确保 DTRK 频率介于 100kHz 和 2200kHz 之间。

使用具有失调电压的两级 RC 滤波器将数字 PWM 信号转换为模拟电压，如 图 7-6 所示。

两级 RC 滤波器用于将 PWM 信号滤波为平滑的模拟电压。在选择两级 RC 滤波器时，考虑了 ATRK/DTRK 上的电压纹波和上升时间。

上拉电阻 (R_{PU}) 和下拉电阻 (R_{PD}) 用于向 ATRK/DTRK 添加失调电压，从而使得 100% PWM 占空比时，输出电压设置为 V_{out_max}，而 0% PWM 占空比时，输出电压设置为 V_{out_min}。

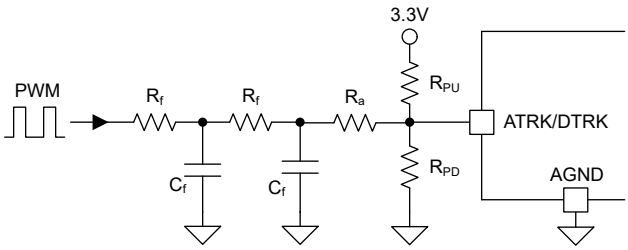


图 7-6. 两级 RC 滤波器连接到 ATRK/DTRK

此应用中使用了 400kHz 的 PWM 频率。为滤波器选择了 R_f = 4.99kΩ 且 C_f = 47nF。为了产生适当的失调电压，选择了 R_a = 1.5kΩ、R_{PU} = 51kΩ 且 R_{PD} = 7.87kΩ。

在 图 7-7 和 图 7-8 中示出了 ATRK/DTRK 的电压纹波和上升时间。ATRK/DTRK 上的电压纹波为 9.2μV，该值非常低。而上升时间约为 1ms，也非常适合音频系统。

Copyright © 2025 Texas Instruments Incorporated

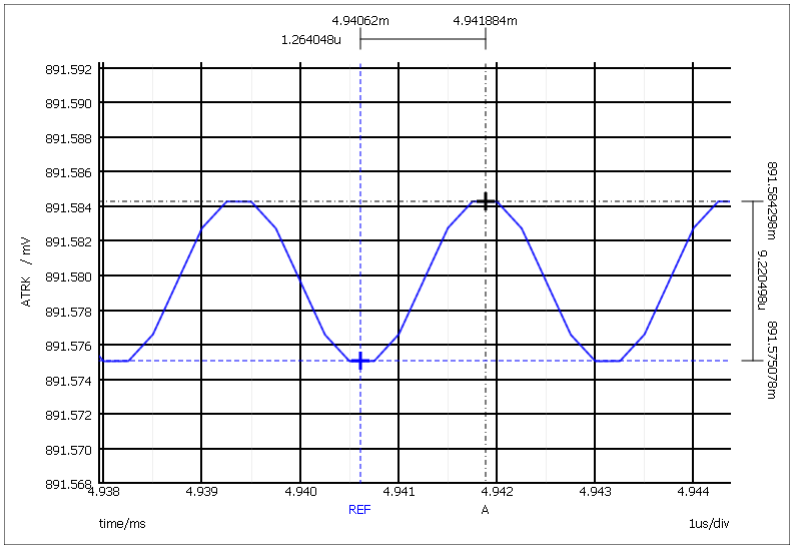


图 7-7. ATRK/DTRK 的电压纹波

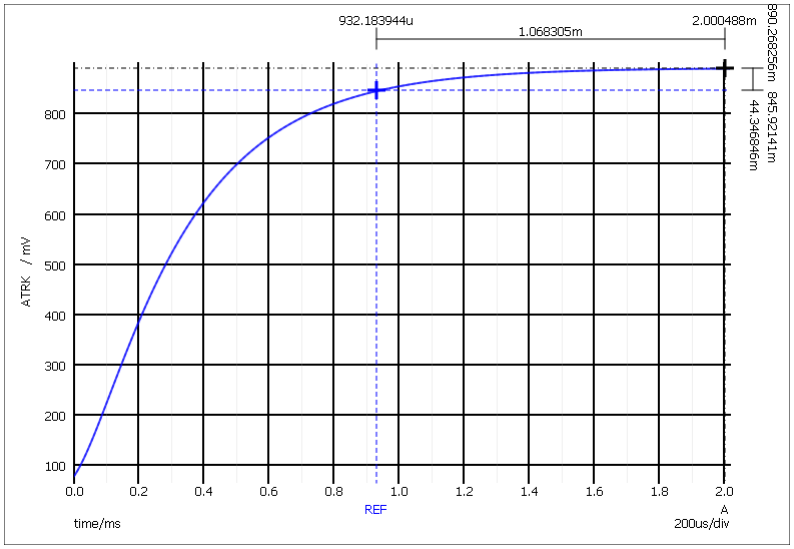


图 7-8. ATRK/DTRK 的上升时间

7.2.3.11 输入电流限制 (ILIM/IMON)

音频应用中的瞬态功率较高。此应用中选择了 1000W 作为峰值输出功率。但平均功率通常远低于峰值功率。此处选择了 300W 作为平均功率。通过采用适当的 ILIM/IMON 设置，可将平均输入电流限制在 300W 以下，同时允许 1000W 峰值功率持续 100ms。当平均电流环路被触发时，V_{OUT} 会下降，直至输入和输出功率达到平衡。

平均输出功率和典型输入电压下的每相输入电流可通过以下公式得出：

$$I_{avg} = \frac{P_{avg_total}}{2 \times \eta \times V_{in_typ}} = 11.0A \tag{55}$$

此处选择了 13A 作为平均输入电流限制。

$$I_{lim} = 13A \tag{56}$$

来自 ILIM/IMON 的电流可通过以下公式得出，

$$I_{MON_lim} = 2 \times (R_{cs} \times I_{lim} \times G_{IMON} + I_{OFFSET}) = 2 \times (1.5m\Omega \times 13A \times 0.333mA/V + 4\mu A) = 21\mu A \quad (57)$$

R_{ILIM} 的计算公式如下：

$$R_{IMON} = \frac{V_{ILIM}}{I_{MON}} = \frac{1V}{21\mu A} = 47.6k\Omega \quad (58)$$

此处为 R_{IMON} 选择了 47.5kΩ 的标准值。

如 图 7-9 所示，使用 C_{IMON} 和 R_c 在触发平均电流环路之前引入适当的延迟。

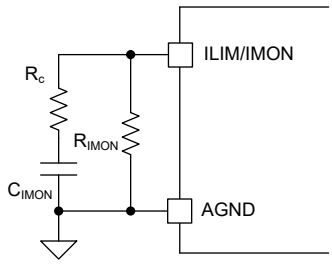


图 7-9. ILIM/IMON 引脚配置

该应用中要求在两倍额定功率下引入 100ms 延迟。

在零负载下，来自 ILIM/IMON 的电流通过以下公式得出，

$$I_{MON_0A} = 2 \times I_{OFFSET} = 8\mu A \quad (59)$$

零负载时的 ILIM/IMON 电压可使用以下公式计算，

$$V_{IMON_0A} = R_{IMON} \times I_{MON_0A} = 0.38V \quad (60)$$

在两倍额定功率下，来自 ILIM/IMON 的电流通过以下公式得出，

$$I_{MON_tr} = 2 \times (R_{cs} \times 2 \times I_{lim} \times G_{IMON} + I_{OFFSET}) = 2 \times (1.5m\Omega \times 26A \times 0.333mA/V + 4\mu A) = 34\mu A \quad (61)$$

C_{IMON} 通过以下公式确定，

$$C_{IMON} = \frac{t_{delay}}{R_{IMON} \times \ln\left(\frac{R_{IMON} \times I_{MON_tr} - V_{IMON_0A}}{R_{IMON} \times I_{MON_tr} - V_{ILIM}}\right)} = 3.0\mu F \quad (62)$$

此处为 C_{IMON} 选择了 3.3 μF 的标准值。

R_c 根据下式确定，

$$R_c = \frac{1}{20\pi \times C_{IMON}} = 4.8k \quad (63)$$

此处为 R_c 选择了 4.99kΩ 的标准值。

7.2.3.12 UVLO 分压器

所需的启动电压和迟滞由分压器 R_{UVT} 和 R_{UVB} 设置。在此设计中，启动电压 (V_{in_on}) 设置为 8.5V，比 V_{in_min} 低 0.5V。UVLO 迟滞电压设为 1V。因此，UVLO 关断电压 (V_{in_off}) 为 7.5V。R_{UVT} 和 R_{UVB} 的值计算如下：

Copyright © 2025 Texas Instruments Incorporated

$$R_{UVT} = \frac{V_{in_on} - \frac{V_{UVLO_RISING}}{V_{UVLO_FALLING}} \times V_{in_off}}{I_{UVLO_HYS}} = \frac{8.5V - \frac{1.1V}{1.075V} \times 7.5V}{10\mu A} = 82.6k\Omega \quad (64)$$

此处为 R_{UVT} 选择了 82.5kΩ 的标准值。

$$R_{UVB} = \frac{V_{UVLO_FALLING} \times R_{UVT}}{V_{in_off} - V_{UVLO_FALLING}} = \frac{1.075V \times 82.5k\Omega}{7.5V - 1.075V} = 13.8k\Omega \quad (65)$$

此处为 R_{UVB} 选择了 13.8kΩ 的标准值。

这里选择额一个 100nF 的 UVLO 电容器 (C_{UVLO})，以防在启动期间或在低输入电压下发生严重负载瞬态期间，V_{in} 瞬间降至 V_{in_off} 以下。

7.2.3.13 软启动

最大输出电压下的软启动时间最长。要获得 6ms 的软启动时间，软启动电容公式如下，

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ATRK_max}} \left(\frac{V_{out_max}}{V_{out_max} - V_{in_typ}} \right) = \frac{50\mu A \times 6ms}{1.5V} \left(\frac{45V}{45V - 14.4V} \right) = 0.29\mu F \quad (66)$$

此处为 C_{SS} 选择了 0.33μF 的标准值。

7.2.3.14 CFG 设置

CFG0 是根据死区时间以及打开或关闭 ATRK/DTRK 引脚 20μA 电流源来选择的，具体请参阅 表 6-1。

此处选择了 50ns 死区时间和打开 20μA 电流源。为 CFG0 选择了级别 3 (1.3kΩ)。

CFG1 是根据 OVP、DRSS、峰值电流限制锁存和 PGOOD OVP 启用来选择的。

此处选择了 50V OVP（OVP 位 0）、DRSS 关闭、I_{CL_latch} 禁用和 PGOOD OVP 禁用。为 CFG1 选择了级别 10 (10.5kΩ)。

CFG2 是根据 OVP、SYNCIN 和时钟抖动来选择的，具体请参阅 表 6-4。

此处选择了 50V OVP（OVP 位 1）、禁用 SYNCIN 以及根据 CFG1 设置的 DRSS。为 CFG2 选择了级别 1 (0Ω)。

7.2.3.15 输出电容器 C_{out}

输出电容器可以消除输出电压纹波，并在负载瞬态条件下提供电荷源。

仔细选择输出电容器纹波电流额定值。在升压稳压器中，输出由不连续的电流提供，纹波电流要求通常较高。在实际应用中，通过在大容量铝电容器之前靠近电源开关的位置放置高质量陶瓷电容器，可显著降低纹波电流要求。

输出电压纹波主要受输出电容器的 ESR 的影响。并联输出电容器是一个不错的选择，可以最大限度地降低有效 ESR，并将输出纹波电流分散到电容器中。

单相升压输出 RMS 纹波电流可表示为：

$$I_{1p_rms} \approx I_{out} \times \sqrt{\frac{D}{D'}} \quad (67)$$

输出 RMS 电流通过交错技术降低，如图 7-11 所示。双相交错式升压输出 RMS 纹波电流可表示为：

$$I_{out_2p_rms} \approx \begin{cases} \frac{I_{out}}{\sqrt{2}} \times \frac{\sqrt{D \times (1 - 2D)}}{D'}, & D < 0.5 \\ \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{2D - 1}{D'}}, & D \geq 0.5 \end{cases} \quad (68)$$

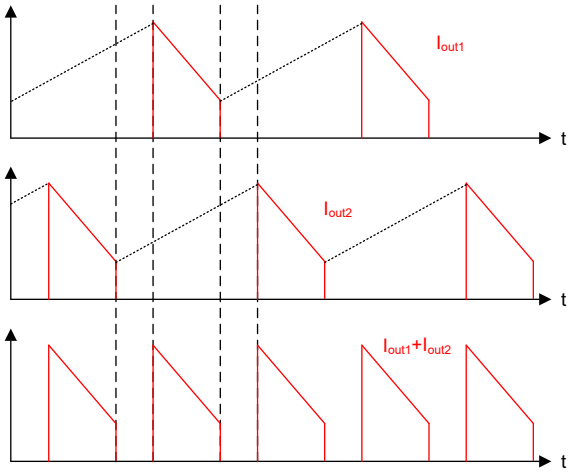


图 7-10. 标准化输出电容器 RMS 纹波电流

去耦电容器对于尽可能降低 MOSFET 的电压尖峰和提高 EMI 性能至关重要。根据“垂直环路”概念，许多 0603/100nF 陶瓷电容器放置在靠近 MOSFET 的位置。有关更多详细信息，请参阅*通过优化的功率级布局免费提高大电流直流/直流稳压器 EMI 性能*应用简报。

另外还需要使用一些 10μF 陶瓷电容器来降低输出电压纹波并分离输出纹波电流。

通常需要使用铝电容器来实现高电容。本例中选择了四个 150μF 铝电容器。

输出瞬态响应与环路增益的带宽和输出电容密切相关。根据 *如何通过瞬态响应测量确定带宽* 技术文章，过冲或下冲 V_p 可通过下式估算：

$$V_p = \frac{\Delta I_{tran}}{2\pi \times f_c \times C_{out}} \tag{69}$$

其中，ΔI_{tran} 为瞬态负载电流阶跃。

请注意，仅当负载阶跃期间转换器始终以 CCM 或 FPWM 模式运行时，方程式 69 才有效。如果转换器在轻负载条件下进入 DCM 或脉冲跳跃模式，则过冲会更糟。

由于从输入到输出之间存在固有路径，当输入电压快速上升并对输出电容充电时，会产生无限的浪涌电流。输入电压上升的压摆率需由热插拔或软启动输入电源来控制，以避免浪涌电流损坏电感器、检测电阻器或高侧 MOSFET。

7.2.3.16 输入电容器 C_{in}

始终需要输入电容器来提供稳定的输入电压。输入电容器必须能够处理电感器纹波电流。

单相升压输入 RMS 纹波电流可表示为：

$$I_{in_1p_rms} = \frac{I_{pp}}{\sqrt{12}} \tag{70}$$

输入 RMS 电流通过交错技术降低，如图 7-11 所示。双相交错式升压输入 RMS 纹波电流可表示为：

$$I_{in_2p_rms} = \begin{cases} \frac{I_{pp}}{\sqrt{12}} \times \frac{1-2D}{D'}, & D < 0.5 \\ \frac{I_{pp}}{\sqrt{12}} \times \frac{2D-1}{D}, & D \geq 0.5 \end{cases} \tag{71}$$

Copyright © 2025 Texas Instruments Incorporated

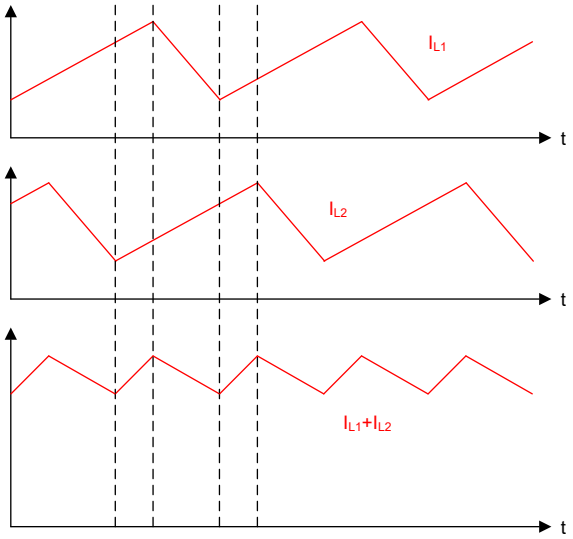


图 7-11. 标准化输出电容器 RMS 纹波电流

输入电容器也是输入滤波器的重要组成部分。较高的电容和 ESR 有助于更好地抑制输入滤波器的振荡。铝电解电容器是具有高电容和 ESR，非常适合用作输入电容器。有关更多详细信息，请参阅*开关电源的输入滤波器设计 应用手册*。

7.2.3.17 自举电容器

HBx 和 SWx 引脚间的自举电容器提供栅极电流，在每个导通周期中为高侧 MOSFET 器件栅极供电，并为自举二极管提供恢复电荷。这些电流峰值可达到几安培。建议使用 0.1 μF 的自举电容器。为 C_{BST} 使用高质量、低 ESR 的陶瓷电容器。为了尽可能地减少布线电感导致的潜在破坏性电压瞬变，应将 C_{BST} 靠近器件引脚放置。自举电容器的最小值计算如下，

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}} \tag{72}$$

其中

- Q_G 是 VCC = 5V 时的高侧 MOSFET 栅极电荷
- ΔV_{BST} 是 C_{BST} 上的可耐受压降，保守估计通常小于 VCC 的 5% 或 0.15V

在此示例中，自举电容器 (C_{BST}) 的值为 0.1μF。

7.2.3.18 VCC 电容器 C_{VCC}

VCC 电容器的主要作用是为 LO 驱动器和自举二极管提供峰值瞬态电流，并为 VCC 稳压器提供稳定性。选择至少为 C_{BST} 值 10 倍的 C_{VCC}。为 C_{VCC} 使用高质量、低 ESR 的陶瓷电容器。靠近器件引脚放置 C_{VCC}。

本设计示例选择了 10μF 的值。

7.2.3.19 BIAS 电容器

对 C_{BIAS} 使用高质量陶瓷电容器。靠近器件放置 C_{BIAS}。

本设计示例选择了 1 μF 的值。

7.2.3.20 VOUT 电容器

对 C_{OUT} 使用高质量陶瓷电容器。靠近器件放置 C_{OUT}。

本设计示例选择了 0.1μF 的值。

7.2.3.21 环路补偿

R_{COMP}、C_{COMP} 和 C_{HF} 配置误差放大器增益和相位特征，以产生稳定的电压环路。如需快速入门，请遵循以下四个步骤：

1. 选择交叉频率 f_C。选择 RHPZ 频率的四分之一或开关频率的十分之一（以较低值为准）处的交叉频率 (f_C)。选择具有最小输入电压和最大输出电压的 RHPZ。

$$\frac{f_{sw}}{10} = 40\text{kHz} \tag{73}$$

$$\frac{f_{RHPZ}}{5} = \frac{R_{out} \times D'^2}{5 \times 2\pi \times L_{m_eq}} = 1.6\text{kHz} \tag{74}$$

选定的交叉频率 f_c = 1.6kHz。

2. 确定所需 R_{COMP}

已知 f_c，R_{COMP} 计算如下：

$$R_{COMP} = \frac{2\pi \times f_c \times C_{out} \times A_{cs} \times R_{cs_eq}}{D' \times K_{FB} \times g_m \times G_{ACB}(2\pi \times f_c)} = \frac{2\pi \times 1.6\text{kHz} \times 900\mu\text{F} \times 10 \times 0.75\text{m}\Omega}{0.2 \times \frac{1}{30} \times 1\frac{\text{mA}}{\text{V}} \times \frac{1}{2}} = 20.4\text{k}\Omega \tag{75}$$

此处为 R_{COMP} 选择了 20kΩ 的标准值。

3. 确定 C_{COMP}

将 ω_{Z_EA} 设置为负载极点频率 Ω_{P_LF} 处以抵消负载极点。已知 R_{COMP}，C_{COMP} 的计算如下：

$$C_{COMP} = \frac{1}{R_{COMP} \times \omega_{P_LF}} = \frac{1}{20\text{k}\Omega \times \frac{2}{2.025\Omega \times 900\mu\text{F}}} = 45\text{nF} \tag{76}$$

此处为 C_{COMP} 选择 47nF 的标准值。

4. 确定 C_{HF}。

将 ω_{HF} 置于 ω_{RHPZ} 或 ω_{Z_ESR} 零点（以较低者为准）处。已知 R_{COMP}、RHPZ 和 ESR 零点，C_{HF} 的计算如下：

$$C_{HF} = \frac{1}{R_{COMP} \times \omega_{HF}} = \frac{1}{20\text{k}\Omega \times 49\text{kHz}} = 1\text{nF} \tag{77}$$

此处为 C_{HF} 选择了 1nF 的标准值。

Copyright © 2025 Texas Instruments Incorporated

7.2.4 性能数据和结果

7.2.4.1 效率

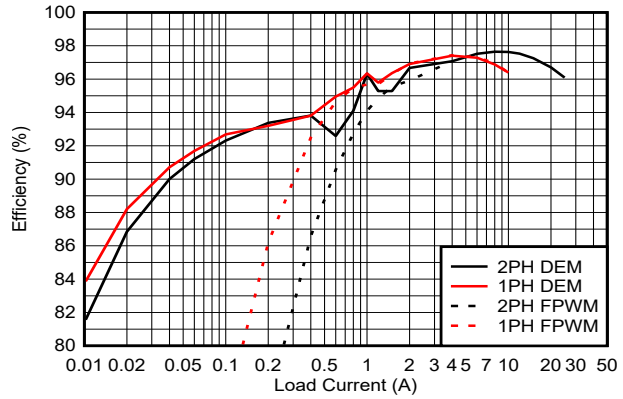


图 7-12. 效率与输出电流间的关系，V_{in} = 14.4V，V_{out} = 24V

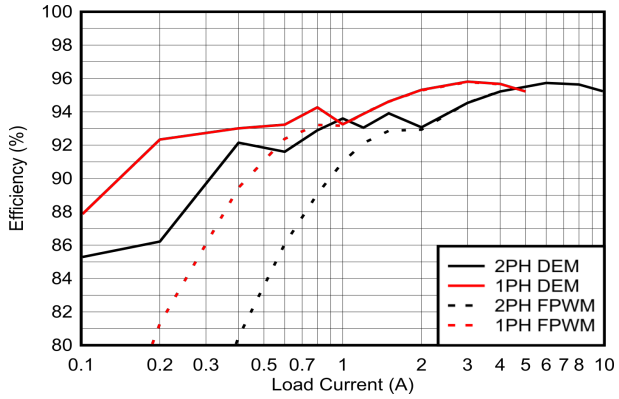


图 7-13. 效率与输出电流间的关系，V_{in} = 14.4V，V_{out} = 45V

7.2.4.2 稳态波形

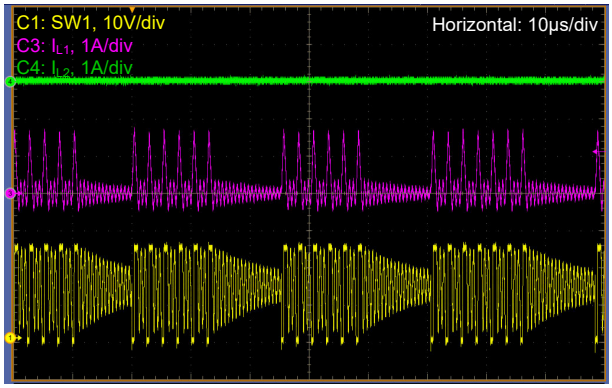


图 7-14. V_{in} = 14.4V，V_{out} = 24V，DEM，I_{load}= 0.1A

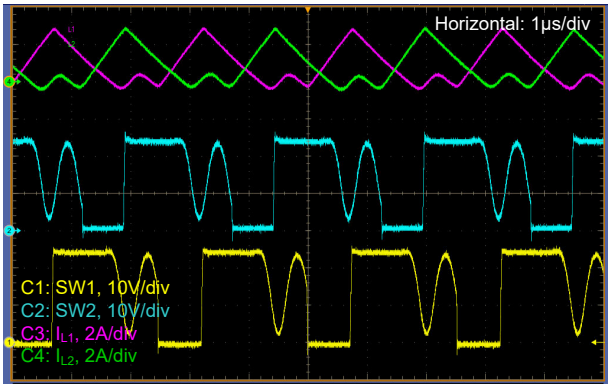


图 7-15. V_{in} = 14.4V，V_{out} = 24V，DEM，I_{load}= 1A

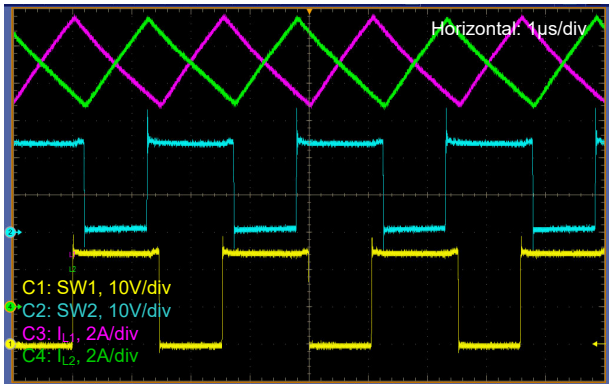


图 7-16. V_{in} = 14.4V，V_{out} = 24V，DEM，I_{load}= 15A

7.2.4.3 阶跃负载响应

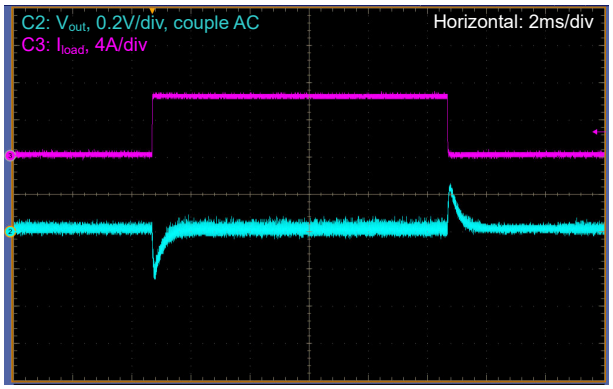


图 7-17. 负载瞬态，V_{in} = 14.4V，V_{out} = 24V，FPWM，I_{load} = 0A 至 6.25A，1A/μs

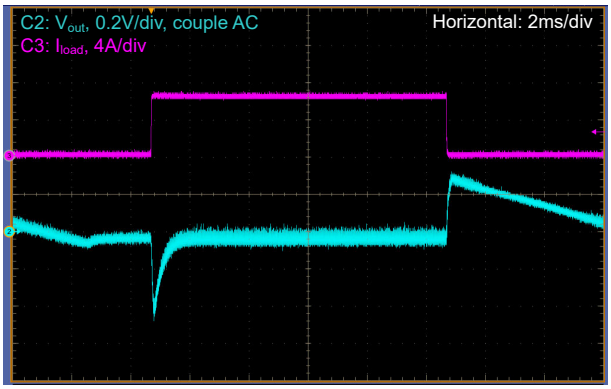


图 7-18. 负载瞬态，V_{in} = 14.4V，V_{out} = 24V，DEM，I_{load} = 0A 至 6.25A，1A/μs

7.2.4.4 交流环路响应曲线

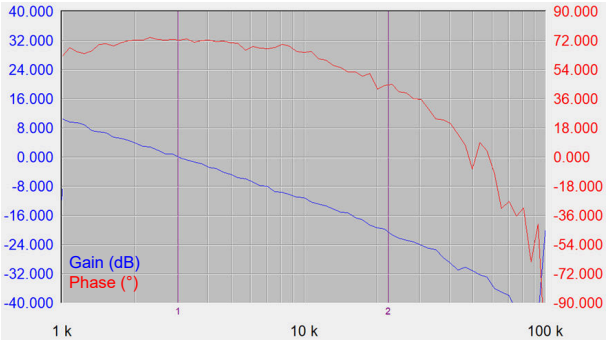


图 7-19. 波特图、Vin=14.4V、Vout=40V、Iout=10A（平均电流环路已禁用）

Copyright © 2025 Texas Instruments Incorporated

7.2.4.5 热性能

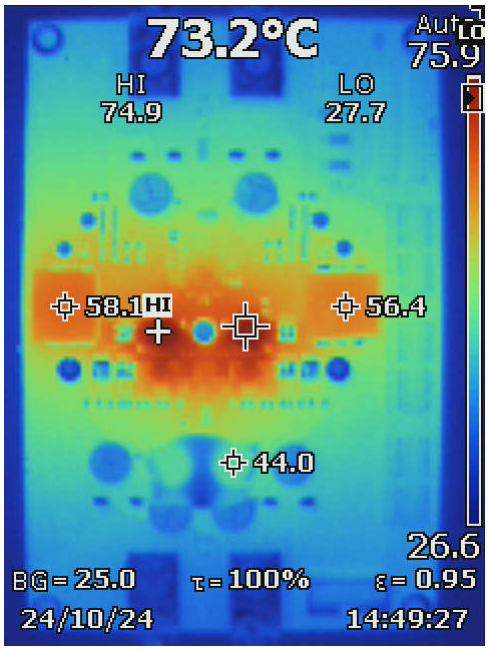


图 7-20. V_{in} = 14.4V，V_{out} = 24V，P_{OUT} = 300W，自然对流

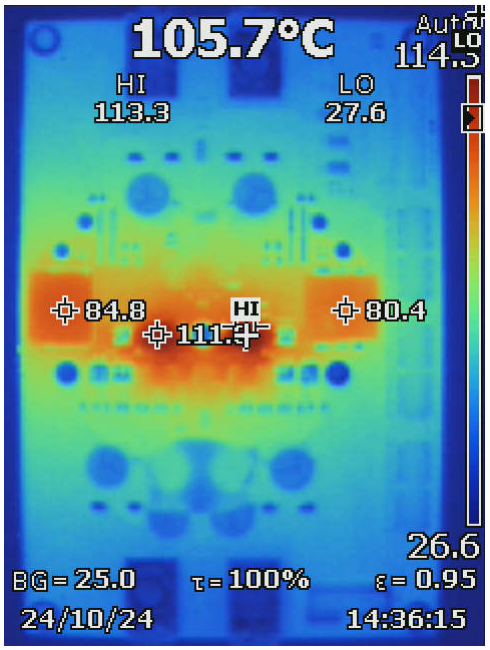


图 7-21. V_{in} = 14.4V，V_{out} = 45V，P_{OUT} = 300W，自然对流

7.3 电源相关建议

LM5125-Q1 设计为在宽输入电压范围内工作。输入电源的特性必须符合 *绝对最大额定值* 和 *建议运行条件*。输入电源还必须能够向满载稳压器提供所需的输入电流。可以使用方程式 78 来估算平均输入电流。

$$I_I = \frac{P_O}{V_I \eta} \tag{78}$$

其中 η 是效率。

获得效率值的一种方法是采用最坏情况运行模式下 *效率*一节中的效率图数据。对于大多数应用，升压运行区域是具有最高输入电流的区域。

如果该器件通过长导线或具有大阻抗的 PCB 布线连接到输入电源，则需要特别谨慎来实现稳定的性能。输入电缆的寄生电感和电阻会对转换器的运行造成不良影响。寄生电感与低 ESR 陶瓷输入电容相结合，构成一个欠阻尼谐振电路。每次进行输入电源的打开和关闭循环时，该电路都会导致 V_I 处出现过压瞬态。寄生电阻会在负载瞬变期间导致输入电压下降。若要解决此类问题，一种做法是缩短输入电源与稳压器之间的距离，并将铝或钽输入电容器与陶瓷电容器并联使用。电解电容器的中等 ESR 有助于抑制输入谐振电路并减少任何电压过冲。控制器功率级之前通常使用一个 EMI 输入滤波器。精心设计 EMI 输入滤波器，避免 EMI 输入滤波器导致不稳定以及前面提到的一些影响。

7.4 布局

7.4.1 布局指南

开关转换器的性能在很大程度上取决于 PCB 布局的质量。PCB 设计不佳会导致转换器不稳定、负载调节问题、噪声或 EMI 问题等。电源路径中不能使用 VCC 或自举电容器的热缓解连接，因为热缓解连接会显著增加电感。

- 将 VCC、BIAS、HB1 和 HB2 电容器靠近相应的器件引脚放置，并使用短而宽的布线连接它们，以更大限度地减小电感，因为这些电容器会承载高峰值电流。
- 将 CSN1、CSP1、CSN2 和 CSP2 滤波电阻器和电容器靠近相应的器件引脚放置，以更大限度地减少滤波器与器件之间的噪声耦合。将布线以差分对方式连接到靠近电感器的检测电阻 R_{CS1} 和 R_{CS2}，并且周围有接地层，以避免噪声耦合。与检测电阻之间采用开尔文连接。
- 将补偿网络 R_{COMP} 和 C_{COMP} 以及频率设置电阻 R_{RT} 靠近相应的器件引脚放置，并使用短迹线连接它们，以避免噪声耦合。将模拟接地引脚 AGND 连接到这些元件。
- 将 ATRK 电阻器 R_{ATRK}（使用时）靠近 ATRK 引脚放置并连接到 AGND。
- 请注意，以下元件的布局并不那么重要：
  - 软启动电容器 C_{SS}
  - DLY 电容器 C_{DLY}
  - ILIM/IMON 电阻器和电容器 R_{ILIM} 与 C_{ILIM}
  - CFG0、CFG1 和 CFG2 电阻器
  - UVLO/EN 电阻器
- 将 AGND 和 PGND 引脚直接连接到外露焊盘 (EP)，从而在器件处形成星形连接。
- 将具有多个过孔的器件外露焊盘 (EP) 连接到接地平面，以便将热量传导出去。
- 分离电源和信号布线，并使用接地平面来提供噪声屏蔽。

栅极驱动器具有短传播延迟、自动死区时间控制和能够提供高峰值电流的低阻抗输出级。快速上升和下降时间可确保功率 MOSFET 的快速导通和关断转换，从而实现高效率。尽可能地减小杂散和寄生栅极环路电感，以避免高振铃。

- 将高侧和低侧 MOSFET 靠近器件放置。
- 使用较短的布线连接栅极驱动器输出 HO1、HO2、LO1 和 LO2，以更大限度地减小电感。
- 将 HO1、HO2 和 SW1、SW2 以差分对方式连接到 MOSFET，利用磁通消除效应减少环路面积。
- 将 V_{OUT} 电容器靠近高侧 MOSFET 放置。使用短而宽的布线尽量减小功率级环路 C_{OUT} 与高侧 MOSFET 漏极的连接，以避免 MOSFET 处出现高压尖峰。
- 用短而宽的布线将低侧 MOSFET 源极连接连接到 V_{OUT} 和 V_I 电容器接地，以更大限度地减少在 MOSFET 上引起高压尖峰的电感。
- 在 MOSFET 散热焊盘处使用覆铜区进行冷却。

为了散发 MOSFET 和电感器产生的热量，请将电感器放置在远离功率级 (MOSFET) 的位置。但是，电感器与低侧 MOSFET（开关节点）之间的布线越长，EMI 和噪声辐射就越高。为了实现最高效率，请用宽而短的布线连接电感器，以更大限度地减小电阻损耗。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

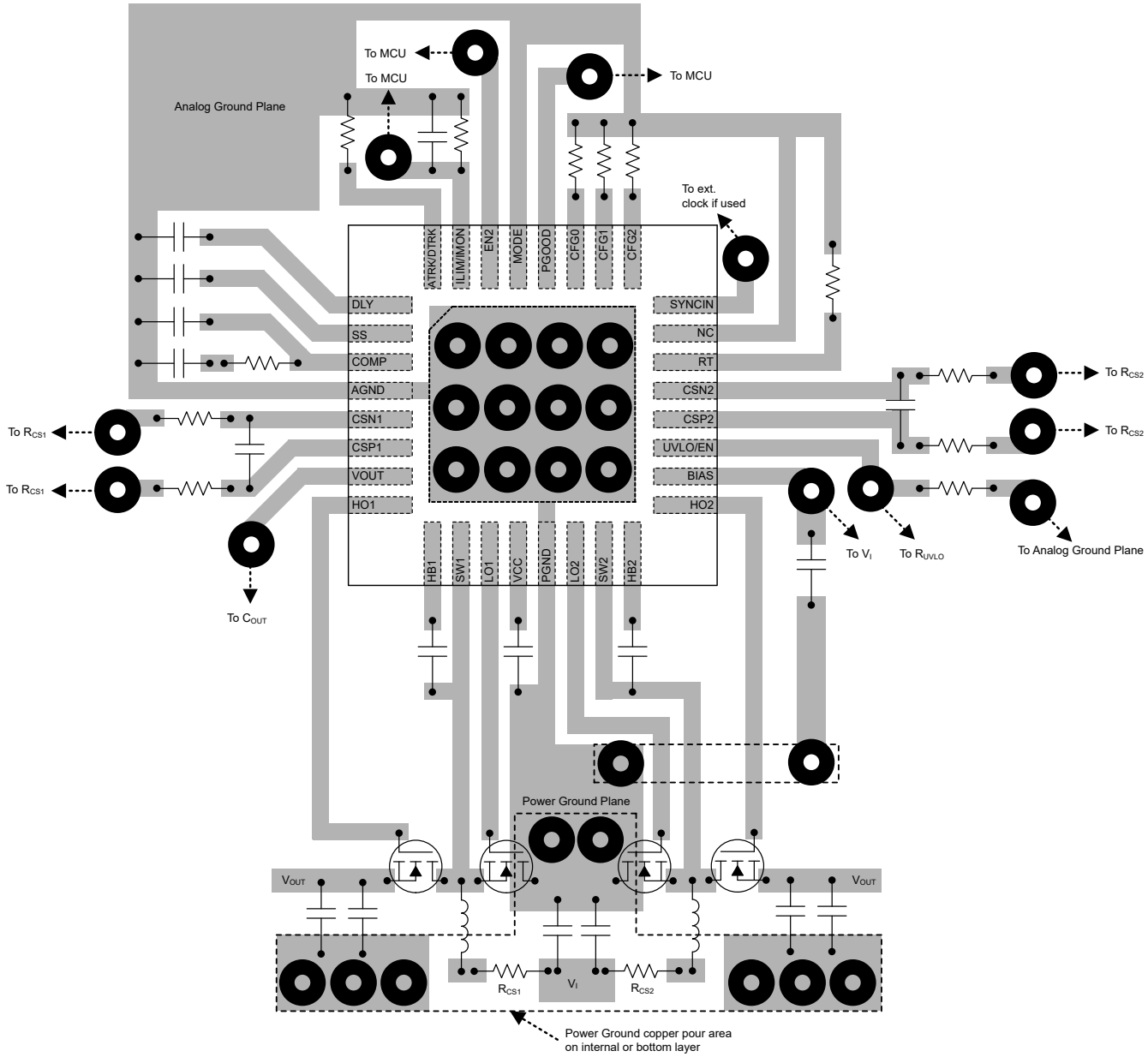


图 7-22. 布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*开关电源的输入滤波器设计* 应用手册
- 德州仪器 (TI)，*通过优化的功率级布局免费提升高电流直流/直流稳压器 EMI 性能* 应用简报
- 德州仪器 (TI)，*如何通过瞬态响应测量确定带宽* 技术文章

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision A (March 2025) to Revision B (April 2025)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5125QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	LM 5125Q
LM5125QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	LM 5125Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

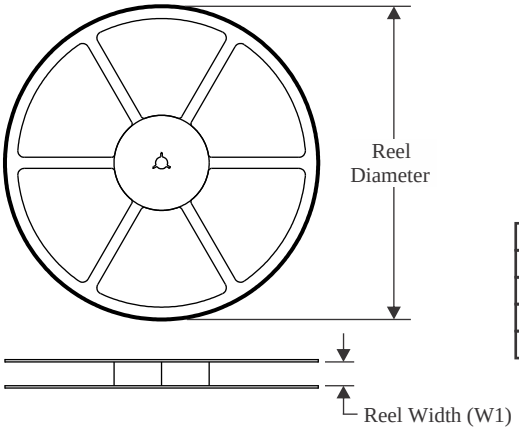
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

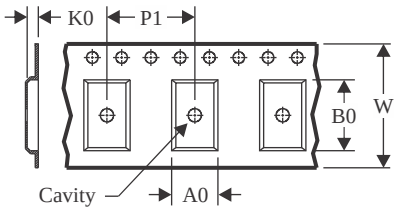
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

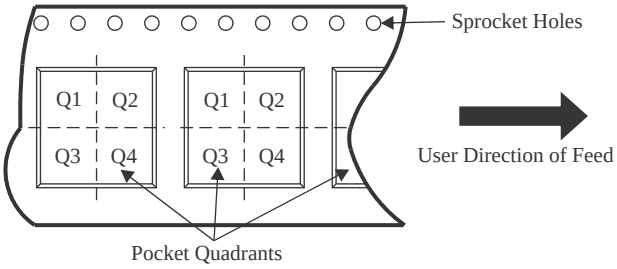


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

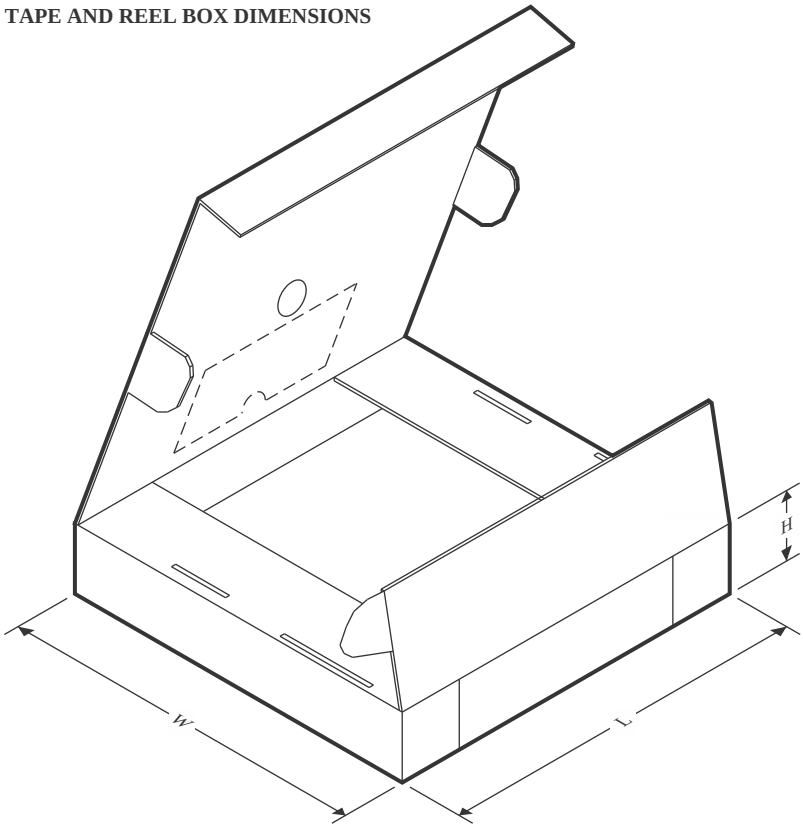
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5125QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5125QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0

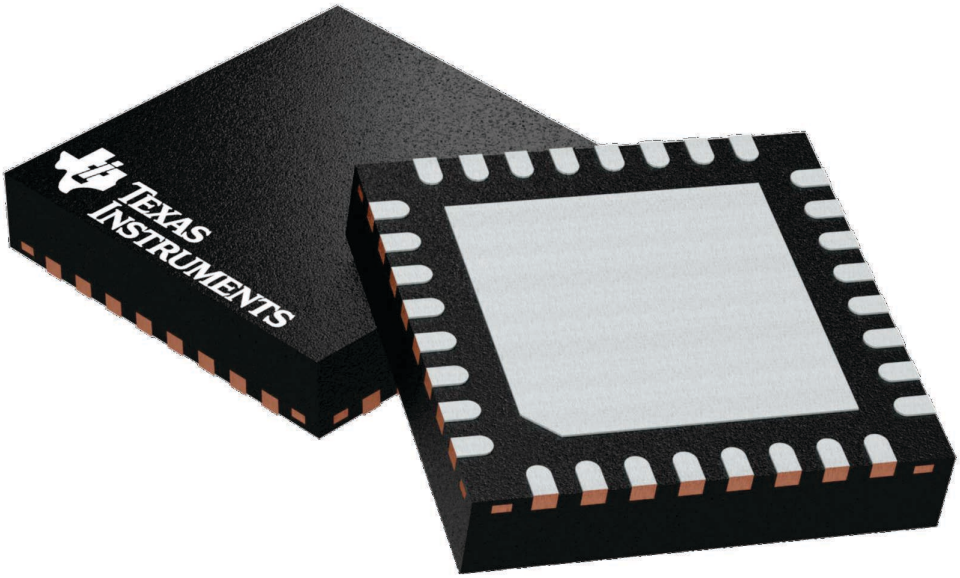
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

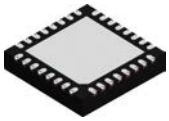
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

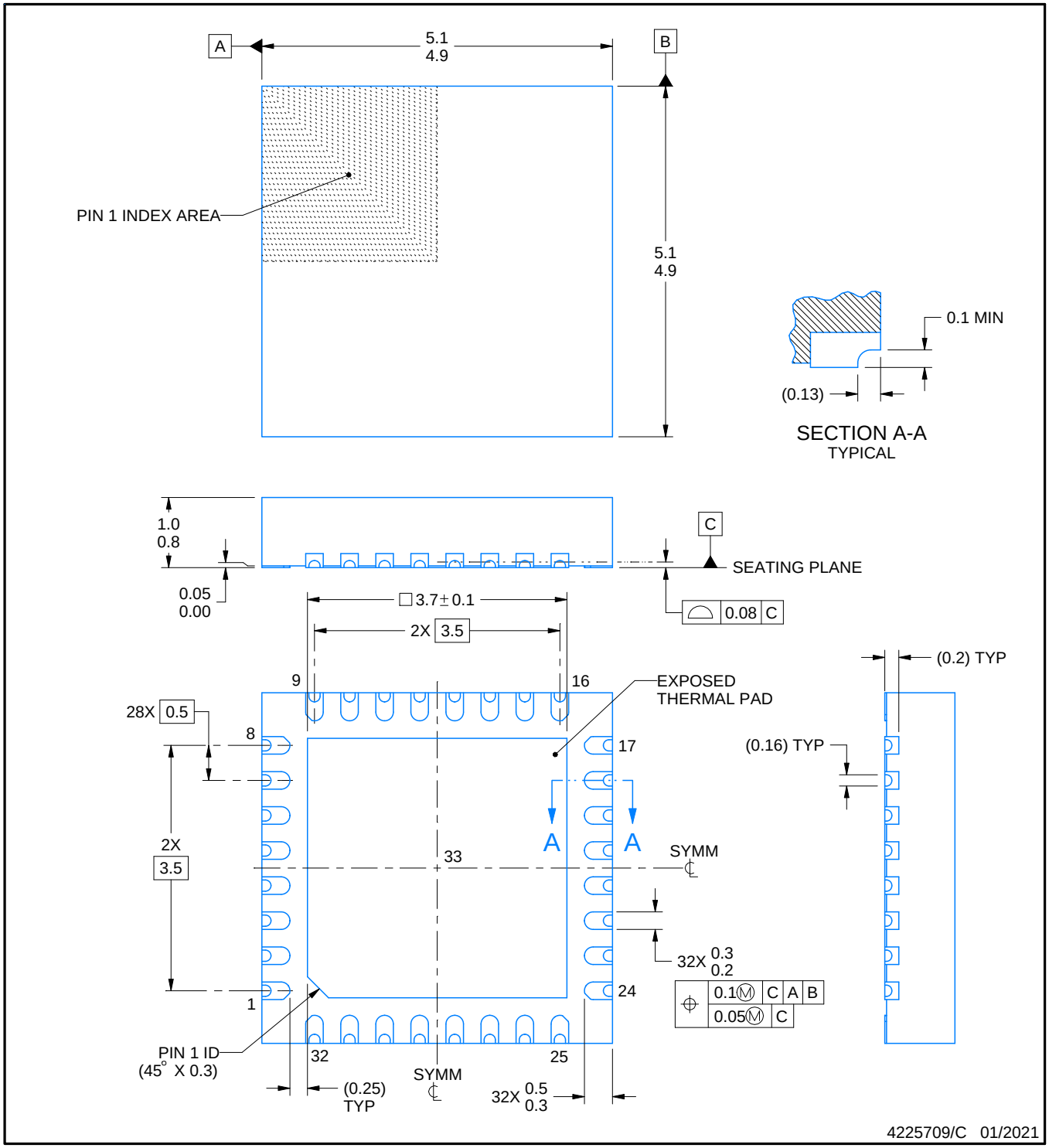
RHB0032U



PACKAGE OUTLINE

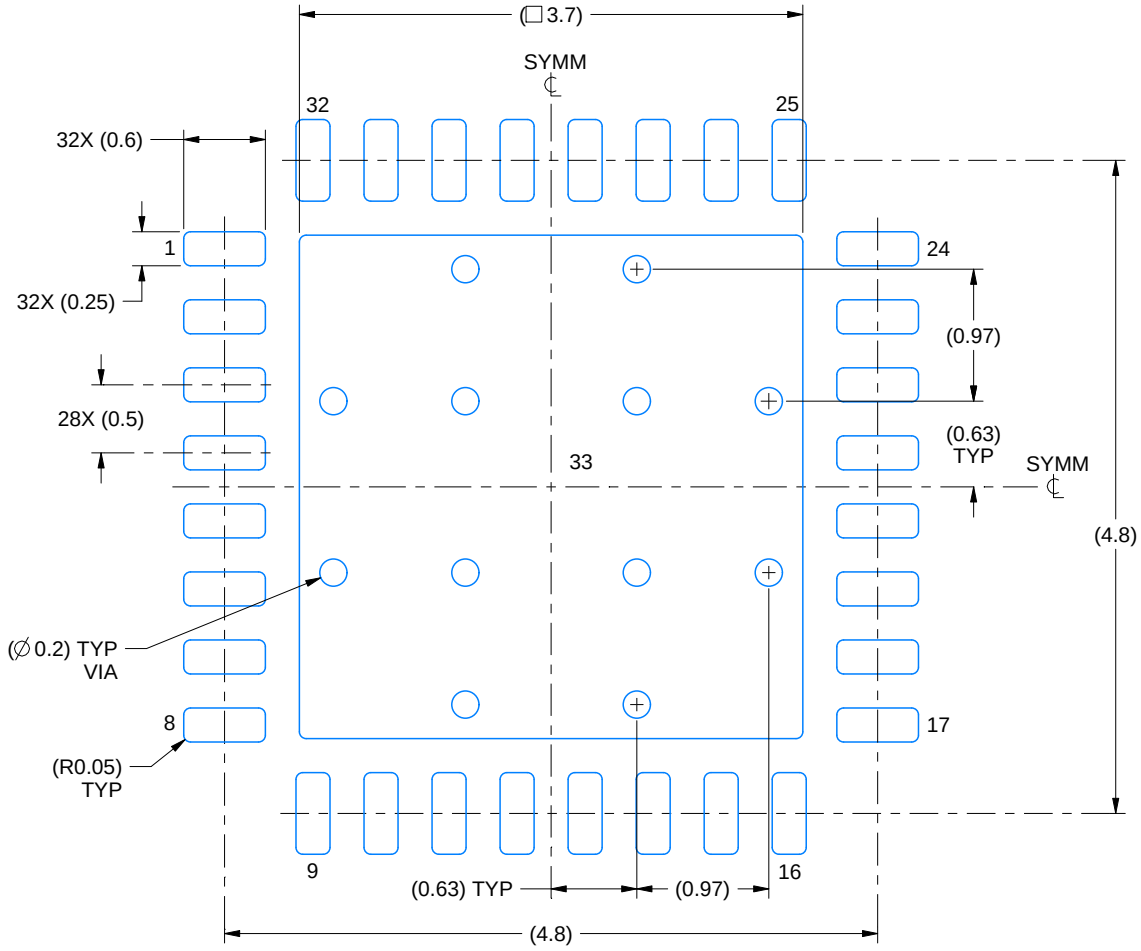
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

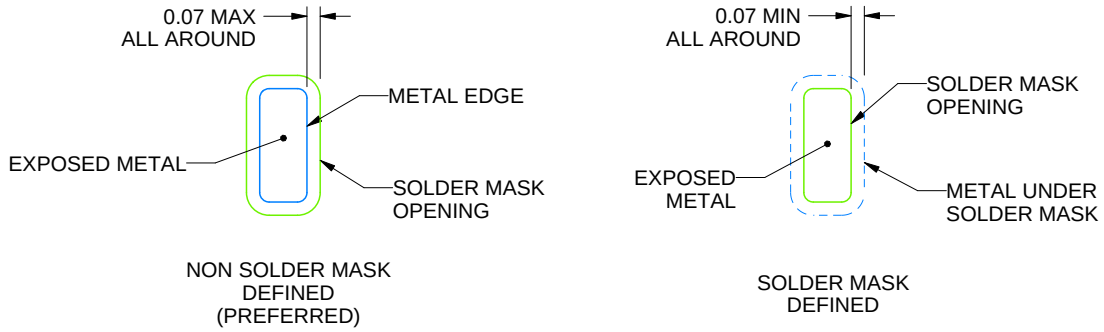


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

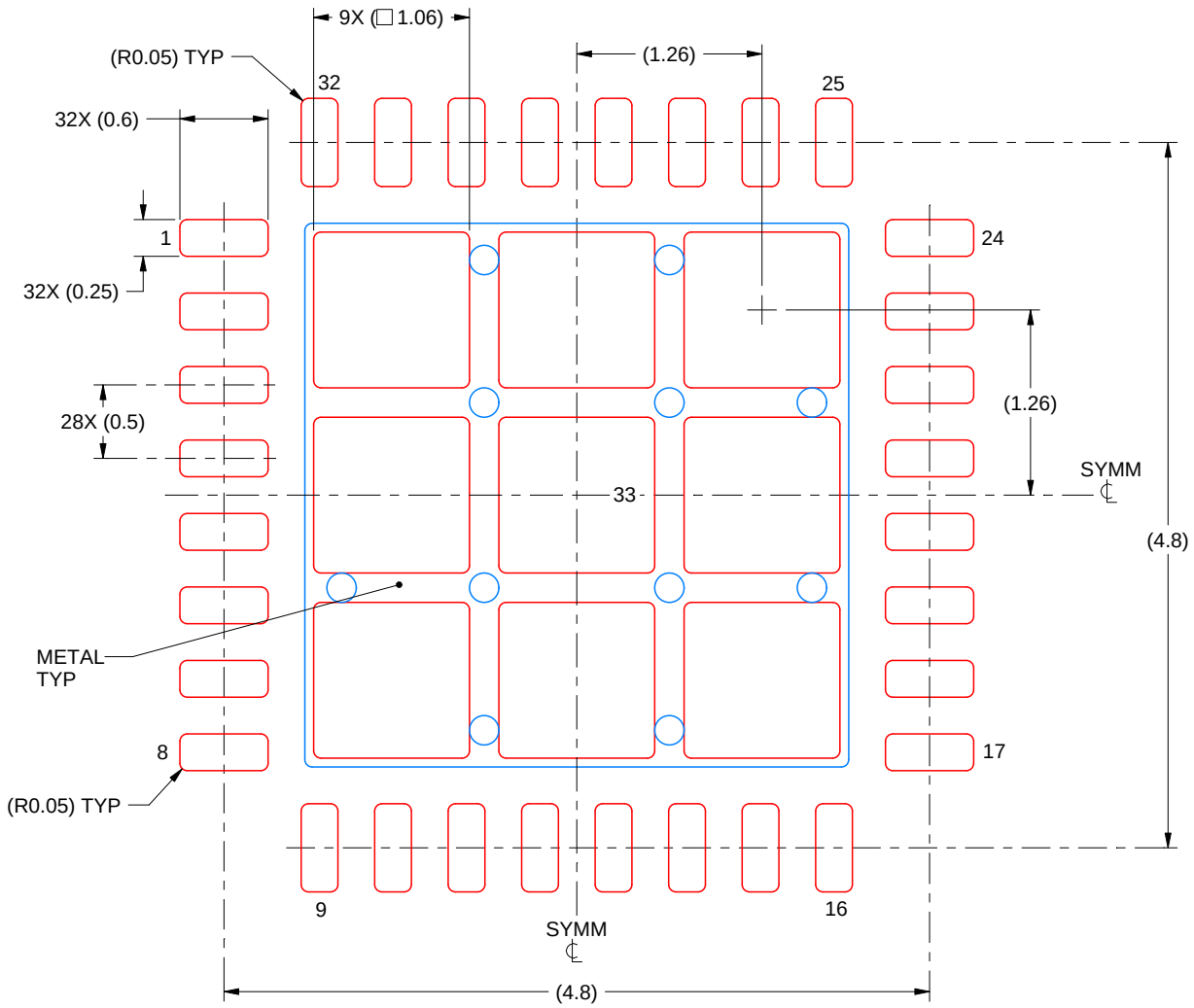


SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225709/C 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月