

LM3302 四路差分比较器

1 特性

- 单电源或双电源
- 宽电源电压范围。..2V 至 28V
- 不受电源电压影响的低漏极电源电流。..0.8mA (典型值)
- 低输入偏置电流。..25nA (典型值)
- 低输入失调电流。..3nA (典型值)
- 低输入失调电压。..3mV (典型值)
- 共模输入电压范围包括接地
- 差分输入电压范围等于最大额定电源电压： $\pm 28V$
- 低输出饱和电压
- 输出与 TTL、MOS 和 CMOS 兼容
- 有关更宽的温度范围、请参阅 [LM2901](#)
- 对于单通道版本，请参阅 [TL331](#)
- 对于双通道版本，请参阅 [LM393](#) 或 [LM2903](#)

2 应用

- [扫地机器人](#)
- [单相 UPS](#)
- [服务器 PSU](#)
- [无绳电动工具](#)
- [无线基础设施](#)
- [电器](#)
- [楼宇自动化](#)
- [工厂自动化与控制](#)
- [电机驱动器](#)
- [信息娱乐系统与仪表组](#)

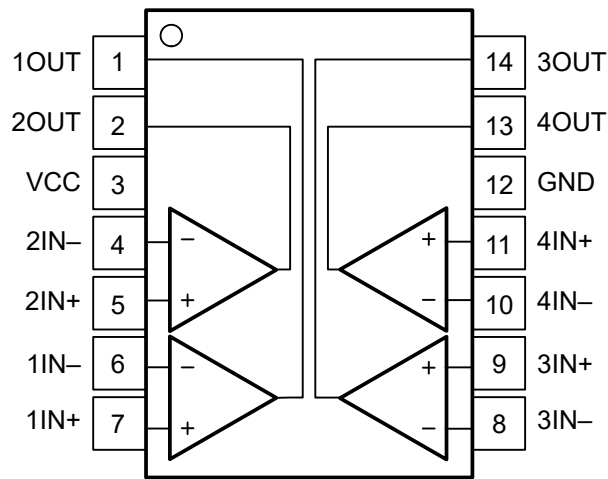
3 说明

该器件由四个独立的电压比较器组成，这些比较器可在宽电压范围内由单电源供电运行。如果两个电源的电压差处于 2V 至 28V 范围内且 VCC 比输入共模电压至少高 1.5V，那么也可以使用双电源。漏极电流不受电源电压的影响。可将输出连接到其它集电极开路输出，以实现有线 AND 关联。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值) ⁽²⁾
LM3302	SOIC (14)	8.70mm × 3.90mm
	PDIP (14)	19.30mm × 6.40mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



LM3302 引脚排列



内容

1 特性	1	6.3 特性说明	8
2 应用	1	6.4 器件功能模式	8
3 说明	1	7 应用和实施	9
4 引脚配置和功能	3	7.1 应用信息.....	9
5 规格	4	7.2 典型应用.....	9
5.1 绝对最大额定值.....	4	7.3 电源相关建议.....	11
5.2 ESD 等级.....	4	7.4 布局.....	11
5.3 建议运行条件.....	4	8 器件和文档支持	12
5.4 热性能信息.....	4	8.1 接收文档更新通知.....	12
5.5 电气特性.....	5	8.2 支持资源.....	12
5.6 开关特性.....	5	8.3 商标.....	12
5.7 典型特性.....	6	8.4 静电放电警告.....	12
6 详细说明	8	8.5 术语表.....	12
6.1 概述.....	8	9 修订历史记录	12
6.2 功能方框图.....	8	10 机械、封装和可订购信息	13

4 引脚配置和功能

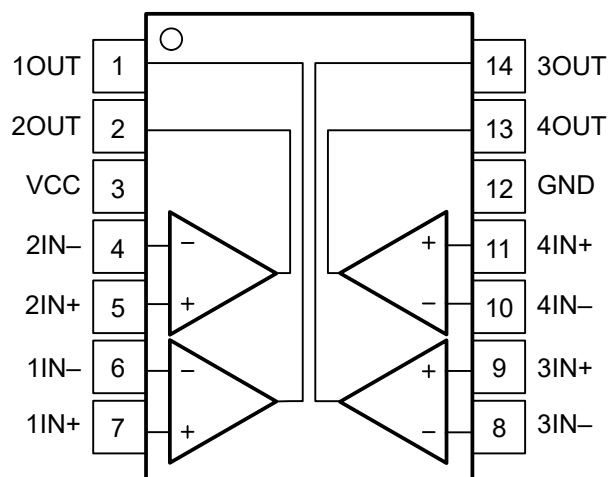


图 4-1. D、N 封装
14 引脚 SOIC、PDIP
顶视图

表 4-1. 引脚功能

引脚		I/O	说明
名称 ⁽¹⁾	D、N		
OUT1 ⁽¹⁾	1	输出	比较器 2 的输出引脚
OUT2 ⁽¹⁾	2	输出	比较器 1 的输出引脚
V _{CC}	3	—	正电源
IN2 - ⁽¹⁾	4	输入	比较器 1 的负输入引脚
IN2+ ⁽¹⁾	5	输入	比较器 1 的正输入引脚
IN1 - ⁽¹⁾	6	输入	比较器 2 的负输入引脚
IN1+ ⁽¹⁾	7	输入	比较器 2 的正输入引脚
IN3 -	8	输入	比较器 3 的负输入引脚
IN3+	9	输入	比较器 3 的正输入引脚
IN4 -	10	输入	比较器 4 的负输入引脚
IN4+	11	输入	比较器 4 的正输入引脚
GND	12	—	负电源
OUT4	13	输出	比较器 4 的输出引脚
OUT3	14	输出	比较器 3 的输出引脚

(1) 一些制造商调换了通道 1 和 2 的名称。引脚的电气分配是相同的，只是通道命名规则有所不同。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压：V _S = (V+) - (V-)		28	V
差分输入电压：V _{ID} ⁽²⁾		±28	V
输入引脚（IN+、IN-）	-0.3	28	V
进入输入引脚（IN+、IN-）的电流		-20	mA
输出引脚（OUT）	-0.3	28	V
输出灌电流		20	mA
输出短路持续时间 ⁽³⁾		无限	s
结温，T _J		150	°C
贮存温度，T _{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 差分电压是相对于 IN- 的 IN+ 上的值。
- (3) 从输出到 V+ 的短路会导致过热，并且最终会发生损坏。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型（HBM），符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		人体放电模型（CDM），符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产
- (2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
电源电压：V _S = (V+) - (V-)	2	28	V
环境温度，T _A	-40	85	°C
输入电压范围，V _{IR}	V-	(V+) - 2.0	V
输出电压	V-	28	V

5.4 热性能信息

热指标 ⁽¹⁾		LM3302		单位
		N (PDIP)	D (SOIC)	
		14 引脚	14 引脚	
R _{θJA}	结至环境热阻	114.9	111.2	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	93.8	66.9	°C/W
R _{θJB}	结至电路板热阻	77.7	67.8	°C/W
ψ _{JT}	结至顶部特征参数	60.4	28.0	°C/W
ψ _{JB}	结至电路板特征参数	76.7	67.4	°C/W

- (1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”报告 (SPRA953)。

5.5 电气特性

在指定自然通风温度下, $V_{CC} = 5V$ (除非另有说明)

参数		测试条件 ⁽¹⁾		T_A	LM3302			单位
					最小值	典型值	最大值	
V_{IO}	输入失调电压	$V_{IC} = V_{ICR}$ 最小值, $V_O = 1.4V$, $V_{CC} = 5V$ 至 $28V$		25°C		3	20	mV
				-40°C 至 +85°C			40	
I_{IO}	输入失调电流	$V_O = 1.4V$		25°C		3	100	nA
				-40°C 至 +85°C			300	
I_{IB}	输入偏置电流			25°C		-25	-500	nA
				-40°C 至 +85°C			-1000	
V_{ICR}	共模输入电压范围			25°C	0 至 $V_{CC} - 1.5$			V
				-40°C 至 +85°C	0 至 $V_{CC} - 2$			
A_{VD}	大信号差分电压放大	$V_{CC} = 15V$, $V_O = 1.4V$ 至 $11.4V$, $R_L \geq 15k\Omega$ 至 V_{CC}		25°C	2	30		V/mV
I_{OH}	高电平输出电流	$V_{ID} = 1V$	$V_{OH} = 5V$	25°C		0.1		nA
				-40°C 至 +85°C			1	μA
V_{OL}	低电平输出电压	$V_{ID} = -1V$	$I_{OL} = 4mA$	25°C		150	500	mV
				-40°C 至 +85°C			700	
I_{OL}	低电平输出电流	$V_{ID} = -1V$,	$V_{OL} = 1.5V$	25°C	6	16		mA
I_{CC}	电源电流 (四个比较器)	$V_O = 2.5V$, 空载	$V_{CC} = 5V$	25°C		0.8		mA

(1) 除非另有说明, 否则所有特性均在零共模输入电压下测得。

5.6 开关特性

$V_{CC} = 5V$, $T_A = 25^\circ C$

参数	测试条件		LM3302	单位
			典型值	
响应时间	R_L 通过 $5.1k\Omega$ 连接到 $5V$, $C_L = 15pF$ ^{(1) (2)}	具有 $5mV$ 过驱的 $100mV$ 输入阶跃	1.3	μs
		TTL 电平输入阶跃	0.3	

(1) C_L 包括探头和夹具电容。

(2) 指定的响应时间是输入阶跃函数与输出超过 $1.4V$ 的那一刻之间的间隔。

5.7 典型特性

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_{\text{PULLUP}} = 5.1\text{k}$, $C_L = 15\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (除非另有说明)。

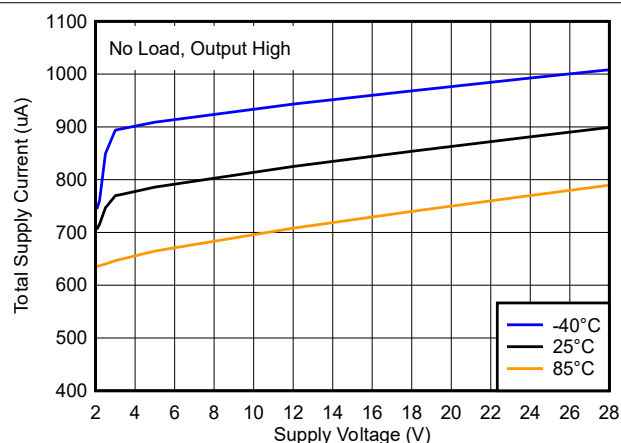


图 5-1. 总电源电流与电源电压之间的关系

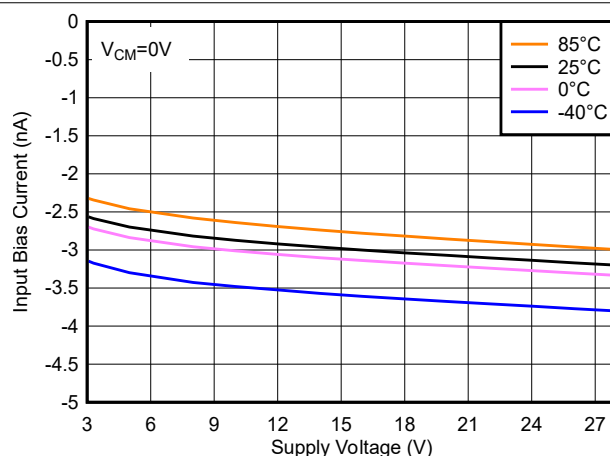


图 5-2. 输入偏置电流与电源电压之间的关系

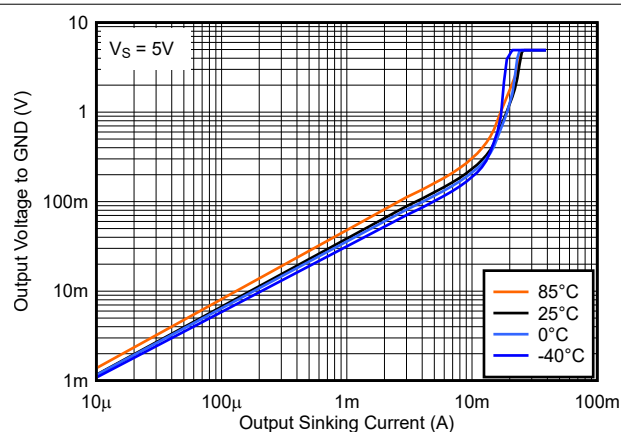


图 5-3. 5V 下输出低电平电压与输出灌电流之间的关系

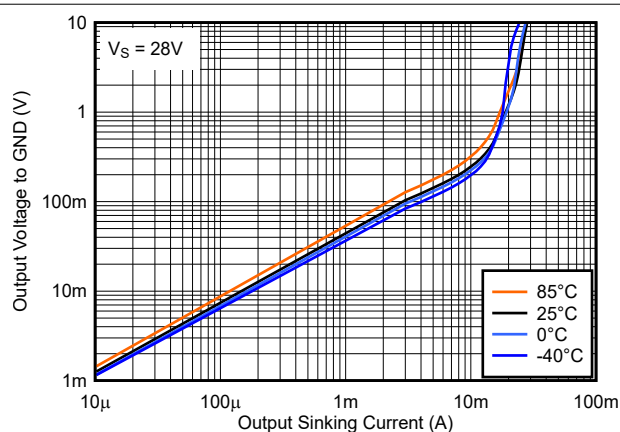


图 5-4. 28V 下输出低电平电压与输出灌电流之间的关系

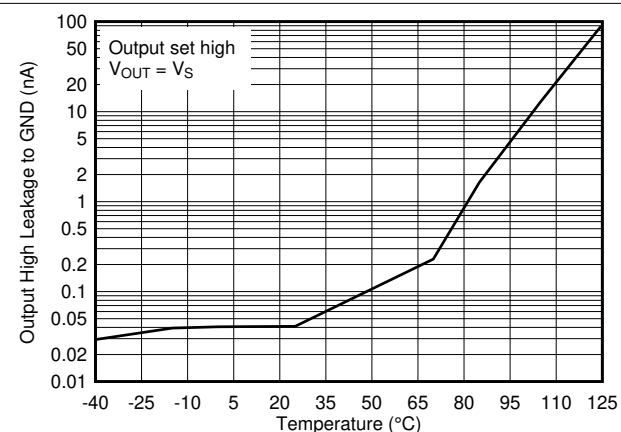


图 5-5. 5V 下输出高电平漏电流与温度之间的关系

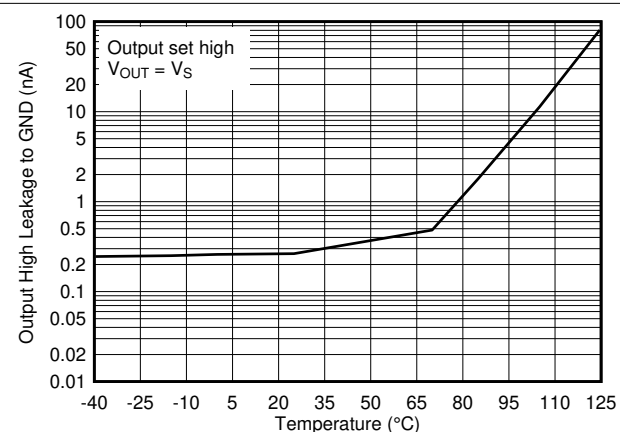


图 5-6. 28V 下输出高电平漏电流与温度之间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_{\text{PULLUP}} = 5.1\text{k}$, $C_L = 15\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (除非另有说明)。

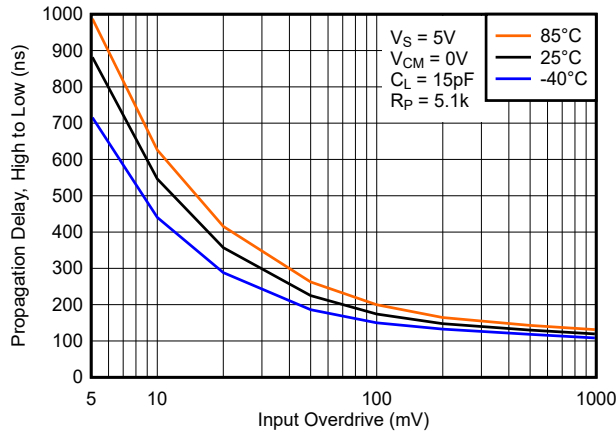


图 5-7. 高电平至低电平传播延迟与输入过驱电压之间的关系, 5V

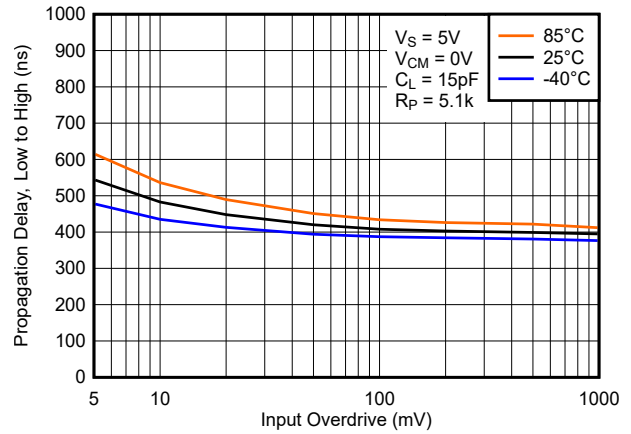


图 5-8. 低电平至高电平传播延迟与输入过驱电压之间的关系, 5V

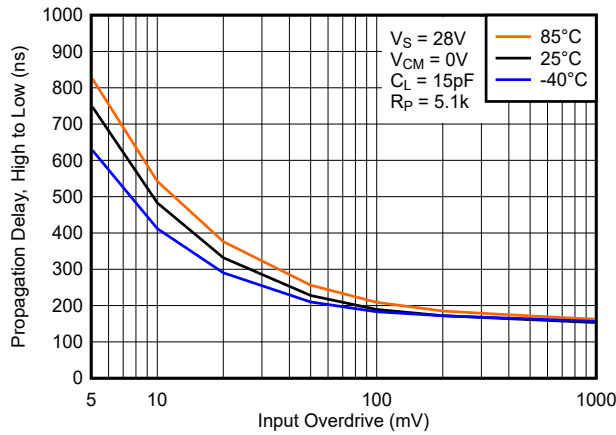


图 5-9. 高电平至低电平传播延迟与输入过驱电压之间的关系, 28V

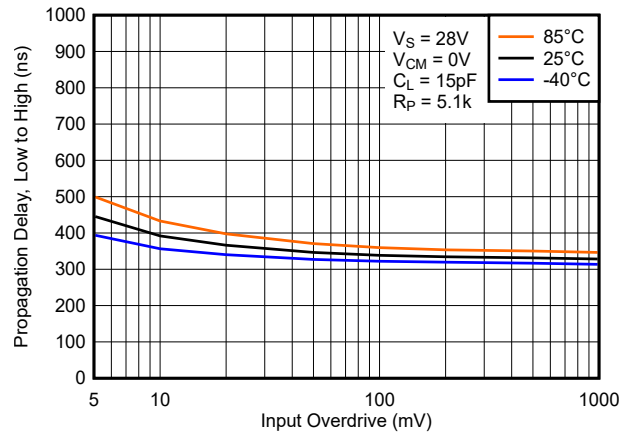


图 5-10. 低电平至高电平传播延迟与输入过驱电压之间的关系, 28V

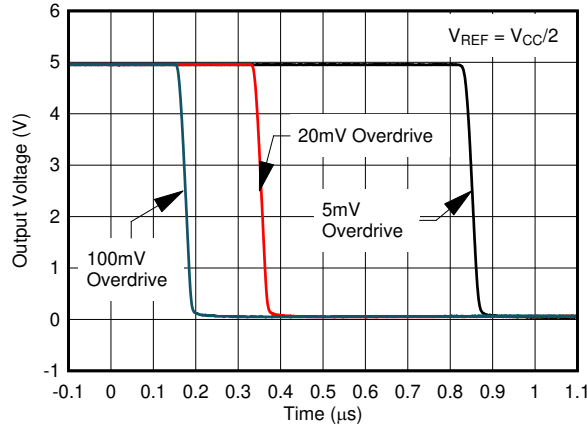


图 5-11. 高电平至低电平转换时各种过驱的响应时间

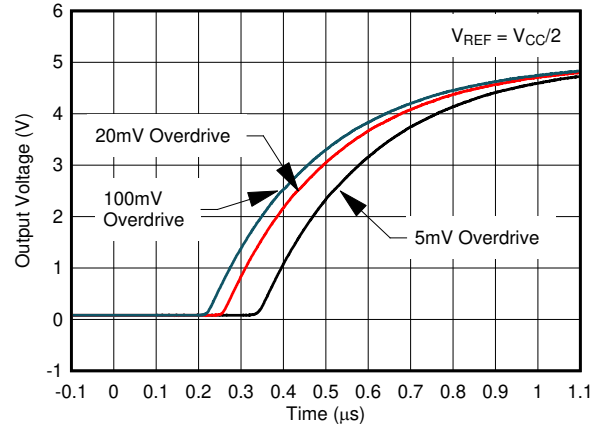


图 5-12. 低电平至高电平转换时各种过驱的响应时间

6 详细说明

6.1 概述

这些四路比较器能够在电源引脚上以高达 28V 的绝对最大电压运行。这些器件已经证明可广泛应用于各种应用。这是因为这些器件具有非常宽电源电压范围、低 I_q 和快速响应。

开路集电极输出使用户能够独立于 V_{CC} 将电平位移至所需逻辑电平，同时还在多个输出连接在一起时启用 AND 功能。

6.2 功能方框图

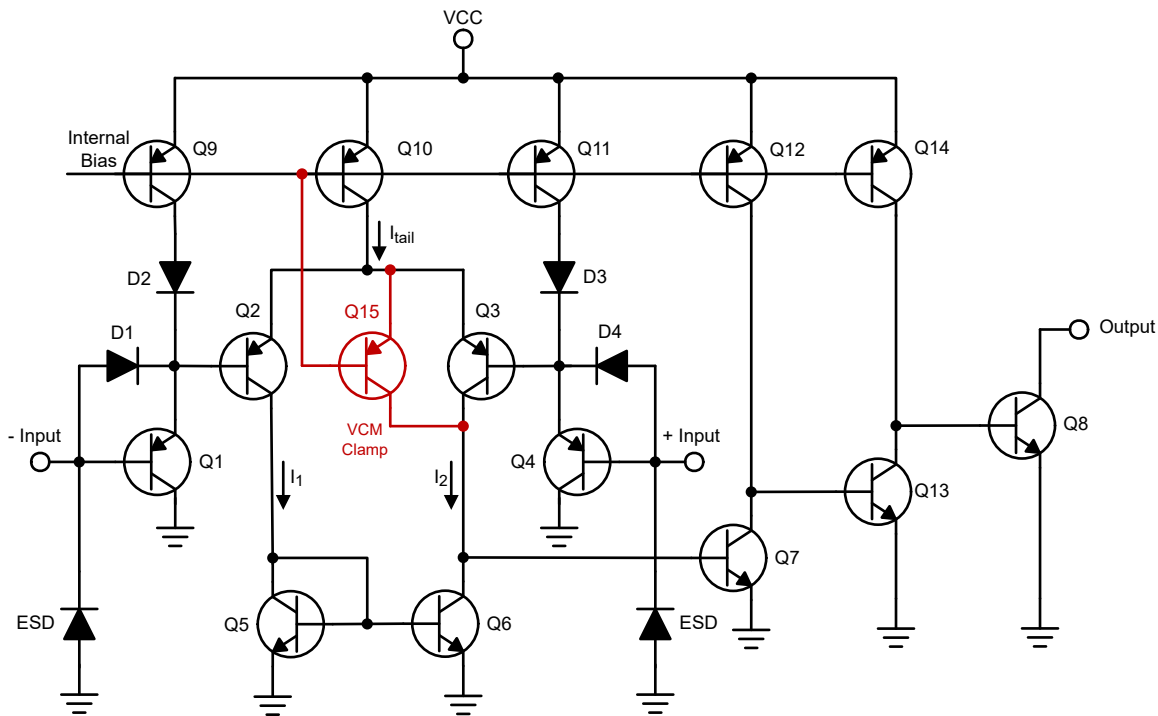


图 6-1. 原理图 (每个比较器)

6.3 特性说明

该比较器包含一个 PNP 达林顿对输入，使器件能够获得非常高的增益，能快速响应且在最小的输入偏置电流下运行。输入达林顿对限制了输入共模电压能力，使比较器在接地至 $V_{CC} - 2V$ 的过温条件下准确运行。在 Q3 周围添加了一个钳位，以模拟两个输入超出原装经典硅输入电压范围时的情况。

输出包含一个开漏 NPN (下拉或低侧) 晶体管。当负输入电压高于正输入电压和失调电压时，输出 NPN 会灌入电流。 V_{OL} 是电阻性的，并且与输出电流成比例。请参阅“输出低电压与输出灌电流间的关系”图，了解有关输出电流的 V_{OL} 值。

6.4 器件功能模式

6.4.1 电压比较

该比较器仅作为电压比较器运行，其能比较正负引脚之间的差分电压，并根据输入差分极性输出逻辑低电平或高阻抗 (能上拉的逻辑高电平)。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

通常情况下，比较器将单个信号与参考信号或与两个不同的差分信号进行比较。许多用户利用漏极开路输出将比较逻辑输出驱动为 MCU 或逻辑器件的逻辑电压电平。宽电源范围和高压功能使 LM3302 成为向更高或更低电压进行电平位移的理想选择。

7.2 典型应用

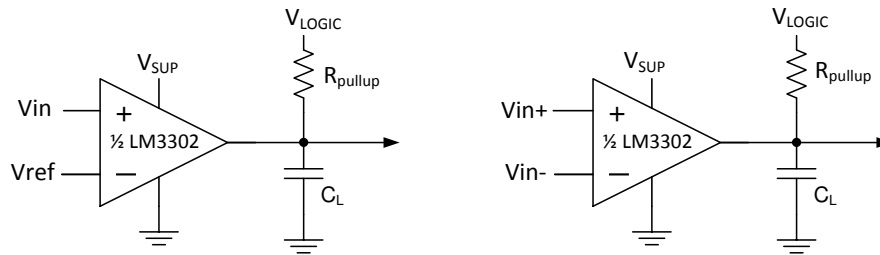


图 7-1. 单端差分比较器配置

7.2.1 设计要求

本设计示例使用表 7-1 中所列的参数作为输入参数。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	0V 至 $V_{sup}-2V$
电源电压	4.5V 至 V_{CC} 最大值
逻辑电源电压	0V 至 V_{CC} 最大值
输出电流 (R_{PULLUP})	1 μ A 至 4mA
输入过驱电压	100mV
基准电压	2.5V
负载电容 (C_L)	15pF

7.2.2 详细设计过程

在一般比较器应用中使用 LMx39 时，请确定以下参数：

- 输入电压范围
- 最小过驱电压
- 输出和驱动电流
- 响应时间

7.2.2.1 输入电压范围

选择输入电压范围时，必须将输入共模电压范围 (V_{ICR}) 考虑在内。如果温度低于 25°C，则 V_{ICR} 范围为 0V 至 $V_{CC} - 2.0V$ 。这样将输入电压范围限制为最高 $V_{CC} - 2.0V$ ，最低 0V。超出此范围的操作可能会导致比较出错。

以下是输入电压情况及其输出列表：

1. 当 IN- 和 IN+ 都处于共模范围内时：

- a. 如果 IN^- 高于 IN^+ 和失调电压，则输出为低电平，而且输出晶体管会灌入电流
 - b. 如果 IN^- 低于 IN^+ 和失调电压，则输出为高阻抗，输出晶体管不导通
2. 当 IN^- 高于共模且 IN^+ 处于共模范围内时，输出为低电平，输出晶体管灌入电流
 3. 当 IN^+ 高于共模且 IN^- 处于共模范围内时，输出为高阻抗，输出晶体管不导通
 4. 当 IN^- 和 IN^+ 都高于共模时，请参阅 [LM339](#)、[LM393](#)、[TL331](#) 系列比较器 (包括全新 B 版本) 应用设计指南的第 2 部分。

7.2.2.2 最小过驱电压

过驱电压是在失调电压 (V_{IO}) 下比较器的正负输入之间产生的差分电压。若要进行准确的比较，过驱电压 (V_{OD}) 必须高于输入失调电压 (V_{IO})。过驱电压还可以决定比较器的响应时间，响应时间随着过驱的增加而缩短。[图 7-2](#) 和 [图 7-3](#) 显示了相对于过驱电压的正负响应时间。

7.2.2.3 输出和驱动电流

输出电流由负载和上拉电阻以及逻辑和/上拉电压决定。输出电流从比较器产生低电平输出电压 (V_{OL})，其中 V_{OL} 与输出电流成正比。

输出电流也会影响瞬态响应。

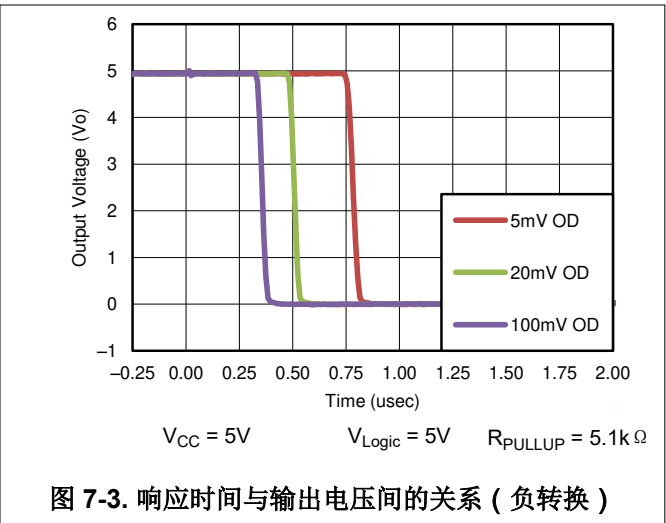
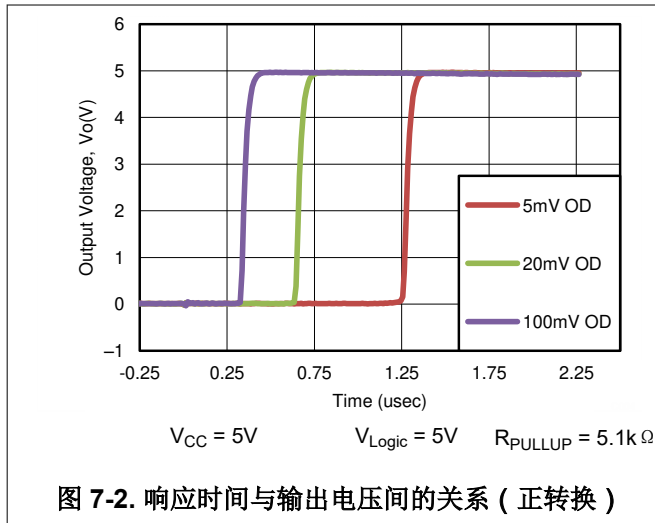
7.2.2.4 响应时间

响应时间是输入过驱的函数。请参阅 [典型特性](#) 图了解典型的响应时间。上升和下降时间可以由负载电容 (C_L)、负载/上拉电阻 (R_{PULLUP}) 和等效集电极-发射极电阻 (R_{CE}) 确定。

- 上升时间 (τ_R) 约为 $\tau_R = R_{PULLUP} \times C_L$
- 下降时间 (τ_F) 约为 $\tau_F = R_{CE} \times C_L$
 - R_{CE} 可通过以下方式确定，即在所需温度下取 [图 5-11](#) 的线性区域的斜率或者将 V_{OL} 除以 I_{OUT}

7.2.3 应用曲线

图 7-2 和图 7-3 是使用 50pF 的示波器探头寄生电容生成的。



7.3 电源相关建议

对于具有噪声或交流输入的快速响应和比较应用，可在电源引脚上使用旁路电容器来抑制电源电压的任何变化。这种变化会影响比较器输入的共模范围，并产生不准确的比较结果。

7.4 布局

7.4.1 布局指南

在没有迟滞的精确比较器应用中，务必保持电源稳定，并将噪声和短时脉冲波干扰降至最低，这一点十分重要。最佳做法是在电源电压和接地之间添加一个旁路电容器。这可以在正电源和负电源（如果可用）上实现。如果未使用负电源，则不要在 GND 引脚和系统接地之间放置电容器。

尽量减少输出和反相输入之间的耦合，以防止输出振荡。除非输出和反相输入引线之间存在 V_{CC} 或 GND 引线，否则请勿并行布置输出和反相输入引线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。

7.4.2 布局示例

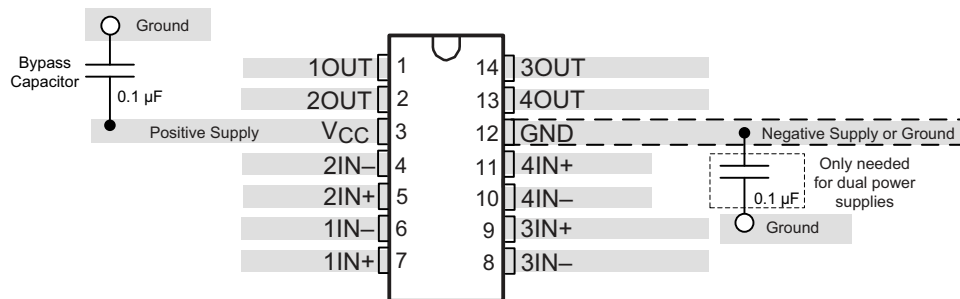


图 7-4. LM3302 布局示例

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2003) to Revision B (April 2025)	Page
• 更新为当前 TI 数据表格式。未更改电气表规格。.....	1
• 更新了新封装的 ESD 表.....	4
• 更新了新封装的“热性能信息”表.....	4
• 添加了典型图表.....	6
• 更新了“功能方框图”.....	8

Changes from Revision * (October 1977) to Revision A (August 2003)	Page
• 删除了陶瓷“J”封装。添加了 SOIC 订购选项.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM3302D	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	LM3302
LM3302DR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM3202, LM3302)
LM3302DR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM3202, LM3302)
LM3302DRE4	Active	Production	SOIC (D) 14	2500 LARGE T&R	-	Call TI	Call TI	-40 to 85	
LM3302N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LM3302N
LM3302N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LM3302N

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM3302DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM3302DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM3302DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM3302DR	SOIC	D	14	2500	353.0	353.0	32.0
LM3302DR	SOIC	D	14	2500	353.0	353.0	32.0
LM3302DR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LM3302N	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N.A	N	PDIP	14	25	506	13.97	11230	4.32
LM3302N.A	N	PDIP	14	25	506	13.97	11230	4.32

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

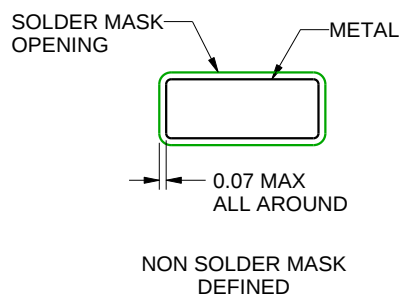
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月