LM2005 具有 8V UVLO 和集成式自举二极管的 107V、0.5A、0.8A 半桥驱动器

1 特性

- 可驱动两个采用半桥配置的 N 沟道 MOSFET
- 集成式自举二极管
- 8-V GVDD 上的典型欠压锁定
- BST 上的最大绝对电压为 107V
- SH 上的 –19.5V 绝对最大负瞬态电压处理
- 0.5A/0.8A 峰值拉电流/灌电流
- 115ns 典型传播延迟

2 应用

- 无刷直流 (BLDC) 电机
- 永磁同步电机 (PMSM)
- 无线真空吸尘器
- 无线园艺工具和电动工具
- 电动自行车和电动踏板车
- 电池测试设备
- 离线不间断电源 (UPS)
- 通用 MOSFET 或 IGBT 驱动器

3 说明

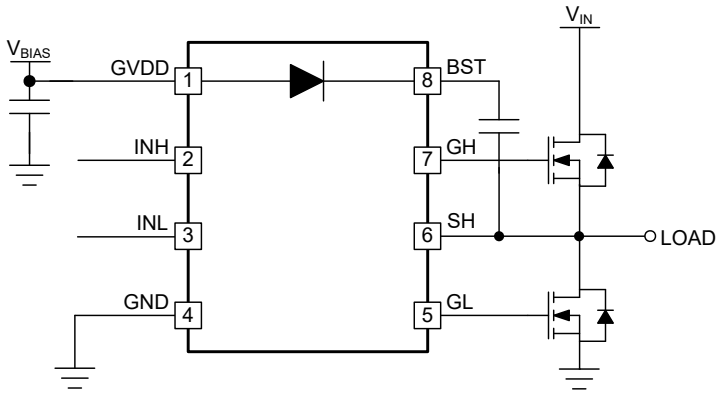
LM2005 是一款紧凑型高压栅极驱动器，专为驱动采用同步降压或半桥配置的高侧和低侧 N 沟道 MOSFET 而设计。集成的自举二极管无需使用外部分立式二极管，从而节省布板空间并降低系统成本。

SH 引脚具有 –1V 直流和 –19.5V 瞬态负电压处理能力，可提升高噪声应用中的系统稳健性。该器件采用小型热增强型 8 引脚 WSON 封装，可将驱动器放置在更靠近电机相位的位置，从而改善 PCB 布局。 LM2005 还采用与业界通用引脚排列兼容的 8 引脚 SOIC 封装。在低侧和高侧电源轨上均提供欠压锁定 (UVLO) 功能，以在上电和断电期间提供保护。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
LM2005	D（SOIC，8）	4.90mm × 3.91mm
	DSG（WSON，8）	2.00mm × 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版应用示意图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....4
6.5 电气特性.....5
6.6 开关特性.....6
6.7 时序图.....6
6.8 典型特性.....7
7 详细说明.....10
7.1 概述.....10
7.2 功能方框图.....10
7.3 特性说明.....10
7.4 器件功能模式.....11
8 应用和实施.....12
8.1 应用信息.....12
8.2 典型应用.....12
9 电源相关建议.....16
10 布局.....17
10.1 布局指南.....17
10.2 布局示例.....17
11 器件和文档支持.....18
11.1 器件支持.....18
11.2 文档支持.....18
11.3 接收文档更新通知.....18
11.4 支持资源.....18
11.5 商标.....18
11.6 静电放电警告.....18
11.7 术语表.....18
12 机械、封装和可订购信息.....18

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (April 2023) to Revision B (September 2023)	Page
• 将“预告信息”更改为“量产数据”	1

Changes from Revision * (February 2023) to Revision A (April 2023)	Page
• 将 DSG 封装从“产品预发布”更改为“预告信息”	1

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

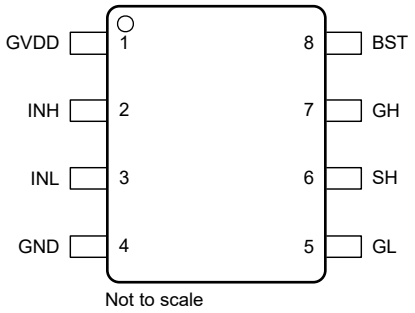


图 5-1. D 封装，8 引脚 SOIC（顶视图）

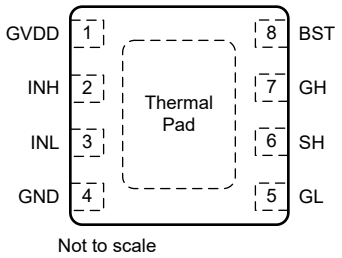


图 5-2. DSG 封装，8 引脚 WSON（顶视图）

表 5-1. 引脚功能

引脚			说明
编号(1)	名称	类型(2)	
1	GVDD	P	栅极驱动器正电源轨。使用尽可能靠近 IC 的低 ESR 和 ESL 电容器在本地进行去耦（接地）。
2	INH	I	高侧控制输入。INH 输入与 TTL 和 CMOS 输入阈值兼容。未使用的 INH 输入必须接地，而不是保留开路。
3	INL	I	低侧控制输入。INL 输入与 TTL 和 CMOS 输入阈值兼容。未使用的 INL 输入必须接地，而不是保留开路。
4	GND	G	接地。所有信号都以此接地为基准。
5	GL	O	低边栅极驱动器输出。连接到低侧 MOSFET 的栅极或外部栅极电阻的一端（使用时）。
6	SH	P	高侧源极连接。连接到自举电容器的负端子和高侧 MOSFET 的源极。
7	GH	O	高边栅极驱动器输出。连接到高侧 MOSFET 的栅极或外部栅极电阻的一端（使用时）。
8	BST	P	高侧栅极驱动器正电源轨。将自举电容器的正极端子连接到 BST，并将自举电容器的负极端子连接到 SH。自举电容器必须尽可能靠近 IC 放置。

(1) 对于 8 引脚 WSON 封装，TI 建议将封装底部的外露焊盘焊接到 PCB 的接地层上，并且必须从封装下方延伸出接地层以改善散热。
(2) G = 接地，I = 输入，O = 输出，P = 电源

6 规格

6.1 绝对最大额定值

在工作结温范围内，并且所有电压都以 GND 为基准（除非另有说明）。[1]

			最小值	最大值	单位
V_{GVDD}	低侧电源电压		-0.3	19.5	V
V_{BST} 至 V_{SH}	高侧电源电压		-0.3	19.5	V
V_{INL}、V_{INH}	INL 和 INH 上的输入电压		-0.3	19.5	V
V_{GL}	GL 上的输出电压		-0.3	GVDD + 0.3	V
V_{GH}	GH 上的输出电压		V_{SH} – 0.3	V_{BST} + 0.3	V
V_{SH}	SH 上的电压	直流	-1	95	V
		重复脉冲 < 100ns[2]	-19.5	95	
V_{BST}	BST 上的电压		V_{SH}	107	V
T_J	结温		-40	125	°C
T_{stg}	贮存温度	贮存温度	– 65	150	°C

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 这些值根据特征进行验证，并未经过生产测试。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001[1]	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[2]	±250	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作结温范围内，并且所有电压都以 GND 为基准（除非另有说明）。

		最小值	标称值	最大值	单位
V_{GVDD}	电源电压	9	12	18	V
V_{INL}、V_{INH}	输入电压范围	0		V_{GVDD} + 0.3	V
V_{BST}	BST 上的电压	V_{SH} + 9		105	V
V_{SH}	SH 上的电压（直流）	-1		V_{BST} – V_{GVDD}	V
V_{SH}	SH 上的电压（重复脉冲 < 100ns）[1]	– 18		V_{BST} – V_{GVDD}	V
SR_{SH}	SH 上的电压压摆率			2	V/ns
T_J	工作结温	-40		125	°C

(1) 这些值根据特征进行验证，并未经过生产测试。

6.4 热性能信息

热指标[1]		LM2005 D (SOIC) 8 引脚	LM2005 DSG (WSON) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	133.2	78.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	75.2	97.7	°C/W
$R_{\theta JB}$	结至电路板热阻	76.7	44.6	°C/W

Copyright © 2023 Texas Instruments Incorporated

6.4 热性能信息（续）

热指标[1]		LM2005 D (SOIC) 8 引脚	LM2005 DSG (WSON) 8 引脚	单位
ψ_{JT}	结至顶部特征参数	25.5	4.6	°C/W
ψ_{JB}	结至电路板特征参数	75.9	44.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	9.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告 (SPRA953)。

6.5 电气特性

V_{GVDD} = V_{BST} = 12V，GND = V_{SH} = 0V，GL 或 GH 无负载，T_J = 25°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{GVDD}	GVDD 静态电流	V_{INL} = V_{INH} = 0V		430		μA
I_{DDO}	GVDD 工作电流	f = 50kHz，C_{LOAD} = 0		0.56		mA
I_{BST}	总 BST 静态电流	V_{INL} = V_{INH} = 0V，VDD = 12V		150		uA
I_{BSTO}	总 BST 工作电流	f = 50kHz，C_{LOAD} = 0		0.16		mA
I_{BSTS}	BST 至 GND 静态电流	V_{SH} = V_{BST} = 95V，GVDD = 12V		33.3		μA
I_{BSTSO}	BST 至 GND 工作电流	f = 50kHz，C_{LOAD} = 0		0.07		mA
输入						
V_{HIT}	输入电压高电平阈值	-40°C 至 125°C		1.45	2	V
V_{LIT}	输入电压低电平阈值	-40°C 至 125°C	0.8	1.3		V
V_{IHYS}	输入电压迟滞			0.15		V
R_{IN}	输入下拉电阻	V_{IN} = 3V		200		kΩ
欠压保护 (UVLO)						
V_{GVDDR}	GVDD 上升阈值	V_{GVDDR} = V_{GVDD} - GND，-40°C 至 125°C		8.15	8.75	V
V_{GVDDF}	GVDD 下降阈值	V_{GVDDF} = V_{GVDD} - GND，-40°C 至 125°C	6.75	7.7		V
V_{DDHYS}	GVDD 阈值迟滞			0.45		V
V_{BSTR}	VBST 上升阈值	V_{BSTR} = V_{BST} - V_{SH}，-40°C 至 125°C		7.6	8.5	V
V_{BSTF}	VBST 下降阈值	V_{BSTR} = V_{BST} - V_{SH}，-40°C 至 125°C	6.25	7.15		V
V_{BSTHYS}	VBST 阈值迟滞			0.45		V
自举二极管						
V_F	低电流正向电压	I_{BOOT} = 100uA		0.6		V
V_{FI}	高电流正向电压	I_{BOOT} = 100mA		2.1		V
R_{BOOT}	自举动态电阻	I_{BOOT} = 100mA 和 80mA		12.5		Ω
LO 栅极驱动器						
V_{GL_L}	低电平输出电压	I_{GL} = 100mA，V_{GL_L} = V_{GL} – GND		0.25		V
V_{GL_H}	高电平输出电压	I_{GL} = -100mA，V_{GL_H} = V_{GVDD} – V_{GL}		0.8		V
	峰值上拉电流[1]	V_{GL} = 0V		0.5		A)
	峰值下拉电流[1]	V_{GL} = 12V		0.8		A
HO 栅极驱动器						
V_{GH_L}	低电平输出电压	I_{GH} = 100mA，V_{GH_L} = V_{GH} – V_{SH}		0.25		V
V_{GH_H}	高电平输出电压	I_{GH} = –100mA，V_{GH_H} = V_{BST} – V_{GH}		0.8		V
	峰值上拉电流[1]	V_{GH} = 0V		0.5		A)
	峰值下拉电流[1]	V_{GH} = 12V		0.8		A

(1) 未经量产测试的参数。

6.6 开关特性

V_{GVDD} = V_{BST} = 12V，GND = V_{SH} = 0V，GL 或 GH 无负载，T_J = 25°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
传播延迟						
t_{DLFF}	VINL 下降至 VGL 下降	V_{INH} = V_{INL} = 0-3V，C_{LOAD} = 0pF。从输入的 50% 到输出的 90% 的时间。		115		ns
t_{DHFF}	VINH 下降至 VGH 下降	V_{INH} = V_{INL} = 0-3V，C_{LOAD} = 0pF。从输入的 50% 到输出的 90% 的时间。		115		ns
t_{DLRR}	VINL 上升至 VGL 上升	V_{INH} = V_{INL} = 0-3V，C_{LOAD} = 0pF。从输入的 50% 到输出的 10% 的时间。		115		ns
t_{DHRR}	VINH 上升至 VGH 上升	V_{INH} = V_{INL} = 0-3V，C_{LOAD} = 0pF。从输入的 50% 到输出的 10% 的时间。		115		ns
延迟匹配						
t_{MON}	从 GL 开启到 GH 关闭的延迟	INL 开启，INH 关闭，V_{INH} = V_{INL} = 0-3V			30	ns
t_{MOFF}	从 GL 关闭到 GH 开启的延迟	INL 关闭，INH 开启，V_{INH} = V_{INL} = 0-3V			30	ns
输出上升和下降时间						
t_{R_GL}	GL	C_{LOAD} = 1000pF，V_{INH} = V_{INL} = 0-3V		28		ns
t_{R_GH}	GH	C_{LOAD} = 1000pF，V_{INH} = V_{INL} = 0-3V		28		ns
t_{F_GL}	GL	C_{LOAD} = 1000pF，V_{INH} = V_{INL} = 0-3V		18		ns
t_{F_GH}	GH	C_{LOAD} = 1000pF，V_{INH} = V_{INL} = 0-3V		18		ns

6.7 时序图

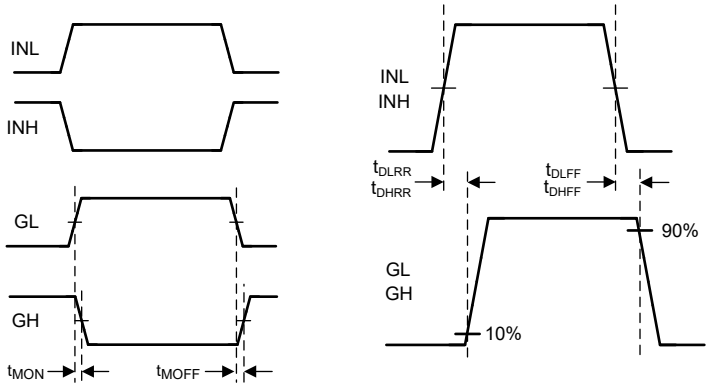


图 6-1. 时序定义图

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性

除非另有说明，否则 V_{GVDD} = V_{BST} = 12V，GND = V_{SH} = 0V，GL 或 GH 无负载，T_J = 25°C。

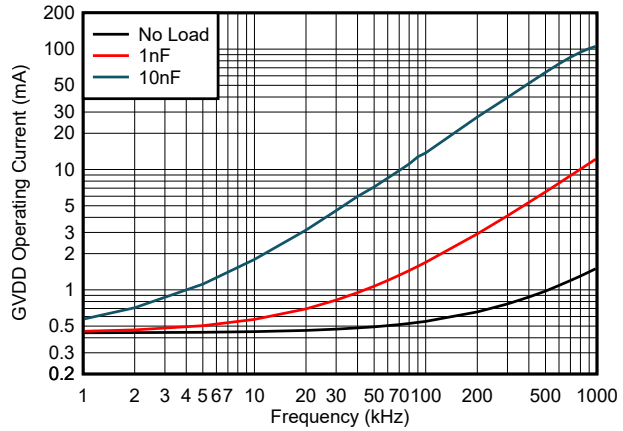


图 6-2. GVDD 工作电流与频率间的关系

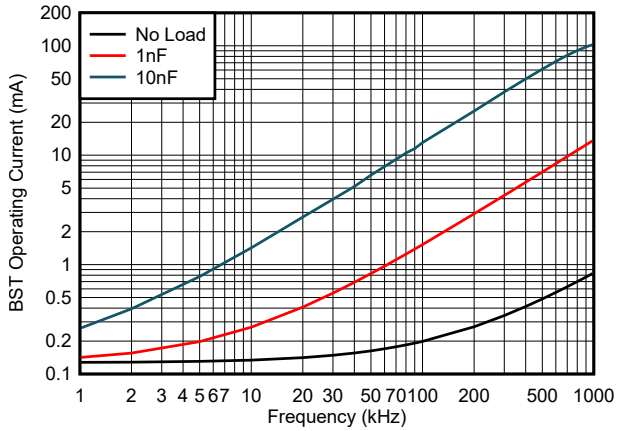


图 6-3. BST 工作电流与频率间的关系

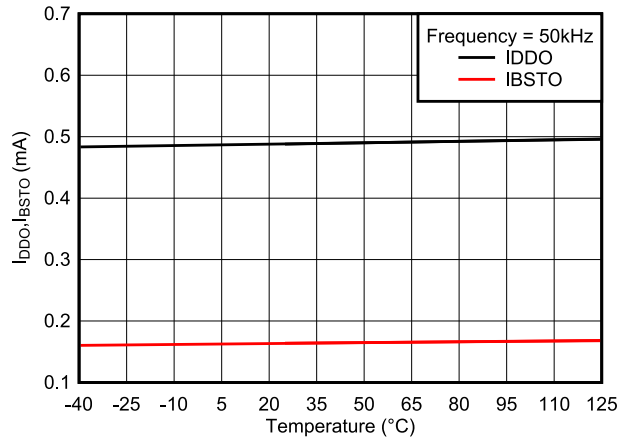


图 6-4. 工作电流与温度间的关系

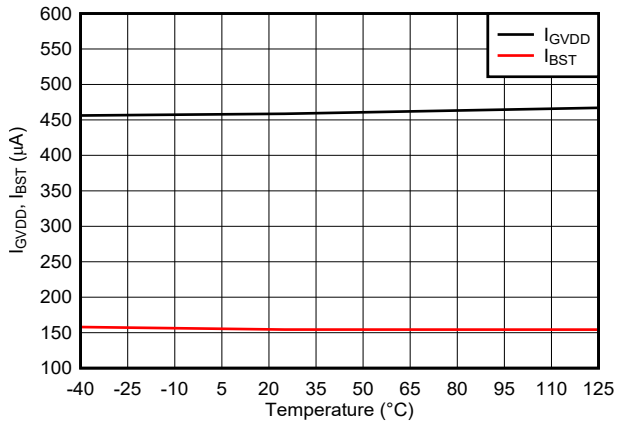


图 6-5. 静态电流与温度间的关系

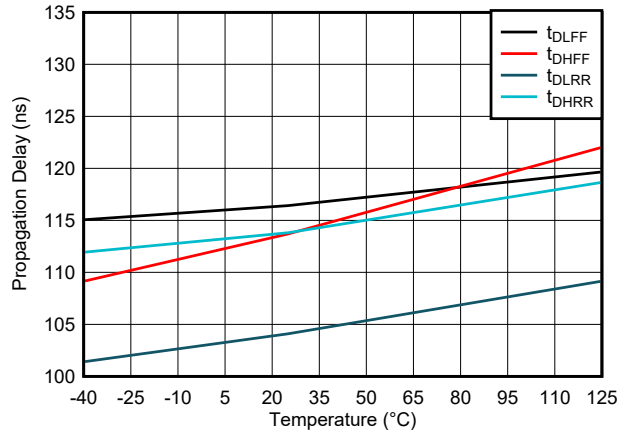


图 6-6. 传播延迟与温度间的关系

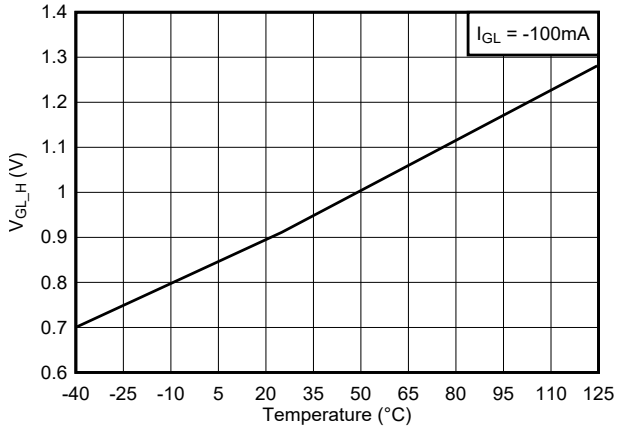


图 6-7. GL 输出高电压与温度间的关系

6.8 典型特性（续）

除非另有说明，否则 V_{GVDD} = V_{BST} = 12V，GND = V_{SH} = 0V，GL 或 GH 无负载，T_J = 25°C。

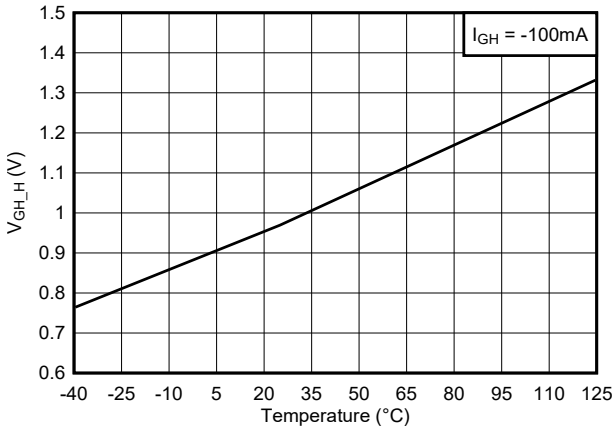


图 6-8. GH 输出高电压与温度间的关系

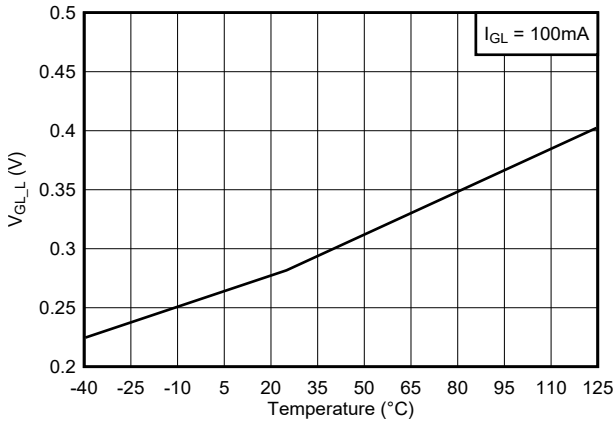


图 6-9. GL 输出低电压与温度间的关系

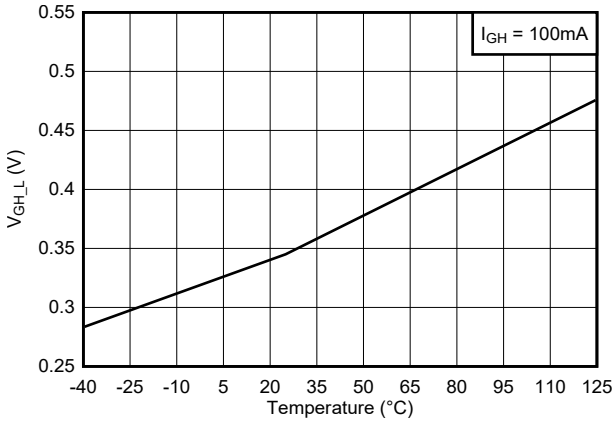


图 6-10. GH 输出低电压与温度间的关系

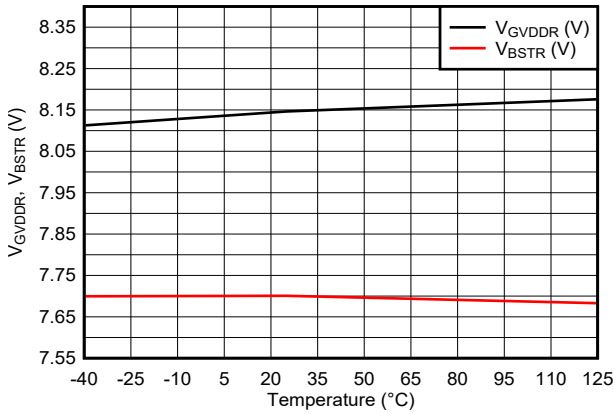


图 6-11. GVDD 和 BST UVLO 阈值与温度间的关系

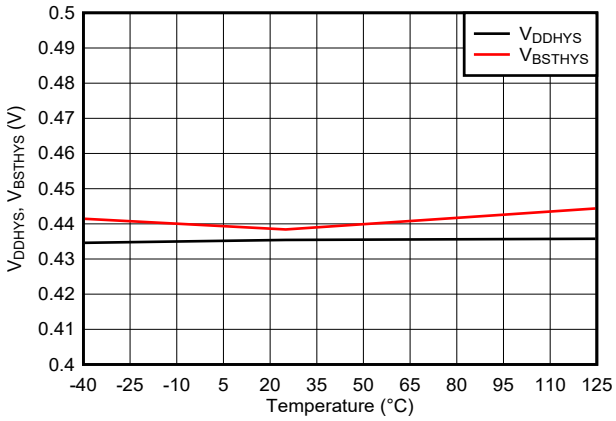


图 6-12. GVDD 和 BST UVLO 迟滞与温度间的关系

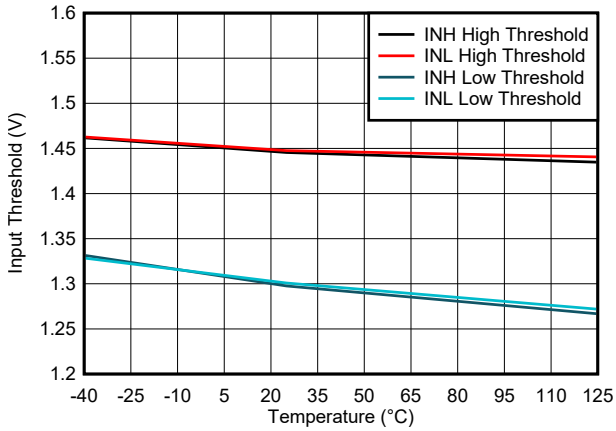


图 6-13. 输入电压阈值与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

6.8 典型特性（续）

除非另有说明，否则 V_{GVDD} = V_{BST} = 12V，GND = V_{SH} = 0V，GL 或 GH 无负载，T_J = 25°C。

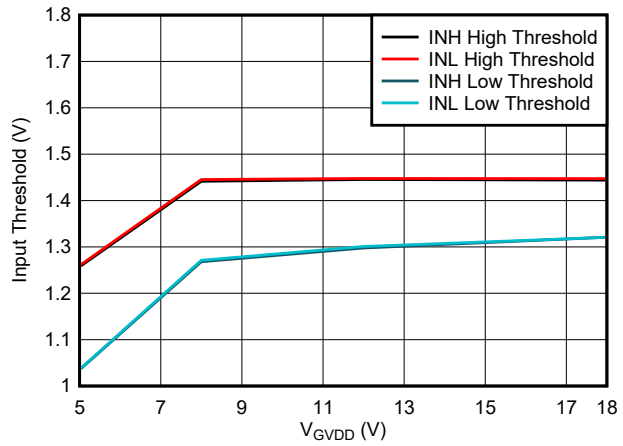


图 6-14. 输入电源阈值与电源电压间的关系

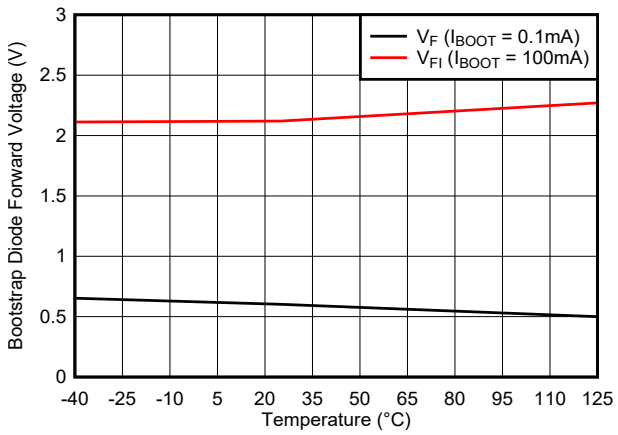


图 6-15. 自举二极管正向电压与电源电压间的关系

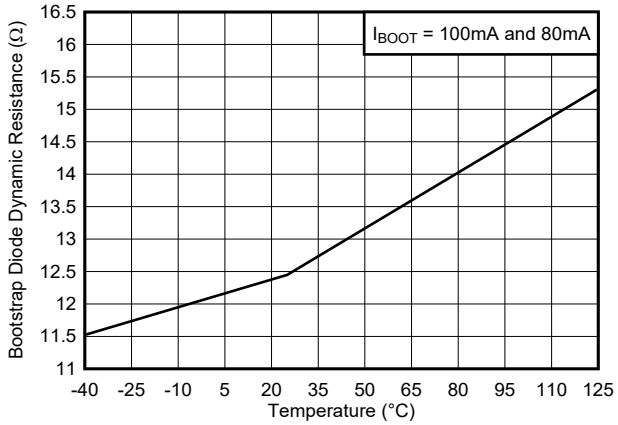


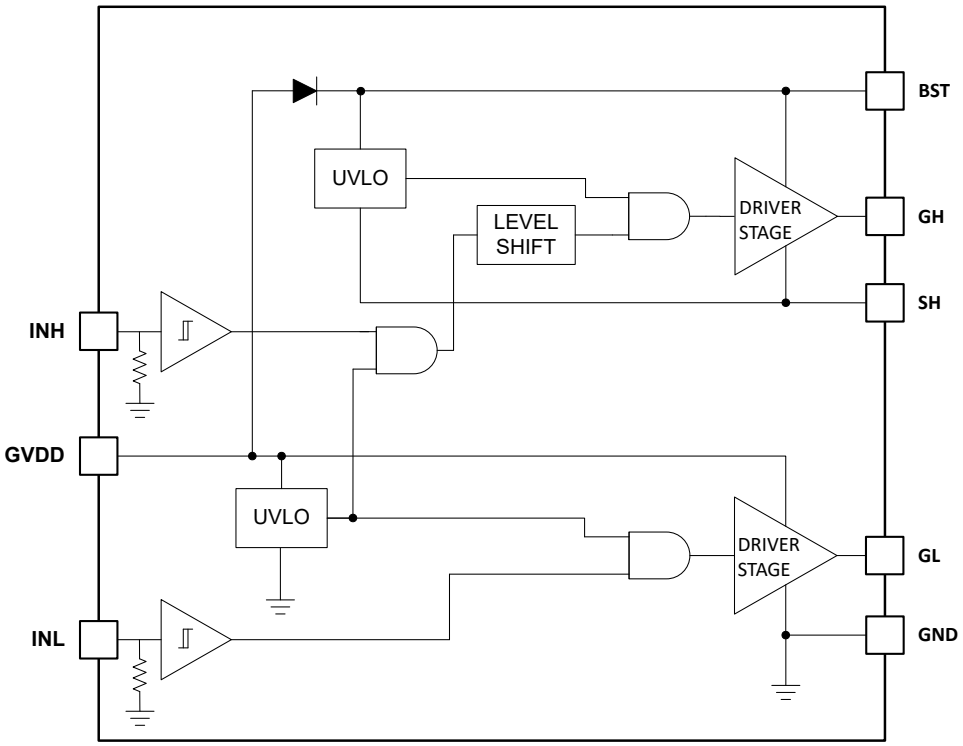
图 6-16. 自举二极管动态电阻

7 详细说明

7.1 概述

LM2005 是一款高压栅极驱动器，专为驱动采用同步降压或半桥配置的高侧和低侧 N 沟道 FET 而设计。两个输出由两个 TTL 兼容输入信号独立控制。只要信号符合 LM2005 的导通和关断阈值规格，该器件还可在其输入端使用 CMOS 型控制信号。悬空高侧驱动器能够在建议的高达 105V 的 BST 电压下工作。LM2005 器件中集成了一个自举二极管，用于为高侧栅极驱动自举电容器充电。稳健可靠的电平转换器同时拥有高运行速度和低功耗特性，并且可提供从控制逻辑到高侧栅极驱动器的干净电平转换。该器件在低侧和高侧电源轨上提供了欠压锁定 (UVLO) 功能。

7.2 功能方框图



7.3 特性说明

7.3.1 启动和 UVLO

高侧和低侧驱动器级均包含 UVLO 保护电路，该电路可监控电源电压 (V_{GVDD}) 和自举电容器电压 (V_{BST-SH})。在电源电压足以导通外部 MOSFET 之前，UVLO 电路会抑制所有输出，在电源电压变化期间，内置 UVLO 迟滞可防止发生抖动。为器件的 GVDD 引脚施加电源电压时，在 V_{GVDD} 超过 UVLO 阈值（典型值为 8V）之前，两个输出都会保持低电平。无论 UVLO 条件如何，自举电容器 (V_{BST-SH}) 都仅禁用高侧输出 (GH)。

表 7-1. GVDD UVLO 逻辑运行

条件 ($V_{BST-SH} > V_{BSTR}$)	INH	INL	GH	GL
器件启动期间，V_{GVDD} – GND < V_{GVDDR}	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

Copyright © 2023 Texas Instruments Incorporated

表 7-1. GVDD UVLO 逻辑运行（续）

条件 ($V_{BST-SH} > V_{BSTR}$)	INH	INL	GH	GL
器件启动后，V_{GVDD} – GND < V_{GVDDR} – V_{DDHYS}	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

表 7-2. BST UVLO 逻辑运行

条件 ($V_{GVDD} > V_{GVDDR}$)	INH	INL	GH	GL
器件启动期间，$V_{BST-SH} < V_{BSTR}$	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L
器件启动后，$V_{BST-SH} < V_{BSTR}$ – V_{BSTHYS}	H	L	L	L
	L	H	L	H
	H	H	L	H
	L	L	L	L

7.3.2 输入级

INL 和 INH 输入彼此独立运行。输入端未实现固定时间去毛刺滤波器，因此不会牺牲传播延迟和延迟匹配。换句话说，没有内置死区时间。如果需要两个输出之间的死区时间，则应通过微控制器对死区时间进行编程。驱动器每个输入端的小型滤波器可进一步提高易受噪声干扰应用中的系统稳健性。输入具有典型值为 200kΩ 的内部下拉电阻。因此，当输入悬空时，输出保持低电平。

7.3.3 电平转换

电平转换电路是从高侧输入（GND 基准信号）到高侧驱动器级（以开关节点 (SH) 为基准）的接口。电平转换允许控制 GH 驱动器输出，以 SH 引脚为基准，并提供与低侧驱动器的出色延迟匹配。

7.3.4 输出级

在动力总成中，输出级是到功率 MOSFET 的接口。两个输出的高压摆率、低电阻和高峰值电流能力支持功率 MOSFET 高效开关。低侧输出级以 GND 为基准，高侧以 SH 为基准。

7.3.5 低于接地电压的 SH 瞬态电压

在大多数应用中，外部低侧功率 MOSFET 的体二极管将 SH 节点钳制到接地。某些时候，在外部低侧 MOSFET 的体二极管钳制此摆幅之前，电路板电容和电感会导致 SH 节点在接地电位以下瞬态摆动几伏。只要不违反规范并且遵循本节中提到的条件，LM2005 中的 SH 引脚就能摆动到接地电位以下。

SH 的电势必须始终低于 GH。将 GH 拉至规定条件以下，可能会激活寄生晶体管，从而导致 BST 电源的电流过大。这样可能损坏器件。GL 和 GND 的关系也是如此。如有必要，可在 GH 和 SH 之间或 GL 和 GND 之间外接肖特基二极管，保护器件免受此类瞬变影响。为充分发挥作用，二极管应尽量靠近器件引脚。

为确保栅极驱动器器件正常运行，从 BST 到 SH 以及从 GVDD 到 GND 的低 ESR 旁路电容器至关重要。为充分减小串联电感，电容器应位于器件引线处。GL 和 GH 的峰值电流可能非常大。旁路电容器的任何串联电感都会在器件引线上引发电压振铃，为确保可靠运行，必须避免这种情况发生。

7.4 器件功能模式

该器件可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的更多信息，请参阅节 7.3.1。在正常模式下，当 V_{GVDD} 和 V_{BST-SH} 高于 UVLO 阈值时，输出级取决于 INH 和 INL 引脚的状态。如果输入状态为悬空，则输出 GH 和 GL 将为低电平。

表 7-3. 正常运行模式下的输入/输出逻辑

INH	INL	GH[(1)]	GL[(2)]
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	高电平
漂浮电势	漂浮电势	L	L

(1) 以 SH 为基准来测量 GH。
(2) 以 GND 为基准来测量 GL。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

为了在高开关频率下运行功率 MOSFET 并减少相关开关损耗，在控制器的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器。此外，当 PWM 控制器无法直接驱动开关器件的栅极时，必须使用栅极驱动器。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。事实证明，基于图腾柱排列 NPN 和 PNP 双极晶体管的传统缓冲器驱动电路不适用于数字电源，因为这些电路缺乏电平转换能力。栅极驱动器能够有效结合电平转换和缓冲器驱动功能。栅极驱动器靠近电源开关放置，可更大程度地降低高频开关噪声的影响。此外，栅极驱动器可以驱动栅极驱动变压器并控制悬空的功率器件栅极，通过将栅极电荷功率损耗移至驱动器来降低控制器中的功率耗散和热应力。

8.2 典型应用

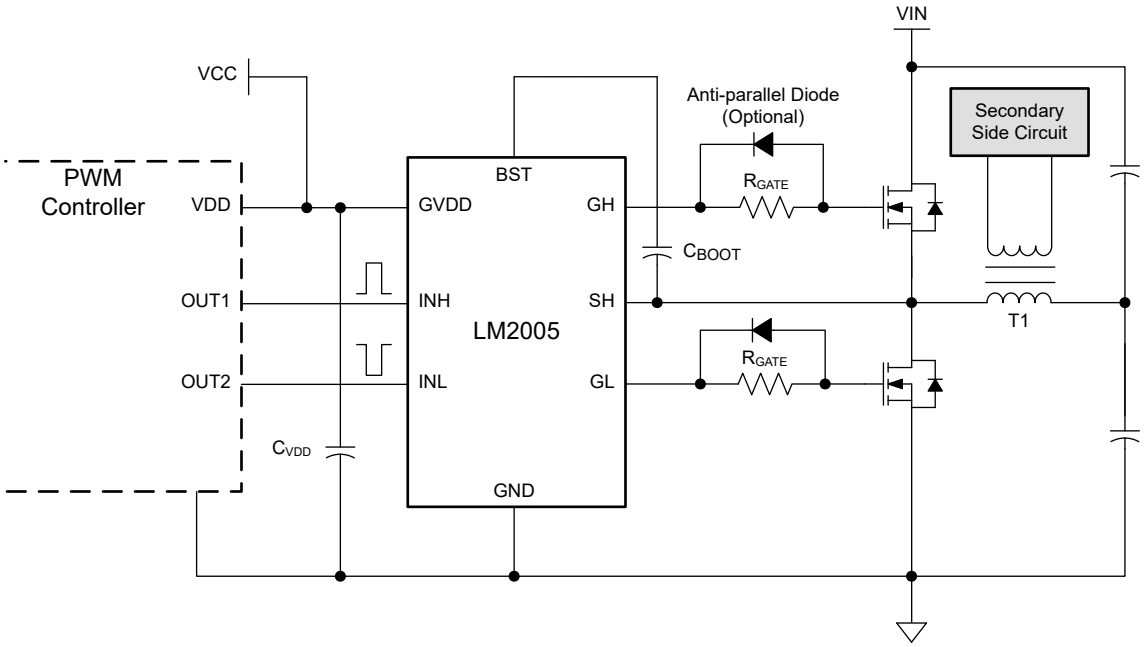


图 8-1. LM2005 在半桥转换器中驱动 MOSFET

Copyright © 2023 Texas Instruments Incorporated

8.2.1 设计要求

表 8-1 列出了 LM2005 的设计参数。

表 8-1. 设计示例

参数	值
栅极驱动器	LM2005
MOSFET	CSD19534KCS
V_{DD}	12V
Q_G	17nC
f_{SW}	50kHz

8.2.2 详细设计过程

8.2.2.1 选择自举和 GVDD 电容器

为实现正常运行，自举电容器必须确保 $V_{BST\text{-}SH}$ 电压高于 UVLO 阈值。使用方程式 1 来计算自举电容器允许的最大压降。

$$\Delta V_{BST} = V_{GVDD} - V_{DH} - V_{BSTL} = 12V - 2.1V - 8.05V = 1.85V \tag{1}$$

其中

- V_{GVDD} = 栅极驱动器 IC 的电源电压
- V_{DH} = 自举二极管正向压降
- V_{BSTL} = BST 下降阈值 ($V_{BSTR(max)}$ - V_{BSTHYS})

然后，通过方程式 2 估算每个开关周期所需的总电荷。

$$Q_{TOTA)L} = Q_G + I_{BSTS} \times \frac{D_{MAX}}{f_{SW}} + \frac{I_{BST}}{f_{SW}} = 17nC + 33.3\mu A) \times \frac{0.95}{50kHz} + \frac{150\mu A}{50kHz} = 20nC \tag{2}$$

其中

- Q_G = 总 MOSFET 栅极电荷
- I_{BSTS} = BST 至 VSS 漏电流
- D_{Max} = 转换器的最大占空比
- I_{BST} = BST 静态电流

接下来，使用方程式 3 估算最小自举电容值。

$$C_{BOOT\ (MIN)} = \frac{Q_{TOTA)L}}{\Delta V_{BST}} = \frac{20nC}{1.85V} = 10.8nF \tag{3}$$

实际应用中，C_{Boot} 电容值必须大于计算值，才能确保在功率级可能因负载瞬态而发生脉冲跳跃的情况下正常使用。方程式 4 可用于根据特定应用所需的最大自举电压纹波来估算建议的自举电容。

$$C_{BOOT} > \frac{Q_{TOTA)L}}{\Delta V_{BST_RIPPLE}} \tag{4}$$

其中

- ΔV_{BST_RIPPLE} = 旁路电容器上的最大允许压降（根据系统要求计算）

TI 建议预留足够的裕度，并将自举电容尽可能靠近 BST 和 SH 引脚放置。

$$C_{BOOT} = 100nF \tag{5}$$

一般而言，本地 V_{GVDD} 旁路电容必须比 C_{BOOT} 的值大 10 倍，如方程式 6 所示。

$$C_{GVDD} = 1\mu F \tag{6}$$

自举电容器和偏置电容器必须是具有 X7R 电介质的陶瓷型电容器。一旦器件上具有直流偏置电压，考虑到电容容差，额定电压必须是最大 V_{GVDD} 的两倍，以确保长期可靠性。

8.2.2.2 选择外部栅极驱动器电阻器

选择的外部栅极驱动器电阻器 R_{GATE} 的大小应可减少由寄生电感和电容引起的振铃，还可限制栅极驱动器输出的电流。

峰值 GH 上拉电流的计算方式如方程式 7 所示。

$$I_{G\text{高电平高电平}} = \frac{V_{GVDD} - V_{DH}}{R_{G\text{高电平高电平}} + R_{GATE} + R_{GFET_INT}} \tag{7}$$

其中

- I_{GHH} = GH 峰值上拉电流
- V_{DH} = 自举二极管正向压降
- R_{GHH} = 栅极驱动器内部 GH 上拉电阻，根据测试条件估算得出，即 $R_{GHH} = V_{GH_H} / I_{GH}$
- R_{GATE} = 外部栅极驱动电阻
- R_{GFET_INT} = MOSFET 内部栅极电阻，由晶体管数据表提供

同样，峰值 GH 下拉电流如方程式 8 所示。

$$I_{GHL} = \frac{V_{GVDD} - V_{DH}}{R_{GHL} + R_{GATE} + R_{GFET_INT}} \tag{8}$$

其中

- R_{GHL} 是 GH 下拉电阻

峰值 GL 上拉电流如方程式 9 所示。

$$I_{GLH} = \frac{V_{GVDD}}{R_{GLH} + R_{GATE} + R_{GFET_INT}} \tag{9}$$

其中

- R_{GLH} 为 GL 上拉电阻

峰值 GL 下拉电流如方程式 10 所示。

$$I_{GLL} = \frac{V_{GVDD}}{R_{GLL} + R_{GATE} + R_{GFET_INT}} \tag{10}$$

其中

- R_{GLL} 是 GL 下拉电阻

某些情况下，如果应用需要快速关断，可以使用 R_{Gate} 上的反向并联二极管绕过外部栅极驱动电阻器并加快关断转换速度。

8.2.2.3 估算驱动器功率损耗

驱动器 IC 的总功率耗散可通过以下元件进行估算。

1. 方程式 11 所示为因静态电流 I_{GVDD} 和 I_{BST} 而产生的静态功率损耗 P_{QC}。

Copyright © 2023 Texas Instruments Incorporated

$$P_{QC} = V_{GVDD} \times I_{GVDD} + (V_{GVDD} - V_F) \times I_{BST} = 12V \times 0.43mA + (12V - 0.6V) \times 0.15mA = 6.87mW \quad (11)$$

2. 方程式 12 所示为因高侧漏电流 I_{BSTS} 而产生的电平转换器损耗 P_{IBSTS}。

$$P_{IBSTS} = V_{BST} \times I_{BSTS} \times D = 72V \times 0.033mA \times 0.95 = 2.26mW \quad (12)$$

其中

- D 是高侧开关占空比

3. 方程式 13 所示为因 FET 栅极电荷 Q_G 而产生的动态损耗 $P_{QG1\&2}$。

$$P_{QG1\&2} = 2 \times V_{GVDD} \times Q_G \times f_{SW} \times \frac{R_{GD_R}}{R_{GD_R} + R_{GATE} + R_{GFET_INT}} = 2 \times 12V \times 17nC \times 50kHz \times \frac{5.25\Omega}{5.25\Omega + 4.7\Omega + 2.2\Omega} = 8.8mW \quad (13)$$

其中

- Q_G = FET 栅极总电荷
- f_{SW} = 开关频率
- R_{GD_R} = 上拉和下拉电阻的平均值
- R_{GATE} = 外部栅极驱动电阻
- R_{GFET_INT} = 内部 FET 栅极电阻

4. 电平转换器动态损耗 P_{LS}，受高侧开关期间每个开关周期中所需的电平转换器电荷影响。为简化该示例，假设寄生电荷 Q_P 的值为 2.5nC，如方程式 14 所示。

$$P_{LS} = V_{BST} \times Q_P \times f_{SW} = 72V \times 2.5nC \times 50kHz = 9mW \quad (14)$$

在此示例中，所有损耗总计 27mW，等于栅极驱动器的总损耗。对于带自举二极管的栅极驱动器，还应估算自举二极管内的损耗。二极管正向导通损耗等于平均正向压降与平均正向电流的乘积。

方程式 15 估算了器件在给定环境温度下允许的最大功率损耗。

$$P_{MAX} = \frac{T_J - T_A)}{R_{\theta JA)}} \quad (15)$$

其中

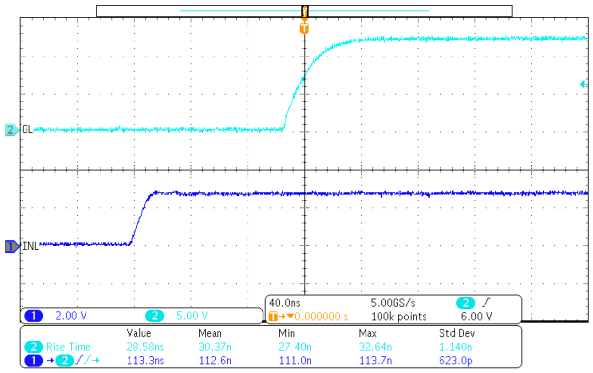
- P_{MAX} = 栅极驱动器器件允许的最大功率损耗
- T_J = 结温
- T_A = 环境温度
- $R_{\theta JA}$ = 结至环境热阻

数据表的*热性能信息* 表中总结了驱动器封装的热指标。有关热性能信息表的详细信息，请参阅德州仪器 (TI) 应用手册*半导体和 IC 封装热指标*。

8.2.3 应用曲线

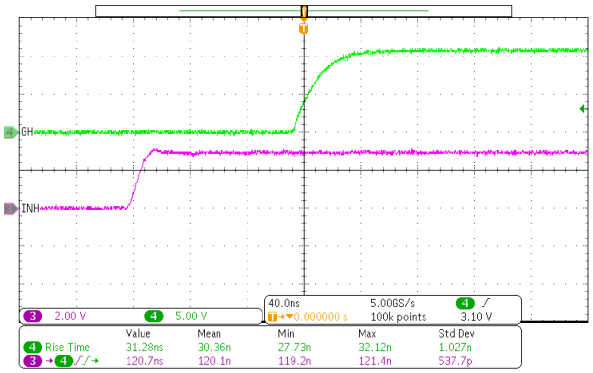
图 8-2 和图 8-3 分别显示了低侧驱动器和高侧驱动器的上升时间和导通传播延迟。同样，图 8-4 和图 8-5 显示了下降时间和关断传播延迟。每个通道（INH、INL、GH 和 GL）都进行了标记并显示在波形的左侧。

测试条件：负载电容为 1nF，栅极电阻为 4Ω，V_{DD} = 12V，f_{SW} = 50kHz。



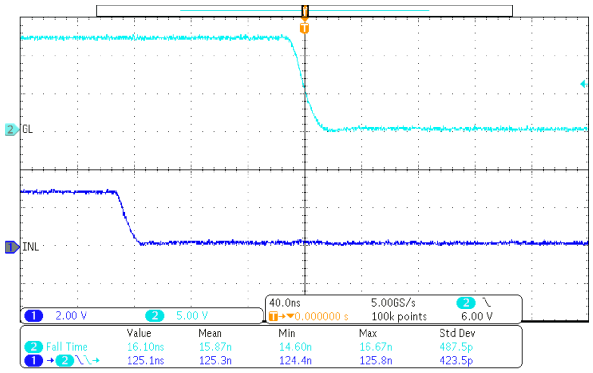
C_L = 1nF　R_G = 4Ω　V_{GVDD} = 12V　f_{SW} = 50kHz

图 8-2. GL 上升时间和 INL 至 GL 导通传播延迟



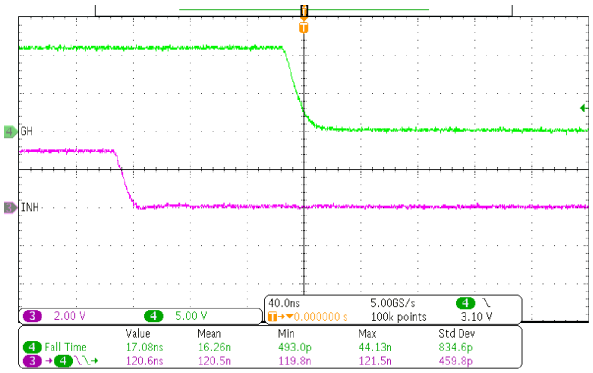
C_L = 1nF　R_G = 4Ω　V_{GVDD} = 12V　f_{SW} = 50kHz

图 8-3. GH 上升时间和 INH 至 GH 导通传播延迟



C_L = 1nF　R_G = 4Ω　V_{DD} = 12V　f_{SW} = 50kHz

图 8-4. GL 下降时间和 INL 至 GL 关断传播延迟



C_L = 1nF　R_G = 4Ω　V_{DD} = 12V　f_{SW} = 50kHz

图 8-5. GH 下降时间和 INH 至 GH 关断传播延迟

9 电源相关建议

LM2005 的建议辅助电源电压范围为 9V 至 18V。该范围的下限取决于 V_{GVDD} 电源电路块的内部欠压锁定 (UVLO) 保护功能。该范围的上限由 GVDD 引脚建议的最大额定电压 (18V) 决定。考虑到瞬态电压尖峰，建议 GVDD 引脚上的电压低于建议的最大电压。

UVLO 保护功能还涉及迟滞功能。这意味着，如果器件在正常模式下运行，即使 V_{GVDD} 电压下降，只要压降不超过迟滞规格 V_{DDHYS}，器件就会继续在正常模式下运行。如果压降超过迟滞规格，器件将关断。因此，在 9V 或接近此范围内运行时，辅助电源输出端的电压纹波必须小于 LM2005 的迟滞规格，以免触发器件关断。

必须在 GVDD 和 GND 引脚之间放置一个本地旁路电容器，并且该电容器必须尽可能靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 GVDD 和 GND 之间使用 2 个电容器：一个低电容陶瓷表面贴装电容器，非常靠近 GVDD 和 GND 引脚，用于高频滤波；一个高电容表面贴装电容器，旨在满足 IC 偏置要求。与此类似，GH 引脚提供的电流脉冲来自 BST 引脚。因此，建议在 BST 和 SH 引脚之间使用本地去耦电容器。

Copyright © 2023 Texas Instruments Incorporated

10 布局

10.1 布局指南

如果在电路板布局布线期间考虑不充分，就无法实现半桥栅极驱动器的卓越性能。强调了以下几点：

1. 应在 GVDD 和 GND 引脚之间以及 BST 和 SH 引脚之间靠近 IC 的位置连接低 ESR 和低 ESL 电容器，从而在外部 MOSFET 导通时支持 GVDD 和 BST 消耗的高峰值电流。
2. 为防止顶部 MOSFET 漏极出现大的电压瞬变，必须在 MOSFET 漏极和接地 (GND) 之间连接一个低 ESR 电解电容器和一个高质量陶瓷电容器。
3. 为避免开关节点 (SH) 引脚上出现大型负瞬变，必须尽可能减小顶部 MOSFET 源极和底部 MOSFET（同步整流器）漏极之间的寄生电感。
4. 接地注意事项：
   - 设计接地连接的首要任务是将 MOSFET 栅极充放电的高峰值电流限制在尽量小的物理区域。这样将会降低环路电感，并更大限度地减少 MOSFET 栅极端子上的噪声问题。栅极驱动器必须尽可能靠近 MOSFET 放置。
   - 第二个考虑因素是高电流路径，其中包括自举电容器、自举二极管、本地接地基准旁路电容器和低侧 MOSFET 体二极管。自举电容器由以接地为基准的 GVDD 旁路电容器通过自举二极管逐周期进行重新充电。重新充电发生在短时间隔内，需要高峰值电流。尽可能减小电路板上的环路长度和面积对于确保可靠运行至关重要。

10.2 布局示例

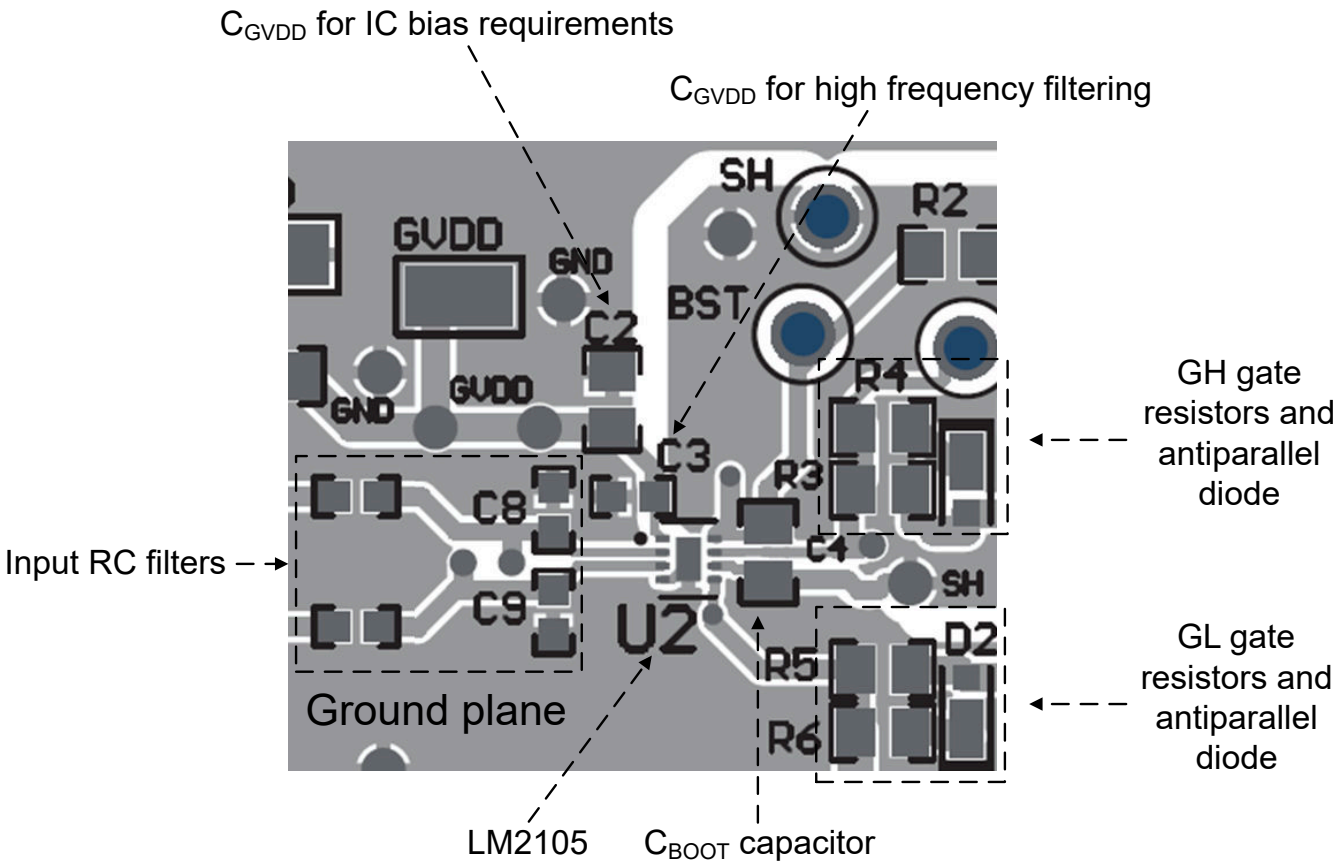


图 10-1. 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 文档支持

11.2.1 相关文档

请参阅以下相关文档：

- *半导体和 IC 封装热指标*，SPRA953

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM2005DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L2005D
LM2005DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L2005D
LM2005DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L005
LM2005DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L005

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

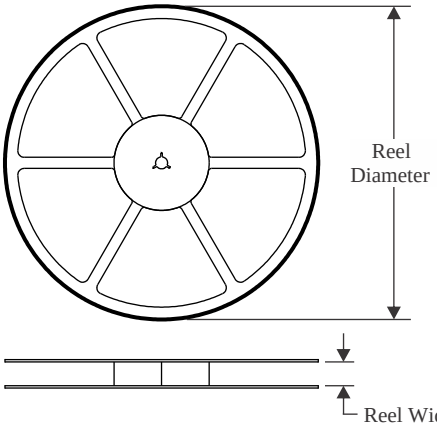
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

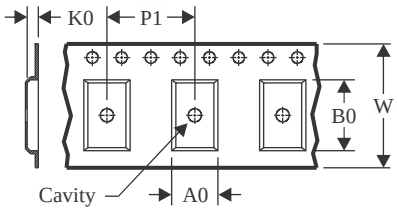
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

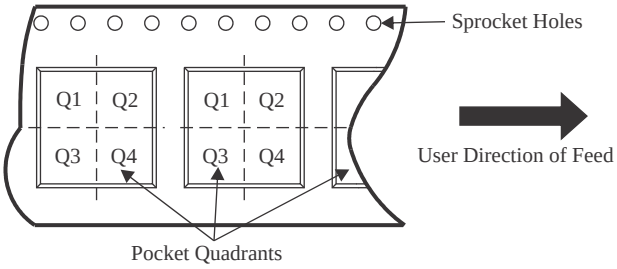


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

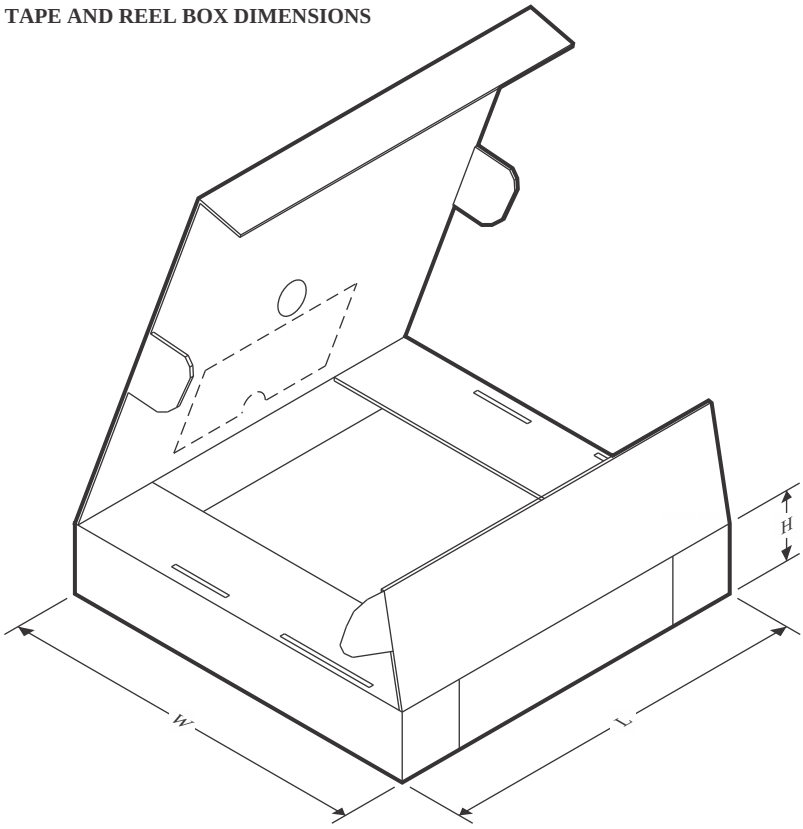
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

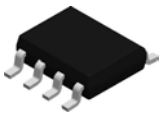
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM2005DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2005DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM2005DR	SOIC	D	8	3000	353.0	353.0	32.0
LM2005DSGR	WSON	DSG	8	3000	210.0	185.0	35.0

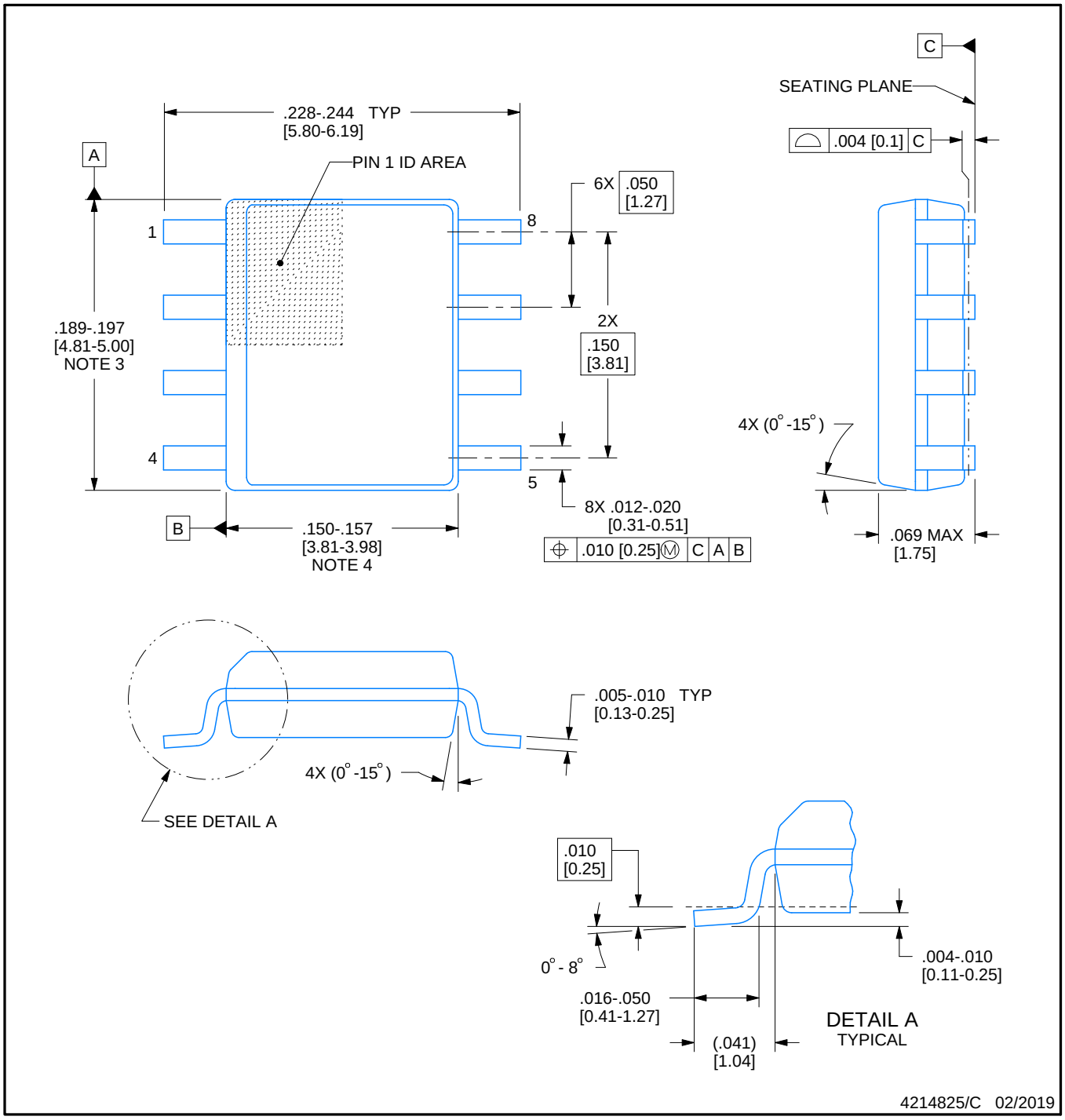


PACKAGE OUTLINE

D0008A

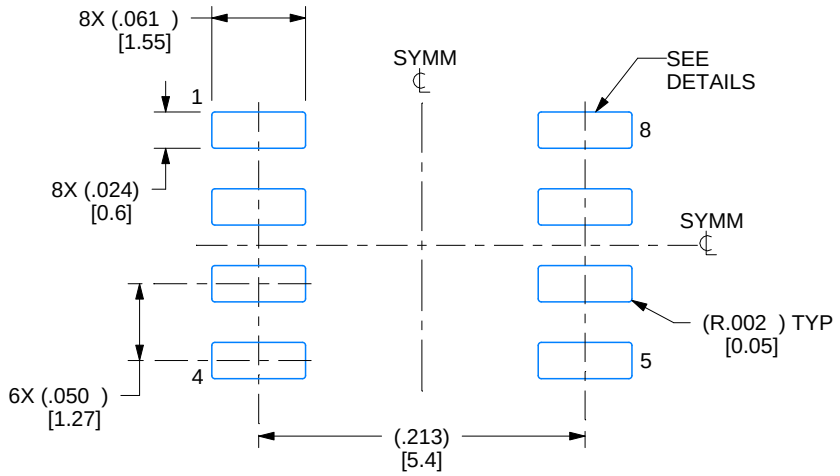
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

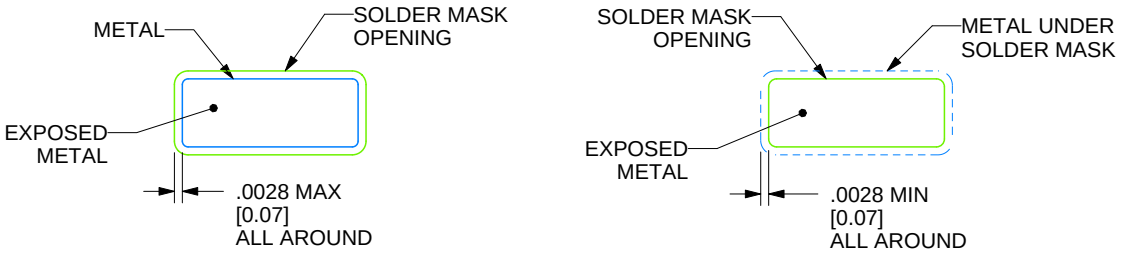


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

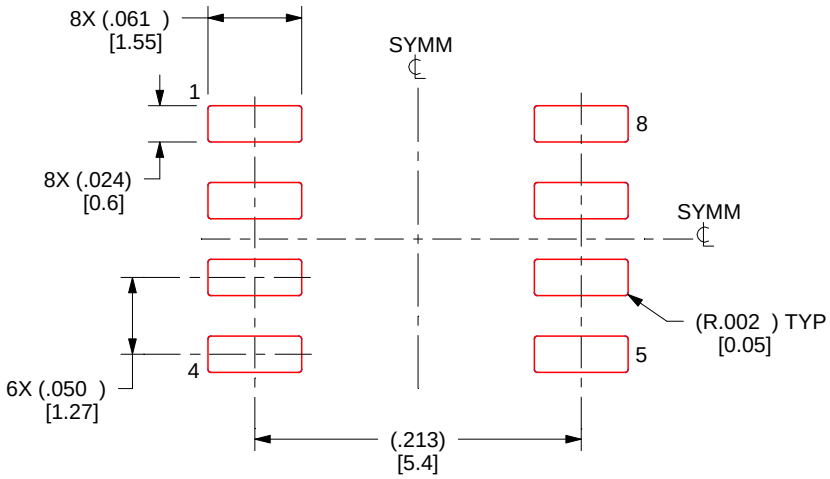


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

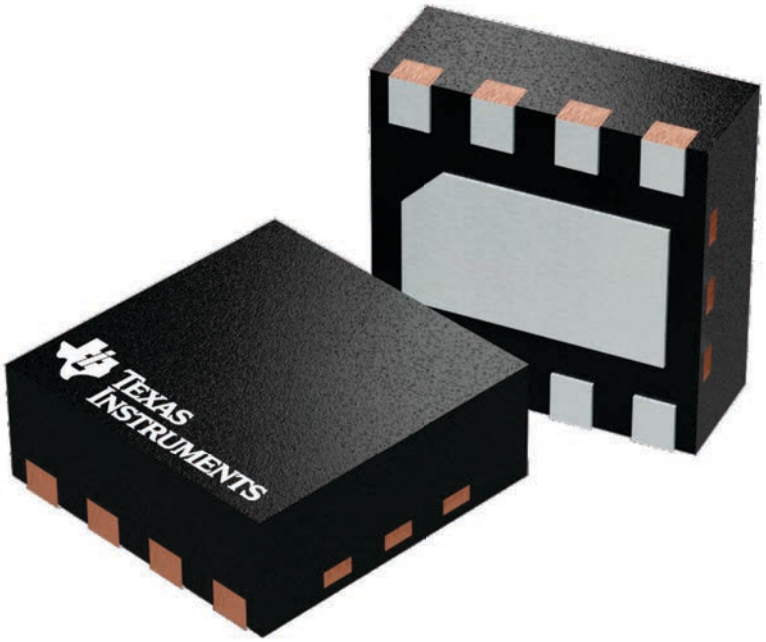
DSG 8

WSON - 0.8 mm max height

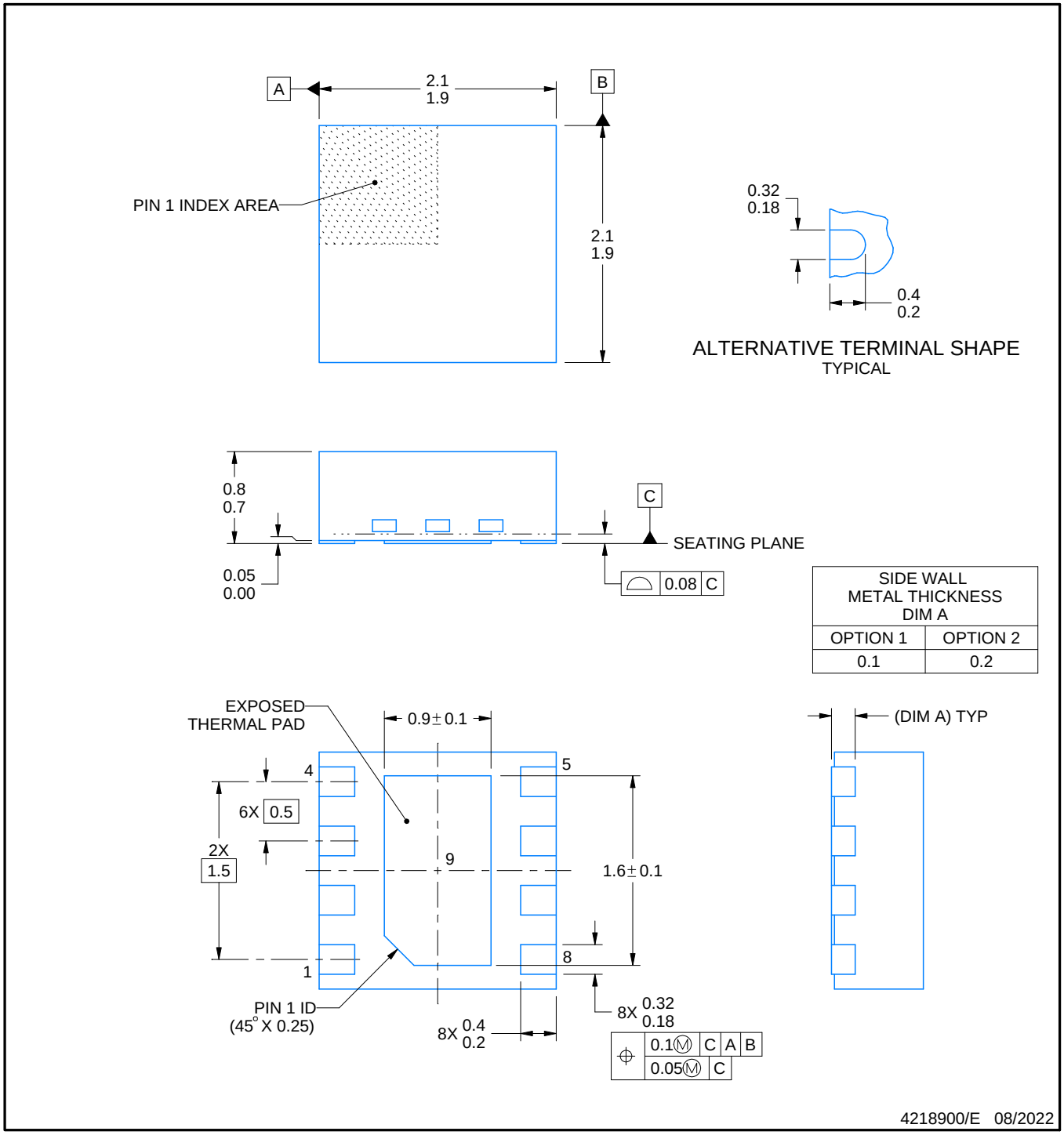
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

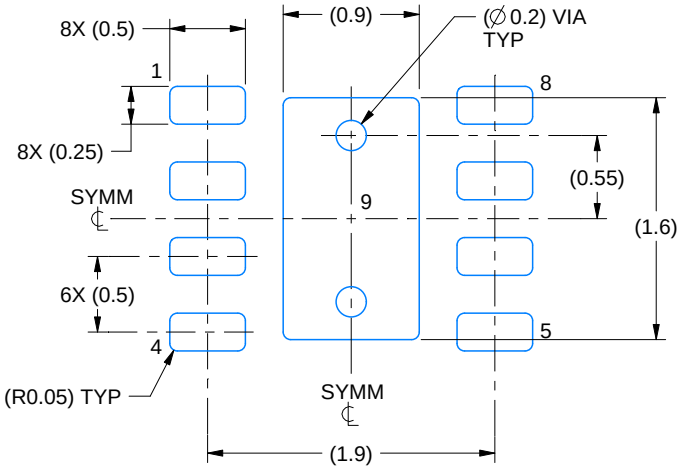


4224783/A

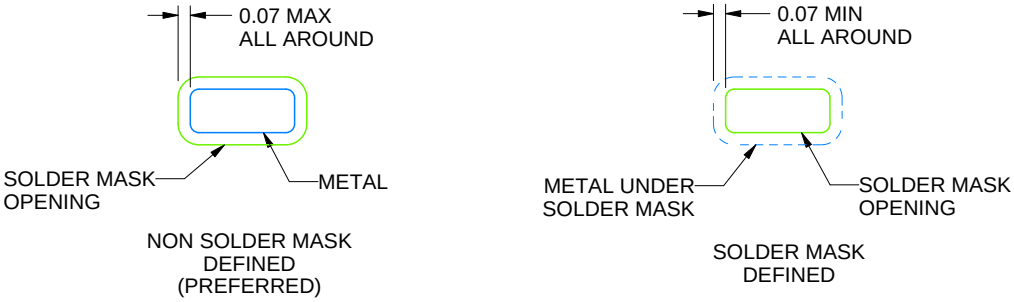


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

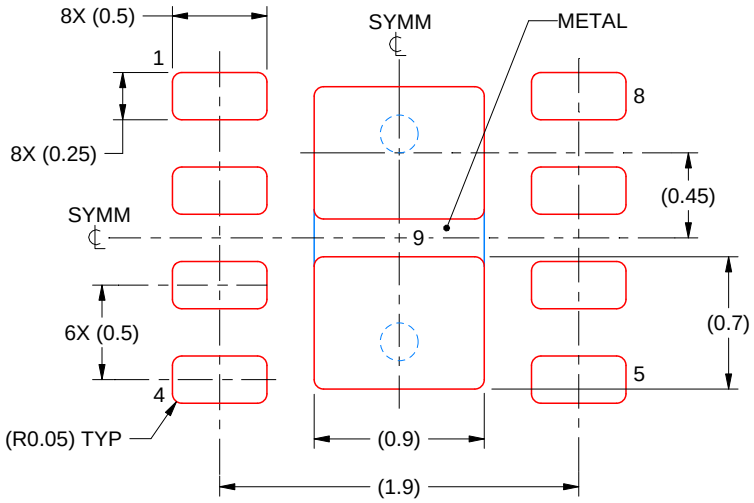


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月