

IWRL6432 WCSP 单芯片 57-64GHz 工业 雷达传感器

1 特性

- FMCW 收发器
 - 集成 PLL、发送器、接收器、基带和 ADC
 - 57GHz 至 64GHz 的覆盖范围，具有 7GHz 的连续带宽
 - 3 个接收通道和 2 个发送通道
 - 距离通常可达 25m
 - 每个 Tx 的输出功率典型值为 10dBm
 - 12dB 典型噪声系数
 - 1MHz 时的典型相位噪声为 -89dBc/Hz
 - FMCW 运行
 - 5MHz IF 带宽，仅实部 Rx 通道
 - 基于分数 N PLL 的超精确线性调频脉冲引擎
 - 每个发送器二进制移相器
- 处理元件
 - 具有单精度 FPU (160MHz) 的 Arm® M4F® 内核
 - 用于 FFT、对数幅度和 CFAR 运算 (80MHz) 的 TI 雷达硬件加速器 (HWA 1.2)
- 支持多个低功耗模式
 - 空闲模式和深度睡眠模式
- 电源管理
 - 1.8V 和 3.3V IO 支持
 - 内置 LDO 网络，可增强 PSRR
 - BOM 优化模式和低功耗模式
 - 一个或两个电源轨适用于 1.8V IO 模式，两个或三个电源轨适用于 3.3V IO 模式
- 内置校准
 - 内置固件 (ROM)
 - 片上自包含校准系统
- 主机接口
 - UART
 - CAN-FD
 - SPI
- 用于原始 ADC 样本采集的 RDIF (雷达数据接口)
- 为用户应用提供的其他接口
 - QSPI
 - I2C
 - JTAG
 - GPIO
 - PWM 接口
- 内部存储器
 - 1MB 片上 RAM
 - 用于雷达立方体的可配置 L3 共享存储器
 - (512/640/768KB) 的数据和代码 RAM
- 具有 11 x 11 BGA 球栅、111 个 BGA 焊球的 WCSP 封装；封装尺寸：4.89mm x 4.5mm
- 时钟源
 - 用于主时钟的 40.0MHz 晶体
 - 支持外部驱动、频率为 40.0MHz 的时钟 (方波/正弦波)
 - 用于低功耗运行的 32kHz 内部振荡器
- 支持工作温度范围
 - 工作结温范围：-40°C 至 105°C



2 应用

- PC/笔记本电脑
- 便携式电子产品
- 电视
- 平板电脑
- 耳机
- 智能手表
- 游戏
- 家庭影院和娱乐
- 自动门
- 运动检测器
- 占位检测/人员跟踪/人数统计
- 可视门铃
- IP 网络摄像头
- 恒温器
- 空调
- 冰箱和冷冻柜
- 扫地机器人
- 割草机

3 说明

IWRL6432W 毫米波传感器器件是一款基于 FMCW 雷达技术的集成式单芯片毫米波传感器。该器件能够在 57GHz 至 63.9GHz 频段内运行，主要分为四个电源域：

- **射频/模拟子系统**：该块包含发送和接收射频信号所需的所有射频和模拟元件。
- **前端控制子系统 (FECSS)**：FECSS 包含负责雷达前端配置、控制和校准的处理器。
- **应用子系统 (APPSS)**：在 APPSS 中，该器件实现了一个用户可编程的 ARM Cortex M4，允许自定义控制和汽车接口应用。顶部子系统 (TOPSS) 是 APPSS 电源域的一部分，包含时钟和电源管理子块。
- **硬件加速器 (HWA)**：HWA 块通过卸载通用雷达处理（例如 FFT、恒定误报率 (CFAR)、缩放和压缩）来对 APPSS 进行补充。

IWRL6432W 经过专门设计，可对上述每个电源域进行单独控制，因此可根据用例要求控制其状态（上电或断电）。该器件还具有运行各种低功耗状态（如睡眠和深度睡眠）的功能，其中低功耗睡眠模式是通过时钟门控和关闭器件的内部 IP 块来实现的。该器件还提供了保留器件某些内容的选项，例如在此类情况下保留的应用图像或射频配置文件。

此外，该器件采用 TI 的低功耗 45nm RF CMOS 工艺制造，以超小的外形尺寸实现了出色的集成度。IWRL6432W 专为工业（和个人电子产品）领域的低功耗、超精确雷达系统而设计，适用于楼宇/工厂自动化、商业/住宅安全、个人电子产品、存在/运动检测以及用于人机界面的手势检测/识别等应用

表 3-1. 封装信息

量产器件型号 ⁽¹⁾	封装	本体尺寸 ⁽²⁾	托盘/卷带包装	说明
IWRL6432BDQGYFFR	YFF (WCSP , 111)	4.89mm x 4.5mm	卷带包装	量产；启用深度睡眠；通用器件
IWRL6432BDQAYFFR	YFF (WCSP , 111)	4.89mm x 4.5mm	卷带包装	量产；启用深度睡眠；支持经身份验证的引导

(1) 有关更多信息，请参阅[器件命名规则](#)

(2) 有关更多信息，请参阅[机械、封装和可订购信息](#)

4 功能方框图

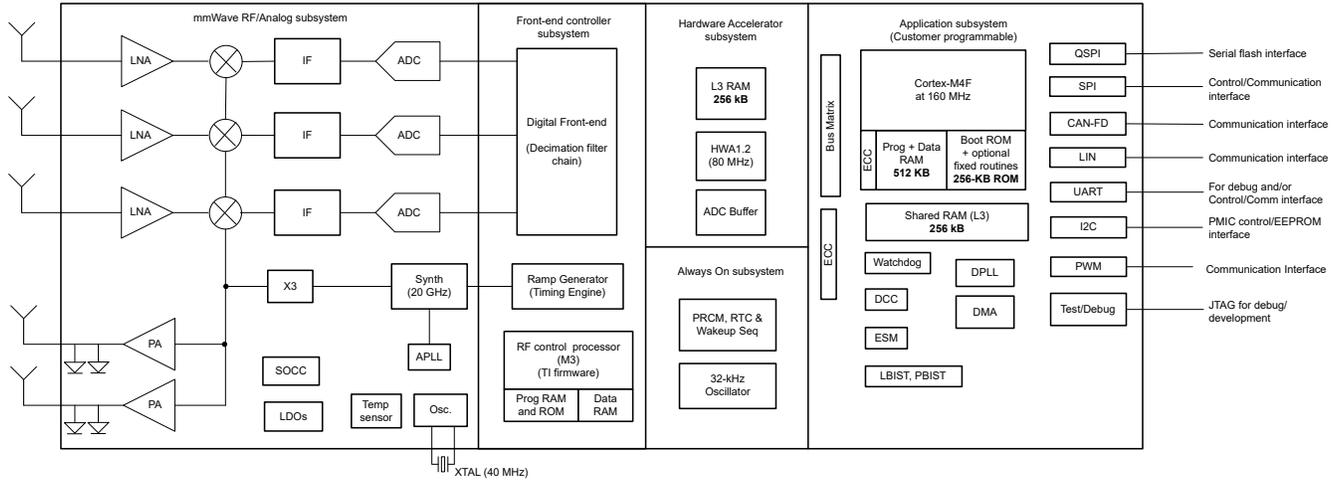


图 4-1. 功能方框图

内容

1 特性	1	7.12 热阻特性.....	32
2 应用	2	7.13 时序和开关特性.....	33
3 说明	2	8 详细说明	52
4 功能方框图	3	8.1 概述.....	52
5 器件比较	5	8.2 功能方框图.....	52
5.1 相关产品.....	7	8.3 子系统.....	53
6 终端配置和功能	8	8.4 其他子系统.....	58
6.1 引脚图.....	8	8.5 存储器分区示例.....	59
6.2 信号说明.....	9	8.6 引导模式.....	59
7 规格	19	9 应用、实施和布局	61
7.1 绝对最大额定值.....	19	9.1 应用信息.....	61
7.2 ESD 等级.....	19	10 器件和文档支持	62
7.3 上电小时数 (POH).....	19	10.1 器件命名规则.....	62
7.4 建议运行条件.....	20	10.2 工具与软件.....	64
7.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....	21	10.3 文档支持.....	64
7.6 电源规格.....	22	10.4 支持资源.....	64
7.7 节电模式.....	28	10.5 商标.....	64
7.8 每个电压轨的峰值电流要求.....	29	10.6 静电放电警告.....	64
7.9 射频规格.....	30	10.7 术语表.....	64
7.10 支持的 DFE 特性.....	31	11 修订历史记录	64
7.11 CPU 规格.....	32	12 机械、封装和可订购信息	65

5 器件比较

下表比较了雷达器件的特性。

表 5-1. 器件特性比较

功能	IWRL6432 WCSP	IWRL6432AOP	IWRL6432	IWR6843AOP ⁽¹⁾	IWR6843 ⁽¹⁾	IWR6443	IWRL1432
封装天线 (AOP)	-	是	-	是	-	-	-
接收器数量	3	3	3	4	4	4	3
发送器数量	2	2	2	3 ⁽²⁾	3 ⁽²⁾	3 ⁽²⁾	2
RF 频率范围	57GHz 至 64GHz	57GHz 至 64GHz	57GHz 至 64GHz	60 至 64 GHz	60 至 64 GHz	60 至 64GHz	76GHz 至 81GHz
片上存储器	1MB	1MB	1MB	1.75MB	1.75MB	1.4MB	1MB
最大 I/F (中频) (MHz)	5	5	5	10	10	10	5
最大实数采样率 (Msps)	12.5	12.5	12.5	25	25	25	12.5
最大复数采样率 (Msps)	-	-	-	12.5	12.5	12.5	-
安全与安防							
符合功能安全标准	-	-	以 SIL-2 级为目标 ⁽³⁾	SIL-2	SIL-2	-	以 SIL-2 级为目标 ⁽³⁾
器件安全性 ⁽⁴⁾	-	-	-	是	是	是	-
处理器							
MCU	M4F	M4F	M4F	R4F	R4F	R4F	M4F
DSP	-	-	-	C674x	C674x	-	-
HWA	是	是	是	是	是	是	是
外设							
串行外设接口 (SPI) 端口	2	2	2	2	2	2	2
四线串行外设接口 (QSPI)	是	是	是	是	是	是	是
内部集成电路 (I ² C) 接口	1	1	1	1	1	1	1
控制器局域网 (DCAN) 接口	-	-	-	-	-	-	-
控制器局域网 (CAN-FD) 接口	是	是	是	是	是	是	是
迹线	-	-	-	是	是	-	-

表 5-1. 器件特性比较 (续)

功能	IWRL6432 WCSP	IWRL6432AOP	IWRL6432	IWR6843AOP ⁽¹⁾	IWR6843 ⁽¹⁾	IWR6443	IWRL1432
PWM	是	是	是	是	是	是	是
DMM 接口	-	-	-	是	是	是	-
硬件在环 (HIL/DMM)	-	-	-	是	是	是	-
GPADC	是	是	是	是	是	是	是
ADC 原始数据采集	RDIF	RDIF	RDIF	LVDS	LVDS	LVDS	RDIF
UART	2	2	2	2	2	2	2
1V 旁路模式	不适用	不适用	不适用	是	是	是	不适用
JTAG	是	是	是	是	是	是	是
可以同时使用的 TX 数量	2	1	2	3	3	3	2
每个线性调频脉冲可配置 Tx 移相器	仅限 BPM	-	仅限 BPM	是 ⁽⁵⁾	是 ⁽⁵⁾	是 ⁽⁵⁾	仅限 BPM
封装类型	WCSP	表面贴装元件下方	FCCSP	表面贴装元件下方	FCCSP	FCCSP	FCCSP
产品预发布 (PP)、预告信息 (AI) 或量产数据 (PD)	PD ⁽⁶⁾	AI	PD ⁽⁶⁾	PD ⁽⁶⁾	PD ⁽⁶⁾	PD ⁽⁶⁾	PD ⁽⁶⁾

- (1) 该器件专为功能安全应用而开发，支持高达 SIL-2 的硬件完整性。更多详细信息，请参阅相关文档。这些器件还提供非功能安全型号。
- (2) 仅在 1V LDO 旁路和 PA LDO 禁用模式下，才在适用器件上支持 3 个 Tx 同时操作。在这种模式下，需要在 V_{OUT PA} 引脚上提供 1V 电源。
- (3) 由于认证可以在不同时间获得安全认证并发布证书，因此目标将仅在相关数据表中从“以合规为目标”更新为“合规”，请参阅相应的数据表以了解最新的合规状态。
- (4) 器件安全特性（包括安全启动和客户可编程密钥）仅适用于如第 3 节“器件信息表”中的器件类型标识符所示的部分器件型号变体。
- (5) 6 位线性移相器。
- (6) 产品数据信息为发布时的信息。产品符合按照德州仪器 (TI) 标准保修证书条款所制定的规范。

5.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅下面的链接。

毫米波传感器

TI 毫米波传感器产品系列可快速准确地检测距离、角度和速度，功耗更低，尺寸超小，适用于工业应用。

毫米波 IWR

德州仪器 (TI) IWRxxxx 系列毫米波传感器高度集成，并基于在 57GHz 至 64GHz 频带内运行的 RFCMOS 技术构建。这些器件具有用于精确和线性调频脉冲合成的闭环 PLL。这些器件外形小巧、功耗低且高度精确。可使用这些器件实现短距离到超短距离的工业应用。

IWRL6432WCSP 配套产品

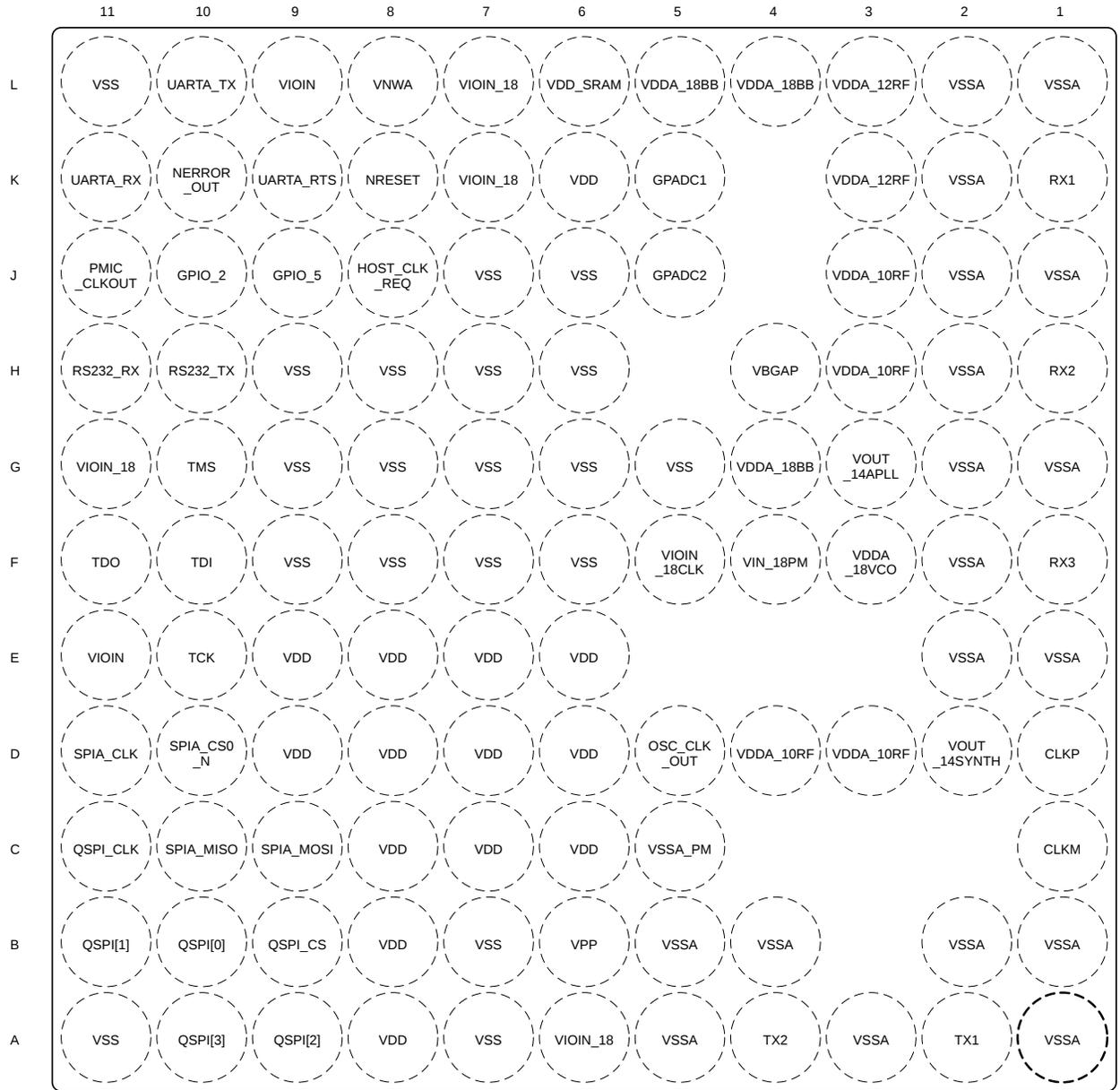
查看与此产品类似的产品。

IWRL6432WCSP 的参考设计

IWRL6432W TI Designs 参考设计库是一个涵盖模拟、嵌入式处理器和连接的强大参考设计资源库。所有 TI Designs 均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。在 ti.com/reference-designs 中搜索并下载参考设计。

6 终端配置和功能

6.1 引脚图



Not to scale

图 6-1. AWCSIP 引脚图 (顶视图)

6.2 信号说明

备注

器件的所有数字 IO 引脚 (NRESET 除外) 都是非失效防护的; 因此, 需要注意的是, 如果器件没有 VIO 电源, 则不能从外部驱动这些引脚。

表 6-1. 模拟信号说明

信号名称	说明	引脚类型	WCSP 引脚
CLKM	XTAL CLKM 引脚	A	C1
CLKP	XTAL CLKP 引脚	A	D1
GPADC1	GPADC 输入 1	A	K5
GPADC2	GPADC 输入 2	A	J5
NRESET	NRESET 输入	A	K8
OSC_CLK_OUT	振荡器时钟输出	A	D5
RX1	RX 通道 1	A	K1
RX2	RX 通道 2	A	H1
RX3	RX 通道 3	A	F1
TX1	TX 通道 1	A	A2
TX2	TX 通道 2	A	A4
VBGAP	带隙基准引脚	A	H4

表 6-2. CAN 信号说明

信号名称	说明	引脚类型	WCSP 引脚
CAN_FD_RX	CAN 接收数据	I	K11
CAN_FD_TX	CAN 发送数据	O	L10

表 6-3. 时钟信号说明

信号名称	说明	引脚类型	WCSP 引脚
MCU_CLKOUT	MCU 时钟输出	O	J8、K10
PMIC_CLKOUT	PMIC 时钟输出。 这也用作电源检测线。会影响引导模式 SOP1。	O	J11
RTC_CLK_IN	RTC 时钟输入 这用作退出深度睡眠状态的唤醒源。有关更多详细信息, 请参阅 技术参考手册 。	I	B11、G10、J10、K10、K9

表 6-4. EPWM 信号说明

信号名称	说明	引脚类型	WCSP 引脚
EPWMA	EPWM 输出 A	O	C10、D10、F10、K9
EPWMB	EPWM 输出 B	O	C9、D11、E10、J9
EPWM_SYNC_IN	EPWM 同步输入	I	G10、H10、J9
EPWM_SYNC_OUT	EPWM 同步输出	O	G10

表 6-5. GPIO 信号说明

信号名称	说明	引脚类型	WCSP 引脚
GPIO_0	通用输入/输出	IO	C9
GPIO_1	通用输入/输出	IO	C10

表 6-5. GPIO 信号说明 (续)

信号名称	说明	引脚类型	WCSP 引脚
GPIO_2	通用输入/输出	IO	J10
GPIO_3	通用输入/输出	IO	K11
GPIO_4	通用输入/输出	IO	K10
GPIO_5	通用输入/输出	IO	J9
GPIO_6	通用输入/输出	IO	K9
GPIO_7	通用输入/输出	IO	J8

表 6-6. I2C 信号说明

信号名称	说明	引脚类型	WCSP 引脚
I2C_SCL	I2C 时钟	IO	A9、D11、H10、J8、L10
I2C_SDA	I2C 数据	IO	A10、D10、H11、J10、K11

表 6-7. JTAG 信号说明

信号名称	说明	引脚类型	WCSP 引脚
TCK	JTAG 测试时钟输入	I	E10
TDI	JTAG 测试数据输入	I	F10
TDO	JTAG 测试数据输出。 还可以用作通电检测 [复位] 线路来影响引导模式 SOP0。	O	F11
TMS	JTAG 测试模式选择输入	I	G10

表 6-8. LIN 信号说明

信号名称	说明	引脚类型	WCSP 引脚
LIN_RX	LIN 接收数据	I	H11、J10、J9、K11
LIN_TX	LIN 发送数据	O	H10、J11、J8、K9、L10

表 6-9. RDIF 信号说明

信号名称	说明	引脚类型	WCSP 引脚
RDIF_CLK	RDIF 时钟	O	C11、D11、K9
RDIF_D0	RDIF 数据 0	O	B10、E10、J10
RDIF_D1	RDIF 数据 1	O	A9、C9、H10、K11
RDIF_D2	RDIF 数据 2	O	A10、C10、H11、L10
RDIF_D3	RDIF 数据 3	O	B11、D10、J8、J9、K10
RDIF_FRM_CLK	RDIF 帧时钟	O	B9、F11、J11、J8

表 6-10. 电源信号说明

信号名称	说明	引脚类型	WCSP 引脚
VDD	1.2V 内核电源	PWR	A8、B8、C6、C7、C8、D6、D7、D8、D9、E6、E7、E8、E9、K6

表 6-10. 电源信号说明 (续)

信号名称	说明	引脚类型	WCSP 引脚
VDDA_10RF	1.0V RF 电源 (焊球间的布线电阻应小于 15mOhm)	PWR	D3、D4、H3、J3
VDDA_12RF	1.2V 射频电源	PWR	K3、L3
VDDA_18BB	1.8V 模拟电源	PWR	G4、L4、L5
VDDA_18VCO	1.8V 模拟电源	PWR	F3
VDD_SRAM	1.2V SRAM 电源	PWR	L6
VIN_18PM	1.8V 内核电源	PWR	F4
VIOIN	1.8V 模拟电源	PWR	E11、L9
VIOIN_18	1.8V 模拟电源	PWR	A6、G11、K7、L7
VIOIN_18CLK	1.8V 模拟电源	PWR	F5
VNWA	1.2V VNWA 电源	PWR	L8
VOUT_14APLL	1.4V 模拟电容器 (内部 LDO o/p。在这个引脚上需要外部电容器)	PWR	G3
VOUT_14SYNTH	1.4V 模拟电容器 (内部 LDO o/p。在这个引脚上需要外部电容器)	PWR	D2
VPP	1.8V VPP 电源	PWR	B6
VSS	接地	GND	A11、A7、B7、F6、 F7、F8、F9、G5、 G6、G7、G8、G9、 H6、H7、H8、H9、 J6、J7、L11
VSSA	接地	GND	A1、A3、A5、B1、 B2、B4、B5、E1、 E2、F2、G1、G2、 H2、J1、J2、K2、 L1、L2
VSSA_PM	接地	GND	C5

表 6-11. QSPI 信号说明

信号名称	说明	引脚类型	WCSP 引脚
QSPI_D0	QSPI 数据位 0	IO	B10
QSPI_D1	QSPI 数据位 1	I	B11
QSPI_D2	QSPI 数据位 2	I	A9
QSPI_D3	QSPI 数据位 3	I	A10
QSPI_SCLK	QSPI 时钟	IO	C11
QSPI_CS	QSPI 芯片选择	O	B9

表 6-12. RS232 调试信号说明

信号名称	说明	引脚类型	WCSP 引脚
RS232_RX	调试 UART (作为总线主器件运行) — 接收信号	I	H11
RS232_TX	调试 UART (作为总线主器件运行) — 发送信号	O	H10

表 6-13. SPIA 信号说明

信号名称	说明	引脚类型	WCSP 引脚
SPIA_CLK	SPIA 时钟	IO	D11

表 6-13. SPIA 信号说明 (续)

信号名称	说明	引脚类型	WCSP 引脚
SPIA_CS0_N	SPIA 片选 0	IO	D10
SPIA_MISO	SPIA MISO	IO	C10
SPIA_MOSI	SPIA MOSI	IO	C9

表 6-14. SPIB 信号说明

信号名称	说明	引脚类型	WCSP 引脚
SPIB_CLK	SPIB 时钟	IO	C11、D11、G10、K9
SPIB_CS0_N	SPIB 片选 0	IO	B9、D10、F10、K10
SPIB_MISO	SPIB MISO	IO	B11、C10、G10、H11、J8
SPIB_MOSI	SPIB MOSI	IO	B10、C9、E10、L10

表 6-15. 系统信号说明

信号名称	说明	引脚类型	WCSP 引脚
HOST_CLK_REQ	主机时钟请求输出	O	J8
NERROR_OUT	NERROR 输出信号	O	K10
SYNC_IN	同步输入	I	A10、G10、J9、K10、K11
WARM_RESET_OUT	热复位输出	O	G10、J10、
WU_REQIN	唤醒请求输入	I	A9、J10、J8、K10、K9、L10

表 6-16. UARTA 信号说明

信号名称	说明	引脚类型	WCSP 引脚
UARTA_RTS	UARTA RTS 输出	O	K9
UARTA_RX	UARTA 接收数据	I	K11
UARTA_TX	UARTA 发送数据	O	L10

表 6-17. UARTB 信号说明

信号名称	说明	引脚类型	WCSP 引脚
UARTB_RX	UARTB 接收数据	I	H11、K11
UARTB_TX	UARTB 发送数据	O	H10、L10

表 6-18. 引脚多路复用表

WCSP 焊球编号 (1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PIN CNTL 寄存器地址 (5)	模式(6)	类型(7)	POWER	上拉/下拉类型 (8)	复位期间的 焊球状态(9)	复位后的焊 球状态(10)
J10	GPIO_2	GPIO_2	PADAL_CFG_REG	0x5A00 002C	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		LIN_RX			1	I				
		WARM_RESET_OUT			2	O				
		I2C_SDA			3	IO				
		SPIA_CS1_N			4	IO				
		WU_REQIN			5	I				
		RTC_CLK_IN			6	I				
		MDO_D0			7	O				
J9	GPIO_5	GPIO_5	PADAV_CFG_REG	0x5A00 0054	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		SYNC_IN			1	I				
		LIN_RX			2	I				
		EPWMB			3	O				
		EPWM_SYNC_IN			4	I				
		MDO_D3			5	O				
J8	HOST_CLK_REQ	HOST_CLK_REQ	PADAX_CFG_REG	0x5A00 005C	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/SS/关 闭
		GPIO_7			1	IO				
		MCU_CLKOUT			2	O				
		LIN_TX			3	O				
		WU_REQIN			4	I				
		SPIB_MISO			5	IO				
		I2C_SCL			6	IO				
		MDO_D3			8	O				
		MDO_FRM_CLK			9	O				
		K10			NERROR_OUT	NERROR_OUT				
GPIO_4	1		IO							
SYNC_IN	2		I							
SPIB_CS0_N	3		IO							
WU_REQIN	4		I							
RTC_CLK_IN	5		I							
MCU_CLKOUT	6		O							
MDO_D3	7		O							
PA_BLANK	9		I							

表 6-18. 引脚多路复用表 (续)

WCSP 焊球编号 (1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PIN CNTL 寄存器地址 (5)	模式(6)	类型(7)	POWER	上拉/下拉类 型(8)	复位期间的 焊球状态(9)	复位后的焊 球状态(10)
J11	PMIC_CLKOUT	PMIC_CLKOUT	PADAK_CFG_REG	0x5A00 0028	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		LIN_TX			1	O				
		SPIA_CS1_N			2	IO				
		MDO_FRM_CLK			3	O				
B10	QSPI[0]	QSPI[0]	PADAC_CFG_REG	0x5A00 0008	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		SPIB_MOSI			1	IO				
		MDO_D0			2	O				
B11	QSPI[1]	QSPI[1]	PADAD_CFG_REG	0x5A00 000C	0	I	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		SPIB_MISO			1	IO				
		RTC_CLK_IN			2	I				
		MDO_D3			3	O				
A9	QSPI[2]	QSPI[2]	PADAE_CFG_REG	0x5A00 0010	0	I	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		I2C_SCL			1	IO				
		WU_REQIN			2	I				
		MDO_D1			3	O				
A10	QSPI[3]	QSPI[3]	PADAF_CFG_REG	0x5A00 0014	0	I	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		I2C_SDA			1	IO				
		SYNC_IN			2	I				
		MDO_D2			3	O				
C11	QSPI_CLK	QSPI_CLK	PADAA_CFG_REG	0x5A00 0000	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		SPIB_CLK			1	IO				
		MDO_CLK			2	O				
B9	QSPI_CS	QSPI_CS	PADAB_CFG_REG	0x5A00 0004	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		SPIB_CS0_N			1	IO				
		MDO_FRM_CLK			2	O				
H11	RS232_RX	RS232_RX	PADAP_CFG_REG	0x5A00 003C	0	I	vddshv	PU/PD	关闭/关闭/上 拉	关闭/关闭/上 拉
		I2C_SDA			1	IO				
		UARTB_RX			2	I				
		LIN_RX			3	I				
		MDO_D2			4	O				
		SPIB_MISO			5	IO				

表 6-18. 引脚多路复用表 (续)

WCSP 焊球编号 (1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PIN CNTL 寄存器地址 (5)	模式(6)	类型(7)	POWER	上拉/下拉类型 (8)	复位期间的 焊球状态(9)	复位后的焊 球状态(10)
H10	RS232_TX	RS232_TX	PADA0_CFG_REG	0x5A00 0038	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		I2C_SCL			1	IO				
		UARTB_TX			2	O				
		LIN_TX			3	O				
		EPWM_SYNC_IN			4	I				
		MDO_D1			5	O				
		SPIB_CS1_N			6	IO				
D11	SPIA_CLK	SPIA_CLK	PADAG_CFG_REG	0x5A00 0018	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		EPWMB			1	O				
		I2C_SCL			2	IO				
		SPIB_CLK			3	IO				
		MDO_CLK			4	O				
D10	SPIA_CS0_N	SPIA_CS0_N	PADAH_CFG_REG	0x5A00 001C	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		EPWMA			1	O				
		I2C_SDA			2	IO				
		SPIB_CS0_N			3	IO				
		MDO_D3			4	O				
C10	SPIA_MISO	SPIA_MISO	PADAJ_CFG_REG	0x5A00 0024	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		GPIO_1			1	IO				
		EPWMA			2	O				
		SPIB_MISO			3	IO				
		MDO_D2			4	O				
C9	SPIA_MOSI	SPIA_MOSI	PADAI_CFG_REG	0x5A00 0020	0	IO	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		GPIO_0			1	IO				
		EPWMB			2	O				
		SPIB_MOSI			3	IO				
		MDO_D1			4	O				
E10	TCK	TCK	PADAT_CFG_REG	0x5A00 004C	0	I	vddshv	PU/PD	关闭/关闭/下 拉	关闭/关闭/下 拉
		EPWMB			1	O				
		SPIB_CS1_N			2	IO				
		SPIB_MOSI			3	IO				
		MDO_D0			4	O				

表 6-18. 引脚多路复用表 (续)

WCSP 焊球编号 (1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PIN CNTL 寄存器地址 (5)	模式(6)	类型(7)	POWER	上拉/下拉类 型(8)	复位期间的 焊球状态(9)	复位后的焊 球状态(10)
F10	TDI	TDI	PADAR_CFG_REG	0x5A00 0044	0	I	vddshv	PU/PD	关闭/关闭/下 拉	关闭/关闭/下 拉
		EPWMA			1	O				
		SPIB_CS0_N			2	IO				
F11	TDO	TDO	PADAS_CFG_REG	0x5A00 0048	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		MDO_FRM_CLK			1	O				
G10	TMS	TMS	PADAQ_CFG_REG	0x5A00 0040	0	I	vddshv	PU/PD	关闭/关闭/上 拉	关闭/关闭/上 拉
		WARM_RESET_OUT			1	O				
		SPIA_CS1_N			2	IO				
		SYNC_IN			3	I				
		SPIB_MISO			4	IO				
		SPIB_CLK			5	IO				
		RTC_CLK_IN			6	I				
		EPWM_SYNC_IN			7	I				
		EPWM_SYNC_OUT			8	O				
K9	UARTA_RTS	UART_RTS	PAD_CFG_REG	0x5A00 0058	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		GPIO_6			1	IO				
		LIN_TX			2	O				
		SPIB_CLK			3	IO				
		WU_REQIN			4	I				
		EPWMA			5	O				
		RTC_CLK_IN			6	I				
		MDO_CLK			7	O				
		PA_BLANK			9	I				
K11	UARTA_RX	UARTA_RX	PADAM_CFG_REG	0x5A00 0030	0	I	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		GPIO_3			1	IO				
		LIN_RX			2	I				
		CAN_FD_RX			3	I				
		SYNC_IN			4	I				
		UARTB_RX			5	I				
		I2C_SDA			6	IO				
		MDO_D1			7	O				

表 6-18. 引脚多路复用表 (续)

WCSP 焊球编号 (1)	焊球名称(2)	信号名称(3)	PINCNTL 寄存器(4)	PIN CNTL 寄存器地址 (5)	模式(6)	类型(7)	POWER	上拉/下拉类型 (8)	复位期间的 焊球状态(9)	复位后的焊 球状态(10)
L10	UARTA_TX	UARTA_TX	PADAN_CFG_REG	0x5A00 0034	0	O	vddshv	PU/PD	关闭/关闭/关 闭	关闭/关闭/关 闭
		LIN_TX			1	O				
		CAN_FC_TX			2	O				
		SPIB_MOSI			3	IO				
		WU_REQIN			4	I				
		UARTB_TX			5	O				
		I2C_SCL			6	IO				
		MDO_D2			7	O				

- (1) **焊球编号**：底面的焊球编号与底部的每个信号相关联。
- (2) **焊球名称**：来自封装器件的机械名称 (名称取自多路复用模式 0)。
- (3) **信号名称**：每个焊球上复用信号的名称 (另请注意，焊球的名称是复用模式 0 中的信号名称)。
- (4) **PINCNTL 寄存器**：PinMux 控制的 APPSS 寄存器名称
- (5) **PINCNTL 地址**：PinMux 控制的 APPSS 地址
- (6) **模式**：多路复用模式编号；写入 PinMux Cntl 寄存器的值，用于为该焊球编号选择特定的信号名称。模式列具有位范围值。
- (7) **类型**：信号类型和方向：
- I = 输入
 - O = 输出
 - IO = 输入或输出
- (8) **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
- 上拉：内部上拉电阻
 - 下拉：内部下拉电阻
 - 空框表示无上拉/下拉电阻。
- (9) **复位期间的焊球状态**：复位期间的焊球状态，格式为 RX/TX/PULL 状态
- RX (输入缓冲器)
 - 关闭：输入缓冲器被**禁用**。
 - 亮：输入缓冲器被**启用**。
 - TX (输出缓冲器)
 - 关闭：输出缓冲器被**禁用**。
 - 低电平：输出缓冲器被**启用**并驱动 V_{OL} 。
 - 拉动状态 (内部拉动电阻器)
 - 关闭：内部拉电阻器被**关闭**。
 - 上拉：内部**上拉**电阻器被开启。
 - 下拉：内部**下拉**电阻器被开启。
 - 不适用：无内部拉电阻器。

- 空框或“-”表示不适用。
- (10) **复位后的焊球状态**：复位后的焊球状态，格式为 RX/TX/PULL 状态
- RX (输入缓冲器)
 - 关闭：输入缓冲器被**禁用**。
 - 亮：输入缓冲器被**启用**。
 - TX (输出缓冲器)
 - 关闭：输出缓冲器被**禁用**。
 - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
 - 拉动状态 (内部拉动电阻器)
 - 关闭：内部拉电阻器被**关闭**。
 - 上拉：内部**上拉电阻器**被开启。
 - 下拉：内部**下拉电阻器**被开启。
 - 不适用：无内部拉电阻器。
 - 空框、不适用或“-”表示不适用。

7 规格

7.1 绝对最大额定值

参数 ^{(1) (2)}		最小值	最大值	单位
VDD	1.2V 数字电源	-0.5	1.4	V
VIOIN	I/O 电源 (3.3V 或 1.8 V) : 所有 CMOS I/O 均在相同的 VIOIN 电压电平上运行	-0.5	3.8	V
VIOIN_18	用于 CMOS IO 的 1.8V 电源	-0.5	2	V
VIN_18CLK	用于时钟模块的 1.8V 电源	-0.5	2	V
VIN_18BB	1.8V 模拟基带电源	-0.5	2	V
VIN_18VCO 电源	1.8V 射频 VCO 电源	-0.5	2	V
VPP	保险丝链的电压电源	-0.5	2	V
RX1-3	射频输入端上的外部施加电源		10	dBm
TX1-2	射频输出端上的外部施加电源 ⁽³⁾		10	dBm
输入和输出电压范围	双电压 LVCMOS 输入, 3.3V 或 1.8V (稳态)	-0.3V	VIOIN + 0.3	V
	双电压 LVCMOS 输入, 在 3.3V/1.8V (瞬态过冲/下冲) 条件下运行, 或外部振荡器输入	VIOIN + 20%, 高达信号周期的 20%		
CLKP、CLKM	参考晶振输入端口	-0.5	2	V
钳位电流	输入或输出电压高于或低于各自电源轨 0.3V。限制流经 I/O 内部二极管保护单元的钳位电流。	-20	20	mA
T _J	工作结温范围	-40	105	°C
T _{STG}	焊接到 PC 板上后的贮存温度范围	-55	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除非另有说明, 所有电压值均相对于 V_{SS}。
- (3) 此值用于 TX 上外部施加的信号电平。此外, 可以在 TX 输出端上应用高达伽马 = 1 的反射系数。

7.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/ JEDEC JS-002 标准 ⁽²⁾	±500	
			±750	

- (1) JEDEC 文档 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产
- (2) JEDEC 文档 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产

7.3 上电小时数 (POH)

结温 (T _J) ⁽¹⁾	运行条件	标称 CVDD 电压 (V)	上电小时数 [POH] (小时)
105°C T _J	50% 射频占空比	1.2	100,000

1. 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

7.4 建议运行条件

		最小值	标称值	最大值	单位
VDD	1.2V 数字电源	1.14	1.2	1.26	V
VIOIN	I/O 电源 (3.3V 或 1.8V) : 所有 CMOS I/O 都可以在此电源上运行。	3.135	3.3	3.465	V
VIOIN_18	用于 CMOS IO 的 1.8V 电源	1.71	1.8	1.89	V
VIN_18CLK	用于时钟模块的 1.8V 电源	1.71	1.8	1.89	V
VIN18BB	1.8V 模拟基带电源	1.71	1.8	1.89	V
VIN_18VCO	1.8V 射频 VCO 电源	1.71	1.8	1.89	V
V _{IH}	电压输入高电平 (1.8V 模式)	1.17			V
	电压输入高电平 (3.3V 模式)	2.25			
V _{IL}	电压输入低电平 (1.8V 模式)			0.3*VIOIN	V
	电压输入低电平 (3.3V 模式)			0.62	
V _{OH}	高电平输出阈值 (I _{OH} = 6mA)	VIOIN - 450			mV
V _{OL}	低电平输出阈值 (I _{OL} = 6mA)				450 mV
NRESET SOP[1:0]	V _{IL} (1.8V 模式)			0.2	V
	V _{IH} (1.8V 模式)	0.96			
	V _{IL} (3.3V 模式)			0.3	
	V _{IH} (3.3V 模式)	1.57			

7.5 一次性可编程 (OTP) 电子保险丝的 VPP 规格

该小节规定了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于经过身份验证的启动器件。在电子保险丝中写入客户特定密钥或其他字段（例如软件版本）的过程中，用户需要提供 VPP 电源。

7.5.1 建议的 OTP eFuse 编程操作条件

参数	说明	最小值	标称值	最大值	单位
VPP	正常运行期间电子保险丝 ROM 域的电源电压范围	NC ⁽²⁾			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽¹⁾	1.65	1.7	1.75	V
VPP 供电持续时间	如果提供 VPP 电压的时间超过建议的小时数，则可能会导致可靠性问题			24	小时
I(VPP)				50	mA

(1) 在正常运行期间，不应向 VPP 施加电压。这通常可以通过禁用连接到 VPP 端子的外部稳压器来实现。

(2) NC：无连接

备注

上电序列：VPP 必须最后斜升，即在所有其他电源轨斜升完成之后

7.5.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。

7.5.3 对硬件保修的影响

您确认并接受您使用电子保险丝会长久更改 TI 器件，风险自负。您确认电子保险丝可能会由于操作条件或编程序列不正确而失效。此类故障可能导致 TI 器件无法运行，并且 TI 将无法在试图使用电子保险丝之前确认 TI 器件符合 TI 器件规格。因此，在电子保险丝可编程性出现故障的情况下，TI 将不承担任何责任。

7.6 电源规格

7.6.1 低功耗 3.3V I/O 拓扑

表 7-1 介绍了通过 3.3V I/O 拓扑从外部电源块到器件的电源轨。

表 7-1. 电源轨特性：低功耗 3.3V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
3.3V	数字 I/O	输入：VIOIN
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC	输入：VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.2V	内核数字和 SRAM、RF、VNWA	输入：VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 输出：VDDA_10RF

7.6.2 BOM 优化的 3.3V I/O 拓扑

表 7-2 介绍了通过 BOM 优化的 3.3V I/O 拓扑从外部电源块到器件的电源轨。

表 7-2. 电源轨特性：BOM 优化的 3.3V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
3.3V	数字 I/O	输入：VIOIN
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC	输入：VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM LDO 输出：VOUT_14SYNTH、VDDA_10RF、VDD_SRAM、VNWA、VOUT_14APLL、VDDA_12RF、VDD

7.6.3 低功耗 1.8V I/O 拓扑

表 7-3 介绍了通过低功耗 1.8V I/O 拓扑从外部电源块到器件的电源轨。

表 7-3. 电源轨特性：低功耗 1.8V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC	输入：VIOIN、VIN_18PM、VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18 LDO 输出：VOUT_14SYNTH、VOUT_14APLL
1.2V	内核数字和 SRAM、RF、VNWA	输入：VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 输出：VDDA_10RF

7.6.4 BOM 优化的 1.8V I/O 拓扑

表 7-4 介绍了通过 BOM 优化的 1.8V I/O 拓扑从外部电源块到器件的电源轨。

表 7-4. 电源轨特性：BOM 优化的 1.8V I/O 拓扑

电源	由电源供电的器件块	器件中的相关 IO
1.8V	合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC、数字 I/O	输入：VIOIN、VDDA_18VCO、VIOIN_18CLK、VIOIN_18、VDDA_18BB、VIN_18PM、VDDA_18VCO LDO 输出：VDD、VDD_SRAM、VNWA、VDDA_10RF、VDDA_12RF、VOUT_14APLL、VOUT_14SYNTH

7.6.5 系统拓扑

支持以下系统拓扑。

- 拓扑 1：自主模式，具有唤醒外部 MCU 的功能
- 拓扑 2：外设模式，由外部 MCU 控制

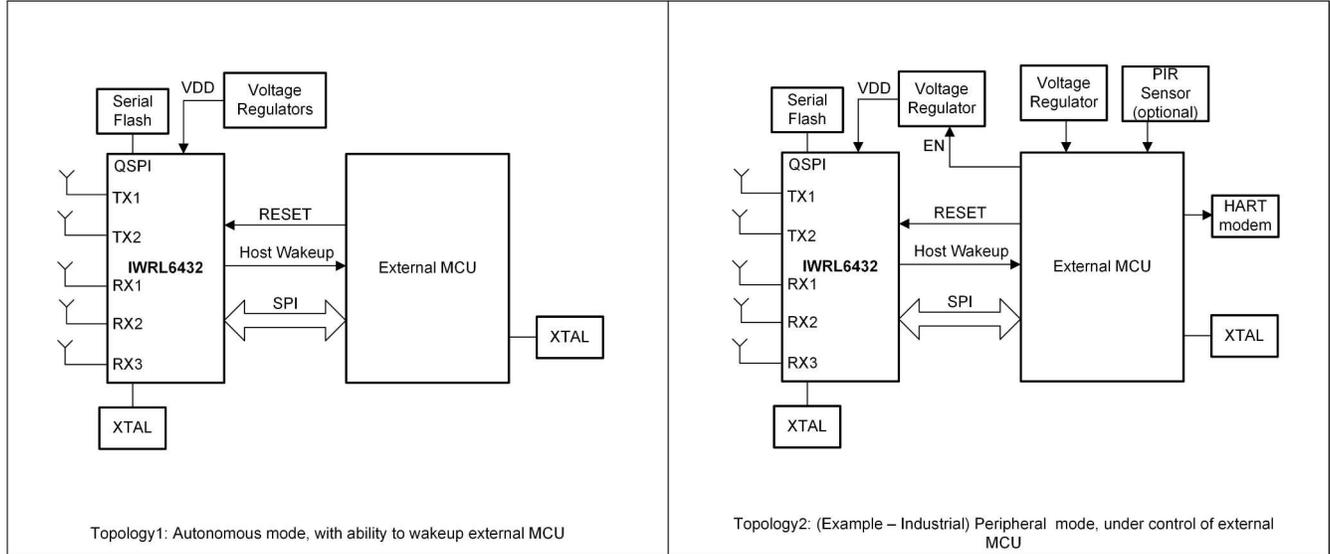


图 7-1. 系统拓扑

在拓扑 1 中：自主模式，IWRL6432W 可用作完整的传感器以及 M4F 应用处理器。在这种情况下，内部应用处理器将进行所有处理并中断主机处理器以便进行通信，从而根据传感器数据采取操作。大多数处理发生在 IWRL6432W 芯片的内部 MCU，只有高级别的所需结果会通过 LIN/CAN 传达给外部主机。在这种拓扑 MIPS 中，可放宽外部 MCU 上的处理能力，并且可以使用成本极低、功耗极低的 MCU。

在拓扑 2 中：外设模式，IWRL6432W 由外部 MCU 控制，且大部分处理在外部 MCU 上完成。在这种情况下，计算和功率要求更高，并且外部 MCU 在大多数时间内保持运行状态。

7.6.5.1 电源拓扑

针对 BOM 优化模式和低功耗模式，器件支持两种独特的电源拓扑。上面的表（从节 7.6.1 到节 7.6.4）总结了这些选项。根据 1.2V 电压轨是内部产生还是外部提供，有两种电源拓扑可纳入考虑范围。

在 BOM 优化模式下，可以使用外部提供的一个电源轨（1.8V）或两个电源轨（3.3V 和 1.8V）为器件供电。在 BOM 优化拓扑下，在内部生成 1.2V 电源轨。

在低功耗模式下，可以使用两个电源轨（1.8V 和 1.2V）或三个电源轨（3.3V、1.8V 和 1.2V）为器件供电，所有这些电源轨都由外部提供。在低功耗拓扑中，不在内部生成 1.2V 电源轨。器件会检测外部 1.2V 电源，并决定器件将采用哪种拓扑工作。

7.6.5.1.1 BOM 优化模式

在此模式下，可使用一个 1.8V 稳压器或使用 3.3V 和 1.8V 稳压器模式为器件供电。选择一个电压轨还是两个电压轨取决于所需的 IO 电压。

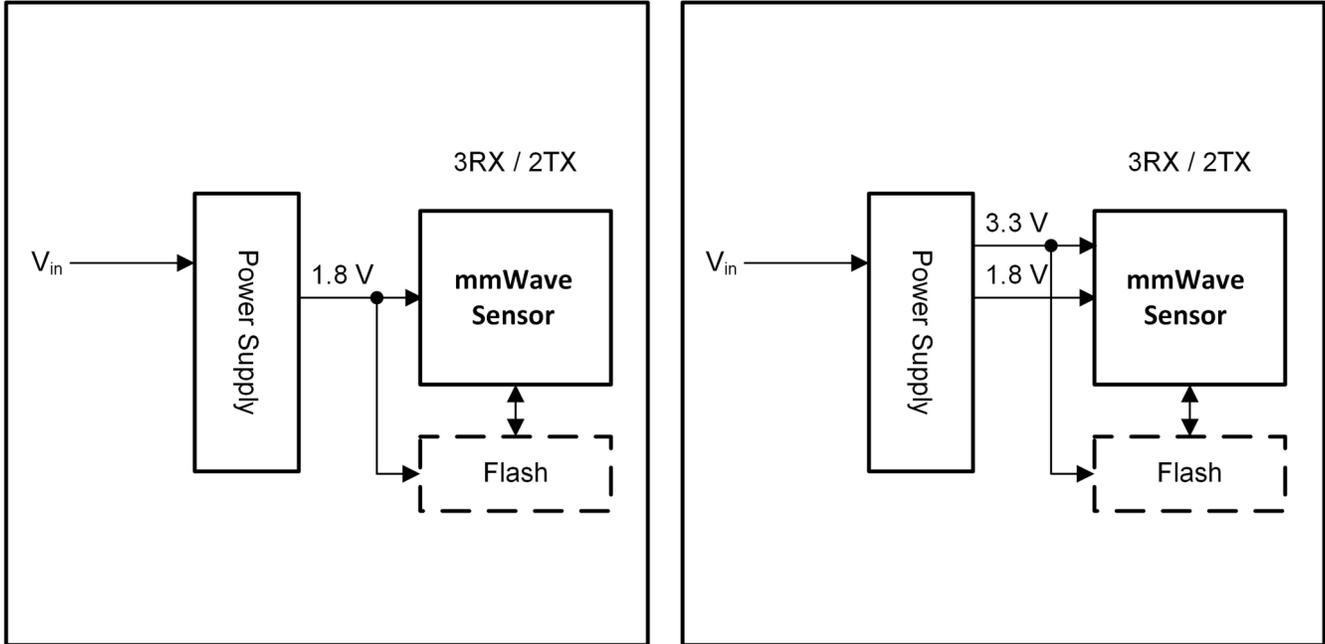


图 7-2. BOM 优化模式电源管理 (左图 : 1.8V I/O 拓扑, 右图 : 3.3V I/O 拓扑)

7.6.5.1.2 低功耗模式

此模式专为需要超低功耗的应用而设计。该器件可采用两个电压轨 (1.8V 和 1.2V) 或三个电压轨 (3.3V、1.8V 和 1.2V) 供电。

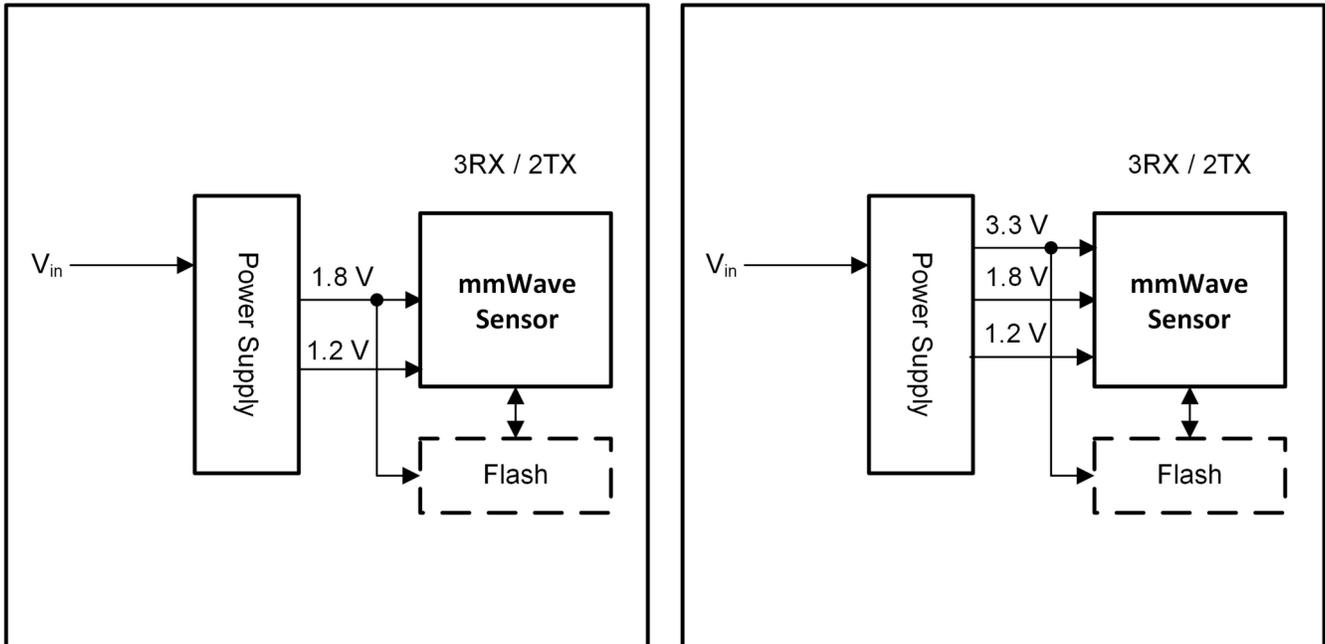


图 7-3. 低功耗模式电源管理 (左图 : 1.8V I/O 拓扑, 右图 : 3.3V I/O 拓扑)

7.6.6 BOM 优化型拓扑的内部 LDO 输出去耦电容器和布局条件

该小节介绍了去耦电容器的建议值以及内部 LDO 输出路径特定部分中允许的寄生电感和电阻范围。与所有低压降稳压器一样，内部 LDO 需要在 OUTPUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。建议使用随温度变化较小的 X7R 型电容器。下表列出了电容器的最小值和最大值。表包括给定电容器因直流偏置、容差和温度变化而导致的变化。

备注

1. 如果寄生值未保持在指定范围内，器件的性能可能会降低。
2. 建议使用去耦电容器的典型值。任何在范围边缘附近取值的电容值都可能会降低性能。所选电容器的工作范围不能超过指定范围。

7.6.6.1 单电容器轨

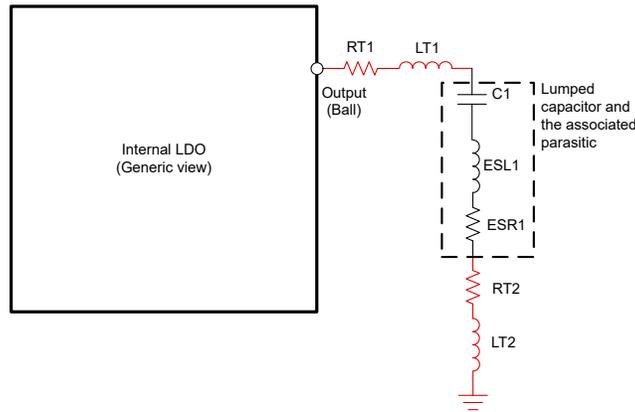


图 7-4. 输出路径的不同部分提供的寄生电容 (对于一个电容器)

1.2V 数字 LDO 需要一个典型值为 4.7uF 的去耦电容器。输出路径不同部分提供的寄生效应如 图 7-4 所示。“RT1”和“RT2”分别是焊球到电容器引线走线和接地走线提供的寄生电阻。同样，“LT1”和“LT2”分别是焊球到电容器引线走线和接地走线提供的寄生电感。“ESL1”和“ESR1”是去耦电容器的有效串联电感和电阻。表 7-5 给出了电容和寄生电阻/电感的最小值、最大值和典型值。

7.6.6.1.1 1.2V 数字 LDO

焊球名称：VDD

表 7-5. 1.2V 数字 LDO 输出

	最小值	典型值	最大值	单位
C 的建议值	3.6	4.7	5.2	uF
允许的输出寄生电感 $L_p^{(1)}$	1	1.5	2	nH
允许的输出寄生电阻 $R_p^{(2)}$	15	20	35	mΩ

(1) $L_p = LT1 + ESL1 + LT2$

(2) $R_p = RT1 + ESR1 + RT2$

7.6.6.2 双电容器轨

1.2V RF LDO、1.2V SRAM LDO 和 1.0V RF LDO 需要两个典型值为 10uF 和 2.2uF 的去耦电容器。

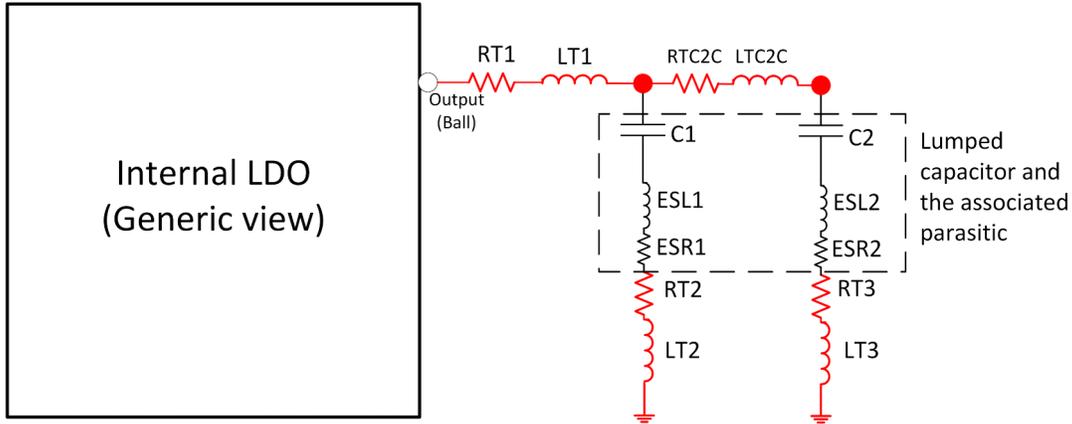


图 7-5. 输出路径不同部分提供的寄生电容 (适用于两个电容器)

输出路径不同部分提供的寄生效应如 图 7-5 所示。如图 图 7-5 所示，输出路径可分为四个部分：

焊球到第一个电容器：“RT1”和“LT1”是焊球到第一个电容器引线提供的寄生电阻和电感。

沿第一个电容器：“ESL1”和“ESR1”是第一个去耦电容器的有效串联电感和电阻。“RT2”和“LT2”分别是第一个电容器接地布线的接地布线电阻和电感。

第一个电容器引线连接到第二个电容器引线：“RTC2C”和“LTC2C”是两个电容器之间布线的电阻和电感。

沿第二个电容器：“ESL2”和“ESR2”是第二个去耦电容器的有效串联电感和电阻。“RT3”和“LT3”分别是第二个电容器接地布线的接地布线电阻和电感。

备注

建议将这两个电容器靠近各自的焊球放置。

7.6.6.2.1 1.2V 射频 LDO

焊球名称：VDDA_12RF

表 7-6. 1.2V 射频 LDO 输出

		最小值	典型值	最大值	单位
C 的建议值	C1	4.9	10.0	11.0	uF
	C2	1.3	2.2	2.4	uF
允许的输出寄生电感	焊球到第 1 个电容器引线 (LT1)	0.3		0.6	nH
	沿第 1 个电容器 (ESL1 + LT2)	0.4		0.7	
	两个电容器引线之间 (LTC2C)	0.1		0.3	
	沿第 2 个电容器 (ESL2 + LT3)	0.4		0.7	
允许的输出寄生电阻	焊球到第 1 个电容器引线 (RT1)	1		5	mΩ
	沿第 1 个电容器 (ESR1 + RT2)	15		25	
	两个电容器引线之间 (RTC2C)	1		5	
	沿第 2 个电容器 (ESR2 + RT3)	15		25	

7.6.6.2.2 1.2V SRAM LDO

焊球名称：VDD_SRAM

表 7-7. 1.2V SRAM LDO 输出

		最小值	典型值	最大值	单位
C 的建议值	C1	4.9	10.0	11.0	uF
	C2	1.3	2.2	2.4	uF
允许的输出寄生电感	焊球到第 1 个电容器引线 (LT1)	0.5		1.0	nH
	沿第 1 个电容器 (ESL1 + LT2)	1.0		1.5	
	两个电容器引线之间 (LTC2C)	0.5		1.0	
	沿第 2 个电容器 (ESL2 + LT3)	1.0		1.5	
允许的输出寄生电阻	焊球到第 1 个电容器引线 (RT1)			1	mΩ
	沿第 1 个电容器 (ESR1 + RT2)	15		35	
	两个电容器引线之间 (RTC2C)			1	
	沿第 2 个电容器 (ESR2 + RT3)	15		35	

7.6.6.2.3 1.0V 射频 LDO

焊球名称：VDDA_10RF

表 7-8. 1.0V 射频 LDO 输出

		最小值	典型值	最大值	单位
C 的建议值	C1	4.9	10.0	11.0	uF
	C2	1.3	2.2	2.4	uF
允许的输出寄生电感	焊球到第 1 个电容器引线 (LT1)	0.3	0.3	0.6	nH
	沿第 1 个电容器 (ESL1 + LT2)	0.3		1.0	
	两个电容器引线之间 (LTC2C)	0.1		0.3	
	沿第 2 个电容器 (ESL2 + LT3)	0.3		1.0	
允许的输出寄生电阻	焊球到第 1 个电容器引线 (RT1)	1		5	mΩ
	沿第 1 个电容器 (ESR1 + RT2)	15		25	
	两个电容器引线之间 (RTC2C)	1		5	
	沿第 2 个电容器 (ESR2 + RT3)	15		25	

7.6.7 噪声和纹波规格

表 7-9 中所述的 1.8V 电源纹波规格定义为在 RX 满足 -105dBc (RF 引脚 = -15dBm) 的目标杂散电平。杂散和纹波电平具有 dB 到 dB 的关系，例如，电源纹波增加 1dB 会导致杂散电平增加约 1dB。引用的值是在指定频率下施加的正弦输入的峰值到峰值电平。

表 7-9. 噪声和纹波规格

频率 (kHz)	噪声规格		纹波规格	
	1.8V (μV/√Hz)	1.2V (μV/√Hz) ⁽¹⁾	1.8V (mVpp)	1.2V (mVpp) ⁽¹⁾
10	6.057	44.987	0.035	1.996
100	2.677	26.801	0.760	2.233
200	2.388	28.393	0.955	3.116
500	0.757	9.559	0.504	1.152
1000	0.419	1.182	0.379	0.532
2000	0.179	1.256	0.153	0.561

表 7-9. 噪声和纹波规格 (续)

频率 (kHz)	噪声规格		纹波规格	
	1.8V ($\mu\text{V}/\sqrt{\text{Hz}}$)	1.2V ($\mu\text{V}/\sqrt{\text{Hz}}$) ⁽¹⁾	1.8V (mVpp)	1.2V (mVpp) ⁽¹⁾
5000	0.0798	0.667	0.079	0.297
10000	0.0178	0.104	0.017	0.046

(1) 1.2V 噪声/纹波规格仅适用于经过低功耗电源配置。对于 BOM 优化的拓扑，1.2V 噪声/纹波规格不适用。

备注

相同的 1.8V 噪声/纹波规格适用于 BOM 优化的拓扑中的 1.8V 电源

7.7 节电模式

表 7-10 列出了支持的电源状态。

表 7-10. 器件电源状态

电源状态	详细信息
活动	活动电源状态是指正在进行射频/线性调频脉冲活动时的状态
正在处理	正在处理电源状态是指正在处理数据射频关闭 ⁽¹⁾
空闲	空闲电源状态是在帧间/突发间/线性调频脉冲间的空闲时间出现的状态
深度睡眠	器件的最低功耗状态，在该状态下，器件的内容可以保留（应用图像、线性调频脉冲曲线等），并且器件无需从头开始重新引导。 器件可以在帧处理完成后进入此状态，以显著降低功耗。深度睡眠退出可以通过多个外部唤醒源和内部时序维护来实现。

(1) 此处消耗的功率还包括硬件加速器功耗。

7.7.1 功耗典型数值

表 7-11 和表 7-12 列出了标称器件在 25°C 环境温度和标称电压条件下，不同电源拓扑和天线配置中每个省电模式的典型功耗。

表 7-11. 3.3V IO 模式下的估计功耗

功耗模式		功耗 (mW)	
		低功耗模式	BOM 优化模式
活动 (2TX、3RX)	采样：12.5MSps	960	1290
活动 (2TX、2RX)	起始频率 = 60GHz	870	1180
活动 (1TX、2RX)	BW = 2GHz	720	950
活动 (1TX、1RX)	RX 增益 = 30dB TX 退避 = 0dB	690	910
正在处理	使用重大运动 SDK OOB 链进行测量。	80	120
空闲	APPSS CM4 = 20MHz， FECSS、HWA 断电，SPI 有效	11.2	19.0
深度睡眠	保留存储器 = 114KB	0.66	0.67

表 7-12. 1.8V IO 模式下的估计功耗

功耗模式		功耗 (mW)	
		低功耗模式	BOM 优化模式
活动 (2TX、3RX)	采样 : 12.5MSps	960	1290
活动 (2TX、2RX)	起始频率 = 60GHz	870	1180
活动 (1TX、2RX)	BW = 2GHz	720	950
活动 (1TX、1RX)	RX 增益 = 30dB TX 退避 = 0dB	690	910
正在处理	使用重大运动 SDK OOB 链进行测量。	80	120
空闲	APPSS CM4 = 20MHz , FECSS、HWA 断电, SPI 有效	10.9	18.6
深度睡眠	保留存储器 = 114KB	0.48	0.48

表 7-13. 3.3V 低功耗拓扑中的用例功耗

参数		条件	典型值 (mW)
平均功耗 (存在检测 — 重大运动)	射频前端配置 : 1TX、1RX ADC 采样速率 = 12.5Msps 斜坡结束时间 = 25 μ s 线性调频脉冲空闲时间 = 6 μ s 线性调频脉冲斜率 = 35MHz/ μ s 每次突发的线性调频脉冲数 = 10 突发周期 = 300 μ s 每帧的突发数 = 1 将器件配置为在主动运行后进入深度睡眠状态。深度睡眠中保留的存储器 = 114KB	更新速率为 1Hz	1.2

7.8 每个电压轨的峰值电流要求

表 7-14 提供最大的分离轨电流数。

表 7-14. 每个电压轨的最大峰值电流

模式 ⁽¹⁾	IO 电压 ⁽³⁾	最大电流 (mA) ⁽²⁾		
		1.2V : 由 1.2V 电源轨驱动的所有节点消耗的总电流	1.8V : 由 1.8V 电源轨驱动的所有节点消耗的总电流	3.3V : 由 3.3V 电源轨驱动的所有节点消耗的总电流
BOM 优化	3.3V	不适用	1360	90
BOM 优化	1.8V	不适用	1450	不适用
低功耗	3.3V	1100	270	90
低功耗	1.8V	1100	360	不适用

- (1) 执行器件的完整功能，包括运行、HWA、M4F 和激活的各种主机通信/接口外设 (CAN、I2C、GPADC)，在整个温度范围内进行测试
- (2) 指定的电流值是在典型电源电压电平下得出的值。
- (3) 确切的 VIOIN 电流取决于使用的外设和工作频率。

7.9 射频规格

在建议的工作条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
接收器	噪声系数	57GHz 至 63.9GHz		12	dB
	1dB 压缩点 (带外) ⁽¹⁾			-9	dBm
	最大增益			40	dB
	增益范围			10	dB
	增益阶跃大小			2	dB
	中频带宽 ⁽²⁾			5	MHz
	ADC 采样速率 (实数)			12.5	MSPS
	ADC 分辨率			12	位
	S11 ⁽³⁾			-8	dB
发送器	输出功率			10	dBm
	电源退避范围			15	dB
	S11 ⁽³⁾			-8	dB
时钟子系统	频率范围	57		63.9	GHz
	斜坡速率			400	MHz/ μ s
	1MHz 偏移时的相位噪声	57GHz 至 63.9GHz		-89	dBc/Hz

(1) 1dB 压缩点 (带外) 是通过以低于最低 HPF 截止频率馈送连续波音调来测量的。

(2) 模拟中频 (IF) 级包括高通滤波，具有可配置的一阶高通转角频率。可用的 HPF 角集总结如下：

可用 HPF 转角频率 (kHz)

175、350、700、1400

通过数字基带执行的滤波旨在提供小于 ± 0.5 dB 的通带纹波/压降。

(3) 与其余通道相比，由于芯片与封装转换中的阻抗不匹配，RX3 和 TX1 通道发生了 S11 降级 (-5.5dB)。

图 7-6 展示了与编程的接收器增益相关的噪声系数和带内 P1dB 参数的变化。

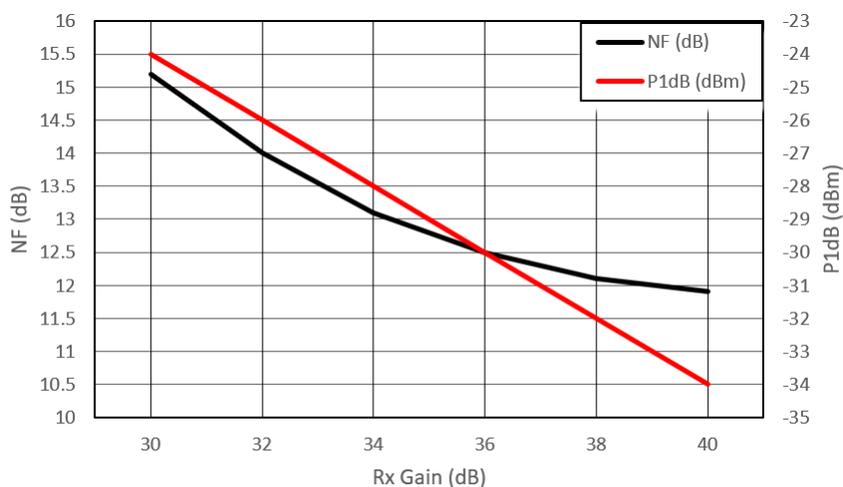
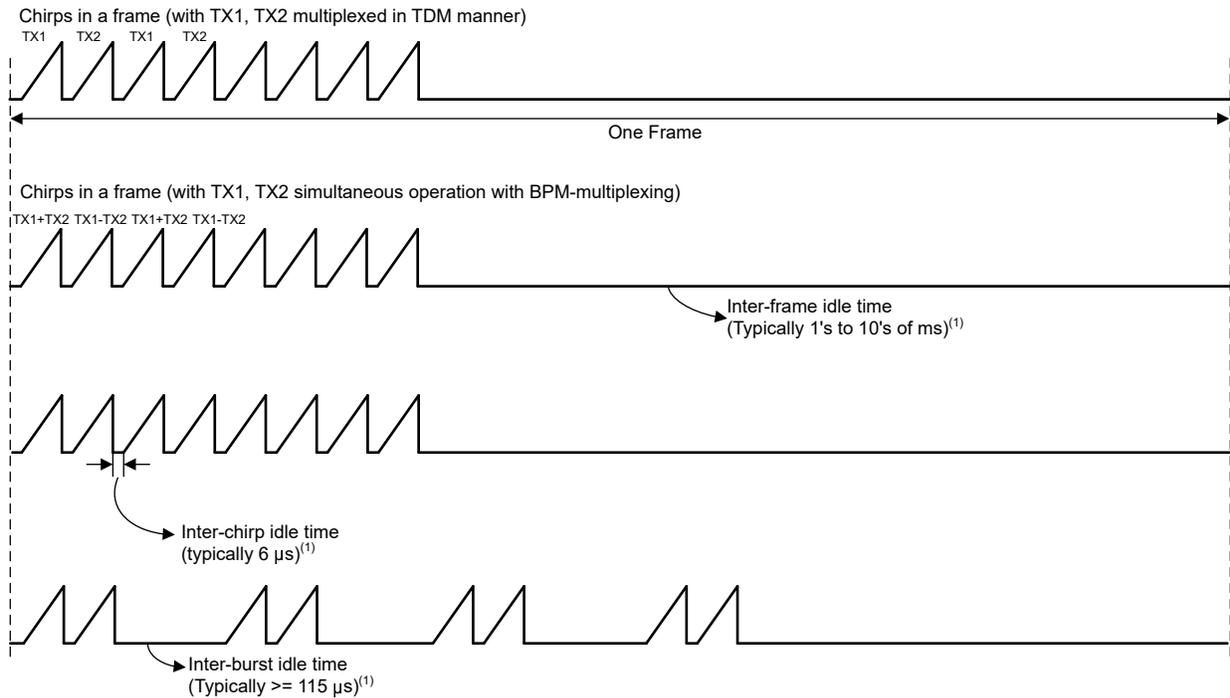


图 7-6. 噪声系数、带内 P1dB 与接收器增益间的关系

7.10 支持的 DFE 特性

- TX 输出退避
 - 在 1dB 步长下，支持的 TX 回退范围在 0dB 至 15dB 之间
 -
 - 每个 TX 上都支持二进制相位调制
- RX 增益
 - 仅实部 RX 通道
 - 总 RX 增益范围为 30dB 至 40dB，步长为 2dB
- VCO
 - 单个 VCO 覆盖高达 7GHz 的整个射频扫描带宽。
- 高通滤波器
 - 支持转角频率选项：175kHz、350kHz、700kHz、1400kHz
 - 仅一阶高通滤波器
- 低通滤波器
 - 支持的最大中频带宽为 5MHz
 - 40dB 阻带抑制，支持两个滤波选项
 - 90% 可见性 — 中频带宽是奈奎斯特的 90% (由于滤波器长度较大而具有更长的趋稳时间)
 - 80% 可见性 — 中频带宽是奈奎斯特的 80% 并且由于更短的稳定时间而快 30% (与 90% 可见性相比)
- 支持的 ADC 采样速率
 - 1.0、1.25、1.667、2.0、2.5、4.0、5.0、6.667、7.692、10.0、12.5Msps
- 计时引擎
 - 支持线性调频脉冲、突发和帧
 - 与较长的突发空闲时间相比，较长的帧空闲时间可以节省较多功耗。此外，与较长的突发空闲时间相比，较长的线性调频脉冲空闲时间所节省的功耗较少。有关更多详细信息，请参阅[毫米波传感估算器](#)中的功率计算器。
 - 可跨密集线性调频脉冲的线性调频脉冲累积 (计算平均值) 来降低存储器要求
 - 配置每个线性调频脉冲抖动参数



1. 请参阅 DFP API 文档

图 7-7. 计时引擎支持的线性调频脉冲曲线

7.11 CPU 规格

在建议的工作条件下测得 (除非另有说明)

参数		典型值	单位
应用子系统 (M4F 系列)	时钟速度	160	MHz
	紧耦合存储器 — A (程序 + 数据)	512	KB
共享存储器	共享 L3 存储器 ⁽¹⁾	256	KB
	专用于 HWA 的 L3 存储器	256	KB

(1) L3 存储器可配置

7.12 热阻特性

表 7-15. WCSP 封装的热阻特性 [YFF0111-C01]

热指标 ^{(1) (4)}		°C/W ^{(2) (3)}
R ^θ _{JC}	结点到外壳	0.11
R ^θ _{JB}	结点到电路板	3.9
R ^θ _{JA}	结点到环境空气	21.8
Psi _{JC}	结至封装顶部	0.6
Psi _{JB}	结点到电路板	3.8

(1) 有关新旧热性能指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#)。

(2) °C/W = 摄氏度/瓦。

(3) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R^θ_{JC}] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

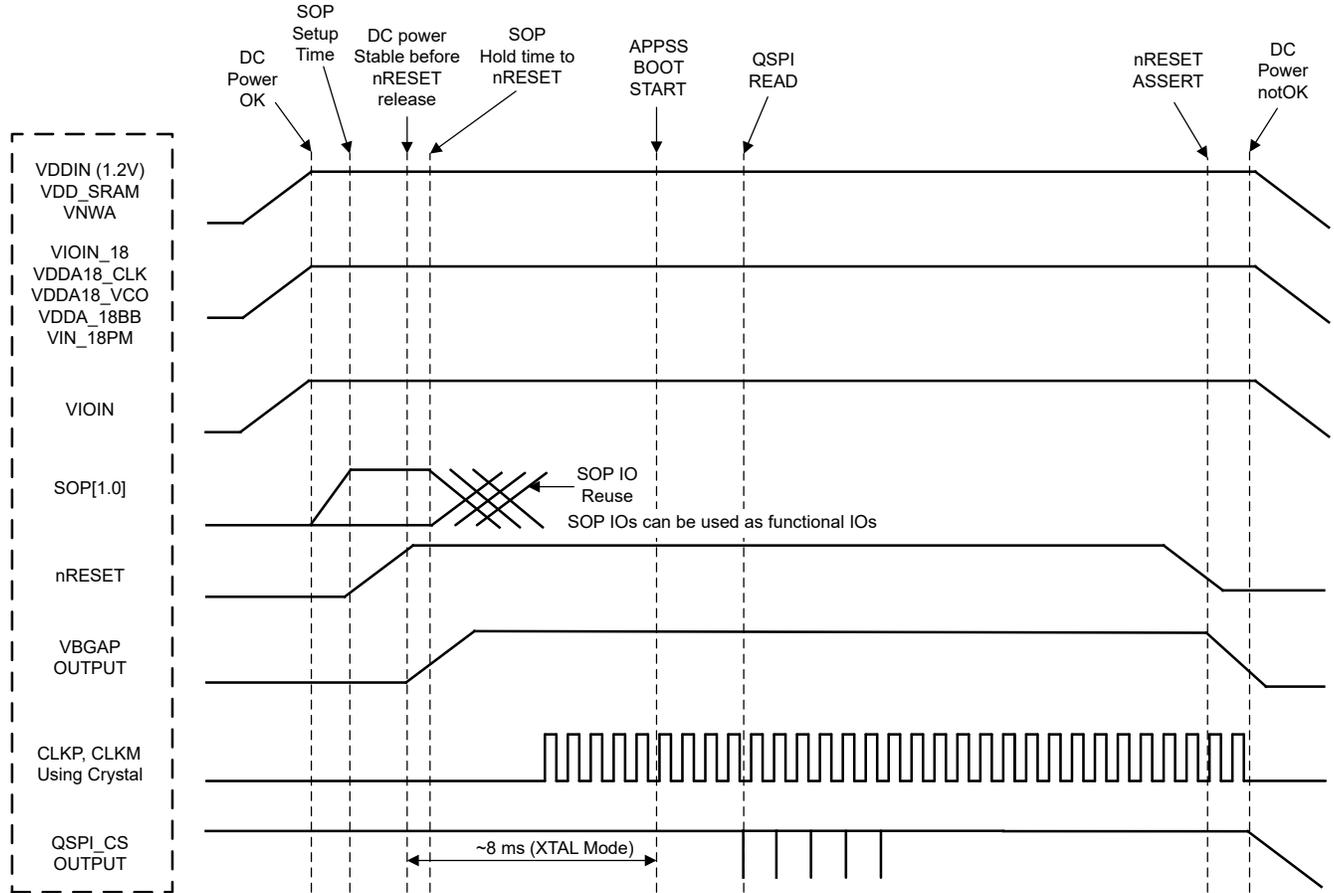
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(4) 测试条件: 25°C 时的功率 = 1.305W

7.13 时序和开关特性

7.13.1 电源时序和复位时序

IWRL6432W 器件需要所有外部电压轨在复位置为无效之前保持稳定。图 7-8 描述了器件唤醒序列。



A. MCU_CLK_OUT 处于自主模式，其中 IWRL6432W 应用从串行闪存引导，器件引导加载程序默认不启用 MCU_CLK_OUT。

图 7-8. 器件唤醒序列

7.13.2 同步帧触发

IWRL6432W 器件支持基于硬件的机制来触发雷达帧。外部主机可以对 SYNC_IN 信号施加脉冲以启动雷达帧。必须提供软件 API 触发器，以便为硬件 SYNC_IN 触发器设置器件。外部脉冲的上升沿与空中帧传输 (Tlag) 之间的典型时间差约为 160ns。用户还可以设置一个额外的可编程延迟来控制帧开始时间。

在所有情况下，外部 SYNC_IN 脉冲的周期性都应始终大于帧配置中编程的帧周期性。

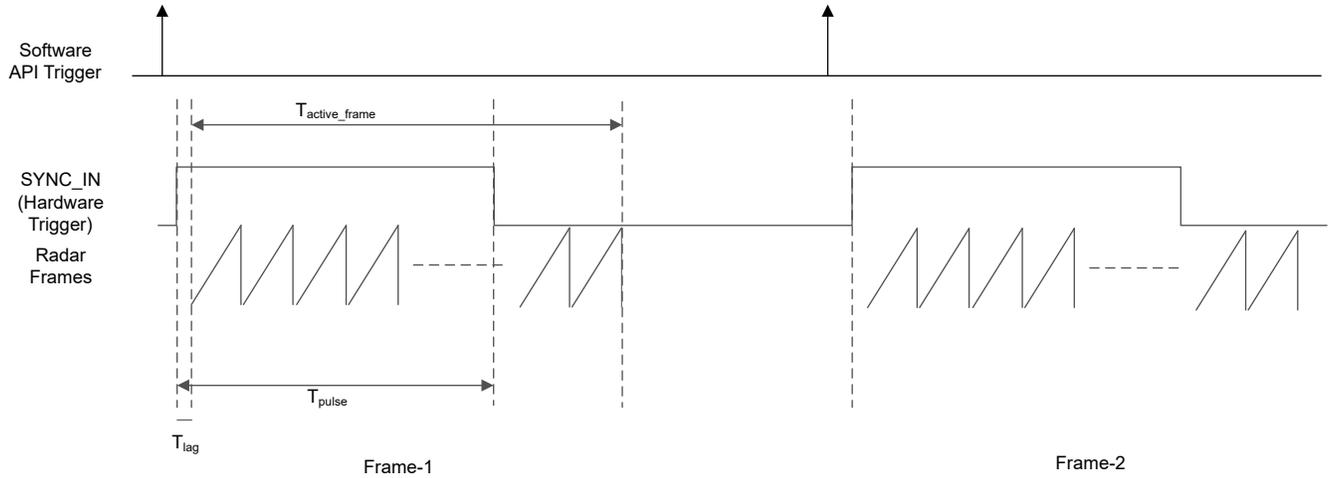


图 7-9. SYNC IN 硬件触发器

表 7-16. 帧触发时序

参数	说明	最小值	最大值	单位
$T_{\text{active_frame}}$	活动帧持续时间	用户自定义		ns
T_{pulse}		25	$< T_{\text{active_frame}}$ 或 4000	

7.13.3 输入时钟和振荡器

7.13.3.1 时钟规格

The IWRL6432W 需要外部时钟源 (即 CLKP 需要一个 40MHz 晶体或外部振荡器) 来进行初始启动并作为器件中托管的内部 APLL 的参考。连接到器件引脚的外部晶体图 7-10 显示了晶体的实现情况。

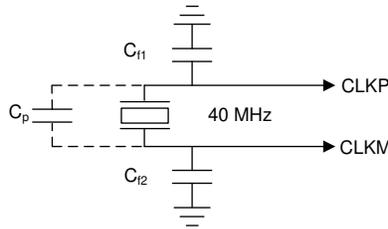


图 7-10. 晶体实现

备注

应该选择图 7-10 中的负载电容器 C_{f1} 和 C_{f2} ，以满足方程式 1 的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-17 列出了时钟晶体的电气特性。

表 7-17. 晶体电气特性 (振荡器模式)

名称	说明	最小值	典型值	最大值	单位
f_P	并联谐振晶体频率		40		MHz
C_L	晶体负载电容	5	8	12	pF
ESR	晶体 ESR			50	Ω
温度范围	预期工作温度范围	-40		105	$^{\circ}\text{C}$
频率容差	晶体频率容差 ^{(1) (2) (3)}	-200		200	ppm
驱动电平			50	200	μW

- (1) 晶体制造商的规格必须满足此要求。
- (2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。
- (3) 晶体容差会影响雷达传感器精度。

如果将外部时钟用作时钟资源，则信号仅馈送到 CLKP 引脚；CLKM 接地。当 40MHz 时钟由外部馈送时，相位噪声要求非常重要。表 7-18 列出了外部时钟信号的电气特性。

表 7-18. 外部时钟模式规格

参数		规格			单位
		最小值	典型值	最大值	
输入时钟： 外部交流耦合正弦波或直流耦合方波相位噪声，以 40MHz 为基准	频率		40		MHz
	交流振幅	700		1200	mV (pp)
	DCV _{il}	0.00		0.20	V
	DCV _{ih}	1.6		1.95	V
	1kHz 时的相位噪声			-132	dBc/Hz
	10kHz 时的相位噪声			-143	dBc/Hz
	100kHz 时的相位噪声			-152	dBc/Hz
	1MHz 时的相位噪声			-153	dBc/Hz
	占空比	35		65	%
	频率容差	-200		200	ppm

7.13.4 多通道缓冲/标准串行外设接口 (McSPI)

McSPI 模块是多通道发送/接收、控制器/外设同步串行总线

7.13.4.1 McSPI 特性

McSPI 模块包括以下主要特性：

- 具有可编程频率、极性和相位的串行时钟用于每个通道
- SPI 字长范围宽，从 4 位到 32 位
- 在控制器模式下多达四个通道工作，或在接收模式下单个通道工作
- 控制器多通道模式：
 - 全双工/半双工
 - 仅发送/仅接收/发送和接收模式
 - 每个通道具有灵活的输入/输出 (I/O) 端口控制
 - 可编程时钟粒度
 - 针对时钟定义、极性启用和字宽的每通道配置
- 针对多个中断源事件的单一中断线路
- 支持为每个通道的 McSPI 传输添加可编程起始位 (起始位模式)
- 支持起始位写入命令
- 支持起始位暂停和中断序列
- 可编程移位操作 (1-32 位)
- 芯片选择与外部时钟生成之间的时序控制可编程
- 内置 FIFO 可用于单个通道

7.13.4.2 SPI 时序条件

表 7-19 展示了 McSPI 的时序条件

表 7-19. McSPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t _R	输入上升时间	1		3	ns
t _F	输入下降时间	1		3	ns
输出条件					
C _{LOAD}	输出负载电容	2		15	pF

7.13.4.3 SPI - 控制器模式

7.13.4.3.1 SPI 的时序和开关要求 - 控制器模式

表 7-20 和表 7-21 展示了 SPI 的时序要求 — 控制器模式。

表 7-20. SPI 时序要求 — 控制器模式

编号 ⁽¹⁾ (8)		模式	最小值	最大值	单位
SM4	$t_{su}(MISO-SPICLK)$	建立时间, 在 SPI_CLK 有效边沿之前 SPI_D[x] 有效 ⁽¹⁾	5		ns
SM5	$t_h(SPICLK-MISO)$	保持时间, 在 SPI_CLK 有效边沿之后 SPI_D[x] 有效 ⁽¹⁾	3		ns

表 7-21. SPI 开关特性 - 控制器模式

编号 ⁽¹⁾ (8)		模式	最小值	最大值	单位
SM1	$t_c(SPICLK)$	周期时间、SPI_CLK ⁽¹⁾ ⁽²⁾	24.6 ⁽³⁾		ns
SM2	$t_w(SPICLKL)$	典型脉冲持续时间、SPI_CLK 低电平 ⁽¹⁾	-1 + 0.5P ⁽³⁾ ⁽⁴⁾		ns
SM3	$t_w(SPICLKH)$	典型脉冲持续时间、SPI_CLK 高电平 ⁽¹⁾	-1 + 0.5P ⁽⁴⁾		ns
SM6	$t_d(SPICLK-SIMO)$	延迟时间, SPI_CLK 有效边沿到 SPI_D[x] 转换的时间 ⁽¹⁾	-2	5	ns
SM7	$t_{sk}(CS-SIMO)$	延迟时间, SPI_CS[x] 有效至 SPI_D[x] 转换的时间	5		ns
SM8	$t_d(SPICLK-CS)$	延迟时间, SPI_CS[x] 有效到 SPI_CLK 第一个边沿的时间	Controller_PHA0_POL 0; Controller_PHA0_POL 1; ⁽⁵⁾	-4 + B ⁽⁶⁾	ns
		Controller_PHA1_POL 0; Controller_PHA1_POL 1; ⁽⁵⁾	-4 + A ⁽⁷⁾	ns	
SM9	$t_d(SPICLK-CS)$	延迟时间, SPI_CLK 最后边沿到 SPI_CS[x] 无效的时间	Controller_PHA0_POL 0; Controller_PHA0_POL 1; ⁽⁵⁾	-4 + A ⁽⁷⁾	ns
			Controller_PHA1_POL 0; Controller_PHA1_POL 1; ⁽⁵⁾	-4 + B ⁽⁶⁾	ns
SM11	Cb	每个总线的容性负载	3	15	pF

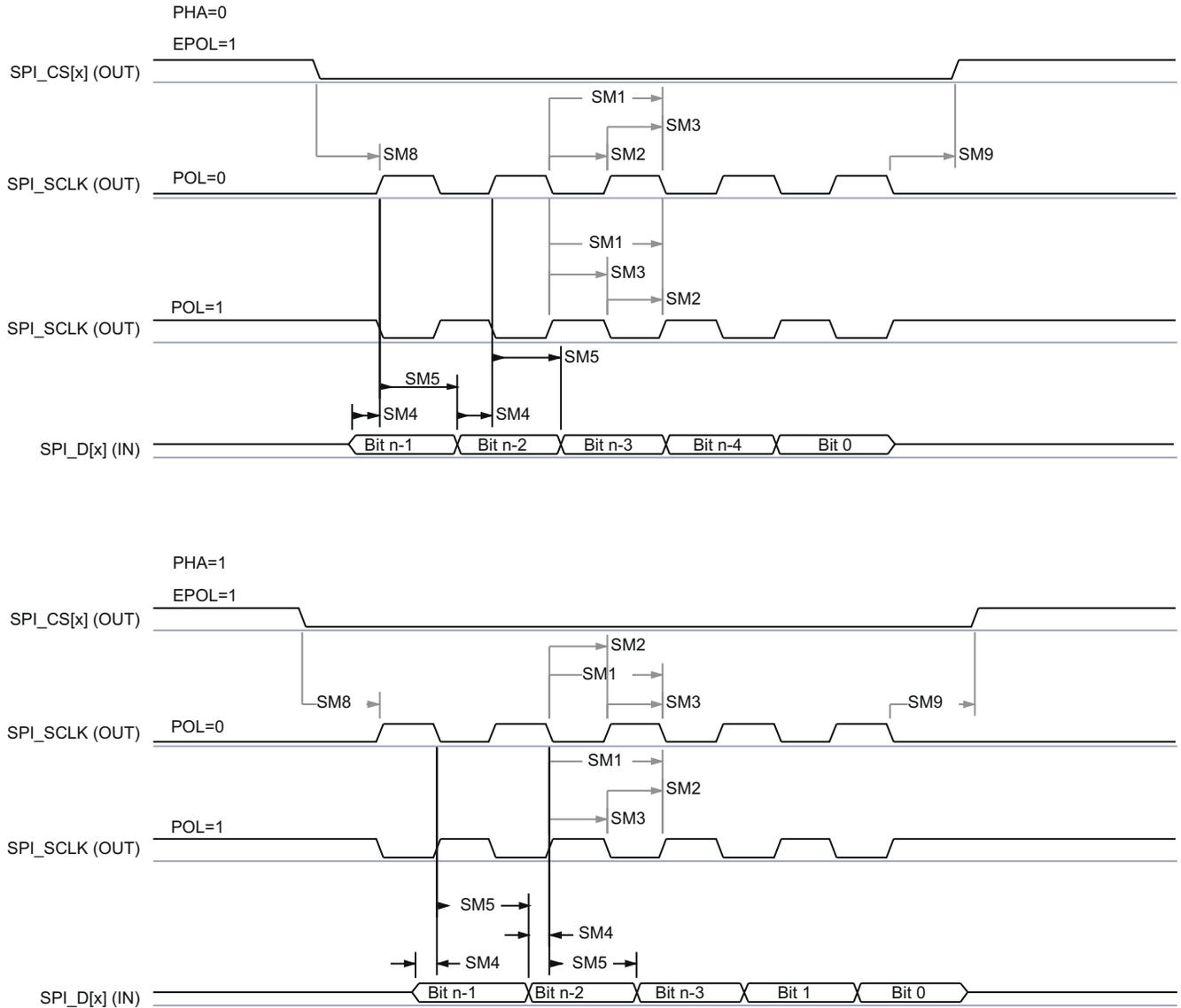
- (1) P = 该时序适用于所有配置, 无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此。
- (2) 与 SPI_CLK 最大频率相关
- (3) 20ns 周期时间 = 50MHz
- (4) P = SPICLK 周期
- (5) SPI_CLK 相位可通过 SPI_CH(i)CONF 寄存器的 PHA 位进行编程
- (6) $B = (TCS + .5) \times TSPICLKREF$, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段且 Fratio = 偶数 ≥ 2 。
- (7) 当 P = 20.8ns 时, $A = (TCS + 1) \times TSPICLKREF$, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。
当 P > 20.8 ns 时, $A = (TCS + 0.5) \times Fratio \times TSPICLKREF$, 其中 TCS 是 SPI_CH(i)CONF 寄存器的位字段。
- (8) 本节中提供的 IO 时序适用于 SPI1 和 SPI2 的所有信号组合。然而, 只有当使用单个 IOSET 内的信号时, 时序才对 SPI3 和 SPI4 有效。下表对 IOSET 进行了定义。

该时序适用于所有配置, 无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此

备注

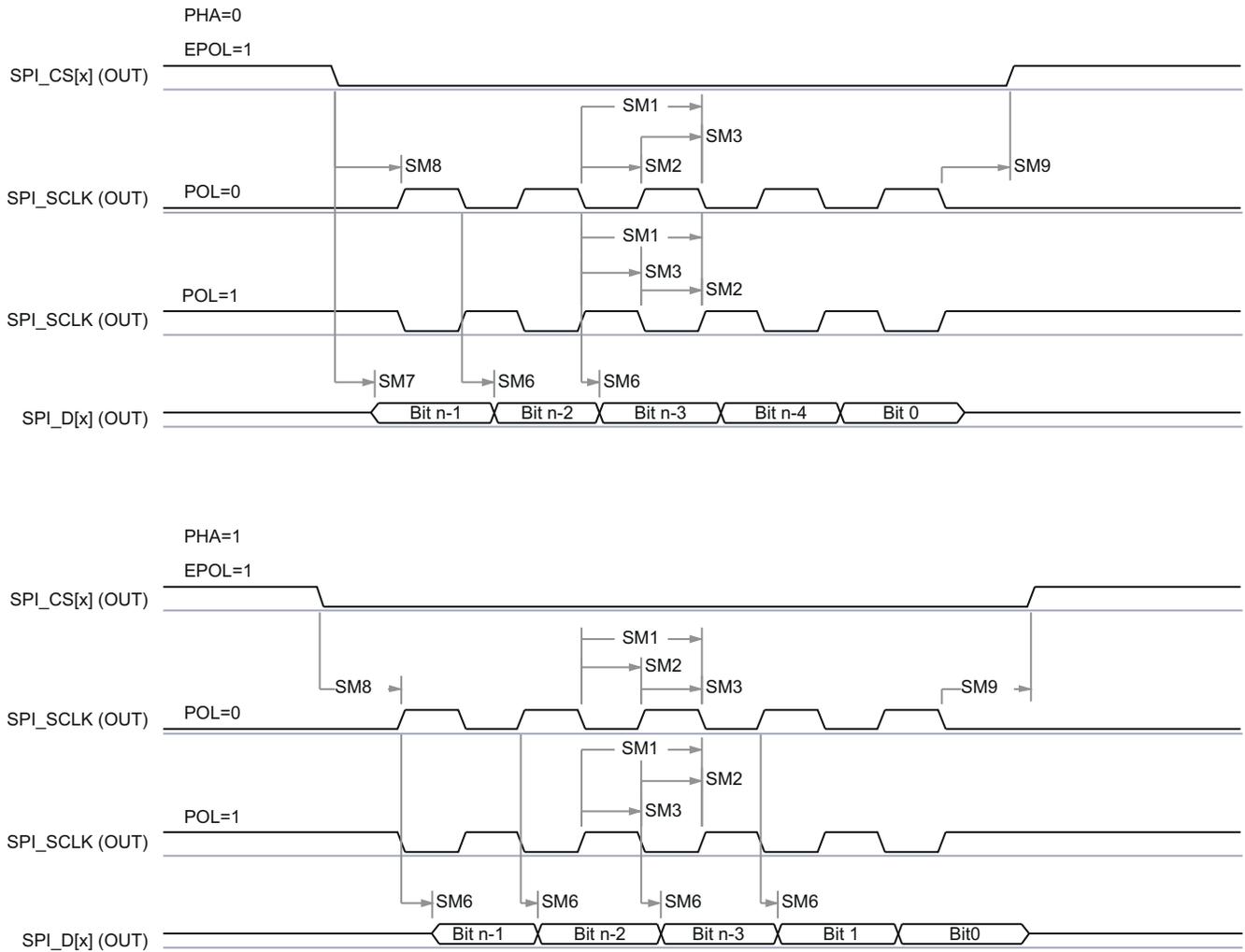
雷达 SPI 外设模式支持的频率如下: 在全周期模式下为 40MHz, 在半周期模式下为 20MHz。

7.13.4.3.2 SPI 输出时序的时序和开关特性 - 控制器模式



SPRSP08_TIMING_McSPI_02

图 7-11. SPI 时序 — 控制器模式接收



SPRSP08_TIMING_McSPI_01

图 7-12. SPI 时序 — 控制器模式发送

7.13.4.4 SPI - 外设模式

7.13.4.4.1 SPI 的时序和开关要求 — 外设模式

表 7-22 和表 7-23 展示了外设模式下 SPI 的时序和开关要求。

表 7-22. SPI 时序要求 — 外设模式

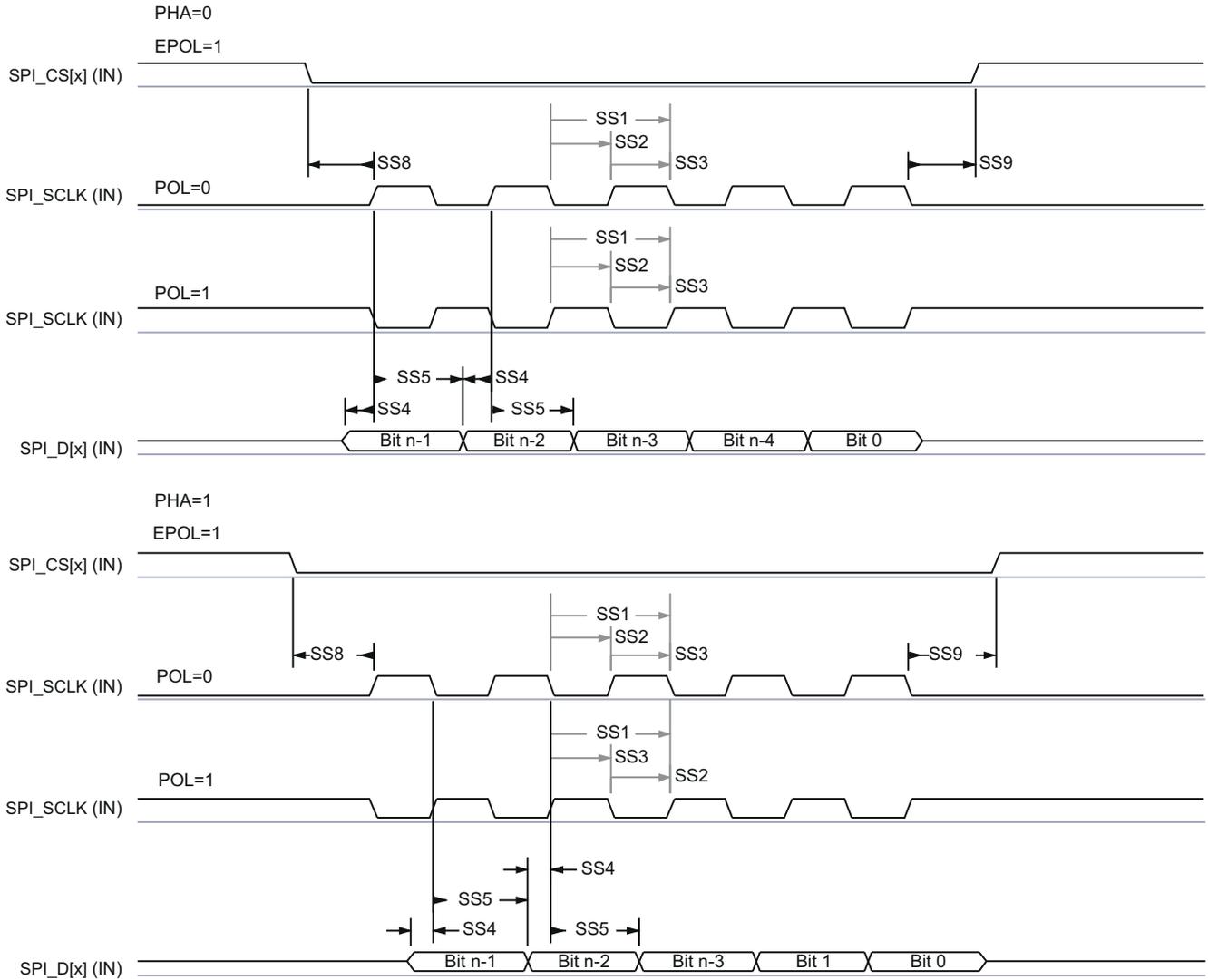
编号 ^{(1) (3)}	参数	说明	最小值	最大值	单位
SS1	$t_c(\text{SPICLK})$	周期时间, SPI_CLK	24.6		ns
SS2	$t_w(\text{SPICLK}_L)$	典型脉冲持续时间, SPI_CLK 低电平	$0.45 \cdot P^{(2)}$		ns
SS3	$t_w(\text{SPICLK}_H)$	典型脉冲持续时间, SPI_CLK 高电平	$0.45 \cdot P^{(2)}$		ns
SS4	$t_{su}(\text{SIMO-SPICLK})$	建立时间, 在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	3		ns
SS5	$t_h(\text{SPICLK-SIMO})$	保持时间, 在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	1		ns
SS8	$t_{su}(\text{CS-SPICLK})$	建立时间, SPI_CLK 第一个边沿之前 SPI_CS[x] 有效	5		ns
SS9	$t_h(\text{SPICLK-CS})$	保持时间, SPI_CLK 最后一个边沿之后 SPI_CS[x] 有效	5		ns
SS10	sr	针对所有引脚的输入压摆率	1	3	ns
SS11	Cb	D0 和 D1 上的容性负载	2	15	pF

表 7-23. SPI 开关特性 — 外设模式

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-SOMI)}$	延迟时间, SPI_CLK 有效边沿到 McSPI_somi 转换	0	5.77	ns
SS7	$t_{sk}(CS-SOMI)$	延迟时间, SPI_CS[x] 有效边沿到 McSPI_somi 转换	5.77		ns

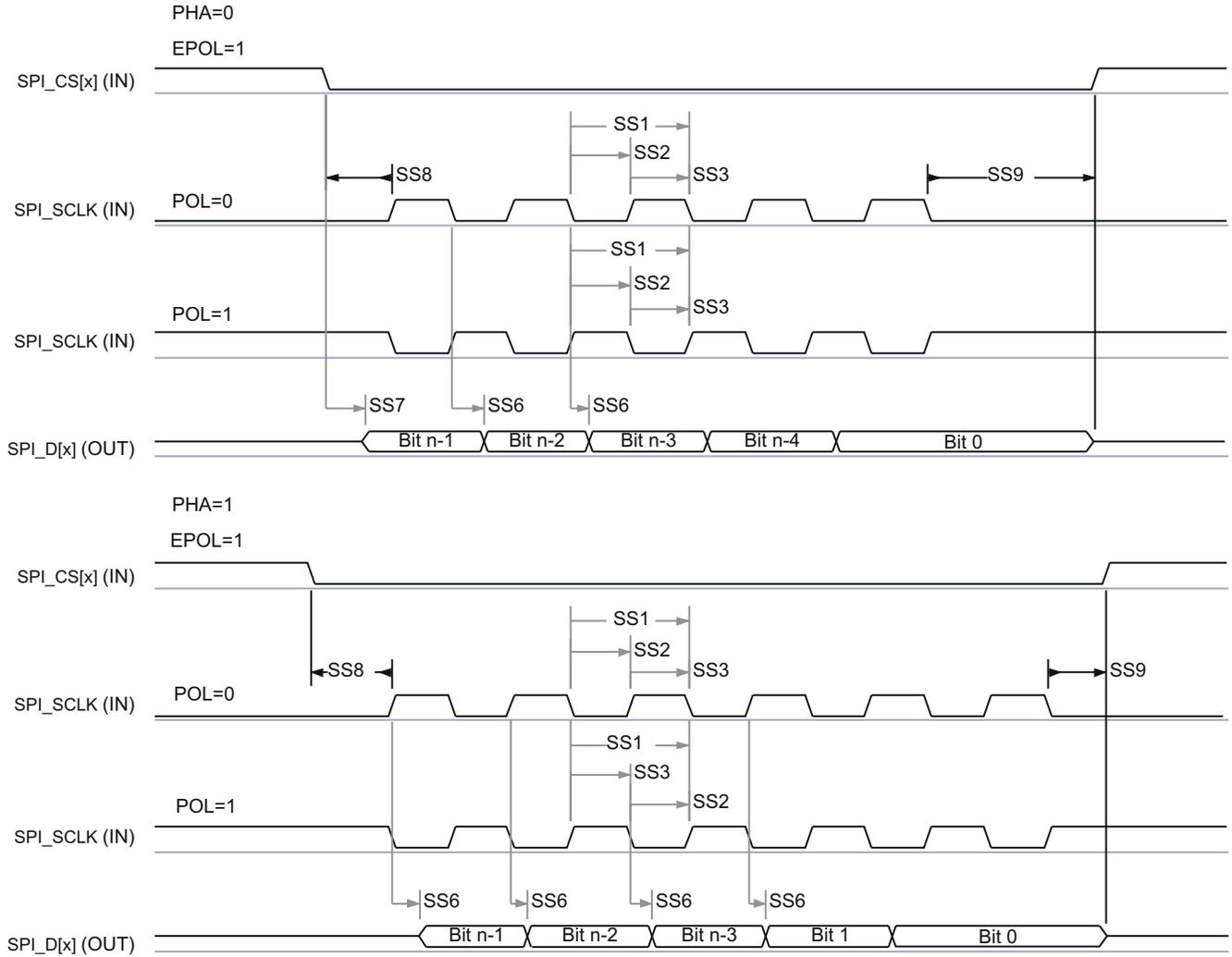
- (1) P = 该时序适用于所有配置, 无论 SPI_CLK 极性如何以及使用哪些时钟边沿来驱动输出数据和捕获输入数据都是如此。
- (2) P = SPICLK 周期。
- (3) PHA = 0; SPI_CLK 相位可通过 SPI_CH(i)CONF 寄存器的 PHA 位进行编程。

7.13.4.4.2 SPI 输出时序的时序和开关特性 - 次级模式



SPRSP08_TIMING_McSPI_04

图 7-13. SPI 时序 — 外设模式接收



SPRSP08_TIMING_McSPI_03

图 7-14. SPI 时序 — 外设模式发送

7.13.5 RDIF 接口配置

将支持的雷达数据接口 (RDIF) 开发为调试接口 (例如：用于捕获原始 ADC 数据) 而不是开发为生产接口。RDIF 具有四个数据通道、一个位时钟通道和一个帧时钟通道。从这个接口中，将会发送出高速数据以用于调试目的。

RDIF 接口支持以下¹数据速率：

- 400Mbps
- 320Mbps
- 200Mbps
- 160Mbps

7.13.5.1 RDIF 接口时序

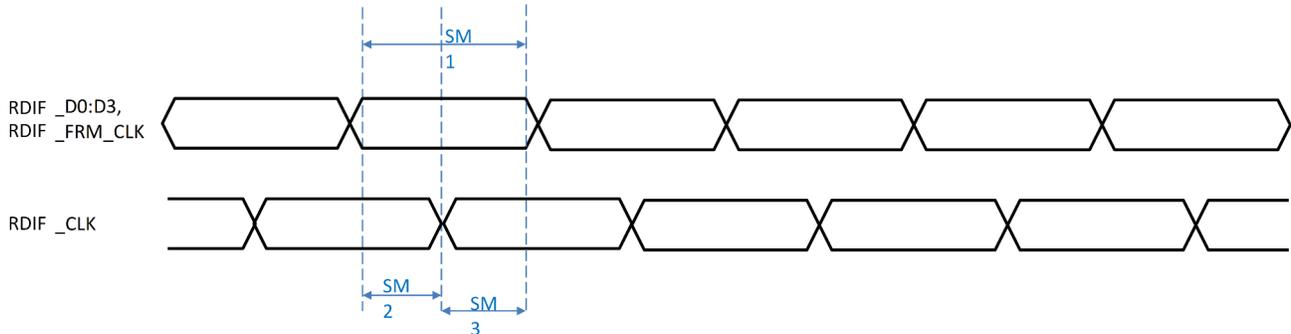


图 7-15. RDIF 时序要求

表 7-24. RDIF 接口的时序要求

编号	参数	说明	模式	最小值	最大值	单位
SM1	T_b (RDIF_D[x])	位间隔、RDIF_d[x]	内部时钟	9.6		ns
SM2	T_{vb} (RDIF_D[x] - RDIF_CLK)	数据有效时间、RDIF_d[x] 和 RDIF_frm_clk 在 RDIF_clk 活动边沿之前有效	内部时钟	4.8		ns
SM3	T_{va} (RDIF_CLK - RDIF_D[x])	数据有效时间、RDIF_d[x] 在 RDIF_clk 活动边沿之后有效	内部时钟	4.8		ns
SM4	C_b	每个总线的容性负载		3	15	pF

¹ 通过四条数据通道实现的聚合

7.13.5.2 RDIF 数据格式

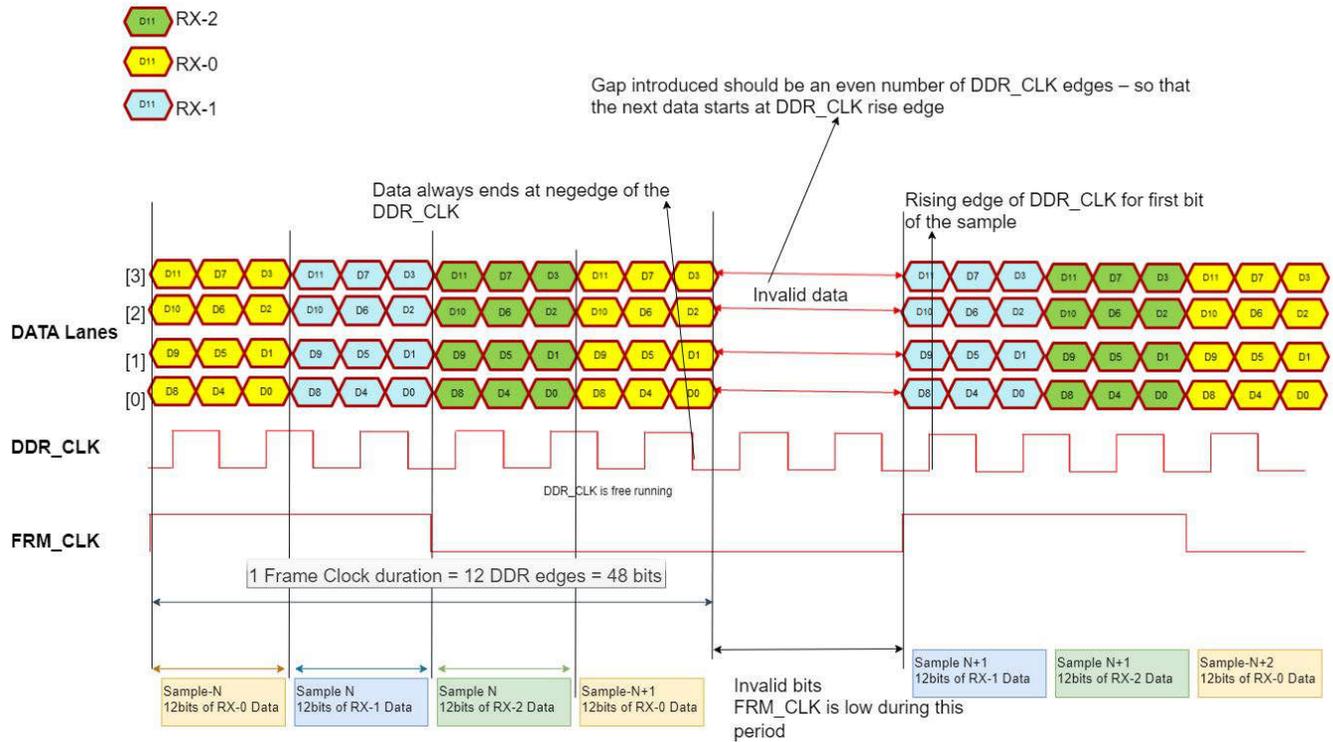


图 7-16. RDIF 数据格式

- 如上图所示，样本逐个通道发送。一个通道的所有 12 位都在 4 个数据通道上在 3 个 DDR_CLK 边沿发送，接下来是 RX 通道。
- 帧时钟 (FRM_CLK) 跨 12 个 DDR_CLK 边沿，48 位在 1 个 FRM_CLK 中发送
- FRM_CLK 之间可能存在间隙。由于接口速率大于传入速率，因此需间隙
- DDR_CLK 是连续的。
- DDR_CLK 由 400MHz ADC CLK (ADC CLK 之一) 生成 — 为 DFE 选择的速率。它与为 DFE 选择的 400MHz 时钟相同。
- 新采样始终从 DDR_CLK 的上升沿开始
- FRM_CLK 对整个数据位有效，并符合 DDR_CLK 的 Tsu/Th 要求。

7.13.6 通用输入/输出

7.13.6.1 输出时序的开关特性与负载电容 (C_L) 间的关系

表 7-25 列出了输出时序相对于负载电容的开关特性。

表 7-25. 输出时序的开关特性与负载电容 (C_L) 间的关系

参数 ^{(1) (2)}		测试条件	VIOIN = 1.8V	VIOIN = 3.3V	单位	
t_r	最大上升时间	转换控制 = 0	$C_L = 20\text{pF}$	2.8	3.0	ns
			$C_L = 50\text{pF}$	6.4	6.9	
			$C_L = 75\text{pF}$	9.4	10.2	
t_f	最大下降时间		$C_L = 20\text{pF}$	2.8	2.8	ns
			$C_L = 50\text{pF}$	6.4	6.6	
			$C_L = 75\text{pF}$	9.4	9.8	
t_r	最大上升时间	转换控制 = 1	$C_L = 20\text{pF}$	3.3	3.3	ns
			$C_L = 50\text{pF}$	6.7	7.2	
			$C_L = 75\text{pF}$	9.6	10.5	
t_f	最大下降时间		$C_L = 20\text{pF}$	3.1	3.1	ns
			$C_L = 50\text{pF}$	6.6	6.6	
			$C_L = 75\text{pF}$	9.6	9.6	

(1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。

(2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

7.13.7 控制器局域网 - 灵活数据速率 (CAN-FD)

CAN-FD 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

CAN-FD 模块具有下列特性：

- 符合 CAN 协议 2.0 A、B 和 ISO 11898-1 标准
- 完全支持 CAN FD (每帧最多 64 个数据字节)
- 支持 AUTOSAR 和 SAE J1939
- 多达 32 个专用发送缓冲器
- 可配置的发送 FIFO，最多 32 个元素
- 可配置的发送队列，最多 32 个元素
- 可配置的发送事件 FIFO，最多 32 个元素
- 多达 64 个专用接收缓冲器
- 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
- 多达 128 个 11 位滤波器元素
- 内部环回模式，用于实现自检
- 可屏蔽中断，两个中断线路
- 两个时钟域 (CAN 时钟/主机时钟)
- 奇偶校验/ECC 支持 — 消息 RAM 单错校正双错检测 (SECCED) 机制
- 消息内存容量已满 (4352 个字)。

7.13.7.1 CANx TX 和 RX 引脚的动态特性

参数		最小值	典型值	最大值	单位
$t_{d(CAN_FD_tx)}$	延迟时间，发送移位寄存器到 CAN_FD_tx 引脚的时间 ⁽¹⁾			15	ns
$t_{d(CAN_FD_rx)}$	延迟时间，CAN_FD_rx 引脚到接收移位寄存器的时间 ⁽¹⁾			15	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

7.13.8 串行通信接口 (SCI)

该 SCI 具有以下特性：

- 标准通用异步收发器 (UART) 通信
- 支持全双工或半双工运行
- 标准非归零码 (NRZ) 格式
- 兼容模式下的双缓冲接收和发送功能
- 支持两个单独启用的中断线路：0 级和 1 级
- 基于以下内容的每字符 3 至 13 位的可配置帧格式
 - 1 位至 8 位可编程数据字长度
 - 地址位模式中的附加地址位
 - 可编程为零个或一个奇偶校验位的奇偶校验，奇校验或偶校验的奇偶检验
 - 可编程为一个或两个停止位的停止
- 无 CLK 引脚的异步或 ISO 同步通信模式
- 两个多处理器通信格式可实现多于两个器件间的通信
- 休眠模式可用于在多处理器通信期间释放 CPU 资源，然后唤醒以接收传入消息
- 能够使用直接存储器存取 (DMA) 发送和接收数据
- 五个错误标志和七个状态标志提供与 SCI 事件有关的详细信息。
- 两个外部引脚：RS232_RX 和 RS232_TX
- 多缓冲接收和发送单元

7.13.8.1 SCI 时序要求

	最小值	典型值	最大值	单位
f(baud) 20pF 时支持的波特率		115.2 ⁽¹⁾	1250 ⁽²⁾	kBaud

(1) 支持的最大标准波特率。

(2) 支持的最大自定义波特率。

7.13.9 内部集成电路接口 (I2C)

内部集成电路 (I2C) 模块是一款多控制器通信模块，此模块与飞利浦半导体 I2C 总线技术规范版本 2.1 兼容的器件之间提供一个接口并通过 I²C-bus™ 连接。这个模块将支持任何目标或控制器 I2C 兼容器件。

I2C 有下列特性：

- 与飞利浦 I2C 总线技术规范，v2.1 兼容 (I2C 技术规范，飞利浦文献编号 9398 393 40011)
 - 位/字节格式传输
 - 7 位和 10 位器件寻址模式
 - 开始字节
 - 多控制器发送器/目标接收器模式
 - 多控制器接收器/目标发送器模式
 - 组合控制器发送/接收和接收/发送模式
 - 100kbps 到高达 400kbps 的传输速率 (飞利浦快速模式速率)
- 自由数据格式
- 两个 DMA 事件 (发送和接收)
- DMA 事件启用/禁用功能
- 模块启用/禁用能力
- 可选择将 SDA 和 SCL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

备注

这个 I2C 模块不支持：

- 高速 (HS) 模式
- C 总线兼容模式
- 10 位地址模式下的组合格式 (I2C 在每次发送目标地址第一个字节时，都会发送目标地址第二个字节)

7.13.9.1 I2C 时序要求

		标准模式 ⁽¹⁾		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_c(SCL)$	周期时间, SCL	10		2.5		μs
$t_{su}(SCLH-SDAL)$	在 SDA 低电平之前 SCL 高电平的建立时间 (对于重复启动条件)	4.7		0.6		μs
$t_h(SCLL-SDAL)$	在 SDA 低电平之后 SCL 低电平的保持时间 (对于启动或重复启动条件)	4		0.6		μs
$t_w(SCLL)$	脉冲持续时间, SCL 低电平	4.7		1.3		μs
$t_w(SCLH)$	脉冲持续时间, SCL 高电平	4		0.6		μs
$t_{su}(SDA-SCLH)$	建立时间, 在 SCL 高电平之前 SDA 有效	250		100		ns
$t_h(SCLL-SDA)$	保持时间, 在 SCL 低电平之后 SDA 有效	0	3.45 ⁽¹⁾	0	0.9	μs
$t_w(SDAH)$	脉冲持续时间, 在停止和启动条件之间 SDA 高电平	4.7		1.3		μs
$t_{su}(SCLH-SDAH)$	在 SDA 高电平之前 SCL 高电平的建立时间 (对于停止条件)	4		0.6		μs
$t_w(SP)$	脉冲持续时间, 尖峰 (必须被抑制)			0	50	ns
C_b ^{(2) (3)}	每个总线的容性负载		400		400	pF

- (1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲器。当该器件的电源关闭时, 这些引脚有可能耗电。
 (2) 如果器件不延长 SCL 信号的低周期 ($t_w(SCLL)$), 只需满足针对 I2C 总线器件的最大 $t_h(SDA-SCL)$ 。
 (3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用, 可实现更快的下降时间。

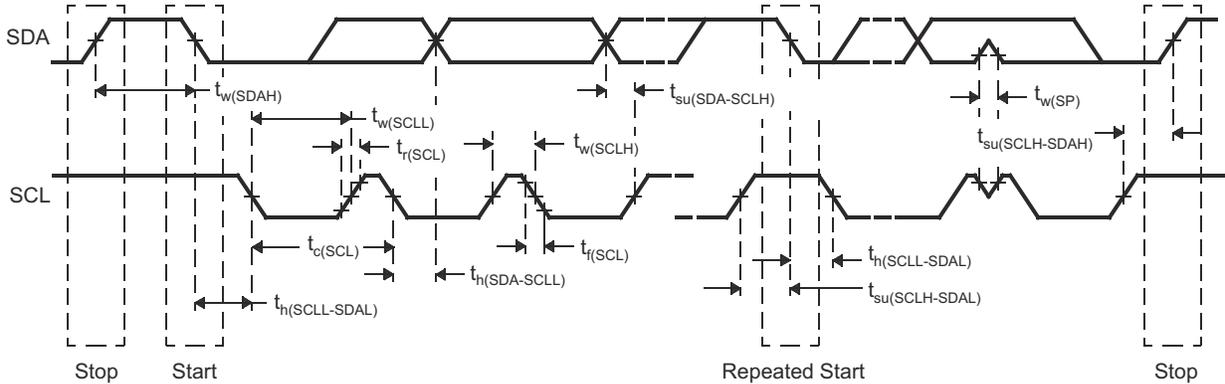


图 7-17. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间 (以 SCL 信号的 VIHmin 为基准) 来连接 SCL 下降边沿的未定义区域。
- 如果器件不延长 SCL 信号的低电平周期 ($t_w(SCLL)$), 只需满足最大 $t_h(SDA-SCLL)$ 。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统, 但必须满足 $t_{su}(SDA-SCLH) \geq 250ns$ 的要求。如果该器件不延长 SCL 信号的低电平周期, 将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期, 它必须将下一个数据位输出到 SDA 线路 t_r 最大值 + $t_{su}(SDA-SCLH)$ 。

7.13.10 四线串行外设接口 (QSPI)

四线串行外设接口 (QSPI) 模块是一种串行外设接口 (SPI) 模块，允许对外部 SPI 器件进行单路、双路或四路读取访问。该模块具有存储器映射寄存器接口，可提供直接接口用于从外部 SPI 器件访问数据，从而简化软件要求。QSPI 仅用作控制器。器件中的 QSPI 主要用于从四路 SPI 闪存存储器快速引导。

该 QSPI 支持以下特性：

- 可编程时钟分频器
- 六引脚接口
- 传输的字的可编程长度 (从 1 位到 128 位)
- 传输的字的可编程数量 (从 1 到 4096)
- 可选择在字或帧 (字数) 完成时生成中断
- 芯片选择激活之间的可编程延迟以及 0 到 3 个 QSPI 时钟周期的输出数据

节 7.13.10.2 和节 7.13.10.3 假设了节 7.13.10.1 中所述的运行条件。

7.13.10.1 QSPI 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.13.10.2 QSPI 输入 (读取) 时序的时序要求

		最小值 ^{(1) (2)}	典型值	最大值	单位
$t_{su}(D-SCLK)$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间	5			ns
$t_h(SCLK-D)$	在 SCLK 下降沿之后 d[3:0] 有效的保持时间	1			ns
$t_{su}(D-SCLK)$	在最终 SCLK 下降沿之前最终 d[3:0] 位有效的建立时间	5 - P ⁽³⁾			ns
$t_h(SCLK-D)$	在最终 SCLK 下降沿之后最终 d[3:0] 位有效的保持时间	1 + P ⁽³⁾			ns

(1) 时钟模式 0 (时钟极性 = 0; 时钟相位 = 0) 是工作模式。

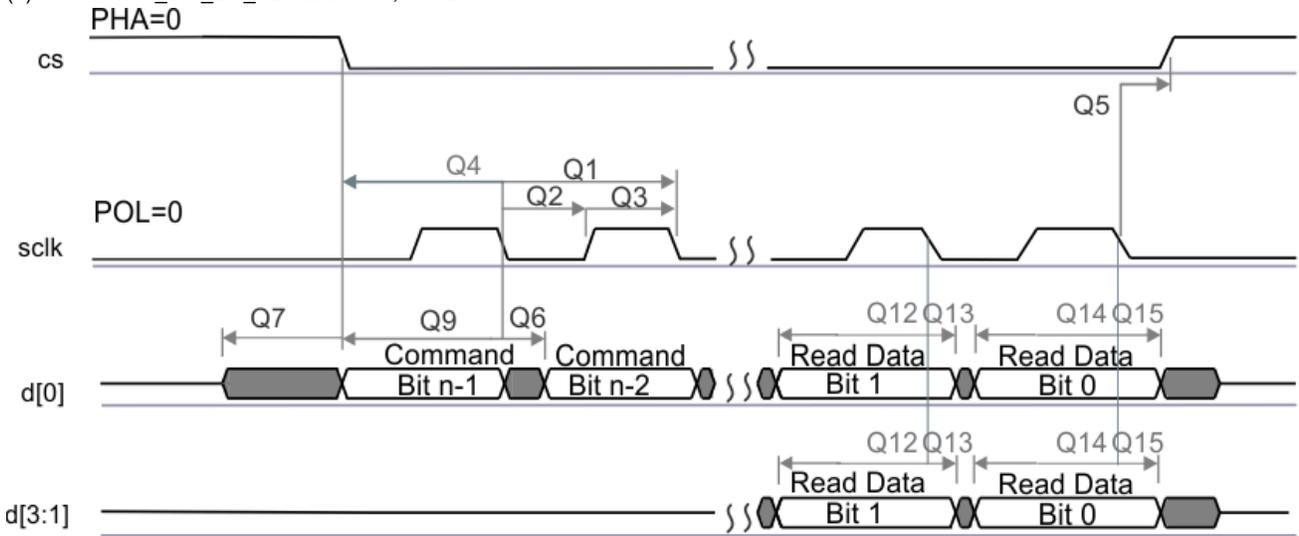
(2) 与传统的上升时钟沿相反，器件在时钟模式 0 的下降时钟沿捕获数据。尽管是非标准的，但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 的下降沿启动数据的标准 SPI 器件兼容。

(3) P = SCLK 周期，单位为 ns。

7.13.10.3 QSPI 开关特性

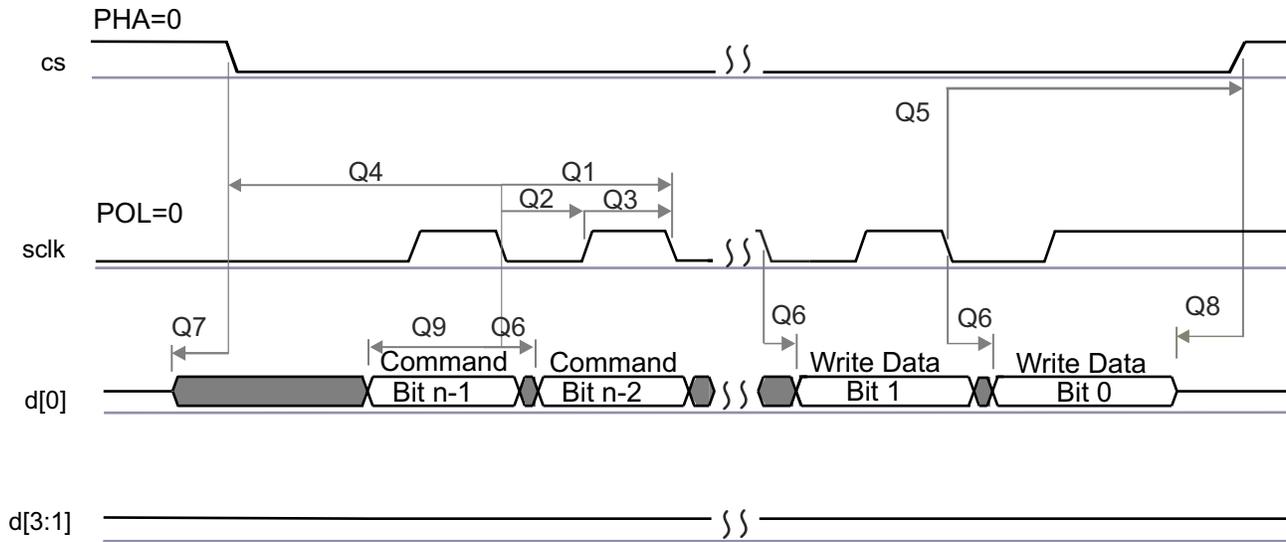
编号	参数		最小值	典型值	最大值	单位
Q1	$t_{c(SCLK)}$	SCLK 周期时间	12.5			ns
Q2	$t_{w(SCLKL)}$	SCLK 低电平的脉冲持续时间	$Y * P - 3^{(1)(2)}$			ns
Q3	$t_{w(SCLKH)}$	SCLK 高电平的脉冲持续时间	$Y * P - 3^{(1)(2)}$			ns
Q4	$t_{d(CS-SCLK)}$	SCLK 下降沿到 CS 有效边沿的延迟时间	$-M * P - 1^{(2)(3)}$		$-M * P + 2.5^{(2)(3)}$	ns
Q5	$t_{d(SCLK-CS)}$	SCLK 下降沿到 CS 无效边沿的延迟时间	$N * P - 1^{(2)(3)}$		$N * P + 2.5^{(2)(3)}$	ns
Q6	$t_{d(SCLK-D1)}$	SCLK 下降沿到 d[1] 转换的延迟时间	-2		4	ns
Q7	$t_{ena(CS-D1LZ)}$	使能时间, CS 有效边沿到 d[1] 驱动 (低阻抗)	$-P - 4^{(2)}$		$-P + 1^{(2)}$	ns
Q8	$t_{dis(CS-D1Z)}$	禁用时间, CS 有效边沿到 d[1] 三态 (高阻抗)	$-P - 4^{(2)}$		$-P + 1^{(2)}$	ns
Q9	$t_{d(SCLK-D1)}$	SCLK 第一个下降沿到第一个 d[1] 转换的延迟时间 (仅适用于 PHA = 0)	$-2 - P^{(2)}$		$4 - P^{(2)}$	ns
Q12	$t_{su(D-SCLK)}$	在 SCLK 下降沿之前 d[3:0] 有效的建立时间	5			ns
Q13	$t_{h(SCLK-D)}$	在 SCLK 下降沿之后 d[3:0] 有效的保持时间	1			ns
Q14	$t_{su(D-SCLK)}$	在最终 SCLK 下降沿之前最终 d[3:0] 位有效的建立时间	$5 - P^{(2)}$			ns
Q15	$t_{h(SCLK-D)}$	在最终 SCLK 下降沿之后最终 d[3:0] 位有效的保持时间	$1 + P^{(2)}$			ns

- (1) Y 参数定义如下: 如果 DCLK_DIV 为 0 或奇数, 则 Y 等于 0.5。如果 DCLK_DIV 为偶数, 则 $Y = (DCLK_DIV/2) / (DCLK_DIV+1)$ 。为了获得最佳性能, 建议使用 0 或奇数的 DCLK_DIV 以尽可能减少占空比失真。有关时钟分频因子 DCLK_DIV 的所有必需详细信息, 请参阅器件特定的技术参考手册。
- (2) P = SCLK 周期, 单位为 ns。
- (3) M = QSPI_SPI_DC_REG.DDX + 1, N = 2



SPRS85v TIMING OSP11 02

图 7-18. QSPI 读取 (时钟模式 0)



SPRS85v_TIMING_OSP11_04

图 7-19. QSPI 写入 (时钟模式 0)

7.13.11 JTAG 接口

节 7.13.11.2 和节 7.13.11.3 假设了节 7.13.11.1 所示的运行条件。

7.13.11.1 JTAG 时序条件

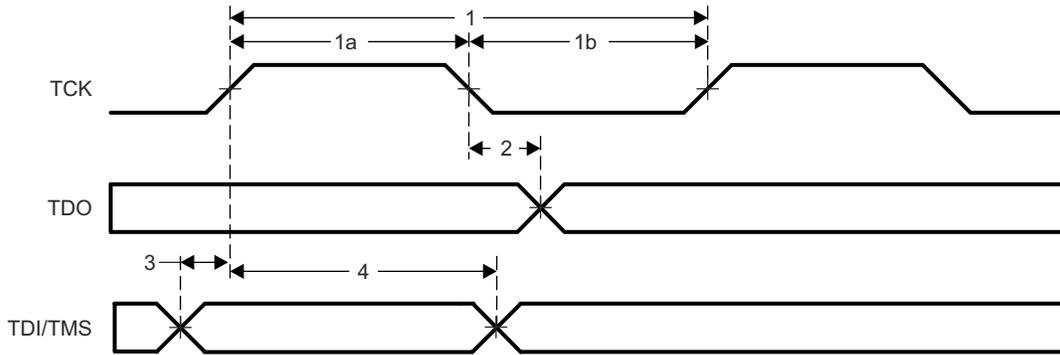
		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

7.13.11.2 IEEE 1149.1 JTAG 的时序要求

编号	参数		最小值	典型值	最大值	单位
1	$t_c(TCK)$	TCK 周期时间	66.66			ns
1a	$t_w(TCKH)$	TCK 高电平的脉冲持续时间 (t_c 的 40%)	20			ns
1b	$t_w(TCKL)$	TCK 低电平的脉冲持续时间 (t_c 的 40%)	20			ns
3	$t_{su}(TDI-TCK)$	TDI 有效至 TCK 高电平的输入建立时间	2.5			ns
	$t_{su}(TMS-TCK)$	TMS 有效至 TCK 高电平的输入建立时间	2.5			ns
4	$t_h(TCK-TDI)$	从 TCK 高电平至 TDI 有效的输入保持时间	18			ns
	$t_h(TCK-TMS)$	从 TCK 高电平至 TMS 有效的输入保持时间	18			ns

7.13.11.3 IEEE 1149.1 JTAG 在推荐工作条件下的开关特性

编号	参数		最小值	典型值	最大值	单位
2	$t_d(TCKL-TDOV)$	TCK 低电平到 TDO 有效的延迟时间	0		15	ns



SPRS91v_JTAG_01

图 7-20. JTAG 时序

8 详细说明

8.1 概述

IWRL6432W 器件是一个完整的 SOC，包括毫米波前端、客户可编程 MCU 和用于两个发送器和三个接收器的模拟基带信号链。该器件可在具有存储器、处理能力和应用代码大小的高质量配置的使用案例中用作片上雷达。使用案例包括具有成本效益的工业雷达传感应用。示例包括：

- 工业级传感
- 工业自动化传感器与雷达融合
- 使用雷达进行交通和十字路口监控
- 工业雷达接近监控
- 人数统计
- 手势检测

在可扩展性方面，IWRL6432W 器件可与低端外部 MCU 配合使用，以满足更复杂的应用，这些应用可能需要额外的存储器来支持更大的应用软件占用空间和更快的接口。

8.2 功能方框图

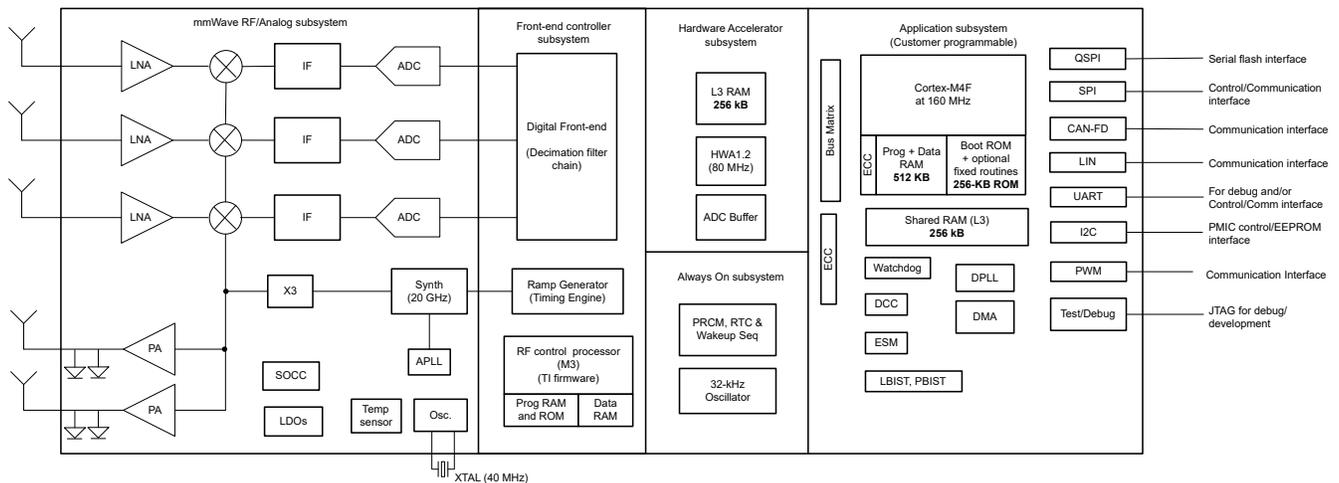


图 8-1. 功能方框图

8.3 子系统

8.3.1 射频 (RF) 和模拟子系统

射频和模拟子系统包括射频和模拟电路，即合成器、PA、LNA、混频器、IF 和 ADC。这个子系统还包括晶体振荡器和多个温度传感器。两个 TX 可以同时以 BPM 模式下运行以形成波束，也可以单独在 TDM 模式下运行。同样，该器件允许根据应用和功率要求配置接收通道的数量。为了实现系统节能，可将射频和模拟子系统置于低功耗模式配置。

8.3.2 时钟子系统

IWRL6432W 时钟子系统从晶体的输入基准频率生成 57GHz 至 63.9GHz 的频率。它具有一个内置振荡器电路，后跟一个清理 PLL 和一个射频合成器电路。然后，射频合成器的输出由 X3 乘法器进行处理，以生成 57GHz 至 63.9GHz 频谱范围内的所需频率。通过计时引擎模块对射频合成器输出进行调制，以生成传感器有效运行所需的波形。

清理 PLL 还在系统唤醒后为主机处理器提供基准时钟。

图 8-2 介绍了时钟子系统。

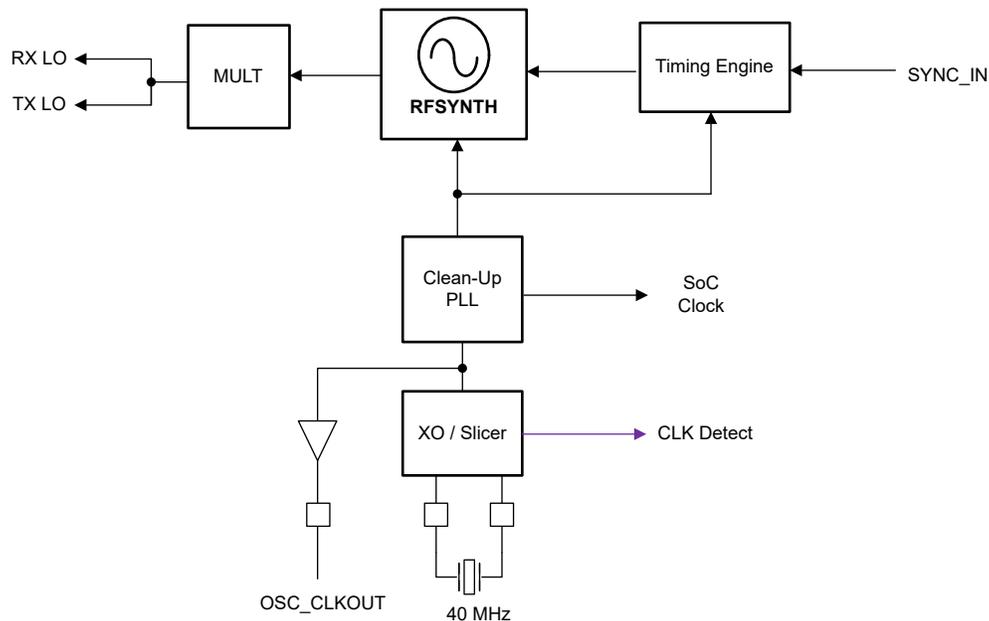


图 8-2. 时钟子系统

8.3.3 发送子系统

IWRL6432W 发送子系统由两个并行发送链组成，每个发送链具有独立的相位和振幅控制。该器件支持 MIMO 雷达的二进制相位调制。

发送链还支持可编程退避以实现系统优化。

图 8-3 介绍了发送子系统。

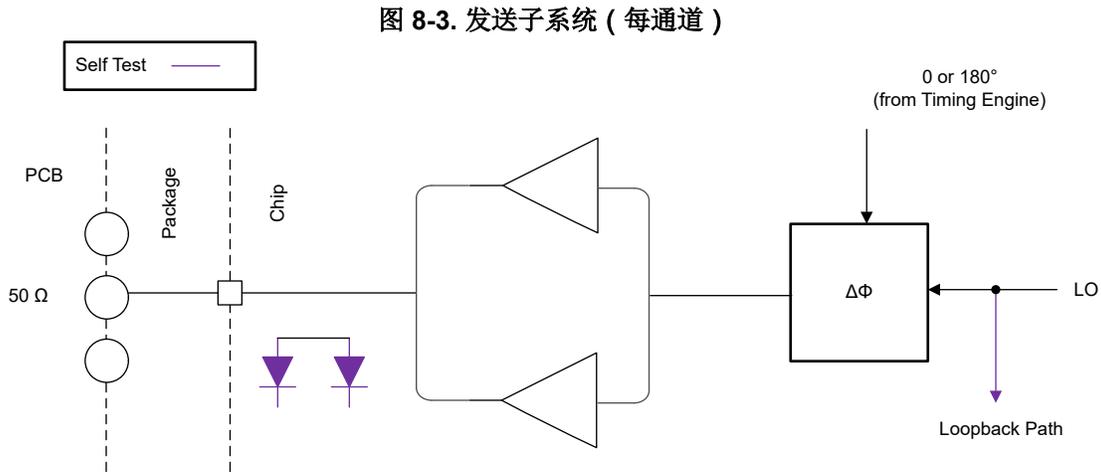


图 8-3. 发送子系统 (每通道)

8.3.4 接收子系统

IWRL6432W 接收子系统由三个并行通道组成。单个接收通道由 LNA、混频器、IF 滤波、ADC 转换和抽取组成。根据系统电源需求和应用设计，所有四个接收通道可以同时工作，也可以单独断电。

IWRL6432W 器件支持实数基带架构，该架构使用实数混频器、单个 IF 和 ADC 链为每个接收器通道提供输出。该器件适用于快速线性调频脉冲系统。带通 IF 链具有高于 175kHz 的较低可配置截止频率，并可以支持高达 5MHz 的带宽。

图 8-4 介绍了接收子系统。

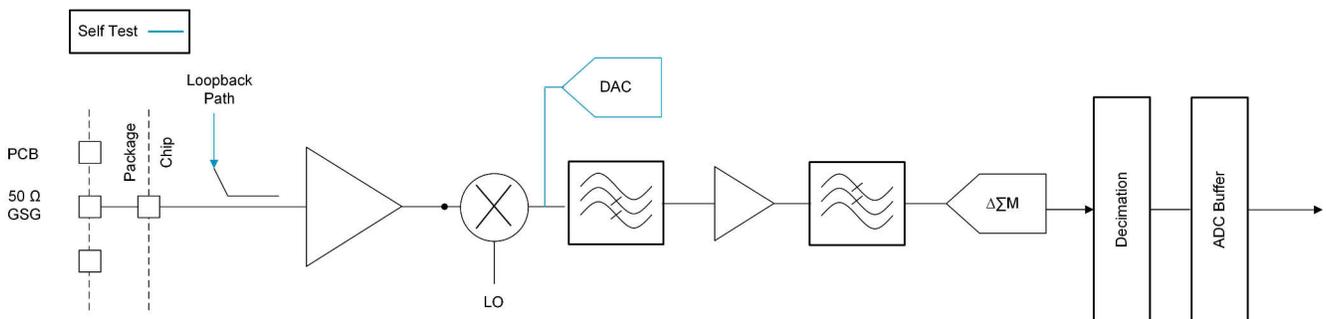


图 8-4. 接收子系统 (每通道)

8.3.5 处理器子系统

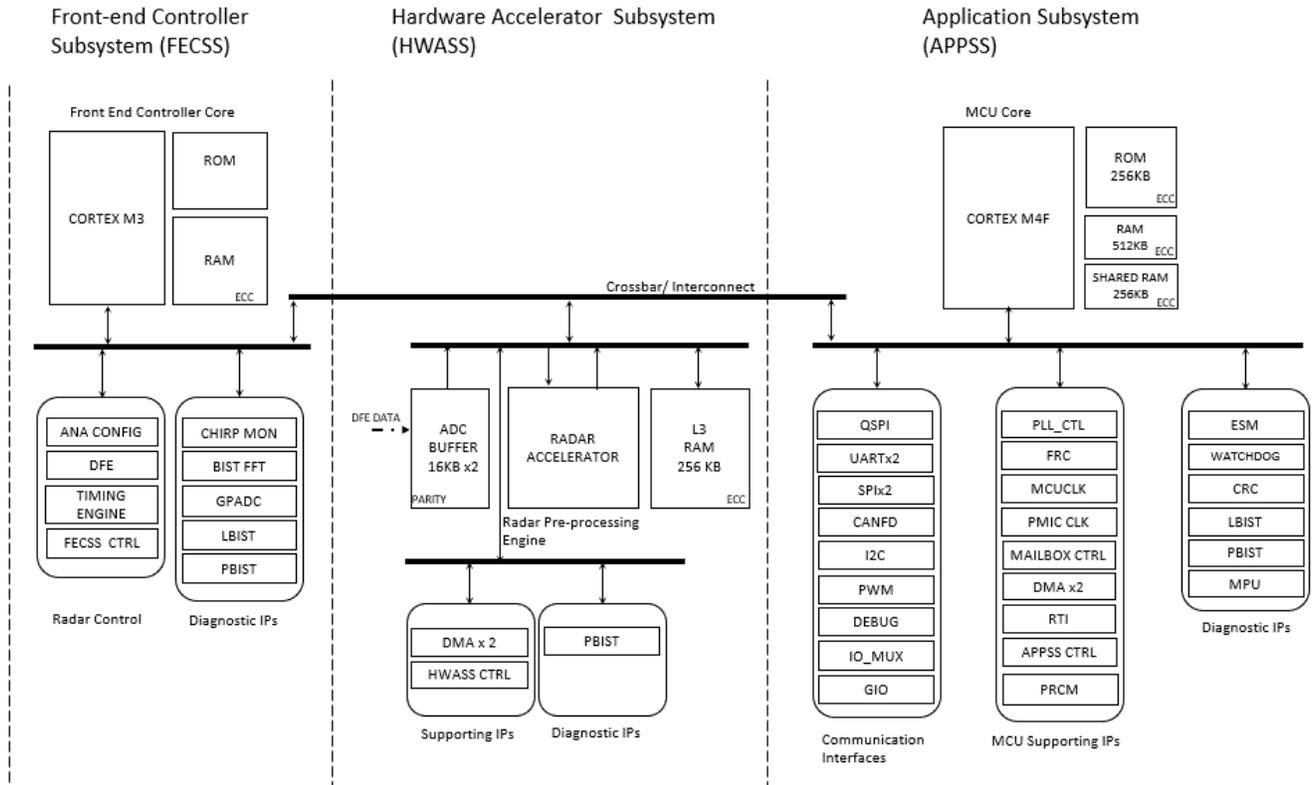


图 8-5. 处理器子系统

图 8-5 展示了 IWRL6432W 器件中客户可编程处理器子系统的方框图。概括来说，有两个客户可编程子系统，图中用虚线隔开。中央面板显示了 HWA，它是一种用于高性能（64 位，80MHz）以及关联的外设数据传输的高带宽互连。RDIF 接口用于测量数据输出、L3 雷达数据立方体存储器、ADC 缓冲器、CRC 引擎和数据握手存储器（互连上提供的额外存储器）。

图的右侧显示了应用子系统。应用子系统是器件的主要控制器，控制着所有器件外设和器件的通用活动。应用子系统包含 Cortex-M4F 处理器和关联的外设和通用元件，例如 DMA、CRC 和通过外设中心资源（PCR 互连）连接到主互连的外设（I²C、UART、SPI、CAN、PMIC 时钟模块、PWM、等）。

8.3.6 主机接口

可通过 SPI、UART 或 CAN-FD 接口提供主机接口。在某些情况下，工业应用的串行接口被转码到不同的串行标准。

IWRL6432W 器件通过以下控制信号与主机雷达处理器通信：

- 基准时钟 — 器件唤醒后主机处理器可用的基准时钟
- 控制 — 用于主机控制的 4 端口标准 SPI (外设)。所有无线电控制命令 (和响应) 都流经该接口
- 复位 - 用于从主机唤醒器件的低电平有效复位
- 主机中断 — 表示毫米波传感器需要主机接口
- 错误 — 用于在无线电控制器检测到故障时通知主机

8.3.7 应用子系统 Cortex-M4F

应用系统包括一个使用 160MHz 最大工作频率计时的 ARM Cortex M4F 处理器。在该处理器上执行的用户应用程序控制器件的整体运行，包括通过明确定义的 API 消息进行雷达控制、雷达信号处理 (由雷达硬件加速器提供辅助) 和用于外部接口的外设。

有关完整的说明和存储器映射，请参阅[技术参考手册](#)。

8.3.8 硬件加速器 (HWA1.2) 特性

- 快速 FFT 计算，具有可编程 2^N 大小，最大为 1024 点复数 FFT。
- 24 位 (用于 I 和 Q 各一) 的内部 FFT 位宽可实现良好的信号与量化噪声比 (SQNR) 性能
- 在每个基数 2 阶段具有完全可编程的蝶式缩放，可实现用户灵活性
- 用于进行前置 FFT 处理的内置功能 — 例如：直流估算和减除
- 直流估算和减除、干扰估算和消除、实数窗口、复数解旋
- 幅度 (绝对值) 和对数幅度计算
- 灵活的数据流和数据样本排列，可支持高效的多维 FFT 运算和转置访问
- 通过链接和循环机制对一组加速器操作逐个进行排序，最大限度地减小来自自主处理器的干预
- 峰值检测 — CFAR (CFAR-CA、CFAR-OS) 检测器
- 基本统计信息，包括总和 1D 最大值
- 用于雷达立方体存储器优化的压缩引擎

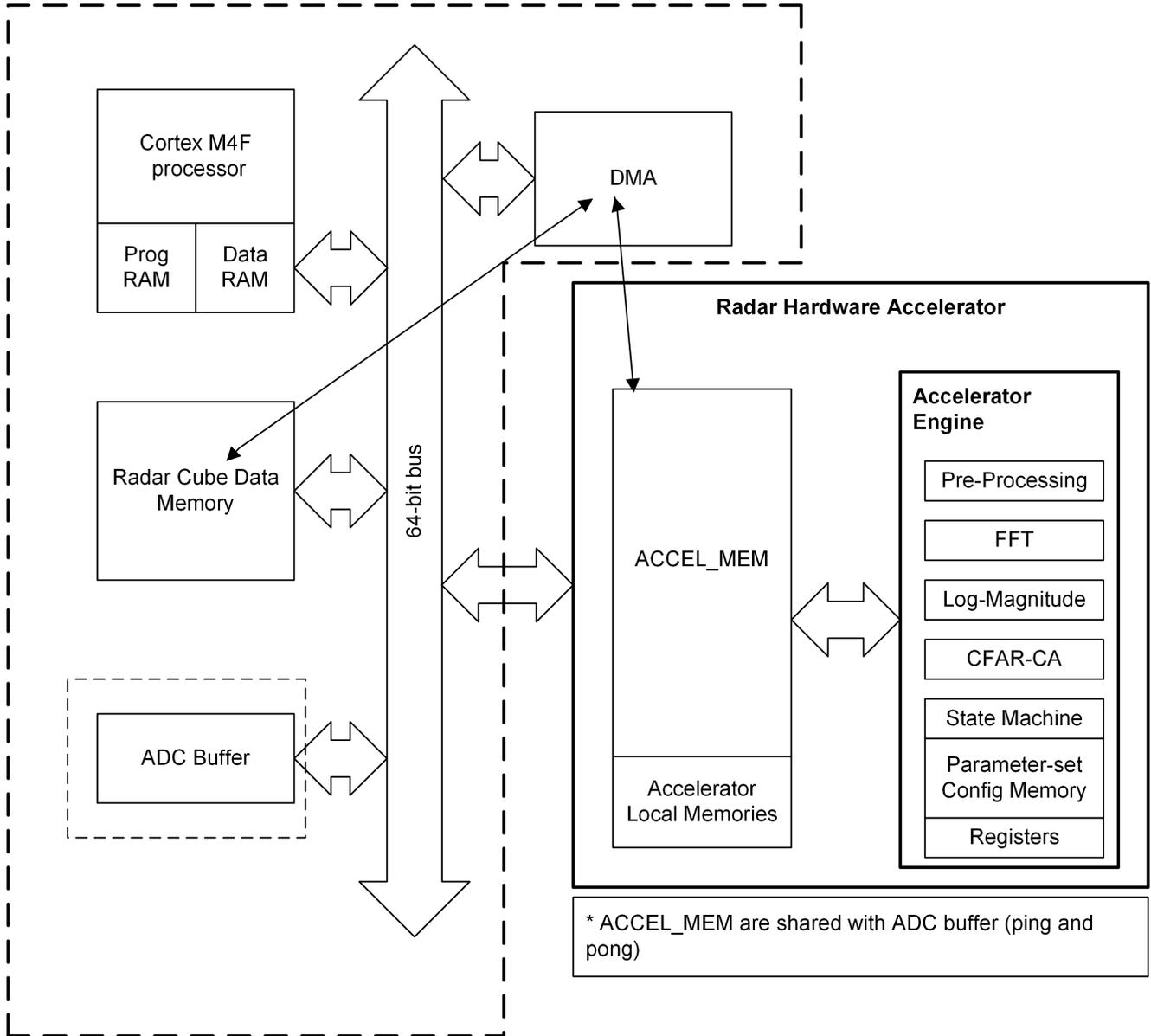


图 8-6. HWA 1.2 功能方框图

8.3.8.1 HWA1.1 和 HWA1.2 之间的硬件加速器特性差异

特性	HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)	
FFT 特性	FFT 大小	1024、512、256、...	1024、512、256、...
	内部位宽	24 位 I、24 位 Q	24 位 I、24 位 Q
		在每个阶段都可进行可配置的蝶式缩放	在每个阶段都可进行可配置的蝶式缩放
	FFT 拼接	高达 4096 点	高达 4096 点
四个 256 点 FFT 的 FFT 基准		1312 个时钟周期 (200MHz 时为 6.56μs)	1320 个时钟周期 (80MHz 时为 16.5μs)
参数集数量	16	32	
本地存储器	64KB	64KB	

特性	HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)
输入和输出格式器	<ul style="list-style-type: none"> 本地存储器的 A-DIM 和 B-DIM 寻址 可编程缩放 	<ul style="list-style-type: none"> 本地存储器的 A-DIM 和 B-DIM 寻址 可编程缩放
FFT 预处理	<ul style="list-style-type: none"> 干扰消除，具有固定阈值，基于幅度 复数乘法 (7 种模式) 实数窗口系数 	<ul style="list-style-type: none"> 直流估算和减除 干扰消除，具有自适应统计，基于振幅、幅度差、干扰计数指示。 复数乘法 (7 种模式) 实数窗口系数
FFT 后处理	对数幅度 (0.3dB 精度)	对数幅度 (0.06dB 精度)
压缩和解压缩支持	在 HWA1.0 (xWR1843) 上不提供，在 HWA1.1 (xWR6843) 上提供	可用
检测	CFAR-CA (线性和对数模式)	<ul style="list-style-type: none"> CFAR-CA (线性和对数模式) CFAR-OS (每侧的窗口大小高达 32)
统计	1D 求和，1D 查找最大值	1D 求和，1D 查找最大值

8.4 其他子系统

8.4.1 用于用户应用的 GPADC 通道 (服务)

IWRL6432W 器件包括为用户应用提供 ADC 服务，其中器件内部存在的 GPADC 引擎可用于测量多达两个外部电压。GPADC1 和 GPADC2 引脚此目的。

- GPADC 本身由在 FEC 子系统内部运行的 TI 固件进行控制，通过路由到 FEC 子系统的“APPSS”调用对其进行访问以实现客户的外部电压监控目的。此 API 可以与在 APPSS Cortex M4F® 上运行的用户应用程序链接。
- 器件固件包 (DFP) 提供 API 来配置和测量这些信号。这些 API 允许配置稳定时间 (要跳过的 ADC 样本数) 和要采集的连续样本数。在帧结束时，将报告每个受监测电压读数的最小值、最大值和平均值。

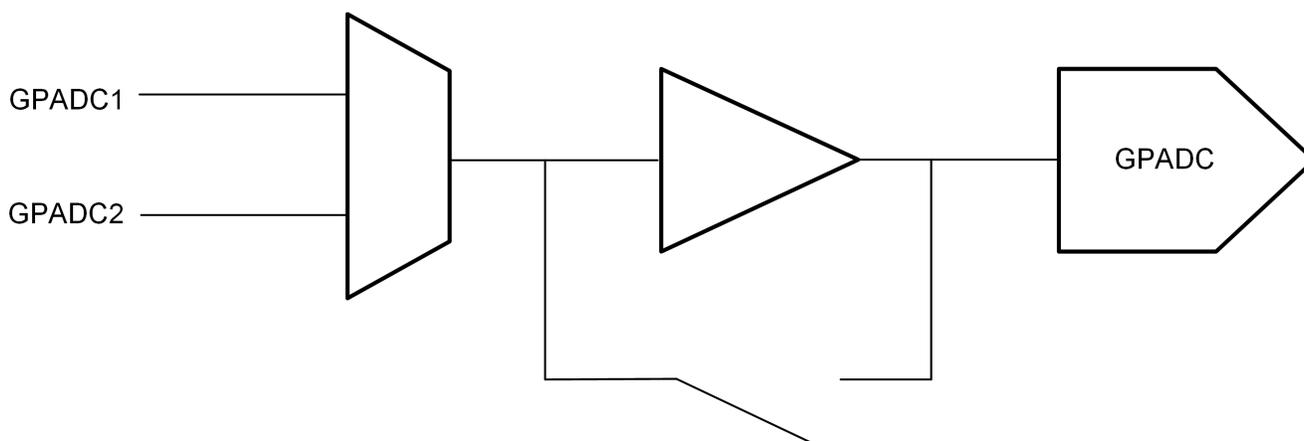


图 8-7. GPADC 路径

GPADC 结构用于测量内部温度传感器的输出。这些测量的精度为 $\pm 7^{\circ}\text{C}$ 。

8.4.2 GPADC 参数

参数	典型值	单位
ADC 电源	1.8	V
ADC 非缓冲输入电压范围	0 - 1.8	V
ADC 缓冲输入电压范围 ⁽¹⁾	0.4 - 1.3	V
ADC 分辨率	8	位
ADC 偏移误差	±5	LSB
ADC 增益误差	±5	LSB
ADC DNL	-1/+2.5	LSB
ADC INL	±2.5	LSB
ADC 采样速率 ⁽²⁾	831	Ksps
ADC 采样时间 ⁽²⁾	300	ns
ADC 内部电容	10	pF
ADC 缓冲器输入电容	2	pF
ADC 输入漏电流	3	uA

(1) 超出给定范围时，缓冲器输出将变成非线性。

(2) GPADC 本身由在 BIST 子系统中运行的 TI 固件进行控制。有关更多详细信息，请参阅 API 调用。

8.5 存储器分区示例

IWRL6432W 器件的总内存为 1MB。L3 存储器有两个存储器组，可与雷达立方体存储器或 Cortex-M4F RAM 关联。

表 8-1. 存储器分区选项

		配置 1	配置 2	配置 3
雷达数据存储器* (L3)	包括数据立方体、检测矩阵、热图	256KB	384KB	512KB
应用 (M4F 程序 + 数据)	包括驱动程序、 mmWavelink、BIOS	768KB	640KB	512KB
总内存		1024KB	1024KB	1024KB

整个 RAM 是不可拆卸的。此外，可以单独关闭每个存储器集群（如果需要）。集群定义如下

表 8-2. 内存保留选项

RAM_1			RAM_2		RAM_3	共享	HWA
256KB			128KB		128KB	256KB	256KB
组 #1 ⁽¹⁾			组 #2		组 #3		
集群 #1	集群 #3	集群 #4	集群 #2	集群 #5		集群 #6	
64KB	64KB	128KB	16KB	112KB	128KB	256KB	256KB

(1) 保留存储器具有电源开关。这些组代表存储器配置。

8.6 引导模式

一旦器件复位失效，APPSS 的处理器就开始从片上 ROM 存储器执行其引导加载程序。

引导加载程序在三种基本模式下运行，通过配置称为“电源检测” (SOP) 的引脚在用户硬件（印刷电路板）上指定这些模式。引导加载程序固件会扫描器件边界上的这些引脚并选择引导加载程序运行的模式。

表 8-3 枚举了相关的 SOP 组合以及这些组合如何映射到引导加载程序运行。

表 8-3. SOP 组合

SOP1	SOP0	引导加载程序模式和运行方式
0	0	刷写模式 器件引导加载程序循环工作，允许将用户应用程序（或 TI 提供的器件固件补丁）刷写到串行闪存中。
0	1	功能模式 器件引导加载程序将用户应用程序从 QSPI 串行闪存加载到内部 RAM 中并将控制切换到内部 RAM。
1	1	调试模式 引导加载程序被绕过并且暂定 M4F 处理器。这使得用户能够在一个已知点上连接仿真器。

9 应用、实施和布局

备注

以下“应用”部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

应用信息可以在 [IWR 应用网页](#) 上找到。

10 器件和文档支持

TI 提供广泛的开发工具。下面是用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，*IWRL6432W*)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型 (例如 YFF0111-C01)、温度范围 (例如，无后缀表示默认的商用温度范围)。图 10-1 提供了读取任一 *IWRL6432W* 器件完整器件名称的图例。

如需 AMF0102A YFF0111-C01 封装类型的 *IWRL6432W* 器件的可订购器件型号，请参阅本文档的“封装选项附录” (如果提供)、访问 TI 网站 (www.ti.com) 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 [IWRL6432W 器件勘误表](#)。

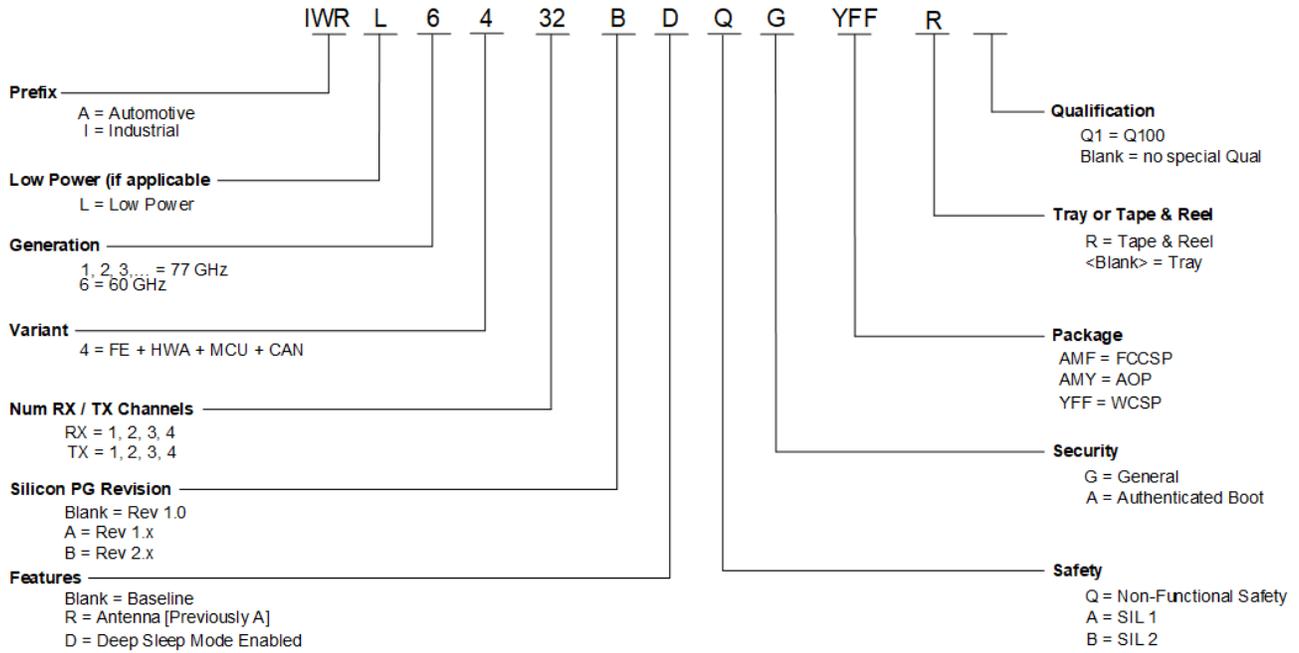


图 10-1. 器件命名规则

10.2 工具与软件

模型

[IWRL6432W BSDL 模型](#)

符合专用器件 IEEE 1149.1 标准的可测试输入和输出引脚的边界扫描数据库。

[IWRL6432W IBIS 模型](#)

适用于器件的 IO 缓冲器的 IO 缓冲器信息模型。有关电路板仿真的信息，请查看 [IBIS 开放论坛](#)。

10.3 文档支持

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍外设以及其他配套技术资料的最新文档。

勘误

- [IWRL6432W 器件勘误表](#)

介绍了器件的已知问题、限制和注意事项并提供了权变措施。

10.4 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资源，有助于直接从专家那里获得快速、经过验证的解答和设计帮助。搜索现有解答或自行提出问题，以获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.5 商标

E2E™ is a trademark of Texas Instruments.

Arm® and M4F® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。
------------------------	-------------------------

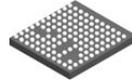
11 修订历史记录

日期	修订版本	注释
2024 年 12 月	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关该数据表的浏览器版本，请查阅左侧的导航栏。

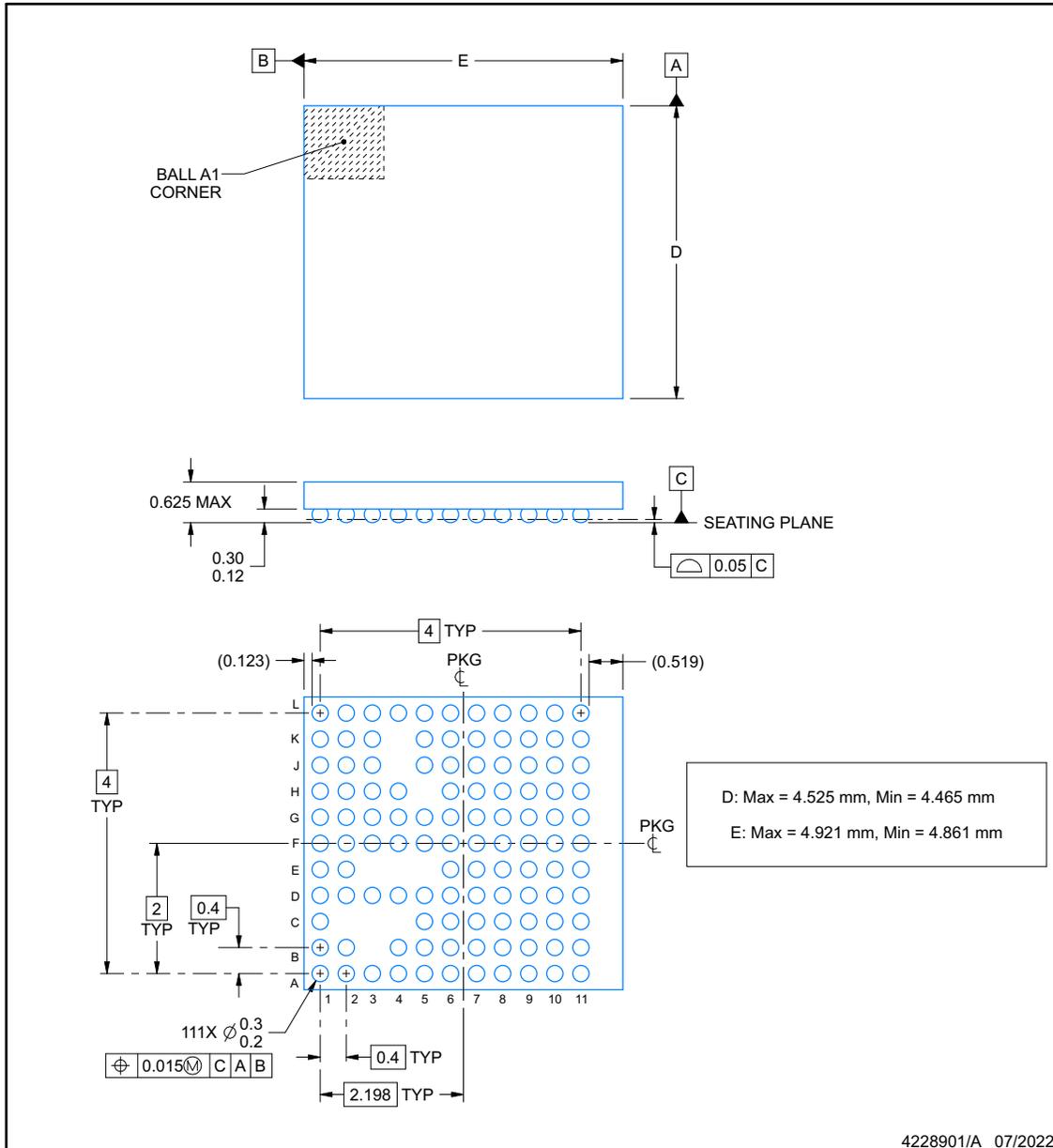
YFF0111-C01



PACKAGE OUTLINE

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

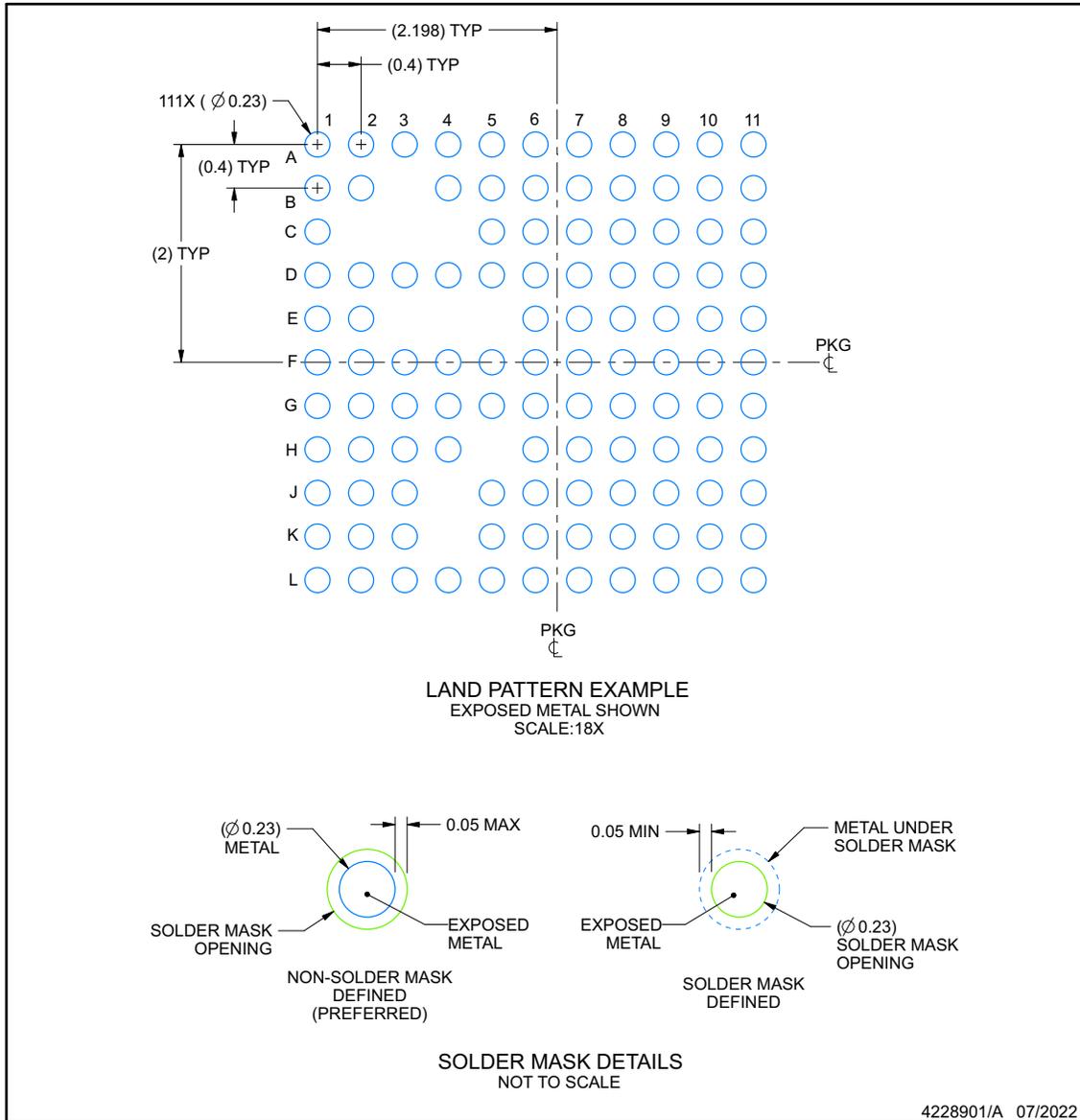
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YFF0111-C01

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

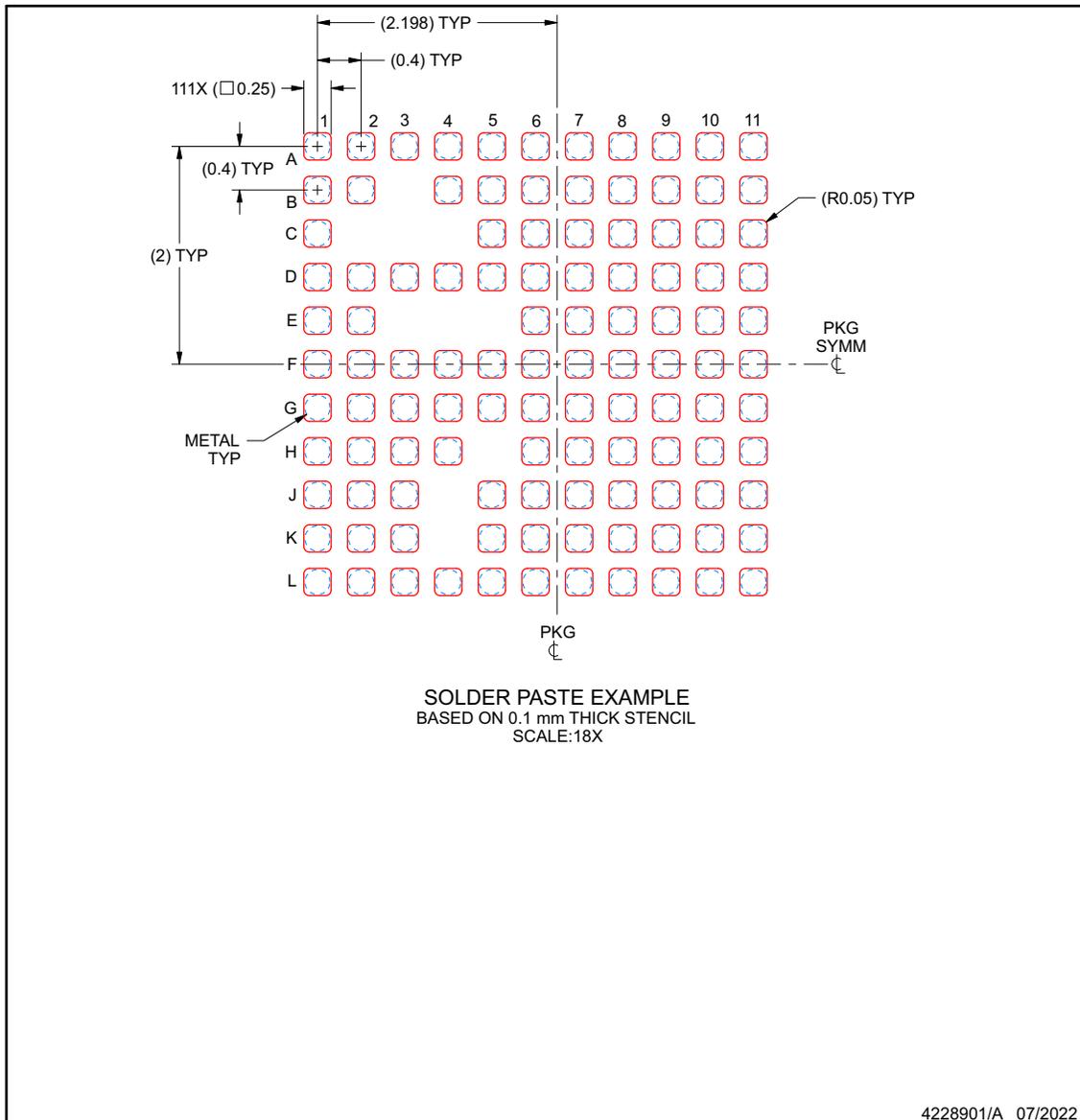
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YFF0111-C01

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
IWRL6432BDQAYFFR	Active	Production	DSBGA (YFF) 111	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	IWRL6432 QA YFF
IWRL6432BDQAYFFR.B	Active	Production	DSBGA (YFF) 111	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	IWRL6432 QA YFF
IWRL6432BDQGYFFR	Active	Production	DSBGA (YFF) 111	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	IWRL6432 QG YFF
IWRL6432BDQGYFFR.B	Active	Production	DSBGA (YFF) 111	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 105	IWRL6432 QG YFF

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月