

IWR6243 单芯片 57GHz 至 64GHz FMCW 收发器

1 特性

- FMCW 收发器
 - 集成 PLL、发送器、接收器、基带和 ADC
 - 57GHz 至 64GHz 的覆盖范围，具有 7GHz 的可用带宽
 - 四个接收通道
 - 三个发送通道
 - 支持 6 位移相器，可实现 TX 波束形成
 - 基于分数 N PLL 的超精确线性调频脉冲引擎
 - TX 功率：+12dBm
 - RX 噪声系数：10dB
 - 1MHz 时的相位噪声：
 - -93dBc/Hz
- 内置校准和自检
 - 针对工艺和温度进行自校准的系统
- 主机接口
 - 通过 SPI 或 I2C 接口与外部处理器进行控制连接
 - 通过 MIPI D-PHY、CSI2 v1.1 及 LVDS 与外部处理器进行数据连接（仅用于调试）
 - 通过中断实现故障报告
- 符合功能安全标准
 - 专为功能安全应用开发
 - 可提供使 IEC 61508 功能安全系统设计满足 SIL 3 要求的文档
 - 硬件完整性高达 SIL-2 级
 - 安全相关认证
 - 通过 TUV SUD 的 IEC 61508 认证 SIL-2
- IWR6243 高级特性
 - 嵌入式自监控，有限使用主机处理器
 - 复基带架构
 - 可以选择级联多个器件以增加通道数
 - 嵌入式干扰检测功能
- 电源管理
 - 内置 LDO 网络，可增强 PSRR
 - I/O 支持双电压 3.3V/1.8V
- 时钟源
 - 支持外部驱动、频率为 40MHz 的时钟（方波/正弦波）
 - 支持 40MHz 晶体与负载电容器相连接
- 轻松的硬件设计
 - 0.65mm 间距、161 引脚 10.4mm × 10.4mm 覆晶 BGA 封装，可实现轻松组装和低成本 PCB 设计
 - 小尺寸解决方案
- 运行条件：
 - 结温范围：-40°C 至 105°C 的

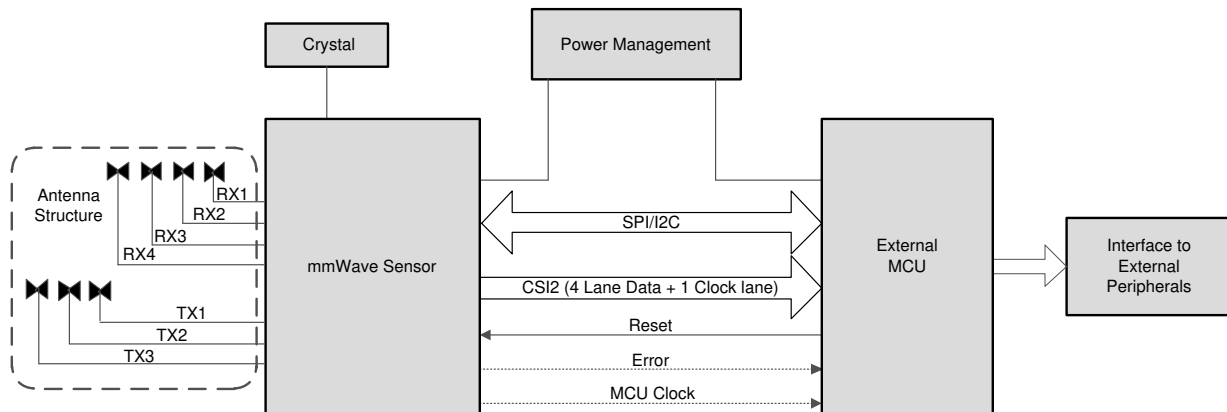


图 1-1. 适用于工业应用的雷达传感器



2 应用

- 用于测量距离、速度和角度的工业传感器
- 楼宇自动化
- 位移感应
- 手势识别
- 机器人
- 交通监控
- 接近和位置感应
- 安全和监控
- 工厂自动化安全防护装置
- 人数统计
- 运动检测
- 占位检测

3 说明

IWR6243 是一款能够在 57GHz 至 64GHz 频带内运行的集成式单芯片 FMCW 收发器。该器件采用极小的封装实现了出色的集成度。IWR6243 是适用于工业领域中低功耗、自监控、超精确雷达系统的理想解决方案。

IWR6243 是一种自包含的 FMCW 收发器单芯片解决方案，可简化雷达传感器的部署。它基于 TI 的低功耗 45nm RFCMOS 工艺构建，从而实现了一个具有内置 PLL 和 ADC 转换器的单片实施 3TX、4RX 系统。简单编程模型更改可支持各种传感器实施（近距离、中距离和远距离），并且能够进行动态重新配置，从而实现多模式传感器。

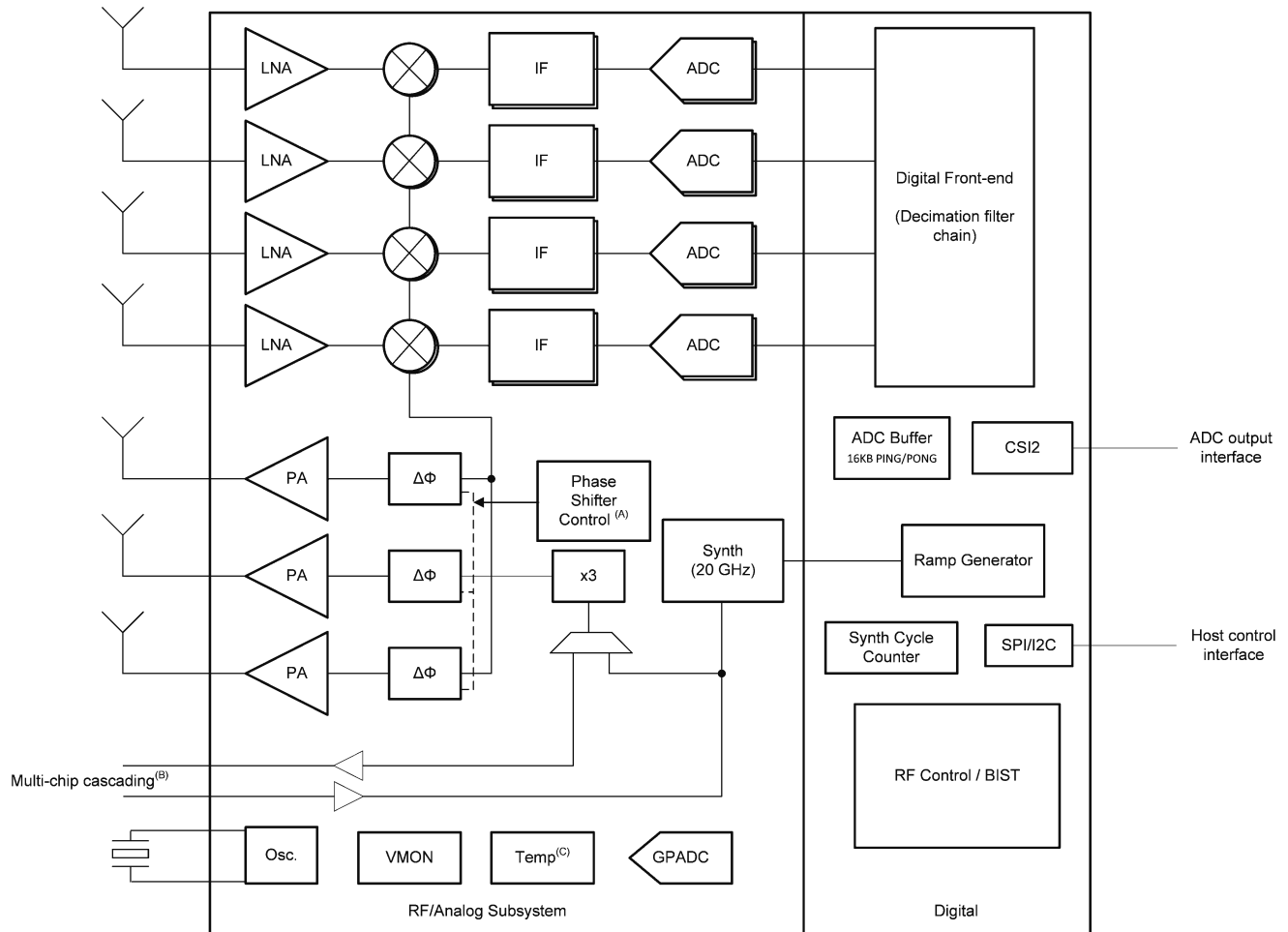
此外，该器件作为完整的平台解决方案进行提供，该解决方案包括硬件参考设计、软件驱动程序、样例配置、API 指南以及用户文档。

器件信息

| 器件型号 ⁽¹⁾ | 封装 | 封装尺寸 |
|----------------------|-------------|-----------------|
| IWR6243ABGABL (托盘) | FCBGA (161) | 10.4mm × 10.4mm |
| IWR6243ABGABLR (卷) | FCBGA (161) | 10.4mm × 10.4mm |

(1) 有关更多信息，请参阅 节 13、机械、封装和可订购信息。

4 功能方框图



- A. 相移控制：
- 0°/180° BPM
 - 0°/180° BPM 和 5.625° 分辨率控制选项。
- B. 此器件中提供了多芯片级联功能
- C. 内部温度传感器精度为 $\pm 7^\circ\text{C}$ 。

内容

| | | | |
|----------------------------------|-----------|-----------------------------|-----------|
| 1 特性 | 1 | 9.2 功能方框图 | 35 |
| 2 应用 | 2 | 9.3 子系统 | 36 |
| 3 说明 | 2 | 9.4 其他子系统 | 38 |
| 4 功能方框图 | 3 | 10 监测和诊断机制 | 42 |
| 5 修订历史记录 | 4 | 11 应用、实施和布局 | 44 |
| 6 器件比较 | 5 | 11.1 应用信息..... | 44 |
| 6.1 相关产品..... | 6 | 11.2 适用于工业应用的雷达传感器..... | 44 |
| 7 端子配置和功能 | 7 | 11.3 使用级联配置的成像雷达..... | 45 |
| 7.1 引脚图..... | 7 | 12 器件和文档支持 | 46 |
| 7.2 信号说明..... | 11 | 12.1 器件命名规则..... | 46 |
| 8 规格 | 15 | 12.2 文档支持..... | 48 |
| 8.1 绝对最大额定值..... | 15 | 12.3 支持资源..... | 48 |
| 8.2 ESD 等级..... | 15 | 12.4 商标..... | 48 |
| 8.3 上电小时数 (POH)..... | 16 | 12.5 静电放电警告..... | 48 |
| 8.4 建议运行条件..... | 16 | 12.6 出口管制提示..... | 48 |
| 8.5 电源规格..... | 17 | 12.7 术语表..... | 48 |
| 8.6 功耗摘要..... | 18 | 13 机械、封装和可订购信息 | 49 |
| 8.7 射频规格..... | 19 | 13.1 封装信息..... | 49 |
| 8.8 FCBGA 封装的热阻特性 [ABL0161]..... | 20 | 封装选项附录..... | 50 |
| 8.9 时序和开关特性..... | 21 | 13.2 卷带包装信息..... | 51 |
| 9 详细说明 | 35 | 托盘信息..... | 53 |
| 9.1 概述..... | 35 | 机械数据..... | 54 |

5 修订历史记录

| 日期 | 修订版本 | 注释 |
|-------------|------|-------|
| 2022 年 6 月 | * | 初始发行版 |
| 2022 年 11 月 | A | 修订版本 |

6 器件比较

表 6-1. 器件特性比较

| 功能 | IWR6243 ⁽⁶⁾ | IWR6843AOP | IWR6843 | IWR6443 | IWR1843 | IWR1642 | IWR1443 |
|------------------------------|--|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| 封装天线 (AOP) | — | 是 | — | — | — | — | — |
| 接收器数量 | 4 | 4 | 4 | 4 | 4 | 4 | 4 |
| 发送器数量 | 3 ⁽¹⁾ | 3 ⁽¹⁾ | 3 ⁽¹⁾ | 3 ⁽¹⁾ | 3 ⁽¹⁾ | 2 | 3 |
| RF 频率范围 | 57GHz 至 64 GHz | 60 至 64 GHz | 60 至 64 GHz | 60 至 64 GHz | 76GHz 至 81GHz | 76GHz 至 81GHz | 76GHz 至 81GHz |
| 片上存储器 | — | 1.75MB | 1.75MB | 1.4MB | 2MB | 1.5MB | 576KB |
| 最大 I/F (中频) (MHz) | 20 | 10 | 10 | 10 | 10 | 5 | 15 |
| 最大实数采样率 (MSPS) | 45 | 25 | 25 | 25 | 25 | 12.5 | 37.5 |
| 最大复数采样率 (MSPS) | 22.5 | 12.5 | 12.5 | 12.5 | 12.5 | 6.25 | 18.75 |
| 处理器 | | | | | | | |
| MCU (R4F) | — | 是 | 是 | 是 | 是 | 是 | 是 |
| DSP (C674x) | — | 是 | 是 | — | 是 | 是 | — |
| 外设 | | | | | | | |
| 串行外设接口 (SPI) 端口 | 1 | 2 | 2 | 2 | 2 | 2 | 1 |
| 四线串行外设接口 (QSPI) | — ⁽⁵⁾ | 是 | 是 | 是 | 是 | 是 | 是 |
| 内部集成电路 (I ² C) 接口 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 控制器局域网 (DCAN) 接口 | — | — | — | — | 是 | 是 | 是 |
| 控制器局域网 (CAN-FD) 接口 | — | 是 | 是 | 是 | 是 | — | — |
| 迹线 | — | 是 | 是 | 是 | 是 | 是 | — |
| PWM | — | 是 | 是 | 是 | 是 | 是 | — |
| 硬件在环 (HIL/DMM) | — | 是 | 是 | 是 | 是 | 是 | — |
| GPADC | 是 | 是 | 是 | 是 | 是 | 是 | 是 |
| LVDS/调试 ⁽²⁾ | 是 | 是 | 是 | 是 | 是 | 是 | 是 |
| CSI2 | 是 | — | — | — | — | — | 是 |
| 硬件加速器 | — | 是 | 是 | 是 | 是 | — | 是 |
| 1V 旁路模式 | 是 | 是 | 是 | 是 | 是 | 是 | 是 |
| 级联 (20GHz 同步) | 是 | — | — | — | — | — | — |
| JTAG | — ⁽³⁾ | 是 | 是 | 是 | 是 | 是 | 是 |
| 产品状态 | 产品预发布 (PP)、 预告信息 (AI) 或量产数据 (PD) | PD ⁽⁴⁾ | PD ⁽⁴⁾ | PD ⁽⁴⁾ | PD ⁽⁴⁾ | PD ⁽⁴⁾ | PD ⁽⁴⁾ |

- (1) 仅在 1V LDO 旁路和 PA LDO 禁用模式下支持 3 个 Tx 同时运行。在这种模式下，需要在 VOUT PA 引脚上提供 1V 电源。
- (2) LVDS 接口不是生产接口，仅用于调试。
- (3) JTAG 用于边界扫描。
- (4) 产品数据信息为发布时的信息。产品符合按照德州仪器 (TI) 标准保修证书条款所制定的规范。
- (5) QSPI 接口仅用于开发，在生产中不受支持。
- (6) 该器件专为功能安全应用而开发，支持高达 SIL-2 的硬件完整性。更多详细信息，请参阅相关文档。

6.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅下面的链接。

毫米波传感器

TI 毫米波传感器产品系列可快速准确地检测距离、角度和速度，功耗更低，尺寸超小，适用于汽车应用。

工业毫米波传感器

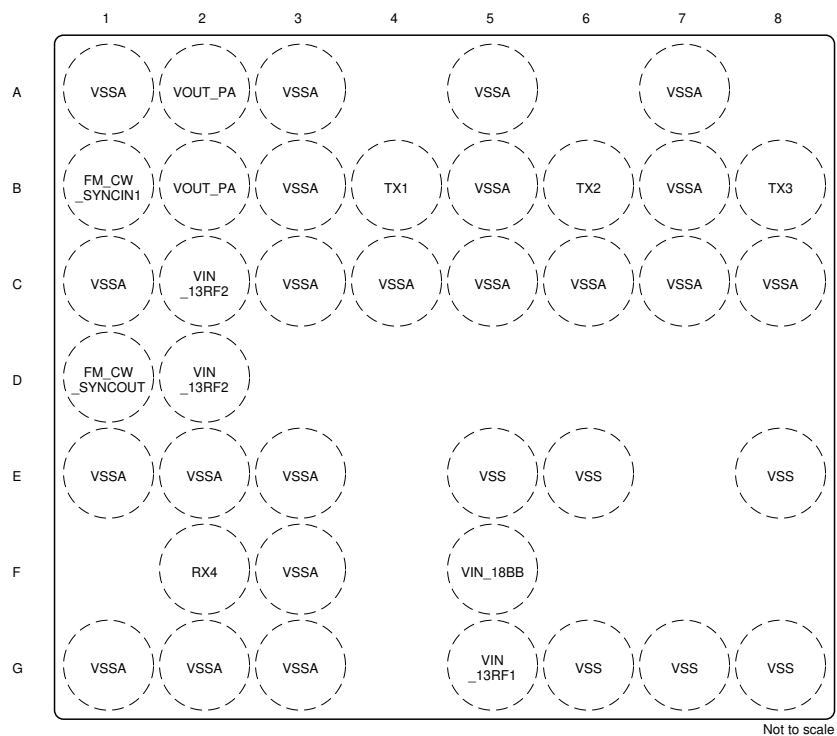
TI 的工业毫米波传感器高度集成，并且是基于 RFCMOS 技术构建的。这些器件外形小巧、功耗低且高度精确。利用 TI 的可扩展传感器产品系列，可为需要长距离到超短距离的每种性能、应用和传感器配置设计和开发工业系统解决方案。

7.1 引脚图

图 7-1 展示了 161 引脚 FCBGA 封装的引脚位置。图 7-2、图 7-3、图 7-4 和图 7-5 显示了相同的引脚，但分为四个象限。

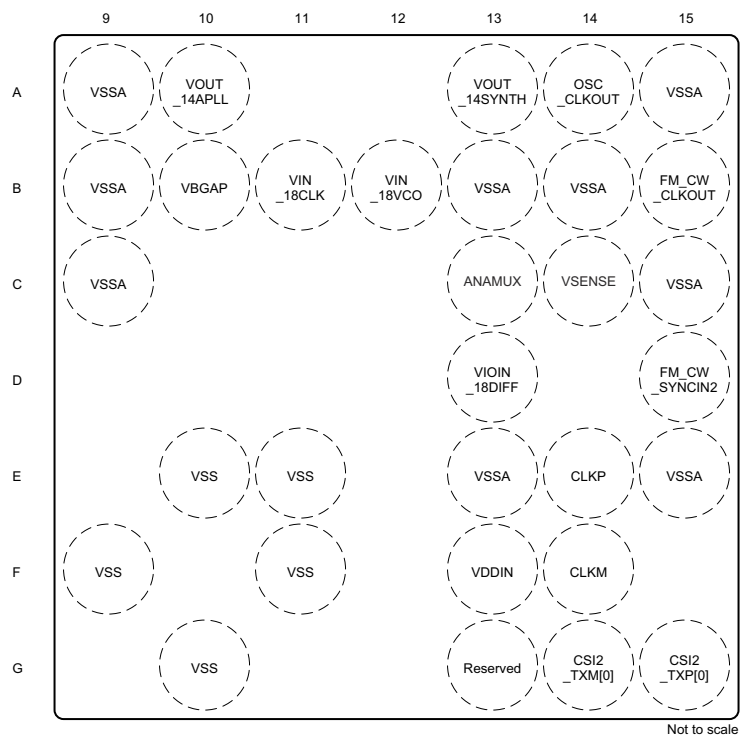


图 7-1. 引脚图



| | |
|---|---|
| 1 | 2 |
| 3 | 4 |

图 7-2. 左上象限



| | |
|---|---|
| 1 | 2 |
| 3 | 4 |

图 7-3. 右上象限

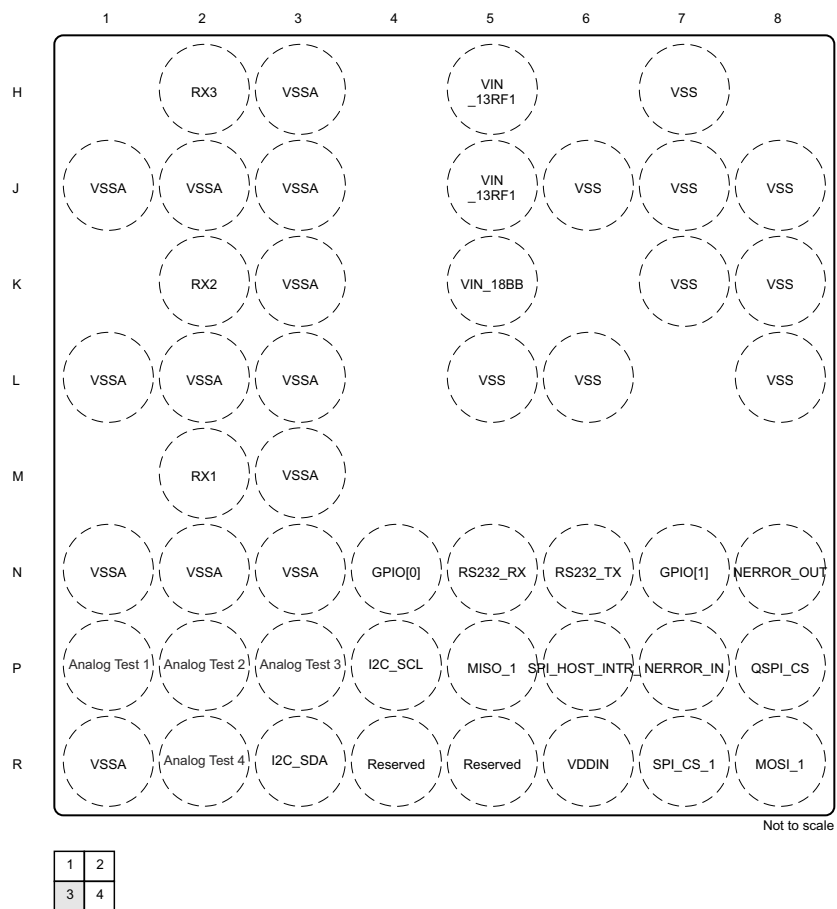


图 7-4. 左下象限

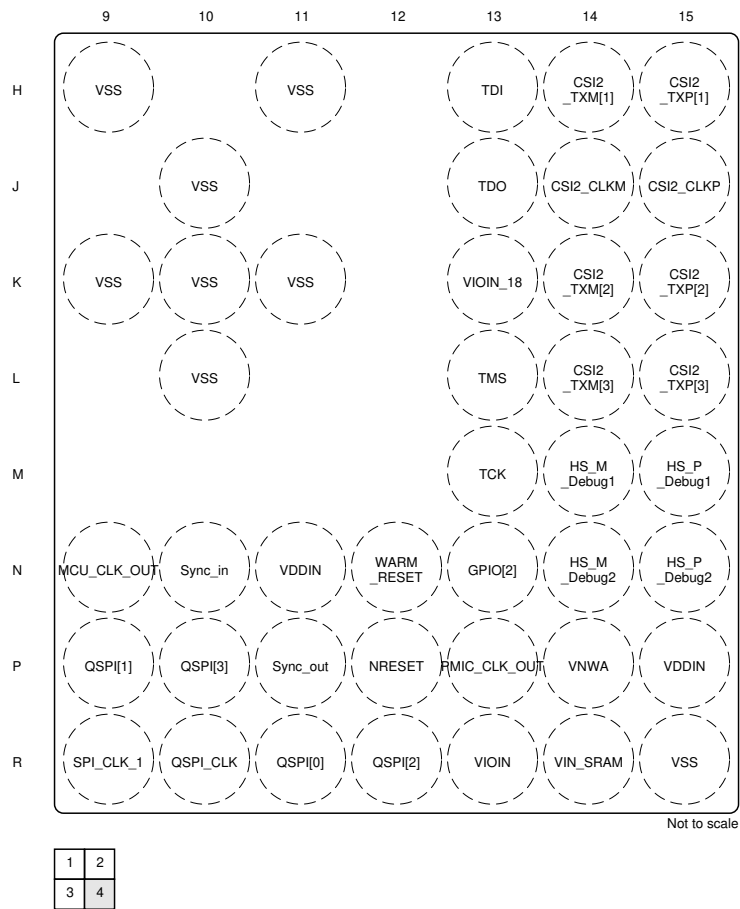


图 7-5. 右下象限

7.2 信号说明

表 7-1 按功能列出了引脚并对相应的功能进行了说明。

备注

器件的所有 IO 引脚 (NERROR_IN、NERROR_OUT 和 WARM_RESET 除外) 都是非失效防护的 ; 因此 , 需要注意的是 , 如果器件没有 VIO 电源 , 则不能从外部驱动这些引脚。

表 7-1. 信号说明

| 功能 | 信号名称 | 引脚编号 | 引脚类型 | 默认拉动状态 ⁽¹⁾ | 说明 |
|------------------------------|-----------------|------|------|-----------------------|---------------------------------------|
| 发送器 | TX1 | B4 | O | — | 单端发送器 1 输出 |
| | TX2 | B6 | O | — | 单端发送器 2 输出 |
| | TX3 | B8 | O | — | 单端发送器 3 输出 |
| 接收器 | RX1 | M2 | I | — | 单端接收器 1 输入 |
| | RX2 | K2 | I | — | 单端接收器 2 输入 |
| | RX3 | H2 | I | — | 单端接收器 3 输入 |
| | RX4 | F2 | I | — | 单端接收器 4 输入 |
| CSI2 TX | CSI2_TXP[0] | G15 | O | — | 差分数据输出 - 信道 0 (用于 CSI 和 LVDS 调试接口) |
| | CSI2_TXM[0] | G14 | O | — | |
| | CSI2_CLKP | J15 | O | — | 差分时钟输出 (用于 CSI 和 LVDS 调试接口) |
| | CSI2_CLKM | J14 | O | — | |
| | CSI2_TXP[1] | H15 | O | — | 差分数据输出 - 信道 1 (用于 CSI 和 LVDS 调试接口) |
| | CSI2_TXM[1] | H14 | O | — | |
| | CSI2_TXP[2] | K15 | O | — | 差分数据输出 - 信道 2 (用于 CSI 和 LVDS 调试接口) |
| | CSI2_TXM[2] | K14 | O | — | |
| | CSI2_TXP[3] | L15 | O | — | 差分数据输出 - 信道 3 (用于 CSI 和 LVDS 调试接口) |
| | CSI2_TXM[3] | L14 | O | — | |
| | HS_DEBUG1_P | M15 | O | — | 差分调试端口 1 (用于 LVDS 调试接口) |
| | HS_DEBUG1_M | M14 | O | — | |
| | HS_DEBUG2_P | N15 | O | — | 差分调试端口 2 (用于 LVDS 调试接口) |
| | HS_DEBUG2_M | N14 | O | — | |
| 芯片间级联同步信号 | FM_CW_CLKOUT | B15 | O | — | 20GHz 单端输出。调制波形 |
| | FM_CW_SYNCOUT | D1 | | | |
| | FM_CW_SYNCIN1 | B1 | I | — | 20GHz 单端输入。只能使用这些引脚中的一个。多个实例实现布局灵活性。 |
| | FM_CW_SYNCIN2 | D15 | | | |
| 基准时钟 | OSC_CLKOUT | A14 | O | — | 清理 PLL 后时钟子系统的基准时钟输出。可由此器件芯片在多芯片级联中使用 |
| 系统同步 | SYNC_OUT | P11 | O | 下拉 | 低频帧同步信号输出。可由此器件芯片在多芯片级联中使用 |
| | SYNC_IN | N10 | I | 下拉 | 低频帧同步信号输入。该信号也可以用作帧开始的硬件触发器 |
| 外部 MCU 的 SPI 控制接口 (默认外设模式) | SPI_CS_1 | R7 | I | 上拉 | SPI 芯片选择 |
| | SPI_CLK_1 | R9 | I | 下拉 | SPI 时钟 |
| | MOSI_1 | R8 | I | 上拉 | SPI 数据输入 |
| | MISO_1 | P5 | O | 上拉 | SPI 数据输出 |
| | SPI_HOST_INTR_1 | P6 | O | 下拉 | 向主机发送的 SPI 中断 |

表 7-1. 信号说明 (续)

| 功能 | 信号名称 | 引脚编号 | 引脚类型 | 默认拉动状态 ⁽¹⁾ | 说明 |
|-------|------------|-------|------|-----------------------|---|
| 保留 | RESERVED | R4、R5 | | — | 保留。为了进行调试，建议在这些引脚上安装测试点。 |
| 复位 | NRESET | P12 | I | — | 芯片的上电复位。低电平有效。 NRESET 需要拉低至至少达 20μs，以确保器件正确复位。 |
| | WARM_RESET | N12 | O | 漏极开路 | 开漏失效防护热复位信号。可，也可用作器件正在进行复位的状态信号。 |
| 通电检测 | SOP2 | P13 | I | — | SOP 引脚由外部驱动（弱驱动），器件在启动期间检测这些引脚的状态以决定启动模式。启动后，相同的引脚具有其他功能。 [SOP2 SOP1 SOP0] = [0 0 1] → 功能 SPI 模式 [SOP2 SOP1 SOP0] = [1 0 1] → 刷写模式 [SOP2 SOP1 SOP0] = [0 1 1] → 调试模式 [SOP2 SOP1 SOP0] = [1 1 1] → 功能 I2C 模式 |
| | SOP1 | P11 | I | — | |
| | SOP0 | J13 | I | — | |
| 安全 | NERROR_OUT | N8 | O | 漏极开路 | 开漏失效防护输出信号。连接到 PMIC/处理器/MCU 以指示发生了一些严重的临界故障。将通过复位进行恢复。 |
| | NERROR_IN | P7 | I | 漏极开路 | 器件的失效防护输入。来自任何其他器件的错误输出可以集中在器件内部的错误信号监测器模块中，并且固件可以执行相应的操作。 |
| JTAG | TMS | L13 | I | 上拉 | 用于 TI 内部开发的 JTAG 端口。 为了进行调试，建议在这些引脚上安装测试点。 这些端口也将用于边界扫描。 |
| | TCK | M13 | I | 下拉 | |
| | TDI | H13 | I | 上拉 | |
| | TDO | J13 | O | — | |
| 基准振荡器 | CLKP | E14 | I | — | 在 XTAL 模式下：基准晶体的输入 在外部时钟模式下：单端输入基准时钟端口 |
| | CLKM | F14 | O | — | 在 XTAL 模式下：基准晶体的反馈驱动 在外部时钟模式下：将此端口接地 |
| 带隙电压 | VBGAP | B10 | O | — | |

表 7-1. 信号说明 (续)

| 功能 | 信号名称 | 引脚编号 | 引脚类型 | 默认拉动状态 ⁽¹⁾ | 说明 |
|----|--------------|--|------|-----------------------|---|
| 电源 | VDDIN | F13、N11、P15、R6 | POW | — | 1.2V 数字电源 |
| | VIN_SRAM | R14 | POW | — | 用于内部 SRAM 的 1.2V 电源轨 |
| | VNWA | P14 | POW | — | 用于 SRAM 阵列反向偏置的 1.2V 电源轨 |
| | VIOIN | R13 | POW | — | I/O 电源 (3.3V 或 1.8V) : 所有 CMOS I/O 都将在此电源上运行。 |
| | VIOIN_18 | K13 | POW | — | 用于 CMOS IO 的 1.8V 电源 |
| | VIN_18CLK | B11 | POW | — | 用于时钟模块的 1.8V 电源 |
| | VIOIN_18DIFF | D13 | POW | — | CSI2 端口的 1.8V 电源 |
| | 保留 | G13 | POW | — | 无连接 |
| | VIN_13RF1 | G5、J5、H5 | POW | — | 1.3V 模拟和射频电源, VIN_13RF1 和 VIN_13RF2 可以在电路板上短接 |
| | VIN_13RF2 | C2、D2 | POW | — | |
| | VIN_18BB | K5、F5 | POW | — | 1.8V 模拟基带电源 |
| | VIN_18VCO | B12 | POW | — | 1.8V 射频 VCO 电源 |
| | VSS | E5、E6、E8、E10、E11、F9、F11、G6、G7、G8、G10、H7、H9、H11、J6、J7、J8、J10、K7、K8、K9、K10、K11、L5、L6、L8、L10、R15 | GND | — | 数字接地 |
| | VSSA | A1、A3、A5、A7、A9、A15、B3、B5、B7、B9、B13、B14、C1、C3、C4、C5、C6、C7、C8、C9、C15、E1、E2、E3、E13、E15、F3、G1、G2、G3、H3、J1、J2、J3、K3、L1、L2、L3、M3、N1、N2、N3、R1 | GND | — | 模拟接地 |

表 7-1. 信号说明 (续)

| 功能 | 信号名称 | 引脚编号 | 引脚类型 | 默认拉动状态 ⁽¹⁾ | 说明 |
|-----------------------------------|--------------|-------|------|-----------------------|---|
| 内部 LDO 输出/输入 | VOUT_14APLL | A10 | O | — | |
| | VOUT_14SYNTH | A13 | O | — | |
| | VOUT_PA | A2、B2 | IO | — | 在使用内部 PA LDO 时, 该引脚提供 LDO 的输出电压。在绕过并禁用内部 PA LDO 时, 应在该引脚上馈送 1V 电源电压。在 3TX 同时使用的情况下, 这是强制性的。 |
| 外部时钟输出 | PMIC_CLK_OUT | P13 | O | — | PMIC 的抖动时钟输入 |
| | MCU_CLK_OUT | N9 | O | — | 输出到外部 MCU 或处理器的可编程时钟 |
| 通用 I/O | GPIO[0] | N4 | IO | 下拉 | 通用 IO。在 I2C 模式正常工作的情况下, 这些引脚还用于设置 I2C 地址。 GPIO[2:0] -> 0x000 -> I2C 地址 0x28 GPIO[2:0] -> 0x001 -> I2C 地址 0x29 GPIO[2:0] -> 0x111 -> I2C 地址 0x2F 建议将 GPIO[0] 信号连接到主机处理器数字引脚以进行调试。为了正常运行, 主机处理器需要能够驱动此引脚上的脉冲。 |
| | GPIO[1] | N7 | IO | 下拉 | |
| | GPIO[2] | N13 | IO | 下拉 | |
| 来自外部 MCU 的 I2C 接口 (目标模式) | I2C_SDA | R3 | IO | 漏极开路 | I2C 数据 |
| | I2C_SCL | P4 | I | 漏极开路 | I2C 时钟 通过在 SOP 模式 7 [111] 下引导器件来选择 I2C 的主机接口。使用 GPIO[2:0] 引脚选择 I2C 地址。 |
| 用于串行闪存的 QSPI | QSPI_CS | P8 | O | 上拉 | 器件的芯片选择输出。器件是连接到串行闪存外设的控制器。 |
| | QSPI_CLK | R10 | O | 下拉 | 器件的时钟输出。器件是连接到串行闪存外设的控制器。 |
| | QSPI[0] | R11 | IO | 下拉 | 数据输入/输出 |
| | QSPI[1] | P9 | IO | 下拉 | 数据输入/输出 |
| | QSPI[2] | R12 | IO | 上拉 | 数据输入/输出 |
| | QSPI[3] | P10 | IO | 上拉 | 数据输入/输出 |
| 闪存编程和 RS232 UART | RS232_TX | N6 | O | 下拉 | UART 引脚用于对外部闪存进行编程。为了进行调试, 建议在这些引脚上安装测试点。 |
| | RS232_RX | N5 | I | 上拉 | |
| GPADC GPADC 用于外部电压监控的通用 ADC 输入 | 模拟测试 1/ADC1 | P1 | IO | — | ADC 通道 1 ⁽²⁾ |
| | 模拟测试 2/ADC2 | P2 | IO | — | ADC 通道 2 ⁽²⁾ |
| | 模拟测试 3/ADC3 | P3 | IO | — | ADC 通道 3 ⁽²⁾ |
| | 模拟测试 4/ADC4 | R2 | IO | — | ADC 通道 4 ⁽²⁾ |
| | ANAMUX/ADC5 | C13 | IO | — | ADC 通道 5 ⁽²⁾ |
| | VSENSE/ADC6 | C14 | IO | — | ADC 通道 6 ⁽²⁾ |

(1) 器件上电后与 IO 关联的拉动结构的状态。

(2) 有关详细信息, 请参阅节 9.4.2。

8 规格

8.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

| 参数 | | 最小值 | 最大值 | 单位 |
|------------------|---|-------|--------------------------|-----|
| VDDIN | 1.2V 数字电源 | -0.5 | 1.4 | V |
| VIN_SRAM | 用于内部 SRAM 的 1.2V 电源轨 | -0.5 | 1.4 | V |
| VNWA | 用于 SRAM 阵列反馈偏置的 1.2V 电源轨 | -0.5 | 1.4 | V |
| VIOIN | I/O 电源 (3.3V 或 1.8V) : 所有 CMOS I/O 都将在此电源上运行。 | -0.5 | 3.8 | V |
| VIOIN_18 | 用于 CMOS IO 的 1.8V 电源 | -0.5 | 2 | V |
| VIN_18CLK | 用于时钟模块的 1.8V 电源 | -0.5 | 2 | V |
| VIOIN_18DIFF | 用于 CSI2 端口的 1.8V 电源 | -0.5 | 2 | V |
| VIN_13RF1 | 1.3V 模拟和射频电源, VIN_13RF1 和 VIN_13RF2 可以在电路板上短接。 | -0.5 | 1.45 | V |
| VIN_13RF2 | | | | |
| VIN_13RF1 | 1V 内部 LDO 旁路模式。器件支持外部电源管理模块可在 VIN_13RF1 和 VIN_13RF2 电源轨上提供 1V 电压的模式。在该配置中, 器件的内部 LDO 将保持旁路状态。 | -0.5 | 1.4 | V |
| VIN_13RF2 | | | | |
| VIN_18BB | 1.8V 模拟基带电源 | -0.5 | 2 | V |
| VIN_18VCO 电源 | 1.8V 射频 VCO 电源 | -0.5 | 2 | V |
| RX1-4 | 射频输入端上的外部施加电源 | | 10 | dBm |
| TX1-4 | 射频输出端上的外部施加电源(3) | | 10 | dBm |
| 输入和输出电压范围 | 双电压 LVCMOS 输入, 3.3V 或 1.8V (稳态) | -0.3V | VIOIN + 0.3 | V |
| | 双电压 LVCMOS 输入, 在 3.3V/1.8V (瞬态过冲/下冲) 条件下运行, 或外部振荡器输入 | | VIOIN + 20%, 高达信号周期的 20% | |
| CLKP、CLKM | 参考晶振输入端口 | -0.5 | 2 | V |
| 钳位电流 | 输入或输出电压高于或低于各自电源轨 0.3V。限制流经 I/O 内部二极管保护单元的钳位电流。 | -20 | 20 | mA |
| T _J | 工作结温范围 | -40 | 105 | °C |
| T _{STG} | 焊接到 PC 板上后的贮存温度范围 | -55 | 150 | °C |

- (1) 应力超出绝对最大额定值中列出的值时可能会对器件造成永久损坏。这些列出的值仅是应力额定值, 并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除非另有说明, 所有电压值均相对于 V_{SS}。
- (3) 此值用于 TX 上外部施加的信号电平。此外, 可以在 TX 输出端上应用最高伽马 = 1 的反射系数。

8.2 ESD 等级

| | | 值 | 单位 |
|-------------------------|-----------------|-------|----|
| V _(ESD) 静电放电 | 人体放电模型 (HBM)(1) | ±1000 | V |
| | 充电器件模型 (CDM)(2) | ±250 | |

- (1) ANSI/ESDA/JEDEC JS-001 规范。
- (2) ANSI/ESDA/JEDEC JS-002 规范。

8.3 上电小时数 (POH)

| 结温 (T _J) | 运行条件 | 标称 CVDD 电压 (V) | 上电小时数 [POH] (小时) ⁽¹⁾ |
|----------------------|-----------|----------------|---------------------------------|
| 105°C | 50% 射频占空比 | 1.2 | 100,000 |

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

8.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---------------------------------|--|-------------|-----|-----------|--------|
| VDDIN | 1.2V 数字电源 | 1.14 | 1.2 | 1.32 | V |
| VIN_SRAM | 用于内部 SRAM 的 1.2V 电源轨 | 1.14 | 1.2 | 1.32 | V |
| VNWA | 用于 SRAM 阵列反馈偏置的 1.2V 电源轨 | 1.14 | 1.2 | 1.32 | V |
| VIOIN | I/O 电源 (3.3V 或 1.8V) : 所有 CMOS I/O 都将在此电源上运行。 | 3.135 | 3.3 | 3.465 | V |
| | | 1.71 | 1.8 | 1.89 | |
| VIOIN_18 | 用于 CMOS IO 的 1.8V 电源 | 1.71 | 1.8 | 1.9 | V |
| VIN_18CLK | 用于时钟模块的 1.8V 电源 | 1.71 | 1.8 | 1.9 | V |
| VIOIN_18DIFF | 用于 CSI2 端口的 1.8V 电源 | 1.71 | 1.8 | 1.9 | V |
| VIN_13RF1 | 1.3V 模拟和射频电源。VIN_13RF1 和 VIN_13RF2 可在电路板上短接 | 1.23 | 1.3 | 1.36 | V |
| VIN_13RF2 | | | | | |
| VIN_13RF1 (1V 内部 LDO 旁路模式) | | 0.95 | 1 | 1.05 | V |
| VIN_13RF2 (1V 内部 LDO 旁路模式) | | | | | |
| VIN18BB | 1.8V 模拟基带电源 | 1.71 | 1.8 | 1.9 | V |
| VIN_18VCO | 1.8V 射频 VCO 电源 | 1.71 | 1.8 | 1.9 | V |
| V _{IH} | 电压输入高电平 (1.8V 模式) | 1.17 | | | V |
| | 电压输入高电平 (3.3V 模式) | 2.25 | | | |
| V _{IL} | 电压输入低电平 (1.8V 模式) | | | 0.3*VIOIN | V |
| | 电压输入低电平 (3.3V 模式) | | | 0.62 | |
| V _{OH} | 高电平输出阈值 (I _{OH} = 6mA) | VIOIN - 450 | | | mV |
| V _{OL} | 低电平输出阈值 (I _{OL} = 6mA) | | | | 450 mV |
| NRESET SOP[2:0] | V _{IL} (1.8V 模式) | | | 0.45 | V |
| | V _{IH} (1.8V 模式) | 0.96 | | | |
| | V _{IL} (3.3V 模式) | | | 0.65 | |
| | V _{IH} (3.3V 模式) | 1.57 | | | |
| T _J | 工作结温范围 | -40 | | 105 | °C |

8.5 电源规格

表 8-1 说明了来自 IWR6243 器件的外部电源块的四个电源轨。

表 8-1. 电源轨特性

| 电源 | 由电源供电的器件块 | 器件中的相关 IO |
|---|--------------------------------------|---|
| 1.8V | 合成器和 APLL VCO、晶体振荡器、IF 放大器级、ADC、CSI2 | 输入：VIN_18VCO、VIN18CLK、VIN_18BB、VIOIN_18DIFF、VIOIN_18IO LDO 输出：VOUT_14SYNTH、VOUT_14APLL |
| 1.3V (或内部 LDO 旁路模式下为 1V) ⁽¹⁾ | 功率放大器、低噪声放大器、混频器和 LO 分配 | 输入：VIN_13RF2、VIN_13RF1 LDO 输出：VOUT_PA |
| 3.3V (或对于 1.8V I/O 模式，为 1.8V) | 数字 I/O | 输入 VIOIN |
| 1.2V | 内核数字和 SRAM | 输入：VDDIN、VIN_SRAM |

(1) 仅在 1V LDO 旁路和 PA LDO 禁用模式下支持三个发送器同时运行。在这种模式下，需要将 1V 电源连接到 VOUT PA 引脚。

表 8-2 中所述的 1.3V (1.0V) 和 1.8V 电源纹波规格定义为在 RX 满足 -105dBc (RF 引脚 = -15dBm) 的目标杂散电平。杂散和纹波电平具有 dB 到 dB 的关系，例如，电源纹波增加约 1dB 会导致杂散电平增加约 1dB。引用的值是在指定频率下施加的正弦输入的均方根电流电平。

表 8-2. 纹波规格

| 频率 (kHz) | 射频电源轨 | | VCO/中频电源轨 |
|----------|---|----------------------------|----------------------------|
| | 1.0V (内部 LDO 旁路) (μV _{RMS}) | 1.3 V (μV _{RMS}) | 1.8 V (μV _{RMS}) |
| 137.5 | 7 | 648 | 83 |
| 275 | 5 | 76 | 21 |
| 550 | 3 | 22 | 11 |
| 1100 | 2 | 4 | 6 |
| 2200 | 11 | 82 | 13 |
| 4400 | 13 | 93 | 19 |
| 6600 | 22 | 117 | 29 |

8.6 功耗摘要

表 8-3 和表 8-4 总结了电源端子的功耗。

表 8-3. 电源端子上的最大电流额定值

| 参数 ⁽²⁾ | 电源名称 | 说明 | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------|--|---|-----|-----|------|----|
| 电流消耗 | VDDIN、VIN_SRAM、VNWA | 由 1.2V 电源轨驱动的所有节点消耗的总电流 | | | 850 | mA |
| | VIN_13RF1、VIN_13RF2 | 当使用 3 个发射器时，由 1.3V (或 LDO 旁路模式下的 1V) 轨道驱动的所有节点消耗的总电流 ⁽¹⁾ | | | 2500 | |
| | VIOIN_18、VIN_18CLK、VIOIN_18DIFF、VIN_18BB、VIN_18VCO | 由 1.8V 电源轨驱动的所有节点消耗的总电流 | | | 850 | |
| | VIOIN | 由 3.3V 电源轨驱动的所有节点消耗的总电流 ⁽³⁾ | | | 50 | |

(1) 三个发射器可以同时部署在具有 1V/LDO 旁路和 PA LDO 禁用模式的设备中。在这种模式下，需要将 1V 电源连接到 VOUT PA 引脚。对于 2Tx 用例，峰值 1V 电源电流高达 2000mA。

(2) 指定的电流值是在典型电源电压电平下得出的值。

(3) 确切的 VIOIN 电流取决于使用的外设及其工作频率。

表 8-4. 电源端子上的平均功耗

| 参数 | 条件 | | 说明 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|------------------|---------|---|------|-----|-----|----|
| 单芯片模式下的平均功耗。 | 1.0V 内部 LDO 旁路模式 | 1TX、4RX | 该帧被设置为 50% 占空比。在 600Mbps 的速率下启用 4 通道 CSI 接口，用于 ADC 数据传输 | 1.41 | | W | |
| | | 2TX、4RX | | 1.52 | | | |
| | | 3TX、4RX | | 1.65 | | | |
| 主传感器级联模式下的平均功耗。 | 1.0V 内部 LDO 旁路模式 | 3TX、4RX | 该帧被设置为 50% 占空比。在 600Mbps 的速率下启用 4 通道 CSI 接口，用于 ADC 数据传输 | 1.71 | | W | |
| 辅助传感器级联模式下的平均功耗。 | 1.0V 内部 LDO 旁路模式 | 3TX、4RX | 该帧被设置为 50% 占空比。在 600Mbps 的速率下启用 4 通道 CSI 接口，用于 ADC 数据传输 | 1.62 | | W | |

8.7 射频规格

在建议运行条件下且已启用运行时校准 (除非另有说明)

| 参数 | | 最小值 | 典型值 | 最大值 | 单位 |
|---|-------------------------------------|--------|------|------------------|--------|
| 接收器 | 噪声系数 | | 10 | | dB |
| | 1dB 压缩点 (带外) ⁽¹⁾ | | -12 | | dBm |
| | 48dB 增益设置下的转换增益 | | 47 | | dB |
| | 增益范围 | | 18 | | dB |
| | 增益阶跃大小 | | 2 | | dB |
| | 中频带宽 ⁽²⁾ | | | 20 | MHz |
| | ADC 采样速率 (实数/PseudoReal/复数 2x) | | | 45 | Msp/s |
| | ADC 采样速率 (复数 1x) | | | 22.5 | Msp/s |
| | ADC 分辨率 | | 12 | | 位 |
| | 空闲通道杂散 | | -95 | | dBFS |
| 发送器 | 输出功率 | | 11.7 | | dBm |
| | 移相器精度 | -11.25 | | +16.875 | ° |
| | 电源退避范围 | | 26 | | dB |
| 时钟子系统 | 频率范围 | 57 | | 64 | GHz |
| | 斜坡速率 | | | 250 | MHz/μs |
| | 1MHz 偏移时的相位噪声 | | -93 | | dBc/Hz |
| 20GHz 同步输出信号 (FM_CW_CLKOUT 和 FM_CW_SYNCOUT) | 频率范围 | 19 | | 21.33 | GHz |
| | 引脚上的输出功率 | | 7.5 | | dBm |
| | 回波损耗 | | -8 | | dB |
| | 阻抗 | | 50 | | Ω |
| 20GHz 同步输入信号 (FM_CW_SYNCIN) | 频率范围 | 19 | | 21.33 | GHz |
| | 引脚上的输入电源 | -3 | | 3 ⁽³⁾ | dBm |
| | 回波损耗 | | -8 | | dB |
| | 阻抗 | | 50 | | Ω |

- (1) 1dB 压缩点 (带外) 是通过以低于最低 HPF 截止频率 (10kHz) 馈送连续波音调来测量的。
(2) 模拟 IF 级包括高通滤波, 具有两个可独立配置的一阶高通转角频率。可用的 HPF 角集总结如下:
可用 HPF 转角频率 (kHz)

| HPF1 | HPF2 |
|-----------------|-------------------|
| 175,235,350,700 | 350、700、1400、2800 |

数字基带链执行的滤波旨在提供:

- 通带纹波/压降小于 ±0.5dB, 并且
- 在任何可能混叠回通带的频率下, 抗混叠衰减都优于 60dB。

- (3) 该器件在温度低于 70°C T_J 时可以承受高达 6dBm 的功率。

图 8-1 展示了与编程的接收器增益相关的噪声系数和带内 P1dB 参数的变化。

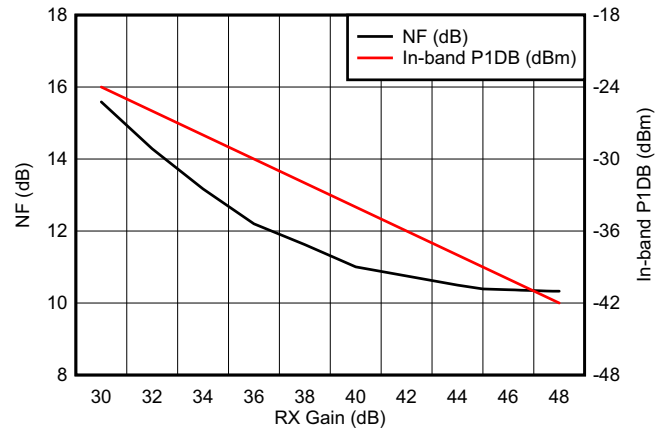


图 8-1. 噪声系数、带内 P1dB 与接收器增益间的关系

8.8 FCBGA 封装的热阻特性 [ABL0161]

| 热指标 ⁽¹⁾ | | °C/W ^{(2) (3)} |
|--------------------|---------|-------------------------|
| R _{ΘJC} | 结点到外壳 | 5 |
| R _{ΘJB} | 结点到电路板 | 5.9 |
| R _{ΘJA} | 结点到环境空气 | 21.6 |
| R _{ΘJMA} | 结至流动空气 | 15.3 ⁽⁴⁾ |
| Ψ _{siJT} | 结至封装顶部 | 0.69 |
| Ψ _{siJB} | 结点到电路板 | 5.8 |

- (1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热指标](#)。
- (2) °C/W = 摄氏度/瓦。
- (3) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R_{ΘJC}] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
 - JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*
- (4) 气流 = 1m/s

8.9 时序和开关特性

8.9.1 电源时序和复位时序

器件需要所有外部电压轨和 SOP 线路在复位置为无效之前保持稳定。图 8-2 描述了器件唤醒序列。

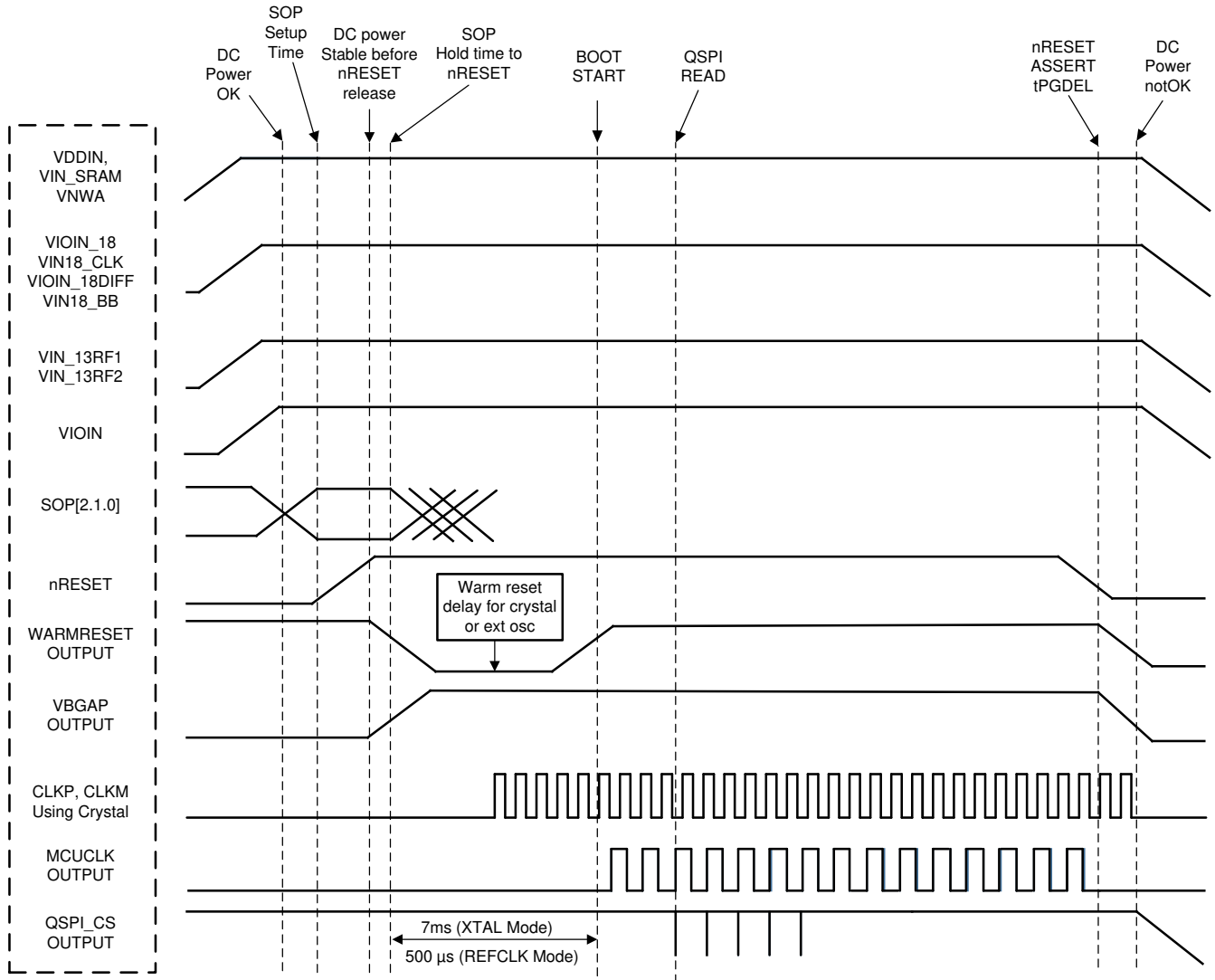


图 8-2. 器件唤醒序列

8.9.2 同步帧触发

IWR6243 器件支持基于硬件的机制来触发雷达帧。外部主机可以对 SYNC_IN 信号施加脉冲以启动雷达帧。外部脉冲的上升沿与空中帧传输 (Tlag) 之间的典型时间差约为 160ns。用户还可以设置一个额外的可编程延迟来控制帧开始时间。

在所有情况下，外部 SYNC_IN 脉冲的周期性都应始终大于帧配置中编程的帧周期性。

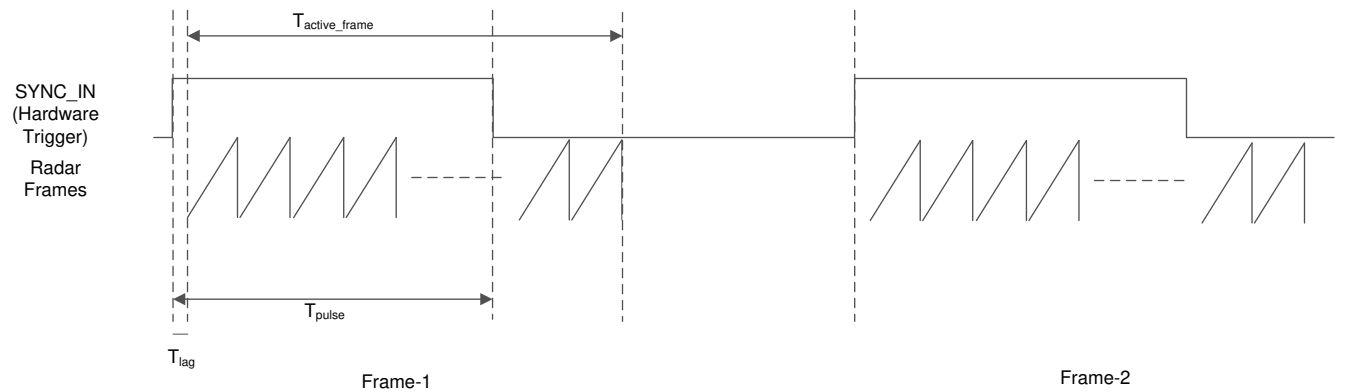


图 8-3. SYNC IN 硬件触发器

表 8-5. 帧触发时序

| 参数 | 说明 | 最小值 | 最大值 | 单位 |
|---------------------|---------|-------|------|----|
| T_{active_frame} | 活动帧持续时间 | 用户自定义 | | ns |
| T_{pulse} | | 25 | 4000 | |

8.9.3 输入时钟和振荡器

8.9.3.1 时钟规格

一个外部晶体连接至器件引脚。图 8-4 显示了晶体实现。

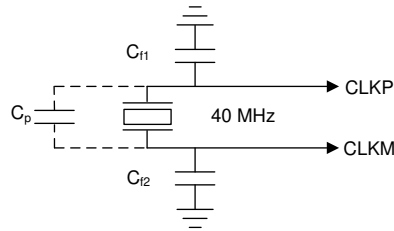


图 8-4. 晶体实现

备注

应该选择图 8-4 中的负载电容器 C_{f1} 和 C_{f2} ，以满足方程式 1 的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应当尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。请注意， C_{f1} 和 C_{f2} 包括由于 PCB 布线而产生的寄生电容。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 8-6 列出了时钟晶体的电气特性。

表 8-6. 晶体电气特性 (振荡器模式)

| 名称 | 说明 | 最小值 | 典型值 | 最大值 | 单位 |
|-------|----------------|------|-----|-----|--------------------|
| f_p | 并联谐振晶体频率 | | 40 | | MHz |
| C_L | 晶体负载电容 | 5 | 8 | 12 | pF |
| ESR | 晶体 ESR | | | 50 | Ω |
| 温度范围 | 预期工作温度范围 | -40 | | 125 | $^{\circ}\text{C}$ |
| 频率容差 | 晶体频率容差 (1) (2) | -200 | | 200 | ppm |
| 驱动电平 | | | 50 | 200 | μW |

- (1) 晶体制造商的规格必须满足此要求。
(2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。

如果将外部时钟用作时钟资源，则信号仅馈送到 CLKP 引脚；CLKM 接地。当由外部提供 40MHz 时钟时，相位噪声要求非常重要。表 8-7 列出了外部时钟信号的电气特性。

表 8-7. 外部时钟模式规格

| 参数 | | 规格 | | | 单位 |
|---|--------------------|-----|-----|------|---------|
| | | 最小值 | 典型值 | 最大值 | |
| 输入时钟： 外部交流耦合正弦波或直流耦合方波 相位噪声，以 40MHz 为基准 | 频率 | | 40 | | MHz |
| | 交流振幅 | 700 | | 1200 | mV (pp) |
| | 直流 $t_{rise/fall}$ | | | 10 | ns |
| | 1kHz 时的相位噪声 | | | -132 | dBc/Hz |
| | 10kHz 时的相位噪声 | | | -143 | dBc/Hz |
| | 100kHz 时的相位噪声 | | | -152 | dBc/Hz |
| | 1MHz 时的相位噪声 | | | -153 | dBc/Hz |
| | 占空比 | 35 | | 65 | % |
| | 频率容差 | -50 | | 50 | ppm |
| 级联模式下辅助器件的输入时钟要求 (假设用级联方式从主器件提供 20Ghz 时钟) | 10kHz 时的相位噪声 | | | -127 | dBc/Hz |
| | 100kHz 时的相位噪声 | | | -137 | dBc/Hz |
| | 1MHz 时的相位噪声 | | | -147 | dBc/Hz |
| | 周期抖动, 40Mhz 时 | | | 1.75 | ps rms |
| | 杂散电平 (所有杂散的总和) | | | -52 | dBc |

8.9.4 多缓冲/标准串行外设接口 (MibSPI)

8.9.4.1 外设说明

SPI 使用 TI 的 MibSPI 协议。

MibSPI/SPI 是一款高速同步串行输入/输出端口，该端口允许以编程的位传输速率将串行位流移入和移出器件。MibSPI/SPI 通常用于微控制器与外部外设或另一微控制器之间的通信。

节 8.9.4.1.2 和节 8.9.4.1.3 假定了节 8.9.4.1.1、节 8.9.4.1.2、节 8.9.4.1.3 中所述的操作条件，并且图 8-5 说明了 MibSPI 的时序和开关特性。

8.9.4.1.1 SPI 时序条件

| | | 最小值 | 典型值 | 最大值 | 单位 |
|------------|--------|-----|-----|-----|----|
| 输入条件 | | | | | |
| t_R | 输入上升时间 | 1 | | 3 | ns |
| t_F | 输入下降时间 | 1 | | 3 | ns |
| 输出条件 | | | | | |
| C_{LOAD} | 输出负载电容 | 2 | | 15 | pF |

8.9.4.1.2 SPI 外设模式开关参数 (SPICLK = 输入、SPISIMO = 输入和 SPISOMI = 输出)

| 编号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|----|--|-----|-----|-----|----|
| 1 | $t_{c(SPC)}S$ 周期时间，SPICLK | 25 | | | ns |
| 2 | $t_{w(SPCH)}S$ 脉冲持续时间，SPICLK 高电平 | 10 | | | ns |
| 3 | $t_{w(SPCL)}S$ 脉冲持续时间，SPICLK 低电平 | 10 | | | ns |
| 4 | $t_{d(SPCL-SOMI)}S$ 延迟时间，SPICLK 低电平之后 SPISOMI 有效 | | | 10 | ns |
| 5 | $t_{h(SPCL-SOMI)}S$ 保持时间，SPICLK 低电平之后 SPISOMI 数据有效 | 2 | | | ns |

8.9.4.1.3 SPI 外设模式时序要求 (SPICLK = 输入、SPISIMO = 输入和 SPISOMI = 输出)

| 编号 | 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|----|---|-----|-----|-----|----|
| 6 | $t_{su(SIMO-SPCH)}S$ 建立时间，在 SPICLK 高电平之前 SPISIMO | 3 | | | ns |
| 7 | $t_{h(SPCH-SIMO)}S$ 保持时间，在 SPICLK 高电平之后 SPISIMO 数据有效的 | 1 | | | ns |

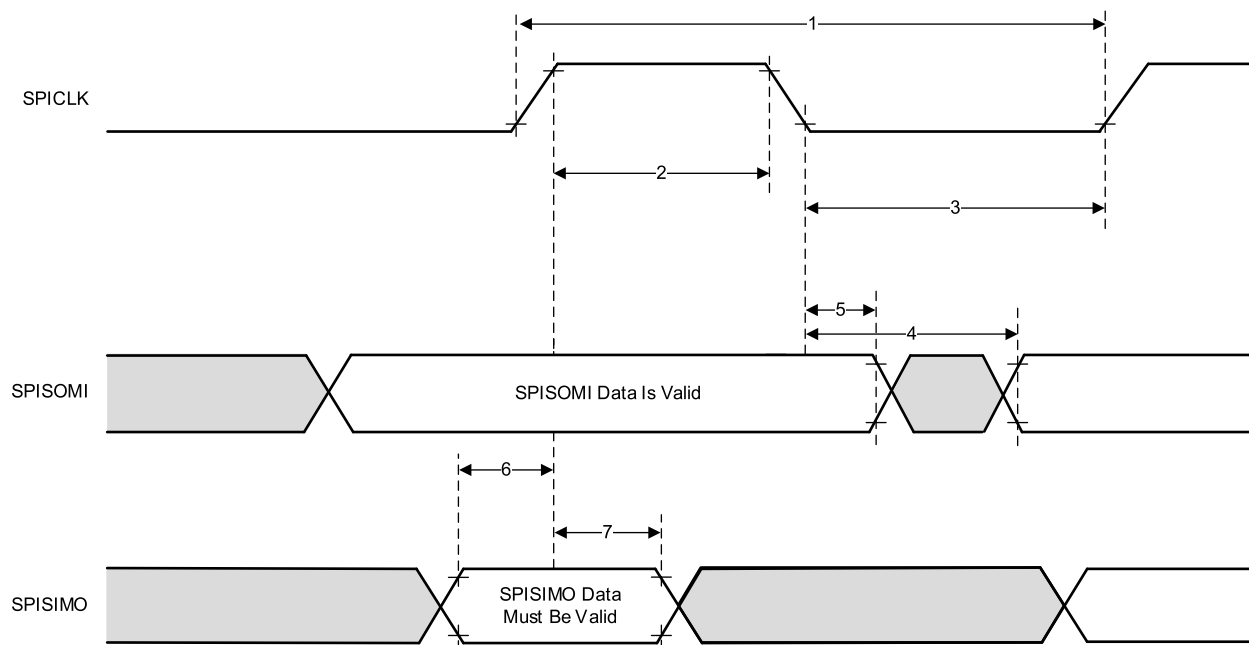


图 8-5. SPI 外设模式外部时序

8.9.4.2 典型接口协议图 (外设模式)

1. 主机应确保 CS 变为低电平与 SPI 时钟启动之间至少有两个 SPI 时钟的延迟。
2. 主机应确保每通过 SPI 传输 16 位时切换一次 CS。

图 8-6 显示了典型接口协议的 SPI 通信时序。

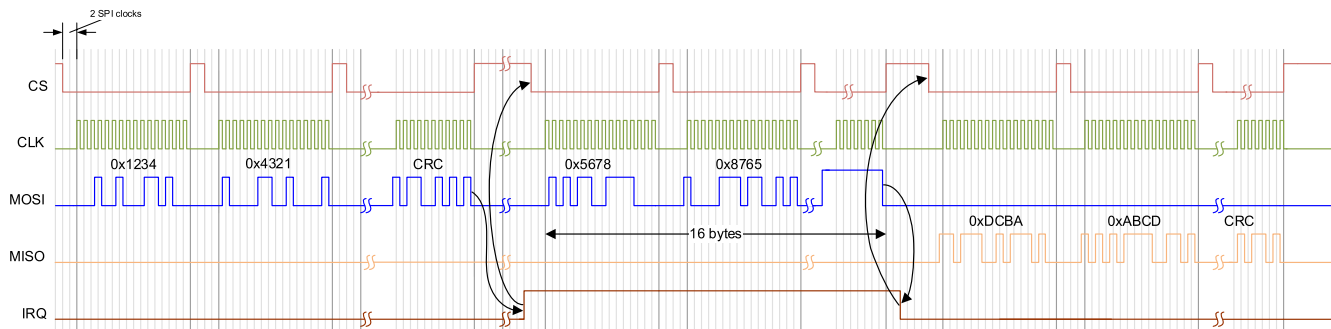


图 8-6. SPI 通信

8.9.5 内部集成电路接口 (I2C)

内部集成电路 (I2C) 模块是一款多控制器通信模块，此模块与飞利浦半导体 I2C 总线技术规范版本 2.1 兼容的器件之间提供一个接口并通过 I²C-bus™ 连接。这个模块将支持任何目标或控制器 I2C 兼容器件。

I2C 有下列特性：

- 与飞利浦 I2C 总线技术规范，v2.1 兼容 (I2C 技术规范，飞利浦文献编号 9398 393 40011)
 - 位/字节格式传输
 - 7 位和 10 位器件寻址模式
 - 常规调用
 - 开始字节
 - 多控制器发送器/目标接收器模式
 - 多控制器接收器/目标发送器模式
 - 组合控制器发送/接收和接收/发送模式
 - 100kbps 到高达 400kbps 的传输速率 (飞利浦快速模式速率)
- 自由数据格式
- 两个 DMA 事件 (发送和接收)
- DMA 事件启用/禁用功能
- 模块启用/禁用能力
- 可选择将 SDA 和 SCL 配置为通用 I/O
- 输出的转换率控制
- 输出的开漏控制
- 输入上的可编程上拉/下拉功能
- 支持忽略 NACK 模式

备注

这个 I2C 模块不支持：

- 高速 (HS)模式
 - C 总线兼容模式
 - 10 位地址模式下的组合格式 (I2C 在每次发送目标地址第一个字节时，都会发送目标地址第二个字节)
-

8.9.5.1 I2C 时序要求

| (1) | | 标准模式 | | 快速模式 | | 单位 |
|----------------------------|---|------|---------------------|------|-----|---------------|
| | | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_c(\text{SCL})$ | 周期时间, SCL | 10 | | 2.5 | | μs |
| $t_{su}(\text{SCLH-SDAL})$ | 在 SDA 低电平之前 SCL 高电平的建立时间 (对于重复启动条件) | 4.7 | | 0.6 | | μs |
| $t_h(\text{SCLL-SDAL})$ | 在 SDA 低电平之后 SCL 低电平的保持时间 (对于启动或重复启动条件) | 4 | | 0.6 | | μs |
| $t_w(\text{SCLL})$ | 脉冲持续时间, SCL 低电平 | 4.7 | | 1.3 | | μs |
| $t_w(\text{SCLH})$ | 脉冲持续时间, SCL 高电平 | 4 | | 0.6 | | μs |
| $t_{su}(\text{SDA-SCLH})$ | 建立时间, 在 SCL 高电平之前 SDA 有效 | 250 | | 100 | | μs |
| $t_h(\text{SCLL-SDA})$ | 保持时间, 在 SCL 低电平之后 SDA 有效 | 0 | 3.45 ⁽¹⁾ | 0 | 0.9 | μs |
| $t_w(\text{SDAH})$ | 脉冲持续时间, 在停止和启动条件之间 SDA 高电平 | 4.7 | | 1.3 | | μs |
| $t_{su}(\text{SCLH-SDAH})$ | 在 SDA 高电平之前 SCL 高电平的建立时间 (对于停止条件) | 4 | | 0.6 | | μs |
| $t_w(\text{SP})$ | 脉冲持续时间, 尖峰 (必须被抑制) | | | 0 | 50 | ns |
| C_b ^{(2) (3)} | 每个总线的容性负载 | | 400 | | 400 | pF |

- (1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲器。当该器件的电源关闭时, 这些引脚有可能耗电。
(2) 仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时, 才必须满足 I2C 总线器件的最大 $t_h(\text{SDA-SCLL})$ 。
(3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用, 可实现更快的下降时间。

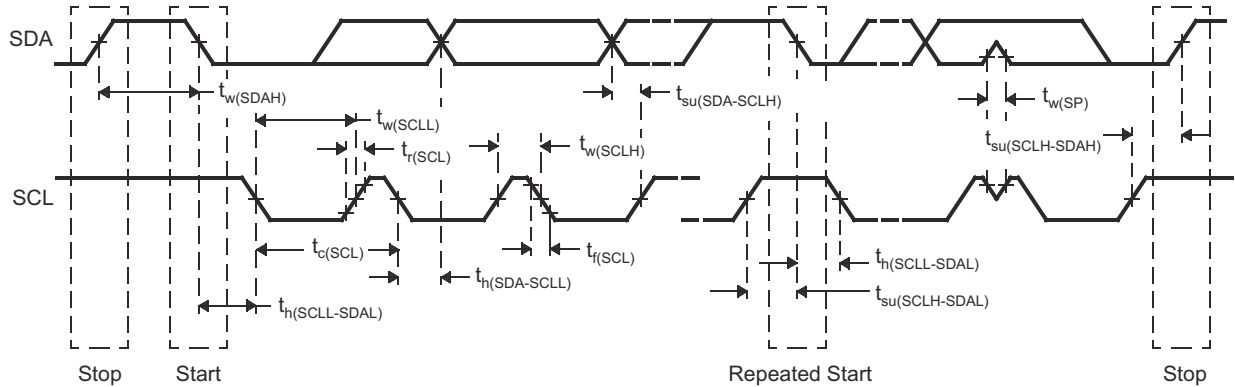


图 8-7. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间 (以 SCL 信号的 V_{IHmin} 为基准) 来连接 SCL 下降边沿的未定义区域。
- 仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时, 才必须满足最大 $t_h(\text{SDA-SCLL})$ 。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统, 但必须满足 $t_{su}(\text{SDA-SCLH}) \geq 250\text{ns}$ 的要求。如果该器件不延长 SCL 信号的低电平周期, 将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期, 它必须将下一个数据位输出到 SDA 线路 t_r 最大值 + $t_{su}(\text{SDA-SCLH})$ 。

8.9.6 LVDS 接口配置

器件支持七个差分 LVDS IO/信道，以支持可以提取原始 ADC 数据的调试。支持的信道配置为四个数据信道 (LVDS_TXP/M)、一个位时钟信道 (LVDS_CLKP/M) 和一个帧时钟信道 (LVDS_FRCLKP/M)。LVDS 接口支持以下数据速率：

- 900Mbps (450MHz DDR 时钟)
- 600Mbps (300MHz DDR 时钟)
- 450Mbps (225MHz DDR 时钟)
- 400Mbps (200MHz DDR 时钟)
- 300Mbps (150MHz DDR 时钟)
- 225Mbps (112.5MHz DDR 时钟)
- 150Mbps (75MHz DDR 时钟)

请注意，位时钟采用 DDR 格式，因此时钟中的切换次数相当于数据。

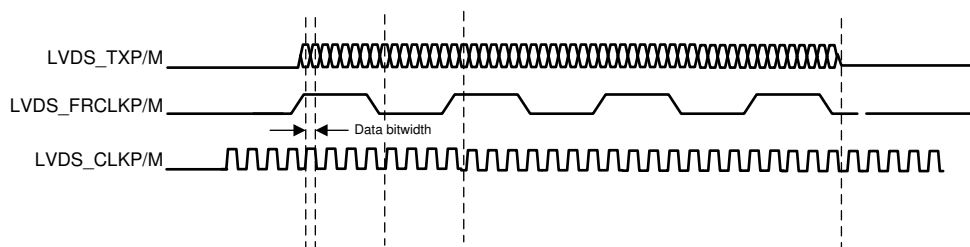


图 8-8. LVDS 接口通道配置和相关时序

8.9.6.1 LVDS 接口时序

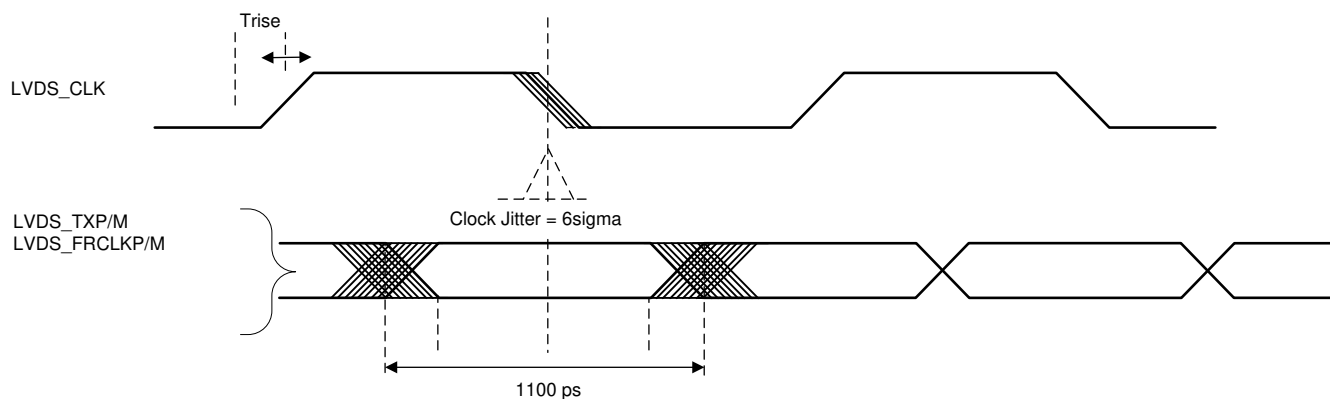


图 8-9. 计时参数

表 8-8. LVDS 电气特性

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---------------|---------------------------------|------|-----|------|----|
| 占空比要求 | LVDS 通道上的最大 1pF 集总容性负载 | 48% | | 52% | |
| 输出差分电压 | 峰峰值单端，差分对之间具有 100 Ω 电阻负载 | 250 | | 450 | mV |
| 输出失调电压 | | 1125 | | 1275 | mV |
| Trise 和 Tfall | 20%-80%，900Mbps | | 330 | | ps |
| 抖动 (峰峰值) | 900Mbps | | 80 | | ps |

8.9.7 通用输入/输出

节 8.9.7.1 列出了输出时序相对于负载电容的开关特性。

8.9.7.1 输出时序的开关特性与负载电容 (C_L) 间的关系

| 参数 ^{(1) (2)} | | 测试条件 | | VIOIN = 1.8V | VIOIN = 3.3V | 单位 |
|-----------------------|--------|----------|-----------------------|--------------|--------------|----|
| t _r | 最大上升时间 | 转换控制 = 0 | C _L = 20pF | 2.8 | 3.0 | ns |
| | | | C _L = 50pF | 6.4 | 6.9 | |
| | | | C _L = 75pF | 9.4 | 10.2 | |
| t _f | 最大下降时间 | | C _L = 20pF | 2.8 | 2.8 | ns |
| | | | C _L = 50pF | 6.4 | 6.6 | |
| | | | C _L = 75pF | 9.4 | 9.8 | |

- (1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。
- (2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

8.9.8 摄像头串行接口 (CSI2)

CSI2 是符合 MIPI D-PHY 标准的接口，用于将该器件连接到摄像头接收器模块。该接口由四个差分信道组成；每个信道可配置为传输数据或时钟。信道中每条线的极性也是可配置的。节 8.9.8.1、图 8-10、图 8-11 和图 8-12 介绍了 CSI 的时钟和数据时序。启用 CSI2 IP 后，时钟始终开启。因此它将保持在 HS 模式。

8.9.8.1 CSI2 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数 | | | 最小值 | 典型值 | 最大值 | 单位 |
|--|--|--------------------|---------------|-----|------------------------|-------------|
| HPTX | | | | | | |
| HSTX _{DBR} | 数据比特率 | (1/2/4 数据信道 PHY) | 150 | | 600 | Mbps |
| f _{CLK} | DDR 时钟频率 | (1/2/4 数据信道 PHY) | 75 | | 300 | MHz |
| Δ VCMTX(LF) | 共模电平变化 | | -50 | | 50 | mV |
| t _R 和 t _F | 20% 至 80% 上升时间和下降时间 | | | | 0.3 | UI |
| LPTX 驱动器 | | | | | | |
| t _{EOT} | 从 THS-TRAIL 周期开始到 LP-11 状态开始的时间 | | | | 105 + 12*UI | ns |
| DATA-CLOCK 时序规格 | | | | | | |
| UINOM | 标称单位间隔 | | 1.67 | | 13.33 | ns |
| UIINST,MIN | 最小瞬时单位间隔 | | 1.131 | | | ns |
| TSKEW[TX] | 在发送器处测量的数据到时钟偏斜 | | -0.15 | | 0.15 | UIINST, MIN |
| CSI2 时序规格 | | | | | | |
| T _{CLK-PRE} | 在任何相关数据信道开始从 LP 模式转换到 HS 模式之前，发送器应驱动 HS 时钟的时间。 | | 8 | | | ns |
| T _{CLK-PREPARE} | 在 HS-0 线路状态开始 HS 传输之前发送器立即驱动时钟信道 LP-00 线路状态的时间。 | | 38 | | 95 | ns |
| T _{CLK-PREPARE} + T _{CLK-ZERO} | T _{CLK-PREPARE} + 在启动时钟之前发送器驱动 HS-0 状态的时间。 | | 300 | | | ns |
| T _{EOT} | 从 T _{HS-TRAIL} 或 T _{CLKTRAIL} 开始到 HS 突发之后 LP-11 状态开始的发送时间间隔。 | | | | 105ns + 12*UI | ns |
| T _{HS-PREPARE} | 在 HS-0 线路状态开始 HS 传输之前发送器立即驱动数据信道 LP-00 线路状态的时间。 | | 40 + 4*UI | | 85 + 6*UI | ns |
| T _{HS-PREPARE} + T _{HS-ZERO} | T _{HS-PREPARE} + 在发送同步序列之前发送器驱动 HS-0 状态的时间。 | | 145ns + 10*UI | | | ns |
| T _{HS-EXIT} | 在 HS 突发之后发送器驱动 LP-11 的时间。 | | 100 | | | ns |
| T _{HS-TRAIL} | 在 HS 传输突发的最后一个有效载荷数据位之后发送器驱动翻转差分状态的时间。 | | | | max(8*UI, 60ns + 4*UI) | ns |
| T _{LPX} | 任何低功耗状态周期的发送长度 | | 50 | | | ns |

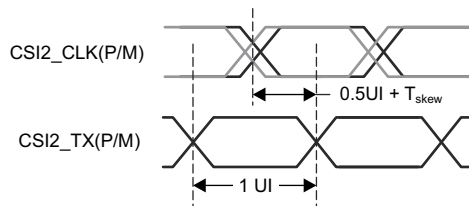


图 8-10. HS 发送模式下的时钟和数据时序

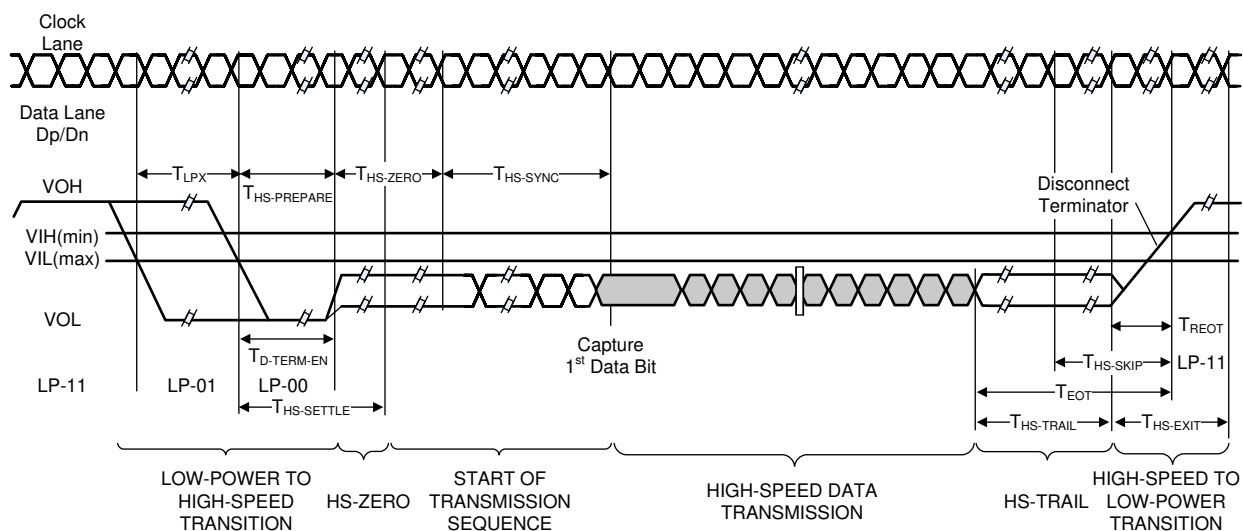
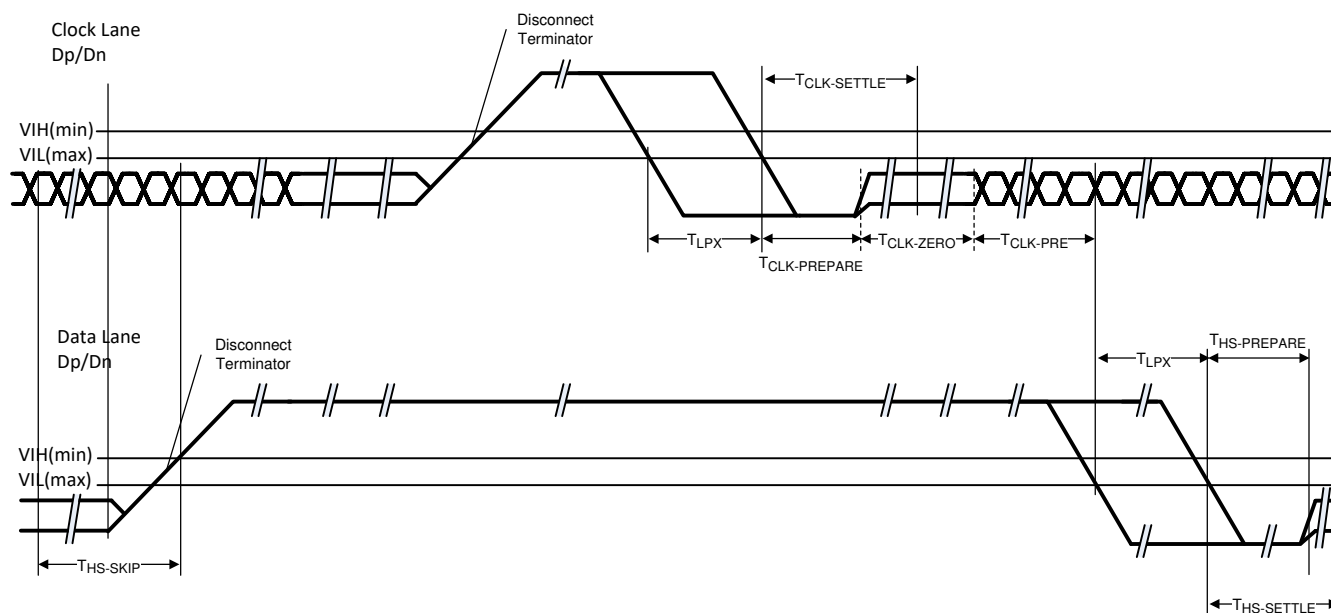


图 8-11. 高速数据传输突发



A. CLK 的 HS 到 LP 转换实际上不会发生，因为 CLK 在 HS 模式下始终开启。

图 8-12. 在时钟传输和低功耗模式之间切换时钟通道

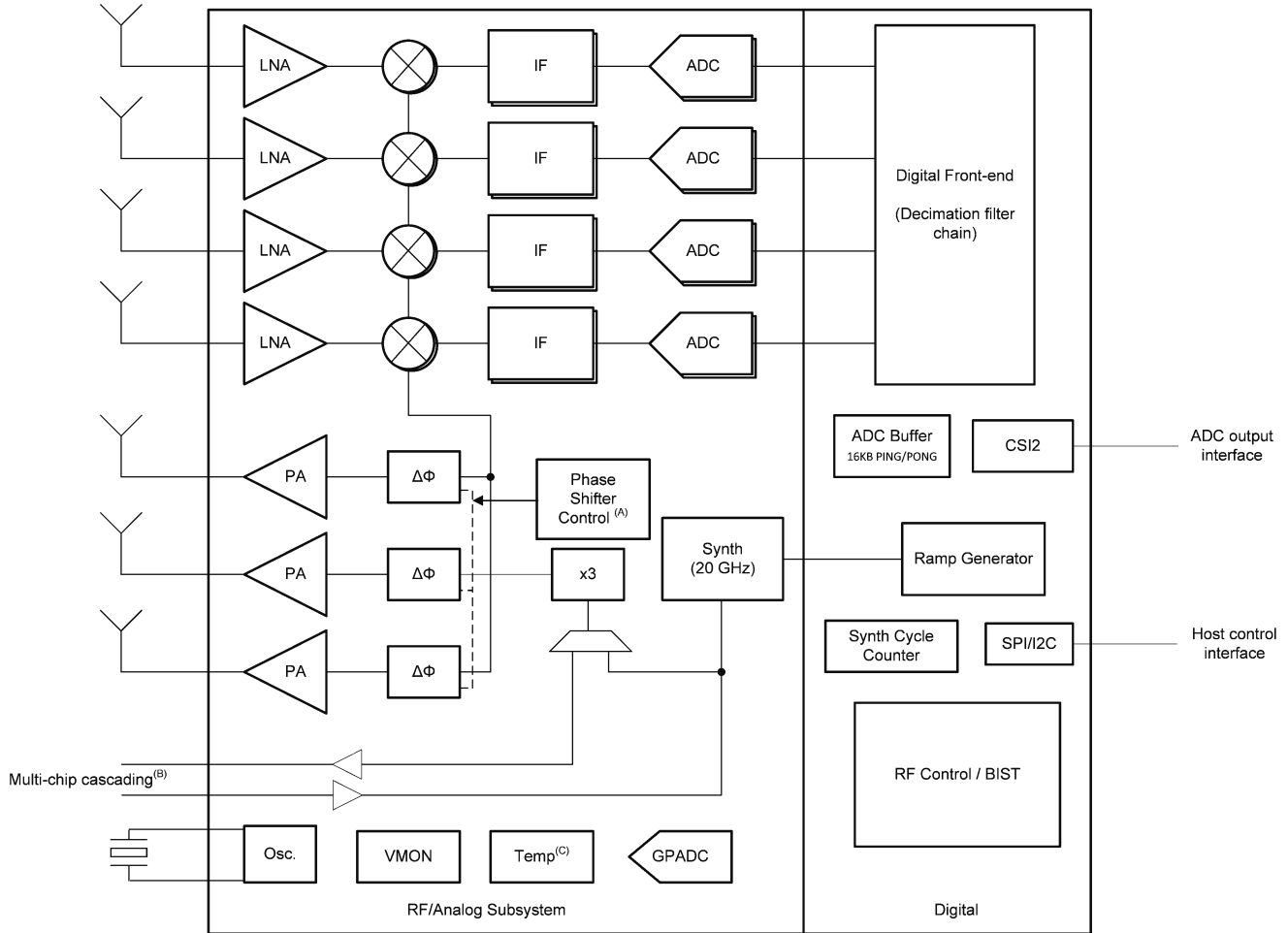
9 详细说明

9.1 概述

IWR6243 器件是一款单芯片高度集成的 57GHz 至 64GHz 收发器和前端，包含三个发射器链和四个接收器链。器件具有极小的外形尺寸，可提供超高分辨率和超低功耗。该器件与用于成像雷达的 TDA3X、TDA2X 或 AM27xx 配合使用时，可通过可编程数字信号处理器 (DSP) 提供更高水平的性能和灵活性。

该器件的典型应用示例包括：工业级感应，采用级联配置的成像雷达，工业自动化传感器与雷达融合，利用雷达进行交通十字路口监测、工业雷达接近监测、人员计数、手势检测。

9.2 功能方框图



- A. 相移控制：
- 0°/180° BPM
 - 0°/180° BPM 和 5.625° 分辨率控制选项
- B. 此器件中提供了多芯片级联功能
- C. 内部温度传感器精度为 $\pm 7^{\circ}\text{C}$ 。

9.3 子系统

9.3.1 射频 (RF) 和模拟子系统

射频和模拟子系统包括射频和模拟电路，即合成器、PA、LNA、混频器、IF 和 ADC。这个子系统还包括晶体振荡器和多个温度传感器。三个发送通道可以根据需要同时运行以实现发送波束形成目的，而四个接收通道都可以同时运行。

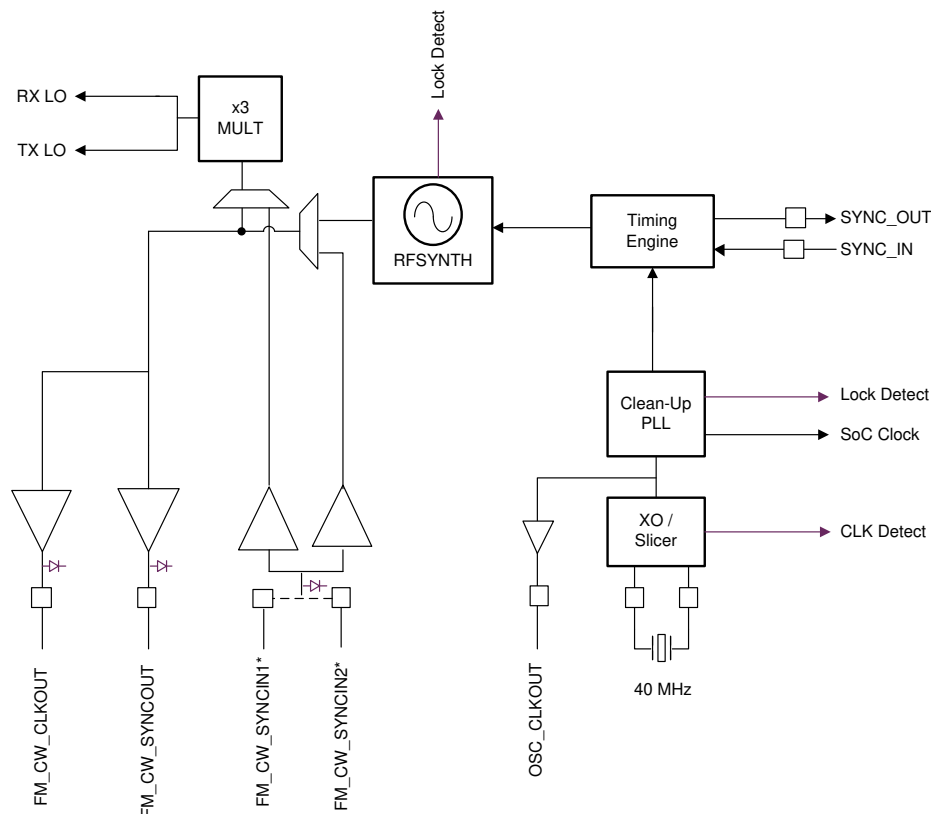
9.3.1.1 时钟子系统

IWR6243 器件时钟子系统通过 40MHz 晶体的输入基准，生成 57GHz 至 64GHz 的频率。它具有一个内置振荡器电路，后跟一个清理 PLL 和一个射频合成器电路。然后，射频合成器的输出由 X3 乘法器进行处理，以生成列出的频谱范围内的所需频率。通过计时引擎模块对射频合成器输出进行调制，以生成传感器有效运行所需的波形。

在多芯片级联配置的器件引脚边界处提供射频合成器的输出。清理 PLL 还在系统唤醒后为主机处理器提供基准时钟。

时钟子系统还具有内置的机制，用于检测晶体是否存在以及监测所生成的时钟的质量。

下图说明了时钟子系统。



* These pins are 20GHz LO input pins. Connect LO to one pin while grounding the other pin.

图 9-1. 时钟子系统

9.3.1.2 发送子系统

IWR6243 器件发送子系统由三个并行发送链组成，每个发送链具有独立的相位和振幅控制。所有三个发送器可以同时使用或以时分多路复用的方式使用。IWR6243 器件支持 MIMO 雷达的二进制相位调制和干扰缓解。

节 8.7 指定每个发送链在 PCB 上的天线端口可提供的最大功率。发送链还支持可编程退避以实现系统优化以及满足本地法定发射要求。

图 9-2 介绍了发送子系统。

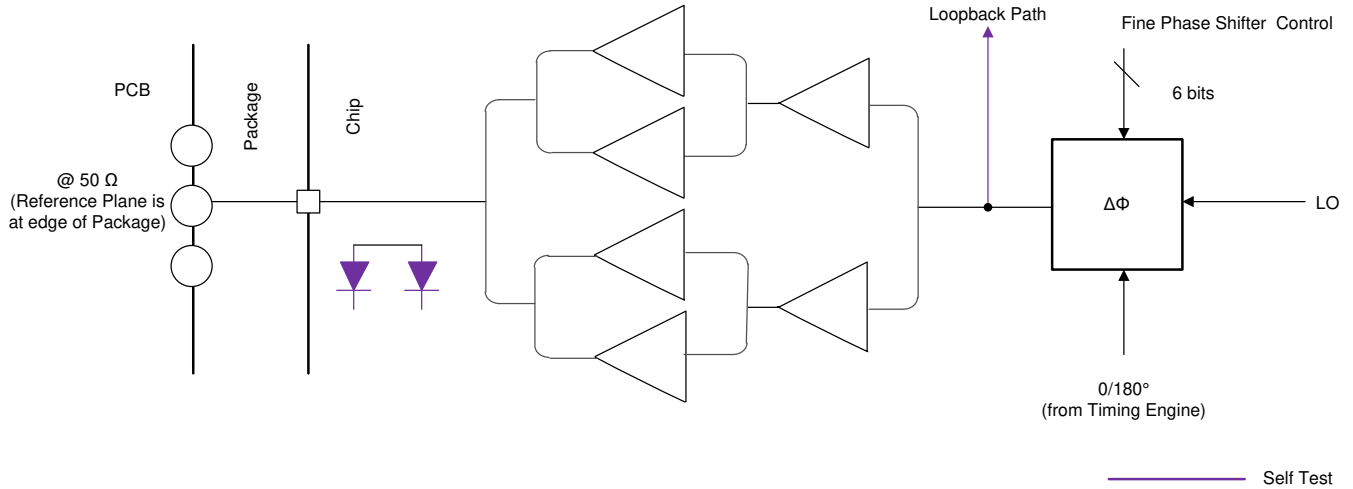


图 9-2. 发送子系统 (每通道)

9.3.1.3 接收子系统

IWR6243 器件接收子系统由四个并行通道组成。单个接收通道由 LNA、混频器、IF 滤波、ADC 转换和抽取组成。全部四个接收通道可以同时运行，也提供了单独的断电选项以实现系统优化。

与传统的仅实数接收器不同，IWR6243 器件支持复数基带架构，该架构使用正交混频器以及双路 IF 和 ADC 链为每个接收器通道提供复数 I 和 Q 输出。IWR6243 器件适用于快速线性调频脉冲系统。带通中频链具有高于 175kHz 的可配置较低截止频率，并可以支持高达 20MHz 的带宽。

图 9-3 介绍了接收子系统。

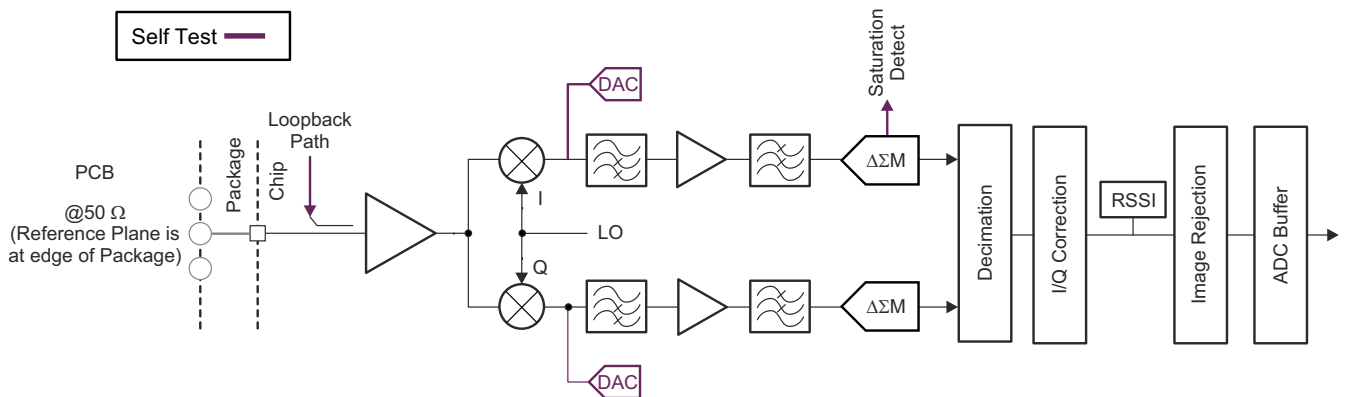


图 9-3. 接收子系统 (每通道)

9.3.2 主机接口

IWR6243 器件通过以下主要接口与主机雷达处理器通信：

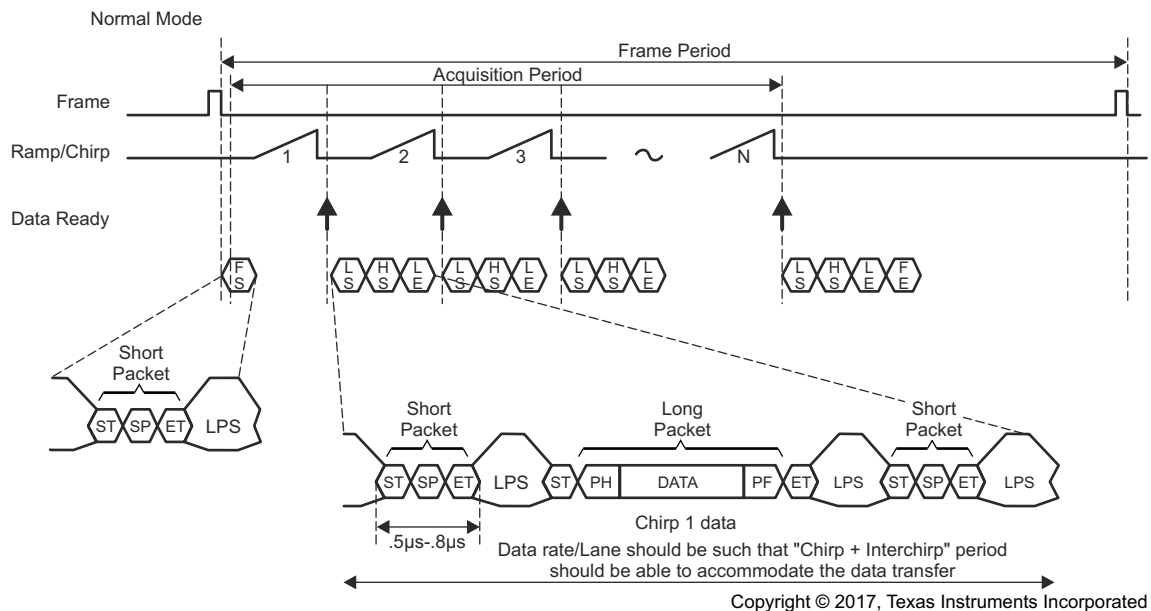
- 基准时钟 — 器件唤醒后主机处理器可用的基准时钟
- 控制 - 用于主机控制的 4 端口标准 SPI (目标或 I2C) 以及用于异步事件的主机 INTR 引脚。所有无线电控制命令 (和响应) 都流经该接口。
- 数据 - 遵循 MIPI CSI2 格式的高速串行端口。四个数据信道和一个时钟信道 (全差分)。为了优化电路板布线，可以在单个数据信道上多路复用来自不同接收通道的数据。这是仅用于数据传输的单向接口。
- 复位 - 用于从主机唤醒器件的低电平有效复位
- 带外中断
- 错误 — 用于在无线电控制器检测到故障时通知主机

9.4 其他子系统

9.4.1 CSI2 接口上的 ADC 数据格式

IWR6243 器件使用基于 MIPI D-PHY/CSI2 的格式将原始 ADC 样本传输到外部 MCU。如图 9-4 中所示。

- 支持四个数据信道
- CSI-2 数据速率可从每个信道 150Mbps 扩展至每个信道 600Mbps
- 基于虚拟通道
- CRC 生成



帧 开始 - CSI2 VSYNC 开始短数据包

线路 开始 - CSI2 HSYNC 开始短数据包

线路 结束 - CSI2 HSYNC 结束短数据包

帧 结束 - CSI2 VSYNC 结束短数据包

图 9-4. CSI-2 传输格式

数据有效载荷由以下三种类型的信息构成：

- 线性调频脉冲曲线信息
- 实际线性调频脉冲数
- 对应于全部四个通道的线性调频脉冲的 ADC 数据
 - 交错式方式
- 线性调频脉冲质量数据（可配置）

然后，有效载荷会拆分到四个物理数据信道上并发送到接收 D-PHY。图 9-5 显示了数据包封装格式

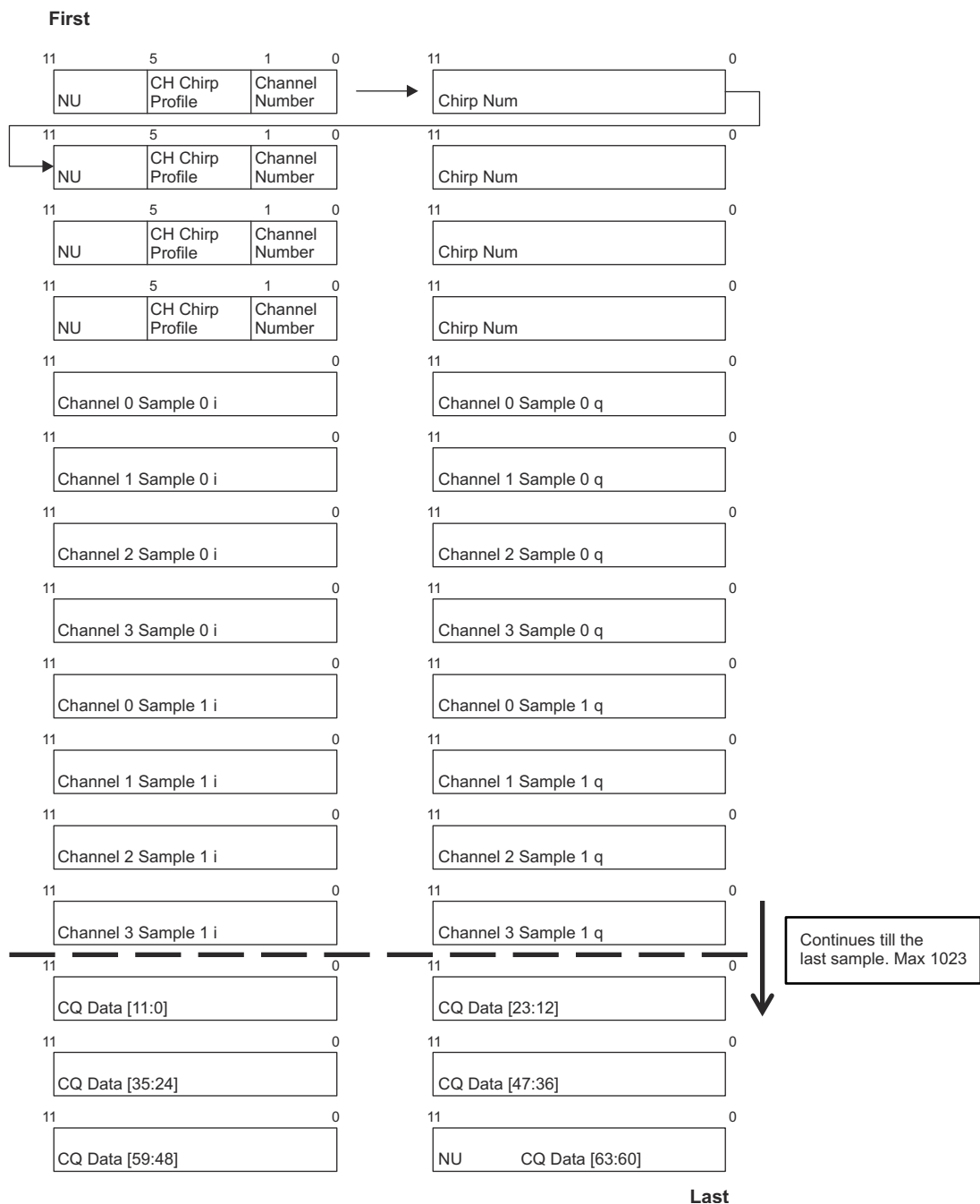


图 9-5. 12 位复数配置的数据包封装格式

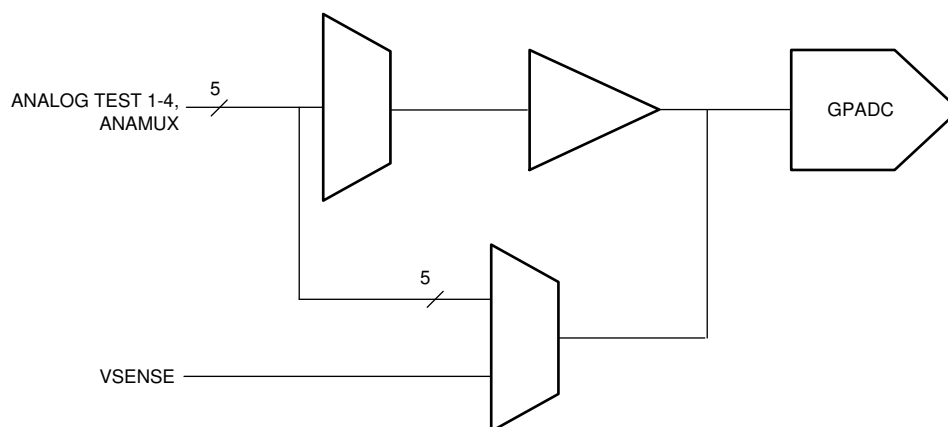
9.4.2 用于用户应用的 ADC 通道 (服务)

该器件包括为用户应用提供 ADC 服务，其中器件内部存在的 GPADC 引擎可用于测量多达六个外部电压。ADC1、ADC2、ADC3、ADC4、ADC5 和 ADC6 引脚用于此目的。

- ADC 本身由在 BIST 子系统内部运行的 TI 固件进行控制，通过调用路由到 BIST 子系统的“监控 API”对其进行访问，以实现客户的外部电压监测目的。此 API 可以链接到在 MSS R4F 上运行的用户应用程序。
- BIST 子系统固件将在内部调度这些测量以及其他射频和模拟监测操作。这些 API 允许配置稳定时间（要跳过的 ADC 样本数）和要采集的连续样本数。在帧结束时，将报告每个受监测电压读数的最小值、最大值和平均值。

GPADC 规格：

- 625Ksps SAR ADC
- 0V 至 1.8V 输入范围
- 10 位分辨率
- 对于 6 个输入中的 5 个输入，可以使用可选的内部缓冲器。如果没有缓冲器，ADC 具有使用 5pF 的采样电容和 12pF 的寄生电容建模的开关电容器输入负载（GPADC 通道 6，内部缓冲器不可用）。



- A. GPADC 结构用于测量内部温度传感器的输出。这些测量的精度为 $\pm 7^{\circ}\text{C}$ 。

图 9-6. ADC 路径

9.4.2.1 GPADC 参数

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数 | 典型值 | 单位 |
|-----------------------------|-----------|------|
| ADC 电源 | 1.8 | V |
| ADC 非缓冲输入电压范围 | 0 - 1.8 | V |
| ADC 缓冲输入电压范围 ⁽¹⁾ | 0.4 - 1.3 | V |
| ADC 分辨率 | 10 | 位 |
| ADC 偏移误差 | ±5 | LSB |
| ADC 增益误差 | ±5 | LSB |
| ADC DNL | -1/+2.5 | LSB |
| ADC INL | ±2.5 | LSB |
| ADC 采样速率 ⁽²⁾ | 625 | Ksps |
| ADC 采样时间 ⁽²⁾ | 400 | ns |
| ADC 内部电容 | 10 | pF |
| ADC 缓冲器输入电容 | 2 | pF |
| ADC 输入泄漏电流 | 3 | uA |

(1) 超出给定范围时，缓冲器输出将变成非线性。

(2) ADC 本身由在 BIST 子系统中运行的 TI 固件进行控制。有关更多详细信息，请参阅 API 调用。

10 监测和诊断机制

下面的列表提供了 IWR6243 中可用的主要监测和诊断机制

表 10-1. 功能安全合规型器件的监测和诊断机制

| S 编号 | 特性 | 说明 |
|------|--------------------------------|--|
| 1 | MSS R4F 内核和关联 VIM 的启动时间 LBIST | 器件架构支持硬件逻辑 BIST (LBIST) 引擎自检控制器 (STC)。该逻辑用于在晶体管级的 MSS R4F CPU 内核和向量中断模块 (VIM) 上提供非常高的诊断覆盖率 (>90%)。CPU 和 VIM 的 LBIST 由引导加载程序触发。 |
| 2 | MSS R4F TCM 存储器的启动时间 PBIST | MSS R4F 具有三个紧密耦合存储器 (TCM) 存储器：TCMA、TCMB0 和 TCMB1。器件架构支持一个硬件可编程存储器 BIST (PBIST) 引擎。该逻辑用于在晶体管级别对所实现的 MSS R4F TCM 提供非常高的诊断覆盖率 (March-13n)。TCM 存储器的 PBIST 在引导期间由引导加载程序触发。CPU 保持在 while 循环中，如果发现故障，则不会继续执行。 |
| 3 | 用于 MSS R4F TCM 存储器的端到端 ECC | TCM 诊断由单错校正、双错检测 (SECEDED) ECC 诊断提供支持。使用一个 8 位代码字来存储通过 64 位数据总线计算的 ECC 数据。ECC 评估由 CPU 内部的 ECC 控制逻辑执行。这种方案在 CPU 和 TCM 间的传输上提供端到端诊断。CPU 配置为对一位和双位错误条件具有预先确定的响应（忽略或中止生成）。 |
| 4 | MSS R4F TCM 位多路复用 | 逻辑 TCM 字及其关联的 ECC 代码被分开并存储于两个物理 SRAM 组中。这种方案提供一个针对物理 SRAM 组中地址解码故障的固有诊断机制。组寻址中的故障被 CPU 检测为一个 ECC 故障。此外，实施位多路复用方案，以便所访问的旨在生成一个逻辑 (CPU) 字的位在物理上不相邻。这一机制有助于减少会导致逻辑多位故障的物理多位故障的可能性；相反的它们多表现为多个一位故障。由于 SECEDED TCM ECC 能够校正一个逻辑字中的一位故障，这个机制提高了 TCM ECC 诊断的有效性。 |
| 5 | 时钟监控器 | 器件架构支持三个数字时钟比较器器件 (DCC) 和一个内部 RCOSC。这些模块提供双重功能 - 时钟检测和时钟监控。 DCCint 用于在引导时检查基准时钟的可用性/范围，否则器件会进入跛行模式（器件仍启动，但使用 10MHz RCOSC 时钟源。这提供了调试功能）。DCCint 仅由引导加载程序在引导期间使用。它会在 APLL 启用并锁定后被禁用。 DCC1 专用于 APLL 锁定检测监控，将 APLL 输出分频版本与器件的基准输入时钟进行比较。最初（在配置 APLL 之前），DCC1 由引导加载程序用于根据内部 RCOSC 时钟源识别基准输入时钟的精确频率。DCC1 的故障检测会使器件进入跛行模式。 时钟比较模块 (CCC) 模块用于比较 APLL 分频频率与基准时钟 (XTAL)。故障检测由 nERROR OUT 信号进行指示。 |
| 6 | 用于 MSS R4F 的 RTI/WD | 内部看门狗由引导加载程序在窗口化看门狗 (DWWD) 模式下启用。 看门狗到期时会向主机发出内部热复位和 nERROR OUT 信号。 |
| 7 | MSS R4F 的 MPU | Cortex-R4F CPU 包含一个 MPU。MPU 逻辑可被用于提供器件内存中软件任务的空间分离。Cortex-R4F MPU 支持 12 个区域。根据每一个任务的需求，操作系统控制 MPU 并改变 MPU 设置。违反一个已设置的内存保护策略会导致一个 CPU 异常中断。 |
| 8 | 用于外设接口 SRAM 的 PBIST - SPI、I2C | 器件架构还支持用于外设 SRAM 的硬件可编程存储器 BIST (PBIST) 引擎。 用于外设 SRAM 存储器的 PBIST 由引导加载程序触发。PBIST 测试会破坏存储器中的内容，正因如此，此测试通常只在启动时运行。 PBIST 检测到的任何故障会导致 PBIST 和引导状态响应消息中指示一个错误。 |
| 9 | 用于外设接口 SRAM 的 ECC - SPI、I2C | 外设接口 SRAM 诊断由单错校正、双错检测 (SECEDED) ECC 诊断提供支持。当检测到一位或双位错误时，错误由 nERROR（双位错误）或通过 SPI 消息（一位错误）指示。 |
| 10 | 循环冗余校验 - MSS | 循环冗余校验 (CRC) 模块可用于 MSS。固件使用该功能在邮箱和 SPI 通信中进行数据传输校验。 |
| 11 | 用于 DMA 的 MPU | 器件架构支持在 MSS DMA 上使用 MPU。固件使用它来提供堆栈保护。 |
| 12 | BIST R4F 内核和关联 VIM 的启动时间 LBIST | 器件架构支持硬件逻辑 BIST (LBIST)，甚至对于 BIST R4F 内核和关联的 VIM 模块也是如此。该逻辑在 BIST R4F CPU 内核和 VIM 上提供非常高的诊断覆盖率 (>90%)。这由 MSS R4F 引导加载程序在引导时触发，如果检测到故障，则不会继续进行。 |
| 13 | BIST R4F TCM 存储器的启动时间 PBIST | 器件架构支持适用于 BIST R4F TCM 的硬件可编程存储器 BIST (PBIST) 引擎，可在 BIST R4F TCM 上提供非常高的诊断覆盖率 (March-13n)。PBIST 在 BIST R4F 上电时触发。 |
| 14 | 用于 BIST R4F TCM 存储器的端到端 ECC | BIST R4F TCM 诊断由单错校正、双错检测 (SECEDED) ECC 诊断提供支持。一位错误传送到 BIST R4FCPU，而双位错误作为向主机发送异步事件的中断传送到 MSS R4F。 |

表 10-1. 功能安全合规型器件的监测和诊断机制 (续)

| S 编号 | 特性 | 说明 |
|------|-----------------------------|--|
| 15 | BIST R4F TCM 位多路复用 | 逻辑 TCM 字及其关联的 ECC 代码被分开并存储于两个物理 SRAM 组中。该方案为物理 SRAM 组中的地址解码故障提供了固有的诊断机制，并有助于降低物理多位故障导致逻辑多位故障的可能性。 |
| 16 | 温度传感器 | 器件架构支持在整个器件上使用各种温度传感器（紧挨着高耗电模块，如 PA、DSP 等），这些传感器在帧间周期内受到监控。(1) |
| 17 | Tx 功率监测器 | 器件架构支持在 Tx 输出端使用功率检测器。(2) |
| 18 | 错误信令 错误输出 | 当诊断检测到一个故障，这个错误必须被标出。器件架构使用 SPI 接口上的 nERROR 信令或异步事件聚合来自内部监测/诊断机制的故障指示。 |
| 19 | 合成器（线性调频脉冲）频率 监测器 | 通过对时钟周期进行计数（分频）并与理想的频率斜升进行比较来监视合成器的频率斜升。检测并报告超过特定阈值的过量频率误差（如果有）。 |
| 20 | TX 端口的焊球破裂检测（TX 焊球破裂监测器） | 器件架构支持基于器件 TX 输出端阻抗测量的焊球破裂检测机制，以检测和报告任何指示焊球破裂的较大偏差。 监测由在 BIST R4F 上运行的 TI 代码执行，故障会报告给主机。 这完全由客户软件根据来自 BIST R4F 的消息决定采取适当的操作。 |
| 21 | RX 环回测试 | 内置 TX 到 RX 环回功能，可检测 RX 路径中的故障，包括增益、RX 间平衡等。 |
| 22 | IF 环回测试 | 内置中频（方波）测试音输入，用于监控 IF 滤波器的频率响应并检测故障。 |
| 23 | RX 饱和检测 | 用于检测由于过量的输入信号电平而/或干扰而导致的 ADC 饱和。 |

(1) 监测由在 BIST R4F 上运行的 TI 代码执行。可通过两种模式将其配置为报告客户应用通过 API 检测到的温度。

- a. 报告在每 N 帧之后检测到的温度
- b. 一旦温度超过编程阈值，就报告该情况。

这完全由客户软件根据通过 Mailbox 从 BIST R4F 收到的消息来决定采取适当的操作。

(2) 监测由在 BIST R4F 上运行的 TI 代码执行。

可通过两种模式将其配置为报告客户应用通过 API 检测到的输出功率。

- a. 报告每 N 帧后检测到的功率
- b. 一旦输出功率下降幅度超过配置的阈值，则报告该情况。

这完全由客户软件根据来自 BIST R4F 的消息决定采取适当的操作。

备注

有关所有诊断机制的适用性的更多详细信息，请参阅器件安全手册或其他相关配套资料。有关认证详细信息，请参阅器件产品文件夹。

11 应用、实施和布局

备注

以下“应用”部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

11.1 应用信息

图 11-1 演示了雷达传感器在工业应用当中的使用。

更多信息可以在 [IWR 应用网页](#) 上找到

11.2 适用于工业应用的雷达传感器

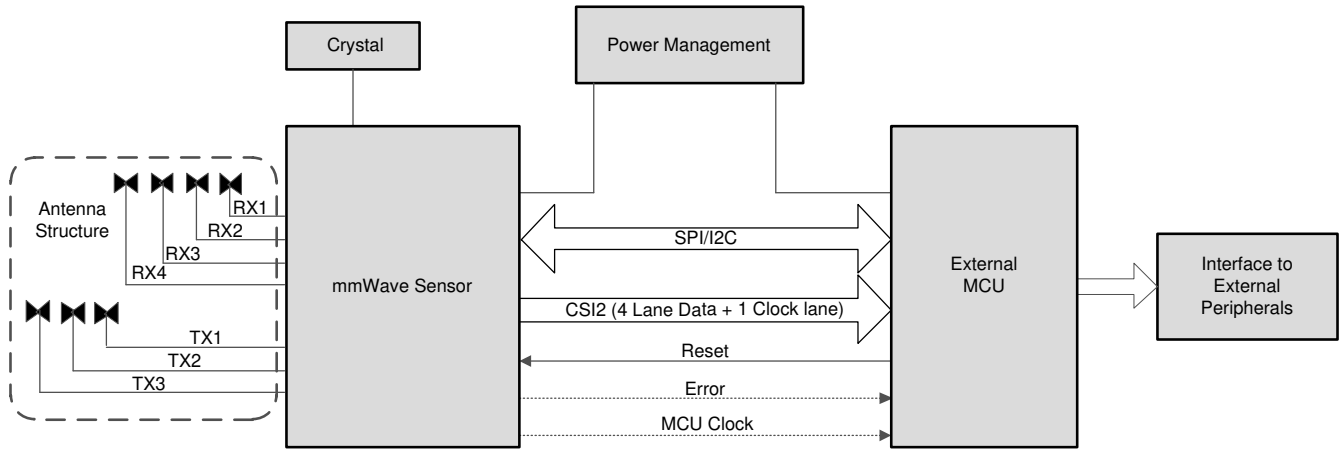


图 11-1. 适用于工业应用的雷达传感器

11.3 使用级联配置的成像雷达

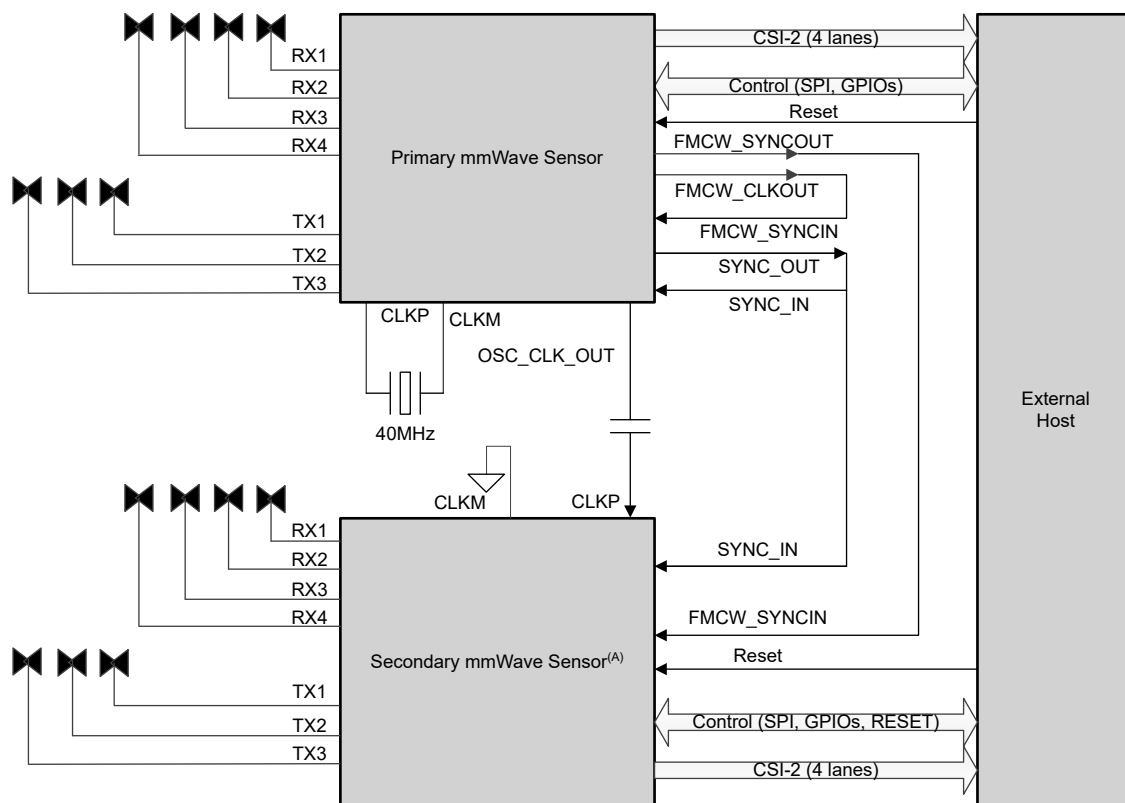


图 11-2. 使用级联配置的成像雷达

A. 多个器件可同一个主毫米波传感器级联在一起。

12 器件和文档支持

TI 提供广泛的开发工具。下面是用于评估器件性能、生成代码和开发解决方案的工具和软件。

12.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，*IWR6243*)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型 (例如 ABL0161)、温度范围 (例如，无后缀表示默认的商业级温度范围)。图 12-1 提供了读取任一 *IWR6243* 器件的完整器件名称的图例。

如需 ABL0161 封装类型的 *IWR6243* 器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 TI 网站 (www.ti.com) 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 *IWR6243* 器件勘误表。

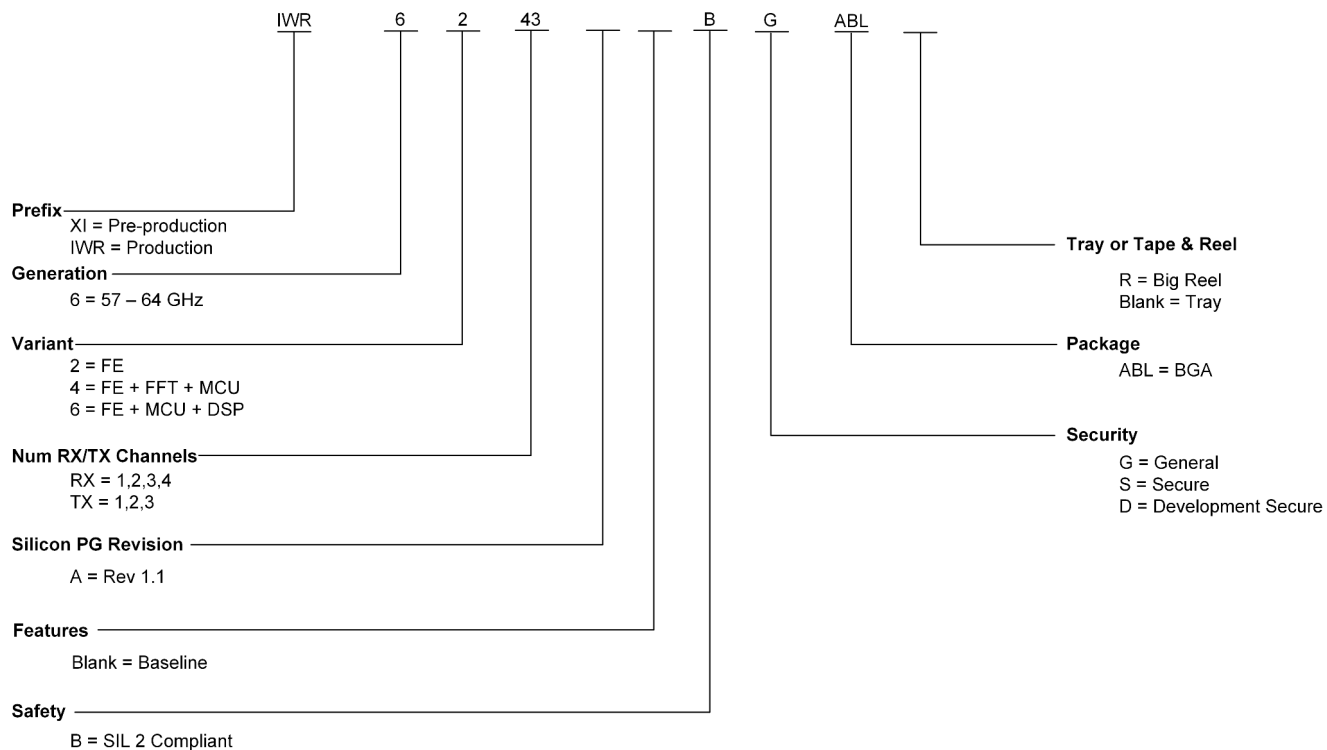


图 12-1. 器件命名规则

12.2 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍 DSP、相关外设以及其他配套技术资料的最新文档。

勘误

IWR6243 器件勘误表。

介绍了器件的已知问题、限制和注意事项并提供了权变措施。

12.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 出口管制提示

接收方同意，在未事先获得美国商务部和其他主管政府机构的授权的情况下，在美国或其他适用法律要求的范围内，不会故意直接或间接地将披露方根据保密义务（如有）收到的任何产品或技术数据（如美国、欧盟和其他出口管理条例所定义），包括软件，或受其他适用国家法规限制的任何受控产品，或此类技术的任何直接产品出口或再出口到美国或其他相关法律限制或禁止的任何目的地。

12.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

13.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

小心

以下封装信息如有变更，恕不另行通知。

封装选项附录

封装信息

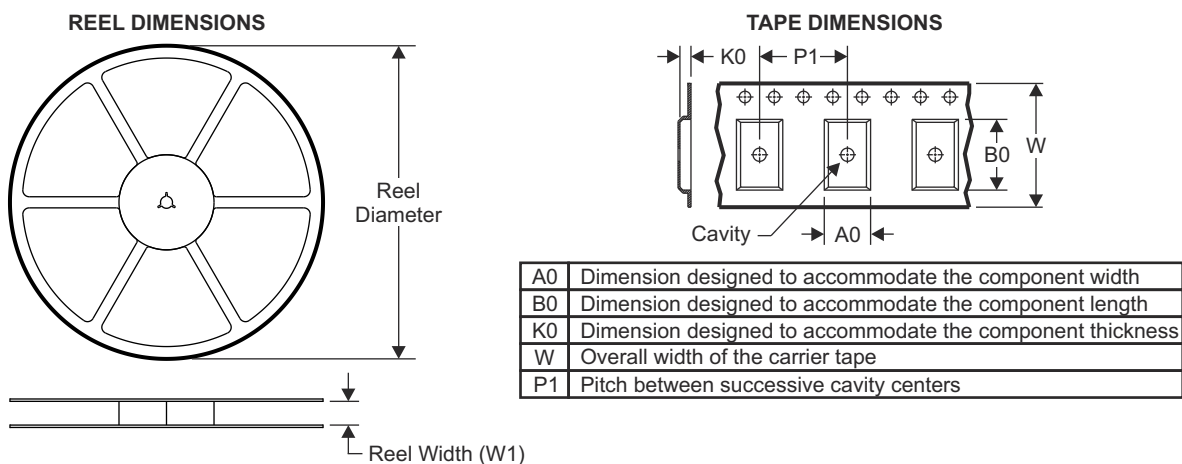
| 可订购器件 | 状态 ⁽¹⁾ | 封装类型 | 封装图 | 引脚 | 包装数量 | 环保计划 ⁽²⁾ | 铅/焊球镀层 ⁽⁶⁾ | MSL 峰值温度 ⁽³⁾ | 工作温度 (°C) | 器件标识 ^{(4) (5)} |
|-----------------|-------------------|-------|-----|-----|------|---------------------|-----------------------|-------------------------|-----------|-------------------------|
| IWR6243ABGA BL | 运行 | FCCSP | ABL | 161 | 176 | RoHS 和绿色环保 | 致电 TI | Level-3-260C-1 68 HR | -40 至 105 | IWR6243 BG 592A ABL G1 |
| IWR6243ABGA BLR | 运行 | FCCSP | ABL | 161 | 1000 | RoHS 和绿色环保 | 致电 TI | Level-3-260C-1 68 HR | -40 至 105 | IWR6243 BG 592A ABL G1 |

- (1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。
- (2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅 (RoHS 豁免) 或绿色 (RoHS，无锡/溴) - 如需了解最新供货信息及更多产品内容详情，请访问 www.ti.com.cn/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅 (RoHS 豁免)：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅 (符合 RoHS)。
绿色环保 (RoHS，无锡/溴)：TI 定义的“绿色环保”表示无铅 (符合 RoHS 标准)、无溴 (Br) 和无锡 (Sb) 系阻燃剂 (均质材料中 Br 或 Sb 的质量不超过总质量的 0.1%)。
- (3) MSL，峰值温度-- 湿敏等级额定值 (符合 JEDEC 工业标准分级) 和峰值焊接温度。
- (4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。
- (5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。
- (6) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

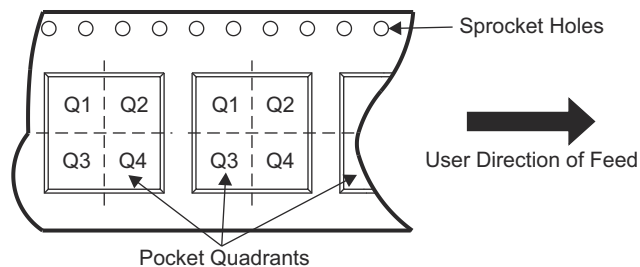
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

13.2 卷带包装信息

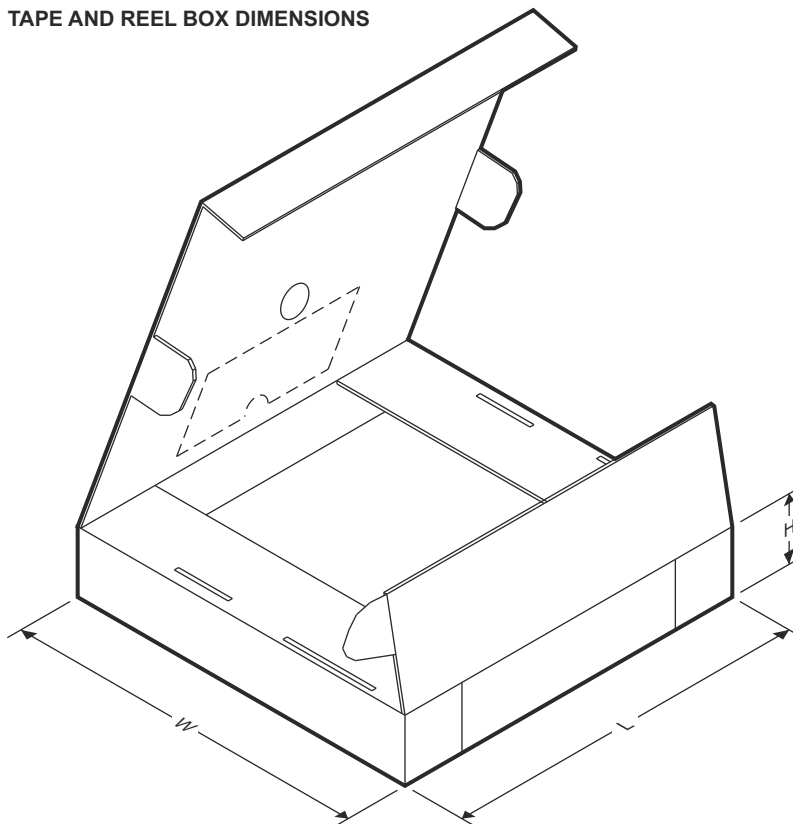


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



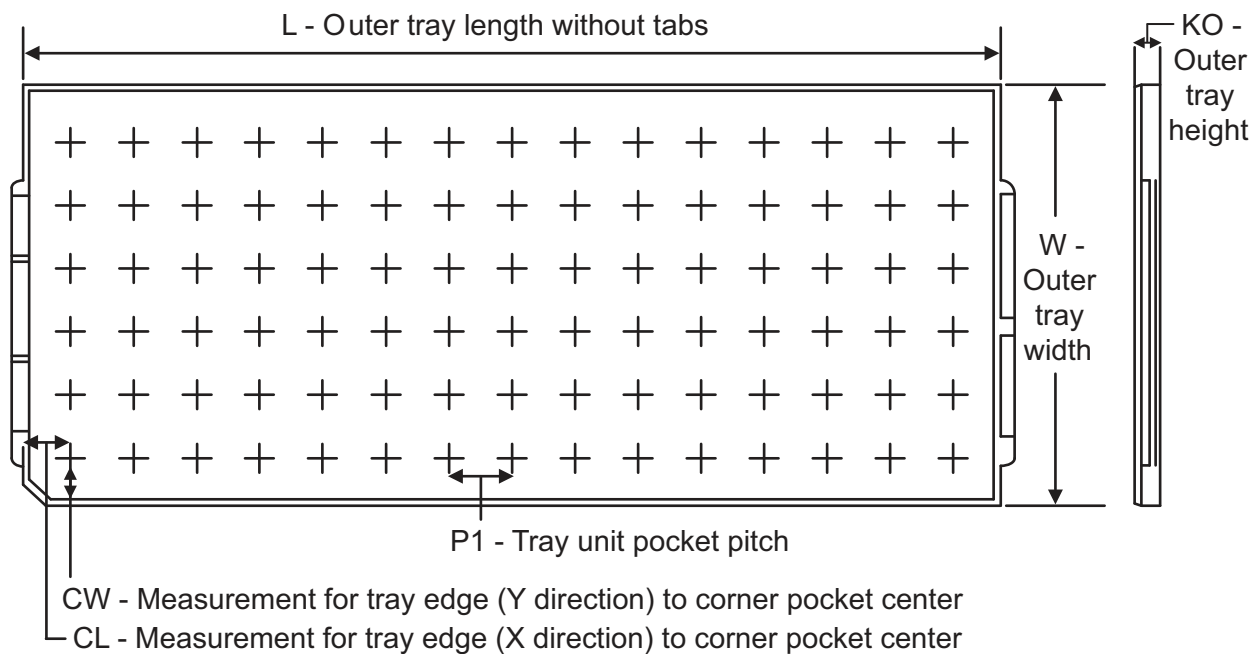
| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 卷带直径 (mm) | 卷带宽度 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 象限 |
|----------------|-------|-----|-----|------|-----------|--------------|---------|---------|---------|---------|--------|---------|
| IWR6243ABGABLR | FCCSP | ABL | 161 | 1000 | 330.0 | 24.4 | 10.7 | 10.7 | 1.65 | 16.0 | 24.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS



| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 长度 (mm) | 宽度 (mm) | 高度 (mm) |
|----------------|-------|-----|-----|------|---------|---------|---------|
| IWR6243ABGABLR | FCCSP | ABL | 161 | 1000 | 336.6 | 336.6 | 41.3 |

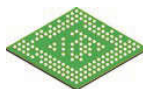
托盘信息



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

| 器件 | 封装类型 | 封装名称 | 引脚 | SPQ | 器件阵列矩阵 | 最高温度 (摄氏度) | L (mm) | W (mm) | K0 (mm) | P1 (mm) | CL (mm) | CW (mm) |
|---------------|------|-------|-----|-----|--------|---------------|--------|--------|---------|---------|------------|---------|
| IWR6243ABGABL | ABL | FCCSP | 161 | 176 | 8 x 22 | 150 | 315 | 135.9 | 7620 | 13.4 | 16.8 | 17.2 |

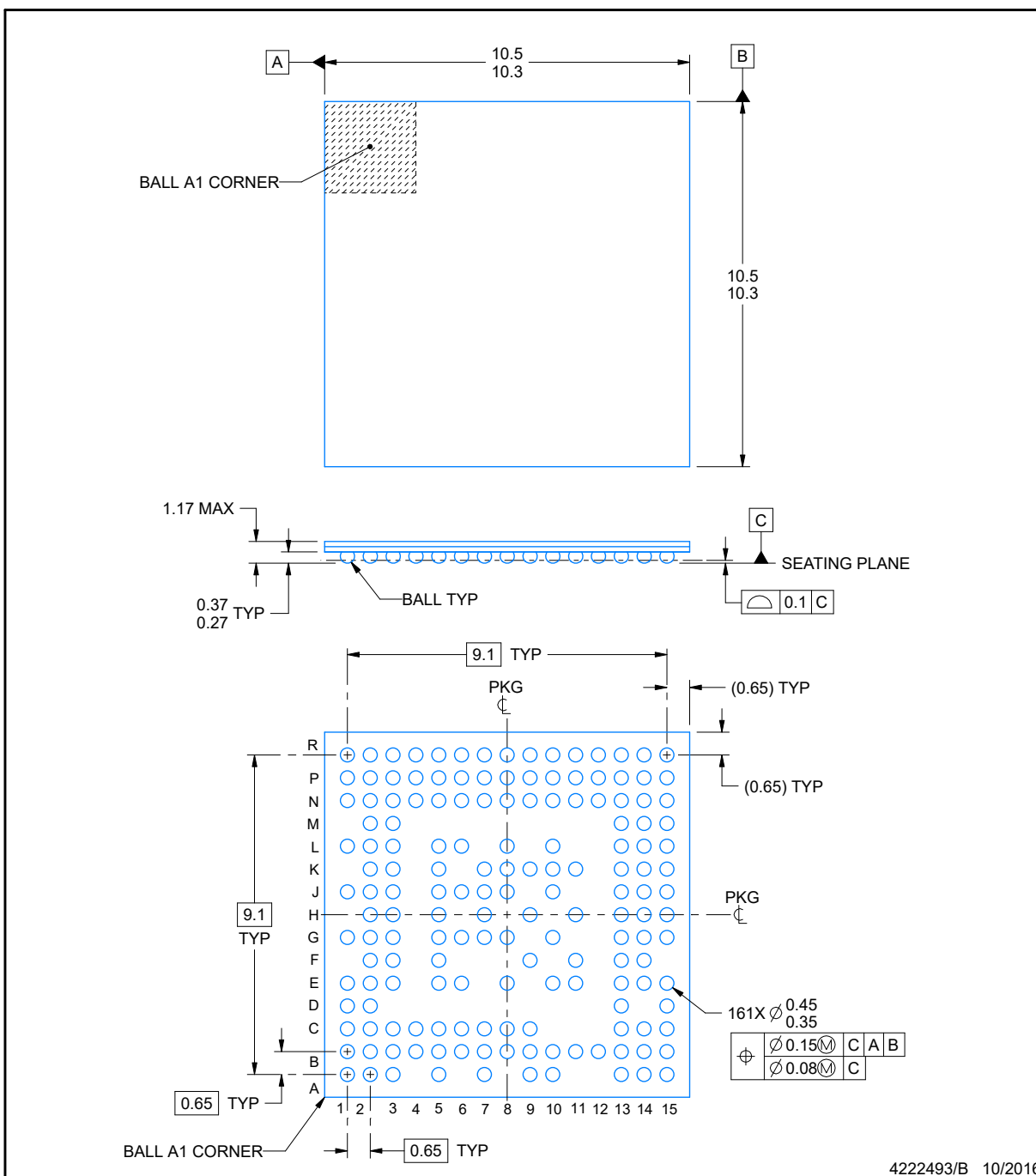
机械数据



ABL0161A

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

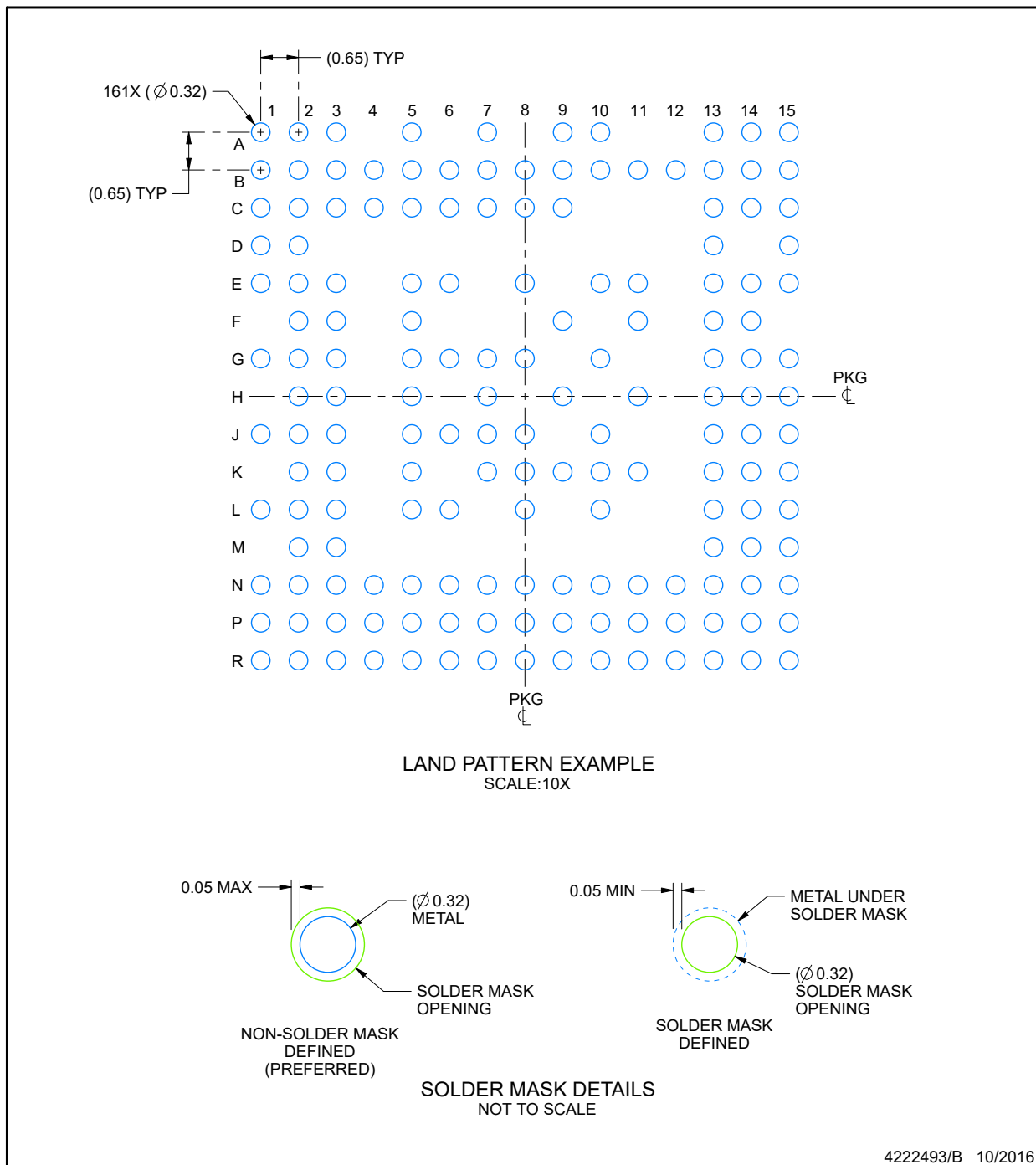
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ABL0161A

FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY

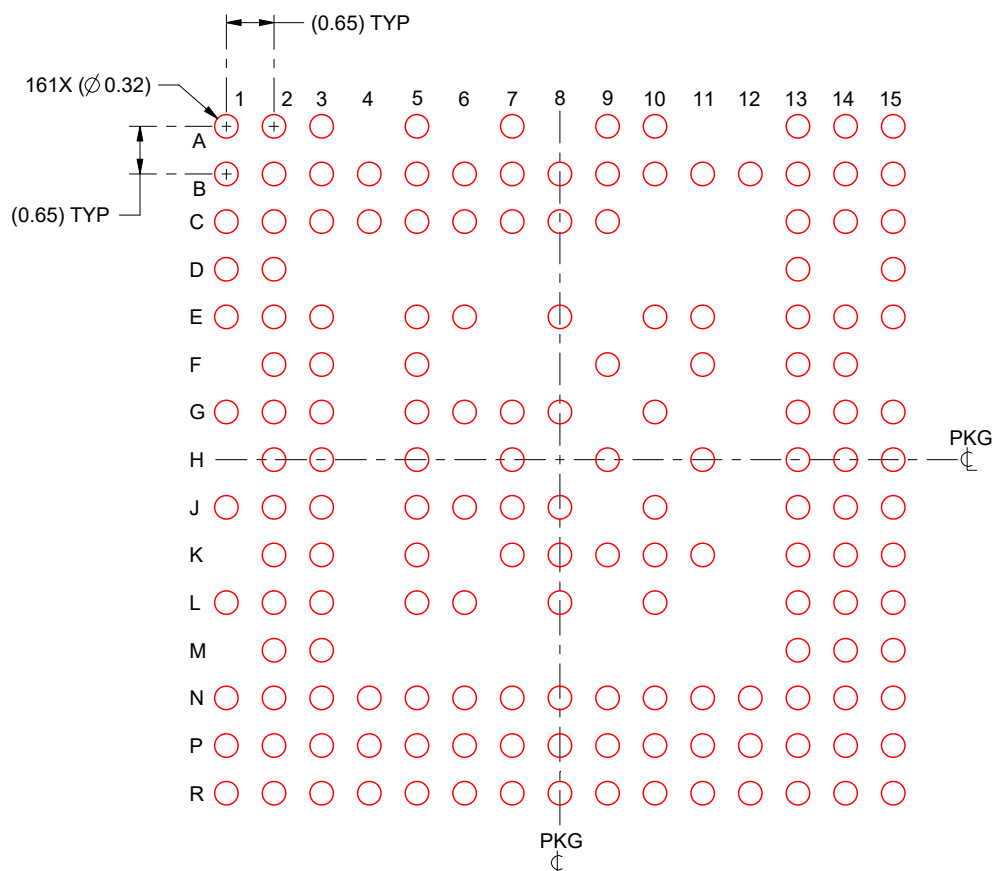


NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN**ABL0161A****FCBGA - 1.17 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:10X

4222493/B 10/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|--------------------------------|---------------|----------------------|-------------------|------------------------|-------------|--------------------------------------|-----------------------------------|--------------|---|
| IWR6243ABGABL | Active | Production | FCCSP (ABL) 161 | 176 JEDEC TRAY (5+1) | Yes | SNAGCU | Level-3-260C-168 HR | -40 to 105 | IWR6243 BG 592A (592A ABL, 592 A ABL) |
| IWR6243ABGABL.B | Active | Production | FCCSP (ABL) 161 | 176 JEDEC TRAY (5+1) | Yes | SNAGCU | Level-3-260C-168 HR | -40 to 105 | IWR6243 BG 592A (592A ABL, 592 A ABL) |
| IWR6243ABGABLR | Active | Production | FCCSP (ABL) 161 | 1000 LARGE T&R | Yes | SNAGCU | Level-3-260C-168 HR | -40 to 105 | IWR6243 BG 592A (592A ABL, 592 A ABL) |
| IWR6243ABGABLR.B | Active | Production | FCCSP (ABL) 161 | 1000 LARGE T&R | Yes | SNAGCU | Level-3-260C-168 HR | -40 to 105 | IWR6243 BG 592A (592A ABL, 592 A ABL) |

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

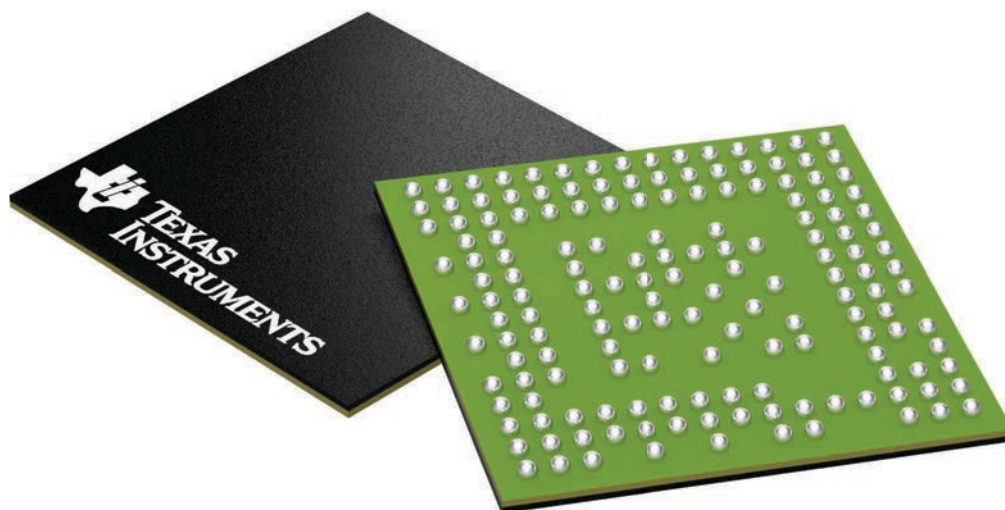
ABL 161

FCBGA - 1.17 mm max height

10.4 x 10.4, 0.65 mm pitch

PLASTIC BALL GRID ARRAY

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](https://www.ti.com) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月