

ISOM811x-Q1 具有模拟晶体管输出的汽车级单通道光耦仿真器

1 特性

- 业界通用光晶体管光耦合器的封装兼容、引脚对引脚升级版
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度等级 1：-40°C 至 125°C 环境温度范围
- 单通道 LED 仿真器输入
- $I_F = 5\text{mA}$ 、 $V_{CE} = 5\text{V}$ 时的电流传输比 (CTR)：
 - ISOM8110-Q1、ISOM8115-Q1：100% 至 155%
 - ISOM8111-Q1、ISOM8116-Q1：150% 至 230%
 - ISOM8112-Q1、ISOM8117-Q1：255% 至 380%
 - ISOM8113-Q1、ISOM8118-Q1：375% 至 560%
- 高集电极-发射极电压： V_{CE} (最大值) = 80V
- 稳健 SiO_2 隔离栅
 - 隔离等级：高达 $5000V_{\text{RMS}}$
 - 工作电压：高达 $750V_{\text{RMS}}$ 、 $1061V_{\text{PK}}$
 - 浪涌能力：高达 10kV_{PK}
- 响应时间： $V_{CE} = 10\text{V}$ 、 $I_C = 2\text{mA}$ 、 $R_L = 100\ \Omega$ 时为 $3\ \mu\text{s}$ (典型值)
- 功能安全型
 - 可提供用于功能安全系统设计的文档：[ISOM811x-Q1](#)
- 安全相关认证 (计划)
 - 符合由 VDE 按 DIN EN IEC 60747-17 (VDE 0884-17) 标准进行的认证
 - UL 1577 认证， $3750V_{\text{RMS}}$ 和 $5000V_{\text{RMS}}$ 隔离
 - IEC 62368-1、IEC 61010-1 认证
 - CQC GB 4943.1 认证

2 应用

- 开关电源
- HEV/EV OBC 和直流/直流转换器
- 高级驾驶辅助系统 (ADAS)
- 车身电子装置与照明
- 信息娱乐系统与仪表组
- 混合动力汽车/电动汽车电池管理系统 (BMS)

3 说明

ISOM811x-Q1 器件是具有 LED 仿真器输入和晶体管输出的单通道光耦仿真器，也是许多传统光耦合器的封装兼容、引脚对引脚升级版器件，无需重新设计 PCB 即可增强现有系统。

与光耦合器相比，ISOM811x-Q1 光耦仿真器具有显著的可靠性和性能优势，包括高带宽、低关断延迟、低功耗、更宽的温度范围、平坦的 CTR 和严格的过程控制，从而实现较小的器件间偏移。由于没有要补偿的老化效应或温度变化，因此仿真 LED 输入级的功耗比光耦合器低。

ISOM811x-Q1 器件采用引脚间距为 2.54mm 和 1.27mm 的小型 SOIC-4 封装，支持 $3750V_{\text{RMS}}$ 和 $5000V_{\text{RMS}}$ 隔离额定值以及直流 (ISOM811[0-3]-Q1) 和双向直流 (ISOM811[5-8]-Q1) 输入选项。ISOM811x-Q1 器件具有高性能和高可靠性，因此可用于电源反馈设计、电机驱动、工业控制器中的 I/O 模块、工厂自动化应用等。

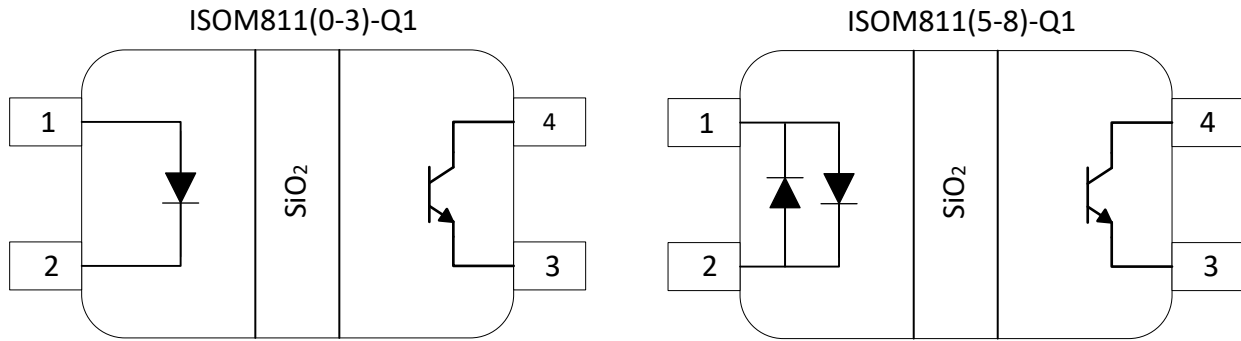
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值)
ISOM811x-Q1	SO-4 (DFG)	7.0mm × 3.5mm	4.8mm × 3.5mm
	SO-4 (DFH)	7.0mm × 2.7mm	4.8mm × 2.7mm
	SO-4 (DFS)	10.0mm × 3.6mm	7.5mm × 3.6mm

(1) 有关更多信息，请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。





简化版原理图

内容

1 特性	1	8.1 概述.....	20
2 应用	1	8.2 功能方框图.....	20
3 说明	1	8.3 特性说明.....	21
4 器件比较	4	8.4 器件功能模式.....	21
5 引脚配置和功能	4	9 应用和实施	22
6 规格	5	9.1 应用信息.....	22
6.1 绝对最大额定值.....	5	9.2 电源相关建议.....	26
6.2 ESD 等级.....	5	9.3 布局.....	26
6.3 建议运行条件.....	5	10 器件和文档支持	27
6.4 热性能信息.....	5	10.1 文档支持.....	27
6.5 绝缘规格.....	7	10.2 接收文档更新通知.....	27
6.6 安全相关认证.....	8	10.3 支持资源.....	27
6.7 安全限值.....	8	10.4 商标.....	27
6.8 电气特性.....	9	10.5 静电放电警告.....	27
6.9 开关特性.....	11	10.6 术语表.....	27
6.10 典型特性.....	13	11 修订历史记录	27
7 参数测量信息	19	12 机械、封装和可订购信息	28
8 详细说明	20		

4 器件比较

表 4-1. 器件选择

器件型号	CTR ($I_F = 5\text{mA}$)	封装	引脚间距
ISOM8110-Q1、ISOM8115-Q1	100% 至 155%	4 引脚 SOIC (DFG)、4 引脚 SOIC (DFH)、4 引脚 SOIC (DFS)	2.54mm、1.27mm、2.54mm
ISOM8111-Q1、ISOM8116-Q1	150% 至 230%		
ISOM8112-Q1、ISOM8117-Q1	255% 至 380%		
ISOM8113-Q1、ISOM8118-Q1	375% 至 560%		

5 引脚配置和功能

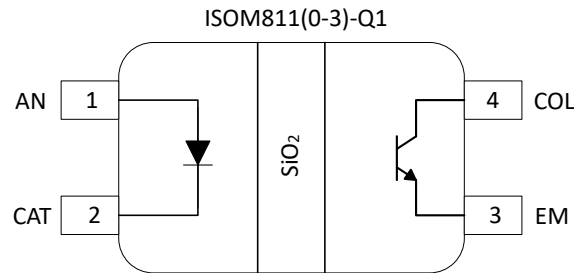


图 5-1. ISOM811[0-3]-Q1 4 引脚 SOIC (顶视图)

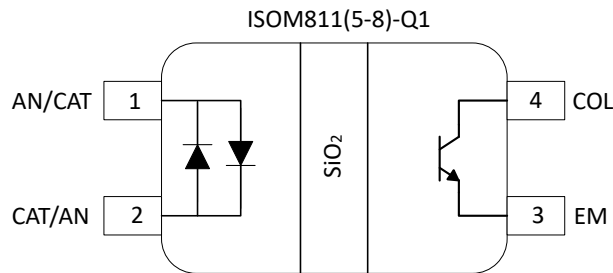


图 5-2. ISOM811[5-8]-Q1 4 引脚 SOIC (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	AN	I	输入 LED 仿真器的阳极连接
2	CAT	I	输入 LED 仿真器的阴极连接
3	EM	O	晶体管发射极
4	COL	O	晶体管集电极

(1) I = 输入, O = 输出

6 规格

6.1 绝对最大额定值

请参阅(1)(2)

		最小值	最大值	单位
$I_{F(max)}$	最大输入正向电流		50	mA
V_{CEO}	集电极-发射极的电压		80	V
V_{ECO}	发射极-集电极电压		7	V
I_{FP}	输入脉冲正向电流 (1 μ s 宽度)		1	A
V_R	$I_R = 10 \mu$ A 时的输入反向电压 (3)		7	V
P_I	输入功率耗散		140	mW
I_C	集电极电流		50	mA
P_C	集电极功率耗散		150	mW
P_T	总功率损耗		290	mW
T_A	环境温度	-55	125	°C
T_J	工作结温		150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在本文档操作部分所列以外的任何其他条件下能够正常运行。如果超出所列工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 所有规格均在 $T_A = 25^\circ\text{C}$ 时测得 (除非另有说明)
- (3) 仅适用于 ISOM8110-Q1、ISOM8112-Q1 和 ISOM8113-Q1

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002(1) HBM ESD 分类等级 3A	± 2000	V
		充电器件模型 (CDM), 符合 AEC Q100 - 011 CDM ESD 分类等级 C6	± 1000	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

		最小值	标称值	最大值	单位
$I_{F(ON)}$	输入导通状态正向电流	0.7		20	mA
V_{CEO}	集电极-发射极的电压	-5		48	V
T_A	环境温度	-40		125	°C

6.4 热性能信息

热指标 (1)		ISOM811x-Q1			单位
		DFS (SOIC)	DFG (SOIC)	DFH (SOIC)	
		4 引脚	4 引脚	4 引脚	
$R_{\theta JA}$	结至环境热阻	269.1	283.9	288.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	156.7	173.1	173.6	°C/W
$R_{\theta JB}$	结至电路板热阻	194.2	201.4	192.9	°C/W
ψ_{JT}	结至顶部特征参数	128.4	125.1	121.5	°C/W

热指标 ⁽¹⁾		ISOM811x-Q1			单位
		DFS (SOIC)	DFG (SOIC)	DFH (SOIC)	
		4 引脚	4 引脚	4 引脚	
ψ_{JB}	结至电路板特征参数	191.0	198.0	190.0	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅[半导体](#)和[IC 封装热指标](#)应用手册。

6.5 绝缘规格

参数	测试条件	值		单位	
		4-DFG、4-DFH	4-DFS		
IEC 60664-1					
CLR	外部间隙 ⁽¹⁾	1 侧到 2 侧的空间距离	> 5	> 8	mm
CPG	外部爬电距离 ⁽¹⁾	1 侧到 2 侧的封装表面距离	> 5	> 8	mm
DTI	绝缘穿透距离	最小内部间隙	>17	>17	μm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>400	>400	V
	材料组	符合 IEC 60664-1	II	II	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 150V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 300V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 600V _{RMS}	I-III	I-IV	
DIN VDE V 0884-11:2017 ⁽⁶⁾					
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	707	1061	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDB) 测试	500	750	V _{RMS}
		直流电压	707	1061	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	5303	7071	V _{PK}
V _{IMP}	最大脉冲电压 ⁽²⁾	在空气中测试, 符合 IEC 62368-1 标准的 1.2/50μs 波形	7200	8000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	V _{IOSM} ≥ 1.3 × V _{IMP} ; 在油中测试 (鉴定测试) , 1.2/50μs 波形, 符合 IEC 62368-1 标准	10000	10400	V _{PK}
Q _{pd}	视在电荷 ⁽⁴⁾	方法 a : I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	pC
		方法 a : 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	
		方法 b : 常规测试 (100% 生产测试) 和预调节 (类型测试) , V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s ; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s	≤ 5	≤ 5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin (2 π ft) , f = 1MHz	1	1	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V , T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
		V _{IO} = 500V , 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V , T _S = 150°C	> 10 ⁹	> 10 ⁹	
	污染等级		2	2	
	气候类别		40/125/2 1	40/125/2 1	
UL 1577					
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	3750	5000	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- (2) 在空气进行测试, 以确定封装的浪涌抗扰度。
- (3) 在油中进行测试, 以确定隔离栅的固有浪涌抗扰度。
- (4) 视在电荷是局部放电 (pd) 引起的电气放电。

- (5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。
 (6) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。

6.6 安全相关认证

VDE	CSA	UL	CQC	TUV
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 IEC 61010-1、IEC 62368-1 和 IEC 60601-1 进行认证	计划根据 UL 1577 组件认证计划进行认证	计划根据 GB4943.1-2011 进行认证	计划根据 EN 61010-1:2010/A1:2019 和 EN 62368-1:2014 进行认证
已计划获得证书	已计划获得证书	已计划获得证书	已计划获得证书	已计划获得证书

6.7 安全限值

安全限制⁽¹⁾旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
SO-4 封装 (DFG)						
I _S	安全限制输入电流	R _{θJA} = 283.9°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			300	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			10.5	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			17.5	mA
		R _{θJA} = 283.9°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			28	mA
P _S	安全限制总功率	R _{θJA} = 283.9°C/W, T _J = 150°C, T _A = 25°C			420	mW
T _S	最高安全温度				150	°C
SO-4 封装 (DFH)						
I _S	安全限制输入电流	R _{θJA} = 288.8°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			300	mA
I _S	安全限制输入电流	R _{θJA} = 288.8°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			10.5	mA
I _S	安全限制输入电流	R _{θJA} = 288.8°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			17.5	mA
I _S	安全限制输入电流	R _{θJA} = 288.8°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			28	mA
P _S	安全限制总功率	R _{θJA} = 288.8°C/W, T _J = 150°C, T _A = 25°C			420	mW
T _S	最高安全温度				150	°C
SO-4 封装 (DFS)						
I _S	安全限制输入电流	R _{θJA} = 269.1°C/W, V _F = 1.4V, T _J = 150°C, T _A = 25°C			320	mA
I _S	安全限制输入电流	R _{θJA} = 269.1°C/W, V _{CEO} = 40V, T _J = 150°C, T _A = 25°C			11	mA
I _S	安全限制输入电流	R _{θJA} = 269.1°C/W, V _{CEO} = 24V, T _J = 150°C, T _A = 25°C			18	mA
I _S	安全限制输入电流	R _{θJA} = 269.1°C/W, V _{CEO} = 15V, T _J = 150°C, T _A = 25°C			30	mA
P _S	安全限制总功率	R _{θJA} = 269.1°C/W, T _J = 150°C, T _A = 25°C			470	mW

安全限制⁽¹⁾旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
T _S	最高安全温度				150	°C

- (1) I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。表中的结至空气热阻 R_{θJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
 $T_J = T_A + R_{\theta JA} \times P$ ，其中，P 为器件所耗功率。
 $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ，其中，T_{J(max)} 为允许的最大结温。
 $P_S = I_S \times V_I$ ，其中，V_I 为最大输入电压。

6.8 电气特性

所有规格均在 T_A = 25°C 时测得 (除非另有说明)

参数		测试条件	GPN	最小值	典型值	最大值	单位
输入							
V _F	输入正向电压	I _F = 5mA	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		1.2	1.4	V
V _F	输入正向电压	I _F = 5mA, T _A = -40°C 至 125°C	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		1.2	1.6	V
V _F	输入正向电压	I _F = ±5mA	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		1.2	1.5	V
V _F	输入正向电压	I _F = ±5mA, T _A = -40°C 至 125°C	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		1.2	1.5	V
I _R	输入反向电流	V _R = 5V, T _A = -40°C 至 125°C	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1			10	μA
C _{IN}	输入电容	1MHz, V _F = 0V	ISOM8110-Q1、 ISOM8111-Q1、 ISOM8112-Q1、 ISOM8113-Q1		19		pF
C _{IN}	输入电容	1MHz, V _F = 0V	ISOM8115-Q1、 ISOM8116-Q1、 ISOM8117-Q1、 ISOM8118-Q1		6		pF
输出							
C _C E	集电极-发射极电容	1MHz, V _F = 0V	ISOM811x-Q1		10		pF
V _{CE(SAT)}	集电极-发射极饱和电压	I _F = 20mA, I _C = 1mA, T _A = -40°C 至 125°C	ISOM811x-Q1			0.3	V
I _{C_DARK}	集电极暗电流	V _{CE} = 20V, I _F = 0mA, T _A = -40°C 至 125°C	ISOM811x-Q1			100	nA
I _{EC}	反向电流	V _{EC} = 7V, I _F = 0mA, T _A = -40°C 至 125°C	ISOM811x-Q1			50	μA
I _{C_OFF}	OFF_state 集电极电流	V _F = 0.7V, V _{CE} = 48V, T _A = -40°C 至 125°C	ISOM811x-Q1			10	μA
CTR⁽¹⁾							

所有规格均在 $T_A = 25^\circ\text{C}$ 时测得 (除非另有说明)

参数		测试条件	GPN	最小值	典型值	最大值	单位
CTR	电流传输比	$I_F = 2\text{mA}$, $V_{CE} = 5\text{V}$, $T_A = -40^\circ\text{C}$ 至 125°C	ISOM8110-Q1	80	130	180	%
			ISOM8115-Q1	80	130	180	%
			ISOM8111-Q1	120	180	270	%
			ISOM8116-Q1	120	180	270	%
			ISOM8112-Q1	200	300	450	%
			ISOM8117-Q1	200	300	450	%
			ISOM8113-Q1	295	440	655	%
CTR	电流传输比	$I_F = 5\text{mA}$, $V_{CE} = 5\text{V}$, $T_A = -40^\circ\text{C}$ 至 125°C	ISOM8110-Q1	100	120	155	%
			ISOM8115-Q1	100	120	155	%
			ISOM8111-Q1	150	180	230	%
			ISOM8116-Q1	150	180	230	%
			ISOM8112-Q1	255	300	380	%
			ISOM8117-Q1	255	300	380	%
			ISOM8113-Q1	375	440	560	%
ISOM8118-Q1	375	440	560	%			

(1) $\text{CTR} (\%) = (I_C / I_F) \times 100\%$

6.9 开关特性

所有规格均在 $T_A = 25^\circ\text{C}$ 时测得 (除非另有说明)

参数		测试条件	GPN	最小值	典型值	最大值	单位
AC							
t_r	上升时间, 请参阅图 7-2 和图 7-3	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\ \Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1		3.2		μs
			ISOM8113-Q1		2.5		μs
t_f	下降时间, 请参阅图 7-2 和图 7-3	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\ \Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1		4.0		μs
			ISOM8113-Q1		7.5		μs
T_{ON}	导通时间, 请参阅图 7-2 和图 7-3	$V_{CC} = 10\text{V}$, $I_C = 2\text{mA}$, $R_L = 100\ \Omega$, $C_L = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		5.7		μs
			ISOM8111-Q1、 ISOM8116-Q1		4.5		μs
			ISOM8112-Q1、 ISOM8117-Q1		6.2		μs
			ISOM8113-Q1、 ISOM8118-Q1		16.7		μs
		$V_{CC}=5\text{V}$, $R_L=4.7\text{k}\ \Omega$, $I_F=1.6\text{mA}$, $C_L=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		3.5		μs
			ISOM8111-Q1、 ISOM8116-Q1		2.7		μs
			ISOM8112-Q1、 ISOM8117-Q1		2.1		μs
			ISOM8113-Q1、 ISOM8118-Q1		1.8		μs
		$V_{CC}=5\text{V}$, $R_L=1.9\text{k}\ \Omega$, $I_F=16\text{mA}$, $C_L=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		0.62		μs
			ISOM8111-Q1、 ISOM8116-Q1		0.56		μs
			ISOM8112-Q1、 ISOM8117-Q1		0.48		μs
			ISOM8113-Q1、 ISOM8118-Q1		0.44		μs

所有规格均在 $T_A = 25^\circ\text{C}$ 时测得 (除非另有说明)

参数	测试条件	GPN	最小值	典型值	最大值	单位
T_{OFF}	$V_{\text{CC}} = 10\text{V}$, $I_{\text{C}} = 2\text{mA}$, $R_{\text{L}} = 100\ \Omega$, $C_{\text{L}} = 50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		3.6		μs
		ISOM8111-Q1、 ISOM8116-Q1		3.7		μs
		ISOM8112-Q1、 ISOM8117-Q1		3.1		μs
		ISOM8113-Q1、 ISOM8118-Q1		2.7		μs
	$V_{\text{CC}}=5\text{V}$, $R_{\text{L}}=4.7\text{k}\Omega$, $I_{\text{F}}=1.6\text{mA}$, $C_{\text{L}}=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		8		μs
		ISOM8111-Q1、 ISOM8116-Q1		9		μs
		ISOM8112-Q1、 ISOM8117-Q1		11.5		μs
		ISOM8113-Q1、 ISOM8118-Q1		13.5		μs
	$V_{\text{CC}}=5\text{V}$, $R_{\text{L}}=1.9\text{k}\Omega$, $I_{\text{F}}=16\text{mA}$, $C_{\text{L}}=50\text{pF}$	ISOM8110-Q1、 ISOM8115-Q1		10		μs
		ISOM8111-Q1、 ISOM8116-Q1		11		μs
		ISOM8112-Q1、 ISOM8117-Q1		12.3		μs
		ISOM8113-Q1、 ISOM8118-Q1		14.5		μs
t_{s}	存储时间; 输入开启再关闭时输出波形从 0% (100%) 变为 10% (90%) 所需的时间, 请参阅图 7-3	$V_{\text{CC}} = 5\text{V}$, $I_{\text{F}} = 1.6\text{mA}$, $R_{\text{L}} = 4.7\text{k}\Omega$	ISOM811x-Q1		21	μs
BW	带宽, 请参阅图 7-4 和图 7-5	$V_{\text{IN_DC}} = 5\text{V}$, $V_{\text{IN_AC}} = 1\text{Vpk}$, $R_{\text{IN}} = 2\text{k}\Omega$, $V_{\text{CC}} = 5\text{V}$, $R_{\text{LOAD}} = 100\ \Omega$, $C_{\text{L}} = 50\text{pF}$, 在 $V_{\text{CE}} - 3\text{dB}$ 正弦波处测量	ISOM811x-Q1	680		KHz

6.10 典型特性

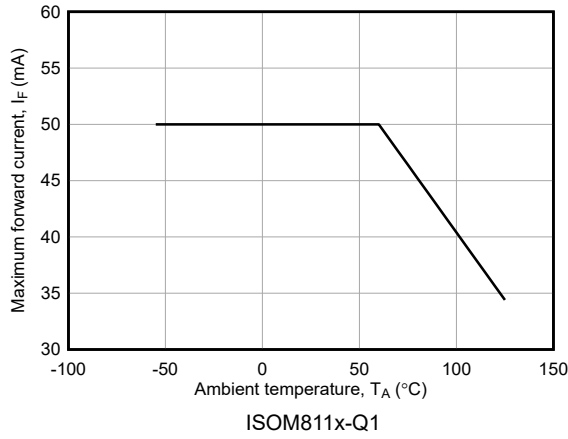


图 6-1. 最高正向电流与环境温度间的关系

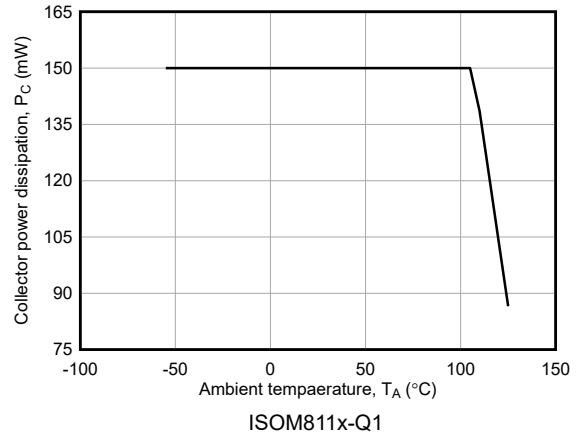


图 6-2. 最大集电极功率耗散与环境温度间的关系

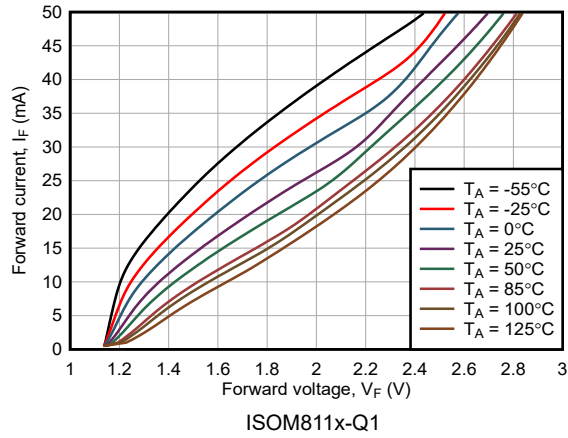


图 6-3. 正向电压与正向电流间的关系

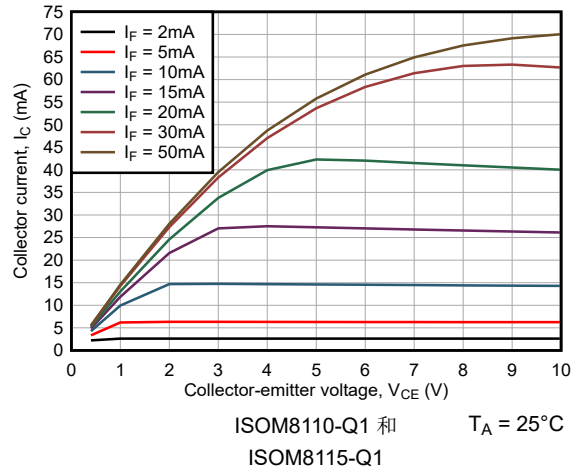


图 6-4. 集电极电流与集电极-发射极电压间的关系

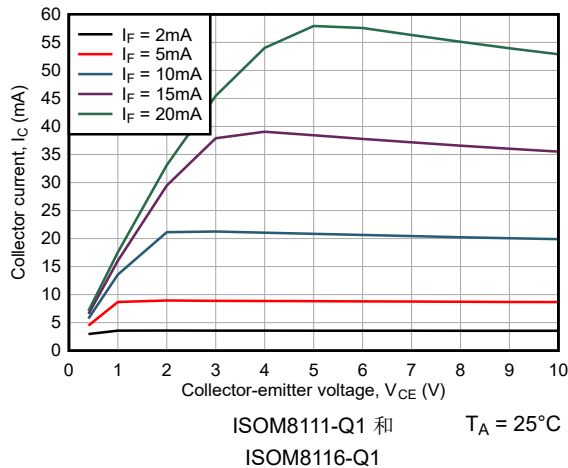


图 6-5. 集电极电流与集电极-发射极电压间的关系

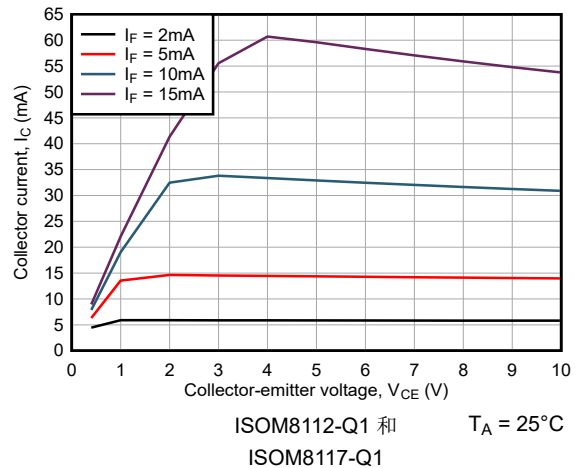


图 6-6. 集电极电流与集电极-发射极电压间的关系

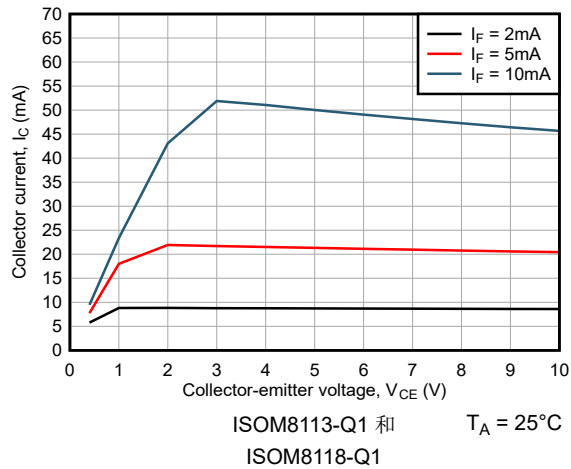


图 6-7. 集电极电流与集电极-发射极电压间的关系

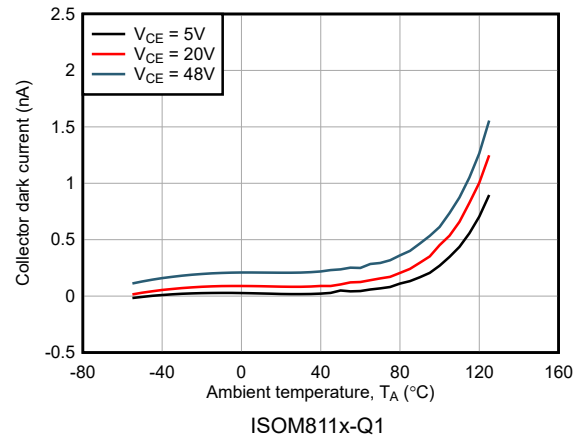


图 6-8. 集电极暗电流与环境温度间的关系

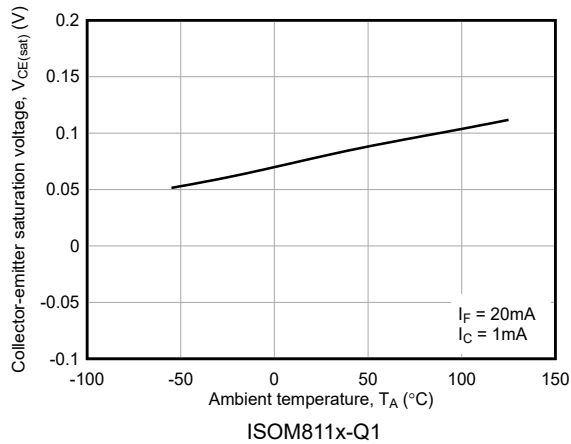


图 6-9. 集电极-发射极饱和电压与环境温度间的关系

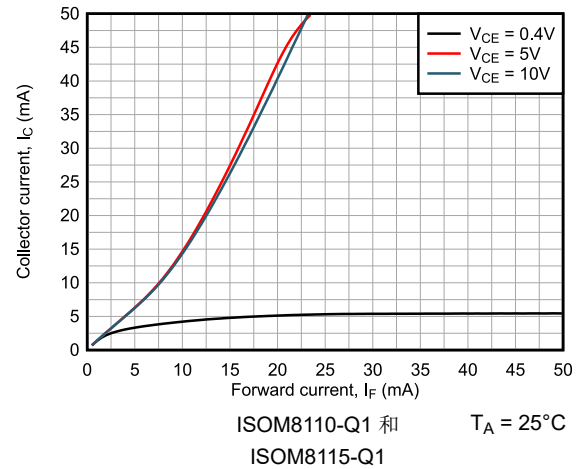


图 6-10. 集电极电流与正向电流间的关系

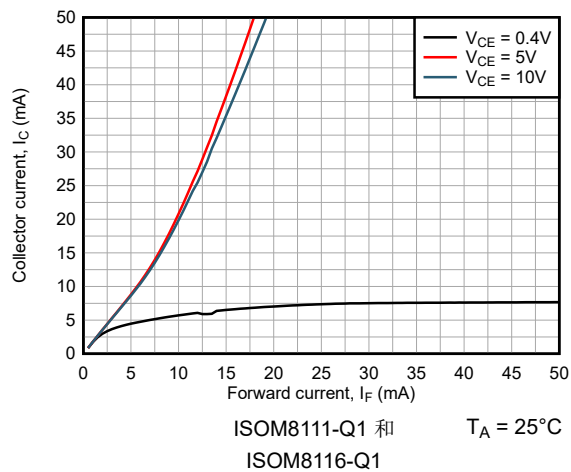


图 6-11. 集电极电流与正向电流间的关系

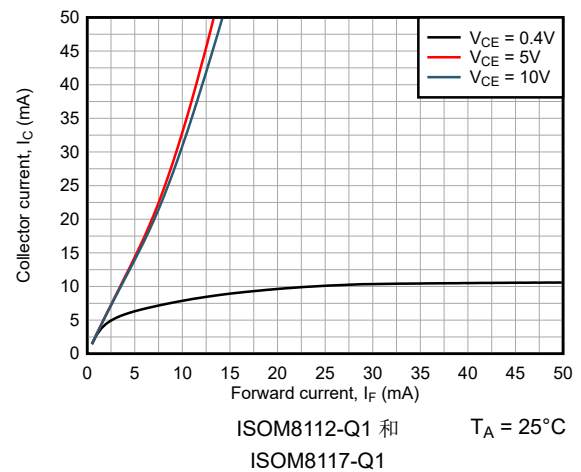
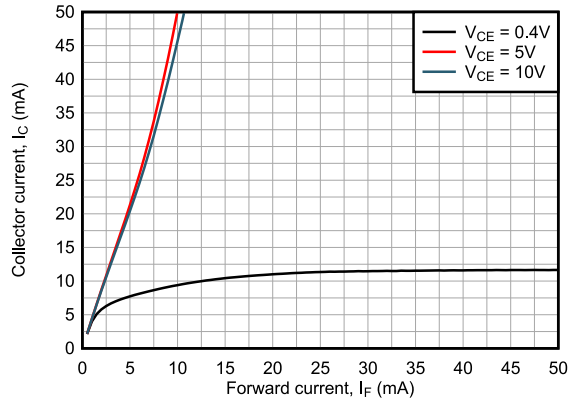
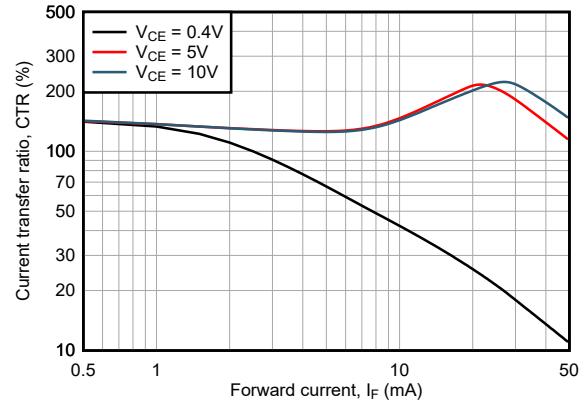


图 6-12. 集电极电流与正向电流间的关系



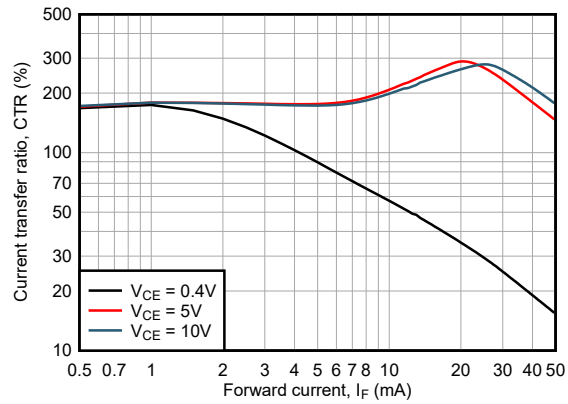
ISOM8113-Q1 和 ISOM8118-Q1
 $T_A = 25^\circ\text{C}$

图 6-13. 集电极电流与正向电流间的关系



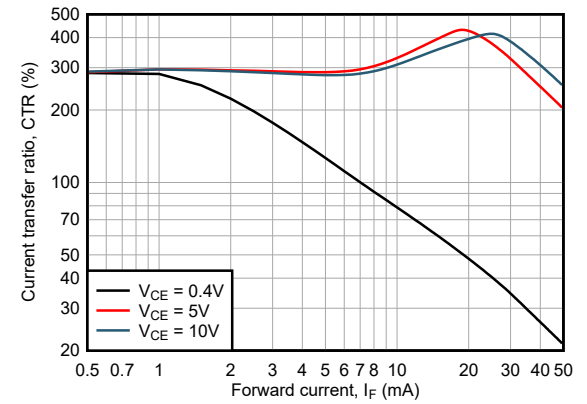
ISOM8110-Q1 和 ISOM8115-Q1
 $T_A = 25^\circ\text{C}$

图 6-14. 电流传输比与正向电流间的关系



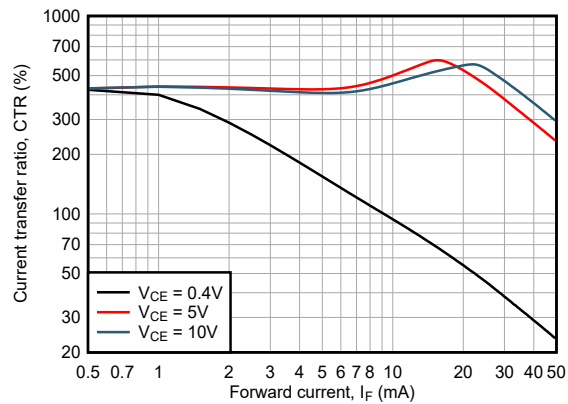
ISOM8111-Q1 和 ISOM8116-Q1
 $T_A = 25^\circ\text{C}$

图 6-15. 电流传输比与正向电流间的关系



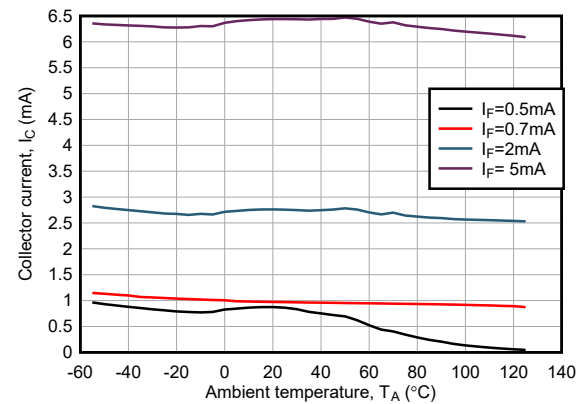
ISOM8112-Q1 和 ISOM8117-Q1
 $T_A = 25^\circ\text{C}$

图 6-16. 电流传输比与正向电流间的关系



ISOM8113-Q1 和 ISOM8118-Q1
 $T_A = 25^\circ\text{C}$

图 6-17. 电流传输比与正向电流间的关系



ISOM8110-Q1 和 ISOM8115-Q1
 $V_{CE} = 5\text{V}$

图 6-18. 集电极电流与环境温度间的关系

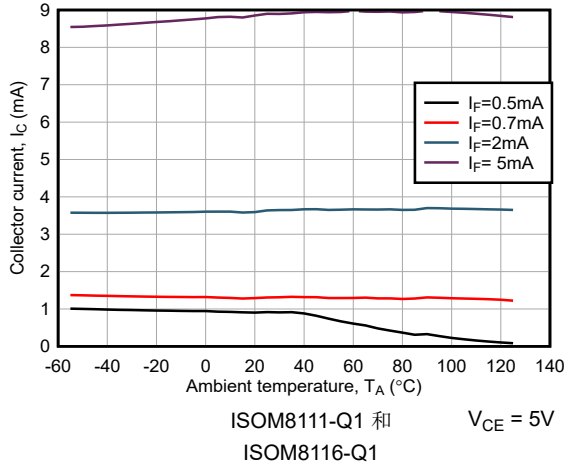


图 6-19. 集电极电流与环境温度间的关系

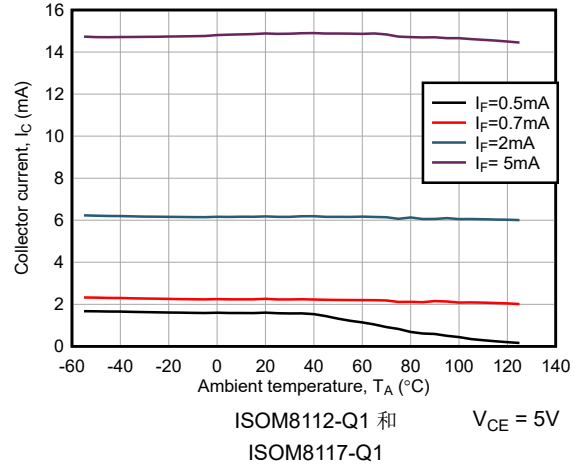


图 6-20. 集电极电流与环境温度间的关系

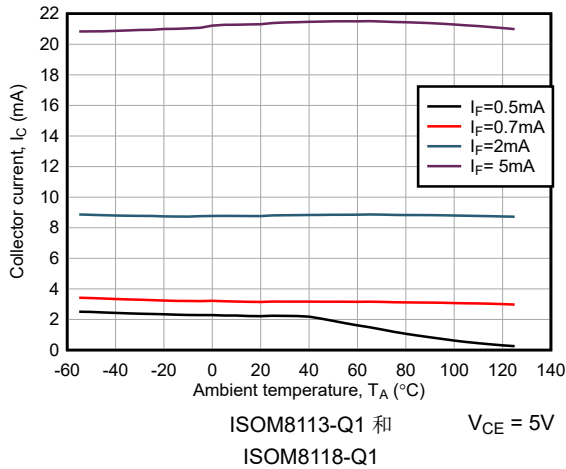


图 6-21. 集电极电流与环境温度间的关系

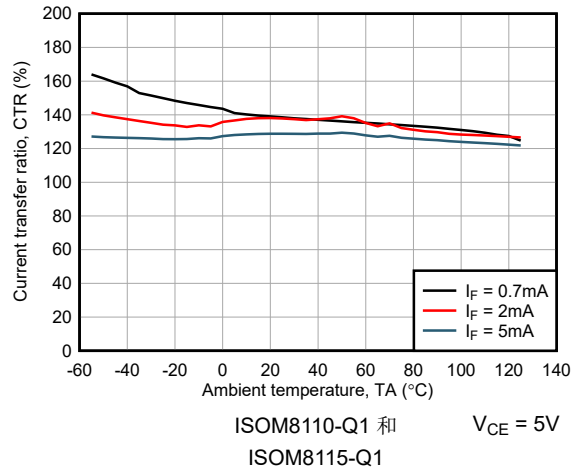


图 6-22. 电流传输比与环境温度间的关系

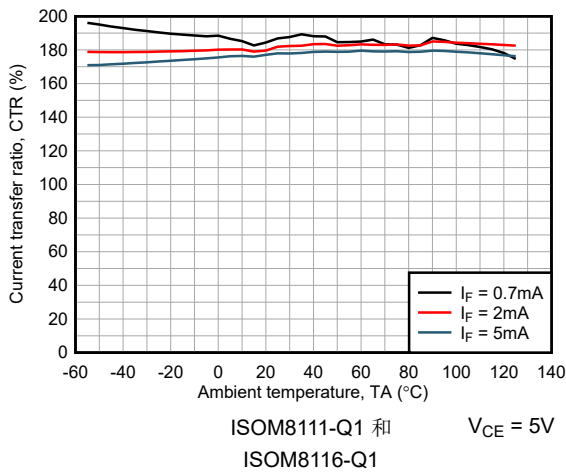


图 6-23. 电流传输比与环境温度间的关系

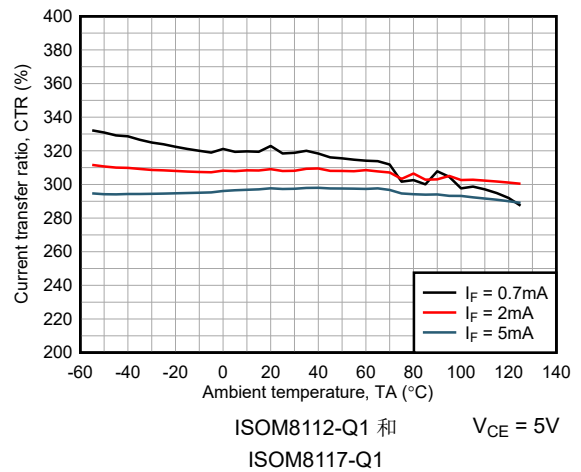
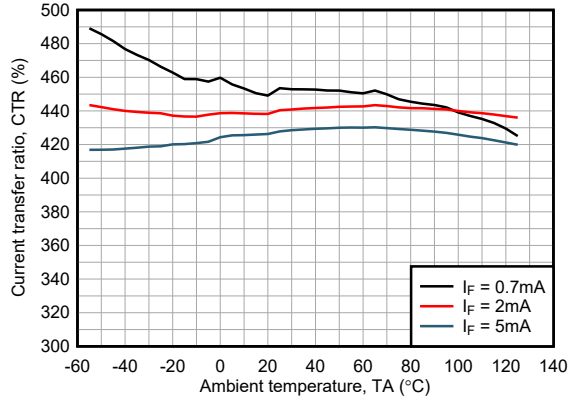
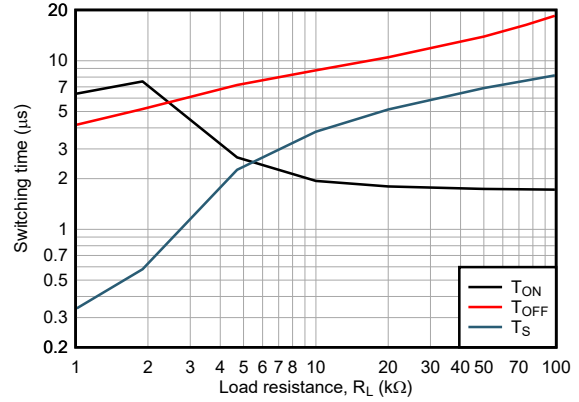


图 6-24. 电流传输比与环境温度间的关系



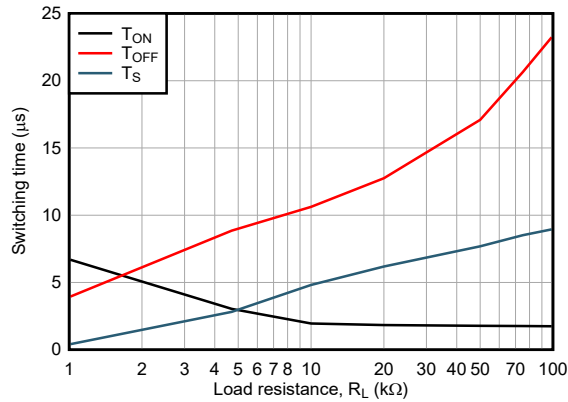
ISOM8113-Q1 和 ISOM8118-Q1 $V_{CE} = 5V$

图 6-25. 电流传输比与环境温度间的关系



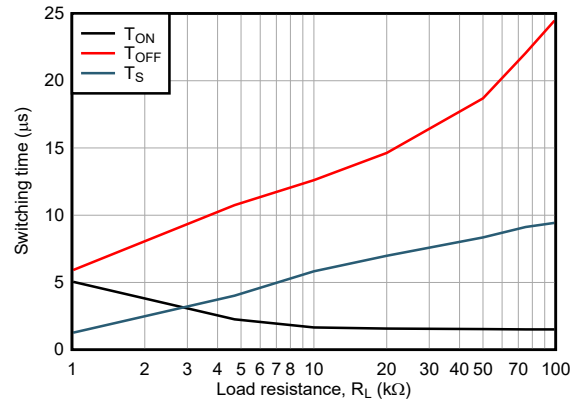
$I_F = 1.6mA$ ISOM8110-Q1 和 ISOM8115-Q1 $V_{CC} = 5V$

图 6-26. 开关时间与负载电阻间的关系



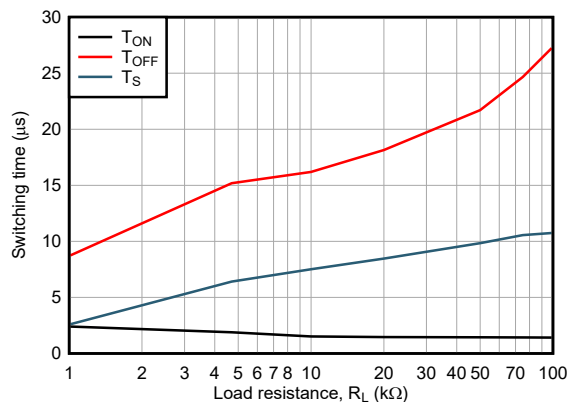
$I_F = 1.6mA$ ISOM8111-Q1 和 ISOM8116-Q1 $V_{CC} = 5V$

图 6-27. 开关时间与负载电阻间的关系



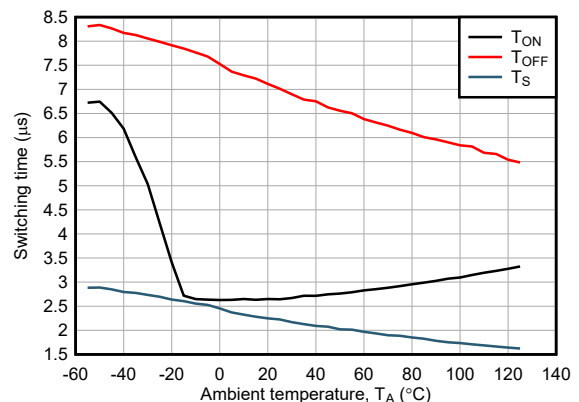
$I_F = 1.6mA$ ISOM8112-Q1 和 ISOM8117-Q1 $V_{CC} = 5V$

图 6-28. 开关时间与负载电阻间的关系



$I_F = 1.6mA$ ISOM8113-Q1 和 ISOM8118-Q1 $V_{CC} = 5V$

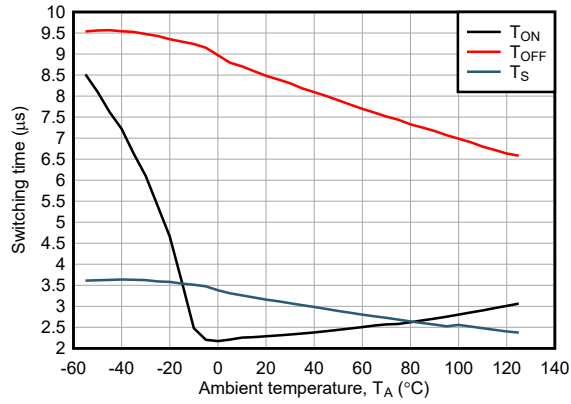
图 6-29. 开关时间与负载电阻间的关系



$I_F = 1.6mA$ ISOM8110-Q1 和 ISOM8115-Q1 $V_{CC} = 5V$

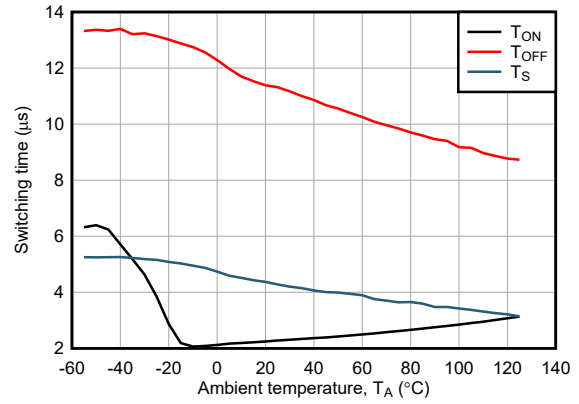
$R_L = 4.7k\Omega$

图 6-30. 开关温度与环境温度间的关系



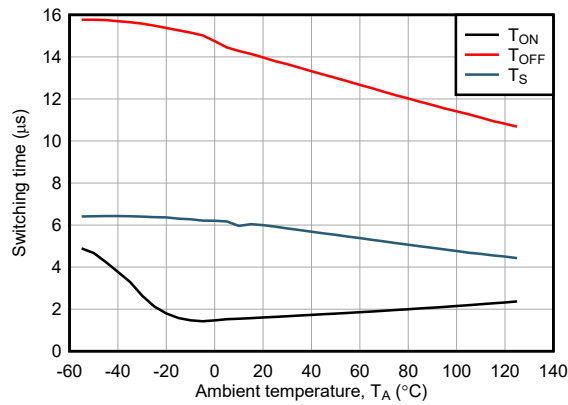
$I_F = 1.6\text{mA}$ ISOM8111-Q1 和 ISOM8116-Q1 $V_{CC} = 5\text{V}$
 $R_L = 4.7\text{k}\Omega$

图 6-31. 开关时间与环境温度间的关系



$I_F = 1.6\text{mA}$ ISOM8112-Q1 和 ISOM8117-Q1 $V_{CC} = 5\text{V}$
 $R_L = 4.7\text{k}\Omega$

图 6-32. 开关时间与环境温度间的关系



$I_F = 1.6\text{mA}$
 $R_L = 4.7\text{k}\Omega$

ISOM8113-Q1 和 ISOM8118-Q1

$V_{CC} = 5\text{V}$

图 6-33. 开关时间与环境温度间的关系

7 参数测量信息

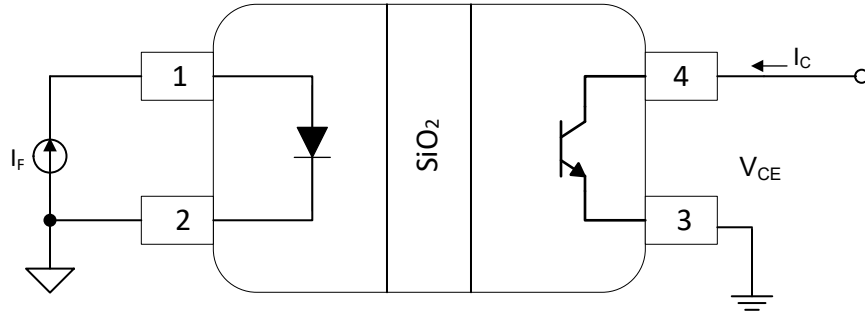


图 7-1. ISOM811x-Q1 CTR 测试电路

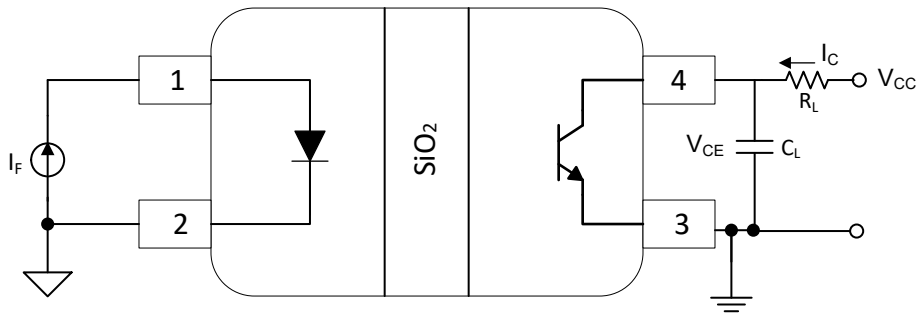


图 7-2. ISOM811x-Q1 开关时序测试电路

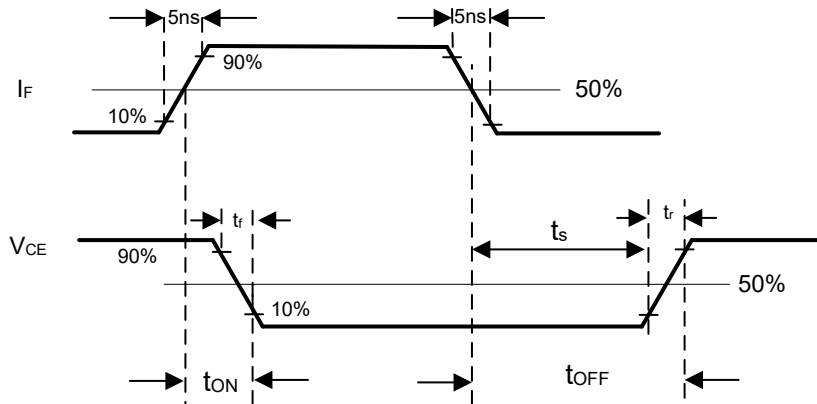


图 7-3. ISOM811x-Q1 开关时序波形

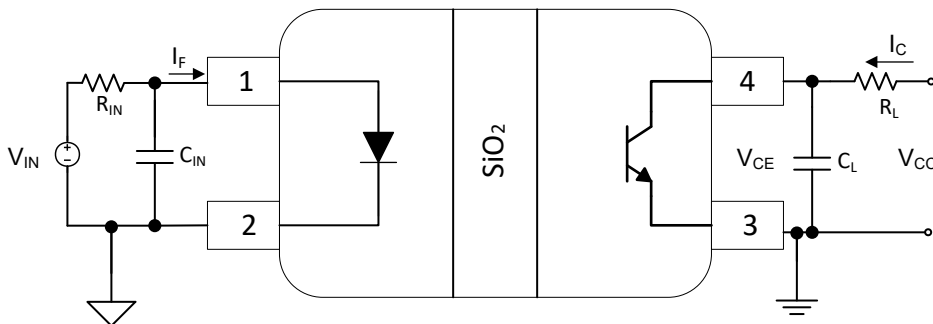


图 7-4. ISOM811[0-3]-Q1 带宽测试电路

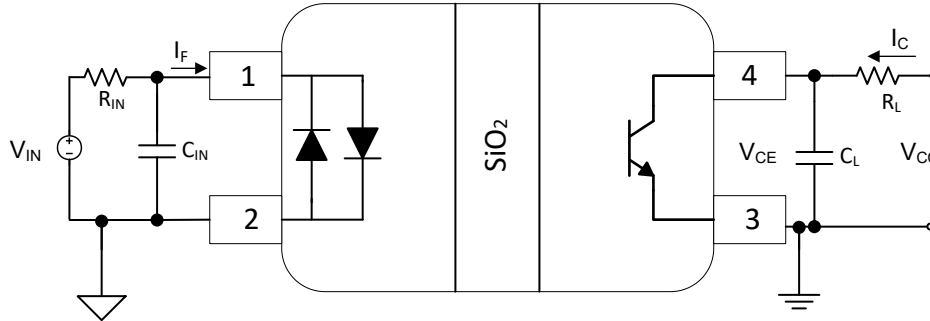


图 7-5. ISOM811[5-8]-Q1 带宽测试电路

8 详细说明

8.1 概述

ISOM811x-Q1 光耦仿真器是许多传统光耦合器的单通道、引脚对引脚升级版。虽然标准光耦合器使用 LED 作为输入级，但 ISOM811x-Q1 使用仿真 LED 作为输入级。输入级和输出级由 TI 专有的基于二氧化硅 (SiO_2) 的隔离栅进行隔离。借助这种隔离技术，ISOM811x-Q1 不会受到光耦合器中的磨损效应影响，这种磨损通常会导致光耦合器的性能随着温度、正向电流和器件使用年限的增加而降低。订购选项包括四个不同电流传输比 (CTR) 范围和支持单极和双极直流电流的输入选项。

ISOM811x-Q1 系列器件能够隔离直流和双向直流信号，并提供传统光耦合器不具备的性能、可靠性和灵活性优势。

节 8.2 中给出了 ISOM811x-Q1 器件的功能方框图。输入信号使用开关键控 (OOK) 调制方案通过隔离栅进行传输。发送器跨过隔离栅发送高频载波，其中包含各个输入引脚上电流大小的信息。接收器在高级信号调节后对信号进行解调并通过输出级产生信号。这些器件还采用了先进的电路技术，以尽可能地增加带宽并减少辐射发射。图 8-3 展示了 OOK 方案工作原理的概念细节。

8.2 功能方框图

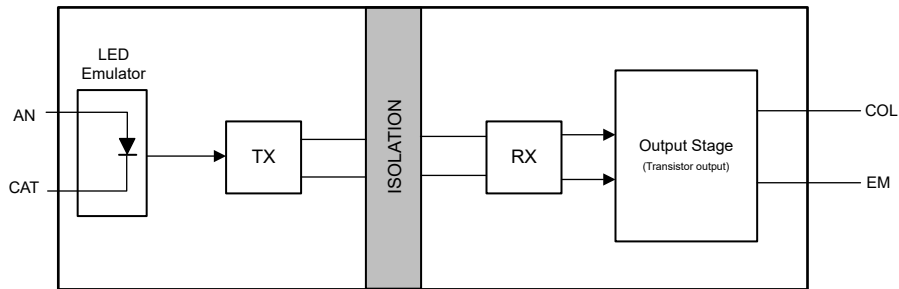


图 8-1. 光耦仿真器的概念方框图 ISOM811[0-3]-Q1

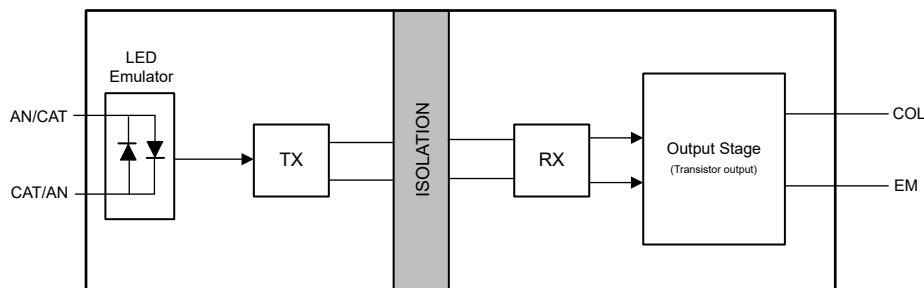


图 8-2. 光耦仿真器的概念方框图 ISOM811[5-8]-Q1

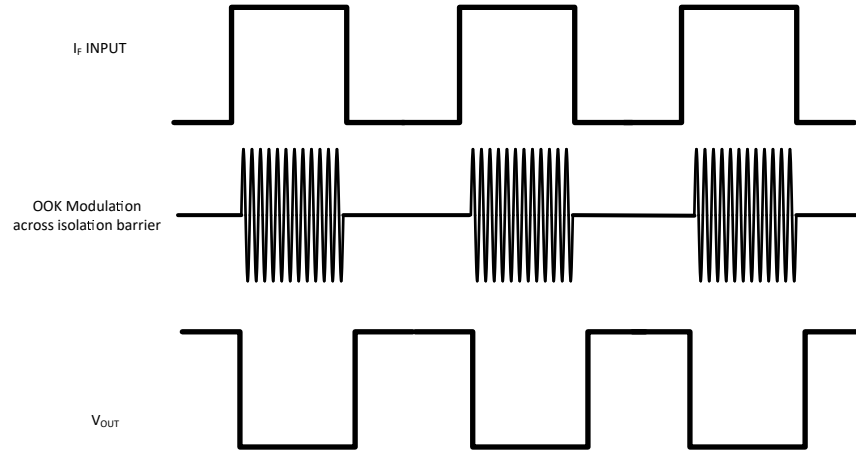


图 8-3. 基于开关键控 (OOK) 的调制方案

8.3 特性说明

ISOM811x-Q1 器件能够隔离直流和双向直流信号。ISOM811x-Q1 具有集电极开路输出并提供多个 CTR 选项。根据所使用的封装选项，这些器件可以支持 1 侧和 2 侧之间高达 5000V_{RMS} 的隔离耐受电压 (V_{ISO})。

8.4 器件功能模式

表 8-1 列出了 ISOM811x-Q1 器件的功能模式。

表 8-1. 功能表

CTR ¹	器件型号	输入类型
100% 至 155%	ISOM8110-Q1	DC
	ISOM8115-Q1	双向直流
150% 至 230%	ISOM8111-Q1	DC
	ISOM8116-Q1	双向直流
255% 至 380%	ISOM8112-Q1	DC
	ISOM8117-Q1	双向直流
375% 至 560%	ISOM8113-Q1	DC
	ISOM8118-Q1	双向直流

1. I_F = 5mA , T_A = 25°C , V_{CE} = 5V。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

ISOM811x-Q1 器件是具有 LED 仿真器输入和晶体管输出的单通道光耦仿真器。这些器件使用开关键控调制通过隔离栅传输数据。输入级通过 TI 专有的基于二氧化硅 (SiO₂) 的隔离栅与驱动器级隔离，该隔离栅能够提供可靠的隔离。与传统光耦合器相比，ISOM811x-Q1 光耦仿真器具有更宽的温度额定值范围，可以在恶劣环境中提供可靠的信号隔离。

ISOM811x-Q1 器件在连接外部负载时能够灌入电流。与典型的晶体管输出光耦合器类似，输出电流取决于输入电流电平 (I_F) 和电流传输比 (CTR)。ISOM811x-Q1 器件提供多种 CTR 选项 (100% - 560%) 并具有低输入电流、高带宽、低关断延迟、低功耗和更宽的温度范围，适合用于工厂自动化、楼宇自动化、电动汽车、汽车、航空电子、医疗和电力输送等各种行业。

9.1.1 典型应用

ISOM811x-Q1 光耦仿真器通常用于隔离式电源的反馈控制环路。这些器件用于解决反馈电流问题，同时隔离初级域和次级域以调节输出电压。

这些电源中使用变压器（例如反激式转换器）来将输出电压与主输入电压隔离开来。对于模拟电源单元，控制器 IC 通常位于变压器的初级侧。对于闭环控制，需要测量次级侧的输出电压并将电压反馈回初级侧的控制器。要实现此设计，最常用的方法是使用 ISOM811x-Q1 等光耦仿真器、误差放大器（通常为 TL431）和电压比较器来跨隔离栅形成反馈环路。

图 9-1 展示了一个典型的隔离式电源。在此实现中，输出电压由误差放大器通过电阻分压器 (R1 和 R2) 进行检测。根据误差放大器检测到的电压电平，TL431 可以将 ISOM811x-Q1 的电流驱动到更高或更低的水平，然后与电压基准进行比较。信息通过 ISOM811x-Q1 跨隔离栅传递到初级侧，其中 PWM 控制电路会调制功率级以调节输出电压。TL431 和 ISOM811x-Q1 在稳定的反馈和控制环路中发挥着重要作用。

由于 CTR 在宽温度范围内保持稳定，因此与常用的光耦合器相比，ISOM811x-Q1 器件可改善瞬态响应、可靠性和稳定性，从而可以提供小巧、低成本、高度可靠且易于设计的实现。

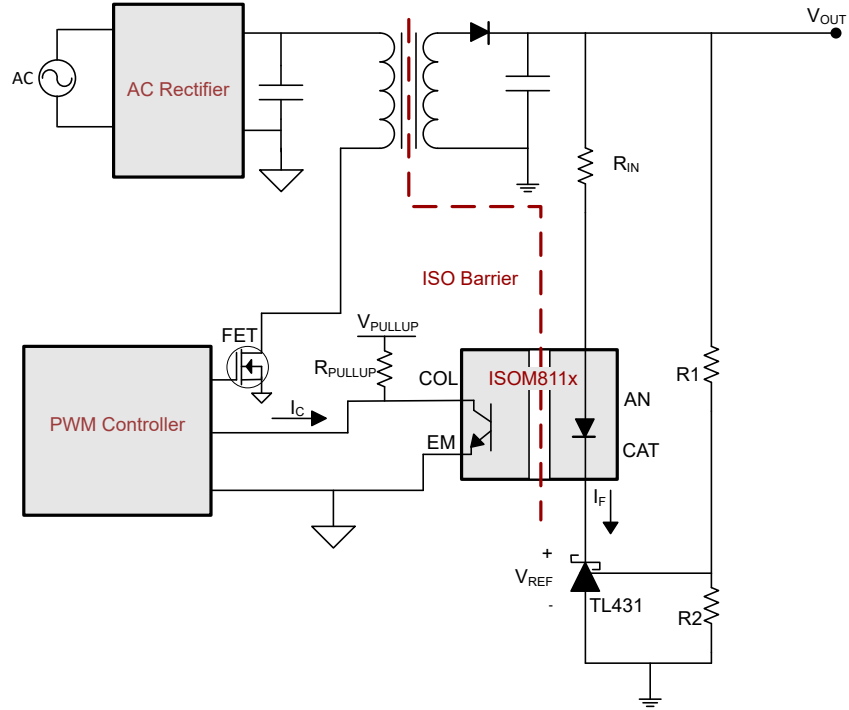


图 9-1. 使用 ISOM811x-Q1 的典型隔离式电源应用

9.1.1.1 设计要求

若要使用 ISOM811x-Q1 器件进行设计，请使用表 9-1 中所列的参数。

表 9-1. 设计参数

参数	值
输入正向电流范围, I_F	0.7mA (最小值), 20mA (最大值)
$I_F = 5\text{mA}$ 时的电流传输比, CTR	100% 至 155%
集电极电流容差, I_C	50mA (最大值)
集电极-发射极电压 (饱和), $V_{CE(SAT)}$	0.3V (最大值)
输入正向电压, V_F	1.2V (典型值)

9.1.1.2 详细设计过程

本节介绍了使用 ISOM811x-Q1 光耦仿真器的设计过程。选择的外部元件必须使 ISOM811x-Q1 在建议运行条件下运行。以下有关元件选择的建议聚焦于为隔离型反激式转换器设计典型的反馈控制环路。

在隔离式电源的反馈控制环路中使用光耦合器时，许多变量会影响如何正确使用光耦合器，包括电源的输出电压和反馈信号发送到的控制器类型。对于该示例，假设该电源的输出电压 V_{OUT} 为 5V，并且所使用的 PWM 控制器具有一个集成的误差放大器，其 COMP 引脚用作该放大器的输出。

9.1.1.2.1 确定 R_{PULLUP} 阻值

ISOM811x-Q1 的晶体管输出在活动、饱和、反向和截止区域内工作，就像在常规晶体管一样。要验证输出在饱和时不会损坏，可以计算给定上拉电压 V_{PULLUP} 条件下的 R_{PULLUP} 最小值，如方程式 1 中所示：

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{CE(SAT)}}{I_{C(MAX)}} \quad (1)$$

在反馈环路应用示例中，我们可以计算 R_{PULLUP} 在以下给定条件下的最小值： V_{PULLUP} 为 10V、误差放大器的最大输出电压 ($V_{COMP(MAX)}$) 为 2.5V，并且误差放大器的最大输出电流在内部钳位为 1.6mA。方程式 2 展示了用于计算 R_{PULLUP} 的公式：

$$R_{PULLUP} > \frac{V_{PULLUP} - V_{COMP(MAX)}}{I_{COMP(CLAMP)}} = \frac{10V - 2.5V}{1.6mA} = 4.66k\Omega \quad (2)$$

9.1.1.2.2 确定 R_{IN} 阻值

ISOM811x-Q1 的输入侧由电流驱动。为了限制流入 AN 引脚的电流，建议使用串联电阻 R_{IN} 与输入端串联，如图 9-1 所示。

根据 ISOM811x-Q1 器件的使用方式， R_{IN} 的值可能差异巨大。但是，从较高的层次上讲，为了确保输入不被损坏，可以计算给定输入电压 V_{IN} 条件下的 R_{IN} 最小值，如方程式 3 中所示：

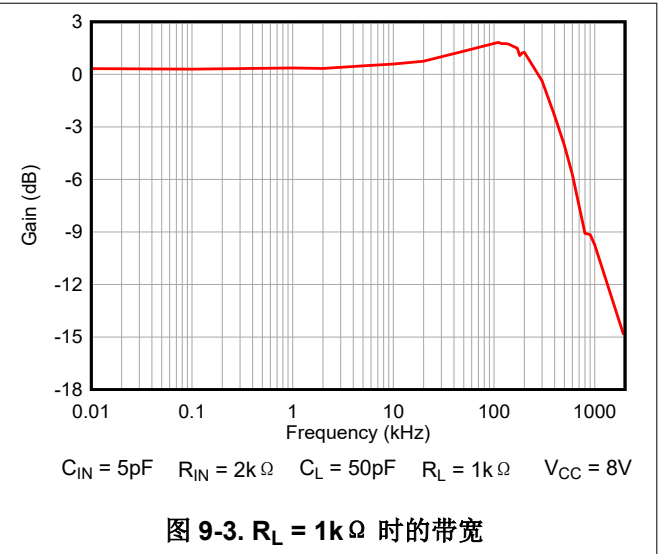
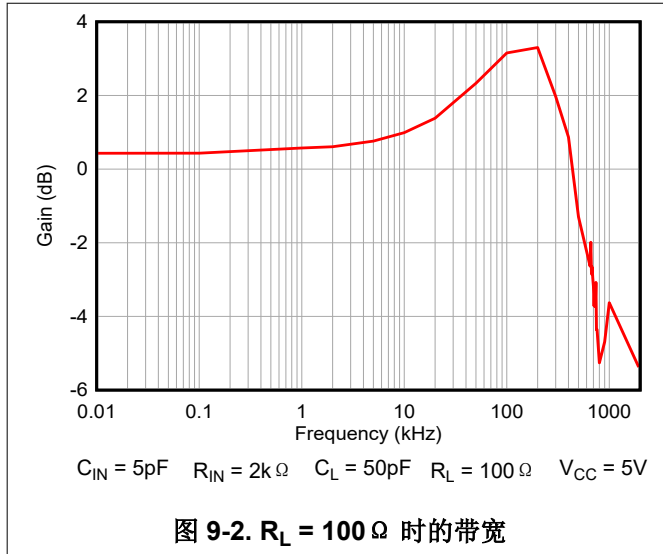
$$R_{IN} > \frac{V_{IN} - V_F}{I_{C(MAX)}} \quad (3)$$

但是，在反馈环路用例中， R_{IN} 直接影响环路的中波段增益。假定 TL431 已配置为提供 2.5V 的基准电压 V_{REF} 且 R_{PULLUP} 为 5k Ω ，方程式 4 用于计算 R_{IN} 的最大值，以验证初级侧的 V_{COMP} 电压可被拉至 ISOM811x-Q1 的饱和电压 $V_{CE(SAT)}$ 。

$$R_{IN} < \frac{(V_{OUT} - V_{REF} - V_F) \times R_{PULLUP} \times CTR_{MIN}}{V_{PULLUP} - V_{CE(SAT)}} = \frac{(5V - 2.5V - 1.2V) \times 5k\Omega \times 100\%}{10V - 0.3V} = 670\Omega \quad (4)$$

9.1.1.3 应用曲线

以下曲线展示了 ISOM8110-Q1 在不同负载条件下的带宽性能，其中 $V_{IN} = 5V_{DC} + 2V_{PK}$ 。有关设置详细信息，请参阅图 7-4。



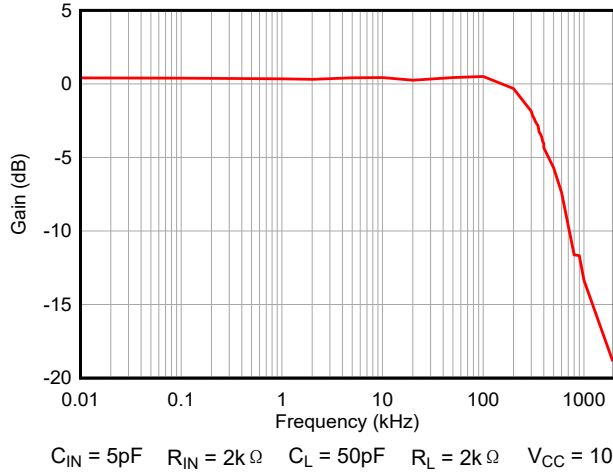


图 9-4. $R_L = 2\text{k}\Omega$ 时的带宽

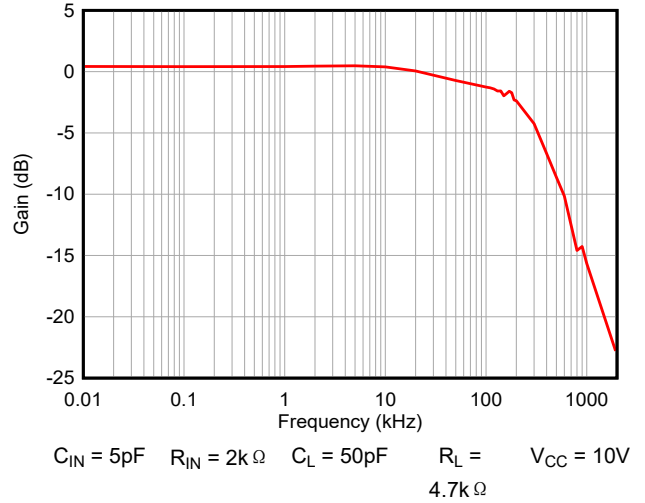


图 9-5. $R_L = 4.7\text{k}\Omega$ 时的带宽

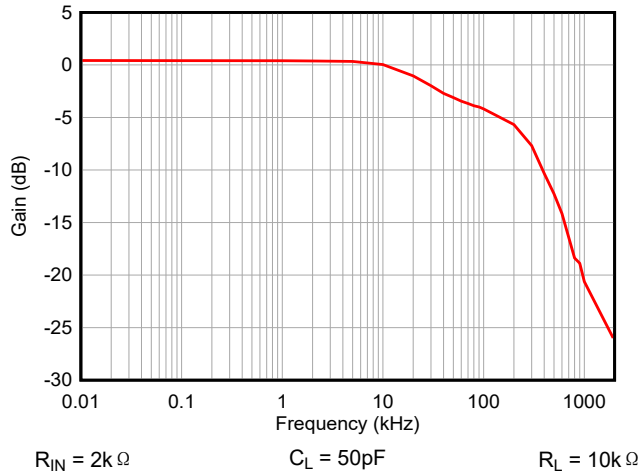


图 9-6. $R_L = 10\text{k}\Omega$ 时的带宽

9.2 电源相关建议

因为没有电源引脚，ISOM811x-Q1 不需要专用电源即可运行。注意不要违反为实现适当的器件功能而建议的 I/O 规范。

9.3 布局

9.3.1 布局指南

- 应使用直接连接或两个过孔将器件地连接到 PCB 接地平面，以便更大限度地减小电感。
- 电容器和其他元件与 PCB 接地平面的连接应使用直接连接或两个过孔，以便更大限度地减小电感。

9.3.2 布局示例

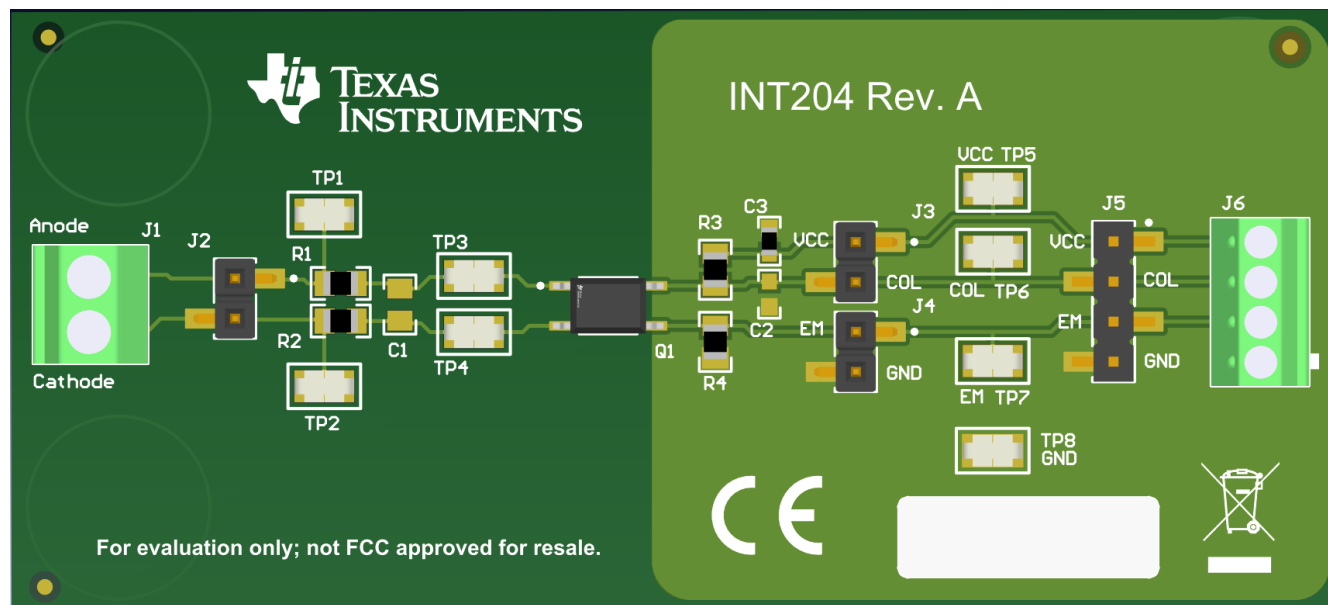


图 9-7. 采用单层板的 ISOM811x-Q1 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [隔离相关术语](#) 应用手册
- 德州仪器 (TI), [光耦仿真器简介](#) 应用手册
- 德州仪器 (TI), [ISOM8110 具有模拟晶体管输出的单通道光耦仿真器评估模块 EVM](#) 用户指南

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (October 2024) to Revision D (April 2025)	Page
• 更新了整个文档中的图、表和交叉参考的编号格式.....	1
• 使用预发布 DFS 封装信息进行了更新.....	1

Changes from Revision B (August 2024) to Revision C (October 2024)	Page
• 更新了整个文档中的图、表和交叉参考的编号格式.....	1

Changes from Revision A (December 2023) to Revision B (August 2024)	Page
• 更新了整个文档中的图、表和交叉参考的编号格式.....	1

- 添加了 *器件和文档支持* 部分..... [27](#)
-

Changes from Revision * (April 2024) to Revision A (July 2024)

Page

- 更新了整个文档中的图、表和交叉参考的编号格式..... [1](#)
 - 通篇更新了封装和器件信息..... [1](#)
-

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8110DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8110DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8110
ISOM8111DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8111DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8111
ISOM8112DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8112DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8112
ISOM8113DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8113DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8113DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8113
ISOM8115DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8115DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8115
ISOM8116DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFSQR1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFSQR1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8116DFSQR1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8116
ISOM8117DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOM8117DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8117DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8117
ISOM8118DFGRQ1	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFGRQ1.A	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFGRQ1.B	Active	Production	SOIC (DFG) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFHRQ1	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFHRQ1.A	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFHRQ1.B	Active	Production	SOIC (DFH) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFSRQ1	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFSRQ1.A	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118
ISOM8118DFSRQ1.B	Active	Production	SOIC (DFS) 4	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8118

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISOM8110-Q1, ISOM8111-Q1, ISOM8112-Q1, ISOM8113-Q1, ISOM8115-Q1, ISOM8116-Q1, ISOM8117-Q1, ISOM8118-Q1 :

- Catalog : [ISOM8110](#), [ISOM8111](#), [ISOM8112](#), [ISOM8113](#), [ISOM8115](#), [ISOM8116](#), [ISOM8117](#), [ISOM8118](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOM8110DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8110DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8110DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8111DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8111DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8111DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8112DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8112DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8112DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8113DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8113DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8113DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8115DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8115DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8115DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8116DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1

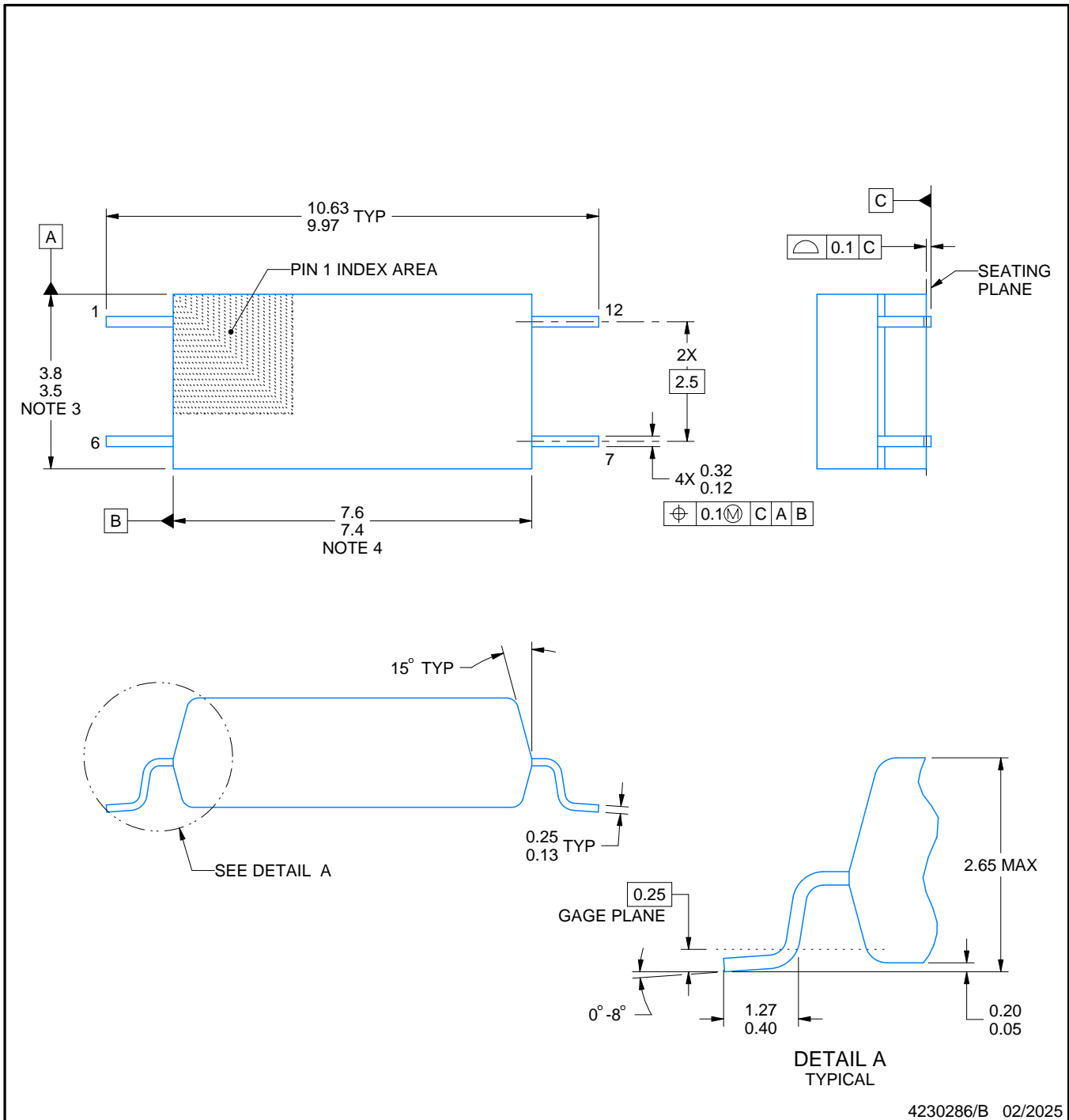
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOM8116DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8116DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8117DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8117DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8117DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1
ISOM8118DFGRQ1	SOIC	DFG	4	2000	330.0	12.4	8.0	3.8	2.7	12.0	12.0	Q1
ISOM8118DFHRQ1	SOIC	DFH	4	2000	330.0	12.4	8.0	3.0	2.7	12.0	12.0	Q1
ISOM8118DFSRQ1	SOIC	DFS	4	2000	330.0	12.4	10.9	3.98	2.7	12.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOM8110DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8110DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8110DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8111DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8111DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8111DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8112DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8112DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8112DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8113DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8113DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8113DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8115DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8115DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8115DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8116DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8116DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8116DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOM8117DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8117DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8117DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0
ISOM8118DFGRQ1	SOIC	DFG	4	2000	353.0	353.0	32.0
ISOM8118DFHRQ1	SOIC	DFH	4	2000	353.0	353.0	32.0
ISOM8118DFSRQ1	SOIC	DFS	4	2000	353.0	353.0	32.0



4230286/B 02/2025

NOTES:

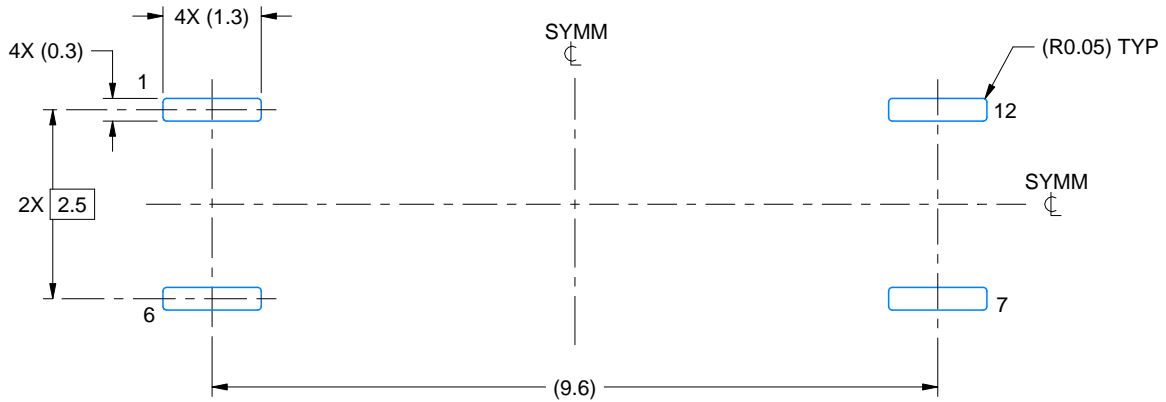
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

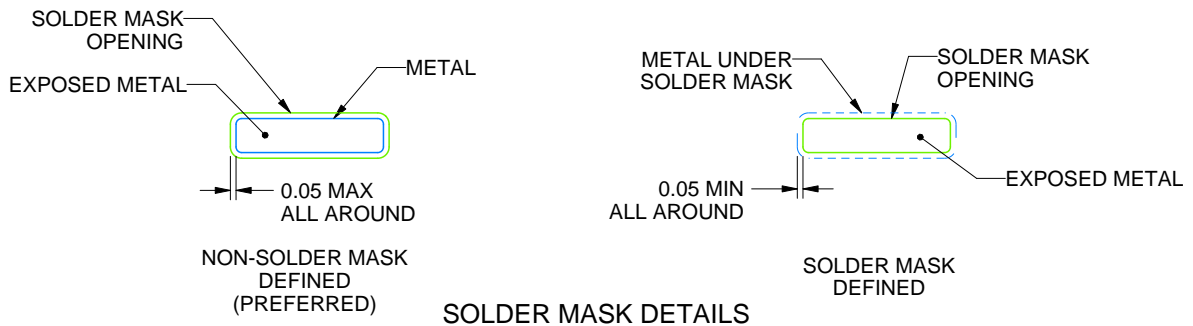
DFS0004A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4230286/B 02/2025

NOTES: (continued)

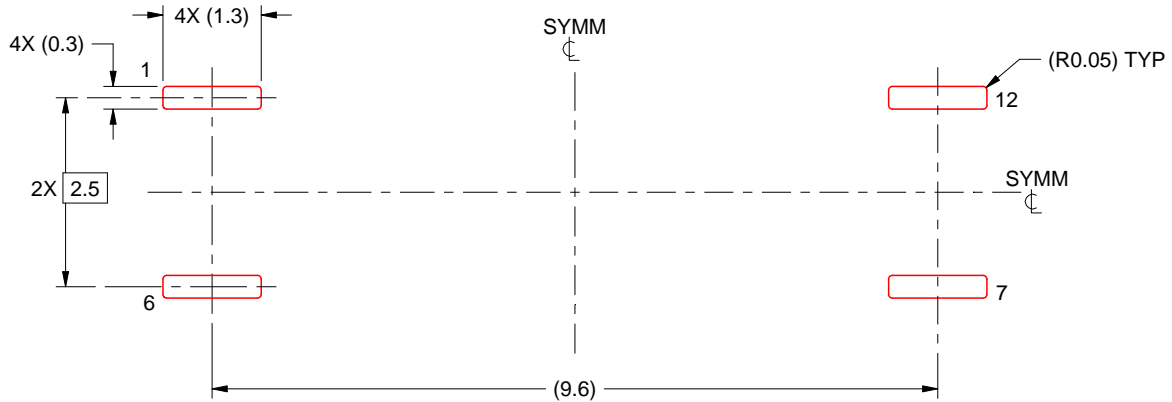
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFS0004A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4230286/B 02/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

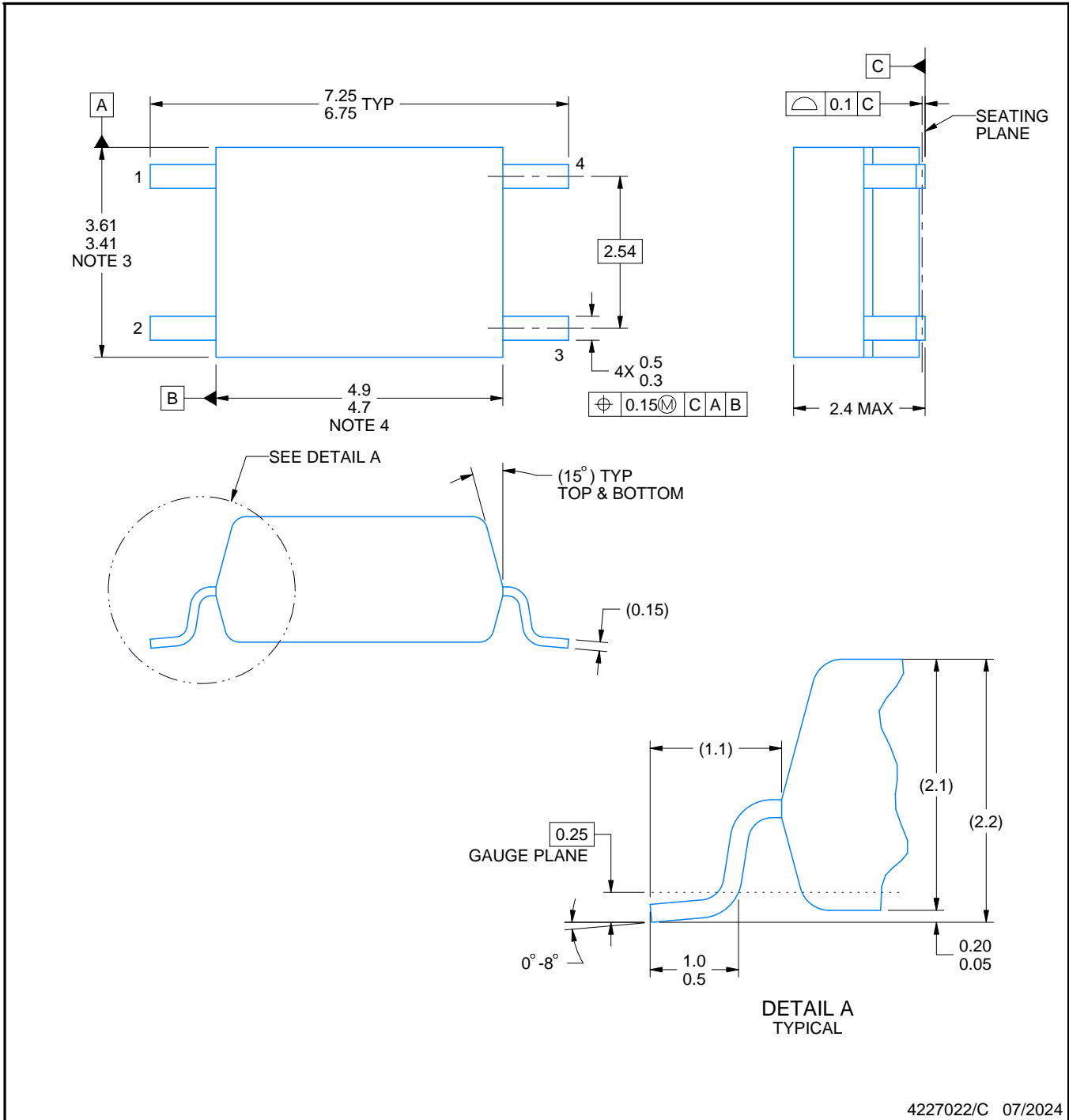
DFG0004A



PACKAGE OUTLINE

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4227022/C 07/2024

NOTES:

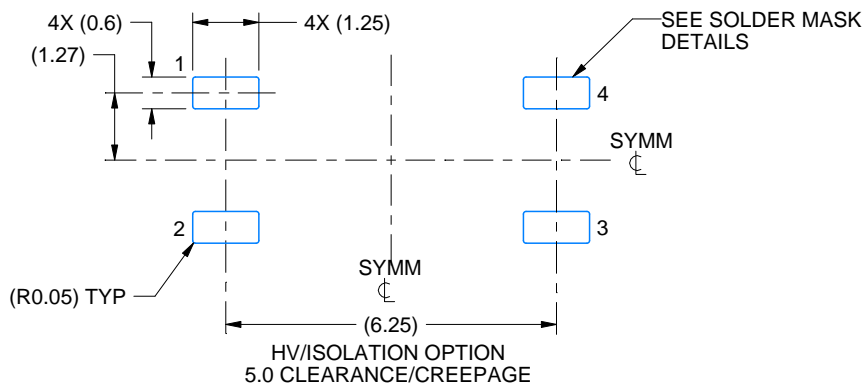
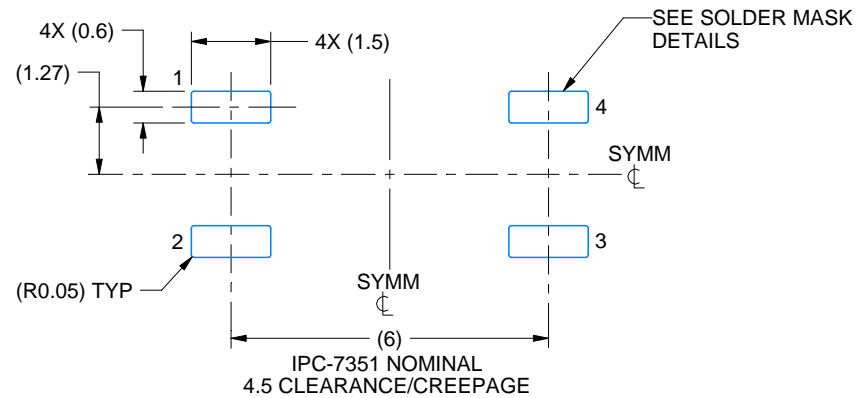
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

EXAMPLE BOARD LAYOUT

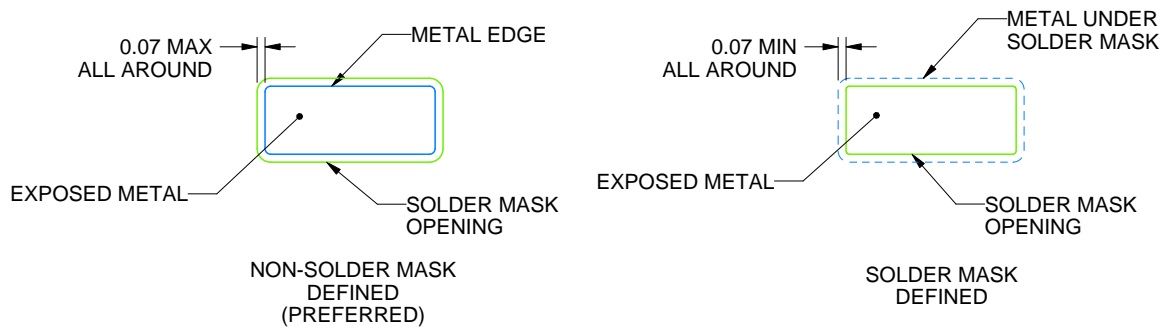
DFG0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE: 7X



SOLDER MASK DETAILS

4227022/C 07/2024

NOTES: (continued)

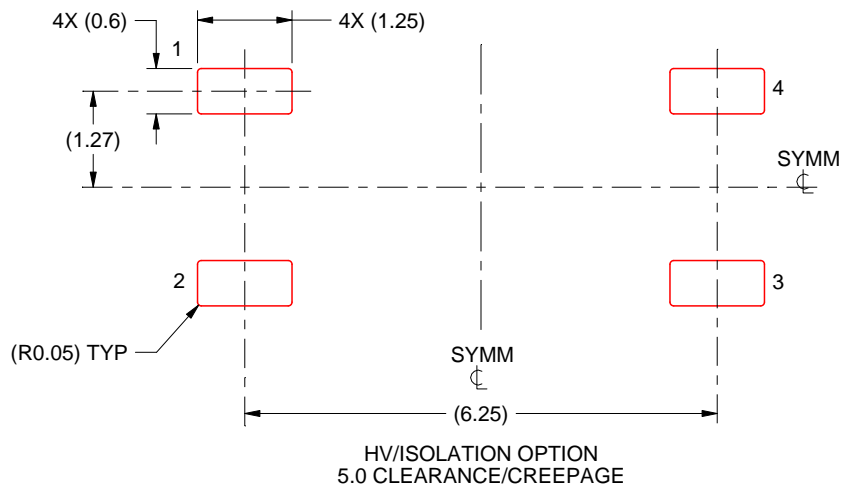
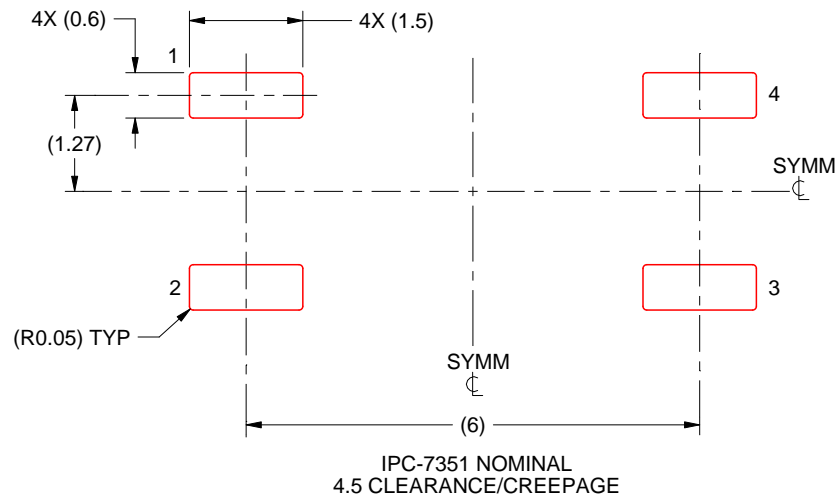
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFG0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4227022/C 07/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

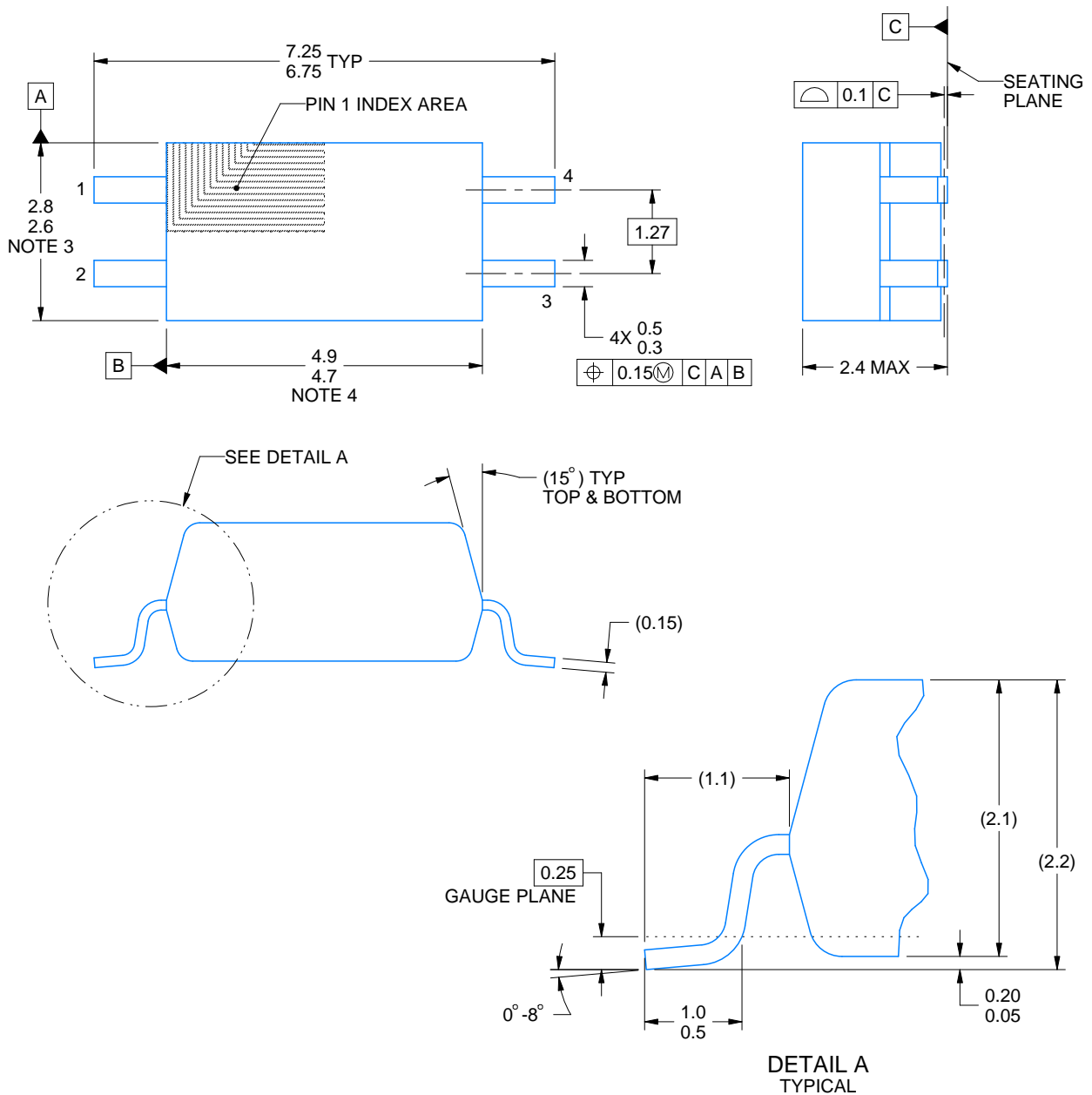
DFH0004A



PACKAGE OUTLINE

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4227156/D 03/2025

NOTES:

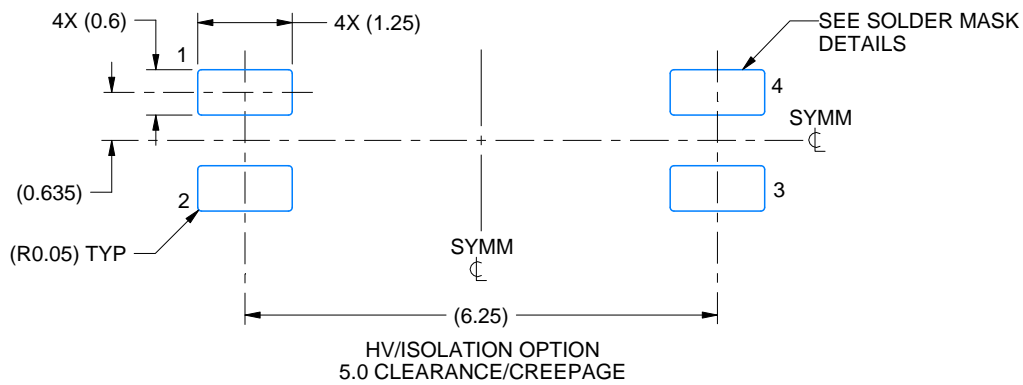
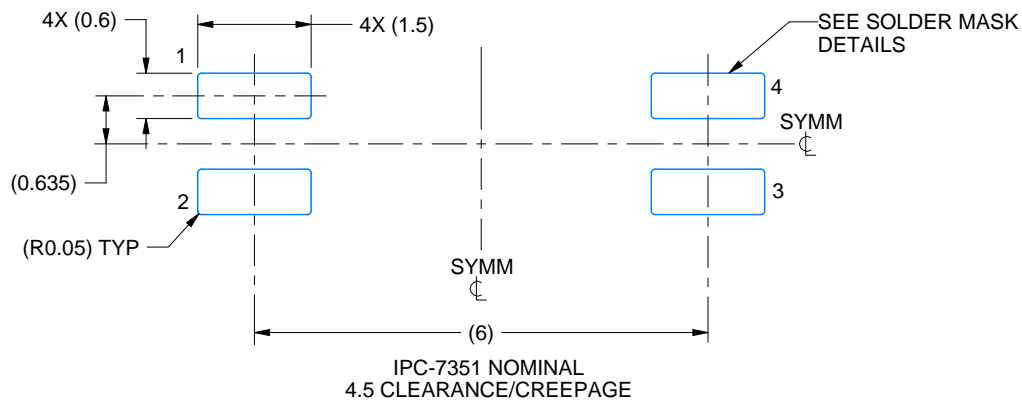
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

EXAMPLE BOARD LAYOUT

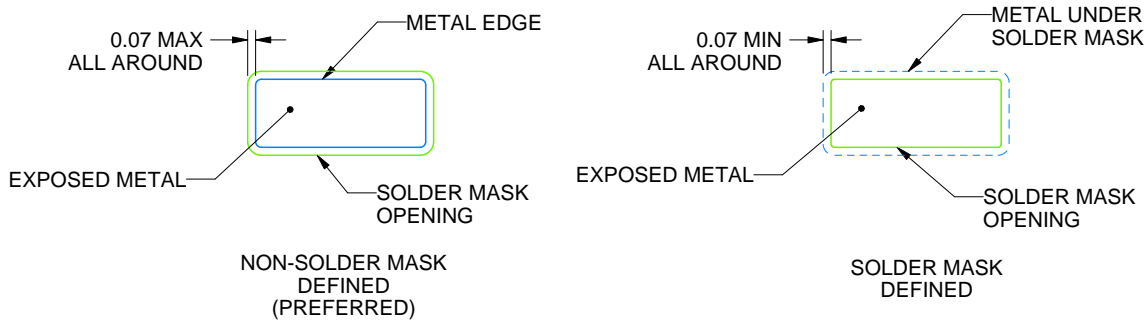
DFH0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4227156/D 03/2025

NOTES: (continued)

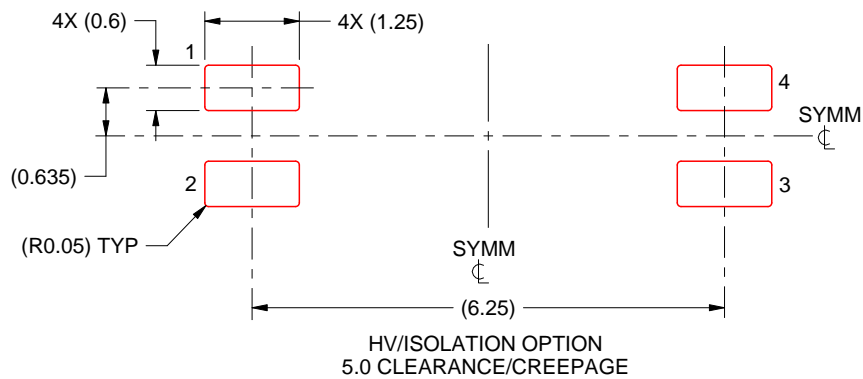
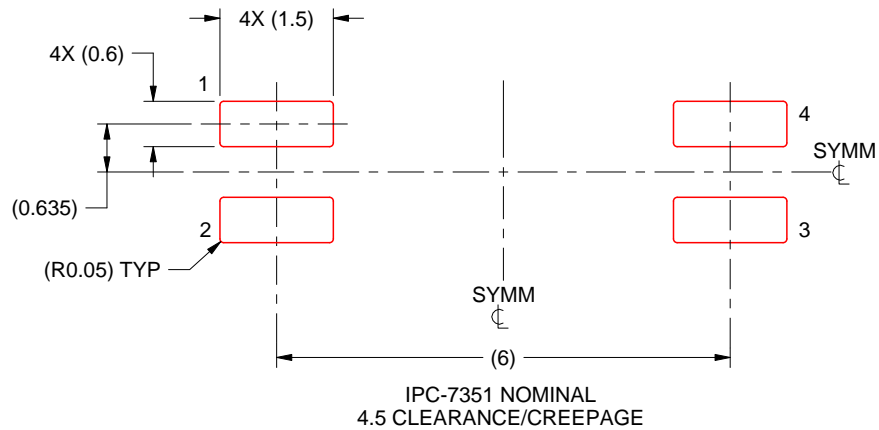
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFH0004A

SOIC - 2.4 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4227156/D 03/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司