ISO7820x 高性能、8000V_{PK} 增强型双通道数字隔离器

1 特性

- 信令速率：最高 100Mbps
- 宽电源电压范围：2.25V 至 5.5V
- 2.25V 至 5.5V 电平转换
- 宽温度范围：-55°C 至 125°C
- 低功耗，每通道电流典型值为 1.7mA（1Mbps 时）
- 低传播延迟：典型值为 11ns（5V 电源）
- 卓越的 CMTI（下限值）：±100kV/μs
- 优异的电磁兼容性 (EMC)
- 系统级 ESD、EFT 和浪涌抗扰性
- 低辐射
- 隔离栅寿命：> 25 年
- SOIC-16 宽体 (DW) 和超宽体 (DWW) 封装选项
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 61010-1、IEC 62368-1、IEC 60601-1 和 GB 4943.1 认证

2 应用

- 工业自动化
- 电机控制
- 电源
- 光伏逆变器
- 医疗设备
- 混合动力电动汽车

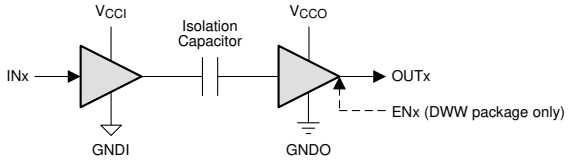
3 说明

ISO7820 是一款高性能双通道数字隔离器，隔离电压高达 8000V_{PK}。该器件已通过符合 VDE、CSA、CQC 和 TUV 标准的增强型隔离认证。在隔离 CMOS 或者 LVCMOS 数字 I/O 时，该隔离器可提供高电磁抗扰度和低辐射，且具有低功耗特性。每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅 (SiO_2) 绝缘栅相隔离。ISO7820 具有两个正向通道，但没有反向通道。如果出现输入功率或信号丢失，ISO7820 默认输出为“高电平”且 ISO7820F 器件的默认输出为“低电平”。与隔离式电源一起使用时，这款器件可防止数据总线或者其他电路上的噪音电流进入本地接地和干扰或损坏敏感电路。凭借出色的芯片设计和布线技术，ISO7820 的电磁兼容性得到了显著增强，可缓解系统级 ESD、EFT 和浪涌问题并符合辐射标准。ISO7820 采用 16 引脚小外形尺寸集成电路 (SOIC) 宽体 (DW) 和超宽体 (DWW) 封装。DWW 封装选项带有使能引脚，可用于将各自输出置于高阻抗，适用于多控制器驱动应用并降低功耗。

封装信息

器件型号	封装(1)	本体尺寸（标称值）	封装尺寸(2)
ISO7820、ISO7820F	DW（SOIC，16）	10.30mm × 7.50mm	10.30mm × 10.30mm
	DWW（超宽 SOIC，16）	10.30mm × 14.0mm	10.30mm × 17.25mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



A. V_{CCI} 和 GNDI 分别是输入通道的电源和接地连接引脚。
B. V_{CCO} 和 GNDO 分别是输出通道的电源和接地连接引脚。

简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 功率等级.... 6
5.6 绝缘规格.... 7
5.7 安全相关认证.... 8
5.8 安全限值.... 9
5.9 电气特性，5V.... 10
5.10 电气特性，3.3V.... 10
5.11 电气特性，2.5V.... 12
5.12 功率等级.... 12
5.13 开关特性，5V.... 13
5.14 开关特性，3.3V.... 13
5.15 开关特性，2.5V.... 14
5.16 典型特性.... 15
6 参数测量信息.... 16
7 详细说明.... 18
7.1 概述.... 18
7.2 功能方框图.... 18
7.3 特性说明.... 19
7.4 器件功能模式.... 20
8 应用和实施.... 21
8.1 应用信息.... 21
8.2 典型应用.... 21
8.3 电源相关建议.... 23
8.4 布局.... 23
9 器件和文档支持.... 25
9.1 相关文档.... 25
9.2 接收文档更新通知.... 25
9.3 支持资源.... 25
9.4 商标.... 25
9.5 静电放电警告.... 25
9.6 术语表.... 25
10 修订历史记录.... 25
11 机械、封装和可订购信息.... 26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

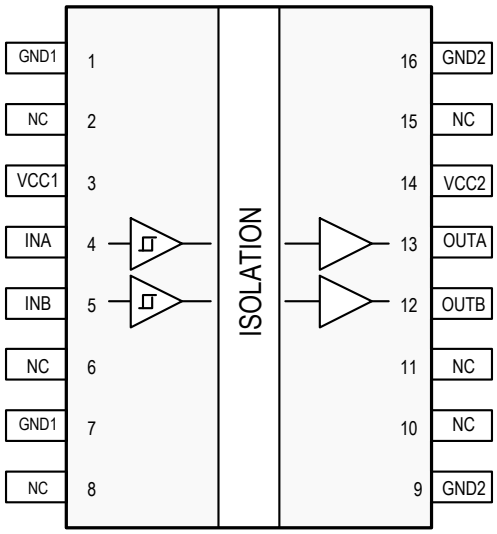


图 4-1. DW 封装 16 引脚 (SOIC) 顶视图

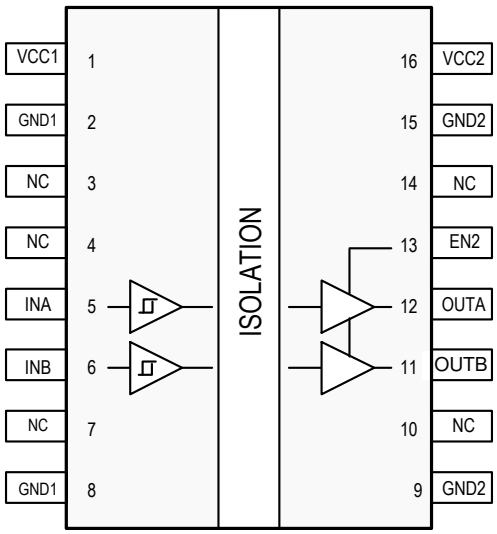


图 4-2. DWW 封装 16 引脚 (SOIC) 顶视图

表 4-1. 引脚功能

引脚			类型[(1)]	说明
名称	编号	编号		
	DW	DWW		
GND1	1、7	2、8	–	V_{CC1} 的接地连接
GND2	9、16	9、15	–	V_{CC2} 的接地连接
INA	4	5	I	输入，通道 A
INB	5	6	I	输入，通道 B
NC	2、6、8、10、11、15	4、7、10	–	未连接
OUTA	13	12	O	输出，通道 A
OUTB	12	11	O	输出，通道 B

表 4-1. 引脚功能（续）

引脚			类型[(1)]	说明
名称	编号	编号		
	DW	DWW		
VCC1	3	1	–	电源，V_{CC1}
VCC2	14	16	–	电源，V_{CC2}
EN2	–	13	I	输出使能 2。EN2 为高电平或开路时，启用侧 2 的输出引脚，EN2 为低电平时，处于高阻抗状态。

(1) I = 输入；O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

(1)		最小值	最大值	单位
电源电压(2)	V_{CC1}、V_{CC2}	-0.5	6	V
电压	INx，OUTx	-0.5	V_{CC} + 0.5(3)	V
输出电流	I_O	-15	15	mA
浪涌抗扰度			12.8	kV
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值。
(3) 最大电压不得超过 6V。

5.2 ESD 等级

			值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 (1)	±6000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

			最小值	典型值	最大值	单位
V_{CC1}、V_{CC2}	电源电压		2.25		5.5	V
I_{OH}	高电平输出电流	V_{CCO} (2) = 5V	-4			mA
		V_{CCO} = 3.3V	-2			
		V_{CCO} = 2.5V	-1			
I_{OL}	低电平输出电流	V_{CCO} = 5V			4	mA
		V_{CCO} = 3.3V			2	
		V_{CCO} = 2.5V			1	
V_{IH}	高电平输入电压		0.7 x $V_{CC\,I}$ (2)		V_{CCI}	V
V_{IL}	低电平输入电压		0		0.3 x V_{CCI}	V
DR	信令速率		0		100	Mbps
T_J	结温(1)		-55		150	°C
T_A	环境温度		-55	25	125	°C

(1) 若要保持 T_J 的建议运行条件，请参阅 *节 5.4* 表。
(2) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}。

5.4 热性能信息

热指标[1]		ISO7820		单位
		DW (SOIC)	DWW (SOIC)	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	84.7	84.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	47.3	46.0	°C/W
$R_{\theta JB}$	结至电路板热阻	49.4	54.5	°C/W
ψ_{JT}	结至顶部特征参数	19.1	18.5	°C/W
ψ_{JB}	结至电路板特征参数	48.8	53.8	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 功率等级

			值	单位
P_D	ISO7820 的最大功耗	$V_{CC1} = V_{CC2} = 5.5V$、$T_J = 150°C$、$C_L = 15pF$, 输入 50MHz 50% 占空比方波	100	mW
P_{D1}	ISO7820x 的最大功耗（侧 1）		20	
P_{D2}	ISO7820x 的最大功耗（侧 2）		80	

Copyright © 2025 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	规格		单位
			DW	DWW	
CLR	外部间隙[1]	端子间的最短空间距离	>8	>14.5	mm
		端子间的最短空间距离（典型）		15.0	mm
CPG	外部爬电距离[1]	端子间的最短封装表面距离	>8	>14.5	mm
		端子间的最短封装表面距离（典型）		15.0	mm
DTI	绝缘穿透距离	最小内部间隙	>21	>21	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112；UL 746A	>600	>600	V
	材料组		I	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I – IV	I – IV	
		额定市电电压 ≤ 1000V_{RMS}	I – III	I – IV	
DIN EN IEC 60747-17 (VDE 0884-17) [2]					
V_{IORM}	最大重复峰值隔离电压		2121	2828	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试	1500	2000	V_{RMS}
		直流电压	2121	2828	V_{DC}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试） V_{TEST} = 1.2 x V_{IOTM}，t= 1s（100% 生产测试）	8000	8000	V_{PK}
V_{IMP}	最大脉冲电压[3]	在空气中测试，符合 IEC 62368-1 标准的 1.2/50 μs 波形	9800	9800	V_{PK}
V_{IOSM}	最大浪涌隔离电压[4]	V_{IOSM} ≥ 1.3 x V_{IMP}；在油中测试（鉴定测试），1.2/50μs 波形，符合 IEC 62368-1	12800	12800	V_{PK}
q_{pd}	视在电荷[5]	方法 a：输入/输出安全测试子组 2/3 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.2 × V_{IOTM} = 2545V_{PK} (DW) 和 3394V_{PK} (DWW)，t_m = 10s	≤5	≤5	pC
		方法 a：环境测试子组 1 后， V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.6 × V_{IORM} = 3394V_{PK} (DW) 和 4525V_{PK} (DWW)，t_m = 10s	≤5	≤5	
		方法 b：常规测试（100% 生产测试）； V_{ini} = 1.2 x V_{IOTM}，t_{ini} = 1s； $V_{pd(m)}$ = 1.875 x V_{IORM}，t_m = 1s（方法 b1）或 $V_{pd(m)}$ = V_{ini}，t_m = t_{ini}（方法 b2）	≤5	≤5	
C_{IO}	势垒电容，输入至输出[6]	V_{IO} = 0.4 × sin (2πft)，f = 1MHz	2	2	pF
R_{IO}	隔离电阻，输入至输出[6]	V_{IO} = 500V，T_A = 25°C	$>10^{12}$	$>10^{12}$	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	$>10^{11}$	$>10^{11}$	
		V_{IO} = 500V，T_S = 150°C	$>10^{9}$	$>10^{9}$	
	污染等级		2	2	
	气候类别		55/125/21	55/125/21	
UL 1577					
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 5700V_{RMS}，t = 60s（鉴定测试）， V_{TEST} = 1.2 × V_{ISO} = 6840V_{RMS}，t = 1s（100% 生产测试）	5700	5700	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件。

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1 和 IEC 60601-1 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书编号：40040142	主合同编号：220991	文件编号：E181974	证书编号：CQC15001121716	客户端 ID 编号：77311

Copyright © 2025 Texas Instruments Incorporated

5.8 安全限值

安全限制旨在防止出现输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

表 5-1. 安全限制

参数		测试条件	最小值	典型值	最大值	单位
I_S	DW-16 封装和 DWW-16 封装的安全输入、输出或电源电流	$R_{\theta JA}$ = 84.7°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			268	mA
		$R_{\theta JA}$ = 84.7°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			410	
		$R_{\theta JA}$ = 84.7°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			537	
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 84.7°C/W，T_J = 150°C，T_A = 25°C			1476	mW
T_S	最高安全温度				150	°C

最高安全温度与器件指定的最高结温相同。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设*热性能信息*部分中的结至空气热阻是安装在含铅表面贴装封装的高 k 测试板上的器件的热阻。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

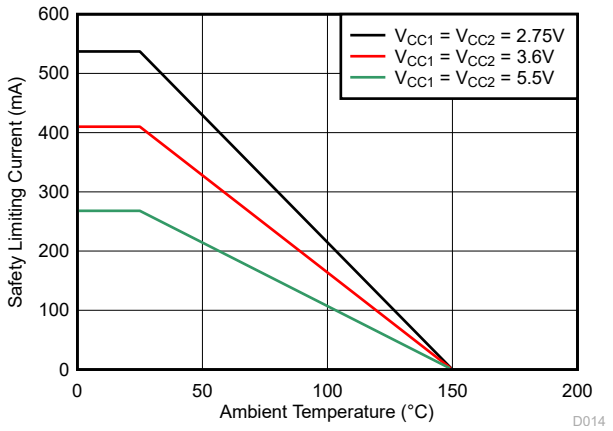


图 5-1. 安全限制电流的热降额曲线（根据 VDE 标准）

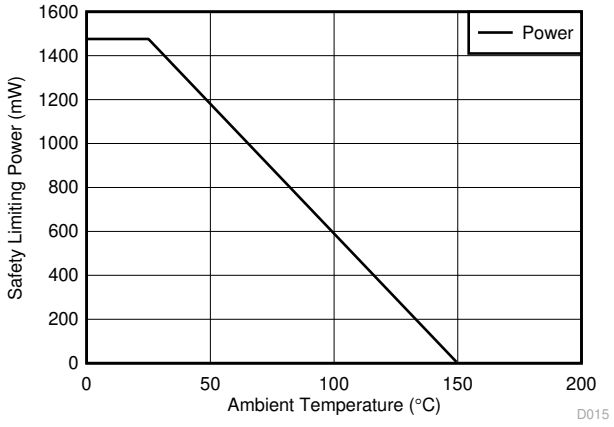


图 5-2. 安全限制功率的热降额曲线（根据 VDE 标准）

5.9 电气特性，5V

V_{CC1} = V_{CC2} = 5V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -4mA；请参阅图 6-1		V_{CC2} – 0.4	V_{CC2} – 0.2		V
V_{OL}	低电平输出电压	I_{OL} = 4mA；请参阅图 6-1			0.2	0.4	V
$V_{I(HYS)}$	输入阈值电压迟滞			0.1 x V_{CC2}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CC1}				10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V		-10			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC1} 或 0V；请参阅图 6-4		100			kV/µs
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V，V_I = 0 V (ISO7820FDWW)，V_I = V_{CC1} (ISO7820DWW)			0.8	1.3	mA
I_{CC2}					0.2	0.4	mA
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V，V_I = V_{CC1} (ISO7820FDWW)，V_I = 0V (ISO7820DWW)			3.2	4.6	mA
I_{CC2}					0.2	0.4	mA
I_{CC1}	电源电流，直流信号	V_I = 0 V (ISO7820F)，V_I = V_{CC1}(ISO7820)			0.9	1.3	mA
I_{CC2}					1.2	1.8	mA
I_{CC1}	电源电流，直流信号	V_I = V_{CC1} (ISO7820F)，V_I = 0V (ISO7820)			3.2	4.6	mA
I_{CC2}					1.3	2	mA
I_{CC1}	电源电流	1Mbps	AC 信号：所有通道均通过方波时钟输入实现开关；C_L = 15pF		2.1	3	mA
I_{CC2}					1.3	2	mA
I_{CC1}	电源电流	10Mbps			2.1	3	mA
I_{CC2}					2.3	3.8	mA
I_{CC1}	电源电流	100Mbps			2.7	3.3	mA
I_{CC2}					11.9	15.3	mA

5.10 电气特性，3.3V

V_{CC1} = V_{CC2} = 3.3V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -2mA；请参阅图 6-1	V_{CC2} – 0.4	V_{CC2} – 0.2		V
V_{OL}	低电平输出电压	I_{OL} = 2mA；请参阅图 6-1		0.2	0.4	V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 x V_{CC2}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CC1}			10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC1} 或 0V；请参阅图 6-4	100			kV/µs
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V、V_I = 0V (ISO7820FDWW)、V_I = V_{CC1}(ISO7820DWW)		0.8	1.3	mA
I_{CC2}				0.2	0.4	mA
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V、V_I = V_{CC1} (ISO7820FDWW)、V_I = 0V (ISO7820DWW)		3.2	4.6	mA
I_{CC2}				0.2	0.4	mA
I_{CC1}	电源电流，直流信号	V_I = 0 V (ISO7820F)，V_I = V_{CC1}(ISO7820)		0.9	1.3	mA
I_{CC2}				1.2	1.8	mA
I_{CC1}	电源电流，直流信号	V_I = V_{CC1} (ISO7820F)，V_I = 0V (ISO7820)		3.2	4.6	mA
I_{CC2}				1.3	2	mA

Copyright © 2025 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 3.3V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{CC1}	电源电流	1Mbps	AC 信号：所有通道均通过方波时钟输入实现开关；C_L = 15pF		2.1	3	mA
I_{CC2}					1.3	2	
I_{CC1}	电源电流	10Mbps			2.1	3	mA
I_{CC2}					2.3	3.8	
I_{CC1}	电源电流	100Mbps			2.5	3.2	mA
I_{CC2}					8.9	11.5	

5.11 电气特性，2.5V

V_{CC1} = V_{CC2} = 2.5V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -1mA；请参阅图 6-1		V_{CC2} – 0.4	V_{CC2} – 0.2		V
V_{OL}	低电平输出电压	I_{OL} = 1mA；请参阅图 6-1			0.2	0.4	V
$V_{I(HYS)}$	输入阈值电压迟滞			0.1 x V_{CC2}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CC1}				10	μA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V		-10			
CMTI	共模瞬态抗扰度	V_I = V_{CC1} 或 0V；请参阅图 6-4		100			kV/μs
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V、V_I = 0V (ISO7820FDWW)、V_I = V_{CC1}(ISO7820DWW)			0.8	1.3	mA
I_{CC2}					0.2	0.4	
I_{CC1}	电源电压，禁用（仅限 ISO7820DWW 和 ISO7820FDWW）	EN2 = 0V、V_I = V_{CC1} (ISO7820FDWW)、V_I = 0V (ISO7820DWW)			3.2	4.6	mA
I_{CC2}					0.2	0.4	
I_{CC1}	电源电流，直流信号	V_I = 0 V (ISO7820F)，V_I = V_{CC1}(ISO7820)			0.9	1.3	mA
I_{CC2}					1.2	1.8	
I_{CC1}	电源电流，直流信号	V_I = V_{CC1} (ISO7820F)，V_I = 0V (ISO7820)			3.2	4.6	mA
I_{CC2}					1.3	2	
I_{CC1}	电源电流	1Mbps	AC 信号：所有通道均通过方波时钟输入实现开关；C_L = 15pF		2.1	3	mA
I_{CC2}					1.3	2	
I_{CC1}	电源电流	10Mbps			2.1	3	mA
I_{CC2}					1.8	2.7	
I_{CC1}	电源电流	100Mbps			2.4	3.2	mA
I_{CC2}					7	9.1	

5.12 功率等级

表 5-2. IEC 60664-1 等级表

参数		测试条件	规格
材料组			I
过电压类别/安装分类	DW 封装	额定市电电压 ≤ 600V_{RMS}	I – IV
		额定市电电压 ≤ 1000V_{RMS}	I – III
	DWW 封装	额定市电电压 ≤ 1000V_{RMS}	I – IV

Copyright © 2025 Texas Instruments Incorporated

5.13 开关特性，5V

V_{CC1} = V_{CC2} = 5V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅 图 6-1	6	10.7	16	ns
PWD(1)	脉宽失真 $\|t_{PHL} - t_{PLH}\|$			0.6	4.6	
$t_{sk(o)}$ (2)	通道间输出偏斜时间				2.5	ns
$t_{sk(pp)}$ (3)	器件间偏斜时间				4.5	ns
t_r	输出信号上升时间	请参阅 图 6-1		2.4	3.9	ns
t_f	输出信号下降时间			2.4	3.9	
t_{PHZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，高阻抗之间的输出	请参阅 图 6-2		12	20	ns
t_{PLZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，低高阻抗之间的输出			12	20	ns
t_{PZH}	启用 ISO7820DWW 的传播延时，高阻抗与高电平之间的输出			10	20	ns
	启用 ISO7820FDWW 的传播延时，高阻抗与高电平之间的输出			2	2.5	µs
t_{PZL}	启用 ISO7820DWW 的传播延时，高阻抗与低电平之间的输出			2	2.5	µs
	启用 ISO7820FDWW 的传播延时，高阻抗与低电平之间的输出			10	20	ns
t_{fs}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅图 6-3		0.2	9	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.14 开关特性，3.3V

V_{CC1} = V_{CC2} = 3.3V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅 图 6-1	6	10.8	16	ns
PWD(1)	脉宽失真 $\|t_{PHL} - t_{PLH}\|$			0.7	4.7	
$t_{sk(o)}$ (2)	通道间输出偏斜时间				2.2	ns
$t_{sk(pp)}$ (3)	器件间偏斜时间				4.5	ns
t_r	输出信号上升时间	请参阅 图 6-1		1.3	3	
t_f	输出信号下降时间			1.3	3	
t_{PHZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，高阻抗之间的输出	请参阅 图 6-2		17	32	ns
t_{PLZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，低高阻抗之间的输出			17	32	ns
t_{PZH}	启用 ISO7820DWW 的传播延时，高阻抗与高电平之间的输出			17	32	ns
	启用 ISO7820FDWW 的传播延时，高阻抗与高电平之间的输出			2	2.5	µs
t_{PZL}	启用 ISO7820DWW 的传播延时，高阻抗与低电平之间的输出			2	2.5	µs
	启用 ISO7820FDWW 的传播延时，高阻抗与低电平之间的输出			17	32	ns
t_{fs}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅图 6-3		0.2	9	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.15 开关特性，2.5V

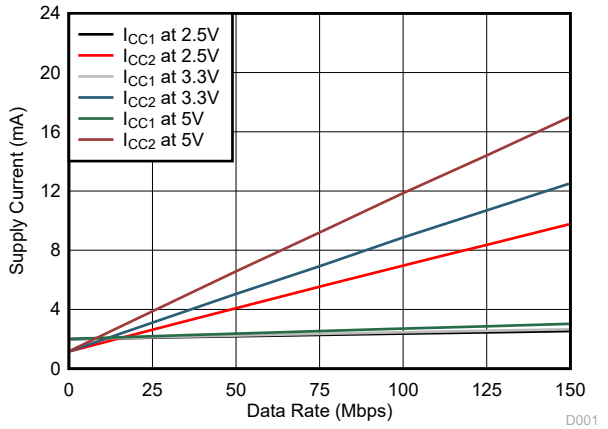
V_{CC1} = V_{CC2} = 2.5V ± 10%（在推荐的运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	请参阅 图 6-1	7.5	11.7	17.5	ns
PWD(1)	脉宽失真 $\|t_{PHL} - t_{PLH}\|$			0.7	4.7	
$t_{sk(o)}$ (2)	通道间输出偏斜时间				2.2	ns
$t_{sk(pp)}$ (3)	器件间偏斜时间				4.5	ns
t_r	输出信号上升时间	请参阅 图 6-1		1.8	3.5	
t_f	输出信号下降时间			1.8	3.5	
t_{PHZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，高阻抗之间的输出	请参阅 图 6-2		22	45	ns
t_{PLZ}	禁用 ，ISO7820DWW 和 ISO7820FDWW 的传播延迟，低高阻抗之间的输出			22	45	ns
t_{PZH}	启用 ISO7820DWW 的传播延时，高阻抗与高电平之间的输出			18	45	ns
	启用 ISO7820FDWW 的传播延时，高阻抗与高电平之间的输出			2	2.5	µs
t_{PZL}	启用 ISO7820DWW 的传播延时，高阻抗与低电平之间的输出			2	2.5	µs
	启用 ISO7820FDWW 的传播延时，高阻抗与低电平之间的输出			18	45	ns
t_{fs}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅图 6-3		0.2	9	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

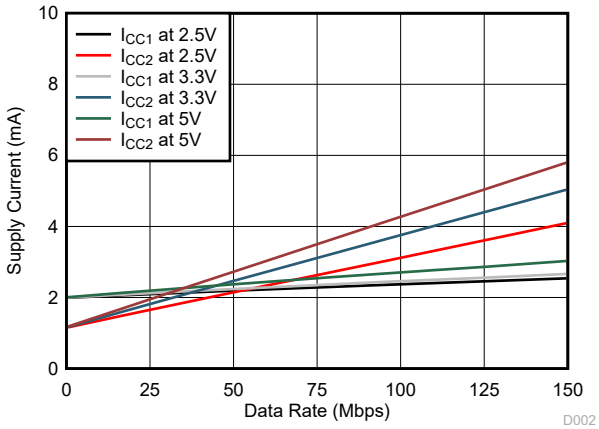
Copyright © 2025 Texas Instruments Incorporated

5.16 典型特性



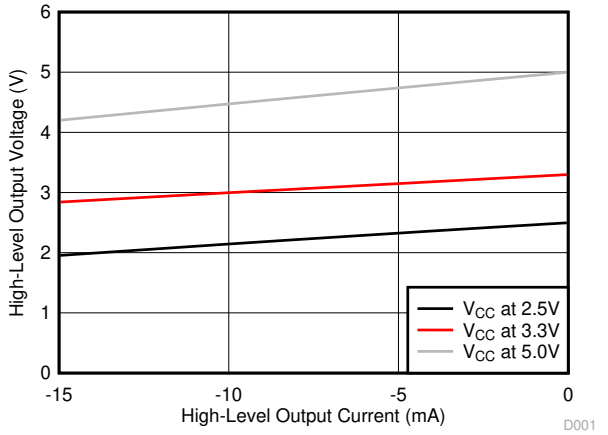
T_A = 25°C　　C_L = 15pF

图 5-3. 电源电流与数据速率间的关系（具有 15pF 负载）



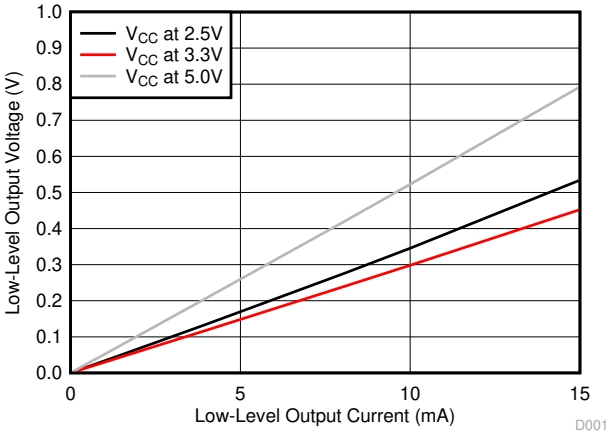
T_A = 25°C　　C_L = 无负载

图 5-4. 电源电流与数据速率间的关系（无负载）



T_A = 25°C

图 5-5. 高电平输出电压与高电平输出电流间的关系



T_A = 25°C

图 5-6. 低电平输出电压与低电平输出电流间的关系

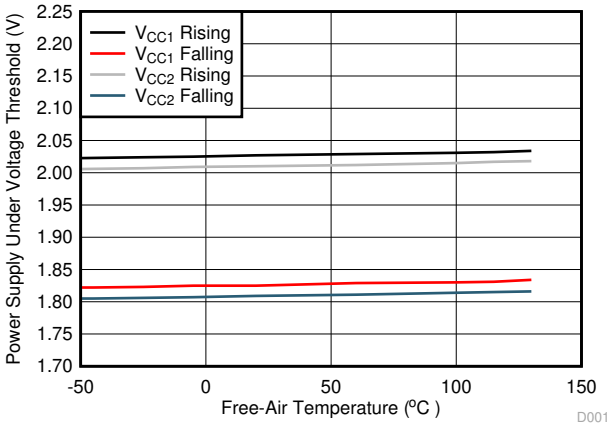


图 5-7. 电源欠压阈值与自然通风条件下的温度间的关系

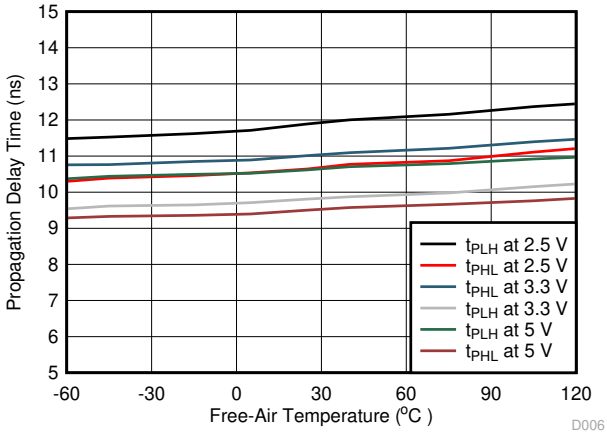
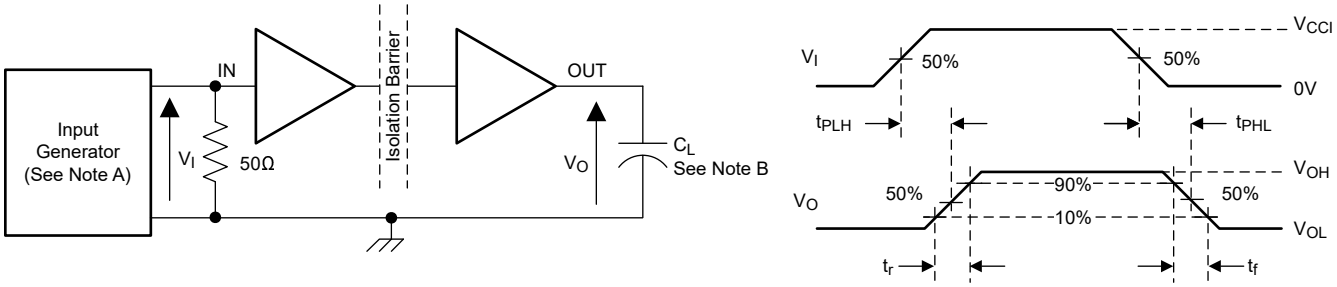


图 5-8. 传播延迟时间与自然通风条件下的温度间的关系

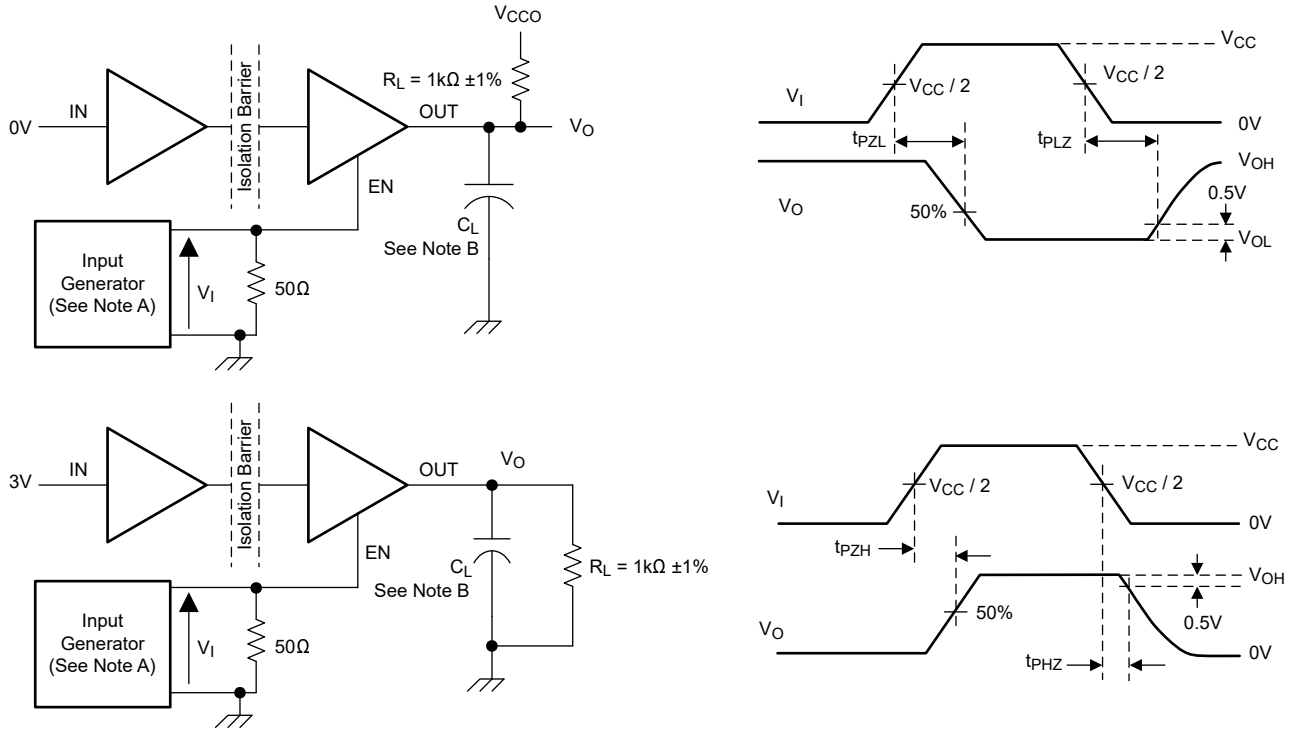
6 参数测量信息



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。输入端需要 50 Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50 Ω 电阻器。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形

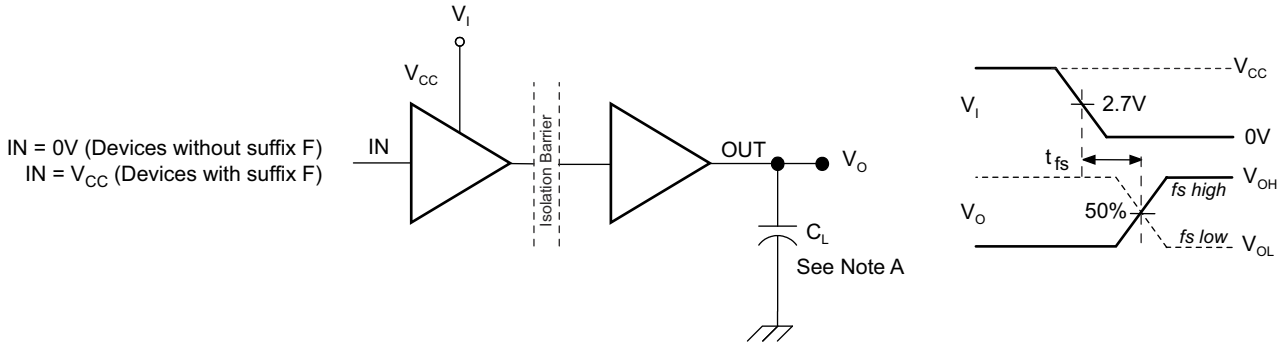


A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 10 kHz，50% 占空比，t_r ≤ 3 ns，t_f ≤ 3 ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

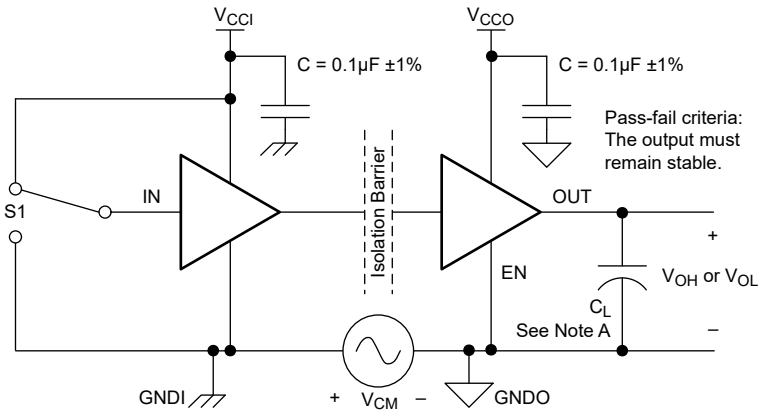
图 6-2. 启用/禁用传播延时时间测试电路和波形

Copyright © 2025 Texas Instruments Incorporated



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-3. 默认输出延时时间测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-4. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISO7820 器件采用开关键控（OOK）调制方案，以便通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。这些器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

7.2 功能方框图

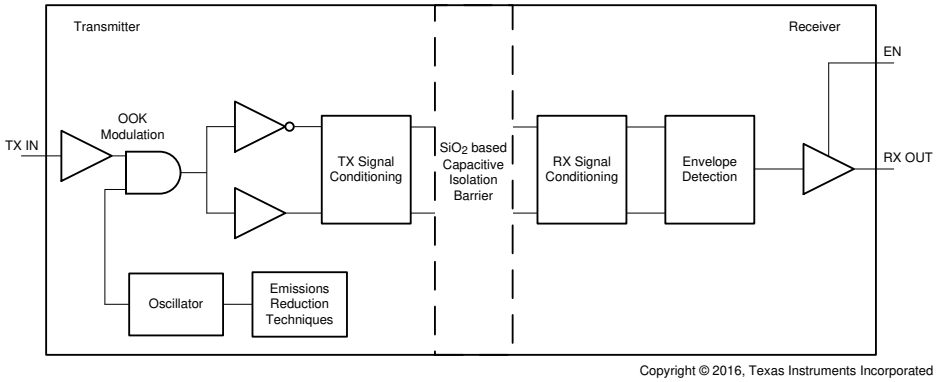


图 7-1. 数字电容隔离器的概念框图

图 7-2 所示为开关键控方案工作原理的概念细节。

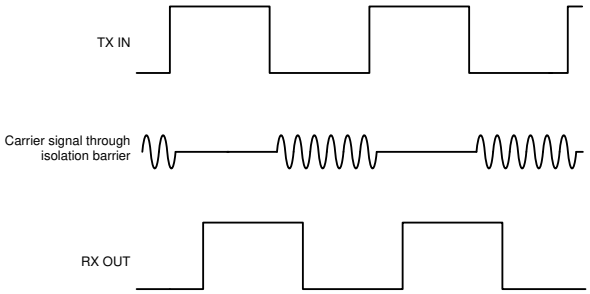


图 7-2. 基于开关键控 (OOK) 的调制方案

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

ISO7820 系列器件提供双通道配置和默认输出状态选项，可实现各种应用用途。

产品	通道方向	隔离额定值	最大数据速率	默认输出
ISO7820	2 个正向，0 个反向	$5700V_{RMS}/8000V_{PK}$ (1)	100Mbps	高
ISO7820F	2 个正向，0 个反向	$5700V_{RMS}/8000V_{PK}$ (1)	100Mbps	低

(1) 有关详细的隔离等级，请参阅*监管信息*部分。

7.4 器件功能模式

ISO7820 功能模式如 表 7-1 所示。

表 7-1. ISO7820 功能表

V_{CCI}	V_{CCO}	输入 (INx)[2]	输出使能 (EN2) (仅限 DWW 封装)	输出 (OUTx)	注释
PU	PU	H	H 或开路	H	正常运行： 通道输出假定输入的逻辑状态。
		L	H 或开路	L	
		开路	H 或开路	默认值	默认模式：INx 断开时，相应通道输出进入默认高电平逻辑状态。 ISO7820 默认=高电平和 ISO7820F 默认为低电平。
X	PU	X	L	Z	输出使能值偏低，会导致输出为高阻抗。
PD	PU	X	H 或开路	默认值	默认模式：V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。 ISO7820 默认=高电平和 ISO7820F 默认为低电平。 V_{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。 V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	X	不确定	V_{CCO} 未上电时，通道输出不确定[1]。 V_{CCO} 从未上电转换为上电时，通道输出假定输入的逻辑状态。

(1) 当 1.7V < V_{CCI} 且 V_{CCO} < 2.25V 时，输出为不确定状态。
(2) 强驱动输入信号可采用内部保护二极管为浮动 V_{CC} 提供微弱的电能，导致输出不确定。

7.4.1 器件 I/O 原理图

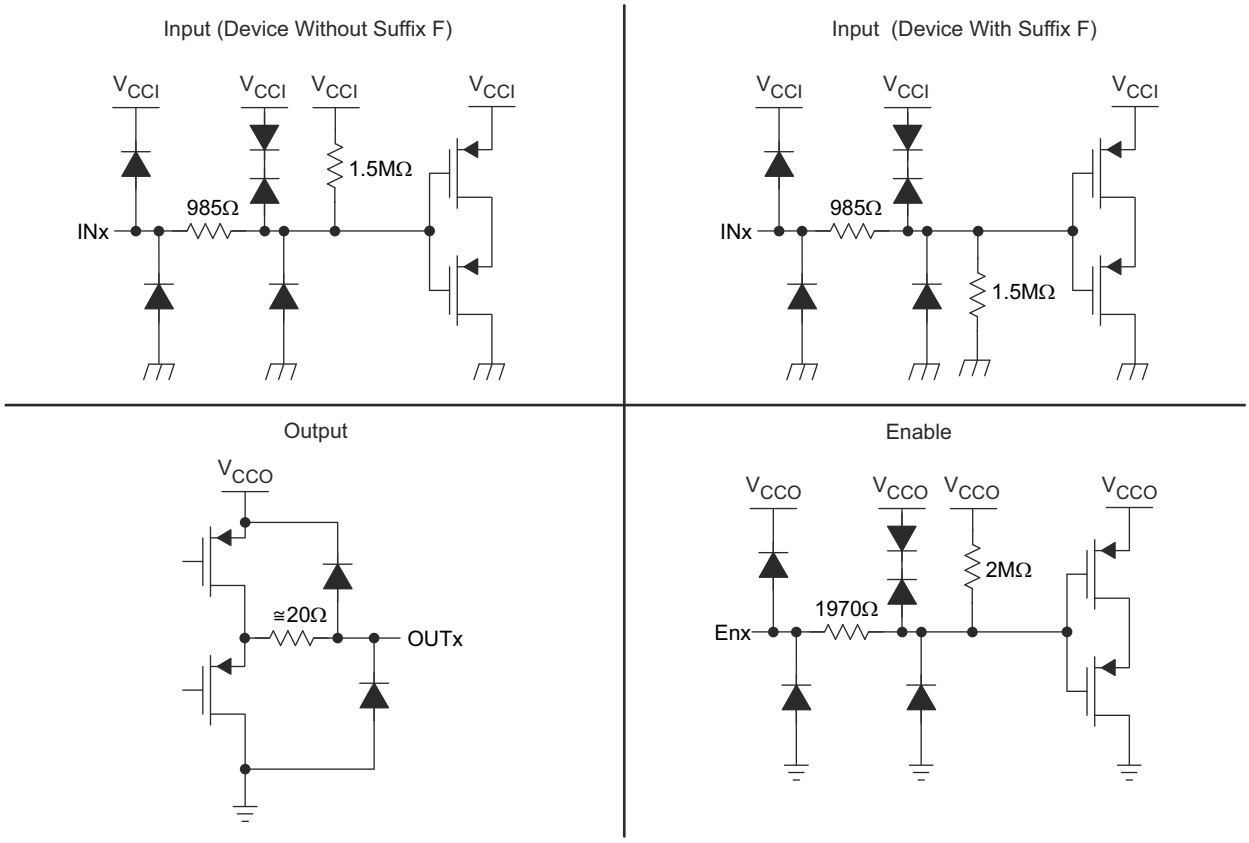


图 7-3. 器件 I/O 原理图

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ISO7820 是一款高性能、双通道数字隔离器，隔离电压达到 5.7kV$_{RMS}$ 且符合 UL 1577 标准。该器件采用单端 CMOS 逻辑开关技术。V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 2.25V 至 5.5V。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都放在数据控制器（即 μC 或 UART）和数据转换器或数据线收发器之间。

8.2 典型应用

ISO7820F 可与 在开关模式电源 (SMPS) 中将功率 MOSFET 与敏感逻辑电路隔离，如下所示。

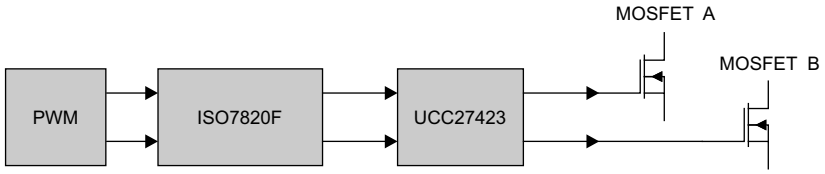


图 8-1. 隔离式开关模式电源

8.2.1 设计要求

在 ISO7820 中，使用表 8-1 所示的参数。

表 8-1. 设计参数

参数	值
电源电压	2.25V 至 5.5V
V_{CC1} 和 GND1 之间的去耦电容器	0.1μF
V_{CC2} 和 GND2 之间的去耦电容器	0.1μF

8.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO7820 仅需两个外部旁路电容器即可工作。

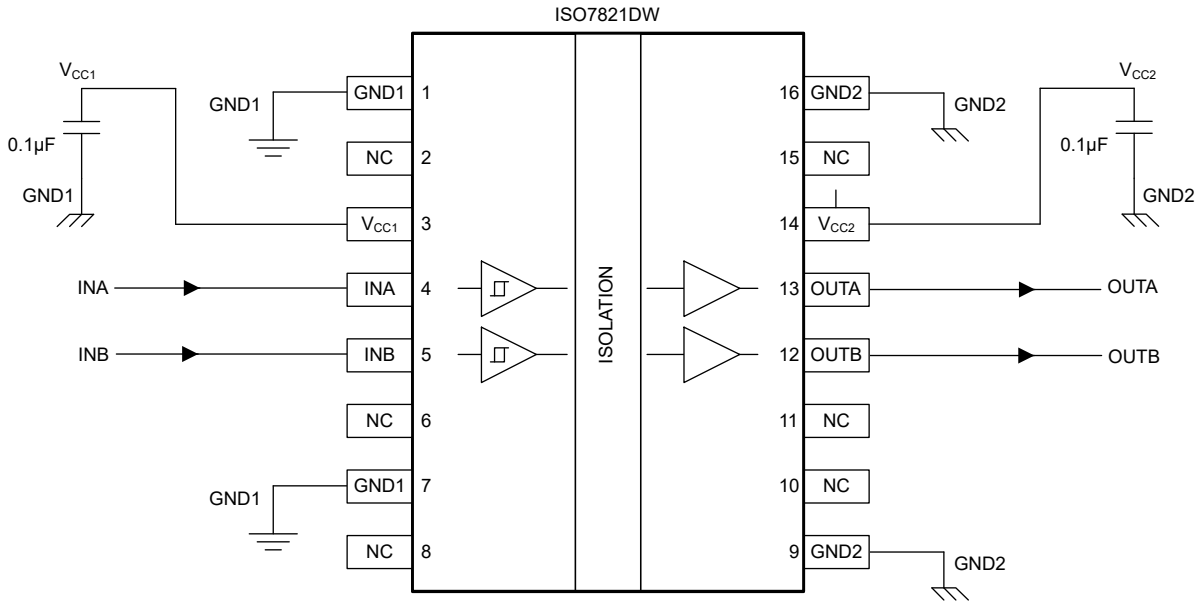


图 8-2. 典型 ISO7820 电路组装

8.2.2.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 22 等国际标准对这些电磁干扰进行了规定。尽管系统级性能与可靠性在很大程度上取决于应用电路板的设计和布局，但为了实现整体系统的稳健性，ISO7820 器件在芯片级设计方面进行了诸多改进。其中的一些改进包括：

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护功能。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能，能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大，可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离，从而避免触发寄生 SCR。
- 通过提供纯差分内部运行，减少隔离栅上的共模电流。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 应用性能曲线

ISO7820 的典型眼图展示了在最大数据速率 100Mbps 下的低抖动和大张开度。

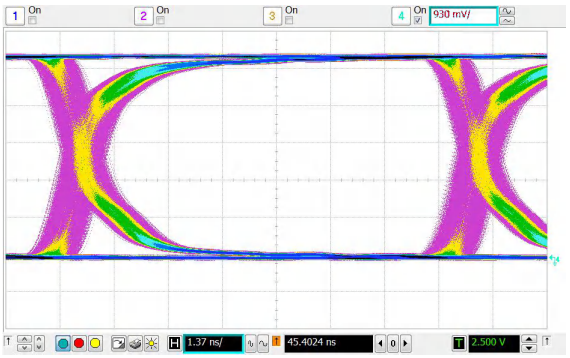


图 8-3. 眼图：100Mbps PRBS，5V 和 25°C

8.3 电源相关建议

为确保在所有数据速率和电源电压条件下都能可靠运行，建议将 0.1μF 旁路电容器放置在输入和输出电源引脚（V_{CC1} 和 V_{CC2}）处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可以借助德州仪器 (TI) 的 SN6501 等变压器驱动器为次级侧生成隔离式电源。对于此类应用，SN6501 数据表 (SLLSEA0) 中提供了详细的电源设计和变压器选择建议。

8.4 布局

8.4.1 PCB 材料

对于运行速度低于 150Mbps（或上升和下降时间高于 1ns）且布线长度长达 10 英寸的数字电路板，请使用标准 FR-4 环氧玻璃作为 PCB 材料。FR-4（阻燃剂 4）符合美国保险商实验室 UL94-V0 的要求，并且由于其在高频下的介电损耗较低，吸湿性较低，强度和刚度较大，具有自熄性阻燃特性，因此优于较便宜的替代产品。

8.4.2 布局指南

至少需要四层才能实现低 EMI PCB 设计（请参阅图 8-4）。层堆叠必须符合以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约 100pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层/接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

如需详细的布局建议，请参阅应用手册 SLLA284（*数字隔离器设计指南*）。

8.4.3 布局示例

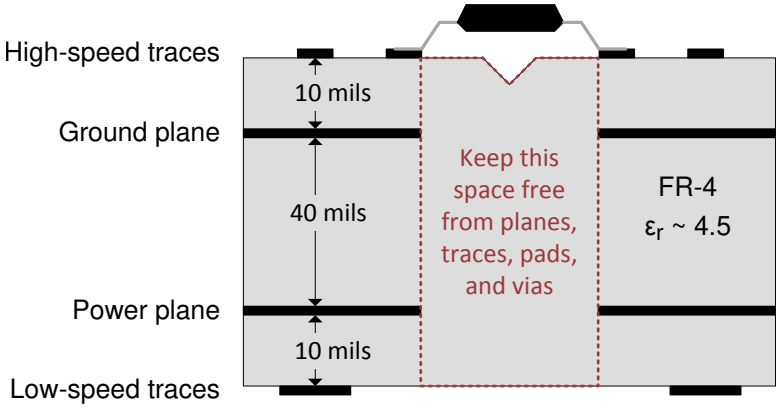


图 8-4. 布局示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 相关文档

9.1.1 相关文档

请参阅*隔离相关术语* (SLLA353)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2016) to Revision B (July 2025) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 向 *节 5.1* 表中添加了注释 (3) 5
- 更改 *节 5.3* 表中的注释 (1) 5
- 添加了 *节 5.5* 表 6
- 更改了*绝缘规格*表 7
- 向*绝缘规格*表中添加 15mm（典型值）爬电距离/间隙 7
- 更改了表 7-1 中的注释 (1) 20

Changes from Revision * (July 2015) to Revision A (February 2016) — **Page**

- 更改了节 1 中的安全及管理批准列表 1
- 将 *节 1* 从增强型 8000V_{PK} V_{IOTM} 和 2121V_{PK} V_{IORM}。更改为：8000V_{PK} 增强型 1
- 添加了节 1 “符合 EN 61010-1 和 EN 60950-1 标准的 TUV 认证” 1
- 添加了封装：在*器件信息*表中添加了超宽 SOIC、DWW (16) 1

- 将*说明*第一段中的文本从“符合 VDE、CSA 和 CQC 认证标准”更改为：“符合 VDE、CSA、CQC 和 TUV 认证标准。” 1
- 更改了*简化版原理图* 1
- 添加了 DWW 引脚排列图 3
- 将将 V_{CCX} 更改为：*节 5.3* 表中 I_{OH} 和 I_{OL} 中的 V_{CCO} 5
- 将将 V_{CCX} 更改为：*节 5.3* 表中 V_{IH} 和 V_{IL} 中的 V_{CCI} 5
- 将 DWW 封装添加至 *节 5.4* 6
- 更改了表 1，添加了 DWW 封装信息 7
- 将注释 1 添加到*电气特性*部分 7
- 向表 2 中添加“气候类别”并删除注释 1 7
- 更改了*安全相关认证*中的 CSA 列 8
- 向*安全相关认证*部分和表 4 添加了 TUV。删除了表 4 中的注释 1 8
- 更改了 *节 5.9* 的电源电流部分以包含 DWW 封装信息 10
- 删除了 *节 5.9* 中的注释 1 10
- 更改了 *节 5.10* 的电源电流部分以包含 DWW 封装信息 10
- 删除了 *节 5.10* 中的注释 1 10
- 更改了 *节 5.11* 的电源电流部分以包含 DWW 封装信息 12
- 删除了 *节 5.11* 中的注释 1 12
- 将“通道间输出偏斜时间”添加至 *节 5.13* 13
- 将“通道间输出偏斜时间”添加至 *节 5.14* 13
- 将“通道间输出偏斜时间”添加至 *节 5.15* 14
- 更改了表 7-1 20
- 更改了图 7-3 20
- 更改了 *节 8.2* 文本和 图 8-1 21

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

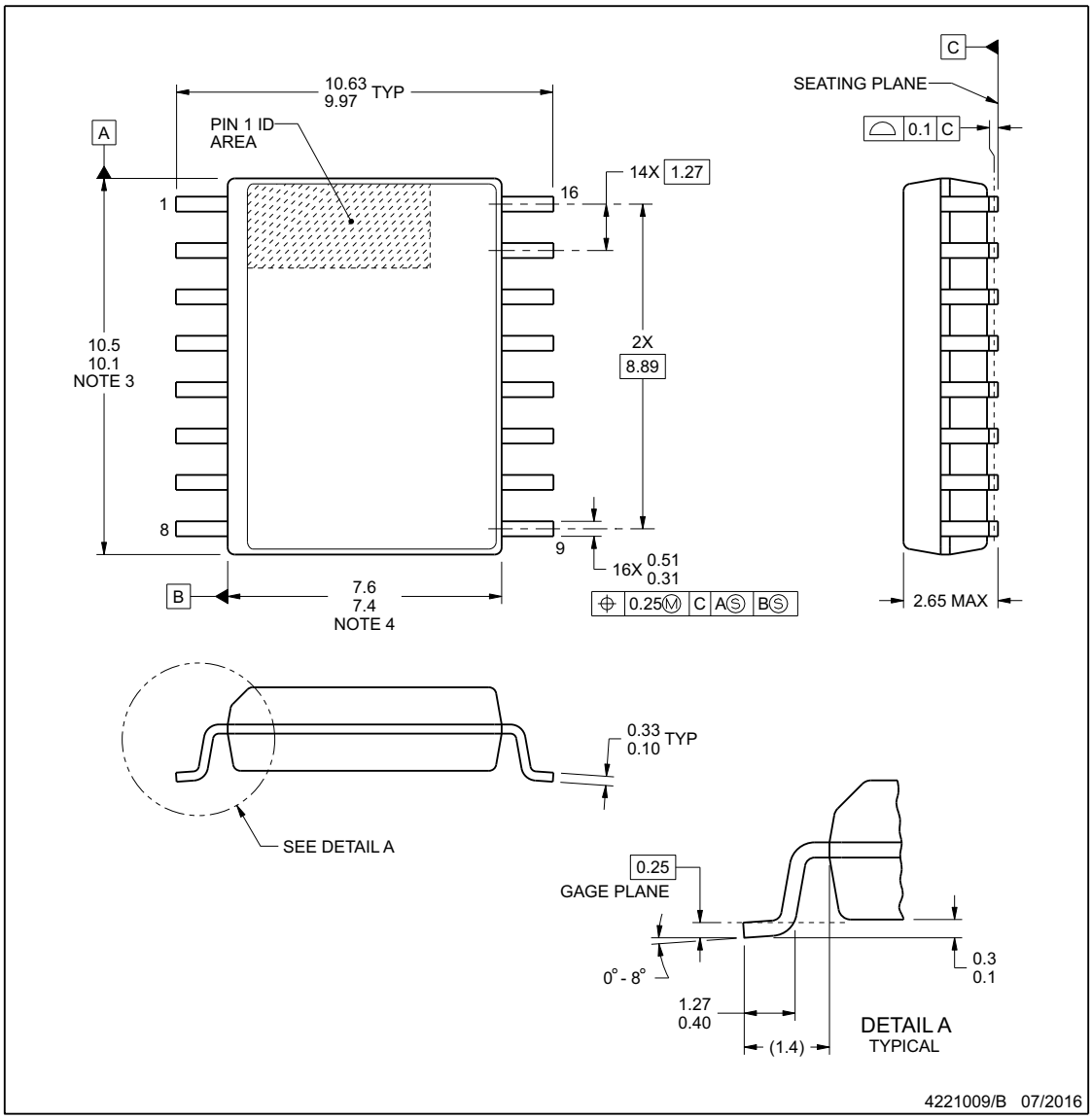
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

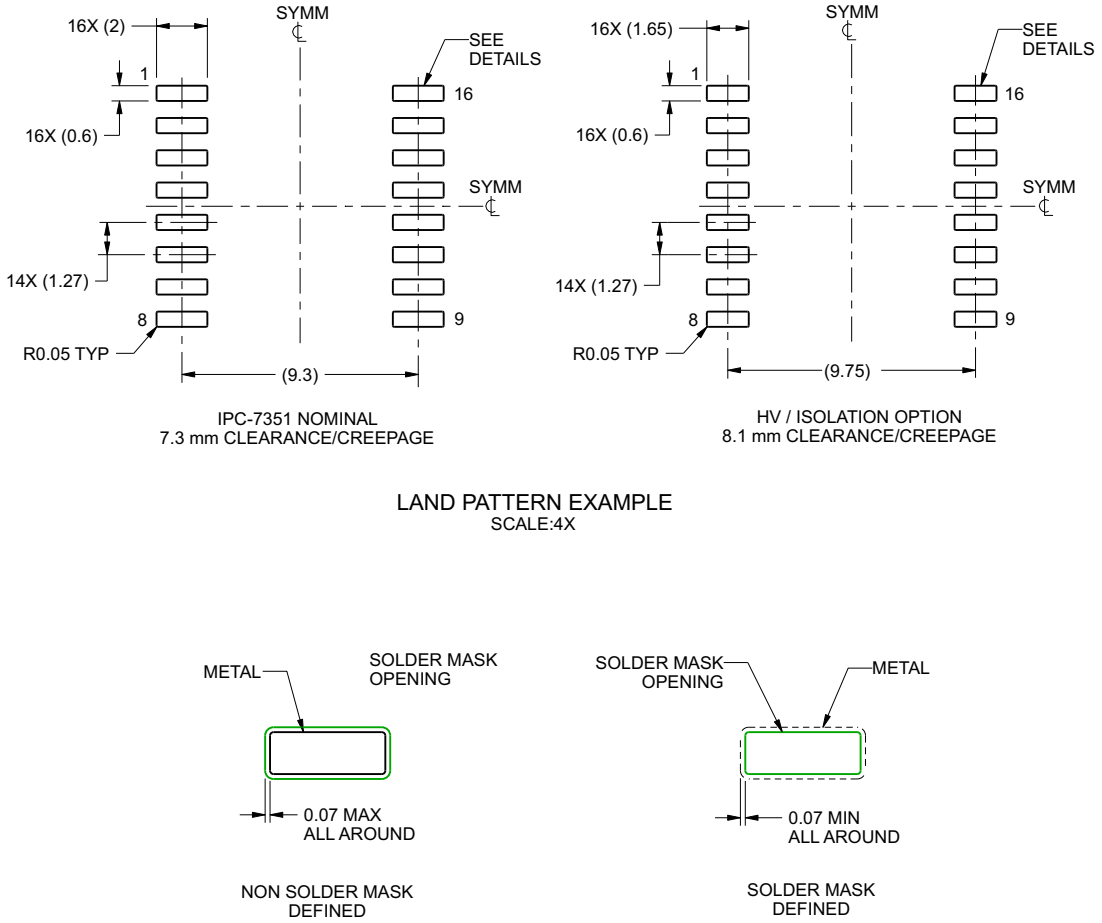
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

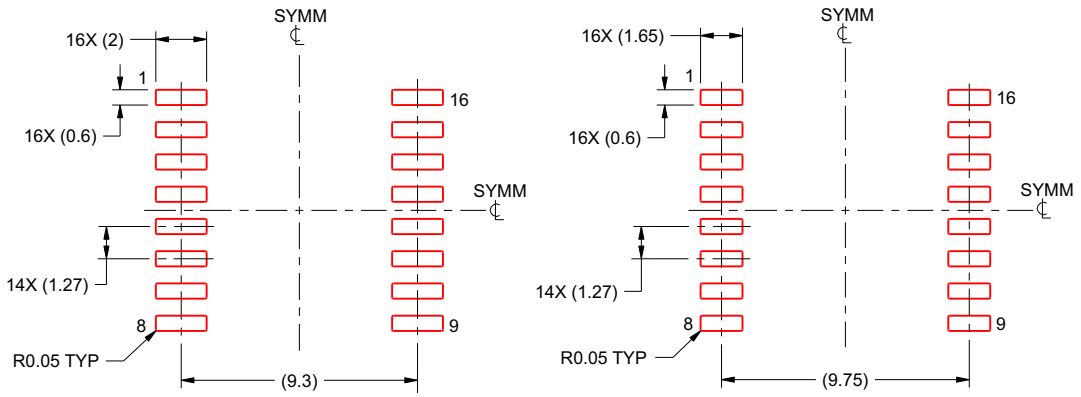
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

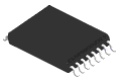
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

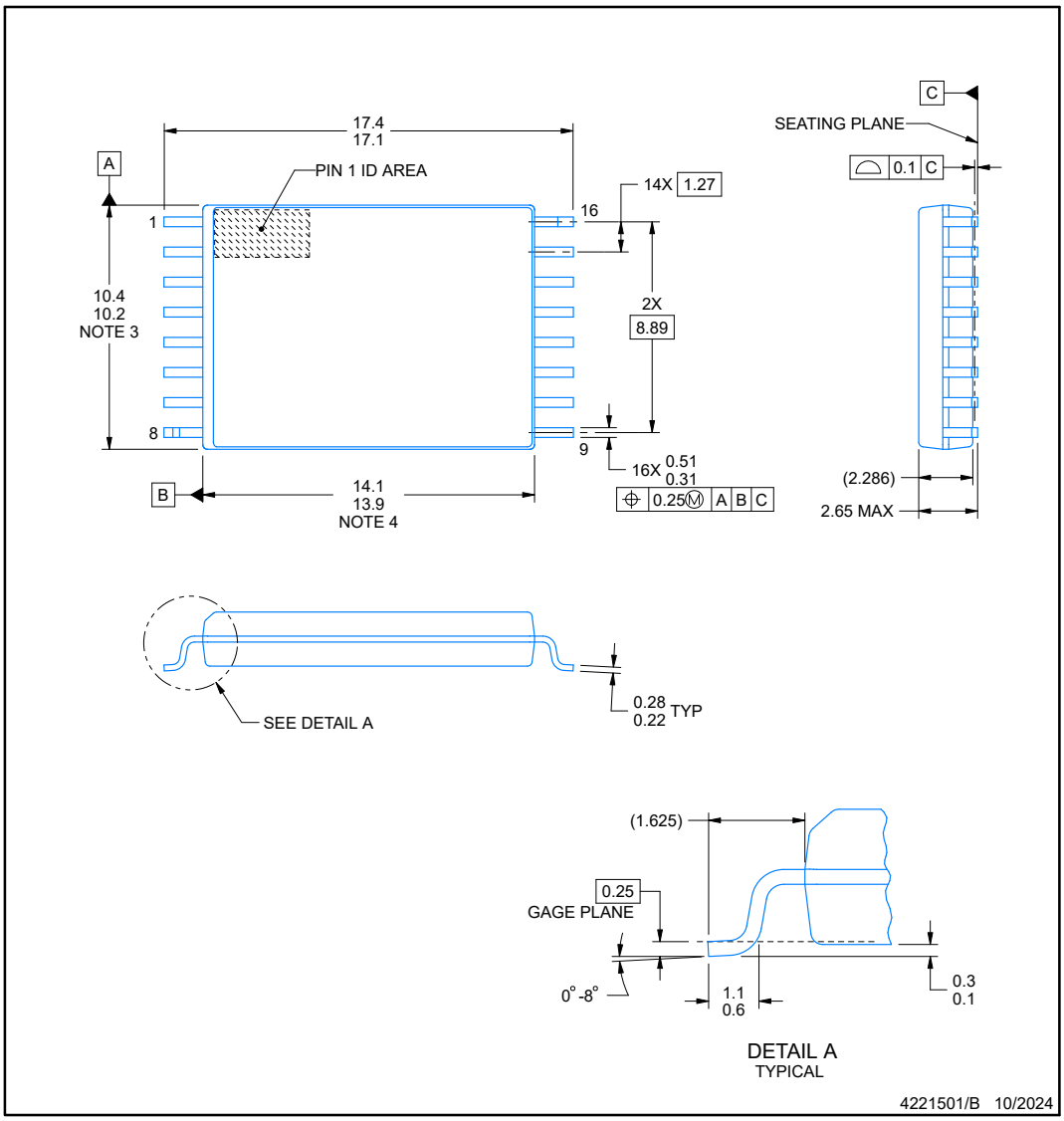


PACKAGE OUTLINE

DWW0016A

SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

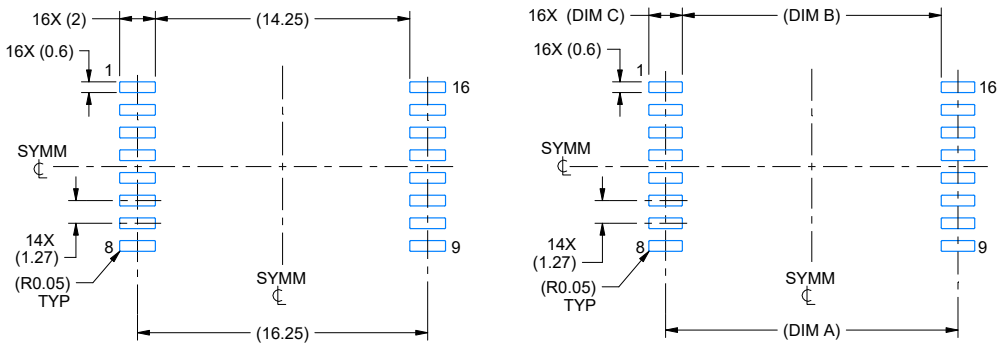
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DWW0016A **SOIC - 2.65 mm max height**

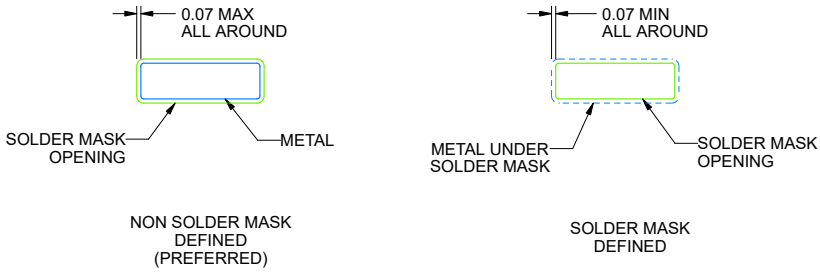
PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
STANDARD
SCALE:3X

LAND PATTERN EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
SCALE:3X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525



NON SOLDER MASK
DEFINED
(PREFERRED)

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221501/B 10/2024

NOTES: (continued)

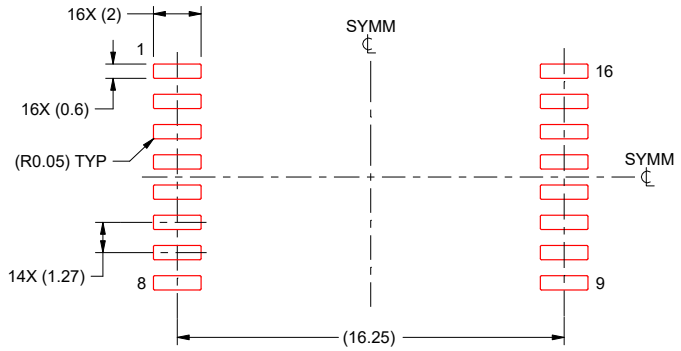
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

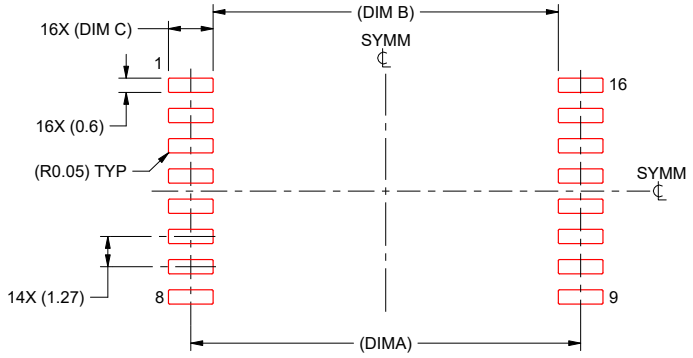
EXAMPLE STENCIL DESIGN

DWW0016A **SOIC - 2.65 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
STANDARD
BASED ON 0.125 mm THICK STENCIL
SCALE:4X



SOLDER PASTE EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525

4221501/B 10/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7820DW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820
ISO7820DW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820
ISO7820DW.B	Active	Production	SOIC (DW) | 16	40 | TUBE	-	Call TI	Call TI	-55 to 125	
ISO7820DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820
ISO7820DWR.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820
ISO7820DWR.B	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-55 to 125	
ISO7820DWW	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820
ISO7820DWW.A	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820
ISO7820DWW.B	Active	Production	SOIC (DWW) | 16	45 | TUBE	-	Call TI	Call TI	-55 to 125	
ISO7820DWWR	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820
ISO7820DWWR.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820
ISO7820DWWR.B	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-55 to 125	
ISO7820FDW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820F
ISO7820FDW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820F
ISO7820FDW.B	Active	Production	SOIC (DW) | 16	40 | TUBE	-	Call TI	Call TI	-55 to 125	
ISO7820FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820F
ISO7820FDWR.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7820F
ISO7820FDWR.B	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-55 to 125	
ISO7820FDWW	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820F
ISO7820FDWW.A	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820F
ISO7820FDWW.B	Active	Production	SOIC (DWW) | 16	45 | TUBE	-	Call TI	Call TI	-55 to 125	
ISO7820FDWWR	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820F
ISO7820FDWWR.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	ISO7820F
ISO7820FDWWR.B	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	-	Call TI	Call TI	-55 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

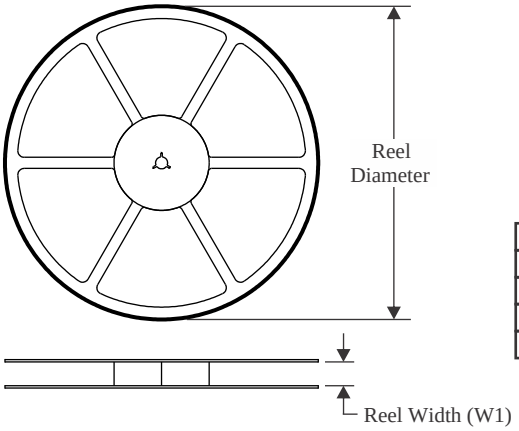
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

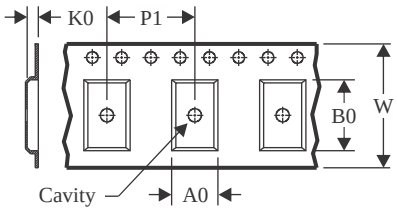
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

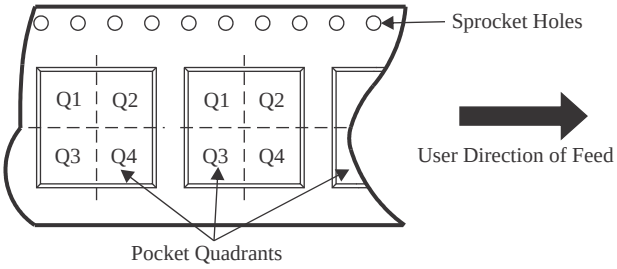


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

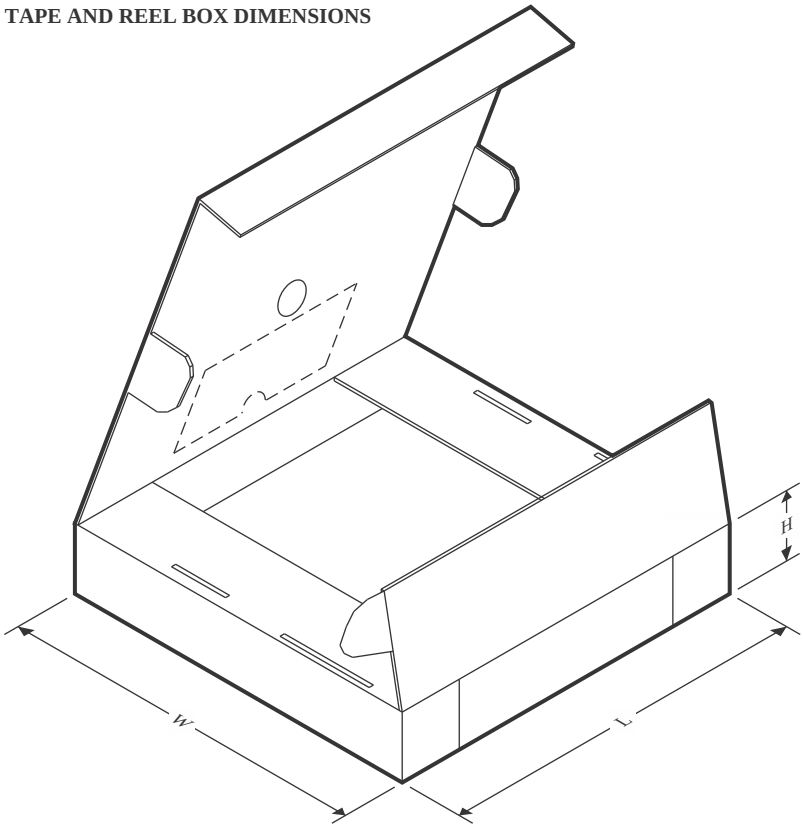
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7820DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7820DWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1
ISO7820FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7820FDWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1

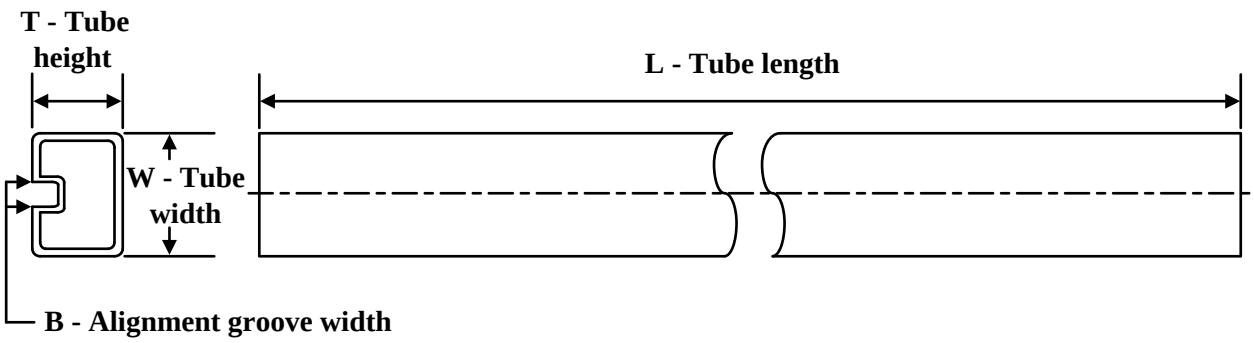
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7820DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7820DWWR	SOIC	DWW	16	1000	350.0	350.0	43.0
ISO7820FDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7820FDWWR	SOIC	DWW	16	1000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ISO7820DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7820DW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7820DWW	DWW	SOIC	16	45	507	20	5000	9
ISO7820DWW.A	DWW	SOIC	16	45	507	20	5000	9
ISO7820FDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7820FDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7820FDWW	DWW	SOIC	16	45	507	20	5000	9
ISO7820FDWW.A	DWW	SOIC	16	45	507	20	5000	9

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司