

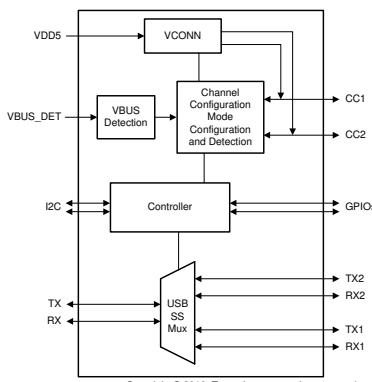
HD3SS3220 具有超高速 2:1 多路复用器的 USB Type-C DRP 端口控制器

1 特性

- 集成了 2:1 超高速多路复用器的 USB Type-C 端口控制器
- 符合 USB Type-C™ 规范
- 支持 USB 3.1 G1 和 G2，速率高达 10Gbps
- 支持高达 15W 的电力输送与 3A 电流的广播和检测
- 模式配置
 - 仅主机 - DFP/供电端
 - 仅设备 - UFP/受电端
 - 双角色端口 - DRP
- 通道配置 (CC)
 - USB 端口连接检测
 - 电缆方向检测
 - 角色检测
 - Type-C 电流模式 (默认、中等和高)
- 对于有源电缆的 $V_{(BUS)}$ 检测和 VCONN 支持
- 支持音频和调试附件
 - HD3SS3220 - 支持音频和调试 (UFP/DFP/DRP)
 - HD3SS3220L - 无音频附件，仅支持 UFP 作为调试附件
- 支持 Try.SRC 和 Try.SNK DRP 模式
- 通过通用输入/输出 (GPIO) 和 I²C 控制配置
- 低工作电流和待机电流消耗
- 工业温度范围：-40°C 至 85°C

2 应用

- USB 主机、设备、集线器
- 手机、平板电脑和笔记本电脑
- U 盘、移动硬盘、机顶盒等 USB 外设



简化版原理图

3 说明

HD3SS3220 是一款具有 USB 超高速 (SS) 2:1 多路复用器的 DRP 端口控制器。该器件为实现 USB Type-C 的生态系统提供通道配置 (CC) 逻辑和 5V VCONN 电源。HD3SS3220 可配置为下行端口 (DFP)、上行端口 (UFP) 或双角色端口 (DRP)，因此非常适合任何应用。

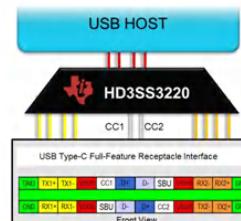
根据 Type-C 规范，HD3SS3220 在 DRP 模式下会交替配置为 DFP 或 UFP。CC 逻辑块通过监视 CC1 和 CC2 引脚上的上拉或下拉电阻来确定 USB 端口的连接时间及端口角色。连接 USB 端口后，CC 逻辑也决定电缆的方向，并相应地配置 USB SS 多路复用器。最后，CC 逻辑将分别在 DFP 和 UFP 模式下广播或检测 Type-C 电流模式 (默认、中等或高)。

集成多路复用器的出色动态特性使得在切换到 SS 信号眼图时衰减最小，且几乎不会增加抖动。尽管 RX 和 TX 通道具有不同的共模电压，但该器件的开关路径会部署具有相同结果的自适应共模电压跟踪。

封装信息

器件型号	封装 (1)	本体尺寸 (标称值)
HD3SS3220	VQFN RNH (30)	2.50mm x 4.50mm
HD3SS3220I		
HD3SS3220L		

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品目录。



典型应用



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	6.4 器件功能模式	17
2 应用	1	6.5 编程	19
3 说明	1	6.6 寄存器映射	20
4 引脚配置和功能	3	7 应用和实施	24
引脚功能	3	7.1 应用信息	24
5 规格	5	7.2 典型应用，DRP 端口	25
5.1 绝对最大额定值	5	8 电源相关建议	30
5.2 ESD 等级	5	9 布局	31
5.3 建议运行条件	5	9.1 布局指南	31
5.4 热性能信息	6	9.2 布局	37
5.5 电气特性	6	10 器件和文档支持	38
5.6 时序要求	8	10.1 接收文档更新通知	38
6 详细说明	10	10.2 商标	38
6.1 概述	10	11 修订历史记录	38
6.2 功能方框图	12	12 机械、封装和可订购信息	39
6.3 特性说明	13		

4 引脚配置和功能

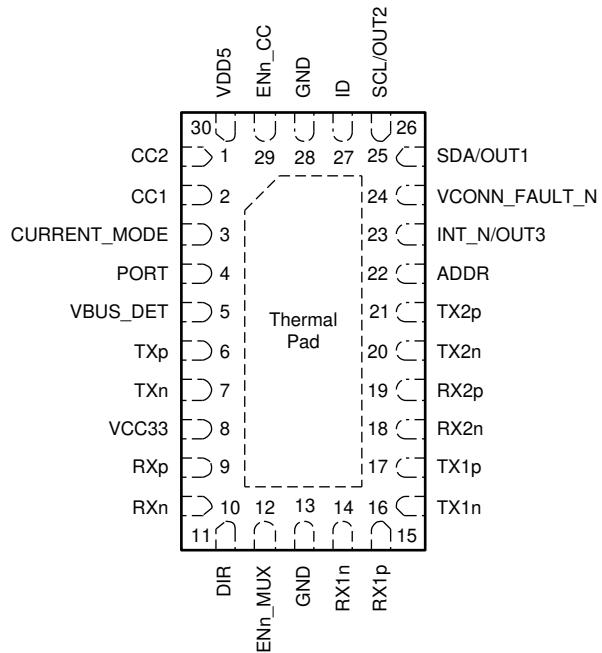


图 4-1. RNH 封装 30 引脚 (VQFN) 顶视图

引脚功能

引脚		I/O	说明
名称	编号		
CC2	1	I/O	Type-C 配置通道信号 2
CC1	2	I/O	Type-C 配置通道信号 1
CURRENT_MODE	3	I	三电平输入引脚，用以在 GPIO 模式下指示 DFP (或 DRP 下的 DFP) 模式下的电流广播。在 UFP 模式下不用考虑。提供了在没有 I ² C 的情况下广播更高电流的灵活性。该引脚具有 250K 的内部下拉电阻。 L - 低 - 默认值 - 900mA M - 中 (在 PCB 上安装 500K 至 VDD5) - 1.5A H - 高 (在 PCB 上安装 10K 至 VDD5) - 3A
端口	4	I	三电平输入引脚，用以指示端口模式。当 HD3SS3220 的 ENn_CC 置为低电平且 VDD5 处于活动状态时，对该引脚的状态进行采样。在 I ² C_SOFT_RESET 后也会对该引脚进行采样。 H - DFP (如果需要 DFP 模式，则上拉至 VDD5) NC - DRP (如果需要 DRP 模式，则保持未连接) L - UFP (如果需要 UFP 模式，则下拉或接至 GND)
VBUS_DET	5	I	5V - 28V VBUS 输入电压。VBUS 检测可确定 UFP 连接。系统 VBUS 和 VBUS_DET 引脚之间需要一个 900K 外部电阻器。
TXp	6	I/O	主机/设备 USB 超高速差分信号 TX 正极
TXn	7	I/O	主机/设备 USB 超高速差分信号 TX 负极
VCC33	8	P	3.3V 电源
RXp	9	I/O	主机/设备 USB 超高速差分信号 RX 正极
RXn	10	I/O	主机/设备 USB 超高速差分信号 RX 负极
DIR	11	O	Type-C 插头方向。开漏输出。 为了使器件正常运行，必须安装一个上拉电阻 (即 200K)。
ENn_MUX	12	I	多路复用器的低电平有效使能端： L - 正常运行， H - 关断。
GND	13、28	G	接地
RX1n	14	I/O	Type-C 端口 - USB 超高速差分信号 RX1 负极

HD3SS3220, HD3SS3220L

ZHCSFC4E - DECEMBER 2015 - REVISED JULY 2025

引脚		I/O	说明
名称	编号		
RX1p	15	I/O	Type-C 端口 - USB 超高速差分信号 RX1 正极
TX1n	16	I/O	Type-C 端口 - USB 超高速差分信号 TX1 负极
TX1p	17	I/O	Type-C 端口 - USB 超高速差分信号 TX1 正极
RX2n	18	I/O	Type-C 端口 - USB 超高速差分信号 RX2 负极
RX2p	19	I/O	Type-C 端口 - USB 超高速差分信号 RX2 正极
TX2n	20	I/O	Type-C 端口 - USB 超高速差分信号 TX2 负极
TX2p	21	I/O	Type-C 端口 - USB 超高速差分信号 TX2 正极
ADDR	22	I	三电平输入引脚，用以指示 I ² C 地址或 GPIO 模式： H (连接到 VDD5) - I ² C 启用 , I ² C 7 位地址为 0x67。 NC - GPIO 模式 (I ² C 禁用) L (连接到 GND) - I ² C 启用 , I ² C 7 位地址为 0x47。 如果需要高电平配置，ADDR 引脚应上拉至 VDD5
INT_N/OUT3	23	O	INT_N/OUT3 是双功能引脚。 当用作 INT_N 时，该引脚在 I ² C 控制模式下是开漏输出，并且是低电平有效中断信号，用于指示 I ² C 寄存器的变化。 用作 OUT3 时，该引脚用于在 GPIO 模式下进行音频附件检测： H - 未检测， L - 检测到音频附件连接。对于 HD3SS3220L，OUT3 是无连接 (NC) 引脚。
VCONN_FAULT_N	24	O	开漏输出。检测到 VCONN 过流时置位低电平。
SDA/OUT1	25	I/O	SDA/OUT1 是双功能引脚。 启用 I ² C (ADDR 引脚为高电平或低电平) 时，该引脚是 I ² C 通信数据信号。 当处于 GPIO 模式 (ADDR 引脚为 NC) 时，该引脚是开漏输出，用于在器件处于 UFP 模式时传达 Type-C 电流模式检测： H - 检测到默认 (900mA) 电流模式， L - 检测到中 (1.5A) 或高 (3A) 电流模式。
SCL/OUT2	26	I/O	SCL/OUT2 是双功能引脚。 当 I ² C 启用时 (ADDR 引脚为高电平或低电平)，该引脚是 I ² C 通信时钟信号。 当处于 GPIO 模式 (ADDR 引脚为 NC) 时，该引脚是开漏输出，用于在器件处于 UFP 模式时传达 Type-C 电流模式检测： H - 检测到默认或中等电流模式， L - 检测到高电流模式。
ID	27	O	开漏输出。当端口是供电端 (DFP) 或用作供电端 (DFP) 的双角色 (DRP) 时，如果 CC 引脚检测到器件连接，则置为低电平。
ENn_CC	29	I	CC 控制器的使能信号。使能端为低电平有效。
VDD5	30	P	5V 电源
散热焊盘	-	-	散热焊盘必须连接到 GND，请参阅散热焊盘连接技术 (PowerPAD™ 热增强封装应用手册)。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
5V 电源电压	VDD5	-0.3	6	V
3.3V 电源电压	VCC33	-0.3	4	V
控制引脚	ADDR、PORT、ID、INT_N/OUT3、ENn_CC、SDA/OUT1、SCL/OUT2	-0.3	VDD5 +0.3	V
	CC1、CC2	-0.3	6	V
	ENn_MUX、DIR	-0.3	VCC33 +0.3	V
	VBUS_DET	-0.3	4	V
超高速差分信号引脚	[RX/TX] [p/n]、[RX/TX][2/1][p/n]	-0.3	2.5	V
贮存温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施，不足 500V HBM 时也能进行生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
V _{DD5} 5V 电源电压范围	4.5 ⁽¹⁾		5.5	V
V _{CC33} 3.3V 电源电压范围	3		3.6	V
V _{DD} I ² C (SDA、SCL) 引脚的电源电压范围	1.65		3.6	V
V _{DD5(ramp)} VDD5 电源斜坡时间			25	ms
V _(diff) 高速信号引脚差分电压	0		1.8	V _{PP}
V _(cm) 高速信号引脚共模电压	0		2	V
T _A 自然通风/环境工作温度范围 (HD3SS3220)	0		70	°C
T _A 自然通风/环境工作温度范围 (HD3SS3220I)	-40		85	°C
V _(BUS) 通过 900K 电阻器的系统 V _(BUS) 输入电压	4	5	28	V
C _(BULK) VCONN 上的大容量电容。仅当 VCONN 打开时。VCONN 关闭时断开连接。应置于 VDD5 上。	10		200	μF
R _(p_ODext) 开漏 IO 上的外部上拉电阻器 (OUT1、OUT2、INT/OUT3、ID、VCONN_FAULT_N 和 DIR 引脚)			200	kΩ
R _(p_TLext) 三电平输入外部上拉电阻 (PORT 和 ADDR 引脚)			4.7	kΩ
R _(p_15A) 用以广播 1.5A 的外部上拉电阻 (CURRENT_MODE 引脚)			500	kΩ
R _(p_3A) 用以广播 3A 的外部上拉电阻 (CURRENT_MODE 引脚)			10	kΩ
R _(p_i2c_ext) I ² C 总线上的外部上拉电阻 (可能为 4.7K 或更高。列出了标称值)			2.2	kΩ

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
$R_{(VBUS)}$	VBUS_DET 引脚上的外部电阻器	880	900	910	$k\Omega$

(1) 当连接器上的 VCONN $\geq 4.75V$ 时 , VCONN 电流为 200mA 时 , 建议使用 VDD5 $\geq 5V$

5.4 热性能信息

热指标 ⁽¹⁾		HD3SS3220	单位
		RNH (VQFN)	
		30 引脚	
$R_{\theta JA}$	结至环境热阻	60.9	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	结至外壳 (顶部) 热阻	50.4	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	结至电路板热阻	22.8	$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	结至顶部特征参数	1.7	$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	结至电路板特征参数	22.6	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{bot})}$	结至外壳 (底部) 热阻	12.1	$^{\circ}\text{C}/\text{W}$

(1) 有关新旧热指标的更多信息 , 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
功耗						
$I_{(\text{ACTIVE})}$	工作模式下的电流消耗 - CC 控制器和 SS 多路复用器均开启	ENn_CC/Mux = L	0.7	0.9	mA	
I_{cc}	工作模式下的电流消耗 - CC 控制器开启 , SS 多路复用器关闭	ENn_CC = L , ENn_Mux = H	0.2		mA	
$I_{(\text{SHUTDOWN})}$	关断模式下的电流消耗	ENn_CC/Mux = H	5		μA	
CC 引脚						
$R_{(CC_DB)}$	处于电池无电模式下的下拉电阻。		4.1	5.1	$k\Omega$	
$R_{(CC_D)}$	处于 UFP 或 DRP 模式时的下拉电阻。		4.6	5.1	$k\Omega$	
$V_{(UFP_CC_USB)}$	当配置为 UFP 且 DFP 正在广播默认电流源能力时 , 用于检测 DFP 连接情况的电压电平。		0.25	0.61	V	
$V_{(UFP_CC_MED)}$	当配置为 UFP 且 DFP 正在广播中等 (1.5A) 电流源能力时 , 用于检测 DFP 连接情况的电压电平。		0.7	1.16	V	
$V_{(UFP_CC_HIGH)}$	当配置为 UFP 且 DFP 正在广播高 (3A) 电流源能力时 , 用于检测 DFP 连接情况的电压电平。		1.31	2.04	V	
$V_{(DFP_CC_USB)}$	当配置为 UFP 且正在广播默认电流源能力时 , 用于检测 UFP 连接情况的电压电平。		1.51	1.6	1.64	V
$V_{(DFP_CC_MED)}$	配置为 DFP 并宣传 1.5A 电流源能力时 , 用于检测 UFP 连接的电压电平。		1.51	1.6	1.64	V
$V_{(DFP_CC_HIGH)}$	在配置为 DFP 并宣传 3A 电流源能力时 , 用于检测 UFP 连接的电压电平。		2.46	2.6	2.74	V
$V_{(AC_CC_USB)}$	当配置为 DFP 且正在广播默认电流源能力时 , 用于检测有源电缆连接情况的电压电平。		0.15	0.2	0.25	V
$V_{(AC_CC_MED)}$	当配置为 DFP 且正在广播 1.5A 电流源能力时 , 用于检测有源电缆连接情况的电压电平。		0.35	0.4	0.45	V
$V_{(DFP_CC_HIGH)}$	当配置为 DFP 且正在广播 3A 电流源能力时 , 用于检测有源电缆连接情况的电压电平。		0.75	0.8	0.84	V
$I_{CC(\text{DEFAULT_P})}$	在 DFP 或 DRP 模式下运行时的默认模式上拉电流源。		64	80	96	μA

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$I_{CC(MED_P)}$	在 DFP 或 DRP 模式下运行时的中等 (1.5A) 模式上拉电流源。	166	180	194	μA
$I_{CC(HIGH_P)}$	在 DFP 或 DRP 模式下运行时的高 (3A) 模式上拉电流源。	34	330	356	μA
3 电平输入引脚 : PORT、ADDR、ENn_CC 和 CURRENT_MODE					
V_{IL}	低电平输入电压			0.4	V
V_M	中电平 (悬空) 电压 (PORT、ADDR 和 CURRENT_MODE 引脚)		$0.28 \times VDD5$	$0.56 \times VDD5$	V
V_{IH}	高电平输入电压		$VDD5 - 0.3$	$VDD5$	V
I_{IH}	高电平输入电流		20	20	μA
I_{IL}	低电平输入电流		-10	10	μA
$I_{ID(LKG)}$	ID 引脚上的漏电流	$VDD5 = 0V, ID = 5V$		10	μA
$R_{(pu)}$	内部上拉电阻 (PORT 和 ADDR 引脚)			588	$k\Omega$
$R_{(pd)}$	内部下拉电阻 (PORT 和 ADDR 引脚)			1.1	$M\Omega$
$R_{(pd_CURRENT)}$	内部下拉电阻 (CURRENT_MODE 引脚)			275	$k\Omega$
$R_{(ENn_CC)}$	内部上拉电阻 (ENn_CC 引脚)			1.1	$M\Omega$
输入引脚 : ENn_MUX					
V_{IL}	低电平输入电压			$0.3 \times VCC33$	V
V_{IH}	高电平输入电压		$0.7 \times VCC33$		V
I_{IH}	高电平输入电流		-1	1	μA
I_{IL}	低电平输入电流		-1	1	μA
开漏输出引脚 : OUT1、OUT2、INT_N/OUT3、ID、VCONN_FAULT_N、DIR					
V_{OL}	低电平数字输出电压	$I_{OL} = -1.6mA$		0.4	V
I2C - SDA/OUT1、SCL/OUT2 可在 1.8/3.3V ($\pm 10\%$) 电压下运行⁽¹⁾					
V_{IH}	高电平输入电压			1.05	V
V_{IL}	低电平输入电压			0.4	V
V_{OL}	低电平输出电压 (开漏)	$I_{OL} = -1.6mA$		0.4	V
VBUS_DET IO 引脚 (连接到系统 VBUS 信号)					
$V_{(BUS_THR)}$	VBUS 阈值范围		2.95	3.3	3.8
R_{VBUS}	V_{BUS} 和 V_{BUS_DET} 引脚之间的外部电阻器		855	887	920
$R_{(VBUS_DET_INT)}$	V_{BUS_DET} 引脚上的内部下拉电阻			95	$k\Omega$
VCONN					
R_{ON}	VCONN 功率 FET 的导通电阻			1.25	Ω
$V_{(TOL)}$	VCONN 功率 FET 上的电压容差			5.5	V
$V_{(pass)}$	通过 VCONN 功率 FET 的电压			5.5	V
$I_{(VCONN)}$	VCONN 电流限制。高于该值时, VCONN 将断开连接		225	300	375
多路复用器高性能参数					
I_L	差分插入损耗	$f = 0.3Mhz$	-0.43	dB	
		$f = 2.5Ghz$	-1.07		
		$f = 5Ghz$	-1.42		
BW	带宽		8	Ghz	
R_L	差分回波损耗	$f = 0.3Mhz$	-27	dB	
		$f = 2.5Ghz$	-9		
		$f = 5Ghz$	-9		
O_{IRR}	差分关断隔离	$f = 0.3Mhz$	-79	dB	
		$f = 2.5Ghz$	-23		
		$f = 5Ghz$	-20		

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
X_{TALK}	$f = 0.3\text{Mhz}$		-89		dB
	$f = 2.5\text{Ghz}$		-34		
	$f = 5\text{Ghz}$		-30		
R_{ON}	导通电阻			8	Ω

(1) 当为 I²C 使用 3.3V 时，客户必须始终确保 VDD5 高于 3V。

5.6 时序要求

		最小值	标称值	最大值	单位
I²C (SDA、SCL)					
$t_{SU:DAT}$	数据设置时间	100			ns
$t_{HD:DAT}$	数据设置时间	10			ns
$t_{SU:STA}$	SCL 到启动条件的建立时间	0.6			μs
$t_{HD, STA}$	(重复) 启动条件到 SCL 的保持时间	0.6			μs
$t_{SU:STO}$	STOP 条件的设置时间	0.6			μs
$t_{VD:DAT}$	数据有效时间		0.9		μs
$t_{VD:ACK}$	数据有效确认时间		0.9		μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs
f_{SCL}	SCL 时钟频率 ; 本地 I ² C 控制的 I ² C 模式		400		ns
t_r	SDA 和 SCL 信号的上升时间		300		ns
t_f	SDA 和 SCL 信号的下降时间		300		ns
$C_{BUS_100\text{KHz}}$	以 $\leq 100\text{KHz}$ 运行时 , 每个总线线路的总容性负载		400		pF
$C_{BUS_400\text{KHz}}$	以 400KHz 运行时 , 每个总线线路的总容性负载.		100		pF
SS MUX					
t_{PD}	开关传播延迟请参阅图 5-3		80		ps
t_{SW_ON}	DIR 至开关打开的开关时间 , 请参阅图 5-2		0.5		μs
t_{SW_OFF}	DIR 至开关关闭的开关时间 , 请参阅图 5-2		0.5		μs
t_{SK_INTRA}	差分对内输出偏斜 , 请参阅图 5-3		5		ps
t_{SK_INTER}	差分对间输出偏斜 , 请参阅图 5-3		20		ps
上电时序					
t_{ENnCC_HI}	VDD5 和 VCC33 电源均稳定后 , ENn_CC 为高电平。请参阅 图 6-3。	2			ms
t_{VDD5V_PG}	VDD5 在 VCC33 之前稳定。请参阅 图 6-2。	2			ms

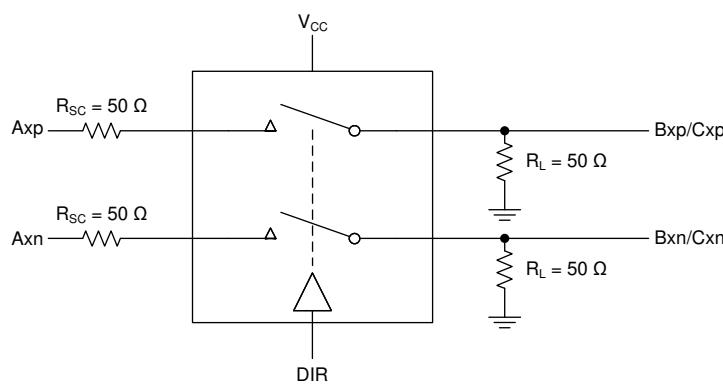


图 5-1. 测试设置

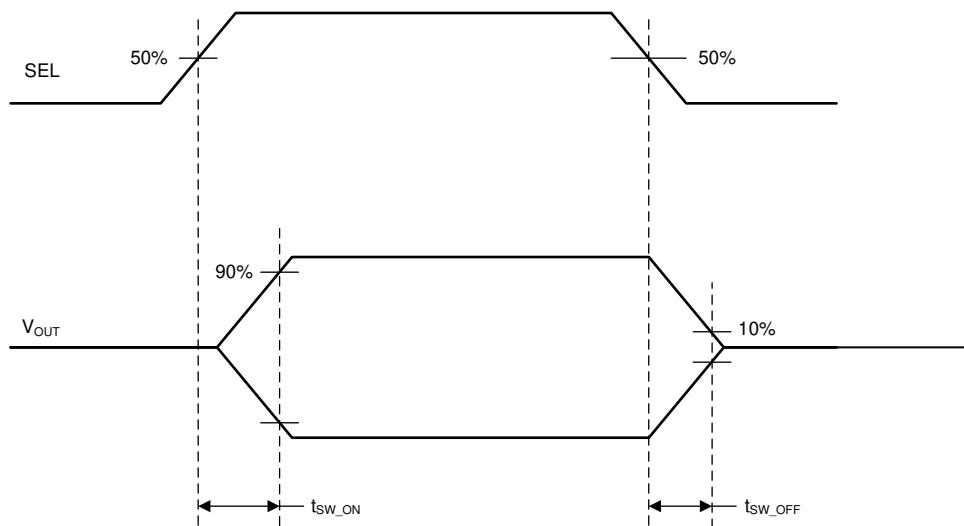


图 5-2. 开关时序图

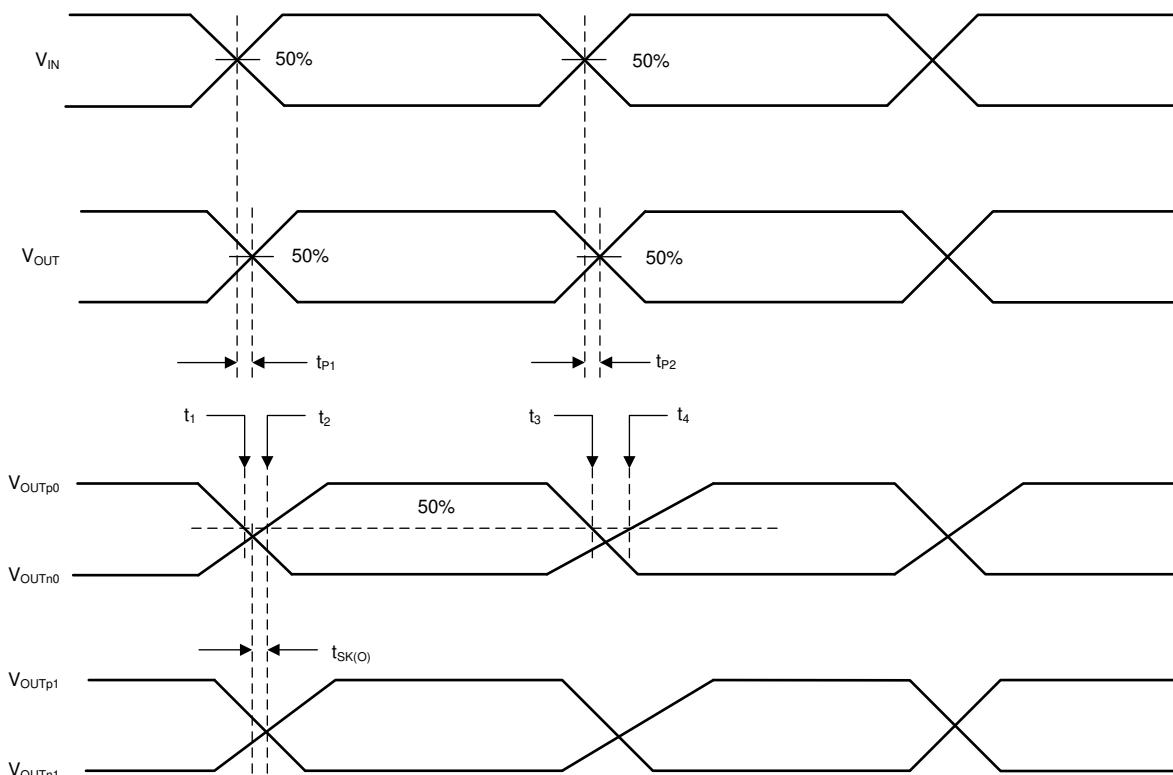


图 5-3. 时序图和测试设置

6 详细说明

6.1 概述

USB Type-C 生态系统的运行采用可翻转的小型连接器和可逆电缆。鉴于连接器的性质，需要使用一种方案来确定连接器方向。还需要使用其他方案来确定 USB 端口连接时间、USB 端口角色（DFP、UFP、DRP）并传送 Type-C 电流能力。根据 USB Type-C 规范，可以在 CC 引脚上实现这些方案。HD3SS3220 提供配置通道（CC）逻辑，用于确定 USB 端口的连接/分离、角色检测、电缆方向和 Type-C 电流模式。HD3SS3220 还包含多种特性，例如提供 VCONN 电源、音频和调试附件模式、Try.SRC 和 Try.SNK DRP 配置，因此适用于 USB 2.0 或 USB 3.1 的供电端、受电端或双角色应用。

HD3SS3220 集成了 USB 3.0/3.1 SS/SS+ 多路复用器，需要进行双通道 2:1 切换来处理电缆翻转。CC 控制器确定电缆的方向并控制多路复用器选择。该器件还将此方向信号作为 GPIO 信号 DIR 提供，在系统中用于提高灵活性和实现必要功能。

HD3SS3220L 在音频和调试附件支持方面与 HD3SS3220 有所不同。HD3SS3220 在 UFP、DF 和 DRP 配置中同时支持音频和调试附件，而 HD3SS3220L 仅在 UFP 配置中支持调试附件。

器件型号	音频附件支持	调试附件 (UFP)	调试附件 (DFP)	调试附件 (DRP)
HD3SS3220	✓	✓	✓	✓
HD3SS3220L	x	✓	x	x

6.1.1 电缆、适配器和直接连接器件

Type-C 规范定义了用于连接端口的多种电缆、插头和插座。HD3SS3220 支持所有电缆、插座和插头。HD3SS3220 器件不支持任何需要通过 CC 线路进行 USB 电力输送（PD）通信的 USB 功能，例如电子标识或交替模式。

6.1.1.1 USB Type-C 插座和插头

以下是 HD3SS3220 器件支持的 Type-C 插座和插头的列表：

- 适用于 USB2.0 和 USB3.1 以及全功能平台和器件的 USB Type-C 插座
- USB 全功能 Type-C 插头
- USB2.0 Type-C 插头

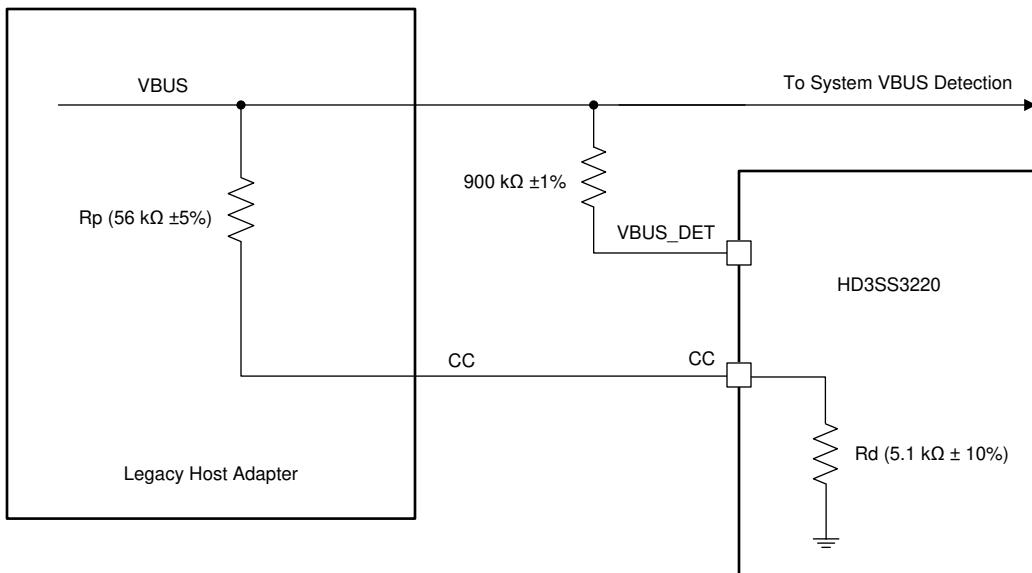
6.1.1.2 USB Type-C 电缆

以下是 HD3SS3220 器件支持的 Type-C 电缆列表：

- 具有 USB3.1 全功能插头的 USB 全功能 Type-C 电缆
- 具有 USB2.0 插头的 USB2.0 Type-C 电缆
- 具有 USB 全功能插头或 USB2.0 插头的固定电缆

6.1.1.3 传统电缆和适配器

HD3SS3220 支持 Type-C 规范定义的传统电缆适配器。电缆适配器必须与 HD3SS3220 器件的模式配置相对应。



Copyright © 2016, Texas Instruments Incorporated

图 6-1. 传统适配器实现电路

6.1.1.4 直接连接器件

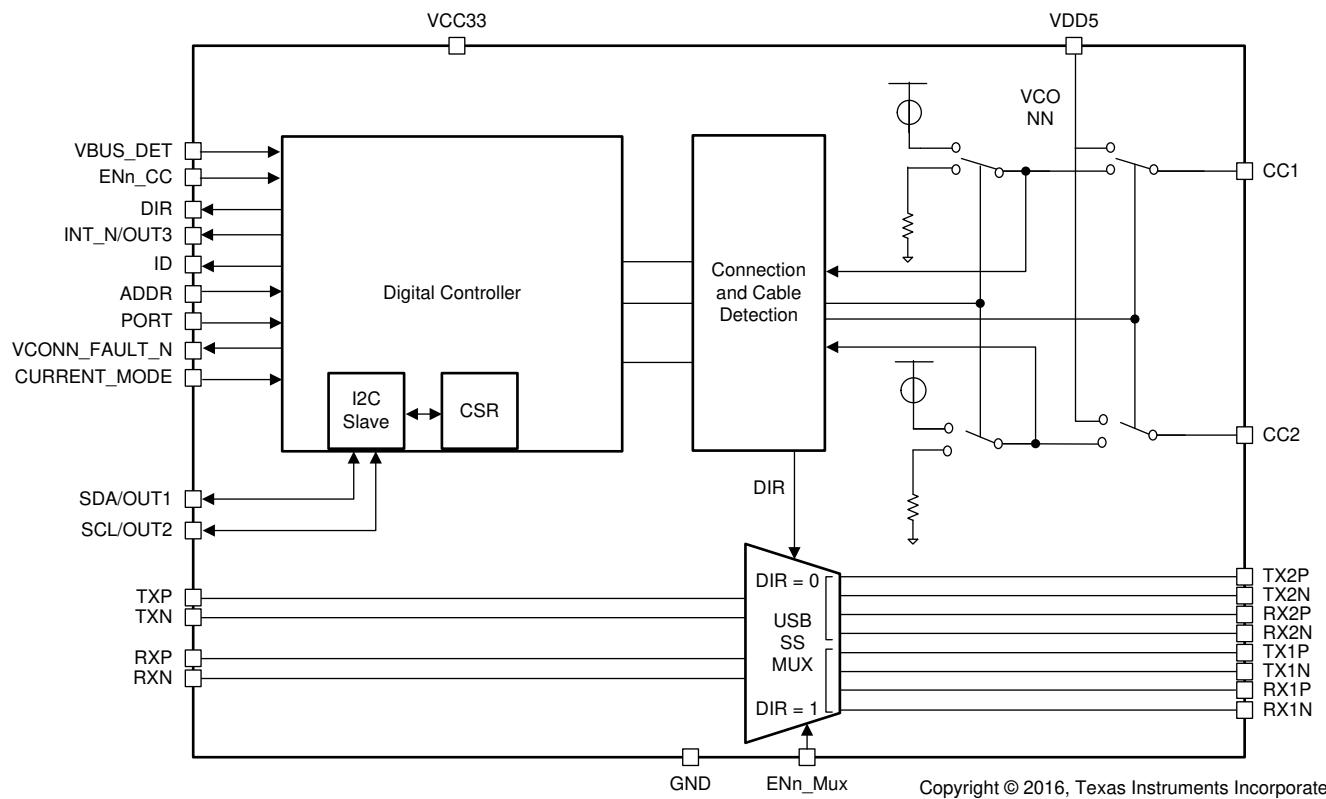
HD3SS3220 支持连接和拆卸直接连接器件（例如底座）。

6.1.1.5 音频适配器

此外，HD3SS3220 还支持用于音频附件模式的音频适配器，包括：

- 无源音频适配器
- 通过音频适配器充电

6.2 功能方框图



6.3 特性说明

HD3SS3220 可使用 3 电平 PORT 引脚配置为 DFP、UFP 或 DRP。应对 PORT 引脚进行 strap 配置，即，使用上拉电阻上拉至 VDD5 电平以实现 DFP 模式，或下拉至地以实现 UFP 模式，或在 PCB 上保持悬空以实现 DRP 模式。这种灵活性使 HD3SS3220 可用于各种应用。HD3SS3220 在复位后对 PORT 引脚进行采样并保持所需模式，直到 HD3SS3220 再次复位。它应是静态的。[表 6-1](#) 显示了每种模式下支持的功能。

表 6-1. 支持的功能

端口引脚	高	低	NC
支持的功能	仅 DFP	仅 UFP	DRP
端口连接/断开	✓	✓	✓
电缆方向	✓	✓	✓
电流广播	✓		✓ (DFP)
电流检测		✓	✓ (UFP)
音频附件 (仅限 HD3SS3220)	✓	✓	✓
调试附件模式	✓ (HD3SS3220)	✓	✓ (HD3SS3220)
有源电缆检测	✓		✓ (DFP)
Try.SRC			✓
Try.SNK			✓
I2C/GPIO	✓	✓	✓
传统电缆	✓	✓	✓
VBUS 检测		✓	✓ (UFP)
VCONN	✓		✓ (DFP)
USB 3.1 G1 和 G2 SS 多路复用器	✓	✓	✓
SS 通道的自适应共模跟踪	✓	✓	✓

6.3.1 DFP/供电端 - 下行端口

要将 HD3SS3220 配置为仅 DFP 模式，可通过电阻将 PORT 引脚拉高至 VDD5；还可在 PORT 引脚保持悬空的情况下，更改 MODE_SELECT 寄存器默认设置。在 DFP 模式下，HD3SS3220 在两条 CC 线路上始终存在 $R_{(p)}$ 。在此模式下，HD3SS3220 一开始将广播默认的 USB Type-C 电流。如果系统希望增加电流广播值，可以通过 CURRENT_MODE 引脚或 I²C 来调节 Type-C 电流。HD3SS3220 将调整 $R_{(p)}$ 电阻器以匹配所需的广播。

DFP 会监测 CC 引脚上的电压电平，以了解 UFP 端接的 $R_{(d)}$ 。当检测到 UFP 且 HD3SS3220 处于 attached.SRC 状态时，HD3SS3220 将 ID 引脚拉低，向系统指示端口连接到设备 (UFP)。此外，当检测到 UFP 时，如果还检测到 $R_{(a)}$ ，HD3SS3220 会在未连接的 CC 引脚上提供 VCONN。

以下列表介绍了通过 I²C 启用 DFP 的步骤：

1. 将 1'b1 写入 DISABLE_TERM 寄存器 (地址 0x0A 位 0)
2. 将 2'b10 写入 MODE_SELECT 寄存器 (地址 0x0A 位 5:4)
3. 将 1'b0 写入 DISABLE_TERM 寄存器 (地址 0x0A 位 0)

当配置为 DFP 时，HD3SS3220 可与较旧的 USB Type-C 1.0 设备 (USB Type-C 1.0 DRP 设备除外) 一起工作。HD3SS3220 无法与 USB Type-C 1.0 DRP 器件一起工作。此限制是由于 USB Type-C 1.1 DFP 和 USB Type-C 1.0 DRP 之间存在向后兼容性问题。

备注

在检测到 UFP 设备时，如果 VBUS 未处于 VSafe0V，HD3SS3220 将使 ID 引脚保持高电平。一旦 VBUS 处于 VSafe0V，HD3SS3220 即会将 ID 引脚置为低电平。这样做是为了强制执行 Type-C 要求，即在重新启用 VBUS 之前，VBUS 必须处于 VSafe0V。

6.3.2 UFP/受电端 - 上行端口

要将 HD3SS3220 配置为仅 UFP 模式，可通过将 PORT 引脚拉低至 GND 来实现。在 UFP 模式下，HD3SS3220 在两个 CC 引脚上均始终应用 Rd (下拉电阻)。

在 UFP 模式下，HD3SS3220 会监测 CC 引脚上的电压电平，以了解是否连接 DFP，并确定所连接 DFP 的 Type-C 电流广播。HD3SS3220 会去除 CC 引脚的抖动，等待 VBUS 检测，直到成功连接。作为 UFP 时，HD3SS3220 会通过 OUT1 和 OUT2 引脚 (处于 GPIO 模式) 或 I2C CURRENT_MODE_DETECT 寄存器 (处于 Attached.SNK 状态) 检测并向系统传输 DFP 广播的电流电平。

以下列表介绍了通过 I²C 启用 DFP 的步骤：

1. 将 1'b1 写入 DISABLE_TERM 寄存器 (地址 0x0A 位 0)
2. 将 2'b10 写入 MODE_SELECT 寄存器 (地址 0x0A 位 5:4)
3. 将 1'b0 写入 DISABLE_TERM 寄存器 (地址 0x0A 位 0)

6.3.3 DRP - 双角色端口

当 PORT 引脚在 PCB 上保持悬空时，HD3SS3220 可配置为以 DRP 运行。在 DRP 模式下，HD3SS3220 可根据 USB Type-C 规范，在 DFP (两个 CC 引脚上均为 Rp) 和 UFP (两个 CC 引脚上均为 Rd) 角色之间切换。

当显示为 DFP 时，HD3SS3220 会监测 CC 引脚上的电压电平，以了解 UFP 端接的 R_(d)。当检测到 UFP 且 HD3SS3220 处于 attached.SRC 状态时，HD3SS3220 将 ID 引脚拉低，向系统指示端口连接到受电端 (UFP)。此外，当检测到 UFP 时，如果还检测到 R(a)，HD3SS3220 会在未连接的 CC 引脚上提供 VCONN。在 DFP 模式下，HD3SS3220 一开始将广播默认的 USB Type-C 电流。如果系统希望增加电流广播值，则可以通过 I²C 来调节 Type-C 电流。HD3SS3220 会调整 R_(p) 电阻器，以匹配所需的 Type-C 电流广播。

当显示为 UFP 时，HD3SS3220 会监测与所连接 DFP 的 Type-C 电流广播对应的 CC 引脚电压电平。HD3SS3220 会去除 CC 引脚的抖动，等待 VBUS 检测，直到成功连接。作为 UFP 时，HD3SS3220 会通过 OUT1 和 OUT2 引脚 (处于 GPIO 模式) 或 I2C CURRENT_MODE_DETECT 寄存器 (处于 attached.SNK 状态) 检测并向系统传输 DFP 广播的电流电平。

HD3SS3220 支持两个称为 Try.SRC 和 Try.SNK 的可选 Type-C DRP 功能。支持双角色功能的产品在连接到另一个支持双角色功能的产品时，可能需要作为供电端 (DFP) 或受电端 (UFP)。例如，当连接到平板电脑时，支持双角色的笔记本电脑可用作供电端，而当连接到笔记本电脑或平板电脑时，手机可用作受电端。当标准 DRP 产品 (不支持 Try.SRC 或 Try.SNK 的产品) 连接在一起时，不能预先确定角色 (UFP 或 DFP)。这两个可选的 DRP 功能提供了一种方法，可以让支持双角色的产品以所需角色连接到另一个支持双角色的产品。只有当 HD3SS3220 配置为 I²C 模式时，Try.SRC 和 Try.SNK 才可用。在 GPIO 模式下运行时，HD3SS3220 将始终作为标准 DRP 运行。

HD3SS3220 器件的 Try.SRC 功能提供了一种方法，使 DRP 产品作为 DFP 连接到另一个未实现 Try.SRC 的 DRP 产品。当两个实现了 Try.SRC 的产品连接在一起时，UFP 或 DFP 的角色结果与标准 DRP 相同。可通过将 I²C 寄存器 SOURCE_PREF 更改为 2'B11 来启用 Try.SRC。一旦该寄存器更改为 2'B11，HD3SS3220 将始终尝试作为 DFP 连接到另一个支持 DRP 的器件。

6.3.4 电缆方向和多路复用器控制

HD3SS3220 通过监控 CC 引脚上的电压来检测电缆方向。当在 CC1 上检测到处于适当阈值内的电压电平时，DIR 引脚为高电平。当在 CC2 上检测到处于适当阈值内的电压电平时，DIR 被拉至低电平。DIR 引脚是开漏输出，必须安装上拉电阻。对于 HD3SS3220，电缆方向状态也由 I²C 传达。该器件还控制集成的 SS 多路复用器以切换适当的 SS 信号对 (RX1/TX1 或 RX2/TX2)。

6.3.5 Type-C 电流模式

一旦完成有效的电缆检测和连接，DFP 就可以选择广播 UFP 可以灌入的 Type-C 电流电平。HD3SS3220 的默认电流广播可使用 CURRENT_MODE 引脚或 I2C CURRENT_MODE_ADVERTISE 寄存器进行配置。当选择非默认电流时，该器件会针对指定的电流电平调整 R_(p) 电阻器。

表 6-2. GPIO 和 I²C 模式的 Type-C 电流广播

Type-C 电流	GPIO 模式 (ADDR 引脚 NC)		I ² C 模式 (ADDR 引脚 H、L)	
	UFP (PORT 引脚 L)	DFP (PORT 引脚 H)	UFP	DFP
默认值 - (USB2.0) 为 500mA (USB3.1) 为 900mA	通过 OUT1/OUT2 提供检测到的电流模式	CURRENT_MODE=L	通过 I ² C 寄存器提供检测到的电流模式	通过写入 I ² C 寄存器选择广播
中等 - 1.5A		CURRENT_MODE=M		
高 - 3A		CURRENT_MODE=H		

6.3.6 附件支持

HD3SS3220 在 UFP、DFP 和 DRP 模式下默认支持音频和调试附件。通过读取 I²C 寄存器支持音频和调试附件，也可以在 GPIO 模式下通过 INT_N/OUT3 引脚支持音频附件（当 INT_N/OUT3 处于低电平时已检测到音频附件）。

备注

如果您的应用不需要 UFP 附件支持，则可以通过设置 DISABLE_UFP_ACCESSORY 寄存器来禁用 UFP 附件支持。

6.3.7 音频附件

通过两种类型的适配器支持音频附件模式。首先，无源音频适配器可用于将 Type-C 连接器转换为音频端口。为了有效检测无源音频适配器，HD3SS3220 必须检测两个 CC 引脚上的电阻 $< R_{(a)}$ 。

其次，可以使用通过音频适配器充电。无源和通过适配器充电之间的主要区别在于，通过适配器充电支持通过 VBUS 提供 500mA 的电流。通过适配器充电包含一个插座和一个插头。插头应充当 DFP，并在发现连接到 VBUS 后为其供电。

当 HD3SS3220 配置为 GPIO 模式时，应使用 OUT3 引脚来确定是否连接了音频附件。当检测到音频附件时，OUT3 引脚被拉低。

HD3SS3220L 不支持此模式。

6.3.8 调试附件

调试是 USB Type-C 支持的附加状态。该规范未定义此状态的特定用户方案，但最终用户可以使用调试附件模式进入特定于应用的生产测试状态。在 DRP 或 UFP 模式下，HD3SS3220 不支持通过调试附件充电。当 HD3SS3220 配置为仅 DFP 或用作 DFP 的 DRP 时，HD3SS3220 会检测到一个调试附件，该调试附件在 CC1 和 CC2 引脚上存在 $R_{(d)}$ 。HD3SS3220 将 ACCESSORY_CONNECTED 寄存器设置为 3'b110 以指示 UFP 调试附件。当 HD3SS3220 配置为仅 UFP 或用作 UFP 的 DRP 时，HD3SS3220 会检测到一个调试附件，该调试附件在 CC1 和 CC2 引脚上存在 $R_{(p)}$ 。HD3SS3220 将 ACCESSORY_CONNECTED 寄存器设置为 3b'111 以指示 DFP 调试附件。

HD3SS3220L 仅在 UFP 模式下支持调试附件。

6.3.9 针对有源电缆提供 VCONN 支持

当配置为 DFP 模式或用作 DFP 的 DRP 时，HD3SS3220 为有源电缆提供 VCONN。仅当确定未连接的 CC 引脚端接至电阻 $R_{(a)}$ 并且在检测到并连接 UFP 后，才会提供 VCONN。进入 SRC 状态。VCONN 由 VDD5 通过低电阻功率 FET 提供给未连接的 CC 引脚。当检测到分离事件并拔下有源电缆时，VCONN 将被移除。

HD3SS3220 提供电流限制功能，当从器件汲取的电流高于 VCONN 允许的最大值时，该功能将断开 VCONN。当发生 VCONN 故障时，会设置 I²C 寄存器中的 VCONN 标志，HD3SS3220 停止提供 VCONN（开关关闭），直到寄存器标志被清除为止。如果 HD3SS3220 在发生故障时处于 GPIO 模式，则 VCONN 开关将关闭，并且 HD3SS3220 不会提供 VCONN，直到端口分离并重新连接。

6.3.10 I²C 和 GPIO 控制

用户可使用 ADDR 引脚将 HD3SS3220 配置为 I²C 或 GPIO。ADDR 引脚是一个 3 电平控制引脚。当 ADDR 引脚保持悬空 (NC) 时，HD3SS3220 处于 GPIO 模式。当 ADDR 引脚被拉为高电平时，HD3SS3220 处于 I²C 模式，地址位 6 等于 1。当 ADDR 引脚被拉为低电平时，HD3SS3220 处于 I²C 模式，地址位 6 等于 0。

HD3SS3220 的所有输出均为开漏配置。

OUT1 和 OUT2 引脚用于输出处于 GPIO 模式时的 Type-C 电流模式。此外，OUT3 引脚用于传达 GPIO 模式下的音频附件模式。可以在表 6-3 中找到这些输出引脚的细节。

表 6-3. OUT1 和 OUT2 的简化操作

OUT1	OUT2	广播
H	H	默认值
H	L	默认值
L	H	中
L	L	高

在 I²C 模式下运行时，HD3SS3220 使用 SCL 时钟线和 SDA 数据线以及 INT 引脚。INT 引脚向系统传达中断或 I²C 寄存器的变化。当 HD3SS3220 使用新信息更新寄存器时，INT 引脚将被拉低。INT_N 引脚为开漏。当 INT 引脚被拉低时，应设置 INTERRUPT_STATUS 寄存器。客户应向 I²C 写入以清除 INTERRUPT_STATUS 寄存器。

在 GPIO 模式下运行时，OUT3 引脚用于代替 INT 引脚，以确定是否检测到并连接了音频附件。当检测到音频附件时，OUT3 引脚被拉至低电平。

备注

当为 I²C 上拉使用 3.3V 电源时，客户必须确保 VDD5 至少为 3V。否则，I²C 可能会对器件反向供电。

6.3.11 HD3SS3220 V_(BUS) 检测

HD3SS3220 器件支持符合 Type-C 规范的 VBUS 检测。VBUS 检测用于确定 UFP 的连接和分离，以及确定附件模式的进入和退出。VBUS 检测还用于成功解析 DRP 模式下的角色。系统 VBUS 电压必须通过 900kΩ 电阻器路由至 HD3SS3220 器件上的 VBUS_DET 引脚。

6.3.12 VDD5 和 VCC33 上电要求

HD3SS3220 有两个电源：VDD5 和 VCC33。VDD5 电源为内部 CC 控制器供电，还为 CC1 或 CC2 提供 VCONN。VCC33 为 2:1 多路复用器供电。

HD3SS3220 非失效防护引脚如下：PORT、ADDR、SDA/OUT1、SCL/OUT2、INT_IN/OUT3、VCONN_FAULT_N 和 DIR。如果这些非失效防护引脚中的任何一个被上拉到 VDD5 以外的电源，那么 VDD5 电源必须在 VCC33 电源之前上电，如图 6-2 所示。如果 VDD5 在 VCC33 之前无法上电，那么在两个电源斜升时 EN_n_CC 引脚必须保持高电平，然后在两个电源稳定后被置为低电平，如图 6-3 所示。

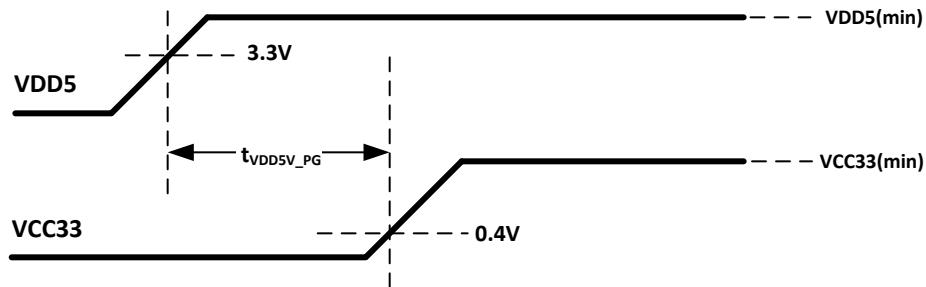


图 6-2. ENn_CC 始终为低电平时的加电时序

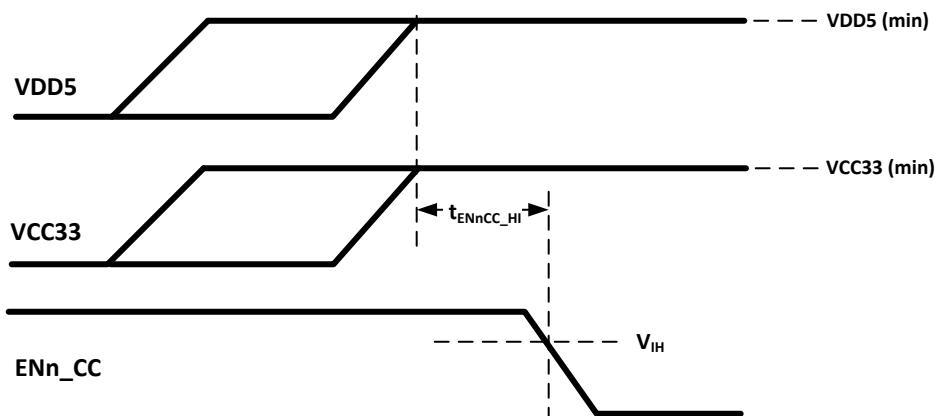


图 6-3. ENn_CC 受控时的加电时序

6.4 器件功能模式

HD3SS3220 具有四种功能模式。表 6-4 列出了这些模式：

表 6-4. HD3SS3220 功能模式对应的 USB Type-C 状态

模式	一般行为	模式	状态 ⁽¹⁾
未连接	USB 端口未连接。ID、PORT 正常工作。I ² C 开启。	仅 UFP	Unattached.SNK
			AttachWait.SNK
		DFP	切换 Unattached.SNK → Unattached.SRC
			AttachedWait.SRC 或 AttachedWait.SNK
		仅 DFP	Unattached.SRC
			AttachWait.SRC
有效	USB 端口已连接。所有 GPIO 均正常工作。I ² C 开启。	仅 UFP	Attached.SNK
			音频附件
			调试附件
		DRP	Attached.SNK
			Attached.SRC
			音频附件
			调试附件
		仅 DFP	Attached.SRC
			音频附件
			调试附件
电池无电	无操作。VDD5 不可用。	DRP	器件默认状态为 UFP/SNK，带有 R _(d) 。

表 6-4. HD3SS3220 功能模式对应的 USB Type-C 状态 (续)

模式	一般行为	模式	状态 ⁽¹⁾
关断	无操作。VDD5 可用且 ENn_CC 引脚为高电平	DRP	器件默认状态为 UFP/SNK，带有 R _(d) 。

(1) (1) 必需；不按顺序排列

6.4.1 未连接模式

未连接模式是 HD3SS3220 的主要工作模式，因为一个 USB 端口可被断开很长时间。在未连接模式下，VDD5 可用，所有 IO 和 I²C 均可运行。VCONN 被禁用。

HD3SS3220 上电后，器件进入未连接模式，直到确定连接成功。最初，HD3SS3220 在上电后的状态是 unattached.SNK。HD3SS3220 会检查 PORT 引脚并根据模式配置运行。这意味着，如果将 HD3SS3220 配置为 DRP，则会在 UFP 和 DFP 之间切换

6.4.2 工作模式

工作模式由连接的端口定义。在工作模式下，所有 GPIO 均正常运行，I²C 为读取/写入 (R/W)。在工作模式下，HD3SS3220 器件与连接了 USB 端口的 AP 进行通信。如果 HD3SS3220 配置为 DFP 或作为供电端连接的 DRP，则通过 ID 引脚进行此通信。如果 HD3SS3220 配置为 UFP 或作为受电端连接的 DRP，则使用 OUT1/OUT2 和 INT_N/OUT3 引脚。在下列条件下，HD3SS3220 器件会退出工作模式：

- 拔掉电缆
- 如果作为 UFP 连接，则移除 VBUS
- 电池电量耗尽；系统电池或电源被移除
- EN_N 悬空或拉高

6.4.3 电池无电

在电池无电模式期间，VDD5 不可用。在电池无电模式下，CC 引脚始终默认下拉电阻。电池无电模式意味着：

- HD3SS3220 在 UFP 下具有 $5.1\text{k}\Omega \pm 20\%$ R_(d)；电缆已连接并提供电荷。
- HD3SS3220 在 UFP 下具有 $5.1\text{k}\Omega \pm 20\%$ R_(d)；未连接（应用程序可能已关闭或电池电量耗尽）

6.4.4 关断模式

HD3SS3220 的关断模式定义如下：

- 电源电压可用且 EN_N 引脚为高电平或悬空。
- EN_N 引脚具有内部上拉电阻器
- HD3SS3220 器件处于关闭状态，但仍会保留 CC 引脚上的 R_(d)。

6.5 编程

为了实现进一步的可编程性，可使用 I²C 来控制 HD3SS3220。HD3SS3220 本地 I²C 接口可在器件上电时的 x 个时钟周期后进行读取/写入。SCL 和 SDA 端子分别用于 I²C 时钟和 I²C 数据。如果 I²C 是首选的控制方法，则必须相应地设置 ADDR 引脚。

表 6-5. HD3SS3220 I²C 目标地址

ADDR 引脚	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (W/R)
H	1	1	0	0	1	1	1	0/1
L	1	0	0	0	1	1	1	0/1

写入 HD3SS3220 I²C 寄存器时应遵循以下过程：

1. 控制器通过生成启动条件 (S) 以及 HD3SS3220 7 位地址和一个用以指示写入周期的零值 R/W 位来启动写入操作。
2. HD3SS3220 器件确认地址周期。
3. 控制器提供要写入的子地址 (HD3SS3220 器件中的 I²C 寄存器)，其中包含一个字节的数据，MSB 在前。
4. HD3SS3220 器件确认子地址周期。
5. 控制器提供要写入 I²C 寄存器的数据的第一个字节。
6. HD3SS3220 器件确认字节传输。
7. 控制器可以继续提供要写入的额外字节的数据，每个字节传输都在 HD3SS3220 器件发出确认后完成。
8. 控制器通过生成停止条件 (P) 来终止写入操作。

读取 HD3SS3220 I²C 寄存器时应遵循以下过程：

1. 控制器通过生成启动条件 (S) 以及 HD3SS3220 7 地址和一个用以指示读取周期的 R/W 位 (值为 1) 来启动读取操作。
2. HD3SS3220 器件确认地址周期。
3. HD3SS3220 器件从寄存器 00h 或上次读取的子地址的后一个地址开始传输存储器寄存器的内容，MSB 在前。如果写入 I²C 寄存器发生在读取之前，则 HD3SS3220 器件从写入中指定的子地址开始。
4. 在每次字节传输后，HD3SS3220 器件等待控制器发出确认 (ACK) 或不确认 (NACK)；I²C 控制器确认接收到传输的每个数据字节。
5. 如果接收到 ACK，HD3SS3220 器件将传输下一个字节的数据。
6. 控制器通过生成停止条件 (P) 来终止读取操作。

为 I²C 读取设置起始子地址时应遵循以下过程：

1. 控制器通过生成启动条件 (S) 以及 HD3SS3220 7 位地址和一个用以指示读取周期的零值 R/W 位来启动读取操作。
2. HD3SS3220 器件确认地址周期。
3. 控制器提供要读取的子地址 (HD3SS3220 器件中的 I²C 寄存器)，其中包含一个字节的数据，MSB 在前。
4. HD3SS3220 器件确认子地址周期。
5. 控制器通过生成停止条件 (P) 来终止读取操作。

备注

如果读取过程不包含子寻址，则读取操作从寄存器偏移 00h 开始并逐字节继续，直到 I²C 控制器终止读取操作为止。如果 I²C 地址写入发生在读取之前，则读取操作从地址写入指定的子地址开始。

6.6 寄存器映射

表 6-6. CSR 寄存器

偏移量	复位	寄存器名称	章节
0x07 到 0x00	[0x00, 0x54, 0x55, 0x53, 0x42, 0x33, 0x32, 0x32]	器件标识	器件标识寄存器
0x08	0x00	连接状态	连接状态寄存器
0x09	0x20	连接状态和控制	连接状态和控制寄存器
0x0A	0x00	常规控制	通用控制寄存器
0xA0	0x02	器件修订版本	器件修订版本寄存器

6.6.1 器件标识寄存器 (偏移 = 0x07 至 0x00) [复位 = 0x00、0x54、0x55、0x53、0x42、0x33、0x32、0x32]

图 6-4. 器件标识寄存器

7	6	5	4	3	2	1	0
DEVICE_ID							
R							

说明 : R/W = 读/写 ; R = 只读 ; -n = 复位后的值

表 6-7. 器件标识寄存器字段说明

位	字段	类型	复位	说明
7:0	DEVICE_ID	R	0x00	对于 HD3SS3220 器件 , 这些字段会返回一串 ASCII 字符 , 从而返回 HD3SS3220 地址 : 0x07 - 0x00 = {0x00, 0x54, 0x55, 0x53, 0x42, 0x33, 0x32, 0x32}

6.6.2 连接状态寄存器 (偏移 = 0x08) [复位 = 0x00]

图 6-5. 连接状态寄存器

7	6	5	4	3	2	1	0
CURRENT_MODE_ADVERTISE	CURRENT_MODE_DETECT			ACCESSORY_CONNECTED	ACTIVE_CABLE_DETECTION		
R/W	R/U			R/U	R/U		

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值 , R/U = 读取/更新

表 6-8. 连接状态寄存器字段说明

位	字段	类型	复位	说明
7:6	CURRENT_MODE_ADVERTISE	R/W	2' b00	应用程序对这些位进行编程，以将电流广播从默认值提高至更高值。 00 - 启动时的默认 (500mA/900mA) 初始值 01 - 中间值 (1.5A) 10 - 高 (3A) 11 - 保留
5:4	CURRENT_MODE_DETECT	R/U	2' b00	当 UFP 确定 Type-C 电流模式时，将设置这些位。 00 - 默认值 (启动时的值) 01 - 中等 10 - 通过附件充电 - 500mA 11 - 高
3:1	ACCESSORY_CONNECTED	R/U	3' b000	应用程序读取这些位以确定是否连接了附件。 000 - 未连接附件 (默认) 001 - 保留 010 - 保留 011 - 保留 100 - 音频附件 101 - 通过音频附件充电 110 - 当 HD3SS3220 作为 DFP 连接时的调试附件 111 - 当 HD3SS3220 作为 UFP 连接时的调试附件
0	ACTIVE_CABLE_DETECTION	R/U	1' b0	此标志表示有源电缆已插入 Type-C 连接器 0 - 无有源电缆 1 - 连接有源电缆

6.6.3 连接状态和控制寄存器 (偏移 = 0x09) [复位 = 0x20]

图 6-6. 连接状态和控制寄存器

7	6	5	4	3	2	1	0
ATTACHED_STATE	CABLE_DIR	INTERRUPT_STATUS	VCONN_FAULT	DRP_DUTY_CYCLE		DISABLE_UFP_ACCESSORY	
R/U	R/U	R/U	R/U	读/写		R/W	

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值 , R/U = 读取/更新

表 6-9. 连接状态寄存器字段说明

位	字段	类型	复位	说明
7:6	ATTACHED_STATE	R/U	2' b00	这是除 ID 引脚外的另一种用于传达连接状态的方法。应用程序可以读取这些位来确定所连接的内容。 00 - 未连接 (默认) 01 - Attached.SRC (DFP) 10 - Attached.SNK (UFP) 11 - 已连接到附件
5	CABLE_DIR	R/U	1' b0	电缆方向。应用程序可以读取这些位以获取电缆方向信息。 0 - CC2 1 - CC1 (默认值)
4	INTERRUPT_STATUS	R/U	1' b0	每当 CSR 发生变化时, INT 引脚将被拉低。当 CSR 发生更改时, 该位应保持为 1, 直到应用程序清除该位为止。 0 - 清除 1 - 中断 (当 INT 拉低时, 该位必须为 1。每当 CSR 发生更改时, 该位将为 1)
3	VCONN_FAULT	R/U	1' b0	每当触发 VCONN 过流限制时, 都会设置该位。 0 - 清除 1 - 检测到 VCONN 故障
2:1	DRP_DUTY_CYCLE	R/W	2' b00	DRP 在 t_{DRP} 期间广播 DFP 的时间百分比 00 - 30% 默认值 01 - 40% 10 - 50% 11 - 60%
0	DISABLE_UFP_ACCESSORY	R/W	1' b0	设置此字段将禁用 UFP 附件支持 0 - 启用 UFP 附件支持 (默认) 1 - 禁用 UFP 附件支持

6.6.4 通用控制寄存器 (偏移 = 0x0A) [复位 = 0x00]

图 6-7. 通用控制寄存器

7	6	5	4	3	2	1	0
DEBOUNCE		MODE_SELECT		I2C_SOFT_RESET		SOURCE_PREF	DISABLE_TERM
R/W		R/W		R/U		R/W	R/W

说明 : R/W = 读取/写入 ; R = 只读 ; -n = 复位后的值

表 6-10. 通用控制寄存器字段说明

位	字段	类型	复位	说明
7:6	DEBOUNCE	R/W	2' b00	HD3SS3220 的标称时间量会对 CC 引脚上的电压进行去抖。 00 - 168ms (默认值) 01 - 118ms 10 - 134ms 11 - 152ms
5:4	MODE_SELECT	R/W	2' b00	可以写入该寄存器来设置 HD3SS3220 模式运行。ADDR 引脚必须设置为 I ² C 模式。如果保持默认值，HD3SS3220 应根据 PORT 引脚电平和模式运行。仅当处于未连接状态时，才能更改 MODE_SELECT。 00 - DRP 模式 (从 unattached.SNK 开始) (默认值) 01 - UFP 模式 (unattached.SNK) 10 - 模式 (unattached.SRC) 11 - DRP 模式 (从 unattached.SNK 开始)
3	I2C_SOFT_RESET	R/U	1' b0	该寄存器会复位数字逻辑。该位自行清除。写入 1 会开始复位。 设置此位后，以下寄存器可能会受到影响： CURRENT_MODE_DETECT ACTIVE_CABLE_DETECTION ACCESSORY_CONNECTED ATTACHED_STATE CABLE_DIR
2:1	SOURCE_PREF	R/W	2' b00	该字段用于控制 TUSB322I 在配置为 DRP 时的行为。 00 - 设置此位后，以下寄存器可能会受到影响： 01 - DRP 执行 Try.SNK 10 - 保留 11 - DRP 执行 Try.SRC
0	DISABLE_TERM	R/W	1' b0	该字段会禁用 CC 引脚上的端接，并将 CC 状态机转换为禁用状态。 0 - 根据 TUSB322I 工作模式启用端接 (默认) 1 - 禁用端接并使状态机保持禁用状态

6.6.5 器件修订版本寄存器 (偏移 = 0xA0) [复位 = 0x02]

图 6-8. 器件修订版本寄存器

7	6	5	4	3	2	1	0
修订版本							
R							

说明 : R/W = 读/写 ; R = 只读 ; -n = 复位后的值

表 6-11. 器件修订版本寄存器字段说明

位	字段	类型	复位	说明
7:0	修订版本	R	'h02	HD3SS3220 的修订版本。默认为 0x02

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

HD3SS3220 可用于为需要 USB 超高速或超高速+ 的应用设计实现 DRP、DFP 和 UFP 端口的 USB Type-C 系统。该器件支持本机 USB-C 电源握手、可实现高达 15W 的功率协商。**HD3SS3220** 可作为 DFP (供电端) 广播 900mA、1.5A 和 3A 电流能力，并作为 UFP (受电端) 检测这些设置。

可选择使用 I²C (强烈建议使用)，它提供了对器件和 USB-C 接口状态的额外控制，从而实现稳健而灵活的系统实现。无需经常轮询 I²C，器件会提供中断信号来维护微处理器。

HD3SS3220 多路复用器通道具有独立的自适应共模跟踪功能，允许 RX 和 TX 路径具有不同的共模电压，从而简化系统实现并避免互操作问题。

需要根据插座类型调整 USB-C 连接器的 SS 信号布局。

备注

HD3SS3220 多路复用器不会为通道提供共模偏置。因此，要求器件从所有活动通道的任一侧偏置。另请注意，多路复用器通道仅用于差分 SS 信号。

如果需要大于 15W 的电源支持，则需要 USBPD 功能，但该器件不支持此功能。如果需要分离数据/电源角色，例如将 USB 主机与耗电器件分离，或将 USB 设备与供电器件分离，则还需要 USBPD 功能。

7.2 典型应用，DRP 端口

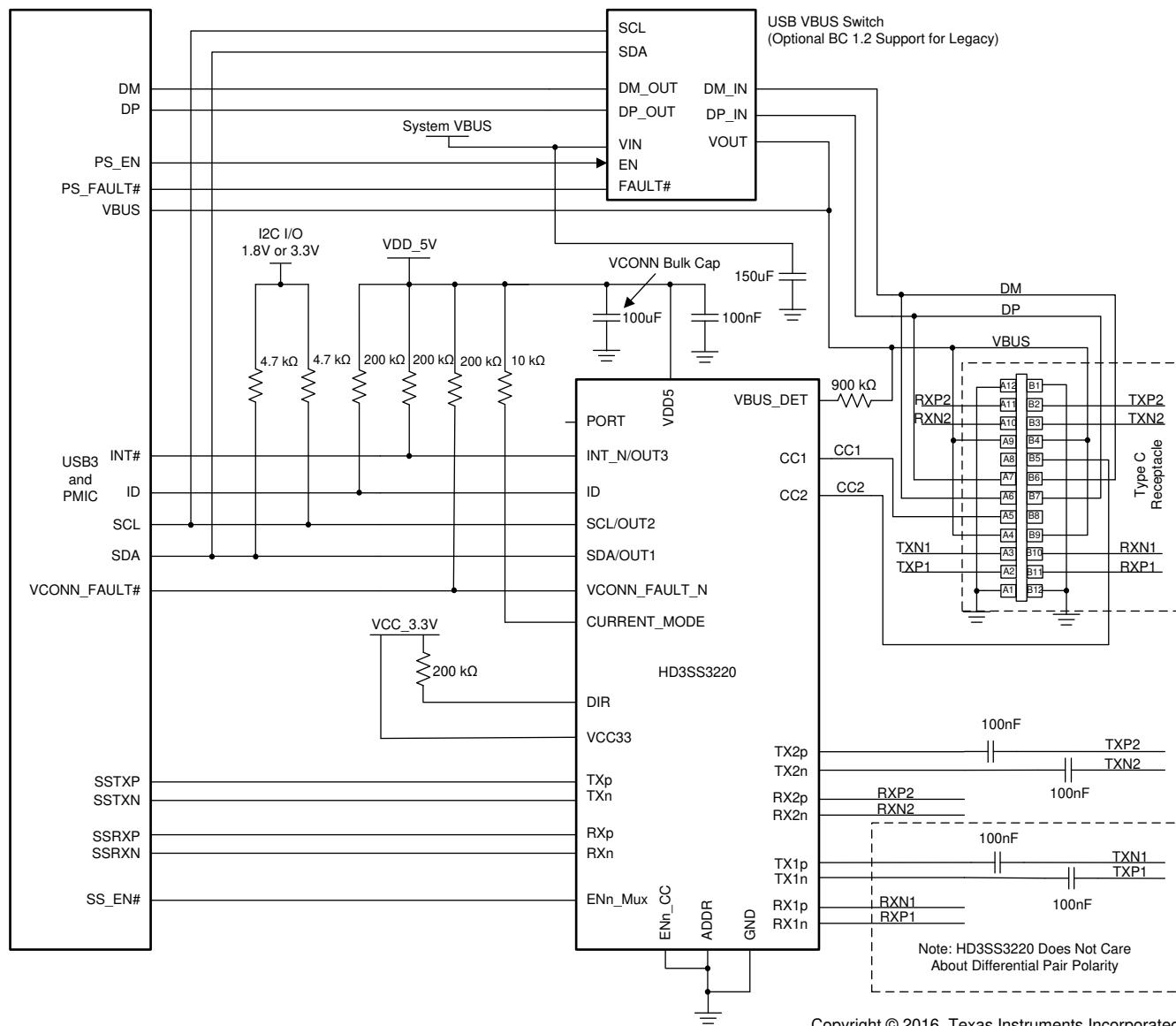


图 7-1. 使用 HD3SS3220DRP 的 DRP 应用

7.2.1 设计要求

对于这个设计示例，请使用表 7-1 中显示的参数。

表 7-1. 设计参数，DRP 端口

参数	示例	注释
VDD5	5.25V	VDD5 用于为 CC 引脚提供 VCONN 电源。该电源的值应 $\geq 5V$ ，以使 VCONN $\geq 4.75V$ 。
System_VBUS	5.25V	VDD5 和 System_VBUS 可以短接在一起；但是需要仔细考虑以使 Type-C 端口保持所需的 VBUS 和 VCONN。
I ² C I/O 电源	3.3V	1.8V 也是一个选项。 使用 3.3V 电源时，客户必须确保 VDD5 至少为 3V。否则，I ² C 可能会对器件反向供电
VCC33	3.3V	允许 3V-3.6V 范围。
用于 SS 信号的交流耦合电容器	100nF	允许 75-200nF 范围。 仅适用于 TX 对，RX 对将由主机接收器偏置。请注意，HD3SS3220 需要 0-2V 的共模偏置电压。如果主机接收器的偏置电压超出此范围，则需要适当的额外交流耦合电容器和 HD3SS3220 RX 对的偏置电压。
上拉电阻器：DIR、ID、INT_N、VCONN_FAULT_N	200K	可以使用较小的值，但在计算器件功率预算时需要考虑漏电流。
上拉电阻器：I ² C	4.7K	
上拉电阻器：CURRENT_MODE	10K	此处的示例针对 3A。如果需要 1.5A 或 900mA，则需要不同的值。
串联电阻器：VBUS_DET	900K	
去耦电容器：VCONN 大容量	100 μ F	
去耦电容器：VBUS 大容量	150 μ F	如原理图所示，在 UFP 模式下需要关闭。

7.2.2 详细设计过程

HD3SS3220 可用于设计 USB Type-C DRP 端口。在 DRP 模式下，根据 USB-C 规范，该器件可自行在 DFP 和 UFP 之间交替。图 7-1 中显示了 DRP 实现的示例原理图。

7.2.3 典型应用 , DFP 端口

HD3SS3220 可用于设计 USB Type-C DFP 端口。图 7-2 中显示了 DFP 实现的示例原理图。

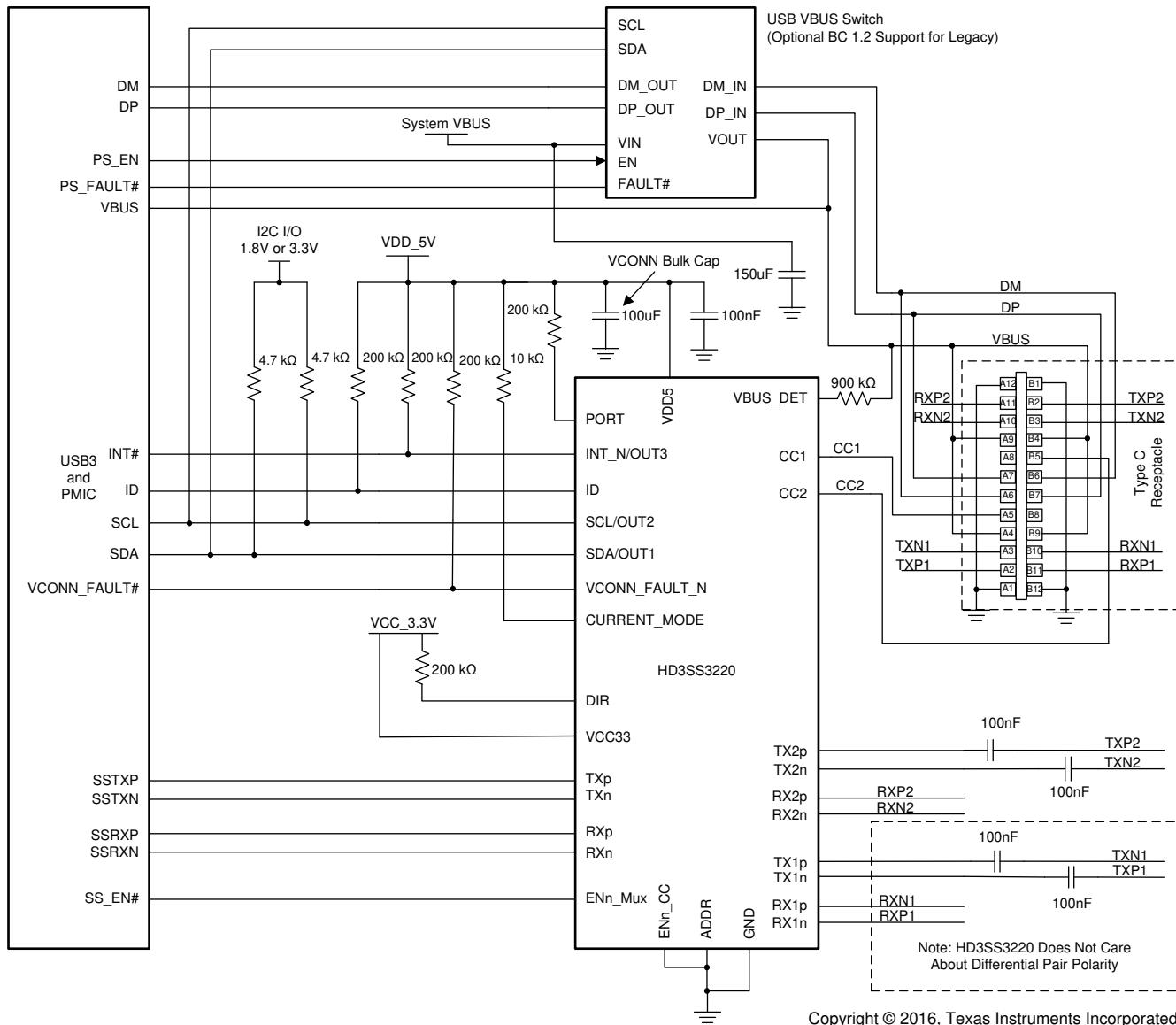


图 7-2. 使用 HD3SS3220DFP 的 DFP 应用

7.2.3.1 设计要求

对于这个设计示例，请使用表 7-2 中显示的参数。

表 7-2. 设计参数，DFP 端口

参数	示例	注释
VDD5	5.25V	VDD5 用于为 CC 引脚提供 VCONN 电源。该电源的值应 $\geq 5V$ ，以使 VCONN $\geq 4.75V$ 。
System_VBUS	5.25V	VDD5 和 System_VBUS 可以短接在一起；但是需要仔细考虑以使 Type-C 端口保持所需的 VBUS 和 VCONN。
I ² C I/O 电源	3.3V	1.8V 也是一个选项。 使用 3.3V 电源时，客户必须确保 VDD5 至少为 3V。否则，I ² C 可能会对器件反向供电
VCC33	3.3V	允许 3V-3.6V 范围。
用于 SS 信号的交流耦合电容器	100nF	允许 75-200nF 范围。 仅适用于 TX 对，RX 对将由主机接收器偏置。请注意，HD3SS3220 需要 0-2V 的共模偏置电压。如果主机接收器的偏置电压超出此范围，则需要适当的额外交流耦合电容器和 HD3SS3220 RX 对的偏置电压。
上拉电阻器：DIR、ID、INT_N、VCONN_FAULT_N	200K	可以使用较小的值，但在计算器件功率预算时需要考虑漏电流。
上拉电阻器：I ² C	4.7K	
上拉电阻器：CURRENT_MODE	10K	此处的示例针对 3A。如果需要 1.5A 或 900mA，则需要不同的值。
去耦电容器：VCONN 大容量	100 μ F	
去耦电容器：VBUS 大容量	150 μ F	

7.2.3.2 详细设计过程

HD3SS3220 可用于设计 USB Type-C DFP 端口。图 7-2 中显示了 DFP 实现的示例原理图。

7.2.4 典型应用 , UFP 端口

HD3SS3220 可用于设计 USB Type-C UFP 端口。图 7-3 中显示了 UFP 实现的示例原理图。

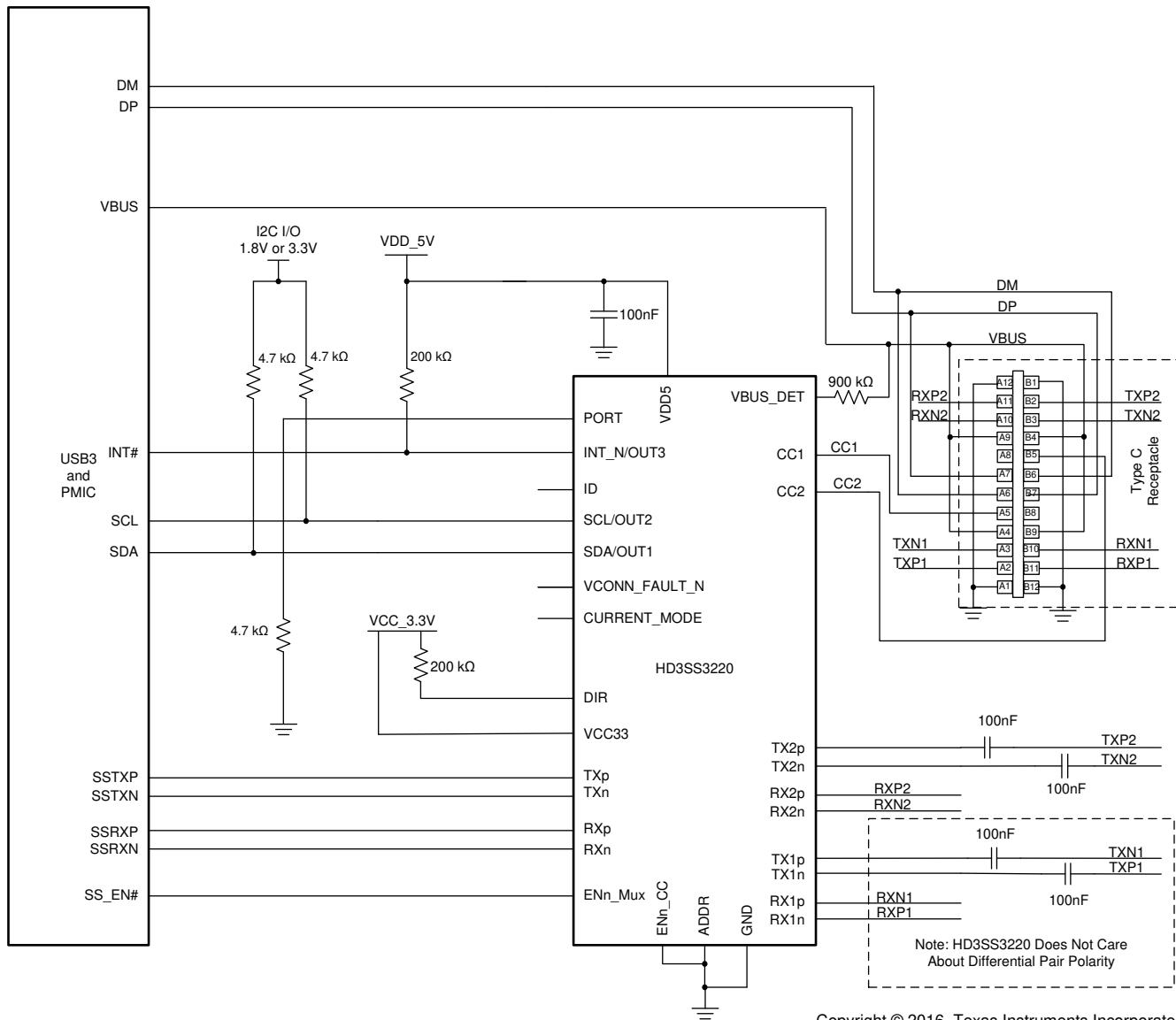


图 7-3. 使用 HD3SS3220DFF 的 UFP 应用

7.2.4.1 设计要求

对于这个设计示例，请使用表 7-3 中显示的参数。

表 7-3. 设计参数，UFP 端口

参数	示例	注释
VDD5	5V	可使用来自 Type-C 端口的 VBUS。
I ² C I/O 电源	3.3V	1.8V 也是一个选项。 使用 3.3V 电源时，客户必须确保 VDD5 至少为 3V。否则，I ² C 可能会对器件反向供电。
VCC33	3.3V	允许 3V-3.6V 范围。
用于 SS 信号的交流耦合电容器	100nF	允许 75-200nF 范围。 仅适用于 TX 对，RX 对将由主机接收器偏置。请注意，HD3SS3220 需要 0-2V 的共模偏置电压。如果主机接收器的偏置电压超出此范围，则需要适当的额外交流耦合电容器和 HD3SS3220 RX 对的偏置电压。
上拉电阻器：DIR、INT_N	200K	可以使用较小的值，但在计算器件功率预算时需要考虑漏电流。
上拉电阻器：I ² C	4.7K	
串联电阻器：VBUS_DET	900K	

7.2.4.2 详细设计过程

HD3SS3220 可用于设计 USB Type-C DFP 端口。图 7-3 中显示了 UFP 实现的示例原理图。

8 电源相关建议

HD3SS3220 具有 4.5V 至 5.5V 电源电压要求。该器件可由为 V_(BUS) 供电的同一电源轨供电。

9 布局

9.1 布局指南

9.1.1 建议的 PCB 堆叠

TI 建议 PCB 至少要堆叠六层。表 9-1 提供了 PCB 堆叠的示例。

表 9-1. PCB 堆叠示例

6 层	8 层	10 层
信号	信号	信号
接地	接地	接地
信号(1)	信号	信号(1)
信号(1)	信号	信号(1)
电源/接地(2)	电源/接地(2)	电源
信号	信号	电源/接地(2)
	接地	信号(1)
	信号	信号(1)
		接地
		信号

(1) 以 90° 相互偏移的方式对相邻的信号层直接布线

(2) 可能需要根据特定的电路板注意事项对平面进行分割。请确保相邻平面上的布线不会穿过分割点。

9.1.2 高速信号布线长度匹配

匹配每个接口相关差分对布线的蚀刻长度。差分对组的蚀刻长度不需要匹配（即发送对的长度不需要与接收对的长度相匹配）。匹配高速信号的差分对内长度时，添加蛇形布线以使长度尽可能匹配失配端。有关更多详细信息，请参阅图 9-1。

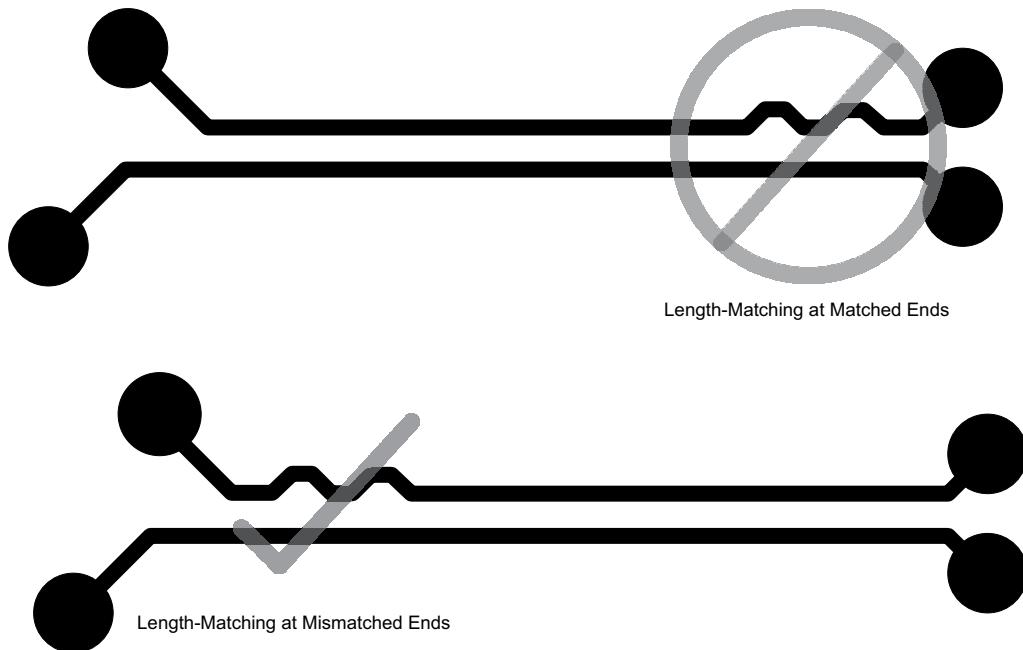


图 9-1. 长度匹配

9.1.3 差分信号间距

为了尽量减少高速接口实现中的串扰，信号对之间的间距必须至少是布线宽度的 5 倍。此间距称为 **5W** 规则。对于计算出的布线宽度为 6mil 的 PCB 设计，高速差分对之间至少需要 30mil 的间距。此外，在整个布线长度上要与任何其他信号保持最低 30mil 的禁止距离。如果高速差分对与时钟或周期信号相邻，则要将此禁止距离增大到至少 50mil，确保适当隔离。有关高速差分对信号间距的示例，请参阅图 9-2 和图 9-3。

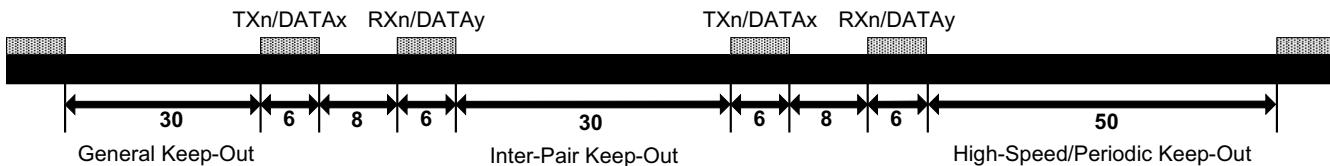


图 9-2. USB3/SATA/PCIe 差分信号间距 (mil)

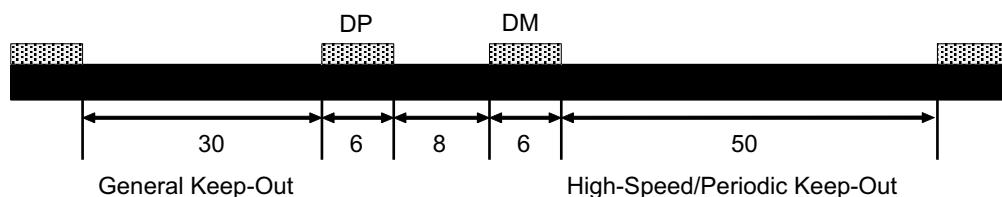


图 9-3. USB2 差分信号间距 (mil)

9.1.4 高速差分信号规则

- 请勿在任何高速差分信号上放置探头或测试点。
- 请勿在晶体、振荡器、时钟信号发生器、开关电源稳压器、安装孔、磁性器件或使用/复制时钟信号的 IC 下方或附近布置高速布线。
- BGA 破孔后，使高速差分信号远离 SoC，其原因为内部状态变换时产生的高电流瞬变难以滤除。
- 如有可能，在 PCB 的顶层或底层（与接地层相邻）布置高速差分对信号。TI 不建议对高速差分信号进行带状线布线。
- 确保将高速差分信号布置在距离参考平面边缘 $\geq 90\text{mil}$ 的位置。
- 确保将高速差分信号布置在距离参考平面中的空洞至少 $1.5W$ （计算出的布线宽度 $\times 1.5$ ）的位置。当高速差分信号上的 SMD 焊盘有空洞时，此规则不适用。
- 在 SoC BGA 迂回布线之后维持一致的布线宽度，以避免传输线路中存在阻抗失配现象。
- 最大限度地减小差分对之间的间距。

9.1.5 差分对的对称性

将所有高速差分对对称布置并使其互相平行。在封装迂回布线和布线至连接器引脚时，会自然而然地偏离这一要求。这些偏差必须尽可能短，并且封装破孔必须在封装的 0.25 英寸范围内进行。

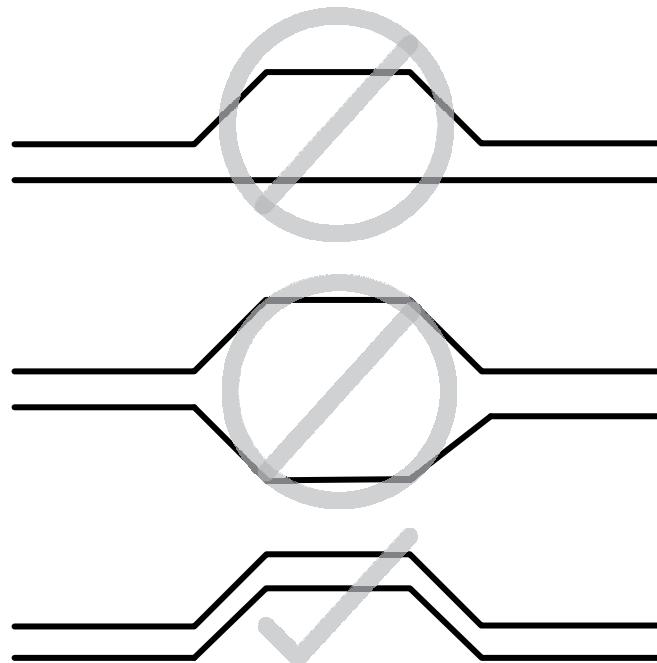


图 9-4. 差分对对称

9.1.6 过孔不连续性缓解

过孔将一小段几何形状变化呈现在布线中，并可表现为电容和/或电感的不连续性。由于信号会穿过过孔，这些不连续性会引起信号反射和一定的衰减。应缩短总体过孔残桩长度，更大限度地减少过孔（及相关的过孔残桩）产生的负面影响。

由于较长的过孔残桩会在较低频率下共振，并会增加插入损耗，所以应使这些残桩尽可能短。大部分情况下，与过孔对信号的影响相比，过孔残桩使信号衰减得更厉害。TI 建议过孔残桩短于 15mil。残桩较长时，必须进行背钻。有关短过孔和长过孔长度的示例，请参阅图 9-5 和图 9-6。

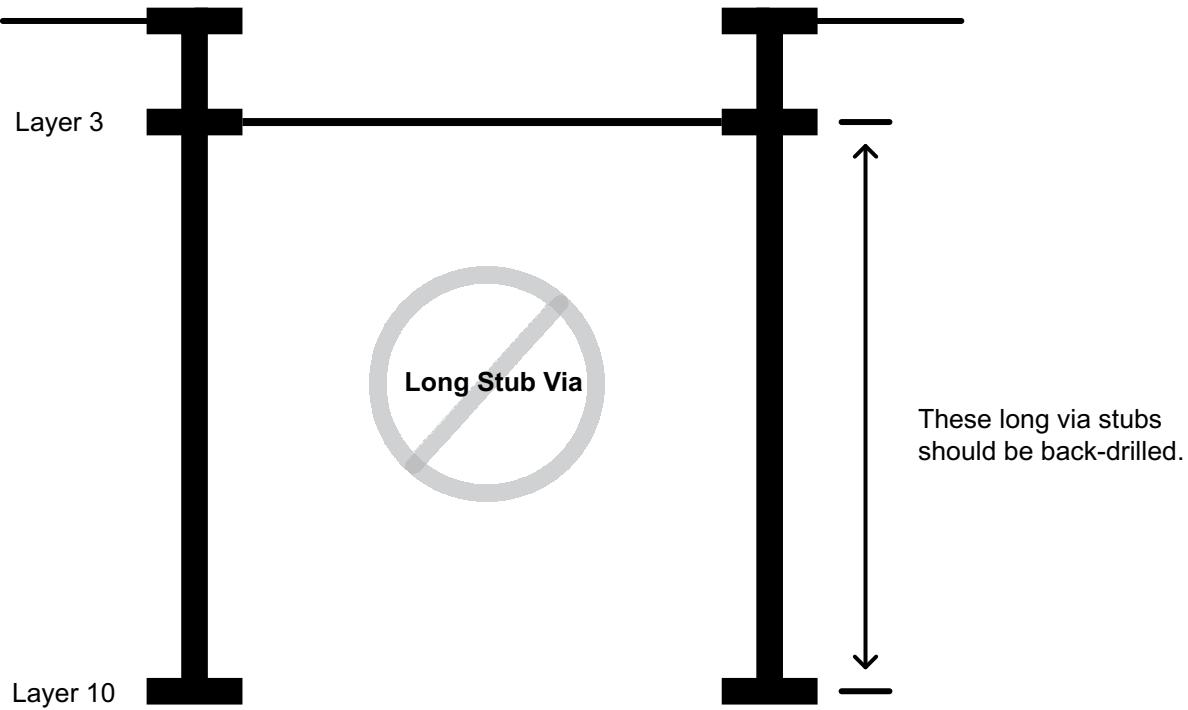


图 9-5. 过孔长度 (长残桩)

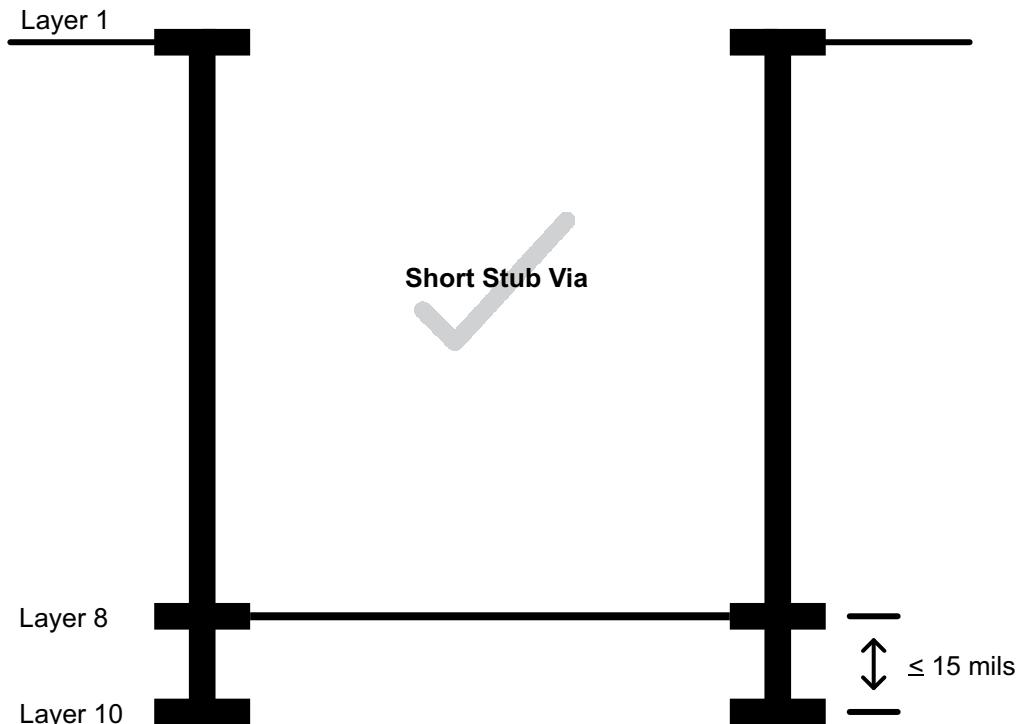


图 9-6. 过孔长度 (短残桩)

9.1.7 表面贴装器件焊盘不连续性缓解

避免在高速信号布线中采用表面贴装器件 (SMD)，其原因在于这些器件会导致中断，从而对信号质量产生负面影响。当信号布线上需要 SMD (例如，USB 超高速传输交流耦合电容器) 时，允许的元件尺寸上限为 0603。TI 强烈建议使用 0402 或更小的尺寸。在布局过程中对称地放置这些元件，以确保获得最优信号质量并最大限度地减少信号反射。有关交流耦合电容器正确和错误放置的示例，请参阅图 9-7。

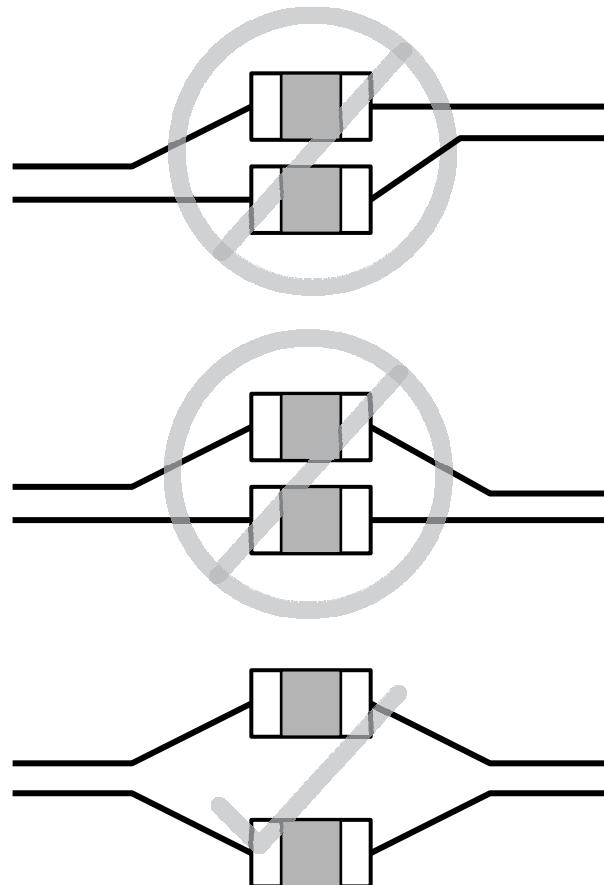


图 9-7. 交流耦合放置

为了尽可能减少这些元件在差分信号布线上的放置所产生的不连续性，TI 建议将参考平面的 SMD 安装焊盘的空洞增加大约 60%，因为该值在 0% 基准空洞的电容效应与 100% 基准空洞的电感效应之间实现了平衡。此空洞应当至少为两个 PCB 层那么深。有关表面贴装器件参考平面空洞的示例，请参阅图 9-8。

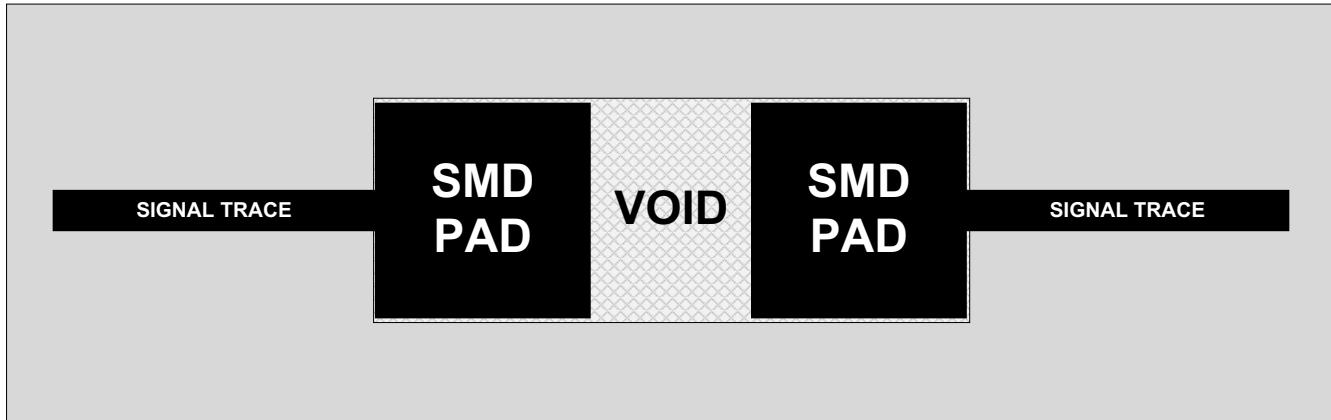


图 9-8. 表面贴装器件的参考平面空洞

9.1.8 ESD/EMI 注意事项

在选择 ESD/EMI 元件时，TI 建议选择允许 USB 差分信号对直通布线的器件，因为其能够提供最干净的布线。例如，TI TPD4EUSB30 可以与 TI TPD2EUSB30 结合使用，为 USB2 和 USB3 差分信号提供直通 ESD 保护，而无需在信号对中弯曲。有关直通布线的示例，请参阅图 9-9。

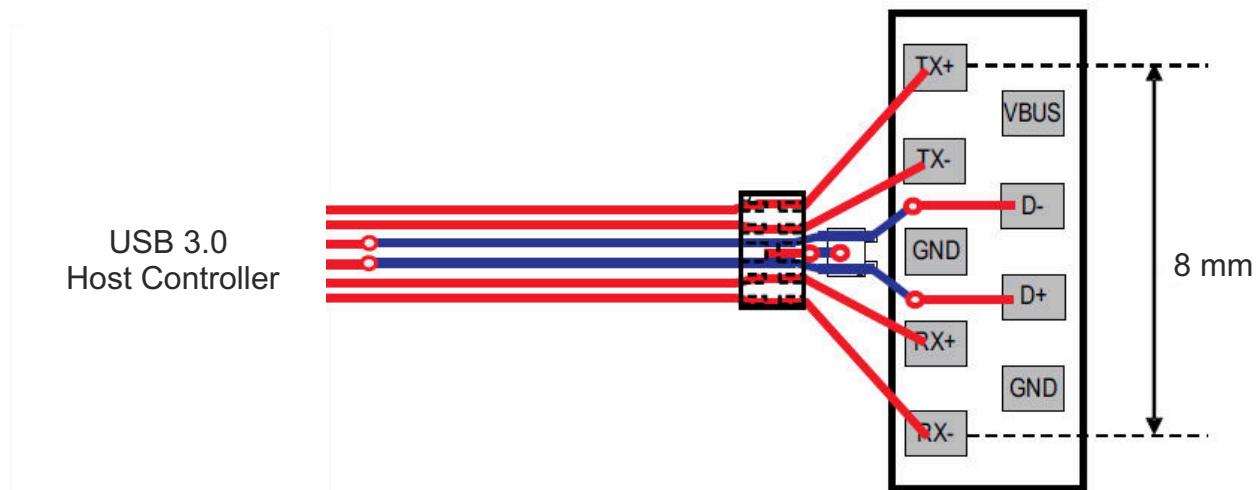


图 9-9. 直通布线

9.2 布局

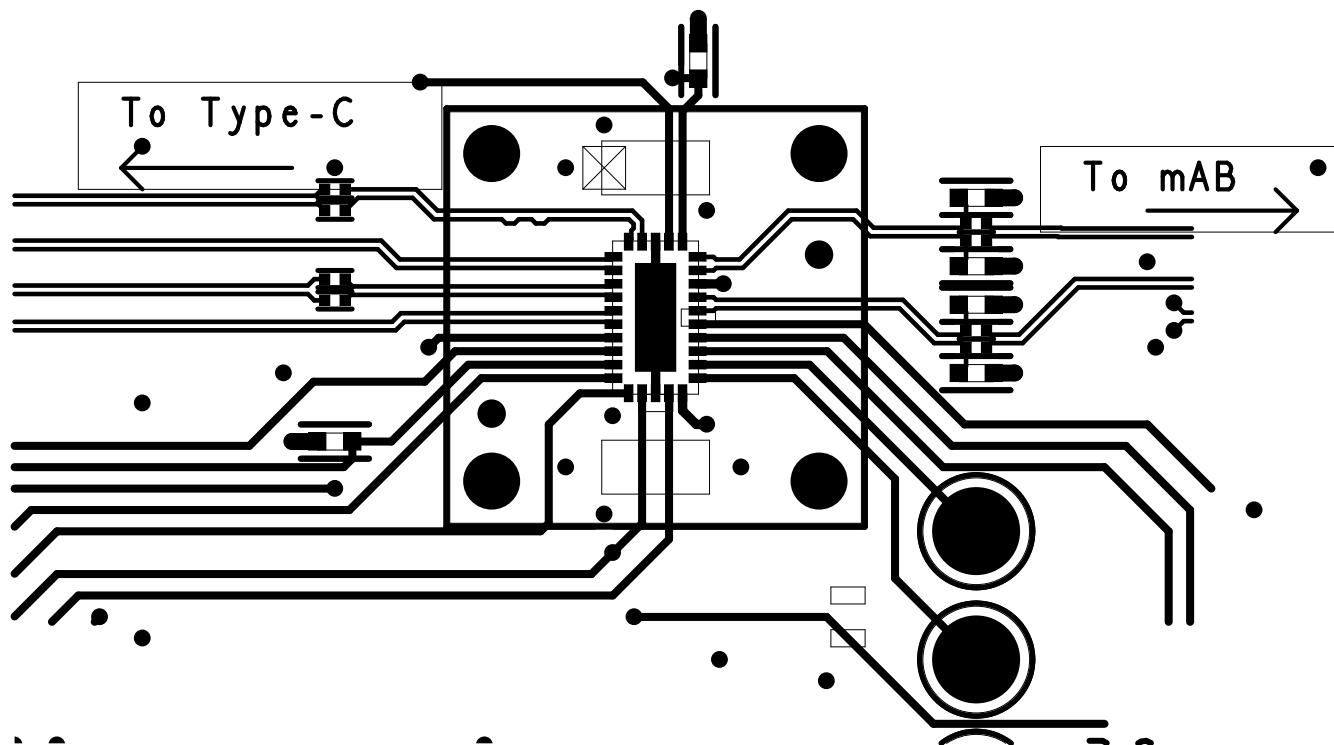


图 9-10. 布局示例

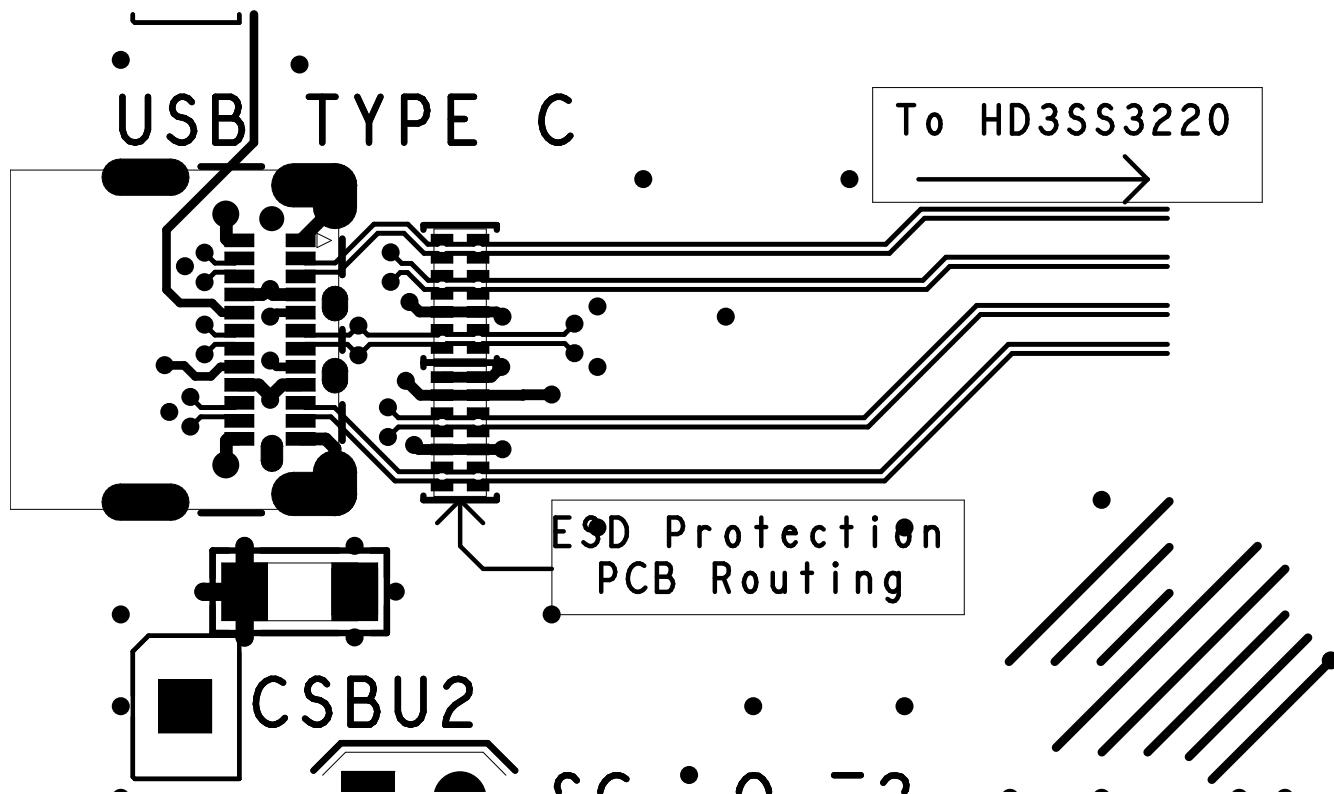


图 9-11. 布局示例 2

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的“提醒我”进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 商标

所有商标均为其各自所有者的财产。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (September 2020) to Revision E (July 2025)	Page
• 通篇添加了额外的 HD3SS3220L 器件.....	1

Changes from Revision C (May 2017) to Revision D (September 2020)	Page
• 将 VDD 更改为 VDD5。.....	3
• 在绝对最大额定值的“控制引脚”行中，DIR 同时位于 VDD5 和 VCC33 中。从 VDD5 中删除了 DIR.....	5
• 删除了建议运行条件表中的 $C_{(bus,I2c)}$	5
• 从当为 I ² C 使用 3.3V 时，客户必须始终确保 VDD 高于 3V。更改为：当为 I ² C 使用 3.3V 时，客户必须始终确保 VDD5 高于 3V。.....	6
• 更改了时序要求表的“I ² C (SDA、SCL)”部分.....	8
• 在时序要求表部分添加了 t_{ENnCC_HI} 参数.....	8
• 在时序要求表部分添加了 t_{VDD5V_PG} 参数.....	8
• 在 DFP/供电端 - 下行端口部分中添加了注释，即 ID 引脚将保持高电平，直到 VBUS 达到 VSafe0V.....	13
• 将当在 CC1 上检测到处于适当阈值内的电压电平时，DIR 引脚被拉至低电平。修改为当在 CC1 上检测到处于适当阈值内的电压电平时，DIR 引脚为高电平。.....	14
• 将当在 CC2 上检测到处于适当阈值内的电压电平时，DIR 引脚为高电平。修改为当在 CC2 上检测到处于适当阈值内的电压电平时，DIR 引脚被拉至低电平。.....	14
• 从 HD3SS3220 在 UFP、DFP 和 DRP 模式下支持音频和调试附件。更改为：HD3SS3220 在 UFP、DFP 和 DRP 模式下默认支持音频和调试附件.....	15
• 添加了可通过设置 DISABLE_UFP_ACCESSORY 寄存器来禁用 UFP 附件支持的注释.....	15
• 添加了有关 VDD5 和 VCC33 上电要求的部分.....	16
• 删除了电池无电部分中关于非失效防护引脚的注释，因为此信息位于 VDD5 和 VCC33 上电要求部分.....	18

Changes from Revision B (September 2016) to Revision C (May 2017)	Page
• 添加了 R_{VBUS} 值：MIN = 855 , TYP = 887 , MAX = 920K Ω	6

Changes from Revision A (August 2016) to Revision B (September 2016)	Page
• 将引脚 CC1 和 CC2 值从“MIN = -0.3 MAX = VDD5 +0.3”更改为“MIN -0.3 MAX = 6”（在绝对最大额定值中）.....	5

Changes from Revision * (December 2016) to Revision A (August 2016)	Page
• 绝对最大额定值，从控制引脚中删除了“ENn_MUX”	5

• ESD 等级，删除了注释 1 中的文本“列为 $\pm XXX\text{ V}$ 的引脚实际上可能具有更高的性能。”	5
• 建议运行条件，添加了“VDD5 电源斜坡时间”	5
• 建议运行条件，将“VBUS_DET 引脚上的外部电阻器”最小值从 $890\text{K}\Omega$ 更改为 $880\text{K}\Omega$	5
• 在图 7-1 中切换 CC1 和 CC2 的位置	25
• 在图 7-2 中切换 CC1 和 CC2 的位置	27
• 在图 7-3 中切换 CC1 和 CC2 的位置	29

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
HD3SS3220IRNHR	Active	Production	WQFN (RNH) 30	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	HD3220
HD3SS3220IRNHR.A	Active	Production	WQFN (RNH) 30	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	HD3220
HD3SS3220IRNHT	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220
HD3SS3220IRNHT.A	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220
HD3SS3220IRNHTG4	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220
HD3SS3220IRNHTG4.A	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220
HD3SS3220LRNHR	Active	Production	WQFN (RNH) 30	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD322L
HD3SS3220RNHR	Active	Production	WQFN (RNH) 30	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	HD3220
HD3SS3220RNHR.A	Active	Production	WQFN (RNH) 30	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	HD3220
HD3SS3220RNHT	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	HD3220
HD3SS3220RNHT.A	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	HD3220
HD3SS3220RNHTG4	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220
HD3SS3220RNHTG4.A	Active	Production	WQFN (RNH) 30	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HD3220

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

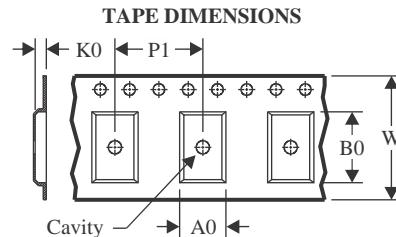
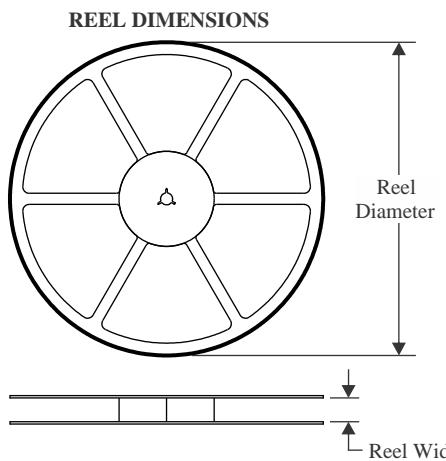
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

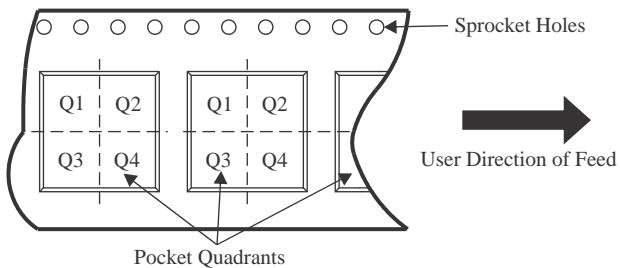
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

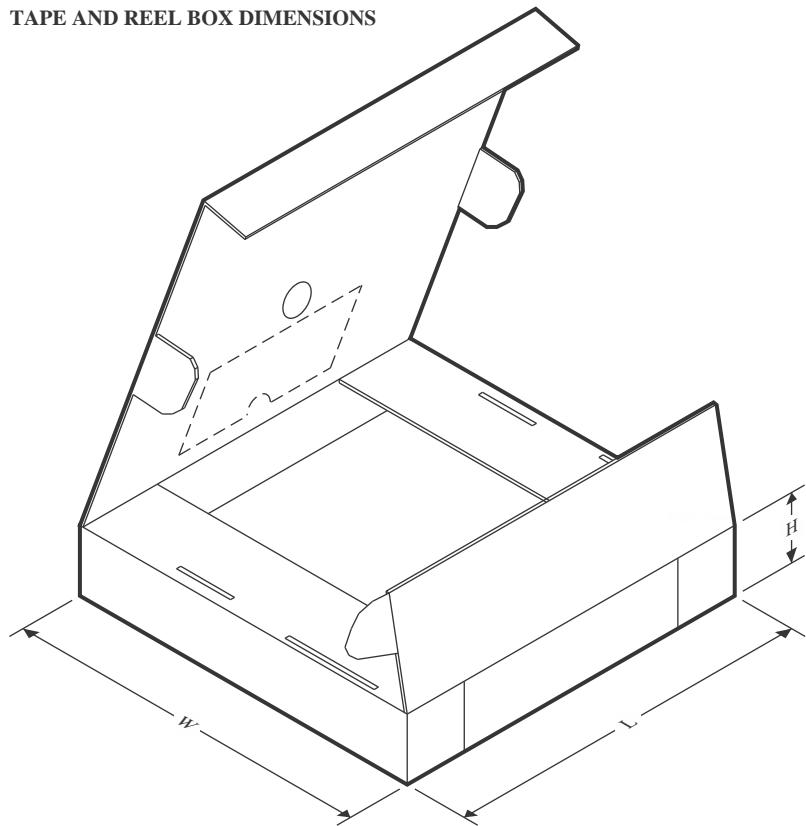
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
HD3SS3220IRNHR	WQFN	RNH	30	3000	330.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220IRNHR	WQFN	RNH	30	3000	330.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220IRNHT	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220IRNHT	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220IRNHTG4	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220LRNHR	WQFN	RNH	30	3000	330.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220RNHR	WQFN	RNH	30	3000	330.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220RNHR	WQFN	RNH	30	3000	330.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220RNHT	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220RNHT	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
HD3SS3220RNHTG4	WQFN	RNH	30	250	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
HD3SS3220IRNHR	WQFN	RNH	30	3000	346.0	346.0	33.0
HD3SS3220IRNHR	WQFN	RNH	30	3000	367.0	367.0	35.0
HD3SS3220IRNHT	WQFN	RNH	30	250	210.0	185.0	35.0
HD3SS3220IRNHT	WQFN	RNH	30	250	182.0	182.0	20.0
HD3SS3220IRNHTG4	WQFN	RNH	30	250	182.0	182.0	20.0
HD3SS3220LRNHR	WQFN	RNH	30	3000	346.0	346.0	33.0
HD3SS3220RNHR	WQFN	RNH	30	3000	346.0	346.0	33.0
HD3SS3220RNHR	WQFN	RNH	30	3000	360.0	360.0	36.0
HD3SS3220RNHT	WQFN	RNH	30	250	182.0	182.0	20.0
HD3SS3220RNHT	WQFN	RNH	30	250	210.0	185.0	35.0
HD3SS3220RNHTG4	WQFN	RNH	30	250	182.0	182.0	20.0

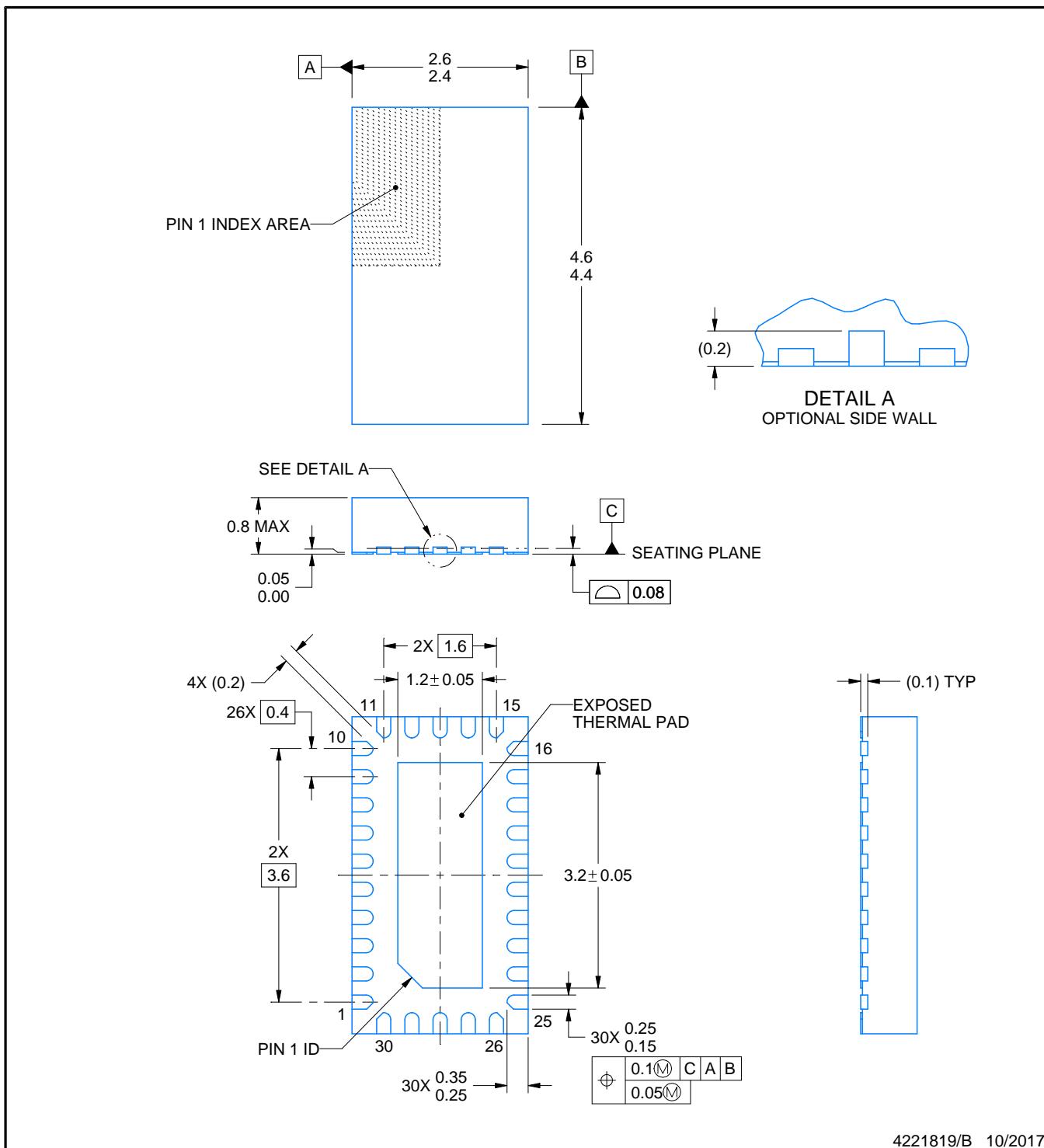
PACKAGE OUTLINE

RNH0030A



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4221819/B 10/2017

NOTES:

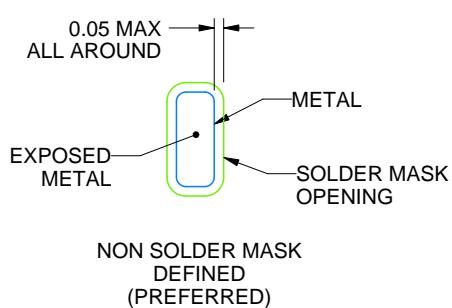
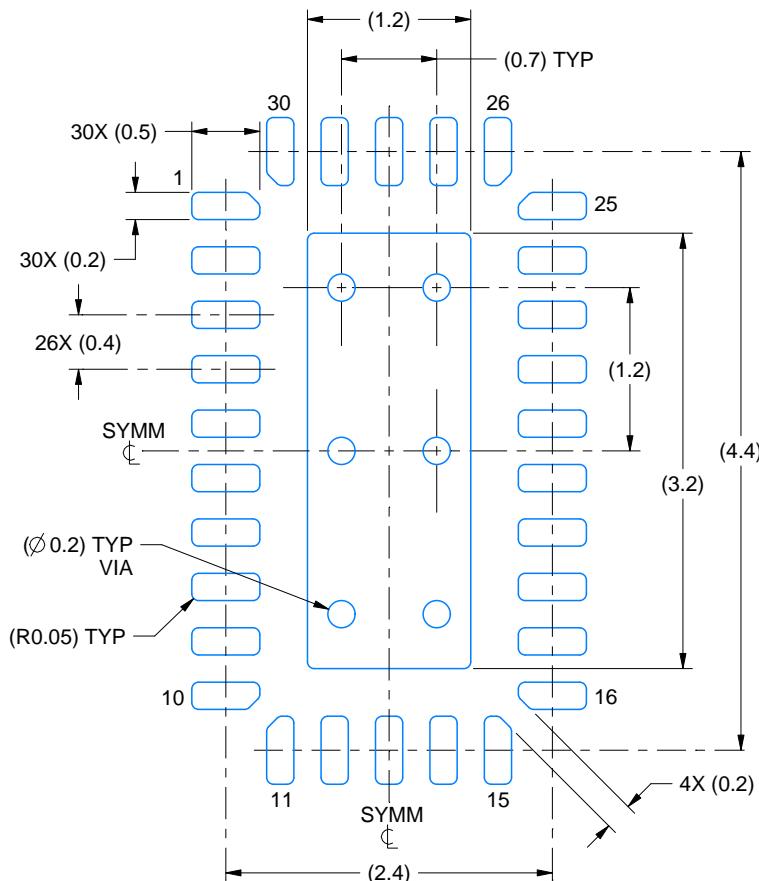
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

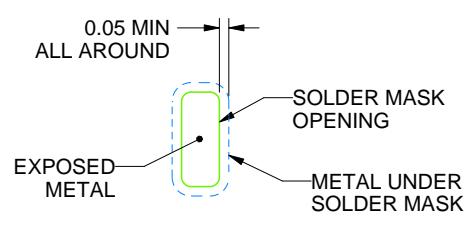
RNH0030A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NON SOLDER MASK DEFINED
(PREFERRED)



SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221819/B 10/2017

NOTES: (continued)

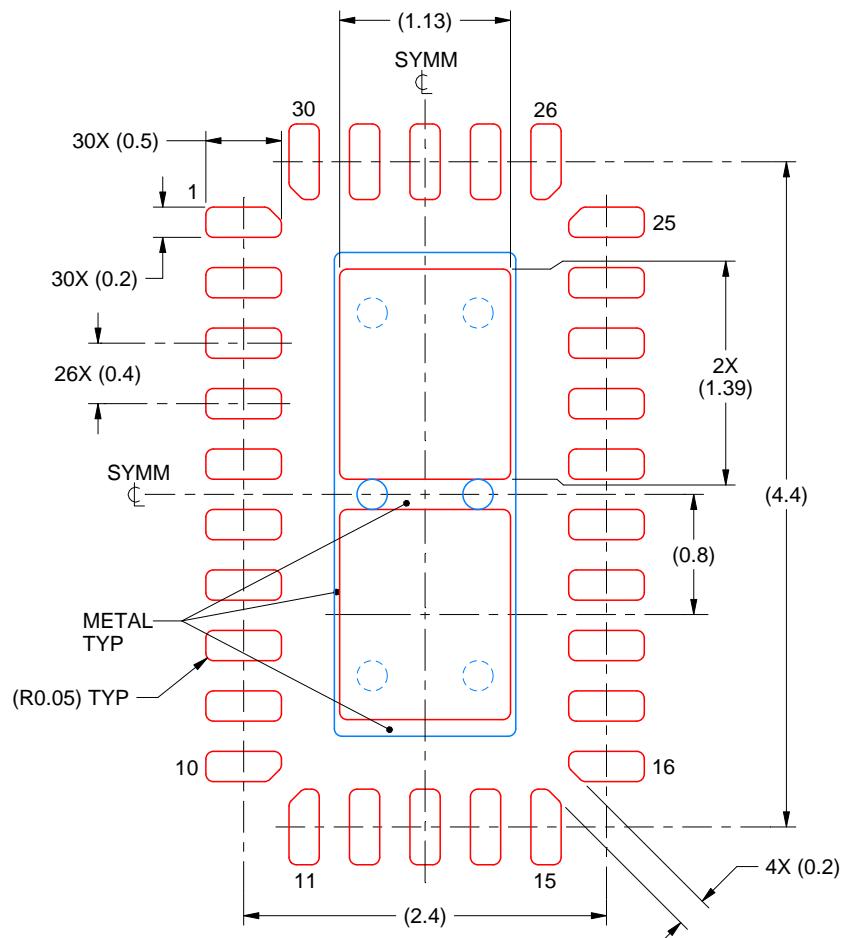
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RNH0030A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
82% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4221819/B 10/2017

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月