TEXAS INSTRUMENTS
DRV8899-Q1
ZHCSKN1B – NOVEMBER 2019 – REVISED MAY 2021

具有集成电流检测和 1/256 微步进功能的 DRV8899-Q1 汽车步进驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100
- 最大 1/256 微步进
- 集成式电流感应功能
  - 无需使用感应电阻器
- 智能调优衰减技术、固定缓慢和混合衰减选项
- 4.5V 至 45V 的工作电源电压范围
- 引脚对引脚 $R_{DS(ON)}$ 型号：

  - DRV8889/A-Q1：25°C 时为 900mΩ HS + LS

  - DRV8899-Q1：25°C 时为 1200mΩ HS + LS
- 每个桥都具有高电流容量
  - DRV8889/A-Q1：2.4A 峰值、1.5A 满量程
  - DRV8899-Q1：1.7A 峰值、1A 满量程
- TRQ_DAC 位用于调整满量程电流
- 可配置的关断时间 PWM 斩波
- 简单的 STEP/DIR 接口
- 支持菊花链的 SPI
- 低电流睡眠模式 (2μA)
- 可编程输出压摆率
- 展频时钟可将 EMI 降至最低
- 保护特性
  - VM 欠压锁定
  - 过流保护
  - 开路负载检测
  - 过热警告和关断
  - 欠温警告
  - 故障条件指示引脚 (nFAULT)
- 提供功能安全
  - 可帮助进行功能安全系统设计的文档

2 应用

- 汽车双极步进电机
- 前照灯位置调节
- 抬头显示屏 (HUD)
- HVAC 步进电机
- 电子燃油喷射 (EFI)

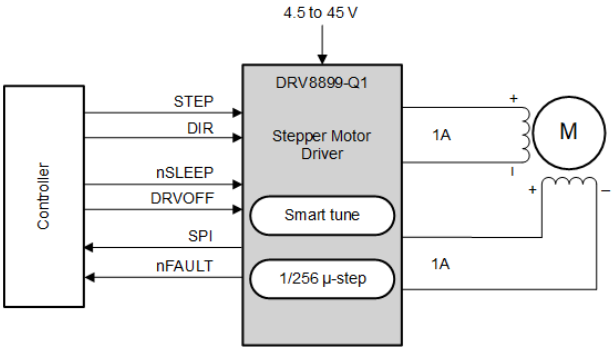
3 说明

DRV8899-Q1 是一款完全集成的步进电机驱动器，可支持高达 1A 的满量程电流，配备内部微步进索引器、智能调谐衰减技术、先进的失速检测算法和集成电流感应功能。DRV8899-Q1 具有一个简单的步进/方向控制接口来管理方向和步进速率，支持多达 1/256 级微步进，以实现平滑的运动轨迹。集成电流感应功能消除了对两个外部电阻的需求，从而节省了布板空间和成本。DRV8899-Q1 提供 8 种衰减模式选项，包括：智能调优、慢速和混合衰减选项。智能调优技术可自动调节，以实现最佳的电流调节性能并对任何电机变化和老化效应进行补偿。该器件还包括一个集成的扭矩 DAC，该扭矩 DAC 允许控制器通过 SPI 调整输出电流，而无需调整 VREF 电压基准。该器件采用 nSLEEP 引脚，可提供一种低功耗的休眠模式，从而实现极低待机电流。该器件采用全双工、4 线同步 SPI 通信功能，并允许通过菊花链方式串联最多 63 个器件以实现可配置性和提供详细故障报告。在 ti.com 上查看我司所有的步进电机驱动器产品系列。

器件信息

器件型号(1)	封装	封装尺寸（标称值）
DRV8899QWRGERQ1	VQFN (24)（可湿性侧面）	4.00mm × 4.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
引脚功能.....3
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议的操作条件.....6
6.4 热性能信息.....6
6.5 电气特性.....7
6.6 SPI 时序要求.....8
6.7 分度器时序要求.....10
6.8 典型特性.....11
7 详细说明.....12
7.1 概述.....12
7.2 功能方框图.....13
7.3 特性说明.....14
7.4 器件功能模式.....34
7.5 编程.....36
7.6 寄存器映射.....40
8 应用和实施.....47
8.1 应用信息.....47
8.2 典型应用.....47
9 电源建议.....57
9.1 大容量电容.....57
10 布局.....58
10.1 布局指南.....58
10.2 布局示例.....59
11 器件和文档支持.....60
11.1 文档支持.....60
11.2 接收文档更新通知.....60
11.3 支持资源.....60
11.4 商标.....60
11.5 静电放电警告.....60
11.6 术语表.....60
12 机械、封装和可订购信息.....60

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2020) to Revision B (April 2021)	Page
• 添加了“功能安全”信息	1
• 更正了“绝对最大额定值”表中的拼写错误	5
• 更新了 *100% 电流的全步进* 表	15
• 删除了重复的封装图	60

Changes from Revision * (November 2019) to Revision A (August 2020)	Page
• 将器件状态更改为“量产数据”	1

Copyright © 2022 Texas Instruments Incorporated

5 引脚配置和功能

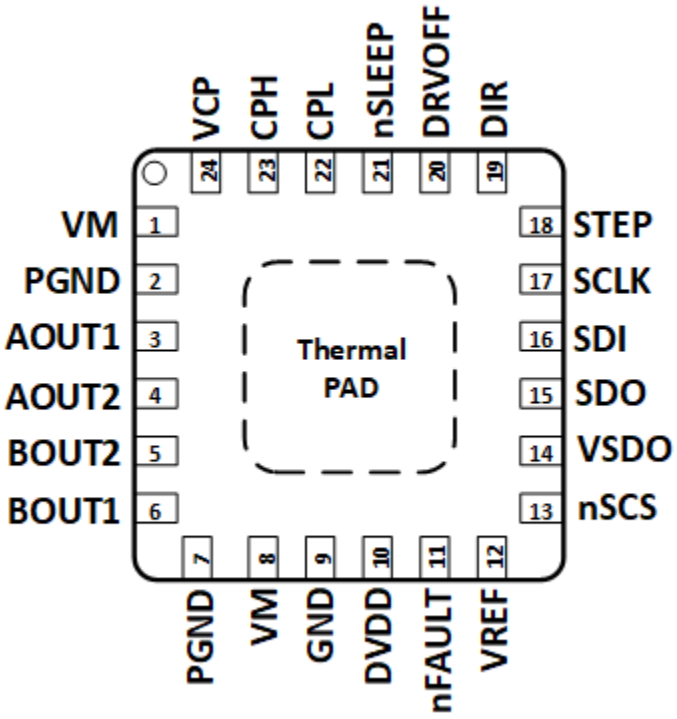


图 5-1. WRGE 封装 24 引脚 VQFN（带有外露散热焊盘）俯视图

引脚功能

引脚		I/O	类型	说明
名称	编号			
AOUT1	3	O	输出	绕组 A 输出。连接到步进电机绕组。
AOUT2	4	O	输出	绕组 A 输出。连接到步进电机绕组。
PGND	2、7	—	电源	电源接地。2 个 PGND 引脚均内部短接。连接到 PCB 上的系统接地。
BOUT1	6	O	输出	绕组 B 输出。连接到步进电机绕组
BOUT2	5	O	输出	绕组 B 输出。连接到步进电机绕组
CPH	23	—	电源	电荷泵开关节点。在 CPH 到 CPL 之间连接一个额定电压为 VM 的 X7R 0.022μF 陶瓷电容器。
CPL	22			
DIR	19	I	输入	方向输入。逻辑电平设置步进的方向；内部下拉电阻。
DRVOFF	20	I	输入	逻辑高电平将禁用器件输出；逻辑低电平则会启用；内部上拉至 DVDD。
DVDD	10		电源	逻辑电源电压。将电容为 0.47 μ F、额定电压为 6.3V 或 10V 的 X7R 陶瓷电容器连接至 GND。
GND	9	—	电源	器件接地。连接到系统接地。
VREF	12	I	输入	电流设定基准输入。最大值为 2.2V。DVDD 可用于通过电阻分压器提供 VREF。
SCLK	17	I	输入	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	16	I	输入	串行数据输入。在 SCLK 引脚的下降沿捕捉数据
SDO	15	O	推挽	串行数据输出。在 SCLK 引脚的上升沿移出数据。
STEP	18	I	输入	步进输入。上升沿使分度器前进一步；内部下拉电阻。
VCP	24	—	电源	电荷泵输出。将一个 X7R 0.22 μ F 16V 陶瓷电容器连接至 VM。

Copyright © 2022 Texas Instruments Incorporated

引脚		I/O	类型	说明
名称	编号			
VM	1、8	—	电源	电源。连接到电机电源电压，并通过两个 0.01μF 陶瓷电容（每个引脚一个）和一个额定电压为 VM 的大容量电容旁路到 GND。
VSDO	14		电源	适用于 SDO 输出的电源引脚。连接到 5V 或 3.3V，具体取决于所需的逻辑电平。
nFAULT	11	O	漏极开路	故障指示。故障状态下拉至低逻辑低电平；开漏输出需要外部上拉电阻。
nSCS	13	I	输入	串行芯片选择。此引脚上的低电平有效支持串行接口通信。内部上拉到 DVDD。
nSLEEP	21	I	输入	睡眠模式输入。逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式；内部下拉电阻。
PAD	-	-	-	散热焊盘。连接到系统接地。

Copyright © 2022 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）1

	最小值	最大值	单位
电源电压 (VM)	–0.3	50	V
电荷泵电压（VCP、CPH）	–0.3	VM + 7	V
电荷泵负开关引脚 (CPL)	–0.3	VM	V
nSLEEP 引脚 (nSLEEP)	–0.3	VM	V
内部稳压器电压 (DVDD)	-0.3	5.75	V
SDO 输出基准电压 (VSDO)	-0.3	5.75	V
控制引脚电压（STEP、DIR、DRVOFF、nFAULT、SDI、SDO、SCLK、nSCS）	-0.3	5.75	V
开漏输出电流 (nFAULT)	0	10	mA
基准输入引脚电压 (VREF)	-0.3	5.75	V
连续相位节点引脚电压（AOUT1、AOUT2、BOUT1、BOUT2）	-1.0	VM + 1.0	V
瞬态 100ns 相位节点引脚电压（AOUT1、AOUT2、BOUT1、BOUT2）	–3.0	VM + 3.0	V
峰值驱动电流（AOUT1、AOUT2、BOUT1、BOUT2）	受内部限制		A
工作环境温度，T_A	-40	125	°C
工作结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	℃

1. 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100 – 002 (1)	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100 – 011	±500	

1. AECQ100 – 002 指示应当按照 ANSI/ESDA/JEDEC JS – 001 规范执行 HBM 应力测试。

Copyright © 2022 Texas Instruments Incorporated

6.3 建议的操作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）1

		最小值	最大值	单位
V_{VM}	可确保正常（直流）运行的电源电压范围	4.5	45	V
V_I	逻辑电平输入电压	0	5.5	V
V_{SDO}	SDO 缓冲器电源电压	2.9	5.5	V
V_{VREF}	VREF 电压	0.05	2.2	V
f_{STEP}	施加的 STEP 信号 (STEP)	0	100 (2)	kHz
I_{FS}	电机满量程电流 (xOUTx)	0	1 (3)	A
I_{rms}	电机均方根电流 (xOUTx)	0	0.7 (3)	A
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

6.4 热性能信息

热指标 1		DRV8899-Q1 RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	40.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	31.1	°C/W
$R_{\theta JB}$	结至电路板热阻	17.9	°C/W
ψ_{JT}	结至顶部特征参数	0.6	°C/W
ψ_{JB}	结至电路板特征参数	17.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.3	°C/W

1. 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告

Copyright © 2022 Texas Instruments Incorporated

6.5 电气特性

在建议的工作条件下测得（除非另有说明）。T_J = 25°C 且 V_{VM} = 13.5V 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
电源电压（VM、DVDD、VSDO）						
I_{VM}	VM 工作电源电流	DRVOFF = 0、nSLEEP = 1，无输出		5	7	mA
I_{VMQ}	VM 睡眠模式电源电流	nSLEEP = 0		2	4	μA
t_{SLEEP}	休眠时间	nSLEEP = 0 至睡眠模式	75			μs
t_{RESET}	nSLEEP 复位脉冲	nSLEEP 低电平至仅清除故障寄存器	18		35	μs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换		0.6	0.9	ms
t_{ON}	开通时间	VM > UVLO 至输出转换		0.6	0.9	ms
V_{DVDD}	内部稳压器电压	无外部负载，6V < V_{VM} < 45V	4.5	5	5.5	V
电荷泵（VCP、CPH、CPL）						
V_{VCP}	VCP 工作电压			VM + 5		V
$f_{(VCP)}$	电荷泵开关频率	V_{VM} > UVLO；nSLEEP = 1		400		kHz
逻辑电平输入（STEP、DIR、nSLEEP、nSCS、SCLK、SDI、DRVOFF）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞			150		mV
I_{IL1}	输入逻辑低电平电流	VIN = 0V（nSCS、DRVOFF）	8		12	μA
I_{IL2}	输入逻辑低电平电流	VIN = 0V	-1		1	μA
I_{IH1}	输入逻辑高电平电流	VIN = DVDD（nSCS、DRVOFF）			500	nA
I_{IH2}	输入逻辑高电平电流	VIN = 5V			50	μA
推挽式输出 (SDO)						
$R_{PD\ ,\ SDO}$	内部下拉电阻	5mA 负载，以 GND 为基准		40	75	Ω
$R_{PU\ ,\ SDO}$	内部上拉电阻	5mA 负载，以 VSDO 为基准		30	60	Ω
I_{SDO}	SDO 泄漏电流	SDO = VSDO 和 0V	-1		1	μA
控制输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.4	V
I_{OH}	输出逻辑高电平泄漏电流	V_{VM} = 13.5V	-1		1	μA

Copyright © 2022 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）。T_J = 25°C 且 V_{VM} = 13.5V 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
电机驱动器输出（AOUT1、AOUT2、BOUT1、BOUT2）						
$R_{DS(ONH)}$	高侧 FET 导通电阻	T_J = 25°C，I_O = -1A		600	730	mΩ
		T_J = 125°C，I_O = -1A		900	1100	mΩ
		T_J = 150°C，I_O = -1A		1040	1250	mΩ
$R_{DS(ONL)}$	低侧 FET 导通电阻	T_J = 25°C，I_O = -1A		600	730	mΩ
		T_J = 125°C，I_O = -1A		900	1100	mΩ
		T_J = 150°C，I_O = -1A		1040	1250	mΩ
t_{SR}	输出压摆率	SR = 00b，VM = 13.5V，I_O = 0.5A		10		V/µs
		SR = 01b，VM = 13.5V，I_O = 0.5A		35		
		SR = 10b，VM = 13.5V，I_O = 0.5A		50		
		SR = 11b，VM = 13.5V，I_O = 0.5A		105		
PWM 电流控制 (VREF)						
K_V	跨阻增益			2.2		V/A
t_{OFF}	PWM 关断时间	TOFF = 00b		7		µs
		TOFF = 01b		16		
		TOFF = 10b		24		
		TOFF = 11b		32		
ΔI_{TRIP}	电流跳变精度	I_O = 1A，10% 至 30% 电流设置	-13		10	%
		I_O = 1A，30% 至 100% 电流设置	-8		8	
$I_{O,CH}$	AOUT 和 BOUT 电流匹配	I_O = 1A	-2.5		2.5	%
保护电路						
V_{UVLO}	VM UVLO 锁定	VM 下降，UVLO 下降	4.15	4.25	4.35	V
		VM 上升，UVLO 上升	4.25	4.35	4.45	
$V_{UVLO,HYS}$	欠压迟滞	上升至下降阈值		100		mV
V_{RST}	VM UVLO 复位	VM 下降，器件复位，无 SPI 通信			3.9	V
V_{CPUV}	电荷泵欠压	VCP 下降；CPUV 报告		VM + 2		V
I_{OCP}	过流保护	流经任何 FET 的电流	1.7			A
t_{OCP}	过流抗尖峰时间	V_{VM} < 37V		3		µs
		V_{VM} ≥ 37 V		0.5		
t_{RETRY}	过流重试时间	OCP_MODE = 1b		4		ms
t_{OL}	开路负载检测时间	EN_OL = 1b			200	ms
I_{OL}	开路负载电流阈值			30		mA
T_{OTW}	过热警告	内核温度 T_J	135	150	165	°C
T_{UTW}	欠温警告	内核温度 T_J	-25	-10	5	°C
T_{OTSD}	热关断	内核温度 T_J	150	165	180	°C
T_{HYS_OTSD}	热关断迟滞	内核温度 T_J		20		°C
T_{HYS_OTW}	过热警告迟滞	内核温度 T_J		20		°C
T_{HYS_UTW}	欠温警告迟滞	内核温度 T_J		10		°C

6.6 SPI 时序要求

		最小值	标称值	最大值	单位
$t_{(READY)}$	SPI 就绪，VM > V_{RST}		1		ms
$t_{(CLK)}$	SCLK 最小周期	100			ns
$t_{(CLKH)}$	SCLK 最短高电平时间	50			ns

Copyright © 2022 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
$t_{(CLKL)}$	SCLK 最短低电平时间	50			ns
$t_{su(SDI)}$	SDI 输入设置时间	20			ns
$t_{h(SDI)}$	SDI 输入保持时间	30			ns
$t_{d(SDO)}$	SDO 输出延迟时间，SCLK 高电平至 SDO 有效，C_L = 20pF			30	ns
$t_{su(nSCS)}$	nSCS 输入设置时间	50			ns
$t_{h(nSCS)}$	nSCS 输入保持时间	50			ns
$t_{(HI_nSCS)}$	低电平有效前的 nSCS 最短高电平时间			2	µs
$t_{dis(nSCS)}$	nSCS 禁用时间，nSCS 高电平至 SDO 高阻抗		10		ns

Copyright © 2022 Texas Instruments Incorporated

6.7 分度器时序要求

在建议的工作条件下测得（除非另有说明）。T_J = 25°C 且 V_{VM} = 13.5V 时，适用典型限值

NO.			最小值	最大值	单位
1	f_{STEP}	步进频率		500(1)	kHz
2	$t_{WH(STEP)}$	脉冲持续时间，STEP 高电平	970		ns
3	$t_{WL(STEP)}$	脉冲持续时间，STEP 低电平	970		ns
4	$t_{SU(DIR, Mx)}$	设置时间，DIR 至 STEP 上升	200		ns
5	$t_{H(DIR, Mx)}$	保持时间，DIR 至 STEP 上升	200		ns

(1) STEP 输入工作频率可高达 500kHz，但系统带宽受电机负载限制。

Copyright © 2022 Texas Instruments Incorporated

6.8 典型特性

在建议的工作条件下测得（除非另有说明）

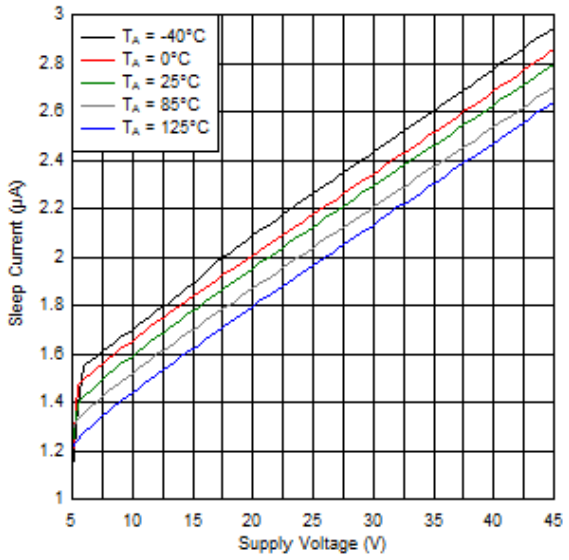


图 6-1. 睡眠电流与 VM 间的关系

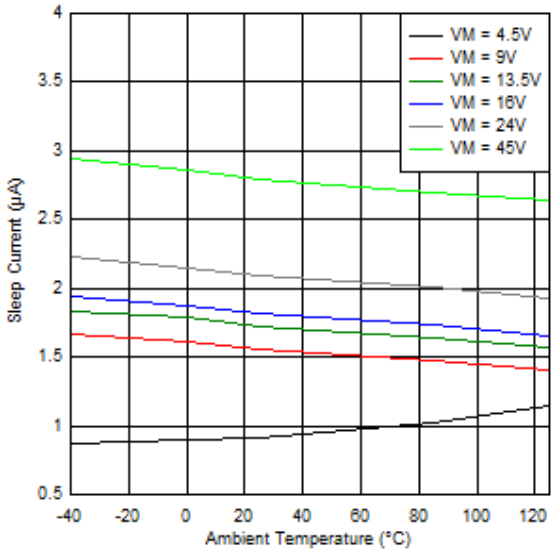


图 6-2. 睡眠电流与温度间的关系

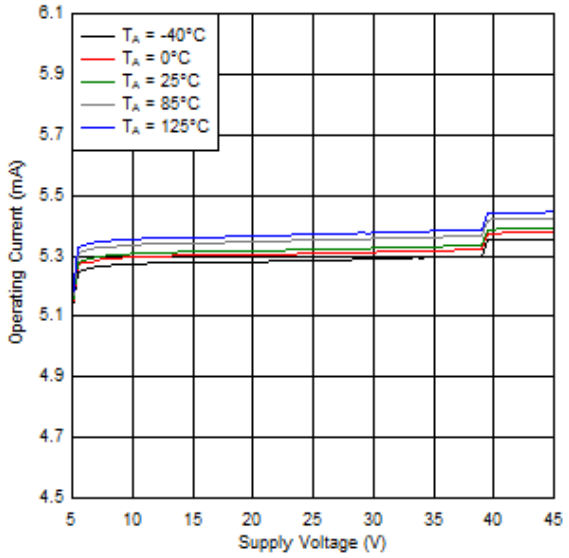


图 6-3. 工作电流与 VM 间的关系

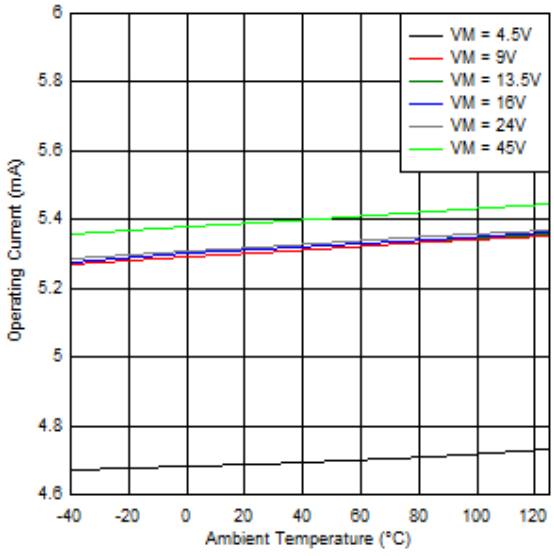


图 6-4. 工作电流与温度间的关系

Copyright © 2022 Texas Instruments Incorporated

7 详细说明

7.1 概述

DRV8899-Q1 器件是一款用于双极步进电机的集成电机驱动器解决方案。该器件集成了两个 N 沟道功率 MOSFET H 桥、集成电流感应和调节电路以及一个微步进分度器。DRV8899-Q1 器件可以通过 4.5V 至 45V 的电源电压供电，并且能够提供高达 1.7A 的峰值、1A 的满量程或 0.7A 均方根 (rms) 的输出电流。实际的满量程和均方根电流取决于环境温度、电源电压和 PCB 热性能。

该器件采用集成电流检测架构，无需再使用两个外部功率检测电阻。该架构使用电流镜方法和使用内部功率 MOSFET 进行电流检测，消除了检测电阻中的功率损耗。通过 VREF 引脚处的电压来调节电流调节设定点。这些特性降低了外部组件成本、系统功耗，并缩小了电路板 PCB 尺寸。

简易的 STEP/DIR 接口允许外部控制器管理步进电机的方向和步进速率。内部分度器可以执行高精度细分，而无需外部控制器来管理绕组电流电平。分度器可实现全步进、半步进，以及 1/4、1/8、1/16、1/32、1/64、1/128 和 1/256 微步进。除了标准的半步进模式，还有一种非循环半步进模式，可以在较高的电机转速下增加转矩输出。

用户可以在几种衰减模式之间配置电流调节。在选择衰减模式时，可以选择慢速混合、混合衰减、智能调优纹波控制或智能调优动态衰减电流调节方案。慢速-混合衰减模式在上升步进时使用慢速衰减，在下降步进时使用混合衰减。智能调优衰减模式自动调节以获得最佳的电流调节性能，并补偿电机变化和老化效应。智能调优纹波控制使用可变关断时间、纹波控制方案，以最大限度地减少电机绕组电流的失真。智能调优动态衰减使用固定关断时间、动态衰减百分比方案，以最大限度地减少电机绕组电流的失真，同时实现频率成分最小化小化。

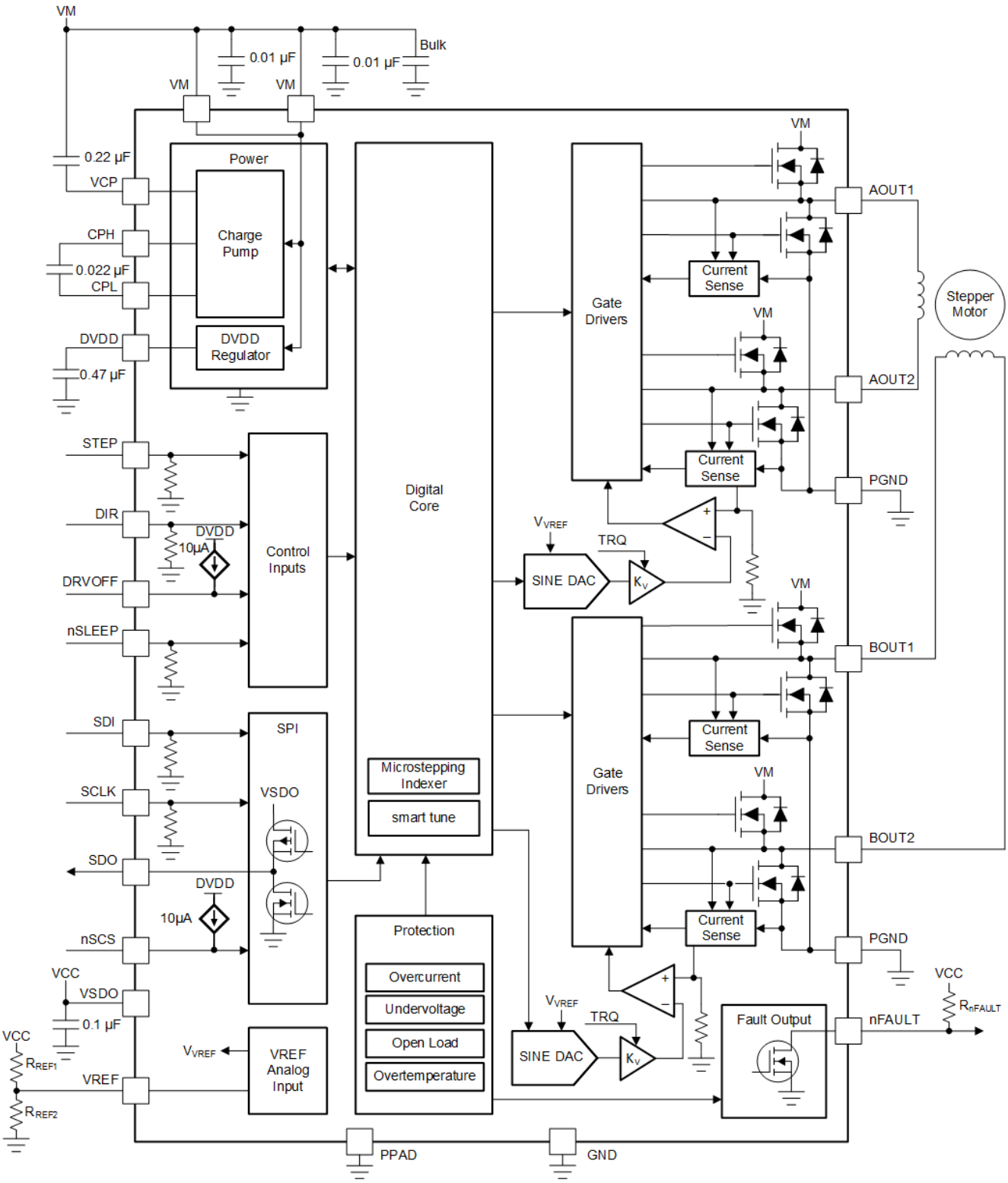
该器件为内部数字振荡器和内部电荷泵集成了展频时钟特性。此特性与输出转换率控制相结合，可最大程度地减少器件的辐射发射。

扭矩 DAC 功能使控制器无需调节 VREF 电压基准即可调节输出电流。当不需要高输出转矩时，可使用数字输入引脚访问转矩 DAC，该输入引脚允许控制器通过降低电机电流消耗来节省系统功耗。

系统包括一个低功耗休眠模式，以允许其在不主动驱动电机时节省功耗。

Copyright © 2022 Texas Instruments Incorporated

7.2 功能方框图


VM
0.01 µF
0.01 µF
Bulk
VM
VM
0.22 µF
VCP
CPH
0.022 µF
CPL
DVDD
0.47 µF
Power
Charge Pump
DVDD Regulator
STEP
DIR
DRVOFF
nSLEEP
DVDD
10µA
Control Inputs
SDI
SCLK
SDO
nSCS
SPI
VSDO
DVDD
10µA
VCC
VSDO
0.1 µF
VCC
RREF1
VREF
RREF2
VREF
VREF Analog Input
Digital Core
Microstepping Indexer
smart tune
Protection
Overcurrent
Undervoltage
Open Load
Overtemperature
PPAD
GND
Gate Drivers
Current Sense
AOUT1
AOUT2
PGND
VVREF
TRQ
SINE DAC
KV
BOUT1
BOUT2
Stepper Motor
Fault Output
nFAULT
RnFAULT

7.3 特性说明

表 7-1 列出了 DRV8899-Q1 器件的推荐外部组件。

表 7-1. DRV8899-Q1 外部组件

组件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	两个额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C_{VM2}	VM	GND	额定电压为 VM 的大容量电容器
C_{VCP}	VCP	VM	X7R 0.22μF 16V 陶瓷电容器
C_{SW}	CPH	CPL	额定电压为 VM 的 X7R 0.022μF 陶瓷电容器
C_{DVDD}	DVDD	GND	电容为 0.47μF 至 1μF 的 X7R 6.3V 陶瓷电容器
R_{nFAULT}	VCC (1)	nFAULT	>4.7kΩ 电阻
R_{REF1}	VREF	VCC	用于限制斩波电流的电阻。建议：R_{REF1} 和 R_{REF2} 的并联电阻应低于 50kΩ。
R_{REF2}（可选）	VREF	GND	

(1) VCC 不是 DRV8899-Q1 器件上的引脚，但开漏输出 nFAULT 需要 VCC 电源电压上拉；nFAULT 可能会被上拉到 DVDD

7.3.1 步进电机驱动器电流额定值

步进电机驱动器可以通过以下三种不同的输出电流值表示方式进行分类：峰值、均方根和满量程。

7.3.1.1 峰值电流额定值

步进驱动器中的峰值电流受过流保护关断阈值 I_{OCP} 的限制。峰值电流表示任何瞬态持续电流脉冲，例如当对电容充电时，或当总占空比非常低时。通常，I_{OCP} 的最小值指定了步进电机驱动器的峰值电流额定值。

对于 DRV8899-Q1 器件，每个电桥的峰值电流额定值为 1.7A。

7.3.1.2 均方根电流额定值

均方根（平均）电流由集成电路的热特性决定。均方根电流是基于 RDS(ON)、上升和下降时间、PWM 频率、器件静态电流和典型系统在 25°C 温度下的封装热性能计算出来的。实际的工作均方根电流可能更高或更低，这取决于散热和环境温度。

对于 DRV8899-Q1 器件，每个电桥的均方根电流额定值为 0.7A。

7.3.1.3 满量程电流额定值

满量程电流描述了细分时正弦电流波形的顶部。由于正弦波振幅与均方根电流有关，因此满量程电流也由器件的热特性决定。满量程电流额定值约为 $\sqrt{2} \times I_{RMS}$。

对于 DRV8899-Q1 器件，每个电桥满量程电流额定值为 1A。

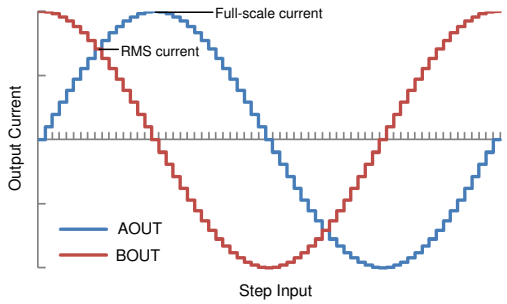


图 7-1. 满量程和均方根电流

Copyright © 2022 Texas Instruments Incorporated

7.3.2 PWM 电机驱动器

该器件具有两个全 H 桥驱动器，用于驱动双极步进电机的两个绕组。图 7-2 展示了该电路的方框图。

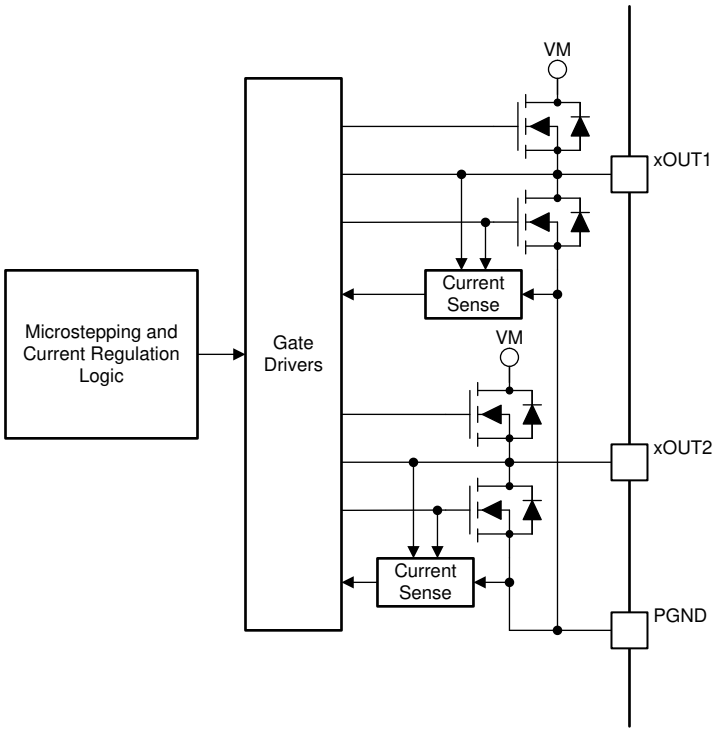


图 7-2. PWM 电机驱动器方框图

7.3.3 微步进分度器

器件中的内置分度器逻辑支持多种不同的步进模式。SPI 寄存器中的 MICROSTEP_MODE 位用于配置步进模式，如表 7-2 所示。

表 7-2. 微步进设置

MICROSTEP_MODE	步进模式
0000b	100% 电流的全步进（两相励磁）
0001b	71% 电流的全步进（两相励磁）
0010b	非循环 1/2 步进
0011b	1/2 步进
0100b	1/4 步进
0101b	1/8 步进
0110b	1/16 步进
0111b	1/32 步进
1000b	1/64 步进
1001b	1/128 步进
1010b	1/256 步进

表 7-3 展示了全步进（71% 电流）、1/2 步进、1/4 步进和 1/8 步进运行状态的相对电流和步进方向。更高的微步进分辨率也将遵循相同的模式。AOUT 电流是电角的正弦，BOUT 电流是电角的余弦。正电流是指进行驱动时从 xOUT1 引脚流向 xOUT2 引脚的电流。

Copyright © 2022 Texas Instruments Incorporated

在 STEP 输入的每个上升沿，分度器移动到表格中的下一个状态。方向按照 DIR 引脚逻辑高电平进行显示。如果 DIR 引脚为逻辑低电平，则顺序相反。

备注

在步进时，如果步进模式动态变化，则分度器在 STEP 上升沿情况下前进到下一个有效状态，以便实现新的步进模式设置。

备注

当 DIR = 0 且电角度为全步进角度（45、135、225 或 315 度）时，在 STEP 引脚上需要两个上升沿脉冲，以便在从任何微步进模式更改到全步进模式后推进分度器。第一个脉冲不会引起电角的变化，第二个脉冲会将分度器移动到下一个全步进角度。

初始状态下的电角为 45°。系统会在上电后、退出逻辑欠压锁定后或退出睡眠模式后进入该状态。

表 7-3. 相对电流和步进方向

1/8 步进	1/4 步进	1/2 步进	全步进 71%	AOUT 电流（满量程百分比）	BOUT 电流（满量程百分比）	电角（度）
1	1	1		0	100	0
2				20	98	11
3	2			38	92	23
4				56	83	34
5	3	2	1	71	71	45
6				83	56	56
7	4			92	38	68
8				98	20	79
9	5	3		100	0	90
10				98	-20	101
11	6			92	-38	113
12				83	-56	124
13	7	4	2	71	-71	135
14				56	-83	146
15	8			38	-92	158
16				20	-98	169
17	9	5		0	-100	180
18				-20	-98	191
19	10			-38	-92	203
20				-56	-83	214
21	11	6	3	-71	-71	225
22				-83	-56	236
23	12			-92	-38	248
24				-98	-20	259
25	13	7		-100	0	270
26				-98	20	281
27	14			-92	38	293
28				-83	56	304
29	15	8	4	-71	71	315
30				-56	83	326

Copyright © 2022 Texas Instruments Incorporated

表 7-3. 相对电流和步进方向 (continued)

1/8 步进	1/4 步进	1/2 步进	全步进 71%	AOUT 电流（满量程百分比）	BOUT 电流（满量程百分比）	电角（度）
31	16			-38	92	338
32				-20	98	349

表 7-4 展示了具有 100% 满量程电流的全步进运行。这种步进模式比 71% 电流的全步进模式消耗更多的功率，但在高电机转速下可提供更高的扭矩。

表 7-4. 100% 电流的全步进

全步进 100%	AOUT 电流（满量程百分比）	BOUT 电流（满量程百分比）	电角（度）
1	100	100	45
2	100	-100	135
3	-100	-100	225
4	-100	100	315

表 7-5 展示了非循环 1/2 步进操作。这种步进模式比循环 1/2 步进运行消耗更多的功率，但在高电机转速下可提供更高的转矩。

表 7-5. 非循环 1/2 步进电流

非循环 1/2 步进	AOUT 电流（满量程百分比）	BOUT 电流（满量程百分比）	电角（度）
1	0	100	0
2	100	100	45
3	100	0	90
4	100	– 100	135
5	0	– 100	180
6	– 100	– 100	225
7	– 100	0	270
8	– 100	100	315

7.3.4 通过 MCU DAC 控制 VREF

在某些情况下，满量程输出电流可能需要在许多不同的值之间变化，具体取决于电机速度和负载。您可以在系统内调节 VREF 引脚的电压，以更改满量程电流。

在这种运行模式中，随着 DAC 电压的增加，满量程调节电流也将增加。为确保正常运行，DAC 的输出不得超过 2.2 V。

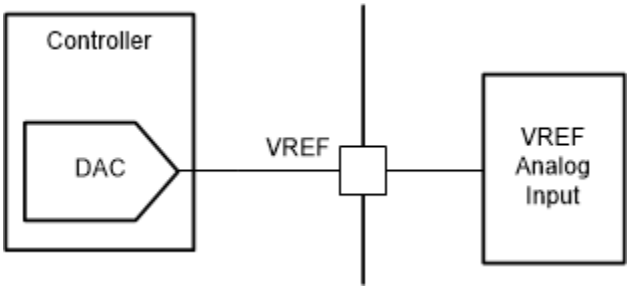


图 7-3. 通过 DAC 资源控制 VREF

您也可以使用 PWM 信号和低通滤波器来调节 VREF 引脚。低通滤波器的 R-C 时间常数应大于 PWM 信号周期的 10 倍。

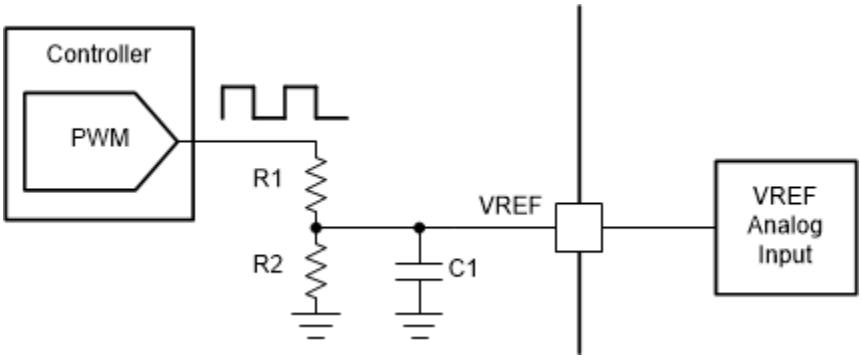


图 7-4. 通过 PWM 资源控制 VREF

Copyright © 2022 Texas Instruments Incorporated

7.3.5 电流调节

流经电机绕组的电流由 PWM 电流调节电路进行调节。当 H 桥被启用时，通过绕组的电流以一定的速率上升，该速率取决于直流电压、绕组电感和存在的反电动势大小。当电流达到电流调节阈值时，电桥将进入衰减模式以减小电流，该模式的持续时间取决于 TOFF 寄存器设置和所选衰减模式。关断时间结束后，将重新启用电桥，开始另一个 PWM 循环。

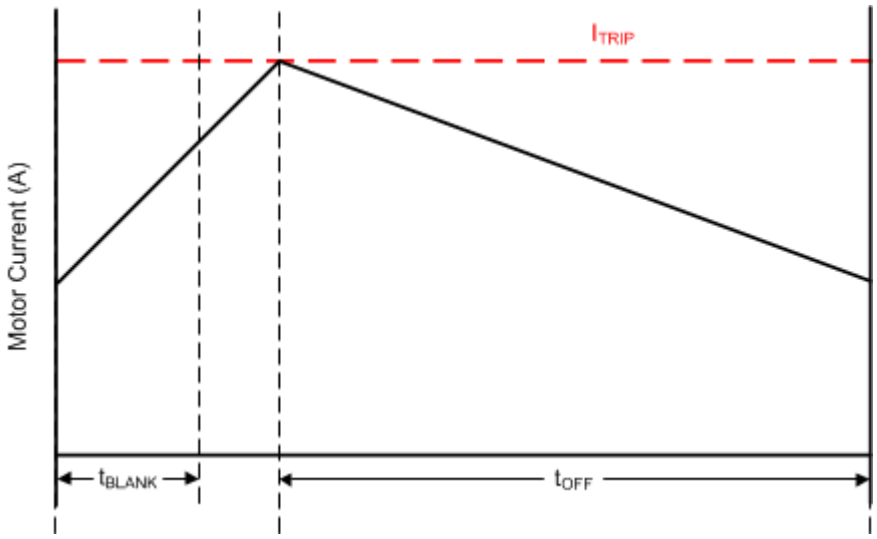


图 7-5. 电流斩波波形

PWM 调节电流由比较器设置，该比较器监测与低侧功率 MOSFET 并联的电流检测 MOSFET 两端的电压。电流检测 MOSFET 通过基准电流进行偏置，该基准电流是电流模式正弦加权 DAC 的输出，其满量程基准电流通过 VREF 引脚的电压进行设置。此外，TRQ_DAC 寄存器还可以进一步调节基准电流。

使用 方程式 1 计算满量程调节电流。

$$I_{FS}(A) = \frac{V_{REF}(V)}{K_V(V/A)} \times TRQ_DAC(\%) = \frac{V_{REF}(V) \times TRQ_DAC(\%)}{2.2(V/A)} \quad (1)$$

TRQ_DAC 通过 SPI 寄存器进行调整。表 7-6 列出了不同输入的当前标量值。

表 7-6. 转矩 DAC 设置

TRQ_DAC	电流标量 (TRQ)
0000b	100%
0001b	93.75%
0010b	87.5%
0011b	81.25%
0100b	75%
0101b	68.75%
0110b	62.5
0111b	56.25%
1000b	50%
1001b	43.75%
1010b	37.5%
1011b	31.25%

Copyright © 2022 Texas Instruments Incorporated

表 7-6. 转矩 DAC 设置 (continued)

TRQ_DAC	电流标量 (TRQ)
1100b	25%
1101b	18.75%
1110b	12.5%
1111b	6.25%

Copyright © 2022 Texas Instruments Incorporated

7.3.6 衰减模式

在 PWM 电流斩波期间，将启用 H 桥以驱动电流流过电机绕组，直至达到 PWM 电流斩波阈值。图 7-6 的项目 1 展示了这种情况。

一旦达到斩波电流阈值后，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，一旦达到 PWM 斩波电流电平，H 桥便会进行状态逆转，使绕组电流反向流动。此时对侧的 FET 开启；由于绕组电流接近零，因此会禁用该电桥，以防止出现反向流动的电流。图 7-6 的项目 2 展示了快速衰减模式。在慢速衰减模式下，通过启用该电桥的两个低侧 FET 来实现绕组电流的再循环。图 7-6 的项目 3 展示了这种情况。

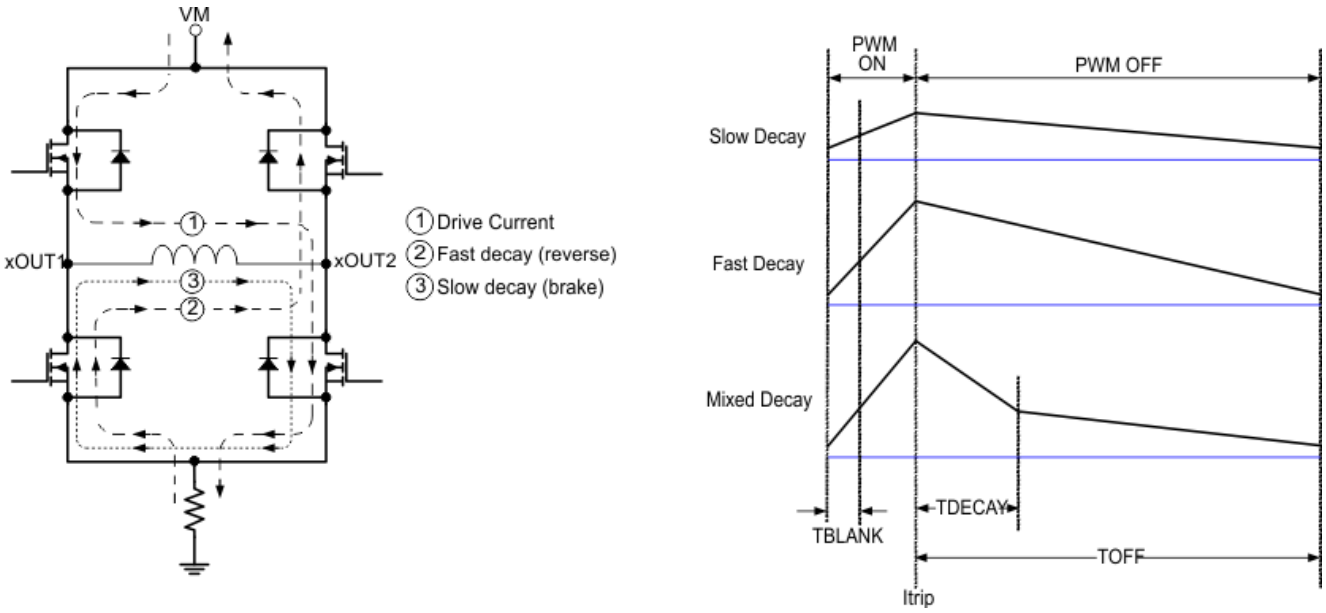


图 7-6. 衰减模式

由 DECAY 寄存器来选择衰减模式，如表 7-7 所示。

表 7-7. 衰减模式设置

DECAY	上升阶跃	下降阶跃
000b	慢速衰减	慢速衰减
001b	慢速衰减	混合衰减：快 30%
010b	慢速衰减	混合衰减：快 60%
011b	慢速衰减	快速衰减
100b	混合衰减快 30%	混合衰减：快 30%
101b	混合衰减：快 60%	混合衰减：快 60%
110b	智能调优动态衰减	智能调优动态衰减
111b（默认值）	智能调优纹波控制	智能调优纹波控制

图 7-7 定义了上升和下降电流。对于慢速混合衰减模式，衰减模式在上升电流步进期间设置为慢速，在下降电流步进期间设置为混合衰减。在全步进和非循环 1/2 步进模式中，始终使用下降步进所对应的衰减模式。

Copyright © 2022 Texas Instruments Incorporated

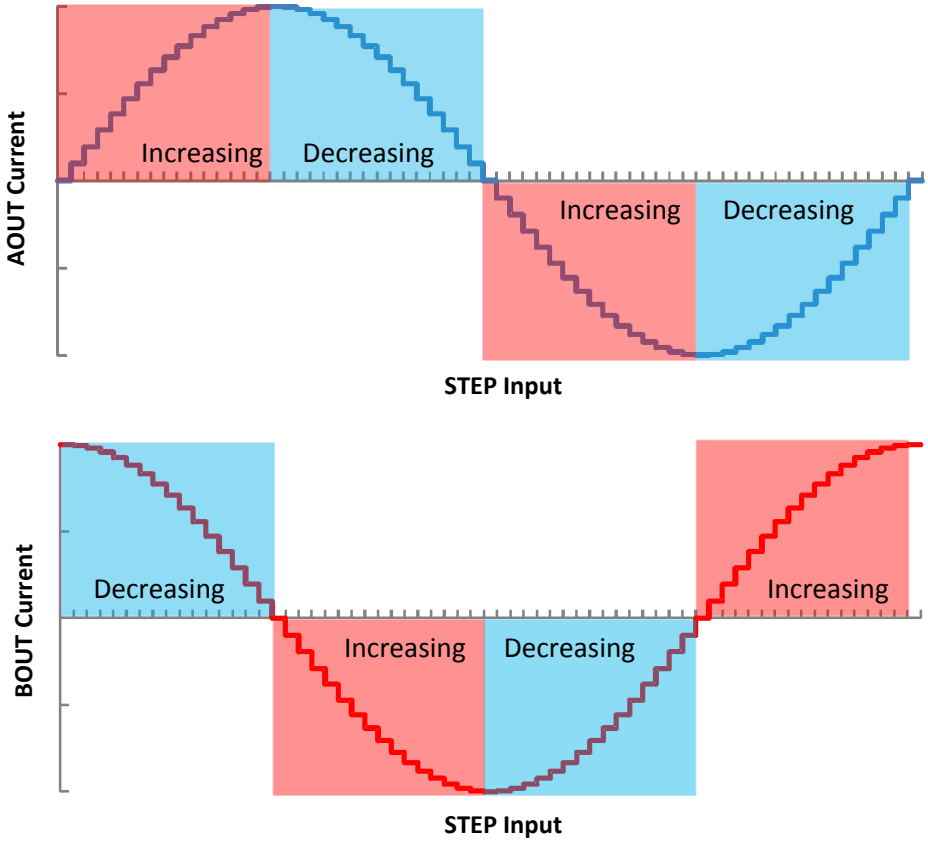


图 7-7. 上升和下降步进的定义

Copyright © 2022 Texas Instruments Incorporated

7.3.6.1 上升和下降电流阶段的慢速衰减

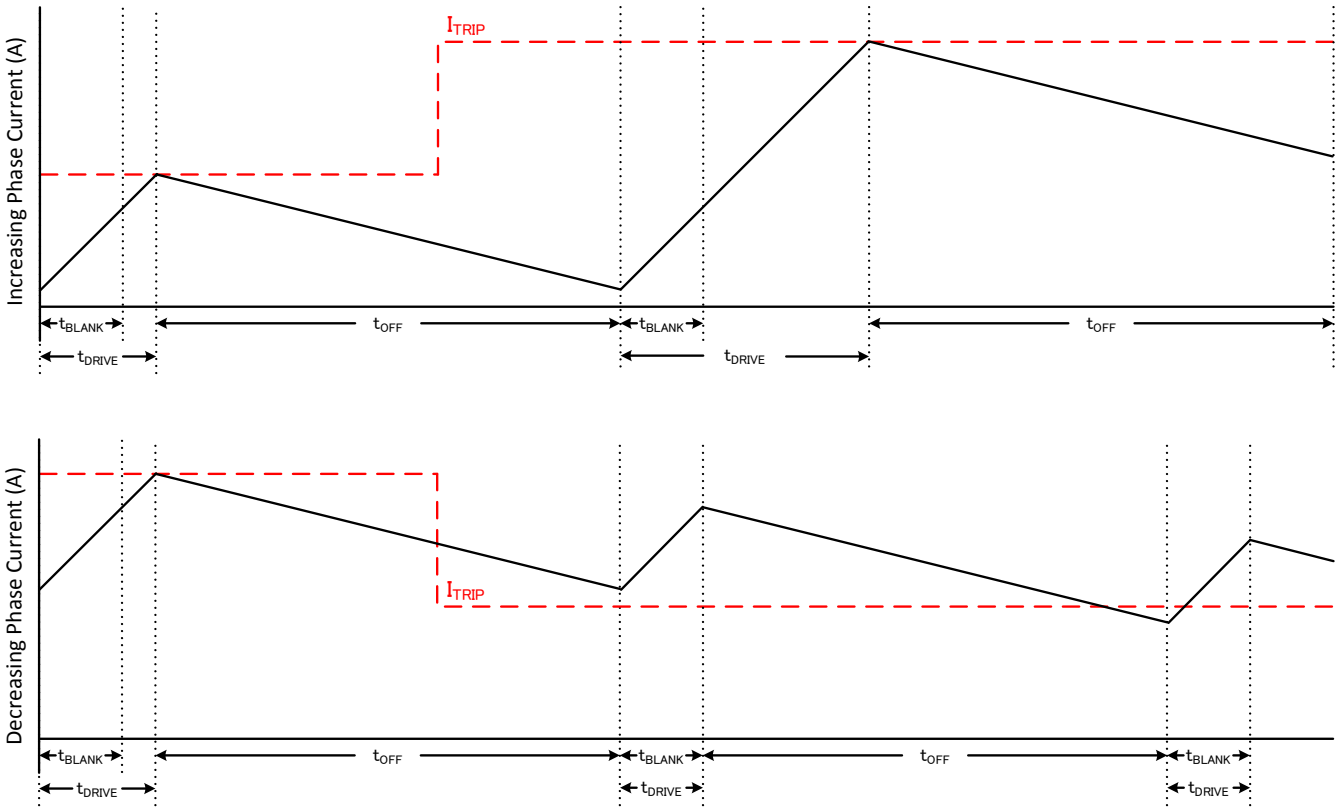


图 7-8. 慢速/慢速衰减模式

在慢速衰减期间，H 桥的两个低侧 FET 均处于开启状态，以便实现电流再循环。

在给定的 t_{OFF} 下，慢速衰减是电流纹波最低的衰减模式。但是，在电流步进下降时，慢速衰减需要很长的时间才能稳定至新的 I_{TRIP} 电平，因为此时的电流下降速度非常慢。如果关断时间结束时的电流高于 ITRIP 电平，则慢速衰减将延长到另一个关断时间，依此类推，直到关断时间结束时的电流低于 ITRIP 电平为止。

如果电流保持很长时间（STEP 引脚无输入）或步进速度非常慢，则慢速衰减可能无法正确调节电流，因为电机绕组上不存在反电动势。在这种状态下，电机电流上升速度会非常快，可能需要极长的关断时间。在某些情况下，这可能会导致电流调节损耗，因此建议采用更快速的衰减模式。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.2 上升电流阶段为慢速衰减，下降电流阶段为混合衰减

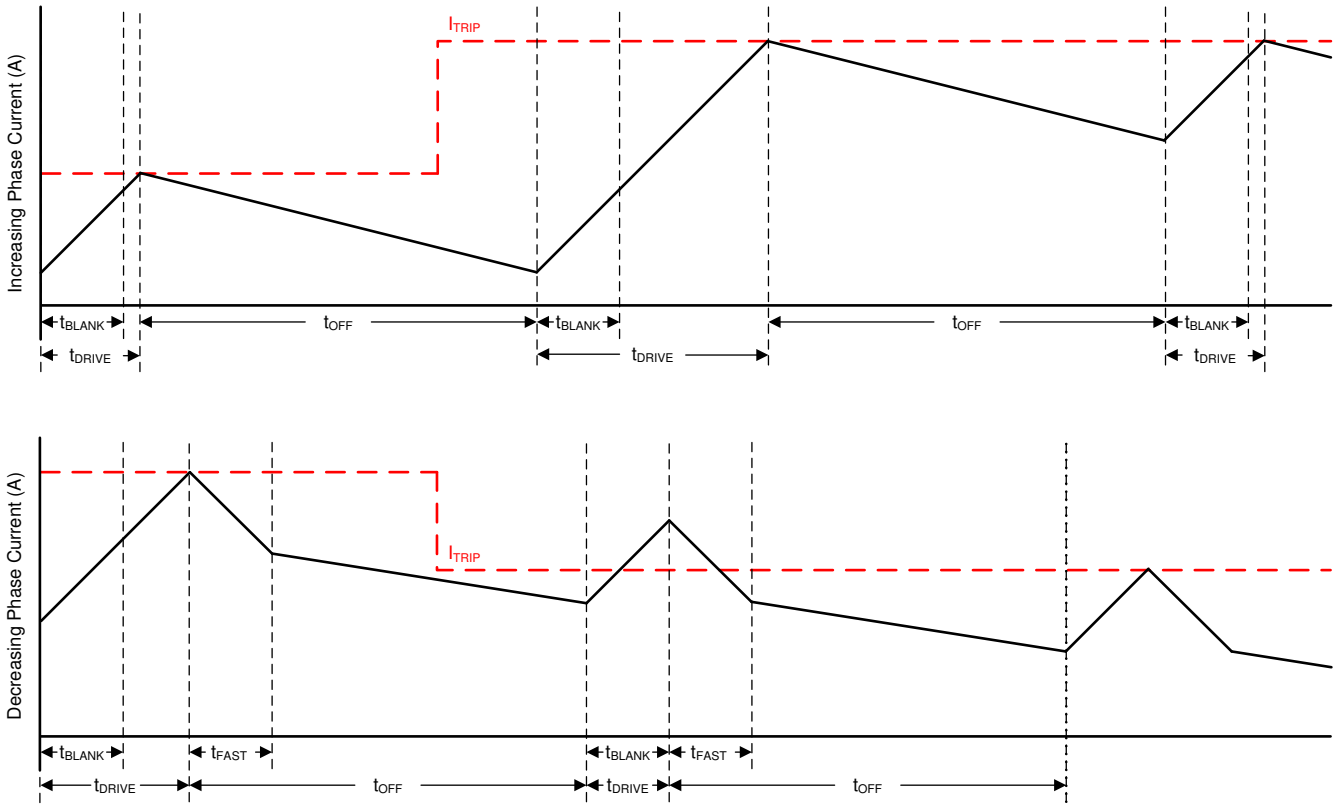


图 7-9. 慢速-混合衰减模式

混合衰减下，开始的一段时间为快速衰减，然后在剩余的 t_{OFF} 时间内慢速衰减。在此模式下，混合衰减仅在下降电流期间发生。慢速衰减用于上升电流的情况。

该模式表现出与上升电流的慢速衰减相同的电流纹波，因为上升电流时，仅使用慢速衰减。对于下降电流，纹波大于慢速衰减，但小于快速衰减。在下降电流阶跃时，混合衰减比慢速衰减更快地稳定到新的 I_{TRIP} 电平。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.3 模式 4：用于上升电流的慢速衰减，用于下降电流的快速衰减

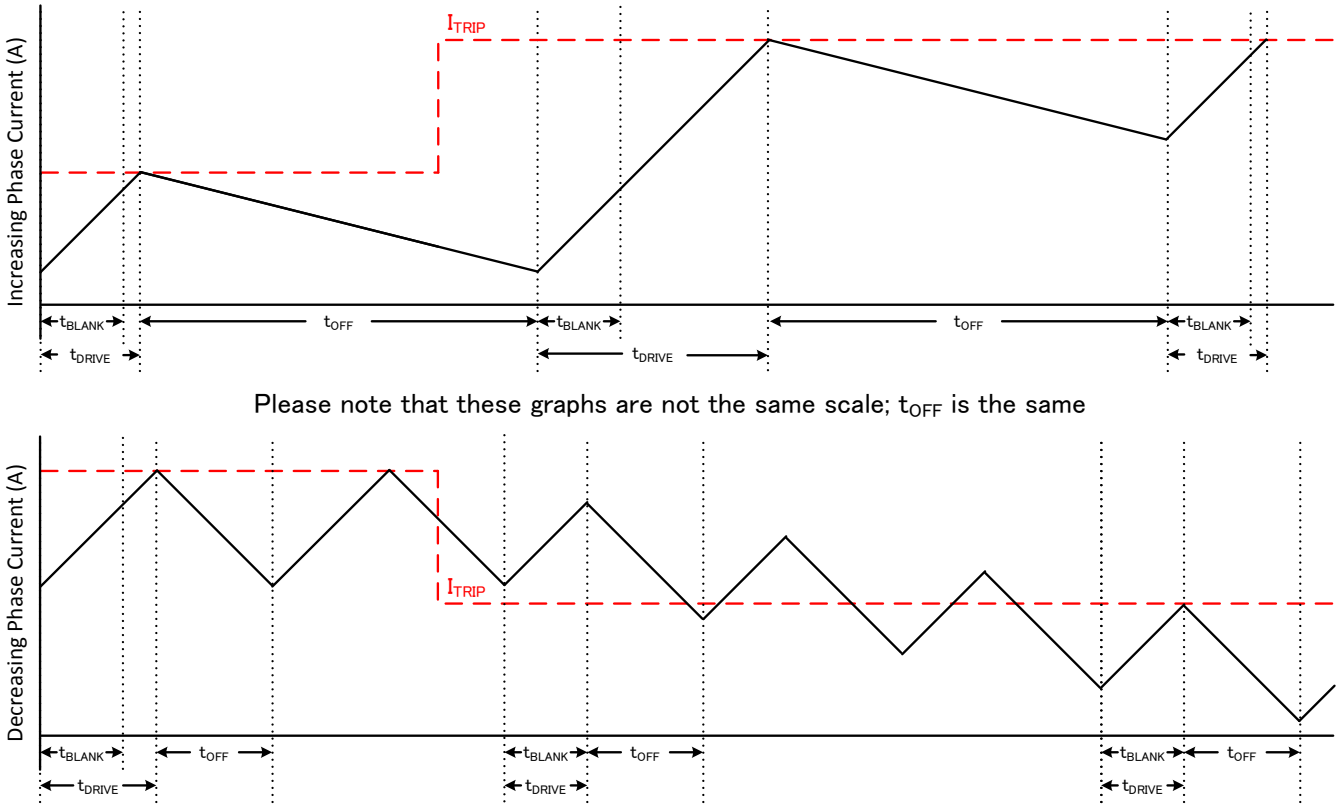


图 7-10. 慢速/快速衰减模式

在快速衰减期间，H 桥的极性会发生逆转。当电流接近零时，H 桥将关闭，以防止电流反向流动。在此模式下，快速衰减仅在下降电流期间发生。慢速衰减用于上升电流的情况。

在给定的 t_{OFF} 下，快速衰减是电流纹波最高的衰减模式。电流步进下降的过渡时间要比慢速衰减短得多，因为其电流下降速度比后者快很多。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.4 上升和下降电流阶段的混合衰减

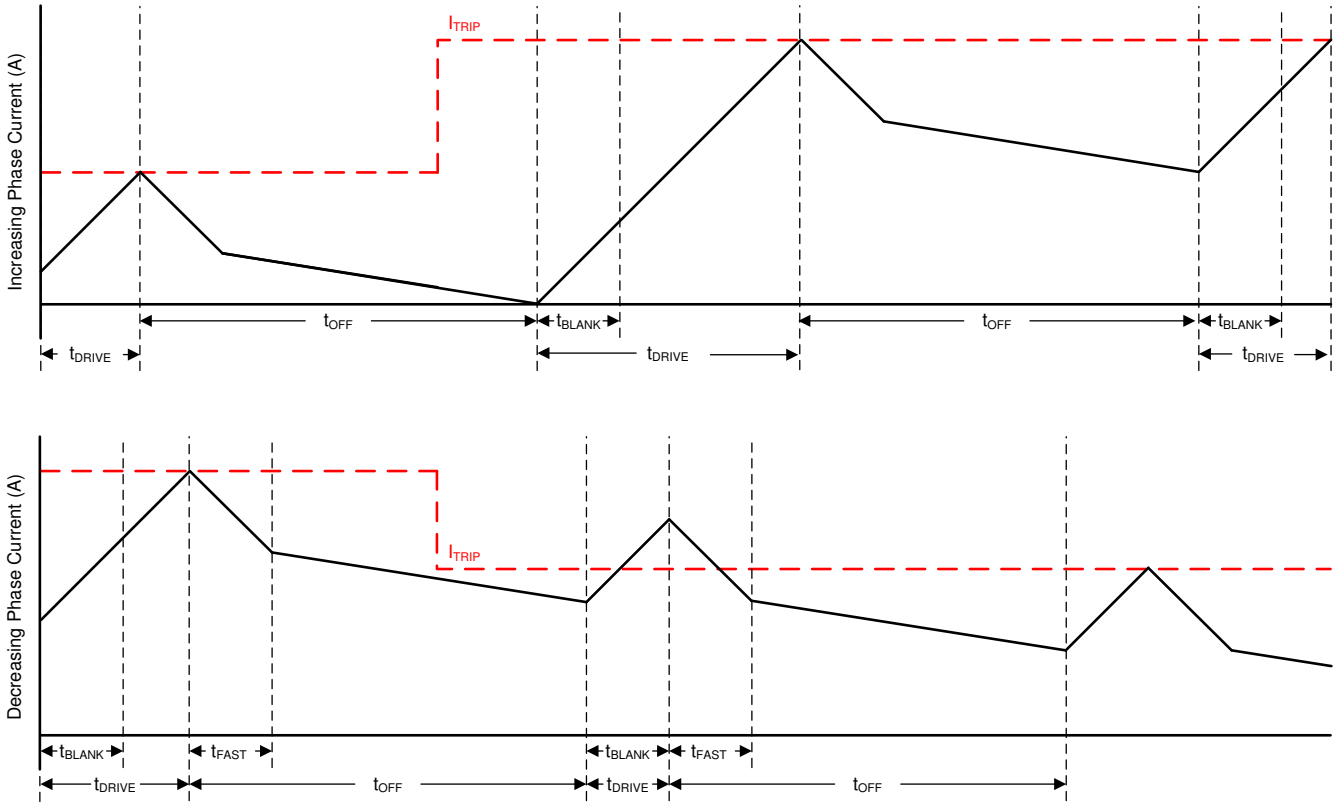


图 7-11. 混合-混合衰减模式

混合衰减下，开始的一段时间为快速衰减，然后在剩余的 t_{OFF} 内慢速衰减。在此模式下，上升和下降电流阶跃都会发生混合衰减。

该模式表现出的纹波比慢速衰减大，但比快速衰减小。在下降电流阶跃时，混合衰减比慢速衰减更快地稳定到新的 I_{TRIP} 电平。

如果电流保持很长时间（STEP 引脚无输入）或步进速度非常慢，则慢速衰减可能无法正确调节电流，因为电机绕组上不存在反电动势。在这种状态下，电机电流会迅速上升，并需要极长的关断时间。当电机绕组上没有反电动势时，上升或下降混合衰减模式能持续调节电流电平。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.5 智能调优动态衰减

与传统的固定关断时间电流调节方案相比，智能调优电流调节方案是一种先进的电流调节控制方法。智能调优电流调节方案有助于步进电机驱动器根据下列工作因素调整衰减方案：

- 电机绕组电阻和电感
- 电机老化效应
- 电机动态转速和负载
- 电机电源电压变化
- 步进上升和下降时的电机反电动势差
- 步进转换
- 低电流与高电流 dI/dt

该器件提供两种不同的智能调优电流调节模式，即智能调优动态衰减和智能调优纹波控制。

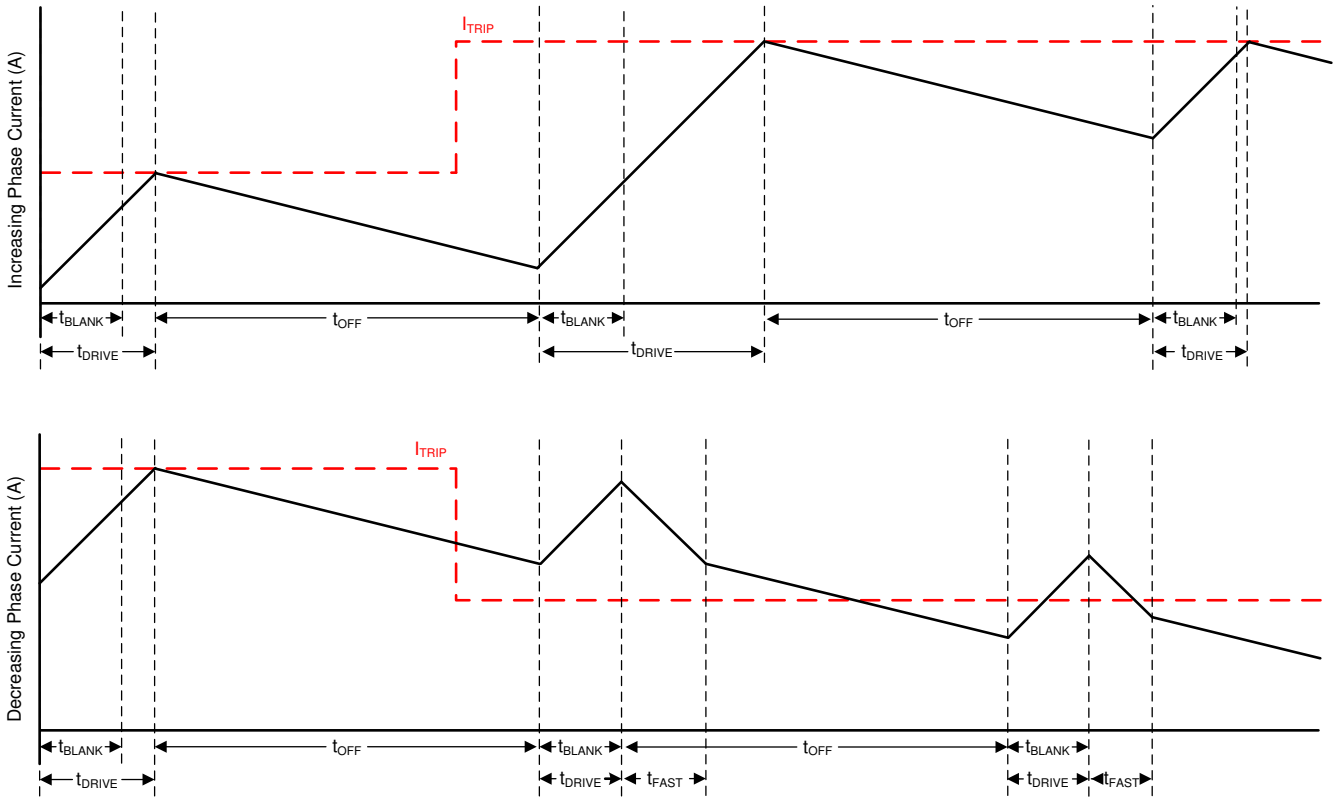


图 7-12. 智能调优动态衰减模式

智能调优动态衰减通过在慢速、混合和快速衰减之间自动配置衰减模式，大大简化了衰减模式选择。在混合衰减中，智能调优将动态地调整总混合衰减时间中的快速衰减百分比。此功能通过自动确定最佳衰减设置来消除电机调谐，从而产生最低的电机纹波。

衰减模式设置经由每个 PWM 周期进行迭代优化。如果电机电流超过目标跳变电平，则衰减模式在下一个周期变得更加激进（增加快速衰减百分比）以防止调节损失。如果必须长时间驱动才能达到目标跳变电平，则衰减模式在下一个周期变得不那么激进（去除快速衰减百分比），从而以更少的纹波实现更高效地运行。在步进下降时，智能调优动态衰减会自动切换到快速衰减，以便快速进入下一步进。

对于需要实现最小电流纹波但希望在电流调节方案中保持固定频率的应用，智能调优动态衰减是最佳选择。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.6 智能调优纹波控制

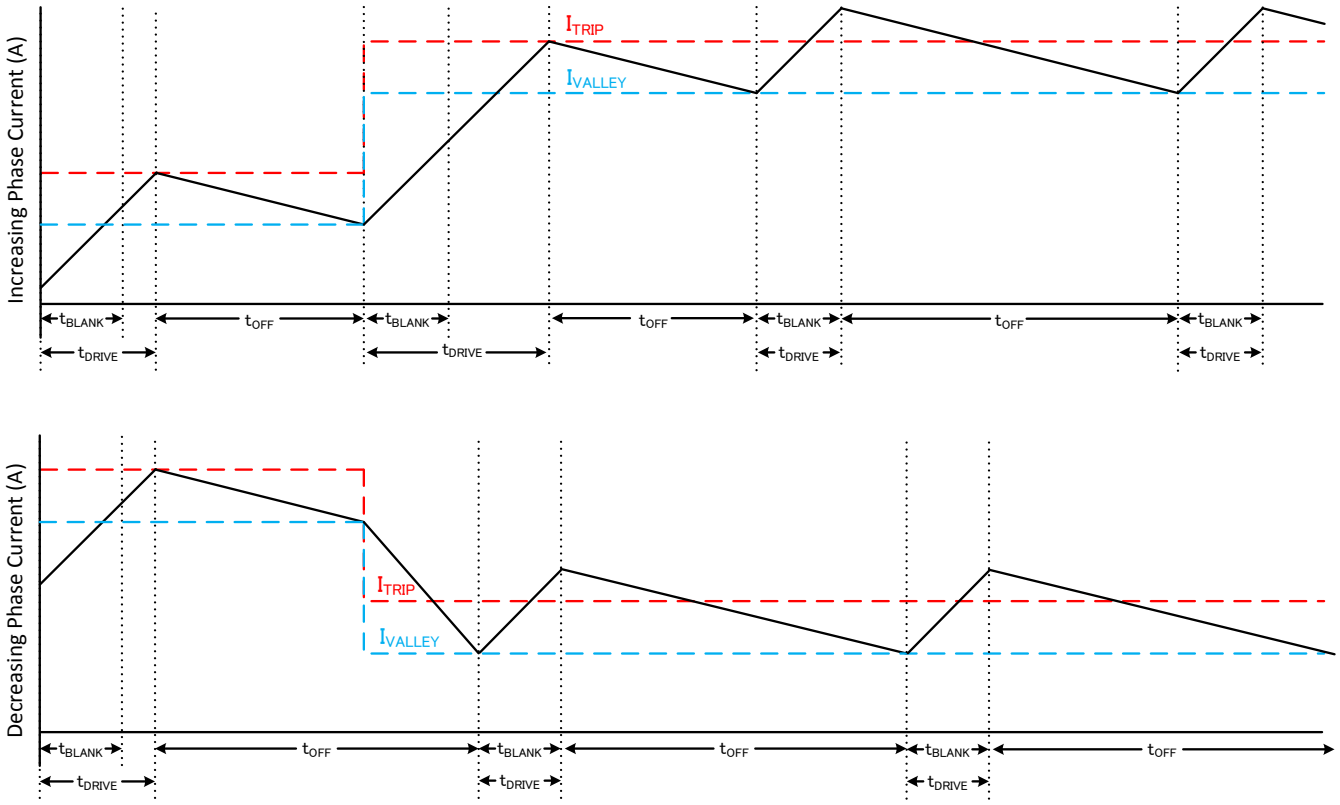


图 7-13. 智能调优纹波控制衰减模式

智能调优纹波控制通过在 I_{TRIP} 电平旁设置一个 I_{VALLEY} 电平来进行操作。当电流电平达到 I_{TRIP} 时，驱动器不是进入慢速衰减直到 t_{OFF} 时间结束，而是进入慢速衰减直到达到 I_{VALLEY}。慢速衰减的工作原理类似于模式 1，其中两个低侧 MOSFET 都导通，允许电流再循环。在此模式下，t_{OFF} 根据电流电平和运行条件而变化。

该方法可以更严格地调节电流电平，从而提高电机效率和系统性能。智能调优纹波控制适用于能够承受可变关断时间调节方案的系统，以在电流调节中实现较小的电流纹波。

Copyright © 2022 Texas Instruments Incorporated

7.3.7 消隐时间

在 H 桥接通电流（驱动阶段开始）后，电流检测比较器将在启用电流检测电路前被忽略一段时间 (t_{BLANK})。消隐时间还设定了 PWM 的最小驱动时间。当器件在慢速衰减阶段结束进入驱动阶段时，消隐时间大约为 500ns。如果器件在快速衰减阶段结束时进入驱动阶段，大概消隐时间如下表中所示 -

表 7-8. 消隐时间

SLEW_RATE	消隐时间 (t_{BLANK})
00b	5.6µs
01b	2µs
10b	1.5µs
11b	860 ns

7.3.8 电荷泵

集成了一个电荷泵以提供高侧 N 沟道 MOSFET 栅极驱动电压。需要在 VM 和 VCP 引脚之间为电荷泵放置一个电容作为储能电容。此外，还需要在 CPH 和 CPL 引脚之间放置一个一个陶瓷电容作为飞跨电容。

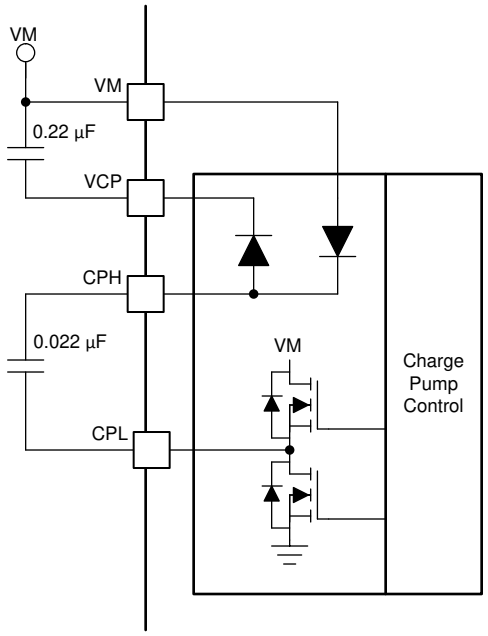


图 7-14. 电荷泵方框图

7.3.9 线性稳压器

该器件中集成了一个线性稳压器。DVDD 稳压器可用于提供基准电压。DVDD 最大可提供 2mA 的负载。为确保正常运行，请使用陶瓷电容器将 DVDD 引脚旁路至 GND。

DVDD 输出的标称值为 5V。当 DVDD LDO 电流负载超过 2mA 时，输出电压会显著下降。

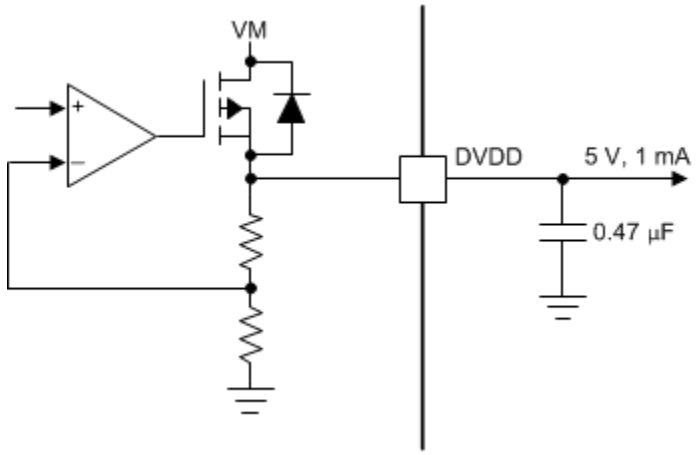


图 7-15. 线性稳压器方框图

如果逻辑电平输入须一直连接高电平，则宜将输入连接到 DVDD 引脚而不是外部稳压器。在未应用 VM 引脚或处于睡眠模式时，该方法可省电：DVDD 稳压器被禁用，电流不会流经输入下拉电阻。作为参考，逻辑电平输入的典型下拉电阻为 200kΩ。

请勿将 nSLEEP 引脚连接至 DVDD，否则器件将无法退出睡眠模式。

7.3.10 逻辑电平引脚图

图 7-16 展示了逻辑电平引脚 STEP、DIR、nSLEEP、SDI 和 SCLK 的输入结构。

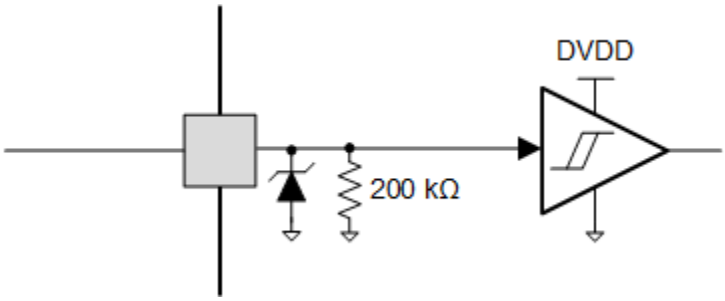


图 7-16. 逻辑电平输入引脚图

图 7-17 展示了逻辑电平引脚 DRVOFF 和 nSCS 的输入结构。

Copyright © 2022 Texas Instruments Incorporated

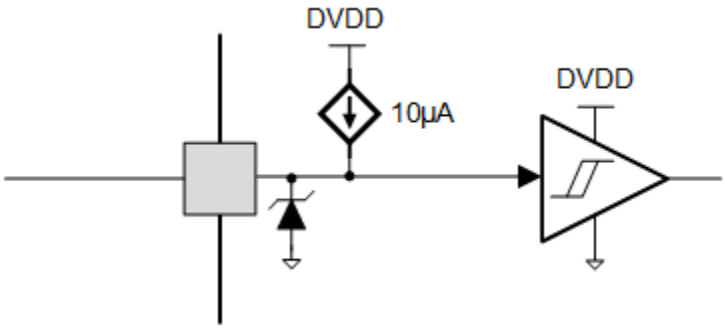


图 7-17. 带内部上拉的逻辑电平输入引脚图

7.3.10.1 nFAULT 引脚

nFAULT 引脚具有开漏输出且应上拉至 5V 或 3.3V 电源电压。当检测到故障时，nFAULT 引脚为逻辑低电平；上电后，nFAULT 引脚将变成高电平。对于 5V 上拉，nFAULT 引脚可通过一个电阻器连接至 DVDD 引脚。对于 3.3V 上拉，必须使用一个外部 3.3V 电源。

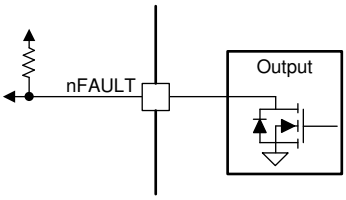


图 7-18. nFAULT 引脚

7.3.11 保护电路

该器件可完全防止电源欠压、电荷泵欠压、输出过流、器件过热和开路负载事件。

7.3.11.1 VM 欠压锁定 (UVLO)

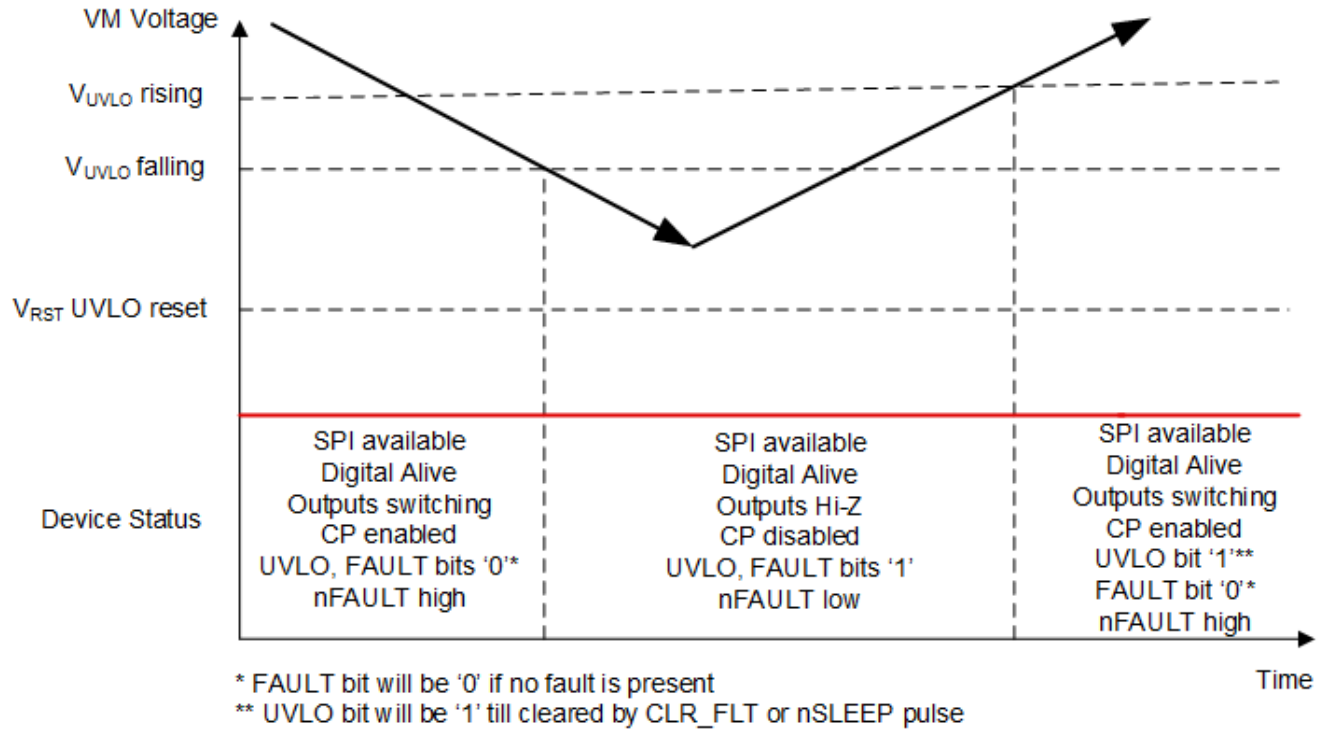


图 7-19. 电源电压斜坡曲线

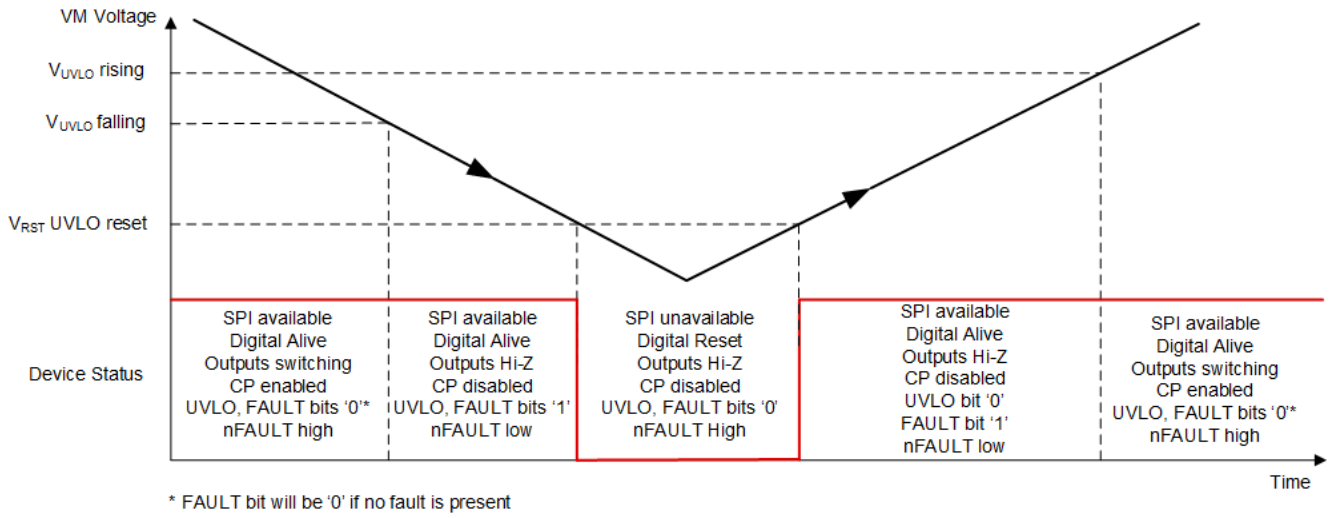


图 7-20. 电源电压斜坡曲线

无论 VM 引脚电压何时降至 UVLO 下降阈值电压以下，都会禁用所有输出（高阻态）以及电荷泵 (CP)。当 VM 电压恢复至 UVLO 上升阈值电压以上时，将恢复正常运行（电机驱动器和电荷泵）。

当 VM 引脚上的电压低于 UVLO 下降阈值电压（典型值 4.25V），但高于 VM UVLO 复位电压（V_{RST}，最大值 3.9V）时，可进行 SPI 通信，器件的数字内核有效，FAULT 和 UVLO 位在 SPI 寄存器中被设为高电平，并且 nFAULT 引脚被驱动为低电平，如图 7-19 所示。在这种条件下，如果 VM 电压恢复至高于 UVLO 上升阈值电压（典型值 4.35V），nFAULT 引脚将会释放（上拉至外部电压），FAULT 位会复位，但 UVLO 位会保持锁存为高电平，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲被清除为止。

Copyright © 2022 Texas Instruments Incorporated

当 VM 引脚电压低于 VM UVLO 复位电压（V_{RST}，最大值 3.9V）时， SPI 通信不可用，数字内核关断，FAULT 和 UVLO 位为低电平，并且 nFAULT 引脚为高电平。在后续的上电期间，当 VM 电压超过 V_{RST} 电压时，数字内核变为有效，UVLO 位保持低电平，但 FAULT 位设为高电平；并且 nFAULT 引脚被拉至低电平，如图 7-20 所示。当 VM 电压超过 VM UVLO 上升阈值时，FAULT 位会复位，UVLO 位保持低电平，并且 nFAULT 引脚被拉高。

7.3.11.2 VCP 欠压锁定 (CPUV)

无论 VCP 引脚电压何时降至 CPUV 电压以下，都会禁用所有输出并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵仍保持激活状态。FAULT 和 CPUV 位在 SPI 寄存器中被设为高电平。VCP 欠压条件消失后，器件将恢复正常运行（电机驱动器开始运行， nFAULT 引脚被释放，并且将 FAULT 位设置为低电平）。CPUV 位将保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲将其清除为止。

7.3.11.3 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此电流限制的持续时间超过 t_{OCP}，则将会禁用相应 H 桥中的 FET 并将 nFAULT 引脚驱动为低电平。FAULT 和 OCP 位在 SPI 寄存器中被锁存为高电平。对于 xOUTx 到 VM 短路，相应的 OCP_LSx_x 位在 DIAG 状态 1 寄存器中变为高电平。同样，对于 xOUTx 到接地短路，相应的 OCP_HSx_x 位会变为高电平。例如，对于 AOUT1 到 VM 短路，OCP_LS1_A 位会变为高电平；对于 BOUT2 到接地短路，OCP_HS2_B 位会变为高电平。在这种情况下，电荷泵仍保持激活状态。过流保护可在两种不同的模式下运行：锁存关断和自动重试。

7.3.11.3.1 锁存关断 (OCP_MODE = 0b)

在此模式下，在 OCP 事件发生后，将会禁用相关输出，且 nFAULT 引脚被驱动为低电平。器件会在发送 CLR_FLT 命令、nSLEEP 复位脉冲或下电上电后恢复正常运行。这是发生 OCP 事件时该器件采用的默认模式。

7.3.11.3.2 自动重试 (OCP_MODE = 1b)

在此模式下，OCP 事件发生后，相关的输出被禁用，且 nFAULT 引脚被驱动为低电平。在经过 t_{RETRY} 时间且故障条件消除后，器件将自动恢复正常运行（电机驱动器开始运行， nFAULT 引脚释放，且 FAULT 位变为低电平）。

7.3.11.4 开路负载检测 (OL)

如果任何线圈中的绕组电流降至开路负载电流阈值 (I_{OL}) 和分度器设置的 I_{TRIP} 电平之下，并且持续时长超过开路负载检测时间 (t_{OL})，则表明检测到开路负载情况。EN_OL 位必须为“1”才能启用开路负载检测。当检测到开路负载故障时，OL 和 FAULT 位在 SPI 寄存器中锁存为高电平，并且 nFAULT 引脚被驱动为低电平。如果 OL_A 位为高电平，则表明绕组 A 在 AOUT1 和 AOUT2 之间出现开路负载故障。同样，BOUT1 和 BOUT2 之间出现的开路负载故障会使 OL_B 位变为高电平。当开路负载情况消失，并且已通过 CLR_FLT 位或 nSLEEP 复位脉冲发出清除故障命令，正常运行将恢复，并且 nFAULT 线路会被释放。当器件下电上电或退出睡眠模式时，该故障也会清除。

如果电机保持在对应于 0°、90°、180° 或 270° 电角的位置，持续时间超过开路负载检测时间，开路负载故障将被标记，因为其中一个线圈电流为零。这种情况在全步进模式下不会出现，因为在这种模式下，线圈电流从不为零。

7.3.11.5 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD})，则会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵会禁用。此外，FAULT、TF 和 OTS 位会被锁存为高电平。无法禁用此保护特性。过热保护可在两种不同的模式下运行：锁存关断和自动恢复。

7.3.11.5.1 锁存关断 (OTSD_MODE = 0b)

在此模式下，在 OTSD 事件发生后，将会禁用所有输出，且 nFAULT 引脚被驱动为低电平。FAULT、TF 和 OTS 位在 SPI 寄存器中被锁存为高电平。器件会在发送 CLR_FLT 命令、nSLEEP 复位脉冲或下电上电后恢复正常运行。这是发生 OTSD 事件时器件采用的默认模式。

Copyright © 2022 Texas Instruments Incorporated

7.3.11.5.2 自动恢复 (OTSD_MODE = 1b)

在此模式下，OTSD 事件发生后，所有的输出被禁用，且 nFAULT 引脚被驱动为低电平。FAULT、TF 和 OTS 位在 SPI 寄存器中被锁存为高电平。结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件将恢复正常运行（电机驱动器开始运行，释放 nFAULT 线路且 FAULT 位变为低电平）。TF 位和 OTS 位保持锁存为高电平，指示发生热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲发出清除故障命令为止。

7.3.11.6 过热警告 (OTW)

如果内核温度超过过热警告 (T_{OTW}) 的跳闸点，则会在 SPI 寄存器中设置 OTW 和 TF 位。器件不会执行任何其他操作，并且会继续运行。当内核温度降至低于过热警告的迟滞点 (T_{HYS_OTW}) 时，OTW 和 TF 位会自动清除。通过 SPI 寄存器将 TW_REP 位设为 1b，还可以将 OTW 位配置为通过 nFAULT 引脚报告，并在器件中设置 FAULT 位。在这种情况下，电荷泵仍保持激活状态。

7.3.11.7 低温警告 (UTW)

如果内核温度低于欠温警告 (T_{UTW}) 的跳闸点，则会在 SPI 寄存器中设置 UTW 和 TF 位。器件不会执行任何其他操作，并且会继续运行。如果内核温度超过欠温警告的迟滞点 (T_{HYS_UTW})，UTW 和 TF 位自动清除。通过 SPI 寄存器将 TW_REP 位设为 1b，还可以将 UTW 位配置为通过 nFAULT 引脚报告，并在器件中设置 FAULT 位。在这种情况下，电荷泵将保持激活状态。

表 7-9. 故障条件汇总

故障	条件	配置	错误报告	H 桥	电荷泵	分度器	逻辑	恢复
VM 欠压 (UVLO)	VM < V_{UVLO}（最大值 4.35V）	—	nFAULT/SPI	禁用	禁用	禁用	复位 (V_{VM} < 3.9V)	自动：VM > V_{UVLO}（最大值 4.45V）
VCP 欠压 (CPUV)	VCP < V_{CPUV}（VM 典型值 + 2.25 V）	—	nFAULT/SPI	禁用	工作	工作	工作	VCP > V_{CPUV}（VM 典型值 + 2.7V）
过流 (OCP)	I_{OUT} > I_{OCP}（最小值 1.7A）	OCP_MODE = 0b	nFAULT/SPI	禁用	工作	工作	工作	锁存：CLR_FLT/nSLEEP
		OCP_MODE = 1b	nFAULT/SPI	禁用	工作	工作	工作	自动重试：t_{RETRY}
开路负载 (OL)	检测到空载	EN_OL = 1b	nFAULT/SPI	工作	工作	工作	工作	仅报告
过热警告 (OTW)	T_J > T_{OTW}	TW_REP = 1b	nFAULT/SPI	工作	工作	工作	工作	自动：T_J < T_{OTW} - T_{HYS_OTW}
		TW_REP = 0b	SPI	工作	工作	工作	工作	
欠温警告 (UTW)	T_J < T_{UTW}	TW_REP = 1b	nFAULT/SPI	工作	工作	工作	工作	自动：T_J > T_{UTW} + T_{HYS_UTW}
		TW_REP = 0b	SPI	工作	工作	工作	工作	
热关断 (OTSD)	T_J > T_{OTSD}	OTSD_MODE = 0b	nFAULT/SPI	禁用	禁用	工作	工作	锁存：CLR_FLT/nSLEEP
		OTSD_MODE = 1b	SPI	禁用	禁用	工作	工作	自动：T_J < T_{OTSD} - T_{HYS_OTSD}

7.4 器件功能模式

7.4.1 睡眠模式 (nSLEEP = 0)

器件将通过 nSLEEP 引脚实现状态管理。当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有内部 MOSFET，DVDD 稳压器、电荷泵和 SPI 也会被禁用。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

Copyright © 2022 Texas Instruments Incorporated

7.4.2 禁用模式（nSLEEP = 1，DRVOFF = 1）

DRVOFF 引脚用于启用或禁用器件中的半桥。当 DRVOFF 引脚为高电平时，输出驱动器将在高阻态状态下被禁用。

DIS_OUT 位也可用于禁用输出驱动器。当 DIS_OUT 位为“1”时，输出驱动器将在高阻态状态下被禁用。DIS_OUT 与 DRVOFF 引脚进行“或”运算。

表 7-10. 启用或禁用输出驱动器的条件

nSLEEP	DRVOFF	DIS_OUT	H 桥
0	不用考虑	不用考虑	禁用
1	0	0	工作时
1	0	1	禁用
1	1	0	禁用
1	1	1	禁用

7.4.3 工作模式（nSLEEP = 1，DRVOFF = 0）

当 nSLEEP 引脚为高电平、DRVOFF 引脚为低电平且 VM > UVLO 时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

7.4.4 nSLEEP 复位脉冲

除了 SPI 寄存器中的 CLR_FLT 位，锁存故障还可通过快速 nSLEEP 脉冲清除。该脉冲宽度必须大于 18μs 且短于 35μs 。如果 nSLEEP 在 35μs 至 75μs 的时间内保持低电平，则会清除故障，但器件有可能会关断，也有可能不关断，如时序图中所示（请参阅图 7-21）。该复位脉冲会复位所有 SPI 故障，但不影响电荷泵或其他功能块的状态。

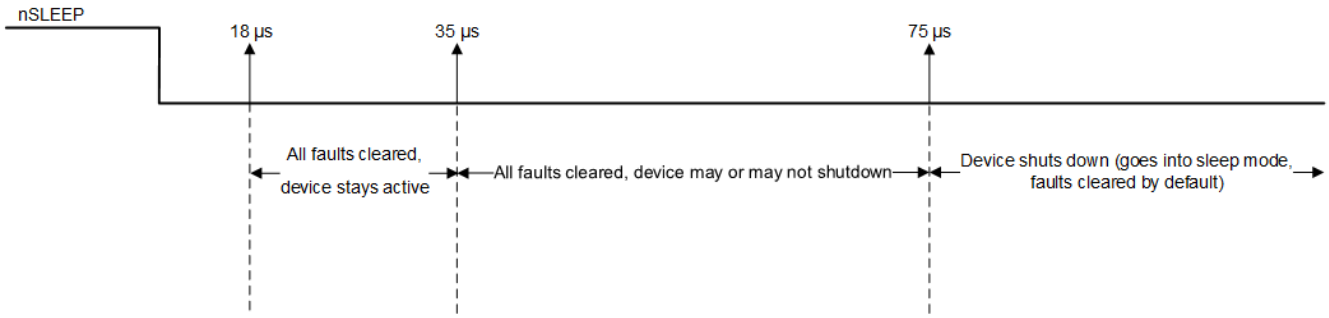


图 7-21. nSLEEP 复位脉冲

表 7-11 列出了功能模式的汇总。

表 7-11. 功能模式汇总

条件		配置	H 桥	DVDD 稳压器	电荷泵	分度器	逻辑
睡眠模式	4.5V < VM < 45V	nSLEEP 引脚 = 0	禁用	禁用	禁用	禁用	禁用
工作	4.5V < VM < 45V	nSLEEP 引脚 = 1 DRVOFF 引脚 = 0	工作	工作	工作	工作	工作
禁用	4.5V < VM < 45V	nSLEEP 引脚 = 1 DRVOFF 引脚 = 1	禁用	工作	工作	工作	工作

Copyright © 2022 Texas Instruments Incorporated

7.5 编程

7.5.1 串行外设接口 (SPI) 通信

器件 SPI 具有全双工、4 线同步通信。本节介绍了 SPI 协议、命令结构以及控制和状态寄存器。该器件可按照以下配置与 MCU 连接：

- 一个从器件
- 并行连接中的多个从器件
- 串行（菊花链）连接中的多个从器件

7.5.1.1 SPI 格式

SDI 输入数据字的长度为 16 位，包含以下格式：

- 1 个读/写位，W（第 14 位）
- 5 个地址位，A（第 13 到第 9 位）
- 8 个数据位，D（第 7 到第 0 位）

SDO 输出数据字的长度是 16 位，状态寄存器 (S1) 占前 8 位。报告字 (R1) 是所访问的寄存器的内容。

对于写命令 (W0 = 0)，SDO 引脚上的响应字是当前被写入的寄存器中的数据。

对于读命令 (W0 = 1)，响应字是当前被读取的寄存器中的数据。

表 7-12. SDI 输入数据字格式

	R/W	地址					不用考虑	数据							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	W0	A4	A3	A2	A1	A0	X	D7	D6	D5	D4	D3	D2	D1	D0

表 7-13. SDO 输出数据字格式

状态								报告							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
1	1	UVLO	CPUV	OCP	RSVD	TF	OL	D7	D6	D5	D4	D3	D2	D1	D0

7.5.1.2 用于单个从器件的 SPI

SPI 用于设置器件配置、工作参数和读取诊断信息。SPI 在从模式下运行。SPI 输入数据 (SDI) 文字由 16 位文字组成，其中 8 位是命令和 8 位是数据。SPI 输入数据 (SDO) 文字由 8 位带有故障状态指示的状态寄存器和 8 位寄存器数据组成。图 7-22 展示了 MCU 和 SPI 从驱动器之间的数据序列。

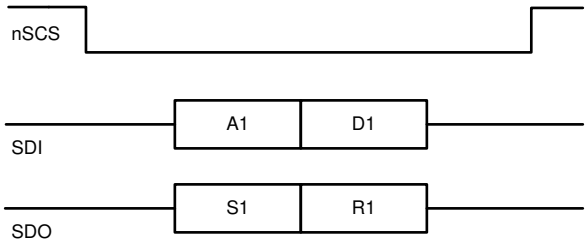


图 7-22. MCU 和器件之间的 SPI 事务

有效帧必须满足以下条件：

- 当 nSCS 引脚变为低电平和高电平时，SCLK 引脚必须为低电平。
- nSCS 引脚在两帧之间的高电平时间至少应为 500ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态 (Hi-Z)。
- 必须发生 16 个完整的 SCLK 周期。
- 数据在时钟下降沿被捕捉，并在时钟上升沿被驱动。

Copyright © 2022 Texas Instruments Incorporated

- 最高有效位 (MSB) 最先移入和移出。
- 如果发送到 SDI 引脚的数据字少于 16 位或多于 16 位，就会发生帧错误，并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位命令数据之后在 SDO 引脚上移出。

7.5.1.3 用于多个从器件的并行配置 SPI

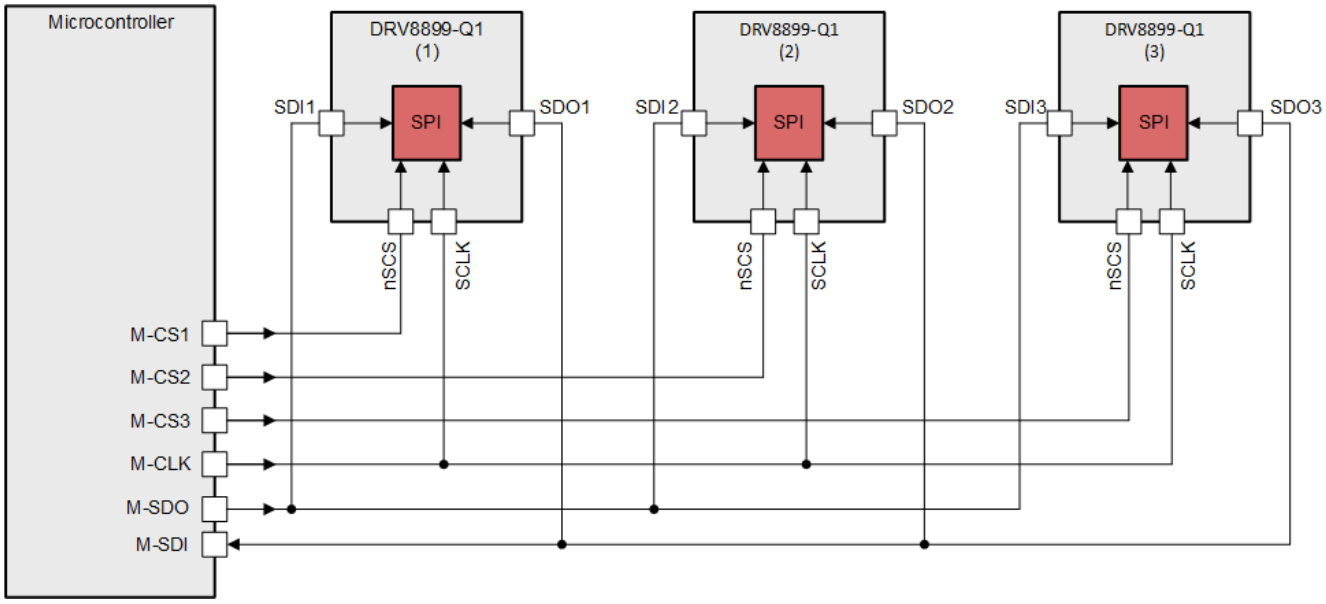


图 7-23. 并行配置连接的三个 DRV8899-Q1 器件

7.5.1.4 用于多个从器件的菊花链配置 SPI

DRV8899-Q1 器件可以采用菊花链配置连接，以便多个器件与同一个 MCU 通信时保持 GPIO 端口可用。图 7-24 展示了三个器件串行连接时的拓扑。

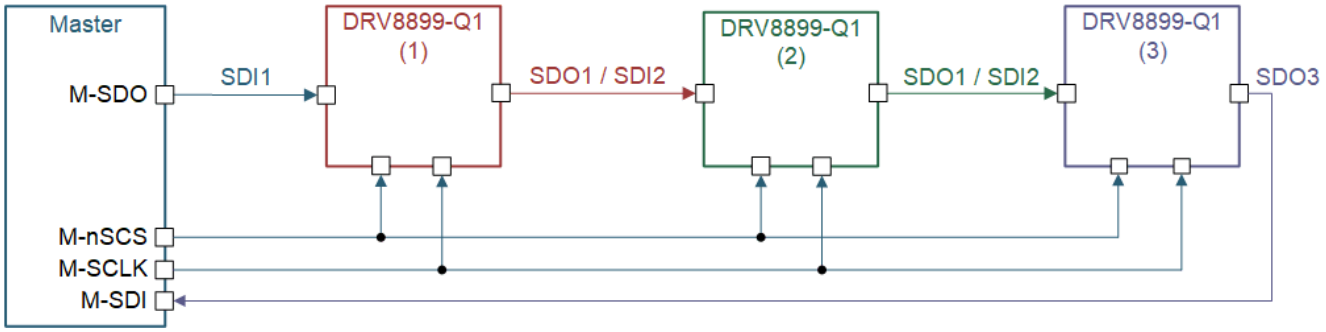


图 7-24. 在菊花链中连接的三个 DRV8899-Q1 器件

链中的第一个器件按以下格式从 MCU 接收数据，以进行三器件配置：2 字节标头 (HDRx) 后跟 3 字节地址 (Ax) 后跟 3 字节数据 (Dx)。

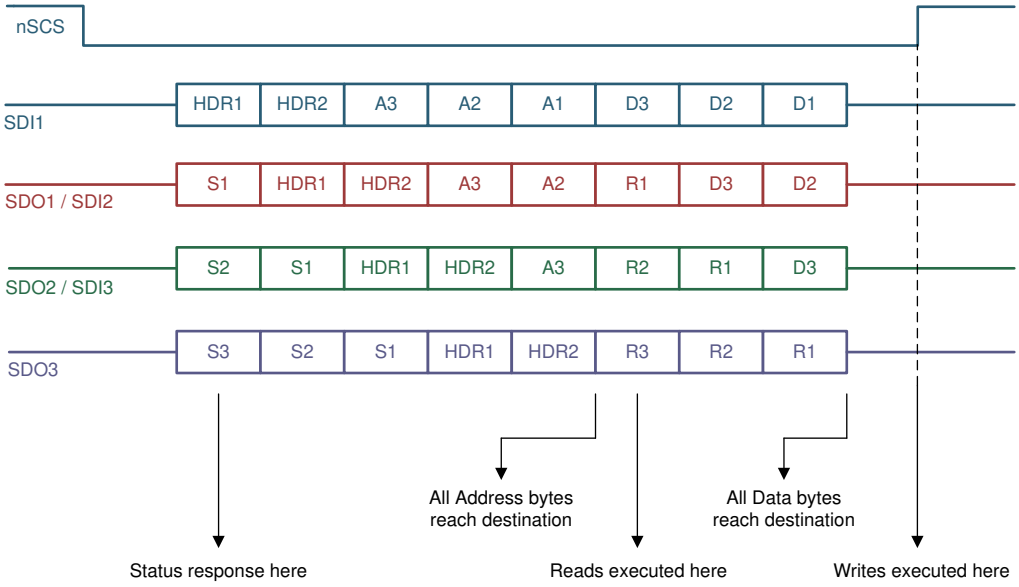


图 7-25. 带有三个器件的 SPI 帧

通过链中传送数据后，MCU 会按以下格式接收数据字符串，以进行三器件配置：3 字节状态 (Sx) 后跟 2 字节标头后跟 3 字节报告 (Rx)。

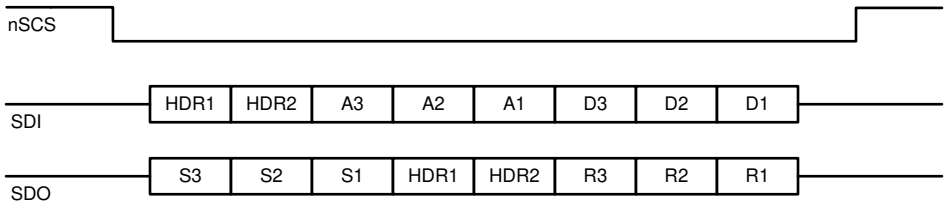


图 7-26. 用于三个器件的 SPI 数据序列

标头字节包含链中连接的器件数量信息，以及一个全局清除故障命令，该命令将在芯片选择 (nSCS) 信号的上升沿清除所有器件的故障寄存器。标头值 N5 到 N0 是 6 位，专用于显示链中的器件数量。每个菊花链连接最多可串行连接 63 个器件。

HDR2 寄存器的 5 个 LSB 不用考虑位，MCU 可以使用这些位来确定菊花链连接的完整性。对于两个 MSB，标头字节必须以 1 和 0 开头。

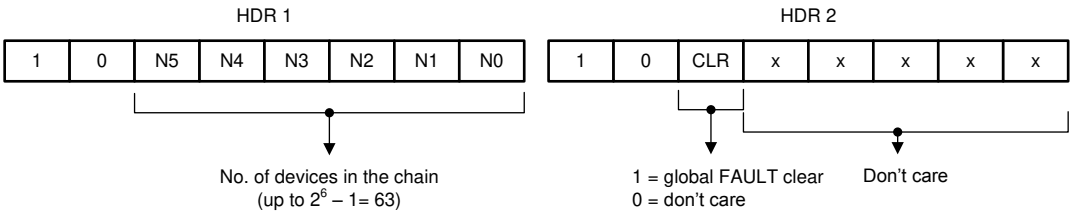


图 7-27. 标头字节

状态字节提供菊花链中每个器件的故障状态寄存器的相关信息，因此 MCU 不必启动读取命令即可从任何特定器件读取故障状态。这样可以保留用于 MCU 的其他读取命令，并使系统更有效地确定器件中标记的故障条件。对于两个 MSB，状态字节必须以 1 和 1 开头。

Copyright © 2022 Texas Instruments Incorporated

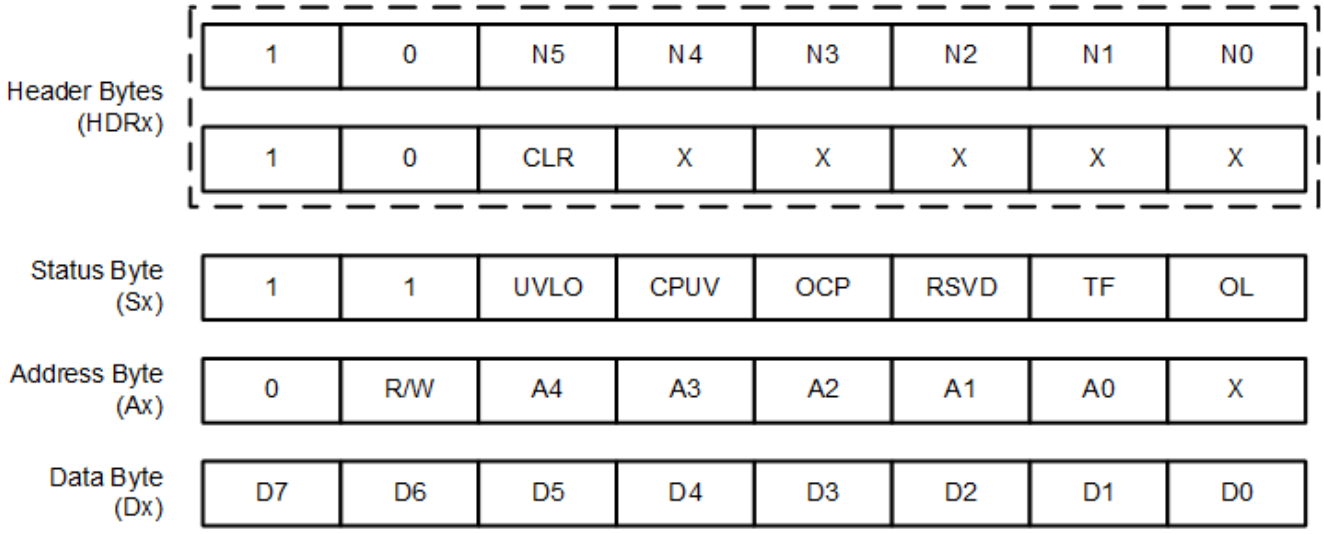


图 7-28. DRV8899-Q1 的标头、状态、地址和数据字节的内容

当数据通过器件时，它通过计算接收到的状态字节数后跟第一个标头字节来确定自身在链中的位置。例如，在这种三器件配置中，链中的器件 2 在接收 HDR1 字节之前先接收两个状态字节，然后再接收 HDR2 字节。

根据两个状态字节，数据可以确定其位于链中的第二个位置。根据 HDR2 字节，数据可以确定链中连接了多少个器件。这样，数据仅将相关的地址和数据字节加载到其缓冲区中，并绕过其他位。该协议允许在不增加系统延迟的情况下为链上多达 63 个器件提供更快的通信。

对于单器件连接，地址和数据字节保持不变。图 7-26 中显示的报告字节（R1 到 R3）是所访问的寄存器的内容。

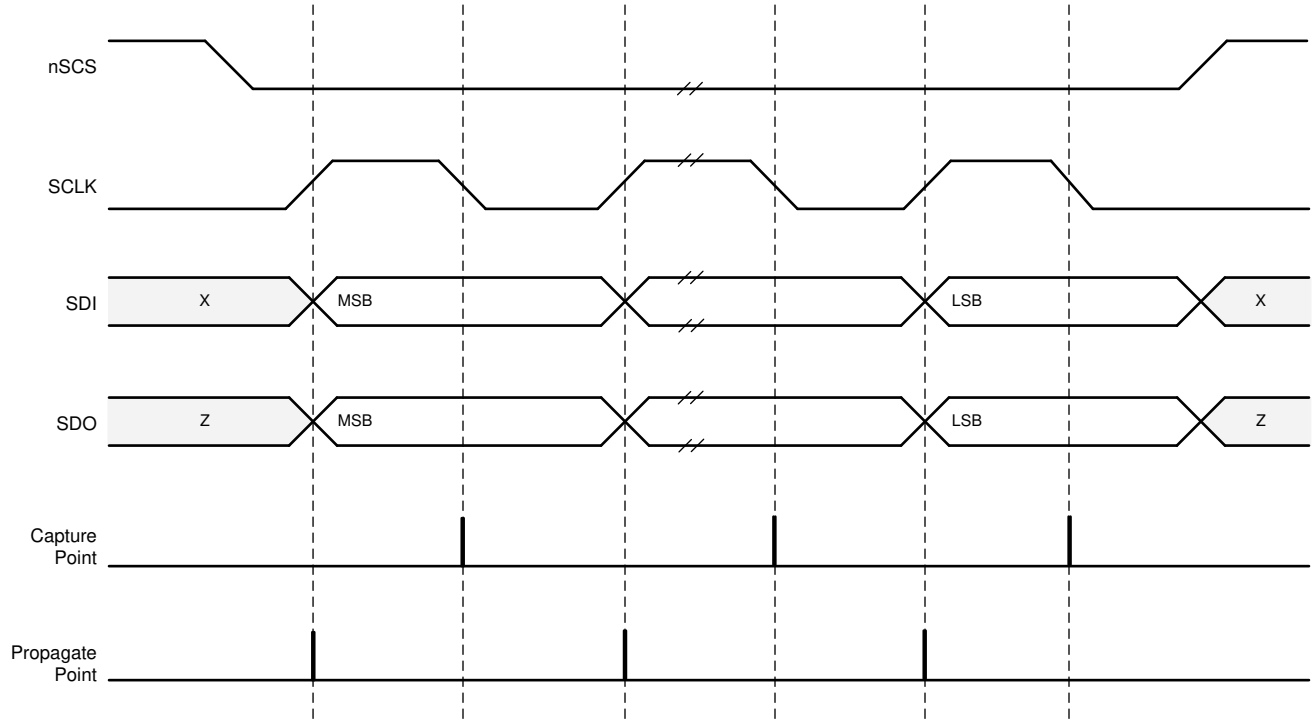


图 7-29. SPI 事务

Copyright © 2022 Texas Instruments Incorporated

7.6 寄存器映射

存储器映射列出了 DRV8899-Q1 器件的存储器映射寄存器。存储器映射中未列出的所有寄存器地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 7-14. 存储器映射

寄存器名称	7	6	5	4	3	2	1	0	访问类型	地址
故障状态	FAULT	SPI_ERROR	UVLO	CPUV	OCP	RSVD	TF	OL	R	0x00
DIAG 状态 1	OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A	R	0x01
DIAG 状态 2	UTW	OTW	OTS	RSVD			OL_B	OL_A	R	0x02
CTRL1	TRQ_DAC [3:0]				RSVD		SLEW_RATE [1:0]		RW	0x03
CTRL2	DIS_OUT	RSVD		TOFF [1:0]		DECAY [2:0]			RW	0x04
CTRL3	DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]				RW	0x05
CTRL4	CLR_FLT	LOCK [2:0]			EN_OL	OCP_MODE	OTSD_MODE	TW_REP	RW	0x06
CTRL5	RSVD								RW	0x07
CTRL6	RSVD								RW	0x08
CTRL7	RSVD								R	0x09
CTRL8	RSVD				REV_ID [3:0]				R	0x0A

DRV8889-Q1 和 DRV8889A-Q1 的寄存器映射之间的差异是，DRV8889A-Q1 在 CTRL5 寄存器中有 OL_TIME [1:0] 和 EN_SR_BLANK 位，用于对开路负载检测时间和缓慢衰减至驱动模式消隐时间进行编程。此外，CTRL2 寄存器中 DIS_OUT 位的默认值在 DRV8889A-Q1 中有所不同。

复杂的位访问类型被编码以适应小型表单元。表 7-15 展示了适用于此部分中访问类型的代码。

表 7-15. 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2022 Texas Instruments Incorporated

7.6.1 状态寄存器

状态寄存器用于报告警告和故障状况。状态寄存器是只读寄存器

表 7-16 列出了状态寄存器的存储器映射寄存器。表 7-16 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 7-16. 状态寄存器汇总表

地址	寄存器名称	部分
0x00	故障状态	查找
0x01	DIAG 状态 1	查找
0x02	DIAG 状态 2	查找

7.6.2 故障状态寄存器名称（地址 = 0x00）

图 7-30 展示了故障状态，图 7-30 中对此进行了介绍。

只读

图 7-30. 故障状态寄存器

7	6	5	4	3	2	1	0
FAULT	SPI_ERROR	UVLO	CPUV	OCP	RSVD	TF	OL
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-17. 故障状态寄存器字段说明

位	字段	类型	默认值	说明
7	FAULT	R	0b	当 nFAULT 引脚为 1 时，故障位为 0。当 nFAULT 引脚为 0 时，故障位为 1。
6	SPI_ERROR	R	0b	指示 SPI 协议错误，例如 SCLK 脉冲多于所需，或者缺少 SCLK，即使 nSCS 为低电平。在出现故障时变为高电平，nFAULT 引脚被驱动为低电平。当协议错误消失时，并且已通过 CLR_FLT 位或 nSLEEP 复位脉冲发出清除故障命令后，器件将恢复正常运行。
5	UVLO	R	0b	指示欠压锁定故障情况。
4	CPUV	R	0b	指示电荷泵欠压故障情况。
3	OCP	R	0b	指示过流故障情况
2	RSVD	R	0b	保留。
1	TF	R	0b	过热警告、欠温警告和过热关断的逻辑或。
0	OL	R	0b	表明存在开路负载情况。

7.6.3 DIAG 状态 1（地址 = 0x01）

图 7-31 展示了 DIAG 状态 1，表 7-18 中对此进行了介绍。

只读

图 7-31. DIAG 状态 1 寄存器

7	6	5	4	3	2	1	0
OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

Copyright © 2022 Texas Instruments Incorporated

表 7-18. DIAG 状态 1 寄存器字段说明

位	字段	类型	默认值	说明
7	OCP_LS2_B	R	0b	表明 BOUT 中半桥 2 的低侧 FET 上存在过流故障
6	OCP_HS2_B	R	0b	表明 BOUT 中半桥 2 的高侧 FET 上存在过流故障
5	OCP_LS1_B	R	0b	表明 BOUT 中半桥 1 的低侧 FET 上存在过流故障
4	OCP_HS1_B	R	0b	表明 BOUT 中半桥 1 的高侧 FET 上存在过流故障
3	OCP_LS2_A	R	0b	表明 AOUT 中半桥 2 的低侧 FET 上存在过流故障
2	OCP_HS2_A	R	0b	表明 AOUT 中半桥 2 的高侧 FET 上存在过流故障
1	OCP_LS1_A	R	0b	表明 AOUT 中半桥 1 的低侧 FET 上存在过流故障
0	OCP_HS1_A	R	0b	表明 AOUT 中半桥 1 的高侧 FET 上存在过流故障

7.6.4 DIAG 状态 2（地址 = 0x02）

图 7-32 展示了 DIAG 状态 2，表 7-19 中对此进行了介绍。

只读

图 7-32. DIAG 状态 2 寄存器

7	6	5	4	3	2	1	0
UTW	OTW	OTS	RSVD			OL_B	OL_A
R-0b	R-0b	R-0b	R-000b			R-0b	R-0b

表 7-19. DIAG 状态 2 寄存器字段说明

位	字段	类型	默认值	说明
7	UTW	R	0b	表明欠温警告。
6	OTW	R	0b	表明过热警告。
5	OTS	R	0b	表明过热关断。
4-2	RSVD	R	000b	保留。
1	OL_B	R	0b	表明 BOUT 上的开路负载检测
0	OL_A	R	0b	表明 AOUT 上的开路负载检测

7.6.5 控制寄存器

IC 控制寄存器用于配置器件。状态寄存器支持读写。

表 7-20 列出了控制寄存器的存储器映射寄存器。表 7-20 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 7-20. 控制寄存器汇总表

地址	寄存器名称	部分
0x03	CTRL1	查找
0x04	CTRL2	查找
0x05	CTRL3	查找
0x06	CTRL4	查找
0x07	CTRL5	查找
0x08	CTRL6	查找
0x09	CTRL7	查找

Copyright © 2022 Texas Instruments Incorporated

7.6.6 CTRL1 控制寄存器（地址 = 0x03）

图 7-33 展示了 CTRL1 控制，表 7-21 中对此进行了介绍。

读/写

图 7-33. CTRL1 控制寄存器

7	6	5	4	3	2	1	0
TRQ_DAC [3:0]				RSVD		SLEW_RATE [1:0]	
R/W-0000b				R/W-00b		R/W-00b	

表 7-21. CTRL1 控制寄存器字段说明

位	字段	类型	默认值	说明
7-4	TRQ_DAC [3:0]	R/W	0000b	**0000b = 100%** 0001b = 93.75% 0010b = 87.5% 0011b = 81.25% 0100b = 75% 0101b = 68.75% 0110b = 62.5% 0111b = 56.25% 1000b = 50% 1001b = 43.75% 1010b = 37.5% 1011b = 31.25% 1100b = 25% 1101b = 18.75% 1110b = 12.5% 1111b = 6.25%
3-2	RSVD	R/W	00b	保留
1-0	SLEW_RATE [1:0]	读/写	00b	**00b = 10V/µs** 01b = 35V/µs 10b = 50V/µs 11b = 105V/µs

7.6.7 CTRL2 控制寄存器（地址 = 0x04）

图 7-34 展示了适用于 DRV8889A-Q1 的 CTRL2 控制寄存器，表 7-22 中对此进行了介绍。

读/写

图 7-34. 适用于 DRV8889-Q1 的 CTRL2 控制寄存器

7	6	5	4	3	2	1	0
DIS_OUT	RSVD		TOFF [1:0]		DECAY [2:0]		
R/W-0b	R/W-00b		R/W-01b		R/W-111b		

表 7-22. 适用于 DRV8889-Q1 的 CTRL2 控制寄存器字段说明

位	字段	类型	默认值	说明
7	DIS_OUT	R/W	0b (DRV8889-Q1) 1b (DRV8889A-Q1)	写入“1”将所有输出设置为高阻态。写入“0”可启用所有输出。与 DRVOFF 引脚进行“或”运算。为防止错误的 OL 检测，在将“1”写入 DIS_OUT 以将输出设置为高阻态之前，通过将“0”写入 EN_OL 位确保禁用 OL 故障检测。
6-5	RSVD	R/W	00b	保留

Copyright © 2022 Texas Instruments Incorporated

表 7-22. 适用于 DRV8889-Q1 的 CTRL2 控制寄存器字段说明 (continued)

位	字段	类型	默认值	说明
4-3	TOFF [1:0]	R/W	01b	00b = 7μs **01b = 16μs** 10b = 24μs 11b = 32μs
2-0	DECAY [2:0]	R/W	111b	000b = 提高慢速衰减，降低慢速衰减 001b = 提高慢速衰减，降低混合衰减 30% 010b = 提高慢速衰减，降低混合衰减 60% 011b = 提高慢速衰减，降低快速衰减 100b = 提高混合衰减 30%，降低混合衰减 30% 101b = 提高混合衰减 60%，降低混合衰减 60% 110b = 智能调优动态衰减 **111b = 智能调优纹波控制**

7.6.8 CTRL3 控制寄存器（地址 = 0x05）

图 7-35 展示了 CTRL3，表 7-23 中对此进行了介绍。

读/写

图 7-35. CTRL3 控制寄存器

7	6	5	4	3	2	1	0
DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0000b			

表 7-23. CTRL3 控制寄存器字段说明

位	字段	类型	默认值	说明
7	DIR	R/W	0b	方向输入。SPI_DIR = 1 时，逻辑值“1”设置步进的方向。
6	STEP	R/W	0b	步进输入。SPI_STEP = 1 时，逻辑值“1”使分度器前进一步。该位会自行清除，并在写入“1”后自动变为“0”。
5	SPI_DIR	R/W	0b	**0b = DIR 的输出跟随输入引脚** 1b = 输出跟随 SPI 寄存器 DIR
4	SPI_STEP	R/W	0b	**0b = STEP 的输出跟随输入引脚** 1b = 输出跟随 SPI 寄存器 STEP
3-0	MICROSTEP_MODE [3:0]	R/W	0000b	**0000b = 100% 电流的全步进（两相励磁）** 0001b = 71% 电流的全步进（两相励磁） 0010b = 非循环 1/2 步进 0011b = 1/2 步进 0100b = 1/4 步进 0101b = 1/8 步进 0110b = 1/16 步进 0111b = 1/32 步进 1000b = 1/64 步进 1001b = 1/128 步进 1010b = 1/256 步进 1011b 至 1111b = 保留

Copyright © 2022 Texas Instruments Incorporated

7.6.9 CTRL4 控制寄存器（地址 = 0x06）

图 7-36 展示了 CTRL4，表 7-24 中对此进行了介绍。

读/写

图 7-36. CTRL4 控制寄存器

7	6	5	4	3	2	1	0
CLR_FLT	LOCK [2:0]			EN_OL	OCP_MODE	OTSD_MODE	TW_REP
R/W-0b	R/W-011b			R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-24. CTRL4 控制寄存器字段说明

位	字段	类型	默认值	说明
7	CLR_FLT	R/W	0b	将“1”写入该位，以清除所有锁存故障位。该位在写入后自动复位。
6-4	LOCK [2:0]	R/W	011b	写入 110b 以锁定设置，除了这些位和地址 0x06h 位 7 (CLR_FLT)，忽略后续寄存器写入。写入除 110b 之外的任何序列在解锁时都没有任何影响。 向此寄存器写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。
3	EN_OL	读/写	0b	写入“1”以启用开路负载检测
2	OCP_MODE	R/W	0b	**0b = 过流情况导致锁存故障** 1b = 过流情况导致自动重试故障
1	OTSD_MODE	R/W	0b	**0b = 过热情况会导致锁存故障** 1b = 过热情况会导致自动恢复故障
0	TW_REP	R/W	0b	**0b = 不会在 nFAULT 线路上报告过热或欠温警告** 1b = 会在 nFAULT 线路上报告过热或欠温警告

7.6.10 CTRL5 控制寄存器（地址 = 0x07）

图 7-37 展示了 CTRL5 控制，表 7-25 中对此进行了介绍。

读/写

图 7-37. CTRL5 控制寄存器

7	6	5	4	3	2	1	0
RSVD							
R/W-00001000b							

表 7-25. CTRL5 控制寄存器字段说明

位	字段	类型	默认值	说明
7-0	RSVD	R/W	00001000b	保留。应始终为“00001000”。

7.6.11 CTRL6 控制寄存器（地址 = 0x08）

图 7-38 展示了 CTRL6，表 7-26 中对此进行了介绍。

读/写

图 7-38. CTRL6 控制寄存器

7	6	5	4	3	2	1	0
RSVD							

Copyright © 2022 Texas Instruments Incorporated

图 7-38. CTRL6 控制寄存器 (continued)

R/W-00001111b

表 7-26. CTRL6 控制寄存器字段说明

位	字段	类型	默认值	说明
7-0	RSVD	R/W	00001111b	保留。

7.6.12 CTRL7 控制寄存器（地址 = 0x09）

图 7-39 展示了 CTRL7，表 7-27 中对此进行了介绍。

只读

图 7-39. CTRL7 控制寄存器

7	6	5	4	3	2	1	0
RSVD							
R-11111111b							

表 7-27. CTRL7 控制寄存器字段说明

位	字段	类型	默认值	说明
7-0	RSVD	R	11111111b	保留。

7.6.13 CTRL8 控制寄存器（地址 = 0x0A）

图 7-40 展示了 CTRL8，表 7-28 中对此进行了介绍。

只读

图 7-40. CTRL8 控制寄存器

7	6	5	4	3	2	1	0
RSVD				REV_ID [3:0]			
R-0000b				R-0010b			

表 7-28. CTRL8 控制寄存器字段说明

位	字段	类型	默认值	说明
7-4	RSVD	R	0000b	保留
3-0	REV_ID	R	0010b	器件修订版本标识。 0000b 表示第 1 个原型修订版本。 0001b 表示第 2 个原型修订版本。 0010b 表示量产修订版本。

Copyright © 2022 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计，以确保系统功能正常。

8.1 应用信息

DRV8899-Q1 器件用于双极步进控制。

8.2 典型应用

以下设计过程可用于配置 DRV8899-Q1 器件。

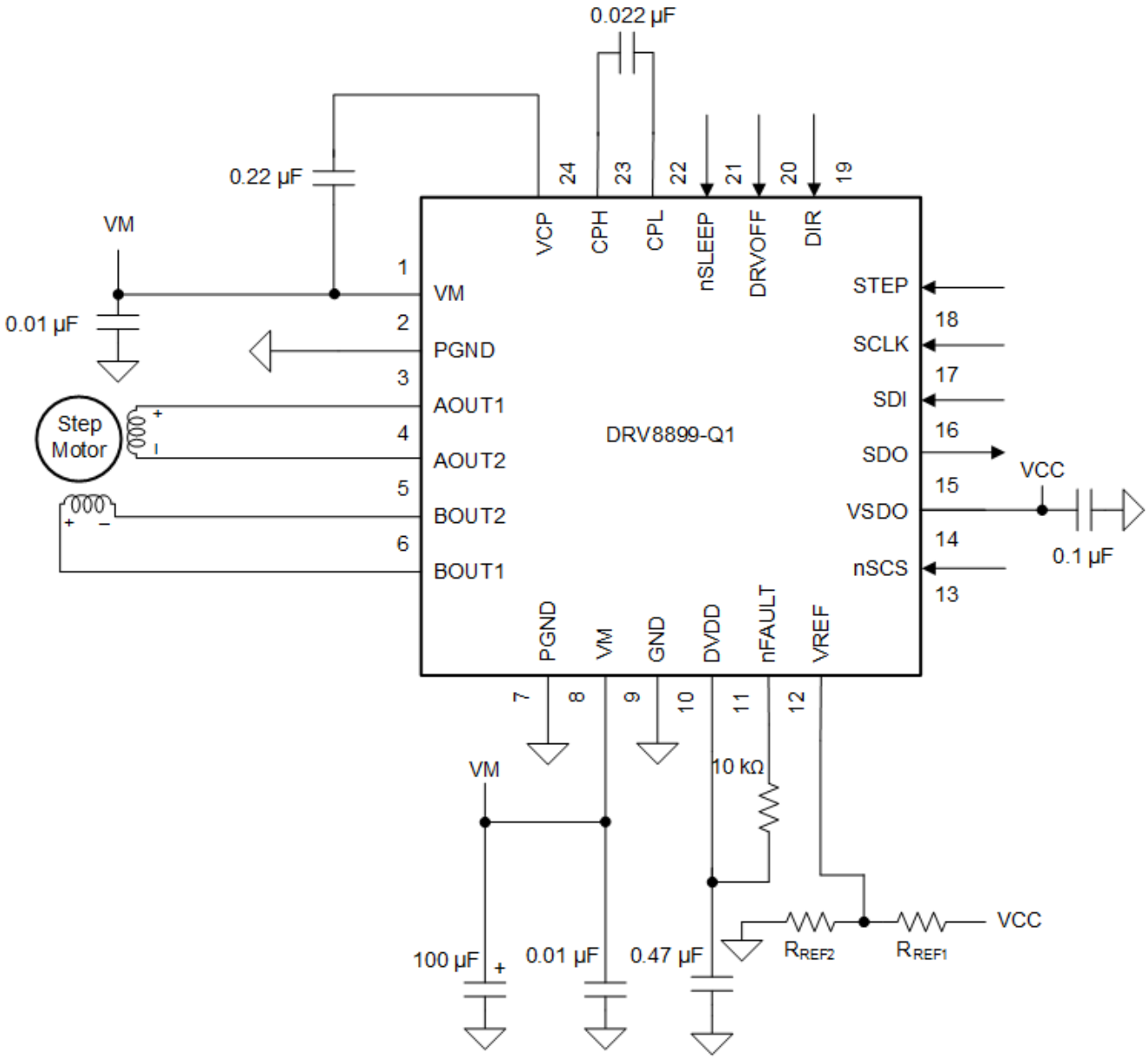


图 8-1. 典型应用原理图（VQFN 封装）

8.2.1 设计要求

表 8-1 列出了典型自适应前照灯应用的设计输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
电源电压	VM	9V 至 16V，标称值为 13.5V
电机绕组电阻	R_L	7.7Ω/相
电机全步进角	θ_{step}	15°/步进
目标微步进级别	n_m	1/8 步进
目标电机转速	v	300rpm
目标满量程电流	I_{FS}	500mA

8.2.2 详细设计过程

8.2.2.1 步进电机转速

配置器件时，第一步需要确定所需的电机转速和微步进级别。如果目标应用需要恒定转速，则必须将频率为 f_{step} 的方波施加到 STEP 引脚。如果目标电机转速过高，则电机不会旋转。请确保电机可以支持目标转速。使用 方程式 2 计算所需电机转速 (v)、细分级别 (n_m) 和电机全步进角 (θ_{step}) 对应的 f_{step}

$$f_{step}\ (steps/s) = \frac{v\ (rpm) \times 360\ (°/rot)}{\theta_{step}\ (°/step) \times n_m\ (steps/microstep) \times 60\ (s/min)} \quad (2)$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

例如，该自适应前照灯应用中的电机需要以 15°/步进的步进角旋转，目标是在 1/8 微步进模式下实现 300rpm 的转速。通过使用方程式 2，可以计算出 f_{step} 为 960Hz。

对于 DRV8899-Q1 器件，微步进级别由 SPI 寄存器中的 MICROSTEP_MODE 位设置，可以是表 8-2 中列出的任何设置。更高的细分会带来更平滑的电机运动和更轻的可闻噪声，但会增加开关损耗，且需要更高的 f_{step} 才能实现相同的电机转速。

表 8-2. 细分分度器设置

MICROSTEP_MODE	步进模式
0000b	具有 100% 电流的全步进（两相励磁）
0001b	具有 71% 电流的全步进（两相励磁）
0010b	非循环 1/2 步进
0011b	1/2 步进
0100b	1/4 步进
0101b	1/8 步进
0110b	1/16 步进
0111b	1/32 步进
1000b	1/64 步进
1001b	1/128 步进
1010b	1/256 步进

8.2.2.2 电流调节

在步进电机中，满量程电流 (I_{FS}) 是通过任一绕组的最大电流。该值大小取决于 VREF 电压和 TRQ_DAC 设置。

VREF 引脚上允许的最大电压为 2.2 V。DVDD 可用于通过电阻分压器提供 VREF。

Copyright © 2022 Texas Instruments Incorporated

在步进期间，I_{FS} 定义了最大电流步进的电流斩波阈值 (I_{TRIP})。

$$I_{FS}(A) = \frac{V_{REF}(V)}{K_V(V/A)} \times TRQ_DAC(\%) = \frac{V_{REF}(V) \times TRQ_DAC(\%)}{2.2(V/A)} \quad (3)$$

8.2.2.3 衰减模式

该器件支持八种不同的衰减模式，如表 7-7 所示。流经电机绕组的电流使用可调节的固定时间关断方案进行调节，这意味着在任何驱动阶段之后，当电机绕组电流达到电流斩波阈值 (I_{TRIP}) 时，器件会在 t_{OFF} 时间内一直将绕组置于八种衰减模式之一。t_{OFF} 之后，新的驱动阶段开始。

8.2.3 应用曲线

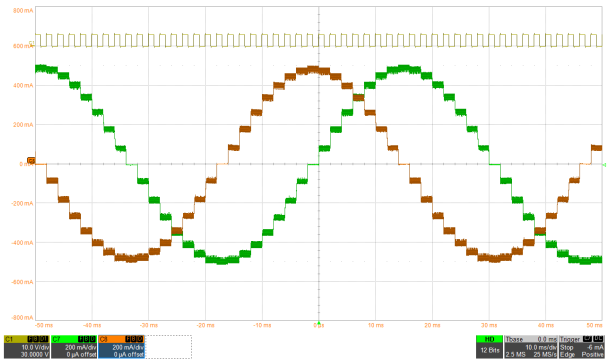


图 8-2. 混合 30 - 混合 30 衰减下的 1/8 微步进

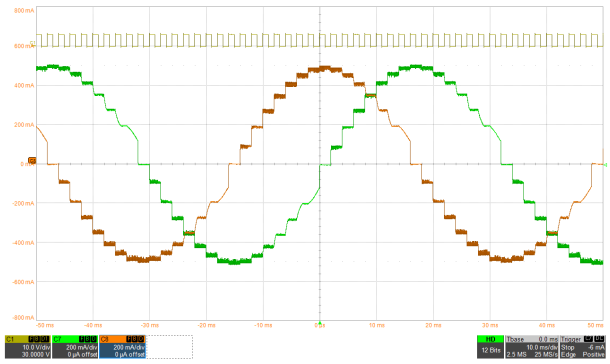


图 8-3. 慢速-慢速衰减下的 1/8 细分

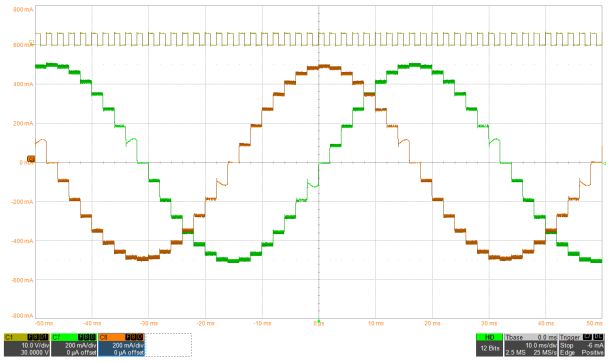


图 8-4. 智能调谐纹波控制衰减的 1/8 微步进

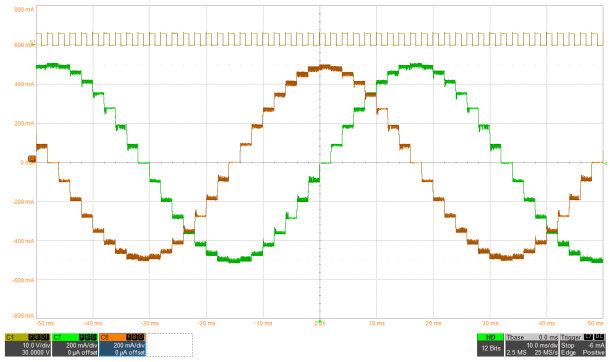


图 8-5. 智能调谐动态衰减的 1/8 微步进

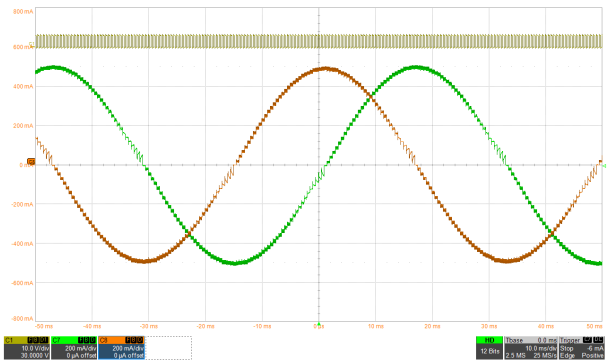


图 8-6. 智能调谐纹波控制衰减的 1/32 微步进

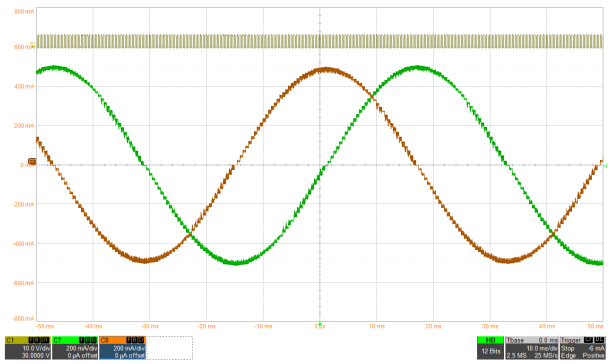


图 8-7. 智能调谐动态衰减的 1/32 微步进

Copyright © 2022 Texas Instruments Incorporated

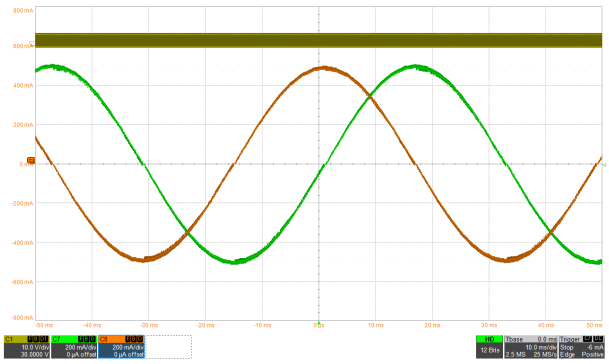


图 8-8. 智能调谐纹波控制衰减的 1/256 微步进

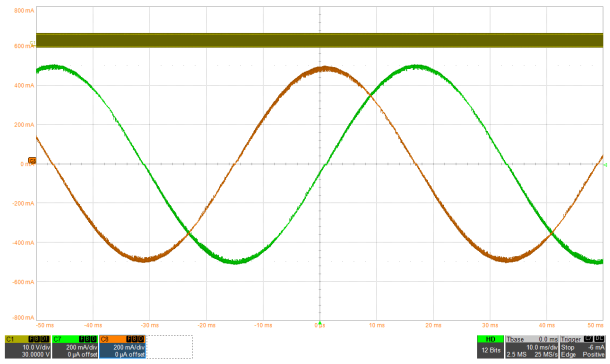


图 8-9. 智能调谐动态衰减的 1/256 微步进

Copyright © 2022 Texas Instruments Incorporated

8.2.4 热应用

该部分介绍了 DRV8899-Q1 的功率损耗计算和结温估算方法。

8.2.4.1 功率损耗

DRV8899-Q1 中的总功率损耗由三个主要部分组成：导通损耗 (P_{COND})、开关损耗 (P_{SW}) 和静态电流消耗导致的功率损耗 (P_Q)。

8.2.4.1.1 导通损耗

对于在全桥内连接的电机而言，电流路径为通过一个半桥的高侧 FET 和另一个半桥的低侧 FET。导通损耗 (P_{COND}) 取决于电机的均方根电流 (I_{RMS}) 以及高侧 ($R_{DS(ONH)}$) 和低侧 ($R_{DS(ONL)}$) 的导通电阻（如方程式 4 所示）。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (4)$$

方程式 5 中计算了节 8.2.1 中显示的典型应用的导通损耗。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (500mA / \sqrt{2})^2 \times (0.6\,\Omega + 0.6\,\Omega) = 300mW \quad (5)$$

备注

这种计算方式高度依赖于器件的温度，因为温度会显著影响高侧和低侧的 FET 导通电阻。为了更准确地计算该值，应考虑器件温度对 FET 导通电阻的影响。

8.2.4.1.2 开关损耗

由 PWM 开关频率引起的的功率损耗取决于压摆率 (t_{SR})、电源电压、电机均方根电流和 PWM 开关频率。每个 H 桥在上升时间和下降时间内的开关损耗计算公式如方程式 6 和方程式 7 所示。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (6)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (7)$$

t_{RISE_PWM} 和 t_{FALL_PWM} 均可取近似值 V_{VM}/ t_{SR}。将相应的值代入各种参数后，假设压摆率为 105V/µs，PWM 频率为 30kHz，则每个 H 桥内的开关损耗计算如下：

$$P_{SW_RISE} = 0.5 \times 13.5V \times (500mA/\sqrt{2}) \times (13.5V/105V/\mu s) \times 30kHz = 9.2mW \quad (8)$$

$$P_{SW_FALL} = 0.5 \times 13.5V \times (500mA/\sqrt{2}) \times (13.5V/105V/\mu s) \times 30kHz = 9.2mW \quad (9)$$

在计算总开关损耗 (P_{SW}) 时，取上升时间开关损耗 (P_{SW_RISE}) 和下降时间开关损耗 (P_{SW_FALL}) 之和的两倍：

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (9.2mW + 9.2mW) = 36.8mW \quad (10)$$

备注

上升时间 (t_{RISE}) 和下降时间 (t_{FALL}) 是基于转压摆率的典型值 (t_{SR})计算的。该参数预计会随电源电压、温度和器件规格的变化而变化。

开关损耗与输出压摆率成反比。压摆换率为 10V/µs 时产生的开关损耗大约比压摆率为 105V/µs 时的开关损耗高十倍。然而，较低的压摆率往往会使驱动器的 EMC 性能更好。需要进行仔细的权衡分析才能获得应用的合适压摆率。

开关损耗与 PWM 开关频率成正比。应用中的 PWM 频率将取决于电源电压、电机线圈的电感、反电动势电压和关断时间或纹波电流（对于智能调优纹波控制衰减模式而言）。

Copyright © 2022 Texas Instruments Incorporated

8.2.4.1.3 由于静态电流造成的功率损耗

由于电源消耗的静态电流造成的功率损耗的计算公式如下所示：

$$P_Q = V_{VM} \times I_{VM} \quad (11)$$

代入相应值，可以如下方式计算出静态功率损耗：

$$P_Q = 13.5V \times 5mA = 67.5mW \quad (12)$$

备注

计算静态功率损耗需要使用典型工作电流 (I_{VM})，该值取决于电源电压、温度和器件规格。

8.2.4.1.4 总功率损耗

总功率损耗 (P_{TOT}) 是导通损耗、开关损耗和静态功率损耗之和，如方程式 13 所示。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 300mW + 36.8mW + 67.5mW = 404.3mW \quad (13)$$

8.2.4.2 PCB 类型

本节中的热分析主要针对 2 层和 4 层 PCB 的 HTSSOP 封装和 VQFN 封装，这两种封装具有两种不同的铜厚度（1oz 和 2oz）和六种不同的覆铜区（1cm^2、2cm^2、4cm^2、8cm^2、16cm^2 和 32cm^2）。

图 8-10 和图 8-11 展示了分别适用于 HTSSOP 封装和 VQFN 封装的 2/4 层 PCB 的顶层。PCB 的顶层、中间层 1 和底层填充有接地层，而中间层 2 填充有电源平面。

对于 HTSSOP，在器件封装下方放置了 4 x 3 阵列的热通孔，钻孔直径为 300µm，镀铜厚度为 25µm。对于 VQFN，在器件封装下方放置了 2 x 2 阵列的热通孔，钻孔直径为 300µm，镀铜厚度为 25µm。如果适用，热通孔可以接触顶层、底层和中间层 1（接地层）。对于 2 层和 4 层设计，中间层和底层均采用尺寸 A*A 建模。对于 VQFN 封装，器件焊盘区域外的顶层无铜。

表 8-3 汇总了不同 PCB 类型中不同 PCB 层的覆铜厚度。表 8-4 汇总了适用于 HTSSOP 封装的不同 PCB 覆铜区的 PCB 尺寸 (A)，表 8-5 汇总了适用于 VQFN 封装的不同 PCB 覆铜区的 PCB 尺寸 (A)。

表 8-3. PCB 类型和覆铜厚度

PCB 类型	覆铜厚度	顶层	底层	中间层 1	中间层 2
2 层	1oz PCB	1oz	1oz	不适用	
	2oz PCB	2oz	2oz		
4 层	1oz PCB	1oz	1oz	1oz	1oz
	2oz PCB	2oz	2oz	1oz	1oz

Copyright © 2022 Texas Instruments Incorporated

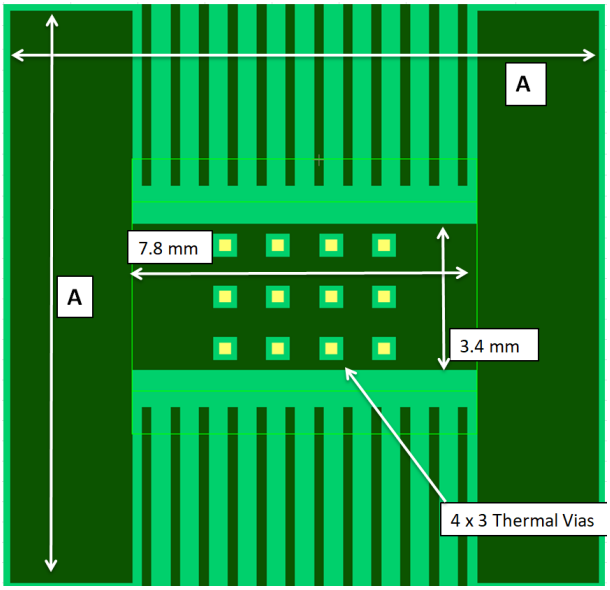


图 8-10. 适用于 HTSSOP 封装的 PCB - 顶层（4/2 层 PCB）

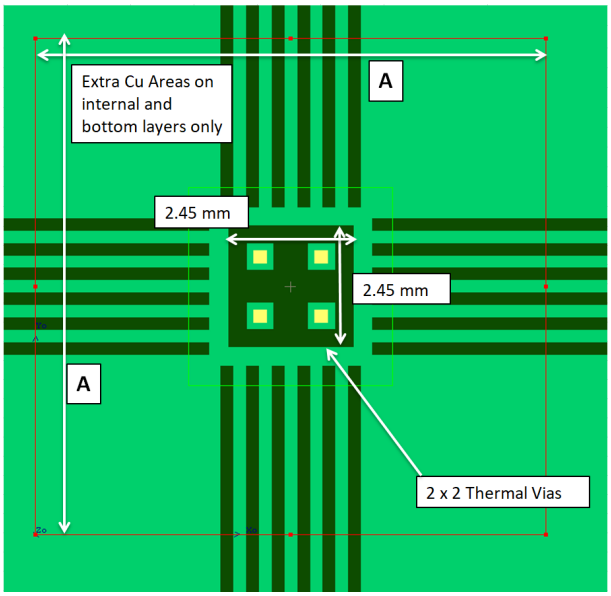


图 8-11. 适用于 VQFN 封装的 PCB - 顶层（4/2 层 PCB）

表 8-4. 适用于 HTSSOP 封装的 PCB 尺寸

覆铜区 (cm^2)	尺寸 (A) (mm)
$1cm^2$	13.31 mm
$2cm^2$	17.64 mm
$4cm^2$	23.62 mm
$8cm^2$	31.98 mm
$16cm^2$	43.76 mm
$32cm^2$	60.36 mm

表 8-5. 适用于 VQFN 封装的 PCB 尺寸

覆铜区 (cm^2)	尺寸 (A) (mm)
$1cm^2$	10.00 mm
$2cm^2$	14.14 mm
$4cm^2$	20.00 mm
$8cm^2$	28.28 mm
$16cm^2$	40.00 mm
$32cm^2$	56.57 mm

8.2.4.3 HTSSOP 封装的热参数

$R_{\theta JA}$（结至环境热阻）和 Ψ_{JB}（结至电路板特征参数）等热参数的变化很大程度取决于 PCB 类型、封装类型、铜厚度和铜焊盘面积。

图 8-12 和图 8-13 展示了采用 HTSSOP 封装的 2 层 PCB 铜焊盘区域的 $R_{\theta JA}$（结至环境热阻）和 Ψ_{JB}（结至电路板特征参数）差异。如这些曲线所示，当 PCB 的铜厚度越厚和铜焊盘面积越大，热阻就越低。

类似地，图 8-14 和图 8-15 展示了采用 HTSSOP 封装的 4 层 PCB 铜焊盘区域的 $R_{\theta JA}$ 和 Ψ_{JB} 差异。

Copyright © 2022 Texas Instruments Incorporated

备注

热参数（$R_{\theta JA}$[结至环境热阻]和 Ψ_{JB}[结至电路板特征参数]）是基于环境温度为 25°C、高侧和低侧 FET 之间均匀耗散 2W 功率这一情况计算得出的。计算得出的热参数考虑了功率 FET 实际位置处的功率耗散，而不是平均估计值。

热参数很大程度取决于外部条件，如海拔高度、封装几何形状等。更多详细信息，请参阅应用报告。

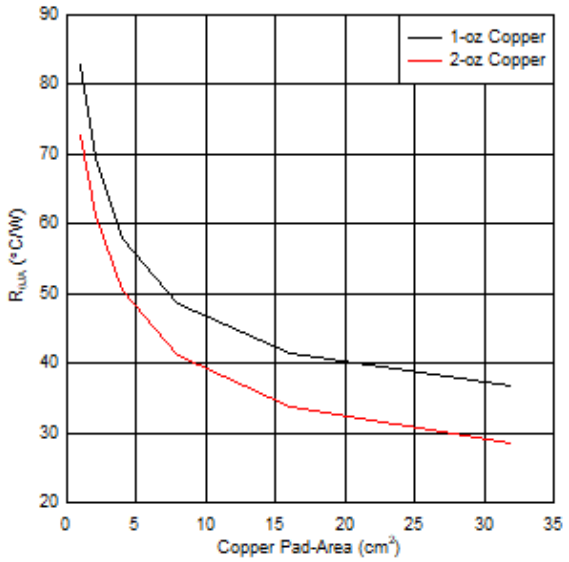


图 8-12. 2 层 PCB 结至环境热阻 ($R_{\theta JA}$) 与覆铜区的关系

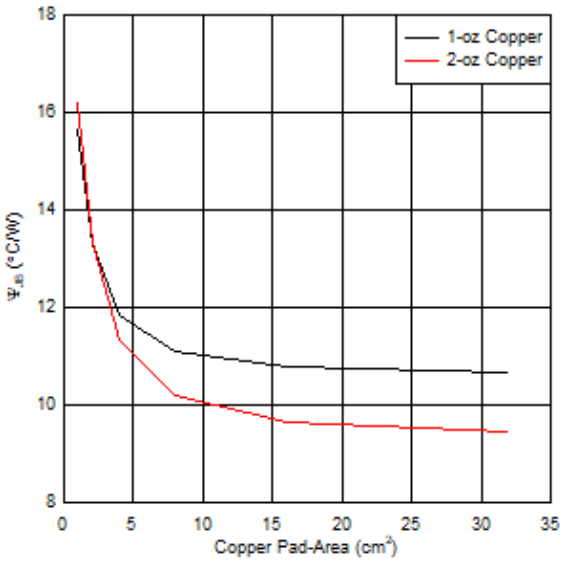


图 8-13. 2 层 PCB 结至电路板特征参数 (Ψ_{JB}) 与覆铜区的关系

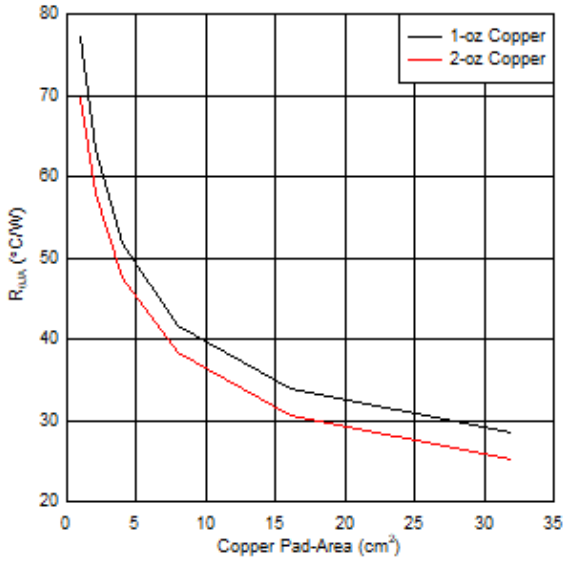


图 8-14. 4 层 PCB 结至环境热阻 ($R_{\theta JA}$) 与覆铜区的关系

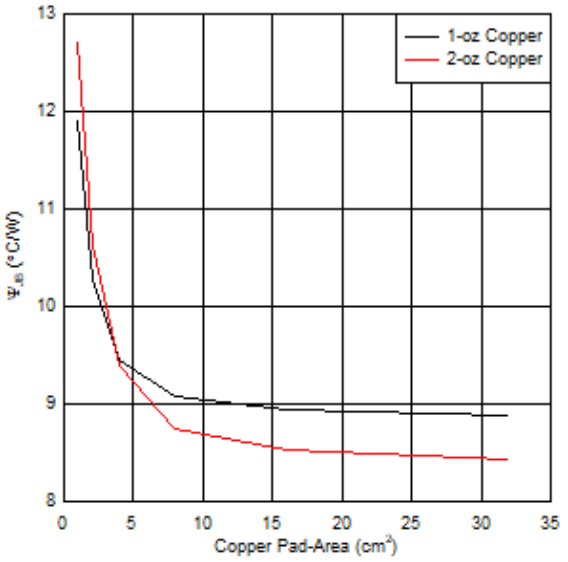


图 8-15. 4 层 PCB 结至电路板特征参数 (Ψ_{JB}) 与覆铜区的关系

Copyright © 2022 Texas Instruments Incorporated

8.2.4.4 VQFN 封装的热参数

图 8-16 和图 8-17 展示了采用 VQFN 封装的 2 层 PCB 铜焊盘区域的 $R_{\theta JA}$（结至环境热阻）和 Ψ_{JB}（结至电路板特征参数）差异。从这些曲线可以看出，PCB 的铜厚度越厚和铜焊盘面积越大，热阻就越低。

类似地，图 8-18 和图 8-19 展示了采用 VQFN 封装的 4 层 PCB 铜焊盘区域的 $R_{\theta JA}$ 和 Ψ_{JB} 差异。

备注

热参数（$R_{\theta JA}$[结至环境热阻]和 Ψ_{JB}[结至电路板特征参数]）是基于环境温度为 25°C、高侧和低侧 FET 之间均匀耗散 2W 功率这一情况计算得出的。计算得出的热参数考虑了功率 FET 实际位置处的功率耗散，而不是平均估计值。

热参数很大程度取决于外部条件，如海拔高度、封装几何形状等。更多详细信息，请参阅应用报告。

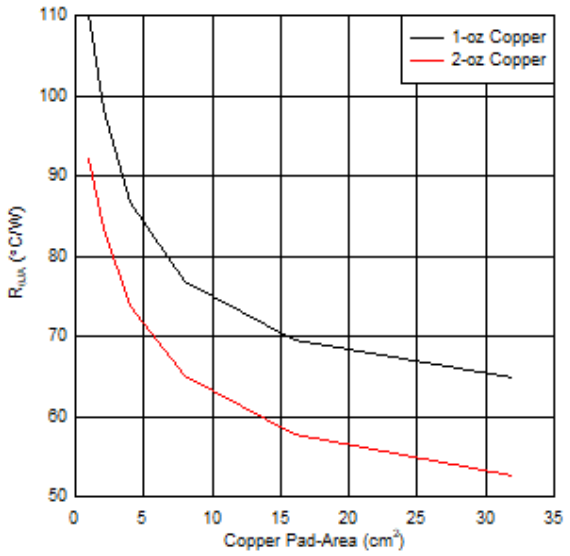


图 8-16. 2 层 PCB 结至环境热阻 ($R_{\theta JA}$) 与覆铜区的关系

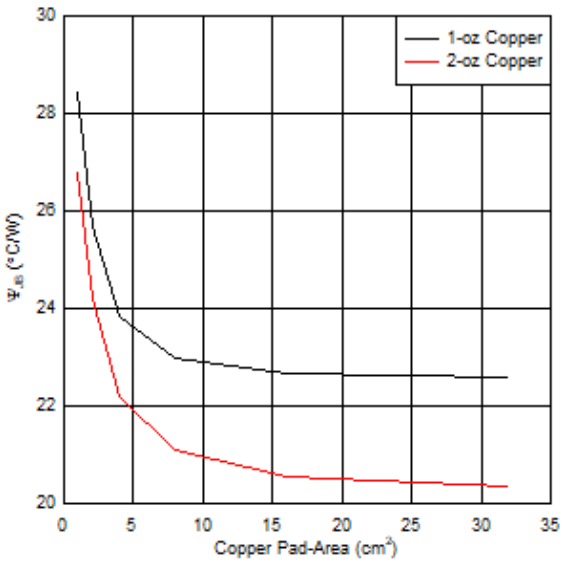


图 8-17. 2 层 PCB 结至电路板特征参数 (Ψ_{JB}) 与覆铜区的关系

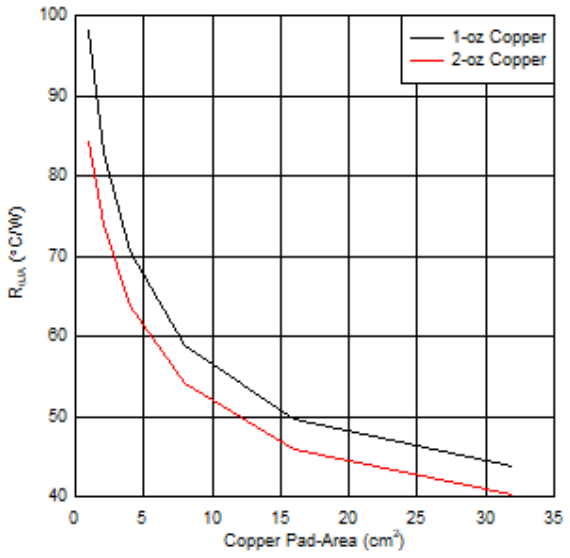


图 8-18. 4 层 PCB 结至环境热阻 ($R_{\theta JA}$) 与覆铜区的关系

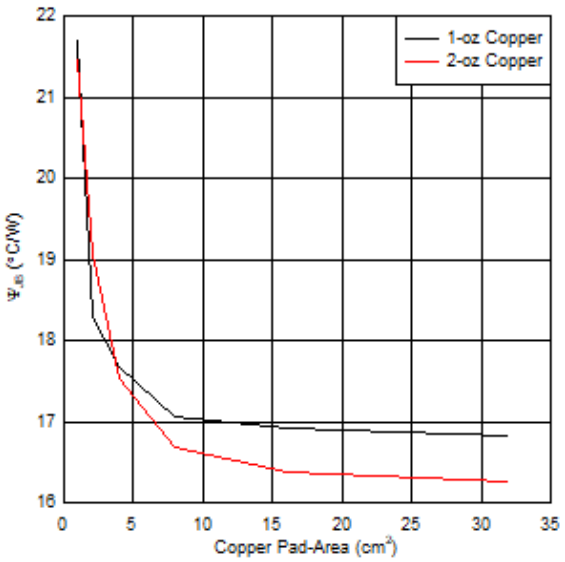


图 8-19. 4 层 PCB 结至电路板特征参数 (Ψ_{JB}) 与覆铜区的关系

8.2.4.5 器件结温估算

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式如下。$T_J = T_A + (P_{TOT} \times R_{\theta JA})$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 VQFN 封装的结至环境热阻 ($R_{\theta JA}$) 为 40.7°C/W。

结温计算方式如下：

$$T_J = 25°C + (0.4043W \times 40.7°C/W) = 41.46\ °C \quad (14)$$

Copyright © 2022 Texas Instruments Incorporated

9 电源建议

该器件可在 4.5V 至 45 V 的输入电压电源 (VM) 范围内正常工作。必须在每个 VM 引脚处放置一个额定电压为 VM 的 0.01µF 陶瓷电容器，该电容器需尽可能靠近该器件。此外，VM 上必须放置一个大容量电容器。

9.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一个重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够多的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

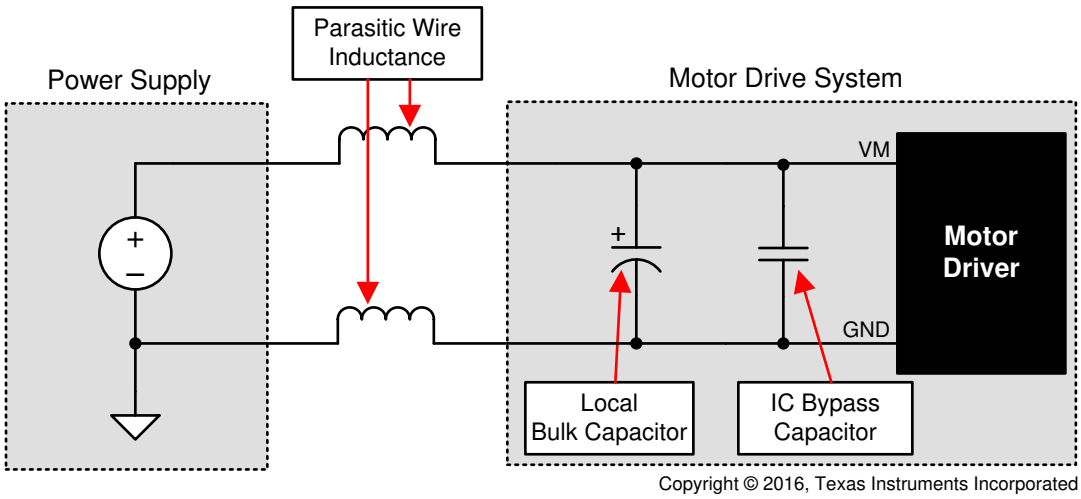


图 9-1. 带外部电源的电机驱动系统示例设置

10 布局

10.1 布局指南

应使用一个推荐电容值为 0.01μF 且额定电压为 VM 的低 ESR 陶瓷旁路电容将 VM 引脚旁路至 GND。该电容应尽可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件 GND 引脚连接。

必须使用额定电压为 VM 的大容量电容将 VM 引脚旁路至接地。该组件可以是电解电容。

必须在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 0.022μF、额定电压为 VM 的电容。将此组件尽可能靠近引脚放置。

必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容。建议使用一个电容值为 0.22μF、额定电压为 16V 的电容。将此组件尽可能靠近引脚放置。

使用低 ESR 陶瓷电容器将 DVDD 引脚旁路至接地。建议使用一个电容值为 0.47μF，额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。

散热焊盘必须连接到系统接地。

Copyright © 2022 Texas Instruments Incorporated

10.2 布局示例

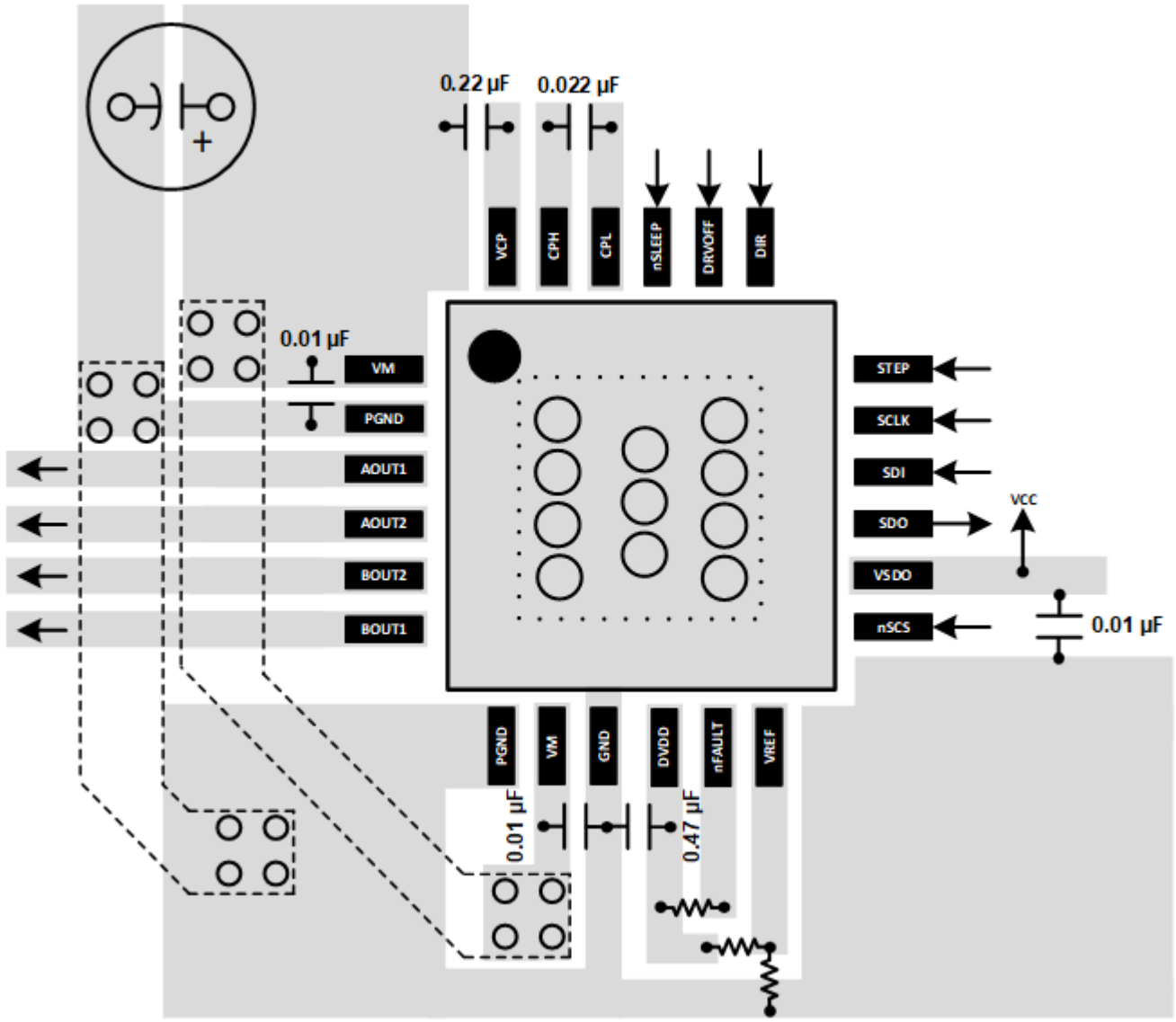


图 10-1. QFN 布局建议

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，DRV8899-Q1 功能安全时基故障率、FMD 和引脚 FMA
- 德州仪器 (TI)，*计算电机驱动器的功耗* 应用报告
- 德州仪器 (TI)，*电流再循环和衰减模式* 应用报告
- 德州仪器 (TI)，*AutoTune™ 如何调节步进电机中的电流* 白皮书
- 德州仪器 (TI)，*工业电机驱动解决方案指南*
- 德州仪器 (TI)，*PowerPAD™ 速成* 应用报告
- 德州仪器 (TI)，*PowerPAD™ 热增强型封装* 应用报告
- 德州仪器 (TI)，*使用 AutoTune™ 轻松实现步进电机* 白皮书
- 德州仪器 (TI)，*了解电机驱动器电流额定值* 应用报告
- 德州仪器 (TI)，*电机驱动器布局指南* 应用报告
- 德州仪器 (TI)，*DRV8899-Q1 评估模块 (EVM)* 工具文件夹

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订该文档。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

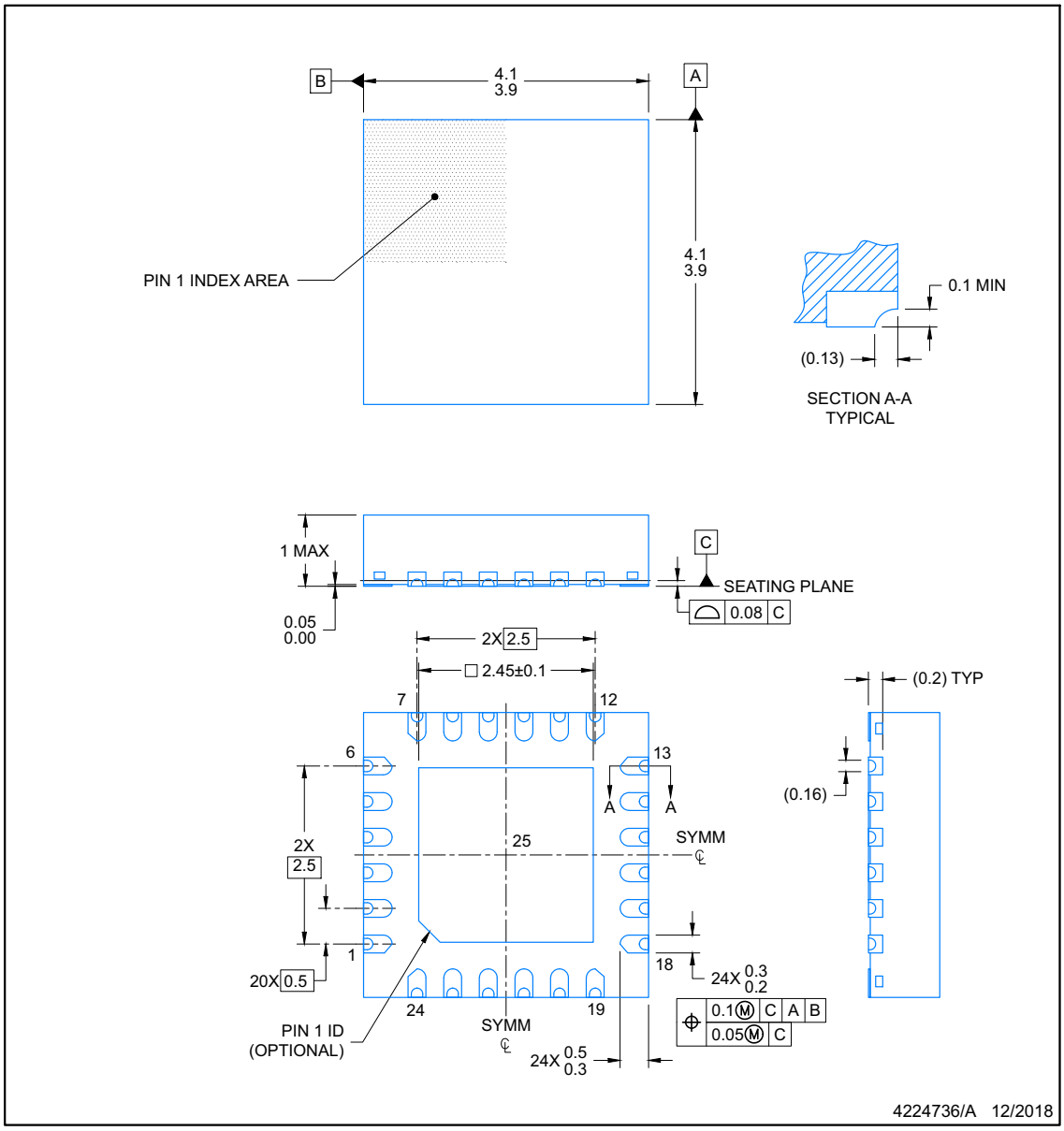
Copyright © 2022 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

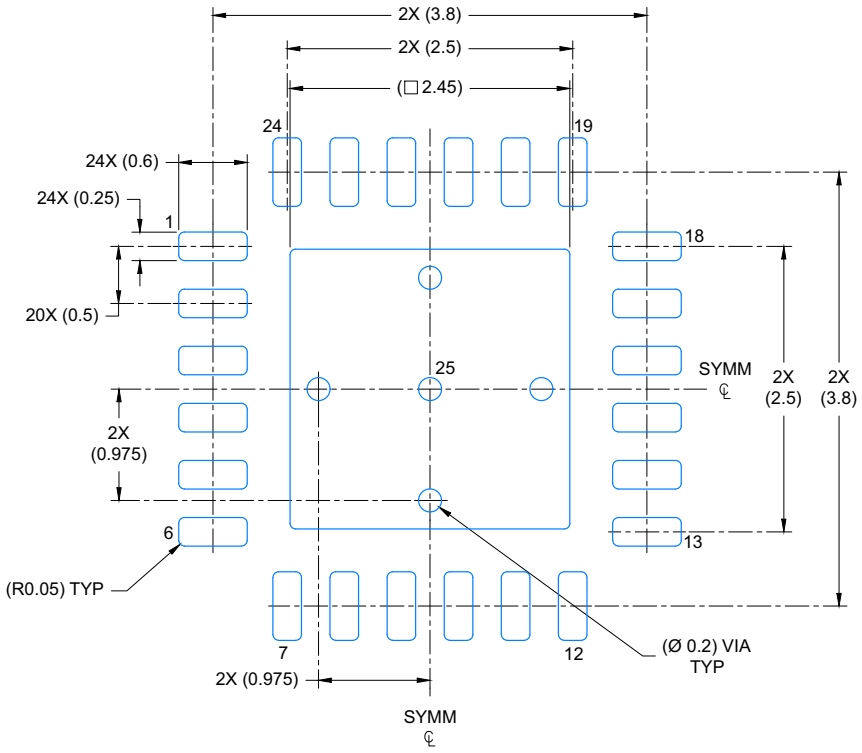
Copyright © 2022 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

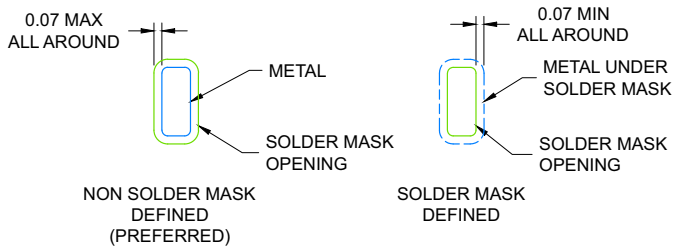
RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

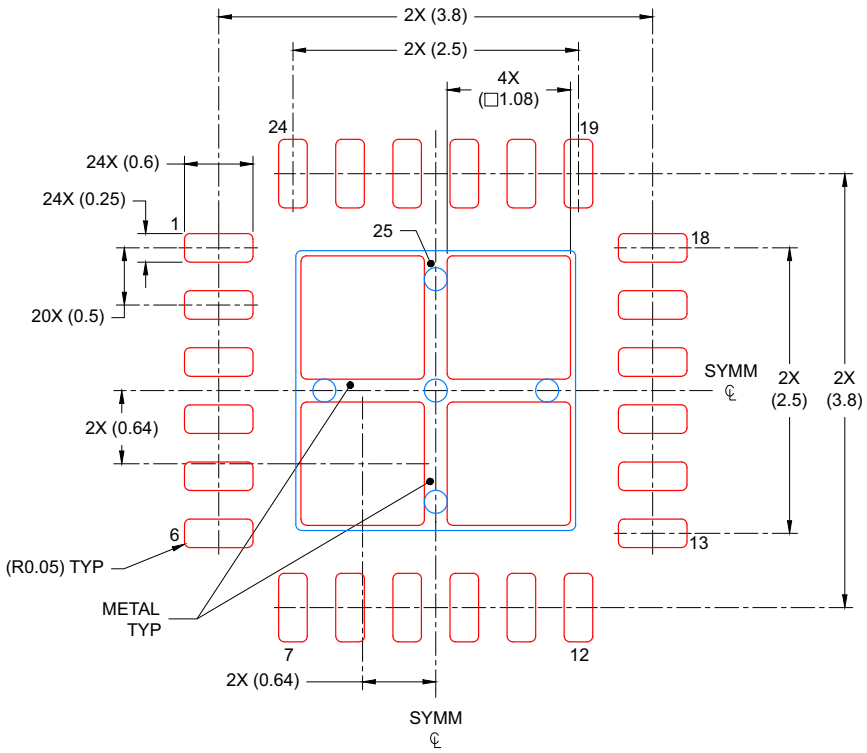
Copyright © 2022 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2022 Texas Instruments Incorporated

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8899QWRGERQ1	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV 8899
DRV8899QWRGERQ1.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV 8899

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

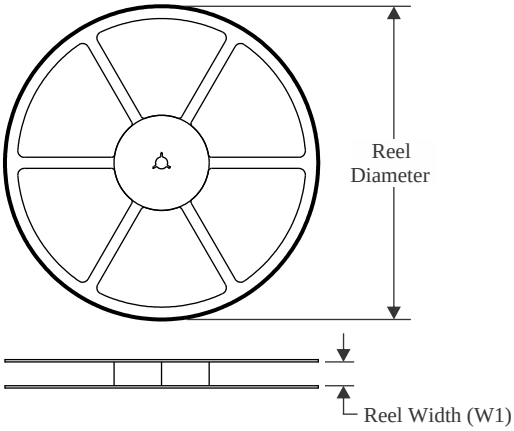
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

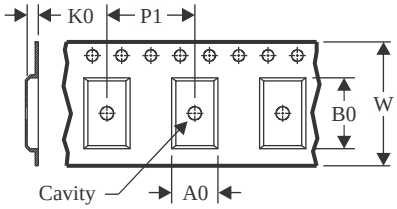
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

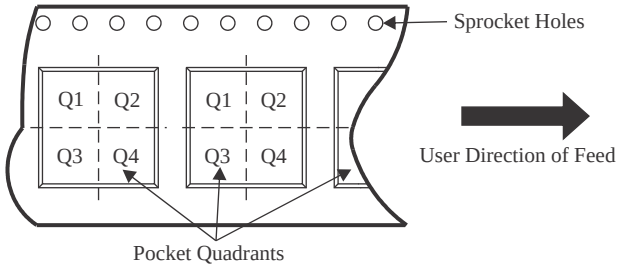


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

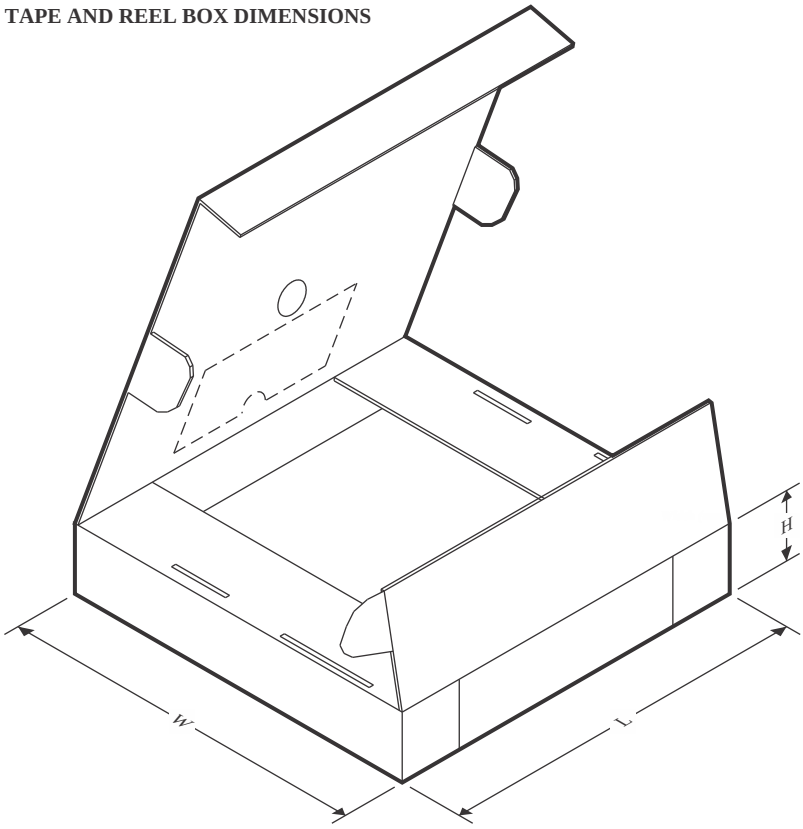
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8899QWRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



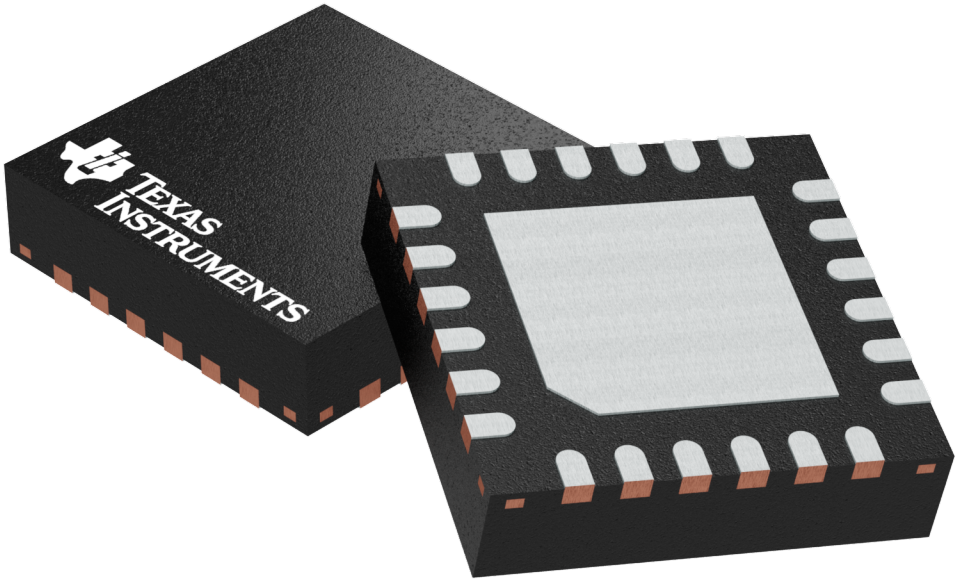
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8899QWRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

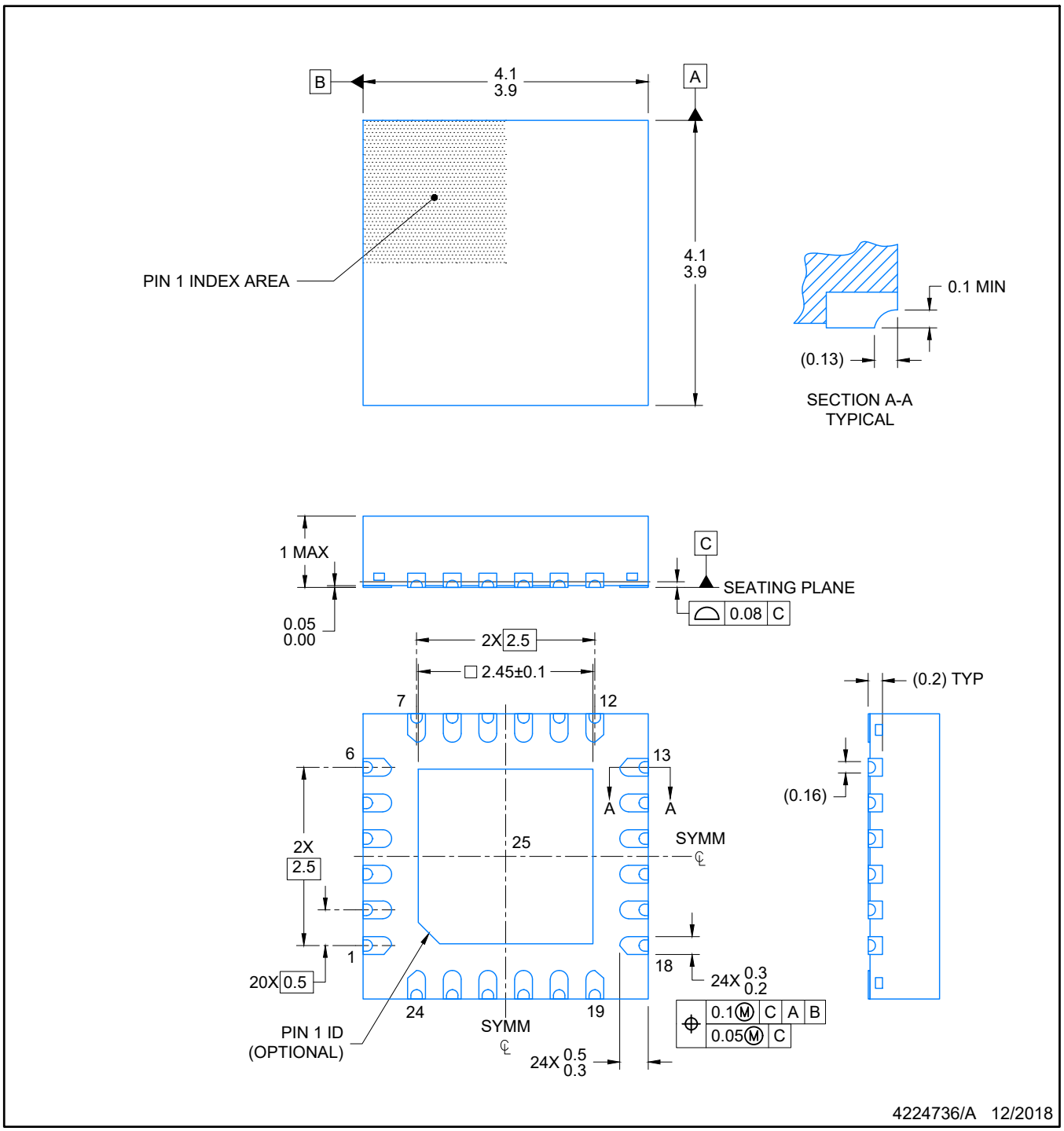
RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

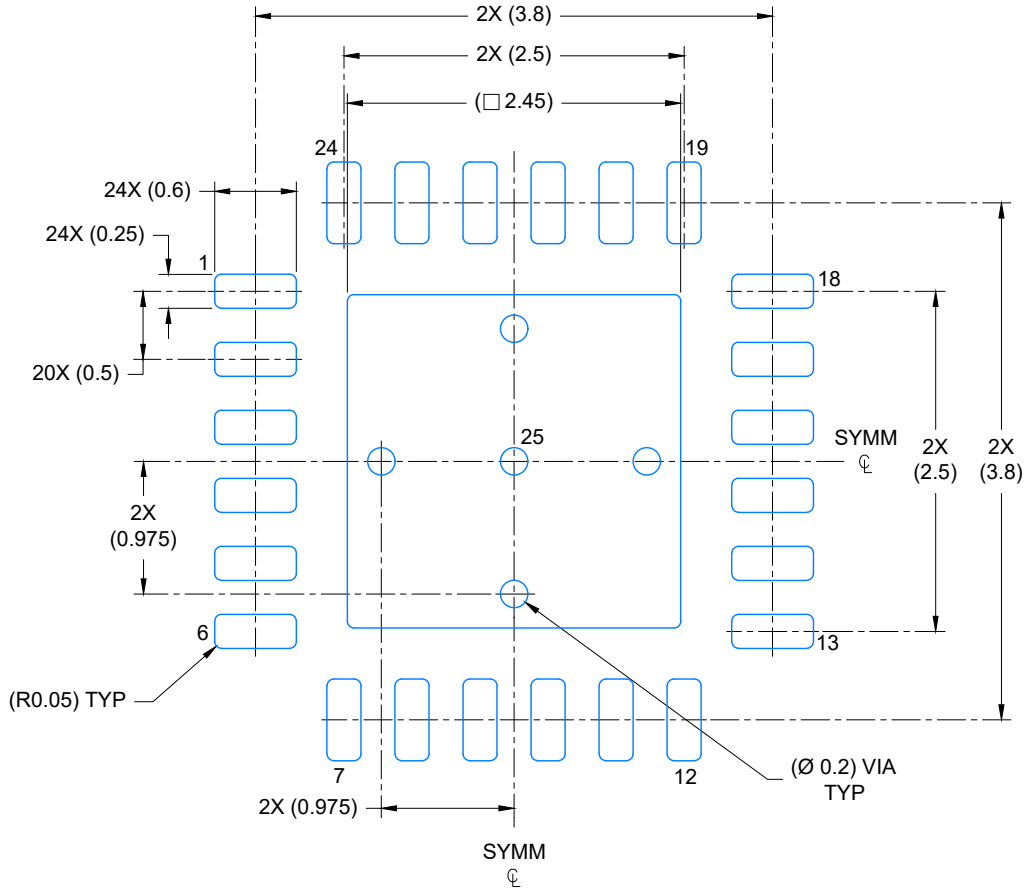


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

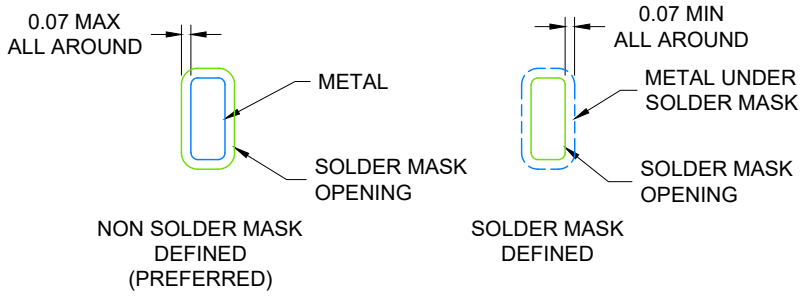


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

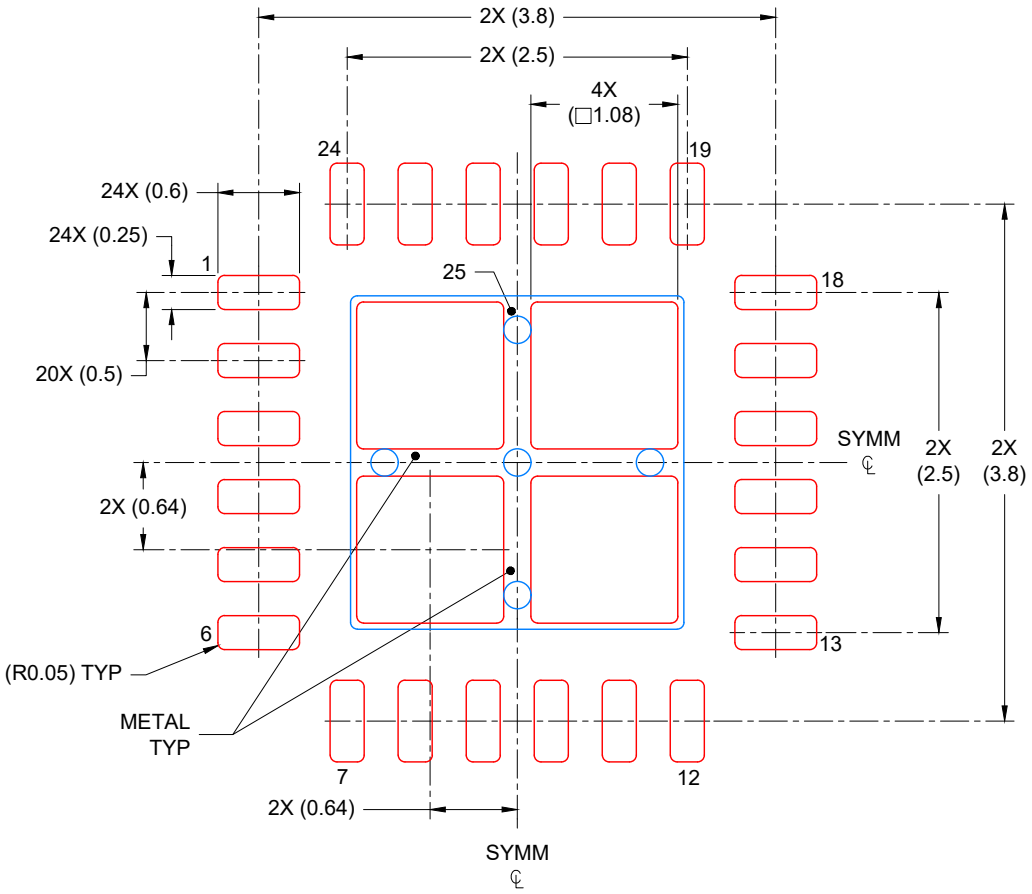


SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司