

DRV8844A 具有独立接地的四路半桥驱动器

1 特性

- 四通道半桥驱动器
 - **独立控制**每个半桥
 - 可用作低侧或高侧开关
 - 可以将输出并联
- 低侧 MOSFET $R_{DS(ON)}$: 每个 FET **210m Ω**
 - 24V、25°C 下的最大驱动电流为 **2.5A**
- 支持高达 **$\pm 32.5V$** 的**双极电源**
- **8V 至 65V** 工作电源电压范围
- 用于连接可选检测电阻的**单独电源接地端**
- 可驱动各种类型的负载 -
 - 四个螺线管、阀门或继电器
 - 两个有刷直流电机
 - 一个步进电机
 - 一个或两个珀耳帖热电冷却器 (TEC)
 - 一个三相无刷直流 (BLDC) 电机
- 内置的 **3.3V 10mA LDO** 稳压器
- 行业标准 **IN/EN** 数字控制接口
- 保护特性
 - VM 欠压锁定 (UVLO)
 - 过流保护 (OCP)
 - 热关断 (TSD)
 - 故障状态输出 (nFAULT)

2 应用

- 纺织机
- 办公自动化设备
- 游戏机
- 工厂自动化
- 电机驱动器
- 舞台照明
- 热电冷却器 (TEC)

3 说明

DRV8844A 是一款四通道、可单独控制的半桥驱动器，适用于各种应用。该器件在 24V 和 25°C 电压下支持高达 2.5A 峰值电流或 1.75A RMS 的输出电流，具有适当的 PCB 散热。器件的输出级包含配置为四个独立半桥的 N 沟道功率 MOSFET，从而使器件能够用于驱动两个直流电机、一个步进电机、四个螺线管或其他负载。每个输出可以是 LS 开关（低侧开关）、HS 开关（高侧开关）或推挽输出驱动器。

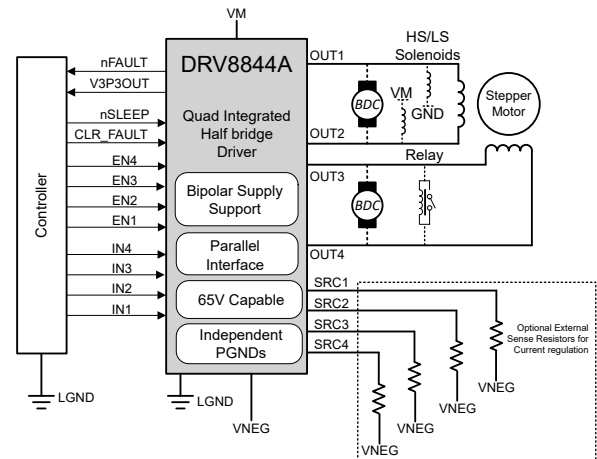
提供单独控制每个 1/2 H 桥的独立输入。为了能够使用分体式（正极和负极）电源运行，逻辑输入和 nFAULT 输出以单独的悬空接地引脚为基准。此外，DRV8844A 支持在每个单独半桥上连接检测电阻器，从而实现电机控制等应用的系统级电流检测。

提供用于过流保护、短路保护、欠压闭锁和过热保护的内部关断功能。

器件信息 (1)

器件型号	封装	本体尺寸 (标称值)
DRV8844A	HVSSOP (28)(DGQ)	7.30mm x 4.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图



内容

1 特性	1	7 应用和实施	14
2 应用	1	7.1 应用信息.....	14
3 说明	1	7.2 应用信息.....	14
4 引脚配置和功能	3	7.3 电源相关建议.....	19
5 规格	6	7.4 布局.....	20
5.1 绝对最大额定值.....	6	8 器件和文档支持	22
5.2 ESD 等级.....	6	8.1 文档支持.....	22
5.3 建议运行条件.....	6	8.2 社区资源.....	22
5.4 热性能信息.....	7	8.3 支持资源.....	22
5.5 电气特性.....	7	8.4 商标.....	22
5.6 开关特性.....	9	8.5 静电放电警告.....	22
6 详细说明	10	8.6 术语表.....	22
6.1 概述.....	10	9 修订历史记录	22
6.2 功能方框图.....	10	10 机械、封装和可订购信息	22
6.3 特性说明.....	10		

4 引脚配置和功能

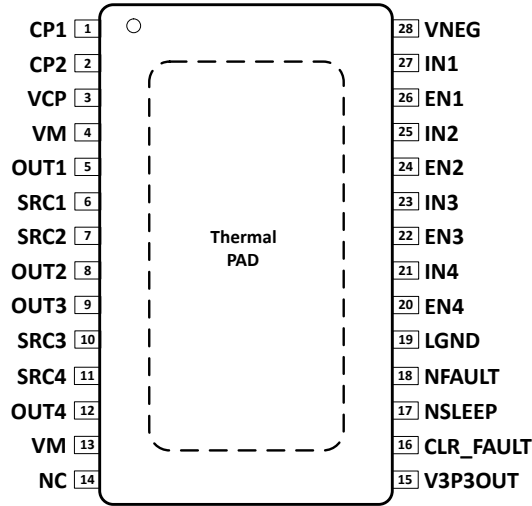


图 4-1. DGQ 封装 28 引脚 HVSSOP 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明	外部组件或连接
名称	编号			
电源和接地				
CP1	1	P	电荷泵飞跨电容器	在 CP1 和 CP2 间连接一个 0.01 μ F、100V 电容器。
CP2	2	P	电荷泵飞跨电容器	
LGND	19	P	逻辑输入基准接地	连接到逻辑接地端。这可以是 VNEG 和 VM - 8V 之间的任何电压。
V3P3OUT	15	P	3.3V 稳压器输出	使用 0.47 μ F 6.3V 陶瓷电容器旁路至 VNEG。可用于为 VREF 供电。
VCP	3	P	高侧栅极驱动电压	将一个电容为 0.1 μ F、电压为 16V 的陶瓷电容器连接至 VM。
VM	4、13	P	主电源	连接到电机电源 (8V 至 60V)。两个引脚都必须连接到同一电源。使用 10 μ F (最小值) 陶瓷电容器旁路至 VNEG。
SRC1	6	P	OUT1 的低侧 FET 源极	直接连接到 VNEG 或通过可选的电流感测电阻器连接
SRC2	7	P	OUT2 的低侧 FET 源极	
SRC3	10	P	OUT3 的低侧 FET 源极	
SRC4	11	P	OUT4 的低侧 FET 源极	
VNEG	28, PPAD	P	负电源 (双电源) 或接地 (单电源)	
控制				
EN1	26	I	通道 1, 启用	逻辑高电平启用 OUT1。内部下拉电阻。
EN2	24	I	通道 2, 启用	逻辑高电平启用 OUT2。内部下拉电阻。
EN3	22	I	通道 3, 启用	逻辑高电平启用 OUT3。内部下拉电阻。
EN4	20	I	通道 4, 启用	逻辑高电平启用 OUT4。内部下拉电阻。
IN1	27	I	通道 1 输入	逻辑输入控制 OUT1 的状态。内部下拉电阻。
IN2	25	I	通道 2 输入	逻辑输入控制 OUT2 的状态。内部下拉电阻。
IN3	23	I	通道 3 输入	逻辑输入控制 OUT3 的状态。内部下拉电阻。
IN4	21	I	通道 4 输入	逻辑输入控制 OUT4 的状态。内部下拉电阻。
CLR_FAULT	16	I	清除故障输入	负边沿可清除受影响通道中的锁存故障

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明	外部组件或连接
名称	编号			
nSLEEP	17	I	睡眠模式输入	逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式。 内部下拉电阻。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明	外部组件或连接
名称	编号			
状态				
nFAULT	18	OD	故障	在故障条件下 (过热、过流、UVLO) 时为逻辑低电平。开漏输出。
输出				
OUT1	5	O	输出 1	连接到负载
OUT2	8	O	输出 2	
OUT3	9	O	输出 3	
OUT4	12	O	输出 4	
无连接				
NC	14	—	无连接	未连接至这些引脚

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
VM 电源电压	-0.3	70	V
逻辑接地电压 (LGND)	-0.5	VM - 8	V
数字引脚电压	LGND - 0.5	LGND + 7	V
SRC1、SRC2、SRC3、SRC4（具有可选检测电阻器的引脚 6、7、10 和 11）到 VNEG 引脚（引脚 28）	-0.6	0.6	V
峰值电机驱动输出电流， $t < 1 \mu\text{s}$	受内部限制		A
连续电机驱动输出电流 ⁽²⁾	2.5		A
T _J 工作虚拟结温	-40	150	°C
T _{stg} 贮存温度	-60	150	°C

(1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 必须遵循功率耗散和热限值。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±3000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

自然通风条件下的工作温度范围，所有电压均与 VNEG 端子为基准（除非另有说明）

	最小值	标称值	最大值	单位
V _M 电机电源电压 ⁽¹⁾	8		65	V
I _{V3P3} V3P3OUT 负载电流	0		10	mA
T _A 环境温度	-40		125	°C

(1) 所有 V_M 引脚必须连接到同一电源电压。

5.4 热性能信息

热指标 ⁽¹⁾		DRV8844A	单位
		DGQ (HVSSOP)	
		28 引脚	
$R_{\theta JA}$	结至环境热阻	31.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	32.1	°C/W
$R_{\theta JB}$	结至电路板热阻	9.7	°C/W
ψ_{JT}	结至顶部特征参数	1.0	°C/W
ψ_{JB}	结至电路板特征参数	9.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.7	°C/W

(1) 有关新旧热指标的更多信息, 请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

5.5 电气特性

$T_A = 25^\circ\text{C}$, 自然通风条件下的工作温度范围, 所有电压均与 VNEG 端子为基准 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	VM 工作电源电流	$V_M = 24\text{V}$, $f_{PWM} < 50\text{kHz}$		1	5	mA
I_{VMQ}	VM 睡眠模式电源电流	$V_M = 24\text{V}$		500	800	μA
V_{UVLO}	VM 欠压锁定电压	V_M 上升		6.3	8	V
V3P3OUT 稳压器						
V_{3P3}	V3P3OUT 电压	$I_{OUT} = 0$ 至 1mA	3.18	3.3	3.52	V
逻辑电平输入						
V_{IL}	输入低电压			LGND + 0.6	LGND + 0.7	V
V_{IH}	输入高电压		LGND + 2.2		LGND + 5.25	V
V_{HYS}	输入迟滞		50		600	mV
I_{IL}	输入低电流	$V_{IN} = \text{LGND}$	-5		5	μA
I_{IH}	输入高电流	$V_{IN} = \text{LGND} + 3.3\text{V}$			100	μA
R_{PD}	内部下拉电阻			100		k Ω
nFAULT 输出 (漏极开路输出)						
V_{OL}	输出低电压	$I_O = 5\text{mA}$			LGND + 0.5	V
I_{OH}	输出高电平漏电流	$V_O = \text{LGND} + 3.3\text{V}$			1	μA
H 桥 FET						
$R_{DS(ON)}$	HS FET 导通电阻	$V_M = 24\text{V}$, $I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$		0.21		Ω
		$V_M = 24\text{V}$, $I_O = 1\text{A}$, $T_J = 85^\circ\text{C}$		0.25	0.34	
	LS FET 导通电阻	$V_M = 24\text{V}$, $I_O = 1\text{A}$, $T_J = 25^\circ\text{C}$		0.21		
		$V_M = 24\text{V}$, $I_O = 1\text{A}$, $T_J = 85^\circ\text{C}$		0.25	0.34	
I_{OFF}	关断状态漏电流		-2		2	μA
保护电路						
I_{OCP}	过流保护跳变电平		5			A
t_{DEAD}	输出死区时间			90		ns
t_{OCP}	过流保护抗尖峰脉冲时间			5		μs
t_{CLR_FAULT}	用于清除故障的最小脉冲宽度		5			μs

$T_A = 25^\circ\text{C}$ ，自然通风条件下的工作温度范围，所有电压均与 VNEG 端子为基准（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{TSD}	热关断温度	裸片温度	150	160	180	$^\circ\text{C}$

5.6 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾ (请参阅图 5-1)

编号	参数	测试条件	最小值	最大值	单位
1	t_1	ENx 高电平到 OUTx 高电平的延迟时间, INx = 1	130	330	ns
2	t_2	ENx 低电平到 OUTx 低电平的延迟时间, INx = 1	275	475	ns
3	t_3	ENx 高电平到 OUTx 低电平的延迟时间, INx = 0	100	300	ns
4	t_4	ENx 低电平到 OUTx 高电平的延迟时间, INx = 0	200	400	ns
5	t_5	INx 高电平到 OUTx 高电平的延迟时间	300	500	ns
6	t_6	INx 低电平到 OUTx 低电平的延迟时间	275	475	ns
7	t_R	电阻负载至 VNEG 的输出上升时间,	30	150	ns
8	t_F	电阻负载至 VNEG 的输出下降时间	30	150	ns

(1) 未经生产测试

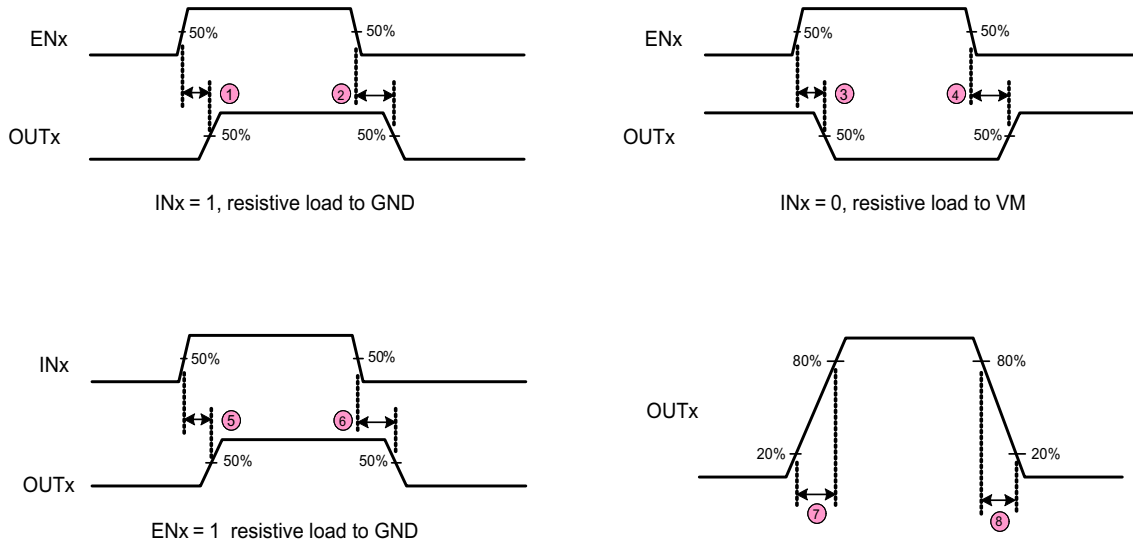


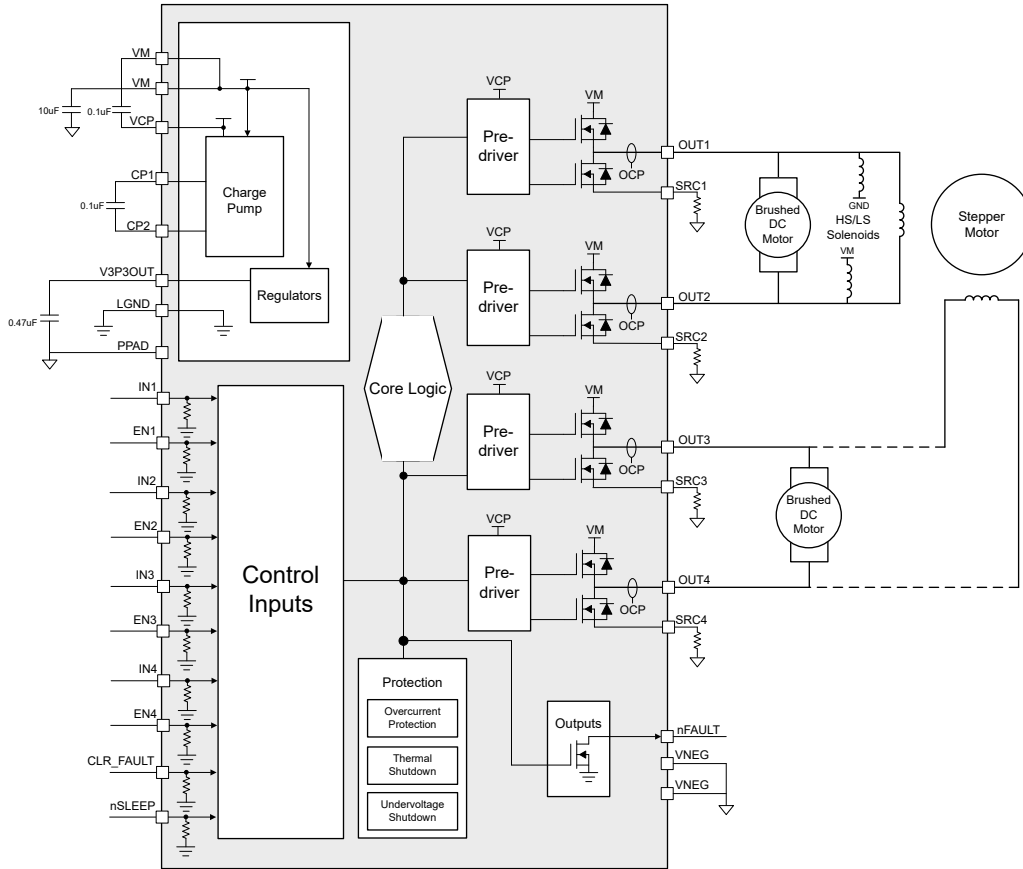
图 5-1. DRV8844A 开关特性

6 详细说明

6.1 概述

DRV8844A 集成了四个独立的 2.5A 半 H 桥、保护电路、睡眠模式和故障报告。该器件单电源支持 8V 至 60V 的宽电压范围，因此非常适合有刷直流电机、步进电机和电磁阀等电机驱动应用。

6.2 功能方框图



6.3 特性说明

6.3.1 输出级

DRV8844A 含有四个使用 N 沟道 MOSFET 的 1/2 H 桥驱动器。图 6-1 展示了输出电路的方框图。

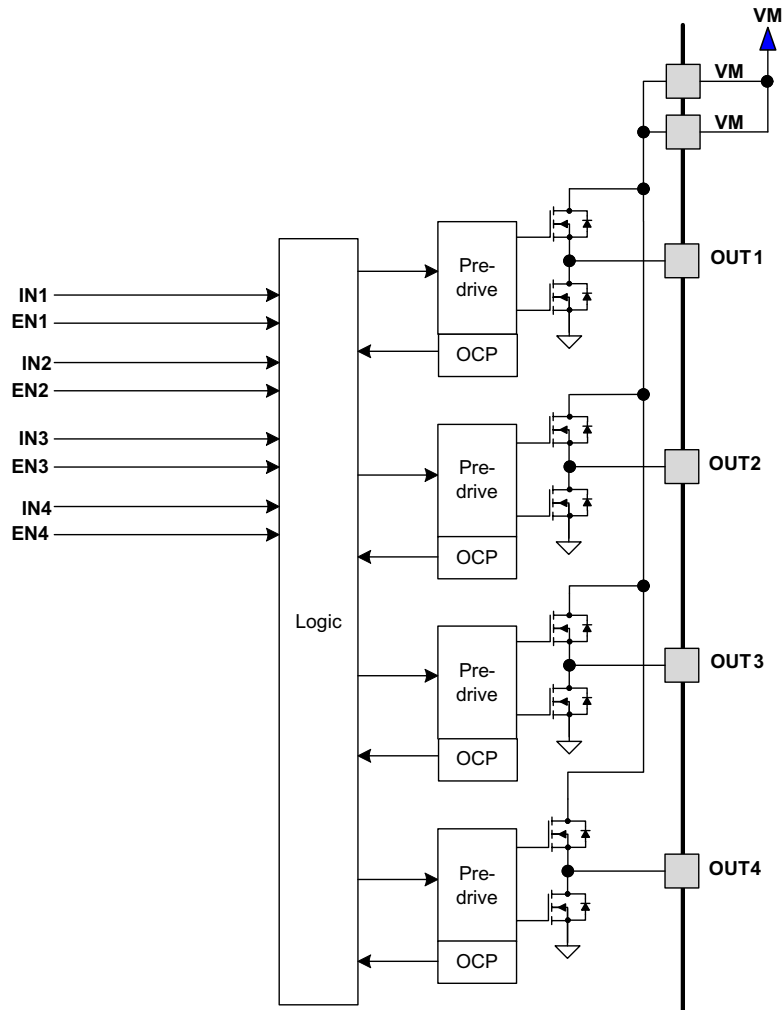


图 6-1. 电机控制电路

在 VM 和 VNEG 之间驱动输出引脚。VNEG 通常在单电源应用中接地，在双电源应用中为负电压。

请注意，有多个 VM 电机电源引脚。所有 VM 引脚必须一起连接到电机电源电压。

6.3.2 逻辑输入

逻辑输入和 nFAULT 输出以 LGND 引脚为基准。此引脚连接至逻辑信号源的逻辑接地端（例如，微控制器）。这使得 LGND 能够处于与 VNEG 不同的电压；例如，设计人员可以通过使用 +24V 电压驱动 VM，使用 -24V 电压驱动 VNEG，并将 LGND 连接到 0V（接地端）来驱动负载。

6.3.3 电桥控制

INx 输入引脚直接控制 OUTx 输出的状态（高电平或低电平）；ENx 输入引脚可启用或禁用 OUTx 驱动器。表 6-1 展示了逻辑。

表 6-1. H 桥逻辑

INx	ENx	OUTx
X	0	Z
0	1	L
1	1	H

还可以使用输入进行 PWM 控制，例如控制直流电机的转速。当使用 PWM 控制绕组时，如果驱动电流中断，电机的感应性质将要求电流必须继续流动。这称为再循环电流。为了处理此再循环电流，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，将会禁用 H 桥，再循环电流将会流过体二极管；在慢速衰减模式下，将会短接电机绕组。

使用快速衰减执行 PWM 操作时，会将 PWM 信号应用到 ENx 引脚；使用慢速衰减时，会将 PWM 信号应用到 INx 引脚。表 6-2 是使用 OUT1 和 OUT2 作为 H 桥来驱动直流电机的示例：

表 6-2. PWM 功能

IN1	EN1	IN2	EN2	功能
PWM	1	0	1	正向 PWM，慢速衰减
0	1	PWM	1	反向 PWM，慢速衰减
1	PWM	0	PWM	正向 PWM，快速衰减
0	PWM	1	PWM	反向 PWM，快速衰减

图 6-2 显示了不同驱动和衰减模式下的电流路径：

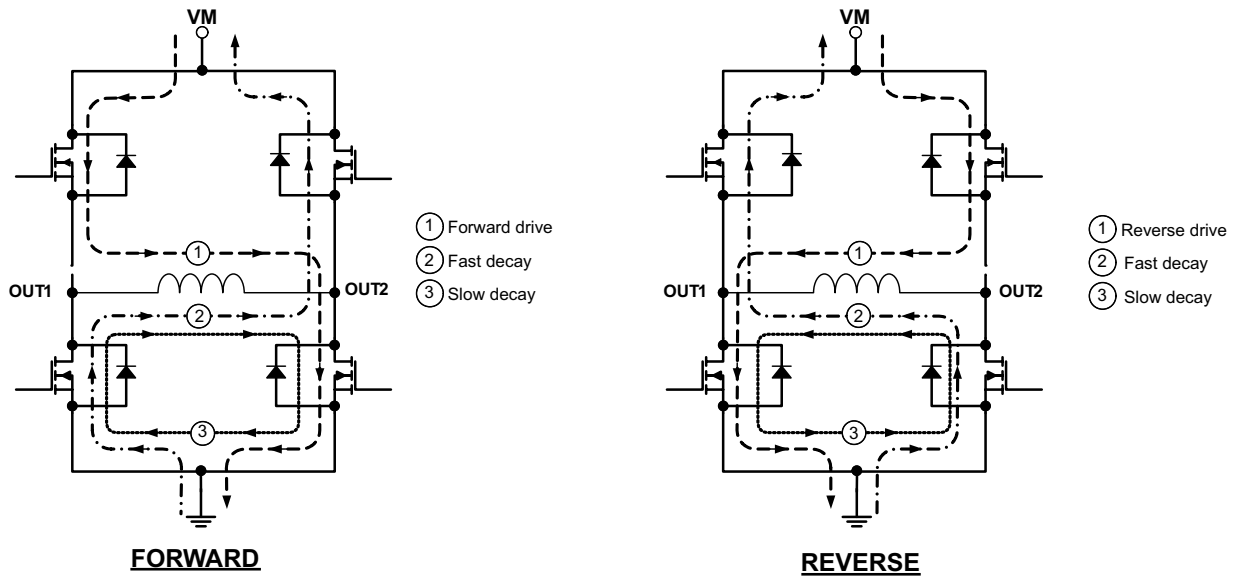


图 6-2. 电流路径

6.3.4 电荷泵

由于输出级使用 N 沟道 FET，因此需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。DRV8844A 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要两个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明。当 nSLEEP 为低电平时，电荷泵会关断。

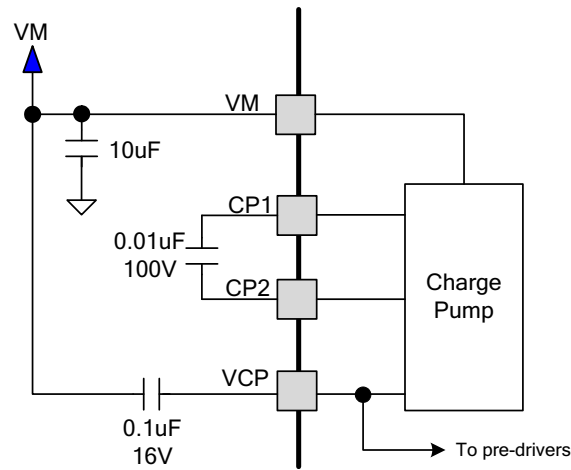


图 6-3. 电荷泵

6.3.5 保护电路

DRV8844A 可完全防止欠压、过流和过热事件。

6.3.5.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间，则会禁用遭遇过流的通道并将 nFAULT 引脚驱动为低电平。在复位生效或 VM 电源循环之前，驱动器保持关闭状态。

在高侧和低侧器件上的过流状况；例如，接地短路、电源短路或跨电机绕组短路都会导致过流关断。

6.3.5.2 热关断 (TSD)

如果内核温度超过安全限值，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚置位为低电平。一旦裸片温度下降到安全水平，将自动恢复运行。

6.3.5.3 欠压锁定 (UVLO)

如果 VM 引脚上的电压在任何时候降至欠压锁定阈值电压以下，则所有输出均被禁用，内部逻辑被重置，nFAULT 引脚被驱动为低电平。当 VM 上升到 UVLO 阈值以上时，会恢复正常运行。

6.3.6 CLR_FAULT 与 nSLEEP 运行

CLR_FAULT 引脚可用于清除锁存的过流故障。该引脚的下降沿复位锁存的 OCP 故障。如果 nFAULT 因 OCP 条件而被拉至低电平，则 CLR_FAULT 引脚上的下降沿会释放 nFAULT。一旦锁存故障被清除，受影响的通道的行为由相应 IN EN 引脚的状态决定。

将 nSLEEP 驱动为低电平会让器件进入低功耗睡眠状态。在该状态下，禁用 H 桥，停止栅极驱动电荷泵，并停止所有内部时钟。在该状态下，所有输入都被忽略，直到 nSLEEP 返回无效高电平。从睡眠模式返回时，需要经过一段时间（大约 1ms），电机驱动器才能完全正常运行。请注意，nRESET 和 nSLEEP 具有大约为 100kΩ 的内部下拉电阻器。这些信号需要驱动至逻辑高电平，才能实现器件运行。

V3P3OUT LDO 稳压器在睡眠模式下保持运行状态。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.2 应用信息

DRV8844A 可用于驱动以下类型的负载

- 一个步进电机
- 两个有刷直流电机
- 高达四个螺线管负载
 - 单极螺线管
 - 双极螺线管

可将输出并联从而增加驱动电流。如果像全桥配置中那样连接输出，则可以并联任意两个输出。

7.2.1 驱动螺线管负载

螺线管可以是单极或双极（双稳态）。DRV8844A 支持单极（VM、0）和双极（+VM、-VM）电源，因此可用于驱动两种类型的螺线管负载。

此外，对于四个半桥中的每一个，DRV8844A 具有独立的 IN 和 EN 引脚。所有这四个半桥还具有单独的 SRC 引脚，允许在需要时放置电流检测电阻器。

DRV8844A 支持双轨运行。这里可以在 VNEG 上施加相对于 LGND 的 -24V 电压，并向 VM 施加相对于 LGND 的 +24V 电压。这使得 LGND 的负载能够上拉至 VM（充电）或下拉至 VNEG（放电）

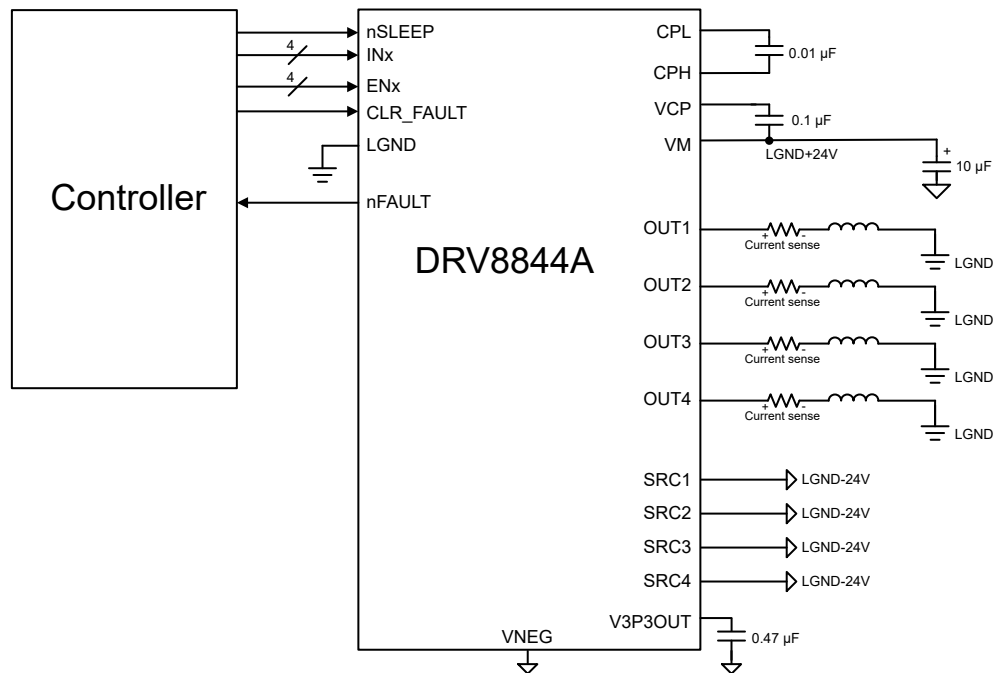


图 7-1. DRV8844A 用于驱动双极电磁阀负载

通过从 OUT 到 VLOAD 的负载连接，DRV8844A 能够作为下拉负载工作，并具备有源高侧再循环

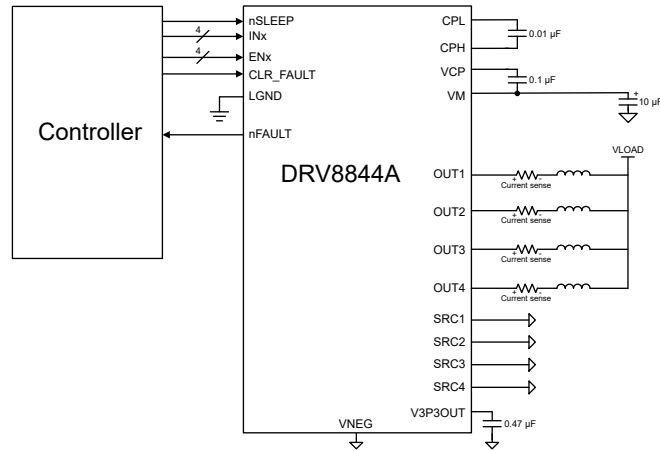


图 7-2. DRV8844A 将单极负载驱动到 VLOAD (灌电流)

通过从 OUT 到 VNEG 的负载连接，DRV8844A 能够作为上拉负载工作，并具备有源低侧再循环

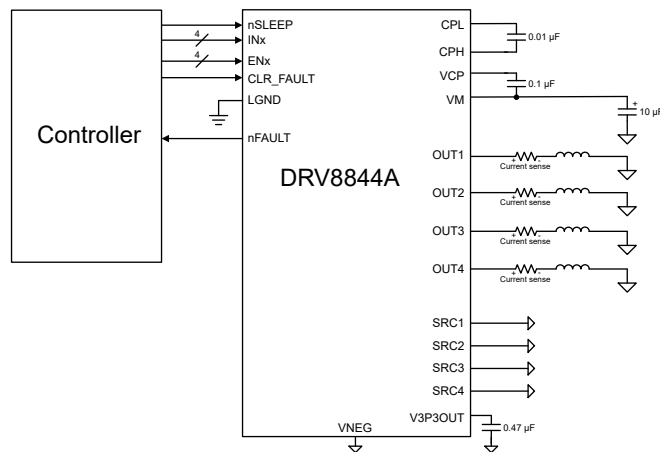


图 7-3. DRV8844A 将单极负载驱动到 VNEG (拉电流)

7.2.2 驱动步进电机

DRV8844A 可使用 PWM 输入接口驱动一个步进电机。

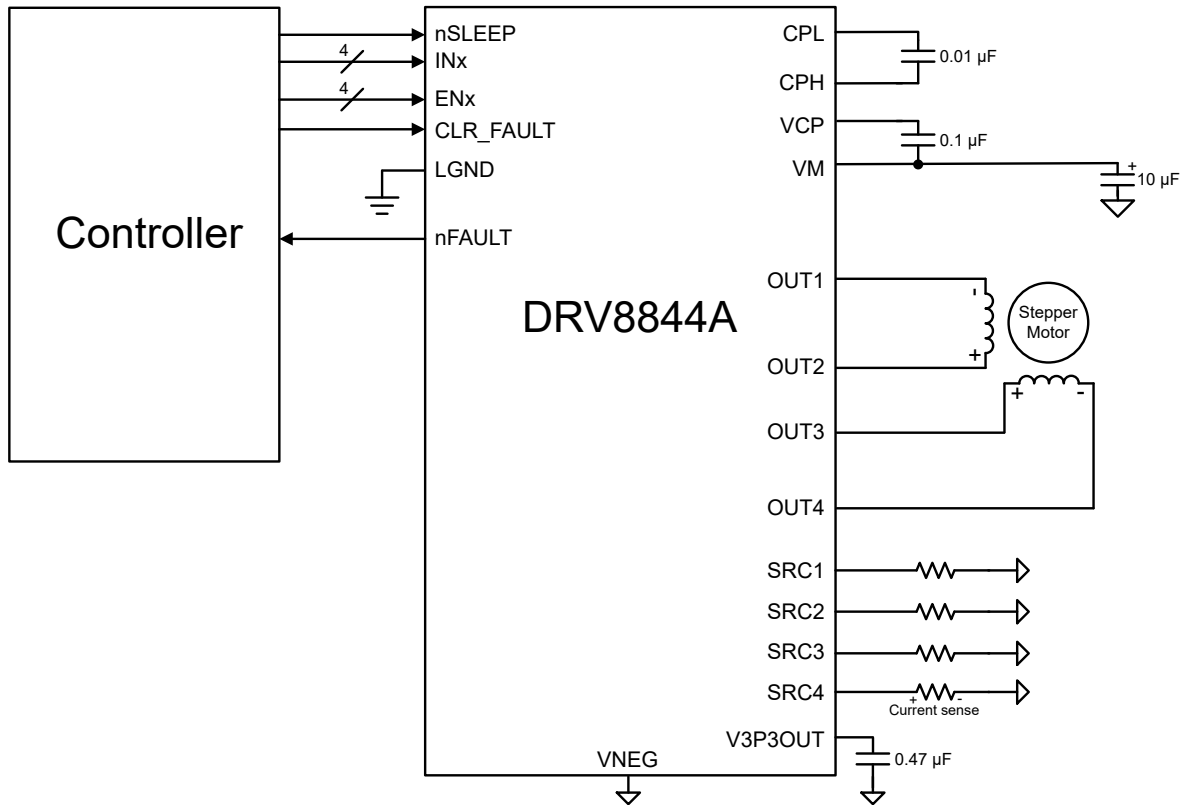


图 7-4. DRV8844A 用于驱动步进电机

DRV8844A 允许用户为每个单独半桥连接电流检测电阻，以实现步进电机电流调节控制

满量程电流 (I_{FS}) 是通过任一绕组的最大电流。DRV8844A 允许在全部 4 个半桥的源极端子上连接电流检测电阻，从而实现电机控制应用所需的真正双向电流检测。此外，可使用板载 3.3V LDO 为电流调节提供基准电压。

备注

I_{FS} 电流还必须遵循给定公式，以避免电机饱和。VM 是电机电源电压， R_L 是电机绕组电阻。

$$I_{FS} \text{ (A)} < \frac{VM \text{ (V)}}{R_L \text{ (}\Omega\text{)} + 2 \times R_{DS(ON)} \text{ (}\Omega\text{)}} \quad (1)$$

如果目标电机转速过高，则电机不会运行。请确保电机可以支持目标转速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，按如下公式确定输入波形的频率：

$$f_{step} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ\text{/rot)}}{\theta_{step} \text{ (}^\circ\text{/step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (2)$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

频率 f_{step} 提供了 DRV8962 上输入变化的频率。下图中， $1/f_{step} = t_{STEP}$ ，显示了 120rpm 目标速度和 1/2 步进的示例计算。

$$f_{\text{step}} (\text{steps} / \text{s}) = \frac{120 \text{ rpm} \times 360^\circ / \text{rot}}{1.8^\circ / \text{step} \times 1/2 \text{ steps} / \text{microstep} \times 60 \text{ s} / \text{min}} = 800\text{Hz} \quad (3)$$

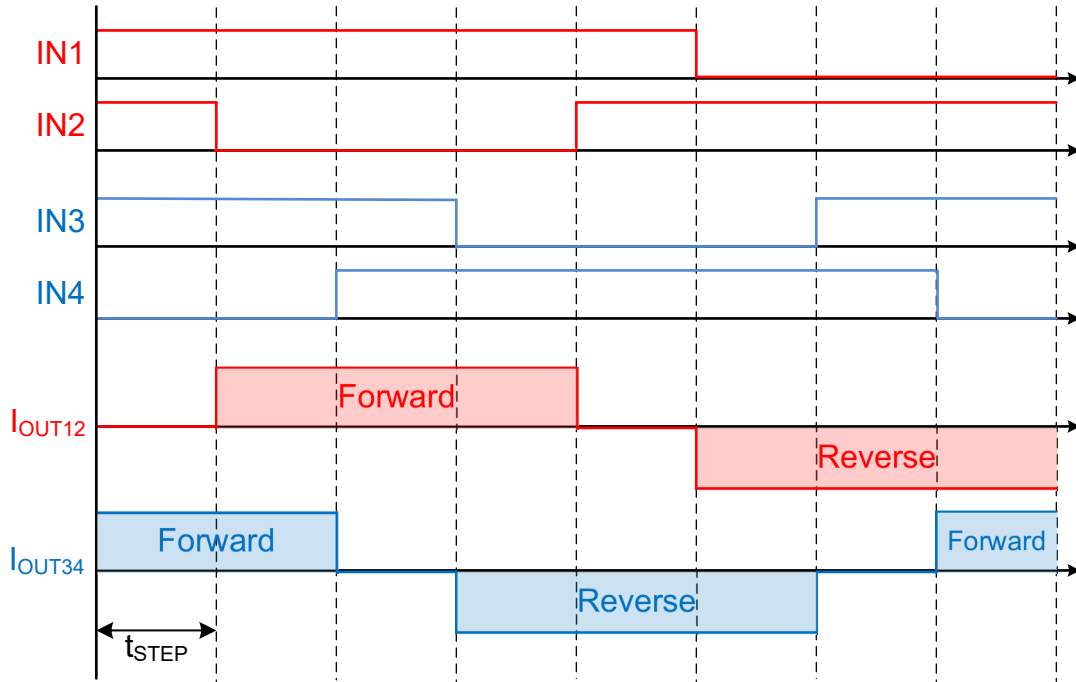


图 7-5. 示例 1/2 步进运行

7.2.3 驱动有刷直流电机

DRV8844A 在以下配置中，还可用于驱动两个 BDC 电机

相应 OUT 的 SRC 引脚可以连接在一起，并且可以使用公共检测电流电阻器

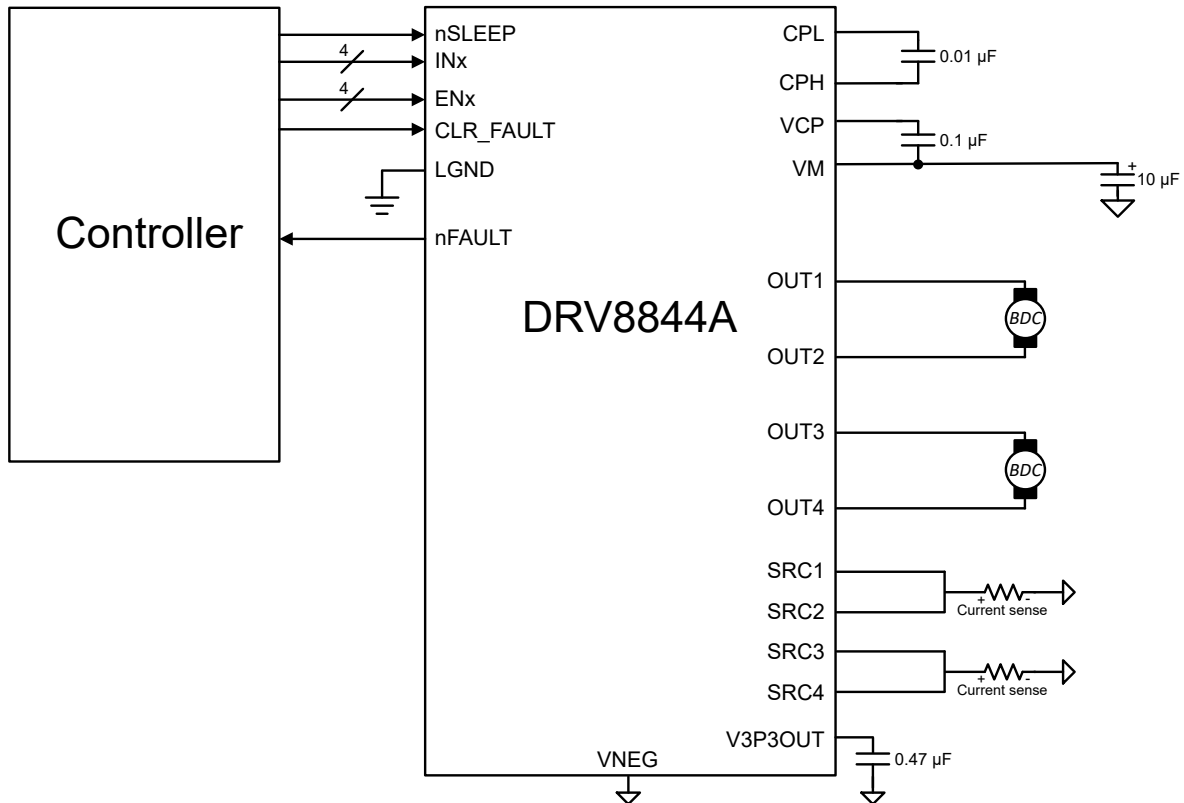


图 7-6. DRV8844A 用于驱动两个 BDC 电机

以下真值表描述了如何控制有刷直流电机。

表 7-1. 有刷直流电机

功能	EN1	EN2	IN1	IN2	OUT1	OUT2
正向	1	1	PWM	0	H	L
反向	1	1	0	PWM	L	H
制动	1	1	0	0	L	L
制动	1	1	1	1	H	H
滑行	0	X	X	X	Z	X
滑行	X	0	X	X	X	Z

7.3 电源相关建议

DRV8844A 旨在支持以 LGND 为基准的悬空逻辑轨。LGND 可以为 VNEG 和 VM-8V 之间的任何电压。VM 相对于 VNEG 可以是 8V 至 70V。10 μ F 电容器必须旁路至 VNEG 引脚。

7.3.1 大容量电容

合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。电机驱动器附近的大容量电容器充当本地电荷库，用于消除电机电流变化。

经验丰富的工程师通常使用有关大容量电容的通用指导原则来选择电容值。一个指导原则是每瓦电机功率应使用至少 1 μ F 到 4 μ F 的电容。例如，按照这个指导原则，从 24V 电源消耗 2A 电流的电机具有 48W 的功率，因此应使用 48 μ F 到 192 μ F 的大容量电容。

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

为在电流转换期间（例如电机启动、负载扭矩变化或 PWM 运行）提供恒定的电机电源电压，需要较大的大容量电容。稳定供电所需电容的工作估算对于降低电路板电子器件的复杂性、成本和尺寸至关重要。我们可以按照通用指导原则，根据预期的负载电流变化和允许的电机电源电压变化确定合适的电容器大小。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} / \Delta V_{SUPPLY} \quad (4)$$

其中：

C_{BULK} 是负载电容

k 是此类应用中典型电容器 ESR 的比例因子；根据使用 DRV8718-Q1EVM 获得的实验室测量结果， $k \approx 3$ 在这些情况下是实际可行的。

ΔI_{MOTOR} 是电机电流的预期变化，即 $i_{max} - i_{min}$

T_{PWM} 是 PWM 周期，它是 PWM 频率的倒数

ΔV_{SUPPLY} 是允许的电机电源电压变化

图 7-7 绘制了多个数据点并应用了此通用指导原则，表明一致性相对良好。

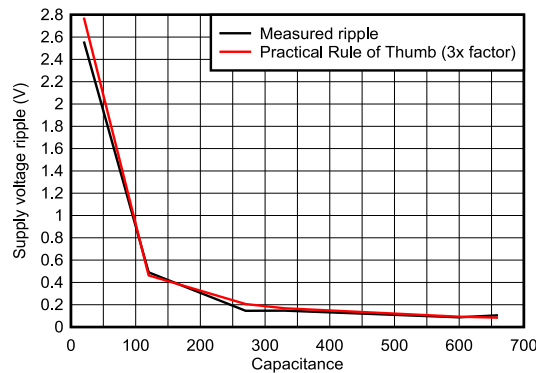


图 7-7. 测量结果和 3 倍通用指导值（考虑了电解电容器的实际非零 ESR 值）

有关更多信息，请参阅应用手册《适用于直流电机驱动应用的大容量电容器尺寸》。

7.4 布局

7.4.1 布局指南

- 使用推荐电容为 $0.1\mu\text{F}$ 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 VNEG 引脚。此类电容器尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 VNEG 引脚连接。
- 必须在 CP1 和 CP2 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 $0.01\mu\text{F}$ 、额定电压为 VM 的电容器。将此组件尽可能靠近引脚放置。
- 必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 $0.1\mu\text{F}$ 、额定电压为 16V 的电容器。将此组件尽可能靠近引脚放置。
- 使用低 ESR 陶瓷电容器将 V3P3OUT 引脚旁路至接地。建议使用一个电容值为 $0.47\mu\text{F}$ 、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- 封装的散热焊盘必须连接至系统接地端。
 - 尝试让整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。图 7-8 所示为驱动器下方收缩的与连续的接地平面覆铜引起的温升示例。
 - 为了尽可能减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线尽可能短且宽。
 - 建议使用多个通孔来降低阻抗。
 - 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
 - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。
- 有关布局指南和最佳实践的更多信息，请参阅应用手册 [电机驱动器电路板布局最佳实践](#)。

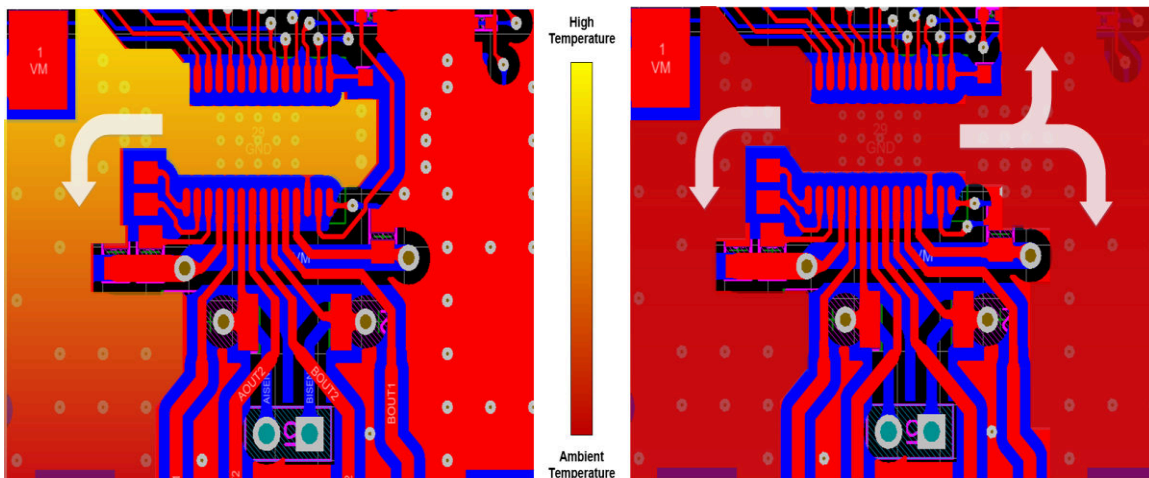


图 7-8. 中断接地平面覆铜与连续接地平面覆铜的热图

7.4.2 布局示例

按照 DRV8844A EVM 的布局示例进行操作。可以从 [DRV8844AEVM](#) 产品文件夹下载 Altium 设计文件。

7.4.3 散热注意事项

如上所述，DRV8844A 具有热关断 (TSD) 功能。如果芯片温度超过约 150°C ，该器件将被禁用，直到温度降至安全水平。

如果该器件有任何进入热关断 (TSD) 状态的倾向，则表明功耗过大、散热不足或环境温度过高。

7.4.3.1 散热

DGQ 封装通过外露焊盘去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

一般来说，提供的覆铜区域面积越大，消耗的功率就越多。

7.4.4 功率耗散

DRV8844A 中的功率耗散主要由输出 FET 电阻或 $R_{DS(ON)}$ 中耗散的功率决定。每个 H 桥在运行直流电机时的平均功耗可以通过 [方程式 5](#) 大致估算。

$$P = 2 \times R_{DS(ON)} \times (I_{OUT})^2 \quad (5)$$

其中

- P 是一个 H 桥的耗散功率
- $R_{DS(ON)}$ 是每个 FET 的导通电阻
- I_{OUT} 是施加到每个绕组的 RMS 输出电流

I_{OUT} 等于直流电机消耗的平均电流。请注意，在启动和故障情况下，相应的电流远大于正常运行电流；需要将这些峰值电流及持续时间也考虑在内。因数 2 来自这样的事实，即两个 FET 在任何时刻导通绕组电流（一个高侧和一个低侧）。

总器件耗散是两个 H 桥中每一个耗散的总功率。

器件中可耗散的最大功率取决于环境温度和散热。

请注意， $R_{DS(ON)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- [计算电机驱动器功率耗散](#)，[SLVA504](#)
- [DRV8844A 评估模块](#)
- [了解电机驱动器电流额定值](#)，[SLVA505](#)

8.2 社区资源

8.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2025	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8844ADGQR	Active	Production	HVSSOP (DGQ) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	8844A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

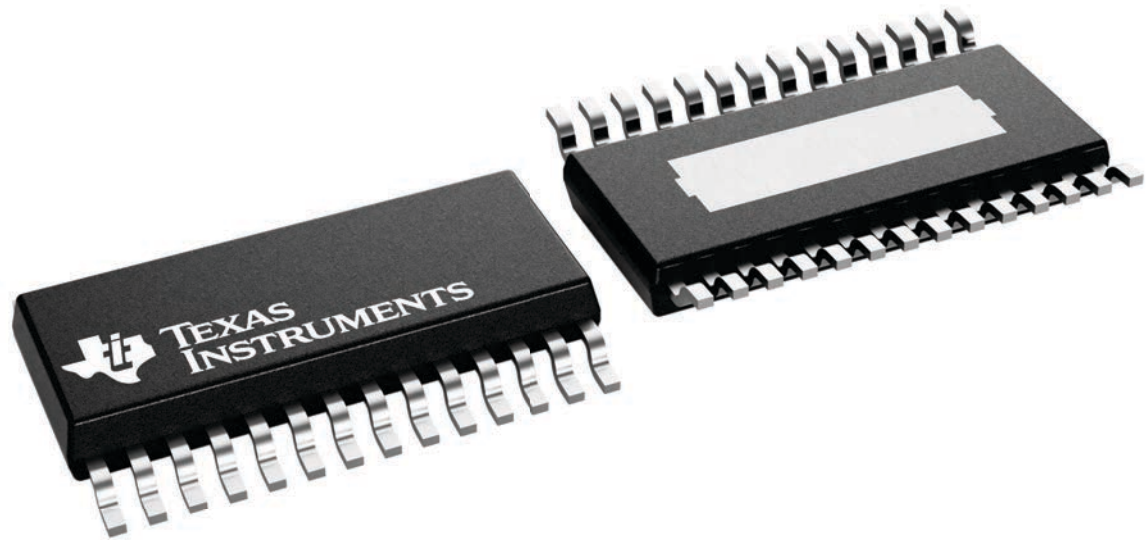
DGQ 28

HVSSOP - 1.1 mm max height

3 x 7.1, 0.5 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226530/A

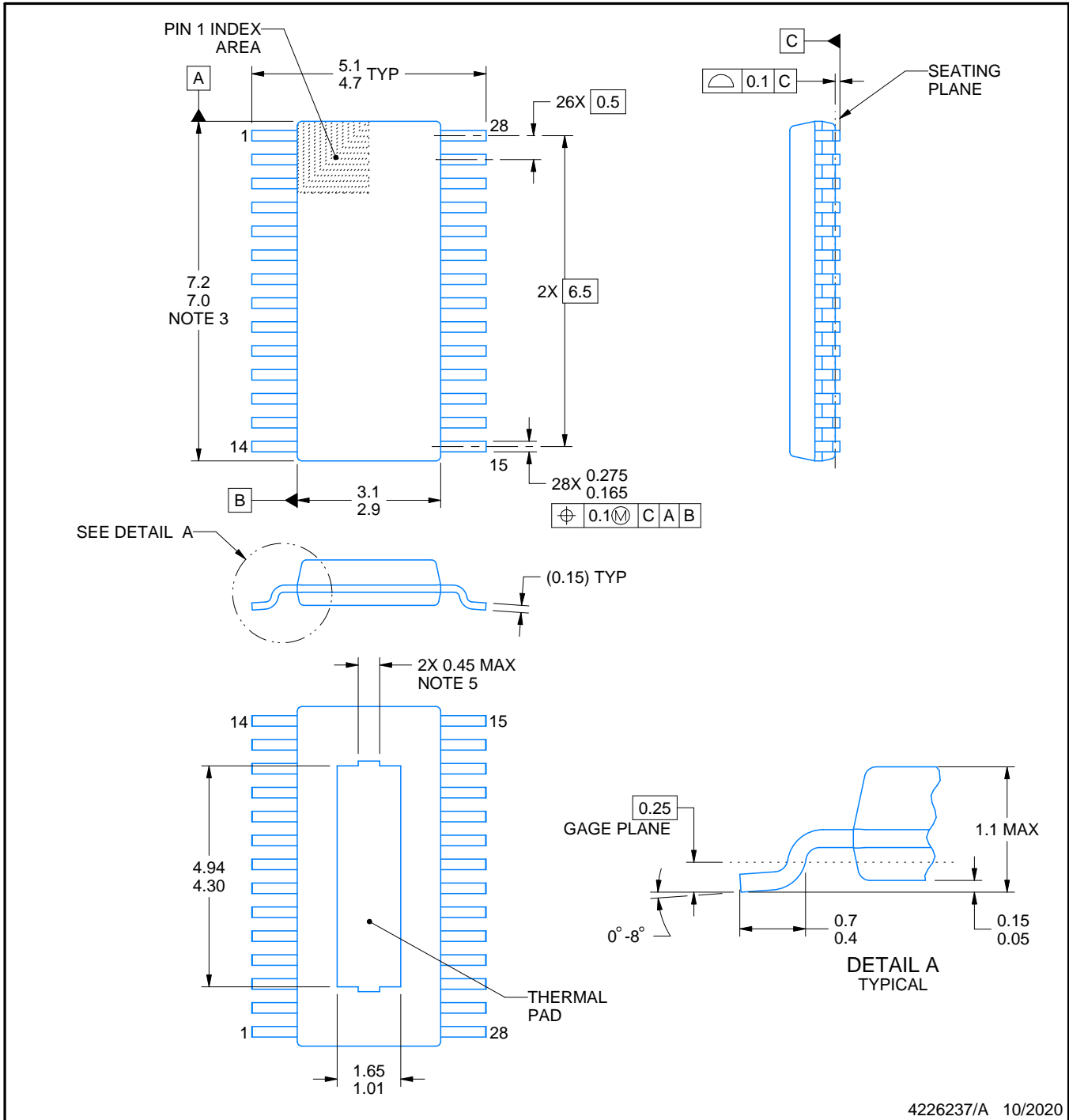
DGQ0028A



PACKAGE OUTLINE

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226237/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

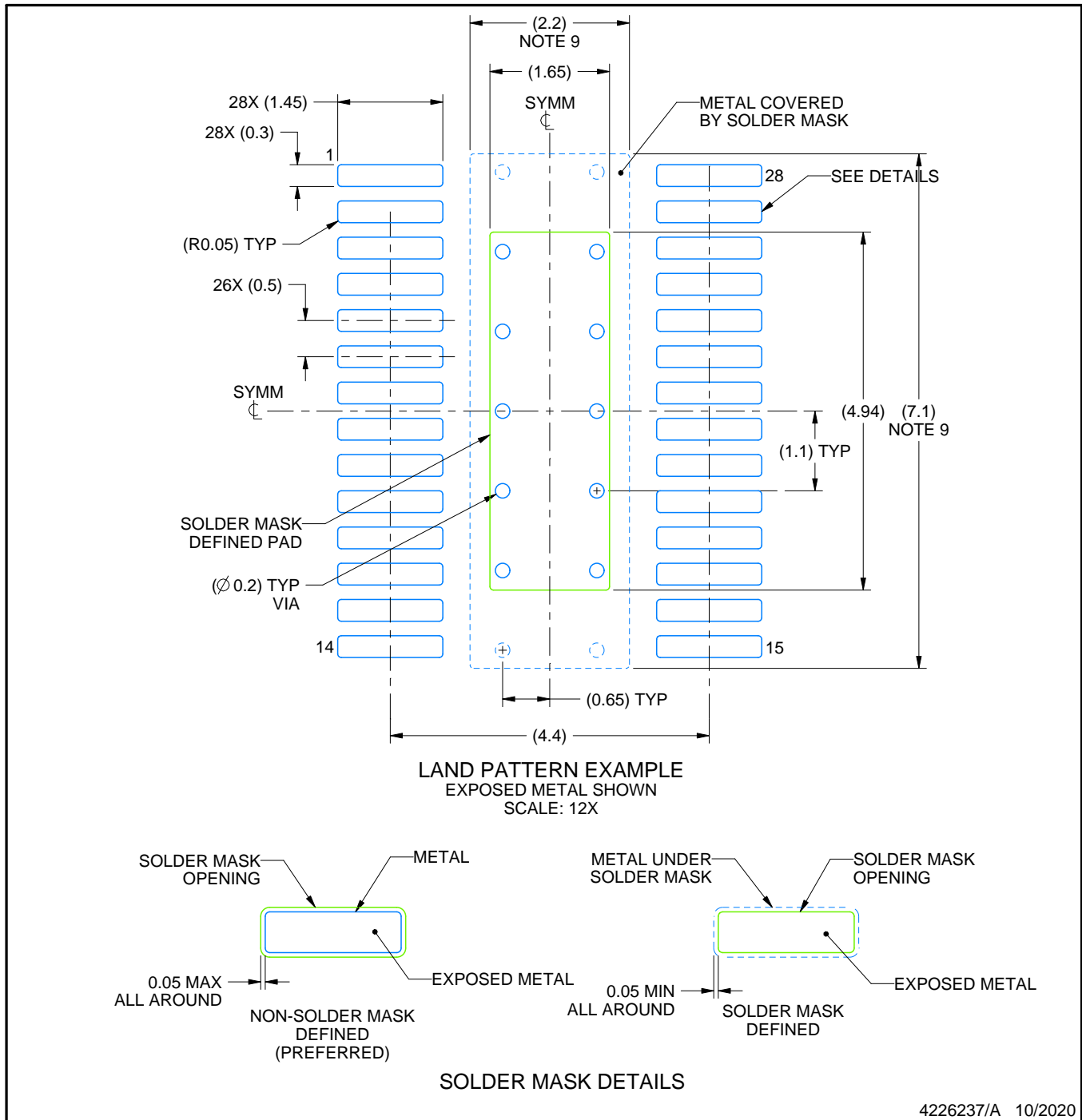
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

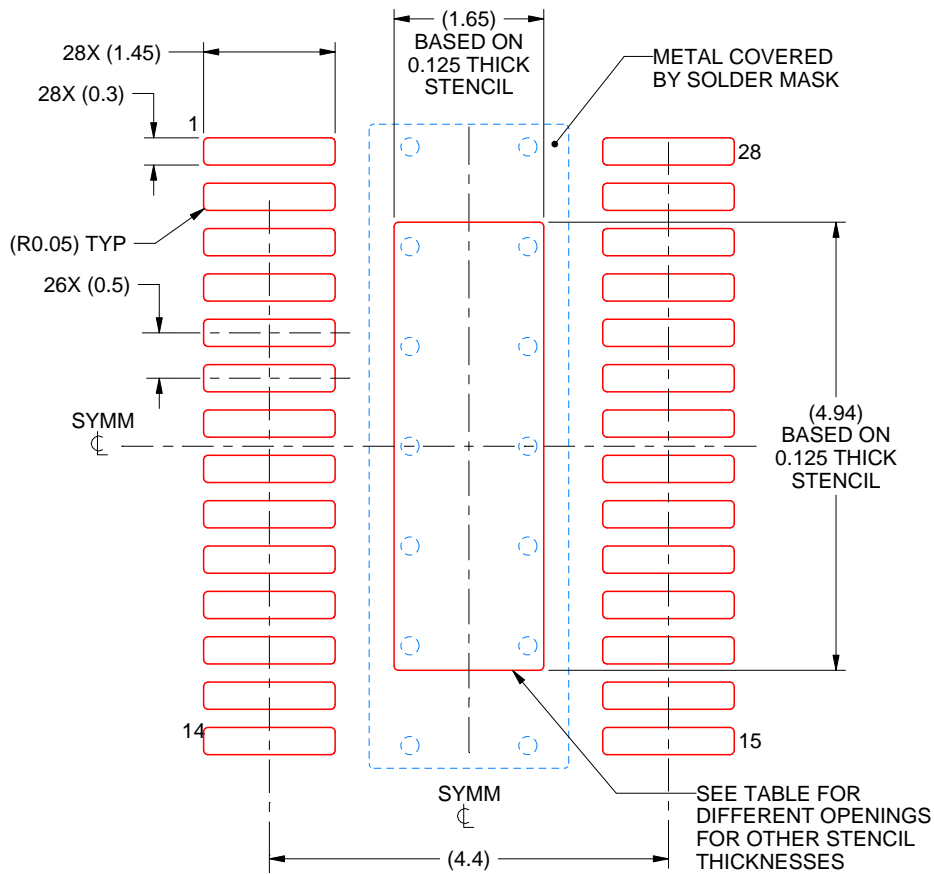
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGQ0028A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.52
0.125	1.65 X 4.94 (SHOWN)
0.15	1.51 X 4.51
0.175	1.39 X 4.18

4226237/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月